

**UNIVERSIDADE FEDERAL DE SANTA MARIA
CENTRO DE TECNOLOGIA
PROGRAMA DE PÓS-GRADUAÇÃO
EM ENGENHARIA ELÉTRICA**

Silvio Antonio Teston

**CONVERSOR ANPC COM PORTA CC BIDIRECIONAL
SECUNDÁRIA PARA CONEXÃO DE SISTEMAS DE
ARMAZENAMENTO DE ENERGIA**

**Santa Maria, RS, Brasil
2020**

Silvio Antonio Teston

**CONVERSOR ANPC COM PORTA CC BIDIRECIONAL SECUNDÁRIA PARA
CONEXÃO DE SISTEMAS DE ARMAZENAMENTO DE ENERGIA**

Tese apresentada ao Curso de Doutorado do Programa de Pós-Graduação em Engenharia Elétrica, Área de Concentração em Processamento de Energia Elétrica, da Universidade Federal de Santa Maria (UFSM), como requisito parcial para obtenção do grau de **Doutor em Engenharia Elétrica.**

Orientador: Prof. Dr. Cassiano Rech
Coorientador: Prof. Dr. Marcello Mezaroba

Santa Maria, RS, Brasil
2020

Teston, Silvio Antonio
Conversor ANPC Com Porta CC Bidirecional Secundária
Para Conexão de Sistemas de Armazenamento de Energia /
Silvio Antonio Teston.- 2020.
241 p.; 30 cm

Orientador: Cassiano Rech
Coorientador: Marcello Mezaroba
Tese (doutorado) - Universidade Federal de Santa
Maria, Centro de Tecnologia, Programa de Pós-Graduação em
Engenharia Elétrica, RS, 2020

1. Conversor ANPC 2. Geração Renovável de Energia 3.
Porta CC Bidirecional Integrada à Topologia 4. Sistema de
Armazenamento de Energia I. Rech, Cassiano II. Mezaroba,
Marcello III. Título.

Sistema de geração automática de ficha catalográfica da UFSM. Dados fornecidos pelo autor(a). Sob supervisão da Direção da Divisão de Processos Técnicos da Biblioteca Central. Bibliotecária responsável Paula Schoenfeldt Patta CRB 10/1728.

© 2020

Todos os direitos autorais reservados a Silvio Antonio Teston. A reprodução de partes ou do todo deste trabalho só poderá ser feita com autorização por escrito do autor.

Endereço: Avenida Roraima, 1000, UFSM, Santa Maria, RS, Brasil, CEP: 97105-900

Endereço Eletrônico: silvioteston@gmail.com.

Silvio Antonio Teston

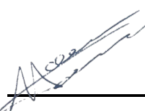
**CONVERSOR ANPC COM PORTA CC BIDIRECIONAL SECUNDÁRIA PARA
CONEXÃO DE SISTEMAS DE ARMAZENAMENTO DE ENERGIA**

Tese apresentada ao Curso de Doutorado do Programa de Pós-Graduação em Engenharia Elétrica, Área de Concentração em Processamento de Energia Elétrica, da Universidade Federal de Santa Maria (UFSM), como requisito parcial para obtenção do grau de **Doutor em Engenharia Elétrica**.

Aprovado em 6 de Novembro de 2020:



Cassiano Rech, Dr. (UFSM) – Videoconferência
(Presidente/Orientador)



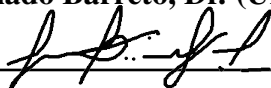
Marcello Mezaroba, Dr. (UDESC) – Videoconferência
(Coorientador)



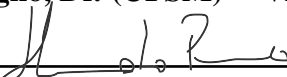
André Luís Kirsten, Dr. (UFSC) – Videoconferência



Luiz Henrique Silva Colado Barreto, Dr. (UFC) – Videoconferência



Fábio Ecke Bisogno, Dr. (UFSM) – Videoconferência



Humberto Pinheiro, Dr. (UFSM) – Videoconferência

Santa Maria, RS, Brasil

2020

DEDICATÓRIA

Ao meu pai, Ronei Ricardo Teston (*in memoriam*).

À minha mãe, Irma Parizotto Teston.

À minha esposa Tádía e à minha filha Maria Clara.

AGRADECIMENTOS

Foram longos quatro anos de aprendizado, paciência, dedicação e perseverança. Foram tantas viagens de Chapecó a Santa Maria que não me dei ao trabalho de contá-las. Muitos quilômetros rodados de carro ou de ônibus. As viagens foram exaustivas, mas valeu a pena.

Logo no início do doutorado Deus me deu o presente mais lindo que uma pessoa pode receber. Em maio de 2017 nasceu a minha doce Maria Clara. Embora minhas ausências tenham sido inevitáveis, tentei ser o pai mais presente que poderia ser. Maria Clara, eu não consigo mensurar e descrever a alegria e a energia que você trouxe para a minha vida. Agradeço infinitamente a Deus por ter você.

Infelizmente, termino este doutorado com um sentimento melancólico. A perda recente do meu pai não me permite desfrutar desse momento com toda a alegria que eu sei que teríamos se ele estivesse aqui. Agradeço ao meu amado pai por ter me ajudado na construção do protótipo. Mas claro, isso não foi nada, há tantas outras coisas a agradecer... As experiências que me permitiu viver e os seus ensinamentos contribuíram muito para a formação da pessoa que sou. Pai, não há palavras para expressar o meu amor por ti e a saudade que tu deixaste em meu coração.

Agradeço a Deus pelo dom da vida, pela saúde e por me guiar neste caminho.

Agradeço à minha mãe pelo apoio, por todas as suas orações, por sempre ter uma palavra amiga, pelas lições de vida e por todo o cuidado que tem conosco.

Agradeço à minha esposa Tádía, por todo amor e cuidado que tem comigo e com a Maria Clara. Por compreender os momentos de ausência do convívio familiar. Agradeço por me apoiar a fazer este curso de doutorado. Junto com você esta jornada é muito mais feliz.

Agradeço às pessoas muito queridas que cuidaram da minha filha enquanto estive ausente. Agradeço à bisavó da Maria Clara, Dona Ambrosina, às avós Cleusa e Irma e aos avôs Alvanir e Ronei. Cleusa, sou imensamente grato a você por todo o seu esforço, sei que você não mediu esforços para nos ajudar.

Agradeço à minha irmã Rochelle e meu cunhado Fernando, aos seus filhos Miguel e Heitor, por sempre nos receberem em sua casa com tanto amor e carinho, por compartilharem seus momentos de lazer conosco, pelo companheirismo e amizade e pela união de nossa família.

Agradeço a todas as pessoas que de alguma forma participaram deste trabalho, em especial:

ao meu orientador, Prof. Cassiano Rech, por compartilhar seu conhecimento, por me manter focado no trabalho, por ser paciente mas também me cobrar os resultados quando era necessário. Tenho profundo respeito e admiração por você e pelo seu trabalho;

ao meu coorientador, Prof. Marcello Mezaroba, por acreditar neste trabalho, pelas discussões e contribuições feitas;

ao Kaio Vilerá, que embarcou no estudo do conversor ANPC-3P comigo e pegou uma parte complexa do trabalho para desenvolver na sua dissertação de mestrado. Agradeço por ter apresentado alguns dos nossos artigos em congressos e por tudo mais em que você me auxiliou quando eu estava longe de Santa Maria. Agradeço também pelo desenvolvimento, de forma muito competente, da programação da dSPACE. Foram muitas horas de trabalho no

laboratório, discussões e aprendizado. Kaio, com sua calma e paciência, contrabalanceou meus momentos de maior estresse, permitindo que continuássemos firmes no desenvolvimento dos nossos trabalhos. Sou grato pelo seu companheirismo e amizade. Te considero um grande amigo;

aos membros da banca, Professores André Kirsten, Fábio Bisogno, Humberto Pinheiro e Luiz Barreto, pela revisão minuciosa do trabalho e pelas importantes contribuições. Agradeço também ao Professor Rafael Beltrame, membro suplente, mas que fez uma revisão detalhada do documento final.

Agradeço, também, a todos os colegas do GEPOC pela amizade e importantes discussões técnicas e filosóficas. Em especial, agradeço ao Ademir, André Meurer, André Ramos, Éder, Edivan, Gabriel, Julian, Rodrigo, Ronaldo, Tiago e Wilmar.

Agradeço à UFSM, seus professores e servidores, pelo ensino de excelência fornecido por essa instituição. Agradeço também à AGITTEC por ter acreditado neste trabalho e pelo apoio na elaboração e depósito do pedido de patente.

Meus agradecimentos à UFFS por manter o programa PLEDUCA, que permite que os técnico-administrativos da universidade possam cursar graduação, especialização, mestrado e doutorado em suas áreas de interesse. Aos TAEs por lutarem por esse programa. Acredito profundamente que a educação é o principal agente de transformação das pessoas.

Gostaria de agradecer a todos da Secretaria Especial de Obras (SEO) da UFFS, pela compreensão nos momentos de ausência devido ao PLEDUCA, por manterem o fluxo de trabalho, pelo companheirismo e amizade e pela solidariedade nos momentos difíceis.

Agradeço ao Conselho Nacional de Desenvolvimento Científico e Tecnológico (CNPq) pelo apoio financeiro (processos 427987/2018-0 e 303997/2019-2). Gostaria de agradecer também ao Instituto Nacional de Ciência e Tecnologia em Geração Distribuída de Energia Elétrica (INCT-GD) pelo suporte financeiro, através das agências de fomento CNPq (processo 465640/2014-1), CAPES (processo 23038.000776/2017-54) e FAPERGS (processo 7/2551-0000517-1). O presente trabalho também foi realizado com apoio do Programa Nacional de Cooperação Acadêmica da Coordenação de Aperfeiçoamento de Pessoal de Nível Superior – CAPES/Brasil.

“Um homem em uma caminhada de mil milhas tem que esquecer o seu objetivo e dizer a si mesmo todas as manhãs, 'Hoje vou cobrir vinte e cinco milhas e depois descansar e dormir' .”

Liev Tolstói

RESUMO

CONVERTOR ANPC COM PORTA CC BIDIRECIONAL SECUNDÁRIA PARA CONEXÃO DE SISTEMAS DE ARMAZENAMENTO DE ENERGIA

AUTOR: SILVIO ANTONIO TESTON
ORIENTADOR: CASSIANO RECH
COORIENTADOR: MARCELLO MEZAROBA

Esta tese de doutorado apresenta uma nova topologia de conversor multinível, derivada do inversor ANPC, que permite a conexão de sistemas de armazenamento de energia diretamente à topologia em uma porta CC secundária. Dessa forma, evita-se o uso de conversores CC-CC ou CC-CA dedicados ao processamento da energia do sistema de armazenamento. Na topologia proposta, cada braço do inversor ANPC apresenta três portas: a porta CC principal (comum a todos os braços), a porta CC secundária e a porta CA. A porta CC secundária é viabilizada pela existência de estados de condução redundantes que permitem gerar dois níveis de tensão distintos na porta CC secundária. Esta tese também apresenta um estudo detalhado dos estados de condução, das comutações e traz algumas propostas para a modulação simultânea da porta CA e da porta CC secundária utilizando uma abordagem baseada em portadoras. São analisadas quatro estratégias de modulação do conversor utilizando duas opções de disposição de portadoras e duas sequências de comutação. Também é realizada a análise e proposição de um sistema de controle para uma aplicação conectada à rede. Esse sistema de controle é capaz de regular as correntes nas portas de potência do conversor e manter os valores médios das tensões dos polos do barramento CC equilibrados. Um protótipo monofásico meia-ponte de 1 kW foi construído e testado em laboratório para comprovar o funcionamento da topologia proposta em todos modos de operação. São apresentados resultados em regime permanente e transitório e medições do rendimento do conversor nos principais modos de operação considerando duas estratégias de modulação da porta CC secundária. A estratégia de modulação com sequência do tipo 2 apresentou os melhores resultados em termos de rendimento e qualidade da corrente do ESS. Esses resultados se devem principalmente à inexistência de comutações do tipo III nessa estratégia de modulação. O rendimento máximo de 96,3% foi obtido no modo de recarga do ESS e modulação com sequência do tipo 2. A corrente injetada na rede apresentou distorção harmônica total máxima de 5% e componente CC inferior a 10 mA.

Palavras-chave: Conversor ANPC, Geração Renovável de Energia, Porta CC Bidirecional Integrada à Topologia, Sistema de Armazenamento de Energia.

ABSTRACT

ANPC CONVERTER WITH SECONDARY BIDIRECTIONAL DC PORT FOR ENERGY STORAGE SYSTEMS CONNECTION

AUTHOR: SILVIO ANTONIO TESTON

ADVISOR: CASSIANO RECH

COADVISOR: MARCELLO MEZAROBA

This doctoral dissertation presents a new multilevel converter topology, derived from the ANPC inverter, which allows the connection of energy storage systems directly to the topology in a secondary DC port. In this way, the use of a DC-DC or DC-AC converter dedicated to processing the energy of the storage system is avoided. In the proposed topology, each leg of the ANPC inverter has three ports: the main DC port (common to all legs), the secondary DC port, and the AC port. The inclusion of a secondary DC port is allowed due to the existence of redundant conduction states that can generate two different voltage levels in the secondary DC port. Also, a detailed study of the conduction states and their switching interactions is presented together with proposals for the simultaneous modulation of the AC port and the secondary DC port by using a carrier-based approach. Four converter modulation strategies, using two carrier arrangement options, and two switching sequences are analyzed. The analysis and proposal of a control system for a grid-connected application are also performed. This control system can regulate the power ports currents while keeping the average voltages of the DC bus poles balanced. A single-phase half-bridge prototype of 1-kW was built and tested in the laboratory to prove the operation of the proposed topology in all operating modes. Results of the steady-state and transient responses and measurements of the converter performance in the main modes of operation, considering two modulation strategies of the secondary DC port, are presented. The modulation strategy with type 2 sequence presented the best results in terms of efficiency and quality of the ESS current. These results are mainly due to the lack of type III commutations in this modulation strategy. The maximum efficiency of 96.3% was obtained in the ESS recharge mode and modulation with type 2 sequence. The current injected into the grid showed a maximum total harmonic distortion of 5% and a DC component below 10 mA.

Keywords: ANPC Converter, Energy Storage System, Renewable Energy Generation, Topology Integrated Bidirectional DC Port.

LISTA DE FIGURAS

Figura 1.1	– Geração de energia global de 1971 a 2016 por tipo de fonte em TWh.....	39
Figura 1.2	– Visão geral das aplicações de ESS.....	41
Figura 1.3	– Classificação das tecnologias de ESS.....	42
Figura 1.4	– Formas de conexão do sistema de armazenamento: (a) no barramento CC através de conversor CC-CC, (b) no barramento CA, (c) através de um conversor multiportas, (d) diretamente no barramento CC e (e) através de um inversor multiportas.....	43
Figura 1.5	– Inversor NPC com HESS integrado diretamente no barramento CC.....	45
Figura 1.6	– Inversor qZSI com ESS integrado à topologia.....	46
Figura 1.7	– Inversor baseado na topologia FC mas com ESSs substituindo os capacitores flutuantes.....	46
Figura 1.8	– Inversor de topologia <i>split-source</i> proposto por Abdelhakim, Mattavelli e Spiazzi (2016).....	47
Figura 1.9	– Inversor multinível de três portas a capacitor chaveado proposto por Raman et al. (2019).....	48
Figura 1.10	– Inversor ANPC monofásico com porta CC bidirecional secundária.....	48
Figura 1.11	– (a) Inversor proposto por Andrade, Muniz e Silva (2015) e (b) Conversor CC-CC de três níveis proposto por Grbovic et al. (2010).....	49
Figura 1.12	– Inversor trifásico com braços ANPC-3P.....	50
Figura 1.13	– Inversor ponte-completa com braço adicional para conexão de ESS.....	51
Figura 1.14	– Inversor NPC com braço adicional para conexão de ESS.....	51
Figura 2.1	– Um braço do inversor NPC.....	54
Figura 2.2	– Um braço do inversor ANPC.....	56
Figura 2.3	– Estados de condução (a) P e (b) 0L1 do inversor ANPC.....	60
Figura 2.4	– Estados de condução (a) N e (b) 0U1 do inversor ANPC.....	61
Figura 2.5	– Inversor ANPC monofásico com porta CC bidirecional secundária conectada a uma fonte de tensão.....	62
Figura 2.6	– Inversor ANPC monofásico com porta CC bidirecional secundária conectada a uma fonte de corrente.....	62
Figura 2.7	– Associação antiparalela de um dispositivo semicondutor controlado com um diodo e o respectivo sentido das correntes.....	63
Figura 2.8	– Estados de condução (a) P e (b) N.....	64
Figura 2.9	– Estados de condução (a) 0U1 e (b) 0L1.....	65
Figura 2.10	– Estados de condução (a) 0U2 e (b) 0L2 para ambas as polaridades de I_E e $i_x = 0$	66
Figura 2.11	– Estados de condução (a) 0U3 e (b) 0L3.....	67
Figura 2.12	– Estados de condução (a) 0U4 e (b) 0L4.....	67
Figura 2.13	– Estado de condução 0UL.....	69
Figura 2.14	– Detalhamento das razões cíclicas do inversor e da porta CC secundária...	71
Figura 2.15	– Duas configurações para conexão de uma fonte CC principal e ESS à rede: (a) conexão no barramento CA com inversor NPC dedicado ao ESS e (b) inversor ANPC-3P.....	73
Figura 2.16	– Regiões de modulação considerando a variação da tensão do ESS devida ao SOC: (a) inversor NPC dedicado e (b) inversor ANPC-3P.....	73
Figura 2.17	– Circuito utilizado para simulação SPICE com objetivo de analisar as comutações entre estados de condução.....	75
Figura 2.18	– Detalhamento da comutação $P \rightleftharpoons 0L4$ para $i_x - I_E < 0$. Estados de condução (a) P, (b) intermediário e (c) 0L4.....	78

Figura 2.19	– Detalhamento da comutação $P \rightleftharpoons 0L4$ para $i_x - I_E > 0$. Estados de condução (a) P, (b) intermediário e (c) 0L4.....	79
Figura 2.20	– Resultados de simulação SPICE para a comutação $P \leftrightarrow 0L4$ para (a) $i_x = -11$ A e $I_E = 5$ A e (b) $i_x = 11$ A e $I_E = 5$ A. Ambas com tempo-morto de $1 \mu s$	80
Figura 2.21	– Detalhamento da comutação $P \rightleftharpoons 0L3$ para $i_x > 0$ e $I_E > 0$. Estados de condução (a) P, (b) intermediário e (c) 0L3.....	80
Figura 2.22	– Resultados de simulação SPICE para as comutações $P \rightleftharpoons 0L3$ para $i_x = 11$ A e $I_E = 5$ A com tempo-morto de $1 \mu s$. (a) Comutação simultânea de S_1 e S_2 . (b) Comutação de S_1 e S_2 com separação por tempo-morto.....	81
Figura 2.23	– Detalhamento da comutação $P \rightleftharpoons 0L3$ para $i_x > 0$ e $I_E < 0$. Estados de condução (a) P, (b) intermediário e (c) 0L3.....	82
Figura 2.24	– (a) Estado de condução P. (b) Estado de condução intermediário após o bloqueio simultâneo de S_1 e S_6 ($P \rightarrow 0U1$) ou de S_4 e S_5 ($0U1 \rightarrow P$) com $i_x - I_E < 0$, $i_x < 0$ e $I_E > 0$. (c) Estado de condução 0U1.	83
Figura 2.25	– Resultados de simulação SPICE para as comutações do tipo III $P \rightleftharpoons 0U1$ para $i_x = -11$ A e $I_E = 5$ A com tempo-morto de $1 \mu s$. (a) Comutações com tempo-morto único e (b) comutações com tempo-morto duplo.....	84
Figura 2.26	– (a) Estado de condução P. (b) Estado de condução 0U1. (c) Estado de condução intermediário para $I_E > 0$. (d) Estado de condução intermediário para $I_E < 0$	85
Figura 2.27	– Detalhamento da comutação $P \rightarrow 0U1$ com tempo-morto duplo. Os tempos t_{dt1} e t_{dt2} são o primeiro e o segundo tempo-morto, respectivamente.	86
Figura 2.28	– Fluxograma das comutações.....	87
Figura 2.29	– Conversor CC-CC de três níveis proposto por Grbovic et al. (2010).....	89
Figura 2.30	– Estados de condução do modo CC-CC: (a) CCP, (b) CCN e (c) CC0.....	90
Figura 2.31	– Inversor trifásico com braços ANPC-3P.....	90
Figura 3.1	– Diagrama de blocos do sistema de modulação.....	94
Figura 3.2	– Modulação com portadoras em POD, sinal modulante do inversor e sinal modulante da porta CC secundária para sequência tipo 1.....	96
Figura 3.3	– Detalhamento dos pulsos da sequência tipo 1 durante o semiciclo positivo.	96
Figura 3.4	– Resultados de simulação para portadoras em POD e sequência tipo 1. (a) Portadoras triangulares e sinais modulantes. (b) Tensão v_x . (c) Tensão v_{AB} . (d) Corrente i_E	98
Figura 3.5	– (a) Espectros das tensões v_x , (b) v_{AB} e (c) da corrente i_E obtidos a partir dos sinais temporais da Figura 3.4.....	99
Figura 3.6	– Detalhamento dos pulsos da sequência tipo 2 durante o semiciclo positivo.	100
Figura 3.7	– Resultados de simulação para portadoras em POD e sequência tipo 2 com modulante CC constante. (a) Portadoras triangulares e sinais modulantes. (b) Tensão v_{AB} . (c) Tensão v_{AB} média em um ciclo da portadora.....	100
Figura 3.8	– Modulação com portadoras em POD, sinal modulante do inversor e sinal modulante da porta CC secundária para sequência tipo 2 conforme (3.1).	101
Figura 3.9	– Modulação com portadoras em POD, sinal modulante do inversor e sinal modulante da porta CC secundária para sequência tipo 2 conforme (3.2).	101
Figura 3.10	– Resultados de simulação para portadoras em POD e sequência tipo 2b. (a) Portadoras triangulares e sinais modulantes. (b) Tensão v_x . (c) Tensão v_{AB} . (d) Corrente i_E	102
Figura 3.11	– (a) Espectros das tensões v_x , (b) v_{AB} e (c) da corrente i_E obtidos a partir dos sinais temporais da Figura 3.10.....	103
Figura 3.12	– Modulação com portadoras em PD, sinal modulante do inversor e sinal modulante da porta CC secundária para sequência tipo 1.....	104

Figura 3.13	– Resultados de simulação para portadoras em PD e sequência tipo 1 para uma condição ideal de sincronismo dos sinais modulantes com as portadoras. (a) Portadoras triangulares e sinais modulantes. (b) Tensão v_x . (c) Tensão v_{AB} . (d) Corrente i_E	105
Figura 3.14	– (a) Espectros das tensões v_x , (b) v_{AB} e (c) da corrente i_E obtidos a partir dos sinais temporais da Figura 3.13.....	105
Figura 3.15	– Resultados de simulação para portadoras em PD e sequência tipo 1 para uma condição em que não há sincronismo dos sinais modulantes com as portadoras. (a) Portadoras triangulares e sinais modulantes. (b) Tensão v_x . (c) Tensão v_{AB} . (d) Corrente i_E	106
Figura 3.16	– Resultados de simulação para portadoras em PD e sequência tipo 1 para $v_{m,ca}$ amostrado no pico das portadoras. (a) Portadoras triangulares e sinais modulantes. (b) Sinal de amostragem δ . (c) Tensão v_x . (d) Tensão v_{AB} . (e) Corrente i_E	107
Figura 3.17	– (a) Espectros das tensões v_x , (b) v_{AB} e (c) da corrente i_E obtidos a partir dos sinais temporais da Figura 3.16.....	108
Figura 3.18	– Modulação com portadoras em PD, sinal modulante do inversor e sinal modulante da porta CC secundária para sequência tipo 2.....	109
Figura 3.19	– Resultados de simulação para portadoras em PD e sequência tipo 2. (a) Portadoras triangulares e sinais modulantes. (b) Tensão v_x . (c) Tensão v_{AB} . (d) Corrente i_E	109
Figura 3.20	– (a) Espectros das tensões v_x , (b) v_{AB} e (c) da corrente i_E obtidos a partir dos sinais temporais da Figura 3.19.....	110
Figura 3.21	– Resultados de simulação para operação como conversor CC-CC. (a) Portador triangular e sinal modulante $v_{m,cc}$. (b) Tensão v_{AB} . (c) Corrente i_E . (d) Tensão v_x	112
Figura 4.1	– Detalhamento das formas de onda para obtenção do intervalo de integração do estado P para S_1 . Situação hipotética com $\theta > 0$ e $I_E < 0$	120
Figura 4.2	– Detalhamento da forma de onda de corrente no dispositivo controlado S_1 com os respectivos estados de condução.....	121
Figura 4.3	– Correntes (a) média e (b) eficaz em S_1 normalizadas em relação a I_p e com $I_E = \pm 0,44I_p$. ESS em modo de descarga (vermelho) e recarga (azul) para $V_E/(V_{cc}/2) = 0,875$ ($d_z = 0,125$).....	123
Figura 4.4	– Correntes (a) média e (b) eficaz em D_1 normalizadas em relação a I_p e com $I_E = \pm 0,44I_p$. ESS em modo de descarga (vermelho) e recarga (azul) para $V_E/(V_{cc}/2) = 0,875$ ($d_z = 0,125$).....	125
Figura 4.5	– Correntes (a) média e (b) eficaz em S_2 normalizadas em relação a I_p e com $I_E = \pm 0,44I_p$. ESS em modo de descarga (vermelho) e recarga (azul) para $V_E/(V_{cc}/2) = 0,875$ ($d_z = 0,125$).....	128
Figura 4.6	– Correntes (a) média e (b) eficaz em D_2 normalizadas em relação a I_p e com $I_E = \pm 0,44I_p$. ESS em modo de descarga (vermelho) e recarga (azul) para $V_E/(V_{cc}/2) = 0,875$ ($d_z = 0,125$).....	130
Figura 4.7	– Detalhamento das formas de onda para obtenção do intervalo de integração do estado 0L1 para S_6 . Situação hipotética com $\theta = 0$ rad e $I_E > 0$..	131
Figura 4.8	– Correntes (a) média e (b) eficaz em S_6 normalizadas em relação a I_p e com $I_E = \pm 0,44I_p$. ESS em modo de descarga (vermelho) e recarga (azul) para $V_E/(V_{cc}/2) = 0,875$ ($d_z = 0,125$).....	134
Figura 4.9	– Correntes (a) média e (b) eficaz em D_6 normalizadas em relação a I_p e com $I_E = \pm 0,44I_p$. ESS em modo de descarga (vermelho) e recarga (azul) para $V_E/(V_{cc}/2) = 0,875$ ($d_z = 0,125$).....	137
Figura 4.10	– Sentidos das correntes através dos capacitores do barramento CC.....	137

Figura 4.11	– Corrente eficaz em C_1 normalizada em relação a I_p e com $I_E = \pm 0,44I_p$. ESS em modo de (a) descarga (vermelho) e (b) recarga (azul) para $V_E/(V_{cc}/2) = 0,875$ ($d_z = 0,125$).....	140
Figura 4.12	– (a) Corrente média nos capacitores do barramento CC em um ciclo de comutação e (b) Ondulação de tensão correspondente. Resultados obtidos para $I_p = 1$ A, $I_E = 0$ A, $m_a = 0,77$ e $C = 1$ mF.....	141
Figura 4.13	– Ábaco para dimensionamento da capacitância do barramento CC em função da ondulação máxima de tensão.....	143
Figura 4.14	– Ábaco para dimensionamento da indutância da porta CC secundária em função da relação V_E/V_{cc}	144
Figura 4.15	– Perdas teóricas por condução. (a) Símbolos do IGBT e do diodo e respectivos circuitos equivalentes. (b) Curva $i_C \times v_{CE}$ típica do IGBT em condução.....	146
Figura 4.16	– Circuito térmico do conversor ANPC-3P.....	148
Figura 4.17	– Comparação das perdas nos semicondutores para modulações POD com sequência (a) do tipo 1 e (b) do tipo 2. Resultados para ESS em flutuação e potência nominal na porta CA (FP=1).....	150
Figura 4.18	– Comparação das perdas nos semicondutores para (a) o inversor ANPC e (b) o conversor ANPC-3P com sequências do tipo 1 e 2. ESS em flutuação ($I_E = 0$ A) e potência nominal na porta CA (FP=1).....	151
Figura 4.19	– Comparação das perdas nos semicondutores para modulações POD com sequência (a) do tipo 1 e (b) do tipo 2. Resultados para ESS em descarga e potência nominal nas portas CC secundária e CA (FP=1).....	152
Figura 4.20	– Comparação das perdas nos semicondutores para modulações POD com sequência (a) do tipo 1 e (b) do tipo 2. Resultados para ESS em recarga com potência de 50% nas portas CC secundária e CA (FP=1).....	152
Figura 4.21	– Comparação das perdas nos semicondutores para modulações POD com (a) sequência do tipo 1 e (b) tipo 2. Resultados para ESS em recarga e potência nominal nas portas CC secundária e CA (FP=-1).....	153
Figura 4.22	– Fluxo de potência e respectivo rendimento para configurações com conexão do ESS nos barramentos (a) CC e (b) CA.....	154
Figura 4.23	– Esforços máximos de corrente nos dispositivos eletrônicos em função do índice de modulação de amplitude considerando-se variações de I_E , I_p e θ em todos os seus valores possíveis e que respeitem as restrições impostas para aplicações FV.....	160
Figura 4.24	– Ábaco para dimensionamento da capacitância do barramento CC em função da ondulação máxima de tensão para aplicação FV.....	161
Figura 4.25	– Diagrama de blocos simplificado de uma UPS dupla conversão <i>on-line</i> ...	162
Figura 4.26	– Diagrama de blocos simplificado de uma UPS dupla conversão <i>on-line</i> com conversor ANPC-3P.....	164
Figura 4.27	– Esforços máximos de corrente nos dispositivos eletrônicos em função do índice de modulação de amplitude considerando-se variações de I_E , I_p e θ em todos os seus valores possíveis e que respeitem as restrições impostas para aplicações UPS. Valores obtidos para potência de recarga do ESS de 30% da potência nominal.....	166
Figura 4.28	– Ábaco para dimensionamento da capacitância do barramento CC em função da ondulação máxima de tensão para aplicação em UPS com corrente de recarga de até 30% da corrente de descarga do ESS.....	167
Figura 5.1	– Circuito de potência incluindo alguns elementos auxiliares e variáveis a serem medidas.....	170
Figura 5.2	– Diagrama de blocos do sistema de controle básico.....	171
Figura 5.3	– Circuito simplificado do conversor visto pela porta CC secundária.....	173

Figura 5.4	– Resultados de simulação da corrente i_E para perturbação em d_z considerando o circuito e o modelo médio linear. (a) Modulação POD com sequência tipo 1. (b) Modulação POD com sequência tipo 2. (c) Modulação PD com sequência tipo 1. (d) Modulação PD com sequência tipo 2.....	174
Figura 5.5	– Circuitos equivalentes (a) do modelo simplificado de uma célula, (b) de uma bateria e (c) de um banco de baterias, utilizados para simulação da conexão com conversores estáticos.....	175
Figura 5.6	– Diagrama da malha de controle de corrente.....	177
Figura 5.7	– Diagramas de Bode relativos à malha de controle da corrente i_E	178
Figura 5.8	– Resultados de simulação para o controle da corrente i_E proposto. (a) Correntes i_E e i_E^* . (b) Sinal $v_{m,cc}$	179
Figura 5.9	– Diagrama da malha de controle de tensão.....	179
Figura 5.10	– Resultados de simulação para o controle de tensão proposto. (a) i_E e i_E^* . (b) v_E e v_E^*	181
Figura 5.11	– Correntes através dos capacitores do barramento CC nos estados (a) 0U1 com $i_E > 0$, (b) 0U1 com $i_E < 0$ (c) 0L1 com $i_E > 0$ e (d) 0L1 com $i_E < 0$	182
Figura 5.12	– Resultados de simulação para o controlador <i>ON-OFF</i> responsável pelo balanceamento do barramento CC através da corrente i_E . (a) Tensões dos capacitores do barramento CC. (b) corrente i_E	183
Figura 5.13	– Diagrama de blocos do sistema de controle com a inclusão da ação FF na malha de corrente do ESS.....	186
Figura 5.14	– Resultados de simulação para o controlador FF e modulação POD com sequência tipo 1. (a) Corrente i_E . (b) Tensões dos capacitores do barramento CC. (c) Ação de controle total da porta CC secundária (u_{ess}). (d) Ação FF proposta (u_{FF}).....	187
Figura 5.15	– Diagrama de blocos do sistema de controle com a inclusão da ação ressonante na malha de corrente do ESS.....	189
Figura 5.16	– Diagrama da malha de controle de corrente com a inclusão da ação ressonante.....	189
Figura 5.17	– Comparação dos diagramas de Bode da função de transferência de malha aberta (FTMA) da corrente i_E com e sem o controlador ressonante.....	190
Figura 5.18	– Resultados de simulação para o controlador ressonante e modulação POD com sequência tipo 1. (a) Corrente i_E . (b) Tensões dos capacitores do barramento CC. (c) Ação de controle total na porta CC secundária ou sinal modulante ($v_{m,cc}$). (d) Apenas a parcela ressonante da ação de controle ($u_{rcc} - u_{cc}$).....	191
Figura 5.19	– Diagrama da malha de controle de corrente CA.....	192
Figura 5.20	– Diagramas de Bode relativos à malha de controle da corrente i_x	193
Figura 5.21	– Diagramas de Bode relativos à malha de controle da corrente i_x	194
Figura 5.22	– Sentidos das correntes através dos capacitores do barramento CC.....	196
Figura 5.23	– Resultados de simulação e do modelo da tensão no capacitor C_2 para perturbação em i_{bal}	197
Figura 5.24	– Diagrama da malha de controle para balanceamento das tensões dos polos do barramento CC utilizando a corrente da porta CA.....	197
Figura 5.25	– Diagramas de Bode relativos à malha de controle da corrente i_x	198
Figura 5.26	– Resultados de simulação do sistema de controle da porta CA mostrando o balanceamento das tensões dos polos do barramento CC através da aplicação de i_{bal}	199

Figura 5.27	– Resultados de simulação do sistema de controle da corrente i_x . (a) Corrente i_x , referência de corrente CA (i_x^*) e referência de corrente CA somada a parcela de balanceamento ($i_x^* + i_{bal}$). (b) ação de controle da porta CA ($v_{m,ca}$). (c) Tensões nos polos do barramento CC.....	200
Figura 5.28	– Resultados de simulação do sistema de controle completo para os modos I, II e IV. (a) Potência nas portas de potência. (b) Corrente no ESS e corrente de referência do compensador (i_E^*). (c) Corrente na porta CA e referência de corrente CA (i_x^*). (d) Tensões dos polos do barramento CC.	201
Figura 5.29	– Resultados de simulação do sistema de controle completo mostrando os modos I, II e III. (a) Potência nas portas de potência. (b) Corrente no ESS e corrente de referência do compensador (i_E^*). (c) Corrente na porta CA e referência de corrente CA (i_x^*). (d) Tensões dos polos do barramento CC.	202
Figura 6.1	– Circuito simplificado do conversor utilizado nos experimentos.....	203
Figura 6.2	– (a) Foto do protótipo com a indicação das partes que o compõem. (b) Foto do banco de baterias utilizado como ESS.....	205
Figura 6.3	– Formas de onda das correntes i_x e i_E , da tensão PWM (v_x) e da tensão da rede (v_r) utilizando sequência do tipo 1. Potência positiva nominal injetada na rede com (a) ESS em flutuação e (b) ESS em descarga com potência nominal. (c) ESS em recarga e potência restante injetada na rede. (d) ESS sendo carregado pela rede CA (potência CA negativa).	209
Figura 6.4	– Formas de onda das correntes i_x e i_E , das tensões PWM das portas CA (v_x) e CC secundária (v_{AB}) utilizando sequência do tipo 1. (a) Formas de onda mostrando um ciclo completo de rede. (b) Ampliação das formas de onda para mostrar maiores detalhes, em especial os pulsos indesejados em v_{AB}	210
Figura 6.5	– Comparação dos limites das componentes harmônicas definidos na NBR16149 com o espectro harmônico da corrente injetada na rede. Modulação POD com sequência do tipo 1.....	210
Figura 6.6	– Formas de onda das correntes i_x e i_E , da tensão PWM (v_x) e da tensão da rede (v_r) utilizando sequência do tipo 2. Potência positiva nominal injetada na rede com (a) ESS em flutuação e (b) ESS em descarga com potência nominal. (c) ESS em recarga e potência restante injetada na rede. (d) ESS sendo carregado pela rede CA (potência CA negativa).	212
Figura 6.7	– Formas de onda das correntes i_x e i_E , das tensões PWM das portas CA (v_x) e CC secundária (v_{AB}) utilizando sequência do tipo 2. (a) Formas de onda mostrando um ciclo completo de rede. (b) Ampliação das formas de onda para mostrar maiores detalhes, em especial a ausência de pulsos indesejados em v_{AB}	213
Figura 6.8	– Espectros de baixa frequência da corrente i_E nos modos de (a) descarga e (b) recarga do ESS para modulação POD com as sequências do tipo 1 e 2.....	213
Figura 6.9	– Formas de onda das correntes i_x e i_E e das tensões dos polos do barramento CC. Degraus de flutuação para (a) descarga e (b) recarga na porta CC secundária com ativação e desativação do compensador ressonante da corrente i_E	215
Figura 6.10	– Formas de onda das correntes i_x e i_E e das tensões dos polos do barramento CC. (a) Degraus de corrente na porta CA e no ESS e (b) degraus com reversão do fluxo de potência na porta CA e ESS em modo de recarga.....	216
Figura 6.11	– Curvas de rendimento do conversor operando com potência injetada na rede positiva e ESS em flutuação para (a) sequência do tipo 1 e (b) sequência do tipo 2 na porta CC secundária.	218

Figura 6.12 – Curvas de rendimento do conversor operando com potência positiva injetada na rede e ESS em descarga para (a) sequência do tipo 1 e (b) sequência do tipo 2 na porta CC secundária.....	219
Figura 6.13 – Curvas de rendimento em função da corrente i_E para o conversor operando com potência positiva injetada na rede e ESS em recarga para (a) sequência do tipo 1 e (b) sequência do tipo 2 na porta CC secundária.....	219
Figura 6.14 – Curvas de rendimento em função da corrente i_E para o conversor operando com potência negativa na porta CA (modo retificador com FP=-1) e ESS em recarga para (a) sequência do tipo 1 e (b) sequência do tipo 2 na porta CC secundária.....	220

LISTA DE TABELAS

Tabela 1.1	– Classificação de alguns tipos de ESS pela capacidade energética ou de potência.	42
Tabela 2.1	– Estados de condução permitidos para o inversor NPC e respectivos níveis de tensão.	54
Tabela 2.2	– Estados de condução originalmente apresentados para o inversor ANPC e respectivos níveis de tensão.	55
Tabela 2.3	– Resumo dos estados de condução permitidos para o inversor ANPC com os respectivos níveis de tensão e a corrente no ponto neutro (i_{np}).	59
Tabela 2.4	– Resumo dos estados de condução do conversor ANPC-3P com os respectivos níveis de tensão nas portas de potência e a corrente no ponto neutro (i_{np}).	70
Tabela 2.5	– Resumo das correntes nas chaves para cada estado de condução.	70
Tabela 2.6	– Resumo das características das comutações entre os estados P e N e os demais estados de condução.	76
Tabela 2.7	– Resumo das características das comutações entre o estado 0L1 e 0U1 e os demais estados de condução.	77
Tabela 2.8	– Sequências de comutação a serem adotadas para comutações dos tipos II e III.	88
Tabela 2.9	– Estados de condução para operação no modo CC-CC.	89
Tabela 3.1	– Parâmetros do conversor monofásico utilizado nas simulações das estratégias de modulação.	97
Tabela 3.2	– Resumo das principais características dos sistemas de modulação.	113
Tabela 4.1	– Correntes nos polos do barramento CC do inversor para cada um dos estados de condução.	138
Tabela 4.2	– Parâmetros do conversor monofásico utilizado nas simulações para cálculos de perdas.	150
Tabela 4.3	– Especificações de um inversor FV conectado à rede e com ESS formado por baterias de íons de lítio.	157
Tabela 4.4	– Comparação de dois projetos distintos para conexão de uma fonte CC principal e um ESS à rede (tensão eficaz de linha da rede (V_{LL}): 380 V)..	158
Tabela 4.5	– Fluxo de potência no conversor ANPC-3P em aplicação FV.	159
Tabela 4.6	– Especificações de um inversor aplicado em UPS e com ESS formado por baterias de chumbo-ácido.	164
Tabela 4.7	– Fluxo de potência no conversor ANPC-3P em aplicação UPS.	165
Tabela 5.1	– Fluxo de potência no conversor ANPC-3P em aplicação conectada à rede.	170
Tabela 5.2	– Parâmetros do conversor monofásico utilizado nas simulações relacionadas aos sistemas de controle.	172
Tabela 5.3	– Tabela de seleção entre os estados 0U1 e 0L1 de acordo com a corrente i_E e as tensões dos polos do barramento CC.	182
Tabela 6.1	– Parâmetros do protótipo monofásico construído.	204
Tabela 6.2	– Valores percentuais de DHT_{iCC} da corrente i_E para os modos de descarga e recarga do ESS considerando a modulação POD com as sequências do tipo 1 e 2.	214
Tabela A.1	– Parâmetros de projeto do conversor monofásico proposto nesta Tese.	239

LISTA DE ABREVIATURAS E SIGLAS

0	Estado de condução do inversor NPC com tensão zero na porta CA
0L1	Estado de condução com tensão zero na porta CA e $V_{cc}/2$ na porta CC secundária
0L2	Estado de condução com tensão zero na porta CA
0L3	Estado de condução com tensão zero na porta CA e na porta CC secundária
0L4	Estado de condução com tensão zero na porta CA e na porta CC secundária
0U1	Estado de condução com tensão zero na porta CA e $V_{cc}/2$ na porta CC secundária
0U2	Estado de condução com tensão zero na porta CA
0U3	Estado de condução com tensão zero na porta CA e na porta CC secundária
0U4	Estado de condução com tensão zero na porta CA e na porta CC secundária
0UL	Estado de condução com tensão zero na porta CA e na porta CC secundária
A	Nó do circuito elétrico do conversor ANPC formado pela conexão dos dispositivos S_1 , S_2 e S_5
ABNT	Associação Brasileira de Normas Técnicas
ANPC	<i>Active Neutral-Point-Clamped</i>
ANPC–3P	Topologia ANPC de 3 Portas
APOD	<i>Alternative Phase Opposition Disposition</i>
B	Nó do circuito elétrico do conversor ANPC formado pela conexão dos dispositivos S_3 , S_4 e S_6
BNC	<i>Bayonet Neill-Concelman</i>
BSF	<i>Band-Stop Filter</i>
CA	Corrente Alternada
CC	Corrente Contínua
CC0	Estado de condução com tensão zero na port CC secundária - modo conversor CC-CC
CCN	Estado de condução com tensão $V_{cc}/2$ na port CC secundária - modo conversor CC-CC
CCP	Estado de condução com tensão $V_{cc}/2$ na port CC secundária - modo conversor CC-CC
DHT	Distorção Harmônica Total
ESS	<i>Energy Storage Systems</i>
FC	<i>Flying Capacitor</i>
FF	<i>Feedforward</i>
FP	Fator de Potência
FPGA	<i>Field-Programmable Gate Array</i>
FTMA	Função de Transferência de Malha Aberta
FTMF	Função de Transferência de Malha Fechada
FV	Fotovoltaica
GEPOC	Grupo de Eletrônica de Potência e Controle

LISTA DE ABREVIATURAS E SIGLAS

HESS	<i>Hybrid Energy Storage System</i>
IGBT	<i>Insulated Gate Bipolar Transistor</i>
IGCT	<i>Insulated Gate Commutated Thyristor</i>
LC	Circuito formado pela associação série ou paralela de um capacitor e um indutor
LCL	Circuito formado pela associação de dois indutores e um capacitor
LCR	Indutância Capacitância e Resistência
MF	Margem de Fase
MG	Margem de Ganho
MPC	<i>Multiport Converter</i>
MPI	<i>Multiport Inverter</i>
MPPT	<i>Maximum Power Point Tracking</i>
MSPS	<i>Mega Samples Per Second</i>
N	Estado de condução com tensão $-V_{cc}/2$ na porta CA e $V_{cc}/2$ na porta CC secundária
NPC	<i>Neutral-Point-Clamped</i>
P	Estado de condução com tensão $V_{cc}/2$ na porta CA e na porta CC secundária
PCC	Ponto comum de conexão
PD	<i>Phase Disposition</i>
PDO	<i>Phase Opposition Disposition</i>
PI	Proporcional-Integral
PLL	<i>Phase-Locked Loop</i>
PR	Proporcional-Ressonante
PSIM	<i>Software</i> de simulação desenvolvido pela Powersim
PWM	<i>Pulse-Width Modulation</i>
qZSI	<i>Quasi-Z-Source Inverter</i>
RAM	<i>Random-Access Memory</i>
RES	Ressonante
RL	Circuito formado pela associação série ou paralela de um resistor com um indutor
SISO	<i>Single-Input Single-Output</i>
SMES	<i>Superconducting Magnetic Energy Storage</i>
SOC	<i>State of Charge</i>
SPICE	<i>Simulated Program with Integrated Circuits Emphasis</i>
STATCOM	<i>Static Synchronous Compensator</i>
SVM	<i>Space Vector Modulation</i>
UPS	<i>Uninterruptible Power Supply</i>
VRLA	<i>Valve-Regulated Lead-Acid</i>
VSC	<i>Voltage Source Converter</i>
XOR	Porta lógica ou-exclusivo
ZCT	<i>Zero-Current-Transition</i>
ZOH	<i>Zero-Order Hold</i>
ZSI	<i>Z-Source Inverter</i>

LISTA DE SÍMBOLOS

δ	Trem de pulsos do amostrador
ΔI_E	Ondulação da corrente I_E
$\Delta_{0L1}(\phi)$	Razão cíclica do estado 0L1 em função do ângulo de referência
$\Delta_{0U1}(\phi)$	Razão cíclica do estado 0U1 em função do ângulo de referência
$\Delta_P(\phi)$	Razão cíclica do estado P em função do ângulo de referência
ΔV_C	Fator de ondulação da tensão dos capacitores do barramento CC
$\Delta V_c(t)$	Sinal de ondulação nas tensões dos polos do barramento CC
ζ_p	Coefficiente de amortecimento referente aos polos do controlador ressonante
ζ_z	Coefficiente de amortecimento referente aos zeros do controlador ressonante
θ	Ângulo de defasagem entre a tensão e corrente da porta CA
ϕ	Ângulo de referência da modulação da porta CA
ϕ_1	Ângulo inferior do intervalo de integração para correntes com deslocamento CC
ϕ_2	Ângulo superior do intervalo de integração para correntes com deslocamento CC
ϕ_h	Ângulo superior do intervalo de integração
ϕ_{hp}	Ângulo superior do intervalo de integração do semiciclo positivo
ϕ_{hn}	Ângulo superior do intervalo de integração do semiciclo negativo
ϕ_l	Ângulo inferior do intervalo de integração
ϕ_{lp}	Ângulo inferior do intervalo de integração do semiciclo positivo
ϕ_{ln}	Ângulo inferior do intervalo de integração do semiciclo negativo
ψ	Ângulo de integração variável utilizado no cálculo da tensão dos capacitores do barramento CC
ω_0	Frequência angular de um sistema de segunda ordem
ω_z	Frequência angular dos zeros do controlador ressonante
ω_p	Frequência angular dos polos do controlador ressonante
ω_r	Frequência angular da rede
B	Largura da banda de passagem ou de parada de um filtro de segunda ordem
b_{ca}	Sinal de polaridade do sinal modulante da porta CA
b_{cc}	Sinal de seleção dos estados 0U1 e 0L1
b_n	Sinal de seleção e duração do vetor $-V_{cc}/2$
b_p	Sinal de seleção e duração do vetor $V_{cc}/2$
b_z	Sinal de seleção e duração do vetor zero
C	Capacitância dos polos do barramento CC ($C_1 = C_2 = C$)
C_1	Capacitor conectado ao pólo positivo do barramento CC
C_{10}	Capacidade de uma bateria para uma descarga de 10h
C_2	Capacitor conectado ao pólo negativo do barramento CC
C_{20}	Capacidade de uma bateria para uma descarga de 20h
$C_{c2b}(s)$	Função de transferência do controlador de balanceamento do barramento CC
$C_{ica}(s)$	Função de transferência do controlador de corrente da porta CA
$C_{icc}(s)$	Função de transferência do controlador de corrente da porta CC secundária

LISTA DE SÍMBOLOS

$C_{vcc}(s)$	Função de transferência do controlador de tensão da porta CC secundária
d	Razão cíclica dos estados de condução P ou N na porta CA
$D(s)$	Razão cíclica dos estados de condução P ou N na porta CA no domínio da frequência
d_{\max}	Razão cíclica máxima da porta CA
\hat{d}_z	Perturbação na razão cíclica do nível zero na porta CC secundária
d_z	Razão cíclica do nível zero na porta CC secundária
D_z	Valor médio da razão cíclica do nível zero na porta CC secundária
D_k	Dispositivo semiconductor não-controlado k ($k = 1, 2, 3, 4, 5$ ou 6)
D_{kx}	Dispositivo semiconductor não-controlado k ($k = 1, 2, 3, 4, 5$ ou 6) da fase x (a, b ou c)
DHT_i	Distorção Harmônica Total de corrente
DHT_{iCC}	Figura de mérito que relaciona o valor CC de uma corrente com as componentes do seu espectro harmônico
E_{off}	Energia dissipada no bloqueio do IGBT
E_{on}	Energia dissipada na entrada em condução do IGBT
E_{rr}	Energia dissipada no diodo devido à recuperação reversa
$f_{\Delta V_{ca}}$	Fator de queda de tensão no filtro da porta CA
$f_{\Delta V_{cc}}$	Fator de tolerância da tensão do ESS – inclui a queda de tensão na resistência série do filtro e do ESS
f_r	Frequência da rede elétrica
f_s	Frequência da portadora da modulação PWM ou frequência de amostragem
f_{st}	Fator de sobretensão no ponto de conexão CA
$G_{bsf}(s)$	Função de transferência do filtro rejeita banda
$G_{c2b}(s)$	Função de transferência da tensão do capacitor C_2 pela ação de controle i_{bal}
$G_{ica}(s)$	Função de transferência da corrente da porta CA pela ação de controle u_{ca}
$G_{icc}(s)$	Função de transferência da corrente da porta CC secundária pela ação de controle u_{cc}
$G_{vcc}(s)$	Função de transferência da tensão do ESS pela corrente i_E
H	Histerese
$I(f_n)$	Valor eficaz da componente de I na frequência f_n
i_{bal}	Ação do sistema de controle do balanceamento das tensões do barramento CC a partir da corrente CA
$I_{bal}(s)$	Ação do sistema de controle do balanceamento das tensões do barramento CC a partir da corrente CA no domínio da frequência
$I_{ca}(s)$	Corrente da porta CA no domínio da frequência
I_{cc}	Corrente no barramento CC
i_{C1}	Corrente no capacitor C_1
$\langle i_{C1}(\phi) \rangle_{T_s}$	Corrente média no capacitor C_1 em um ciclo de comutação T_s
$I_{C1,0L1,rms}$	Corrente eficaz relacionada ao estado 0L1 no capacitor C_1
$I_{C1,0U1,rms}$	Corrente eficaz relacionada ao estado 0U1 no capacitor C_1
$I_{C1,P,rms}$	Corrente eficaz relacionada ao estado P no capacitor C_1

LISTA DE SÍMBOLOS

$I_{C_{1,N,rms}}$	Corrente eficaz relacionada ao estado N no capacitor C_1
$I_{C_{1,rms}}$	Corrente eficaz no capacitor C_1
$I_{C_{rms}}$	Corrente eficaz nos capacitores do barramento CC
i_{C2}	Corrente no capacitor C_2
I_{CC}	Valor CC ou valor médio de I
i_{Dk}	Corrente do dispositivo diodo k ($k = 1, 2, 3, 4, 5$ ou 6)
$I_{D_{k,0L1,avg}}$	Corrente média relacionada ao estado 0L1 no diodo k ($k = 1, 2, 3, 4, 5$ ou 6)
$I_{D_{k,0L1,rms}}$	Corrente eficaz relacionada ao estado 0L1 no diodo k ($k = 1, 2, 3, 4, 5$ ou 6)
$I_{D_{k,0U1,avg}}$	Corrente média relacionada ao estado 0U1 no diodo k ($k = 1, 2, 3, 4, 5$ ou 6)
$I_{D_{k,0U1,rms}}$	Corrente eficaz relacionada ao estado 0U1 no diodo k ($k = 1, 2, 3, 4, 5$ ou 6)
$I_{D_{k,0UL,avg}}$	Corrente média relacionada ao estado 0UL no diodo k ($k = 1, 2, 3, 4, 5$ ou 6)
$I_{D_{k,0UL,rms}}$	Corrente eficaz relacionada ao estado 0UL no diodo k ($k = 1, 2, 3, 4, 5$ ou 6)
$I_{D_{k,avg}}$	Corrente média no diodo k ($k = 1, 2, 3, 4, 5$ ou 6)
$I_{D_{k,avg}}$	Corrente média no diodo k ($k = 1, 2, 3, 4, 5$ ou 6)
$I_{D_{k,P,avg}}$	Corrente média relacionada ao estado P no diodo k ($k = 1, 2, 3, 4, 5$ ou 6)
$I_{D_{k,P,rms}}$	Corrente eficaz relacionada ao estado P no diodo k ($k = 1, 2, 3, 4, 5$ ou 6)
$I_{D_{k,rms}}$	Corrente eficaz na chave k ($k = 1, 2, 3, 4, 5$ ou 6)
\hat{i}_E	Perturbação na corrente da porta CC secundária
i_E^*	Corrente de referência do sistema de controle da porta CC secundária
i_E	Corrente da porta CC secundária
I_E	Componente CC da corrente da porta CC secundária
$I_E(s)$	Corrente da porta CC secundária no domínio da frequência
i_{Ecc}^*	Corrente de referência para o modo de corrente constante do sistema de controle da porta CC secundária
$I_{L,rms}$	Corrente eficaz que atravessa um indutor
i_{nbus}	Corrente no polo negativo do barramento CC
i_{np}	Corrente no ponto neutro
$\langle i_{np} \rangle_{Tr}$	Corrente média no ponto neutro em um ciclo de rede
I_p	Corrente de pico da porta CA
i_{pbus}	Corrente no polo positivo do barramento CC
i_D^\downarrow	Corrente no diodo no instante do bloqueio
i_S^\downarrow	Corrente no IGBT no instante do bloqueio
i_S^\uparrow	Corrente no IGBT no instante em que entra em condução
i_{Sk}	Corrente do dispositivo semiconductor controlado k ($k = 1, 2, 3, 4, 5$ ou 6)
i_{S_k/D_k}	Corrente na chave k ($k = 1, 2, 3, 4, 5$ ou 6)
$I_{S_{k,0L1,avg}}$	Corrente média relacionada ao estado 0L1 na chave k ($k = 1, 2, 3, 4, 5$ ou 6)
$I_{S_{k,0L1',avg}}$	Parcela 1 da corrente eficaz relacionada ao estado 0L1 na chave k ($k = 1, 2, 3, 4, 5$ ou 6)
$I_{S_{k,0L1'',avg}}$	Parcela 2 da corrente eficaz relacionada ao estado 0L1 na chave k ($k = 1, 2, 3, 4, 5$ ou 6)

LISTA DE SÍMBOLOS

$I_{S_{k,0L1'''},avg}$	Parcela 3 da corrente eficaz relacionada ao estado 0L1 na chave k ($k = 1, 2, 3, 4, 5$ ou 6)
$I_{S_{k,0L1},rms}$	Corrente eficaz relacionada ao estado 0L1 na chave k ($k = 1, 2, 3, 4, 5$ ou 6)
$I_{S_{k,0L1'},rms}$	Parcela 1 da corrente eficaz relacionada ao estado 0L1 na chave k ($k = 1, 2, 3, 4, 5$ ou 6)
$I_{S_{k,0L1''},rms}$	Parcela 2 da corrente eficaz relacionada ao estado 0L1 na chave k ($k = 1, 2, 3, 4, 5$ ou 6)
$I_{S_{k,0L1'''},rms}$	Parcela 3 da corrente eficaz relacionada ao estado 0L1 na chave k ($k = 1, 2, 3, 4, 5$ ou 6)
$I_{S_{k,0U1},avg}$	Corrente média relacionada ao estado 0U1 na chave k ($k = 1, 2, 3, 4, 5$ ou 6)
$I_{S_{k,0U1},rms}$	Corrente eficaz relacionada ao estado 0U1 na chave k ($k = 1, 2, 3, 4, 5$ ou 6)
$I_{S_{k,0U1'},avg}$	Parcela 1 da corrente média relacionada ao estado 0U1 na chave k ($k = 1, 2, 3, 4, 5$ ou 6)
$I_{S_{k,0U1''},avg}$	Parcela 2 da corrente média relacionada ao estado 0U1 na chave k ($k = 1, 2, 3, 4, 5$ ou 6)
$I_{S_{k,0U1'},rms}$	Parcela 1 da corrente eficaz relacionada ao estado 0U1 na chave k ($k = 1, 2, 3, 4, 5$ ou 6)
$I_{S_{k,0U1''},rms}$	Parcela 2 da corrente eficaz relacionada ao estado 0U1 na chave k ($k = 1, 2, 3, 4, 5$ ou 6)
$I_{S_{k,0UL},avg}$	Corrente média relacionada ao estado 0UL na chave k ($k = 1, 2, 3, 4, 5$ ou 6)
$I_{S_{k,0UL},rms}$	Corrente eficaz relacionada ao estado 0UL na chave k ($k = 1, 2, 3, 4, 5$ ou 6)
$I_{S_{k,avg}}$	Corrente média na chave k ($k = 1, 2, 3, 4, 5$ ou 6)
$I_{S_{k,P},avg}$	Corrente média relacionada ao estado P na chave k ($k = 1, 2, 3, 4, 5$ ou 6)
$I_{S_{k,P},rms}$	Corrente eficaz relacionada ao estado P na chave k ($k = 1, 2, 3, 4, 5$ ou 6)
$I_{S_{k,rms}}$	Corrente eficaz na chave k ($k = 1, 2, 3, 4, 5$ ou 6)
i_x	Corrente de saída da porta CA da fase x (a, b ou c)
i_x^*	Corrente de referência do sistema de controle da corrente da porta CA
I_x	Corrente eficaz da porta CA da fase x (a, b ou c)
k_f	Ganho de um filtro genérico
k_{pi}	Ganho proporcional do controlador de corrente da porta CC secundária
k_{pv}	Ganho proporcional do controlador de tensão da porta CC secundária
k_r	Ganho do controlador ressonante
$k_{R,off}$	Fator de correção das perdas do IGBT no bloqueio de acordo com o resistor de <i>gate</i> utilizado
$k_{R,on}$	Fator de correção das perdas do IGBT na entrada em condução de acordo com o resistor de <i>gate</i> utilizado
K_{vd}	Fator de ajuste das perdas do diodo com relação ao nível de tensão
K_{vs}	Fator de ajuste das perdas do IGBT com relação ao nível de tensão
L_E	Indutor de filtro da porta CC secundária
L_p	Indutor parasita da placa de circuito impresso
L_x	Indutor de filtro da porta CA da fase x (a, b ou c)
m_a	Índice de modulação de amplitude

LISTA DE SÍMBOLOS

M_E	Ganho estático da porta CC secundária
m_f	Índice de modulação de frequência
$modo$	Seleção do modo de operação do sistema de controle: corrente constante ou tensão constante
n	Ponto neutro
N_{cell}	Número de células associadas em série em uma bateria ou banco de baterias
P_{ca}	Potência da porta CA do inversor
P_{cc}	Potência da porta CC principal
P_{CD}	Potência de perdas do diodo por condução
P_{cobre}	Potência de perdas no cobre do enrolamento de um indutor
P_{CS}	Potência de perdas do IGBT por condução
P_{ess}	Potência do ESS (ou da porta CC secundária)
P_{Dk}	Potência de perdas do diodo S_k ($k = 1, 2, 3, 4, 5$ ou 6)
P_{Sk}	Potência de perdas do IGBT S_k ($k = 1, 2, 3, 4, 5$ ou 6)
$P_{SW,off}$	Potência de perdas do IGBT no bloqueio
$P_{SW,on}$	Potência de perdas do IGBT na entrada em condução
$P_{SW,rr}$	Potência de perdas do diodo causada pela recuperação reversa
P_{total}	Soma de todas as perdas de todos os dispositivos semicondutores do conversor
$r[k]$	Variável discreta r na amostra k
r_{CE}	Resistência entre coletor e emissor do IGBT quando em modo de condução
$R_{D,th(j-c)}$	Resistência térmica entre o diodo e o encapsulamento do dispositivo
R_E	Resistência série do elemento conectado à porta CC secundária
r_F	Resistência entre anodo e catodo do diodo quando em modo de condução
R_L	Resistência de carga para um braço do inversor
R_{LE}	Resistência série do indutor de filtro da porta CC secundária
$R_{S,th(j-c)}$	Resistência térmica entre o IGBT e o encapsulamento do dispositivo
R_{SE}	Resistência série equivalente de um capacitor
$R_{th(c-s)}$	Resistência térmica entre o encapsulamento de um dispositivo e o dissipador de calor
$R_{th(s-a)}$	Resistência térmica entre o dissipador de calor e o ambiente que o envolve
R_x	Resistência série do filtro da porta CA da fase x (a, b ou c)
s_d	Fator de suavidade do diodo na recuperação reversa
S_k	Dispositivo semicondutor controlado ($k = 1, 2, 3, 4, 5$ ou 6)
S_k/D_k	Chave bidirecional em corrente e unidirecional em tensão ($k = 1, 2, 3, 4, 5$ ou 6)
S_{kx}	Dispositivo semicondutor controlado ($k = 1, 2, 3, 4, 5$ ou 6) da fase x (a, b ou c)
t	Tempo
T_{amb}	Temperatura ambiente
$tg\delta$	Fator de dissipação de um capacitor
TC_{Err}	Fator de correção das perdas por comutação do diodo em função da temperatura
TC_{Esw}	Fator de correção das perdas por comutação do IGBT em função da temperatura
TC_{rd}	Fator de correção de r_F do diodo em função da temperatura
TC_{rs}	Fator de correção de r_{CE} do IGBT em função da temperatura
$T_{c,Sk}$	Temperatura do encapsulamento do dispositivo S_k ($k = 1, 2, 3, 4, 5$ ou 6)

LISTA DE SÍMBOLOS

TC_{vd}	Fator de correção de V_{F0} do diodo em função da temperatura
TC_{vs}	Fator de correção de V_{CE0} do diodo em função da temperatura
T_d	Temperatura do dissipador de calor
t_{dt1}	Tempo morto após o bloqueio de S_1 ou S_4
t_{dt2}	Tempo morto antes de S_1 ou S_4 entrar em condução
T_{ii}	Constante de tempo do controlador integral da corrente da porta CC secundária
T_j	Temperatura de junção de um dispositivo semiconductor
$T_{j,Dk}$	Temperatura de junção do diodo S_k ($k = 1, 2, 3, 4, 5$ ou 6)
$T_{j,Sk}$	Temperatura de junção do IGBT S_k ($k = 1, 2, 3, 4, 5$ ou 6)
t_{on}	Intervalo de tempo de aplicação dos vetores P ou N na porta CA
T_p	Constante de tempo de uma planta de primeira ordem genérica
T_r	Período da rede ($1/f_r$)
T_{ref}	Temperatura de referência
T_s	Período da portadora da modulação PWM ou frequência de amostragem
u_{ca}	Ação do sistema de controle da corrente CA
u_{cc}	Ação do sistema de controle da corrente do ESS
$U_{cc}(s)$	Ação do sistema de controle da corrente CC do ESS no domínio da frequência
u_{ess}	Ação do sistema de controle da corrente do ESS
u_{FF}	Ação do sistema de controle <i>feedforward</i>
u_{rcc}	Parcela ressonante da ação de controle da corrente do ESS
$v_{1,ab}$	Componente fundamental da tensão de linha entre fases a e b
$v_{1,bc}$	Componente fundamental da tensão de linha entre fases b e c
$v_{1,ca}$	Componente fundamental da tensão de linha entre fases c e a
$V_{1,p}$	Tensão de pico da componente fundamental sintetizada pelo inversor
$v_{1,xn}$	Componente fundamental da tensão da fase x (a, b ou c) ao ponto neutro n
v_{AB}	Tensão PWM da porta CC secundária
$\langle v_{AB} \rangle_{T_s}$	Valor médio da tensão v_{AB} em um ciclo de comutação T_s
v_{C1}	Tensão do capacitor C_1
$\langle v_{C1} \rangle_{T_s}^{\max}$	Valor máximo da tensão média no capacitor C_1 em um ciclo de comutação T_s
$\langle v_{C1}(\phi) \rangle_{T_s}$	Tensão média no capacitor C_1 em um ciclo de comutação T_s
v_{C2}	Tensão do capacitor C_2
$V_{C2}(s)$	Tensão do capacitor C_2 no domínio da frequência
V_{CAN}	Tensão nominal no ponto de conexão CA
$V_{CAP,max}$	Tensão de pico máxima no ponto de conexão CA
\hat{v}_{cc}	Perturbação na tensão do barramento CC
V_{cc}	Tensão do barramento CC
V_{CE0}	Tensão constante entre coletor e emissor do IGBT no modo de condução
$V_{cell,max}$	Tensão máxima de uma célula da bateria
$V_{cell,min}$	Tensão mínima de uma célula da bateria
v_E	Tensão da porta CC secundária ou do dispositivo de armazenamento
v_E^*	Tensão de referência do sistema de controle do dispositivo de armazenamento
V_E	Tensão do dispositivo de armazenamento
$V_{E,max}$	Tensão máxima do dispositivo de armazenamento

$V_{E,\min}$	Tensão mínima do dispositivo de armazenamento
V_{F0}	Tensão constante entre anodo e catodo do diodo no modo de condução
v_{gsk}	Sinal de <i>gate</i> do dispositivo semiconductor controlado k ($k = 1, 2, 3, 4, 5$ ou 6)
v_{LE}	Tensão sobre o indutor L_E
V_{LL}	Tensão de linha
$v_{m,\delta ca}$	Sinal modulante da porta CA após passar por um amostrador e retentor
$v_{m,ca}$	Sinal modulante da porta CA
$v_{m,cc}$	Sinal modulante da porta CC secundária
v_{offset}	Tensão adicionada ao sinal modulante da porta CA para gerar o sinal modulante da porta CC secundária
V_p	Tensão de pico sintetizada pelo inversor
v_r	Tensão da rede CA
$V_{r,ref}$	Tensão de referência de bloqueio do diodo
v_{ref}	Tensão de referência da modulação da porta CA
V_{ref}	Tensão de referência
v_{tri1}	Sinal da portadora triangular positiva
v_{tri2}	Sinal da portadora triangular negativa
v_x	Tensão PWM da porta CA da fase x (a, b ou c)
v_{xn}	Tensão da fase x (a, b ou c) ao ponto neutro n
$x[k]$	Variável discreta x na amostra k
$y[k]$	Variável discreta y na amostra k
Z_{r1}	Impedância 1 da rede para avaliação de estabilidade da planta
Z_{r2}	Impedância 2 da rede para avaliação de estabilidade da planta

SUMÁRIO

1 INTRODUÇÃO	39
1.1 CONSIDERAÇÕES FINAIS	52
2 CONVERTOR ANPC COM PORTA CC BIDIRECIONAL SECUNDÁRIA	53
2.1 INTRODUÇÃO	53
2.2 INVERSOR ANPC	53
2.3 INTEGRAÇÃO DE PORTA CC BIDIRECIONAL NO INVERSOR ANPC ...	60
2.4 ANÁLISE DOS ESTADOS DE CONDUÇÃO	62
2.4.1 Estados P e N	63
2.4.2 Estados 0U1 e 0L1	64
2.4.3 Estados 0U2 e 0L2	65
2.4.4 Estados 0U3, 0L3, 0U4 e 0L4	66
2.4.5 Estado 0UL	68
2.4.6 Resumo da análise dos estados de condução	69
2.5 CONTROLABILIDADE DA CORRENTE DO INDUTOR L_E	69
2.6 ANÁLISE DAS COMUTAÇÕES	74
2.6.1 Análise da comutação do tipo I – Caso $P \rightleftharpoons 0L4$	78
2.6.2 Análise da comutação do tipo II – Caso $P \rightleftharpoons 0L3$	79
2.6.3 Análise da comutação do tipo III – Caso $P \rightleftharpoons 0U1$	82
2.6.4 Regra geral para comutações	86
2.7 OPERAÇÃO COMO CONVERTOR CC-CC	87
2.8 INVERSOR TRIFÁSICO COM BRAÇOS ANPC-3P	90
2.9 CONSIDERAÇÕES FINAIS	91
3 ESTRATÉGIAS DE MODULAÇÃO	93
3.1 INTRODUÇÃO	93
3.2 MODULAÇÃO DE UM BRAÇO ANPC-3P	95
3.2.1 Modulação POD - Sequência Tipo 1	95
3.2.2 Modulação POD - Sequência Tipo 2	98
3.2.3 Modulação PD - Sequência Tipo 1	103
3.2.4 Modulação PD - Sequência Tipo 2	108
3.3 SELEÇÃO DOS ESTADOS REDUNDANTES	110
3.4 LÓGICA DE ACIONAMENTO DAS CHAVES	111
3.5 MODULAÇÃO PARA OPERAÇÃO COMO CONVERTOR CC-CC	111
3.6 CONSIDERAÇÕES FINAIS	112
4 ANÁLISE ORIENTADA AO PROJETO	115
4.1 INTRODUÇÃO	115
4.2 ESFORÇOS DE TENSÃO	115

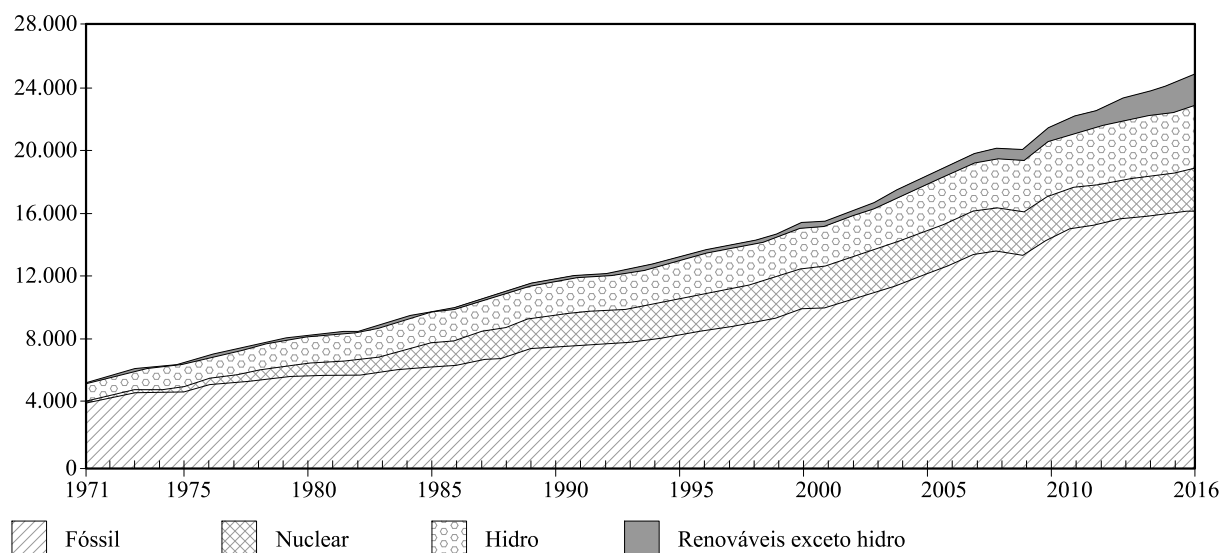
4.3 ESFORÇOS DE CORRENTE	117
4.3.1 Dispositivos Semicondutores	118
4.3.1.1 Dispositivo semicondutor S_1	119
4.3.1.2 Dispositivo semicondutor D_1	123
4.3.1.3 Dispositivo semicondutor S_2	124
4.3.1.4 Dispositivo semicondutor D_2	128
4.3.1.5 Dispositivo semicondutor S_6	130
4.3.1.6 Dispositivo semicondutor D_6	134
4.3.2 Capacitores do Barramento CC	136
4.4 DIMENSIONAMENTO DOS ELEMENTOS PASSIVOS	139
4.4.1 Capacitância do Barramento CC	140
4.4.2 Indutor de Filtro da Porta CC Secundária	143
4.5 ANÁLISE DE PERDAS	144
4.5.1 Perdas nos Dispositivos Semicondutores	145
4.5.2 Perdas nos Indutores de Filtro	155
4.5.3 Perdas nos Capacitores do Barramento CC	155
4.6 ANÁLISE DE CENÁRIOS DE APLICAÇÃO DO INVERSOR	155
4.6.1 Aplicação em Sistemas FV	156
4.6.1.1 Esforços de tensão	156
4.6.1.2 Esforços de corrente	159
4.6.1.3 Capacitância do barramento CC	161
4.6.2 Aplicação em UPS	162
4.6.2.1 Esforços de tensão	163
4.6.2.2 Esforços de corrente	165
4.6.2.3 Capacitância do barramento CC	167
4.7 CONSIDERAÇÕES FINAIS	167
5 ANÁLISE EM MALHA FECHADA	169
5.1 INTRODUÇÃO	169
5.2 MODELO DA PORTA CC SECUNDÁRIA	172
5.3 MODELO DA BATERIA	175
5.4 SISTEMA DE CONTROLE DO ESS	176
5.4.1 Malha de Controle de Corrente	177
5.4.2 Malha de Controle de Tensão	178
5.4.3 Seleção dos Estados Redundantes	180
5.4.4 Compensador <i>Feedforward</i>	184
5.4.5 Compensador Ressonante	188
5.5 SISTEMA DE CONTROLE DA PORTA CA	191
5.5.1 Controle de Corrente	192

5.5.2 Balanceamento do Barramento CC	194
5.6 RESULTADOS DE SIMULAÇÃO DO SISTEMA COMPLETO	198
5.7 CONSIDERAÇÕES FINAIS	200
6 RESULTADOS EXPERIMENTAIS	203
6.1 INTRODUÇÃO	203
6.2 DESCRIÇÃO DO PROTÓTIPO	203
6.2.1 Etapa de Potência	203
6.2.2 Modulação e Controle	206
6.3 RESULTADOS	207
6.3.1 Formas de Onda em Regime Permanente	208
6.3.1.1 Sequência do tipo 1	208
6.3.1.2 Sequência do tipo 2	211
6.3.1.3 Comparação dos espectros de i_E	212
6.3.2 Desempenho Transitório	214
6.3.3 Rendimento	216
6.4 CONSIDERAÇÕES FINAIS	220
7 CONCLUSÃO	221
7.1 CONTRIBUIÇÕES DO TRABALHO	221
7.2 PUBLICAÇÕES	223
7.3 TRABALHOS FUTUROS	224
REFERÊNCIAS	227
APÊNDICES	237

1 INTRODUÇÃO

A energia elétrica é uma das mais versáteis formas de energia utilizadas em nossa sociedade atualmente. No entanto, a energia elétrica não é uma fonte primária ou de uso final. Ela é uma forma intermediária e que apresenta características que a tornam particularmente interessante no que concerne à facilidade de conversão em outras formas de energia, transmissão a longas distâncias e segurança. A maior parcela da geração de energia elétrica mundial se dá a partir da energia térmica, a qual é obtida através da queima de combustíveis fósseis (carvão, gás natural, petróleo e seus derivados) ou da fissão nuclear (LUQUE; HEGEDUS, 2011), conforme pode ser observado na Figura 1.1.

Figura 1.1 – Geração de energia global de 1971 a 2016 por tipo de fonte em TWh.



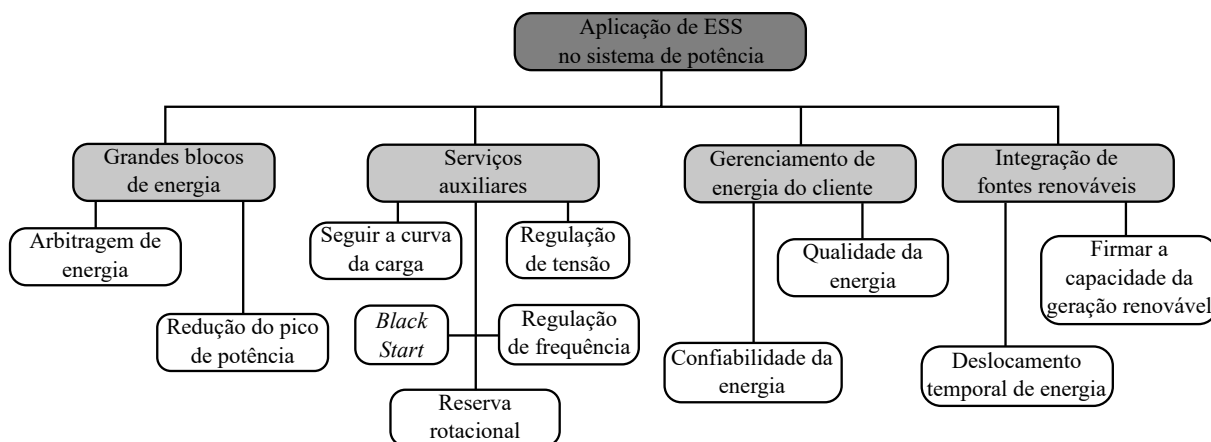
Fonte: Adaptado de IEA (2018).

Por outro lado, o crescente aumento no consumo de energia elétrica mundial sem um correspondente crescimento na geração a partir de fontes limpas, aliado à esgotabilidade das fontes primárias de energia a longo prazo, poderá resultar em uma situação insustentável. Entretanto, continuar aumentando a oferta de energia com base em combustíveis fósseis e fissão nuclear é insustentável do ponto de vista ambiental devido à excessiva produção de resíduos contaminantes. A inserção de fontes renováveis e de baixo impacto ambiental se mostrou como uma opção para contornar os problemas ambientais citados. Nos locais favoráveis passou-se a explorar a energia hidráulica até o esgotamento dos principais aproveitamentos. Posteriormente, a energia eólica e solar passaram a receber maior atenção, sendo consideradas as principais fontes renováveis que permitirão atender às crescentes demandas de energia elétrica no futuro. Essa mudança no cenário mundial é percebida de maneira mais significativa a partir do século XXI (CARRASCO et al., 2006; BLAABJERG et al., 2006; ROMERO-CADAVAL et al., 2013).

As fontes renováveis possuem uma característica comum entre si que é a variabilidade da disponibilidade de energia ao longo do tempo. Isso ocorre na geração hidráulica, fotovoltaica (FV) e eólica, entre outras. Essa variabilidade se apresenta de forma expressiva na geração fotovoltaica, pois esta varia continuamente ao longo do dia e cessa à noite. Grandes variações na potência da geração FV são também observadas quando ocorrem sombreamentos causados por nuvens passantes. A geração eólica também sofre influência das condições ambientais que alteram a velocidade dos ventos. Essas variações na disponibilidade de energia trazem alguns impactos a serem considerados no projeto e operação de sistemas de geração a partir de fontes renováveis. É estimado que para cada 10% de geração eólica adicionada ao sistema elétrico deve-se adicionar 2% a 4% de potência fornecida por outras fontes (VAZQUEZ et al., 2010). Nesse sentido, a inserção de sistemas de armazenamento de energia (ESS - *Energy Storage Systems*) se mostra como uma alternativa para permitir uma maior penetração de geração renovável no sistema elétrico (VAZQUEZ et al., 2010; TUMMURU; MISHRA; SRINIVAS, 2015; ABDELRAZEK; KAMALASADAN, 2016; FAISAL et al., 2018).

A inserção de um ESS em um sistema elétrico pode ter várias finalidades. A Figura 1.2 traz uma visão geral das principais aplicações dos ESSs. A arbitragem de energia consiste em armazenar energia durante os horários do dia em que ela é mais barata e vender nos horários em que é mais cara. Para a arbitragem ser viável, as perdas de conversão, os custos de armazenamento e os impostos relacionados à operação devem ser compensados com sobra pela diferença de preço. A redução do pico de potência visa suavizar o pico de demanda que ocorre no horário de ponta do sistema elétrico. Grandes plantas de armazenamento de energia próximas aos centros de consumo permitem suprir parte da demanda de potência nos piores horários do dia e se recarregar quando o sistema tiver sobra de capacidade. Com relação aos serviços auxiliares, os ESSs atuam contribuindo para a melhoria da segurança e estabilidade da rede. De acordo com Faisal et al. (2018), os principais serviços auxiliares são: seguir a curva de potência da carga, auxiliar na regulação de tensão e frequência, permitir a partida do sistema de geração na ausência de alimentação externa (*black start*) e prover reserva rotacional. A reserva rotacional é necessária, pois em caso de perda de um gerador os demais devem assumir uma potência adicional até que outra unidade de geração seja colocada em operação. Essa reserva de potência pode ser delegada a um ESS interligado ao sistema elétrico. No entanto, a potência de reserva no ESS não poderá ser utilizada para arbitragem, por exemplo. Caso o ESS seja instalado por um cliente específico, este poderá utilizá-lo para melhorar a qualidade e confiabilidade da energia entregue à sua instalação. Interrupções no fornecimento de energia da concessionária podem ser compensadas pelo ESS de forma a manter as atividades do cliente inalteradas. Por fim, conforme já apresentado, a utilização ESS em conjunto com a geração renovável permite firmar a capacidade de geração, suavizando as variações rápidas na geração causadas por condições ambientais. Também permite fazer um deslocamento temporal da energia gerada, entregando-a em horários do dia em que ela é mais cara ou quando ela é mais útil ao sistema elétrico, de forma similar à arbitragem de energia (ABDELRAZEK; KAMALASADAN, 2016).

Figura 1.2 – Visão geral das aplicações de ESS.

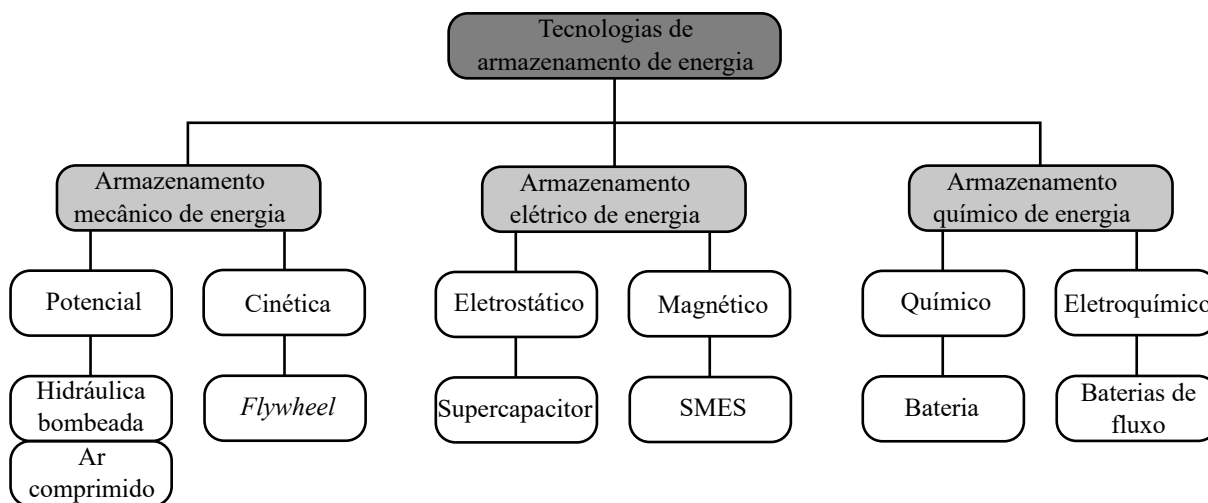


Fonte: Adaptado de Palizban e Kauhaniemi (2016).

As baterias de chumbo-ácido são largamente aplicadas em Fontes Ininterruptas de Energia (UPS - *Uninterruptible Power Supply*) há décadas. Apresentam desempenho satisfatório, pois esses sistemas foram projetados para passar longos períodos em flutuação e ter poucos ciclos de descarga profunda e recarga completa. Por outro lado, as necessidades de aplicações como as descritas acima para energias renováveis conectadas à rede exigem muito mais ciclos de descarga e recarga do que as baterias de chumbo-ácido podem suportar. Isso faz com que esse tipo de bateria tenha uma vida útil curta, tornando a sua utilização nesse tipo de aplicação inviável (JING et al., 2017). Há outros tipos de ESS que podem ser utilizados e são normalmente classificados pela forma com que a energia é armazenada. Há tipos mecânicos, elétricos e químicos. Há ainda outros tipos, como os térmicos e híbridos. A Figura 1.3 traz uma classificação geral das principais tecnologias de ESS de acordo com o tipo de energia armazenada. Alguns tipos de ESS, como as baterias, por exemplo, possuem diversos subtipos de acordo com os elementos químicos envolvidos, tipos de eletrólito, formas construtivas, etc. Uma classificação detalhada das tecnologias de ESS é apresentada em Hannan et al. (2017).

Devido aos requisitos de algumas aplicações, a simples substituição da bateria de chumbo-ácido por outra com maior capacidade de ciclos de descarga e recarga não é suficiente. Isso ocorre porque alguns tipos de ESS possuem elevada capacidade de armazenamento de energia, mas sua resposta de conversão é lenta ou, ainda, sua vida útil é drasticamente reduzida quando submetidos a picos de potência. Outros apresentam respostas rápidas, mas por curtos períodos de tempo. Em aplicações que requeiram respostas rápidas e elevada capacidade de armazenamento de energia, uma solução possível é a hibridização do ESS (HESS - *Hybrid ESS*). Um HESS é composto por, no mínimo, dois ESSs de tipos diferentes, um com elevada capacidade de potência para respostas rápidas e outro com elevada capacidade de armazenamento de energia. A Tabela 1.1 traz a classificação de alguns tipos de ESS quanto à capacidade de potência ou energia.

Figura 1.3 – Classificação das tecnologias de ESS.



Fonte: Adaptado de Hemmati e Saboori (2016).

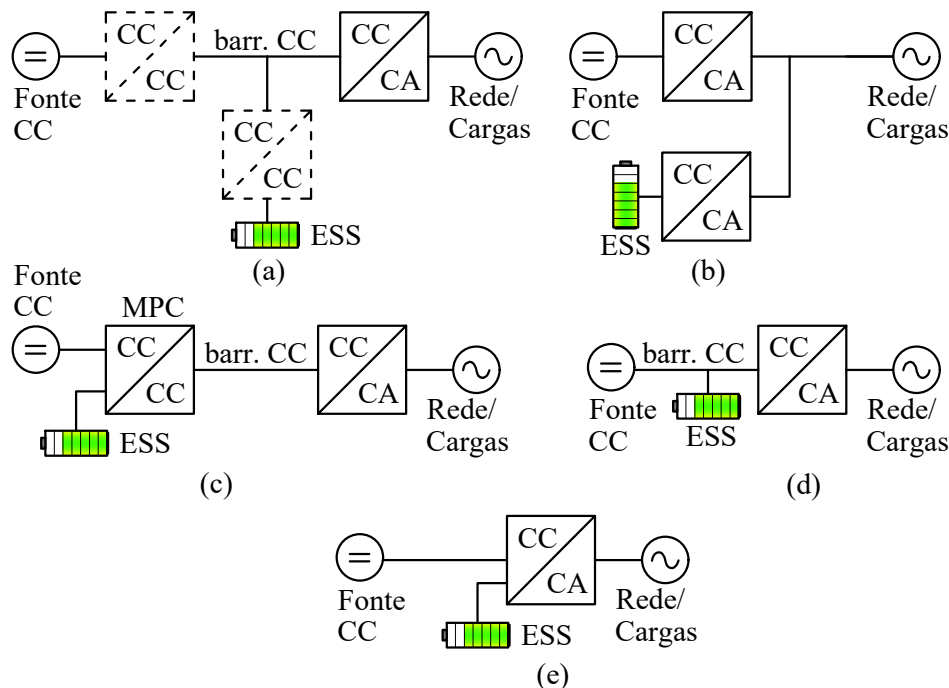
Tabela 1.1 – Classificação de alguns tipos de ESS pela capacidade energética ou de potência.

Dispositivos de alta potência (resposta rápida)	Dispositivos de alta energia (resposta lenta)
Armazenamento magnético de energia a supercondutor (SMES - <i>Superconducting Magnetic Energy Storage</i>)	Ar comprimido
Supercapacitores	Hidráulica bombeada
Volante de inércia (<i>flywheel</i>)	Célula a combustível
Baterias de alta potência	Baterias de elevada energia

Fonte: Adaptado de Hemmati e Saboori (2016).

Quanto a forma como o ESS se conecta ao sistema elétrico principal, esta pode se dar basicamente de duas maneiras: agregada ou distribuída (LI; JOOS, 2007). Na forma agregada o ESS é concentrado em um local específico e estrategicamente escolhido. O ESS se conecta diretamente ao sistema elétrico através de conversores estáticos especificamente projetados para o processamento da energia do ESS. Esta forma de conexão geralmente é projetada para processamento de potências elevadas, na ordem de centenas de quilowatts a megawatts. Na conexão distribuída, o ESS é instalado junto a cada sistema de geração renovável. Nessa conexão, os ESSs são aplicados em potências que vão de centenas de watts até megawatts. A conexão do ESS ao sistema de geração renovável pode se dar de diversas formas. A Figura 1.4 traz algumas das principais formas de conexão do ESS. Cada uma dessas formas de conexão pode ser mais interessante para certa faixa de potência, ou ainda dependendo dos requisitos de projeto ou da tecnologia de sistema de armazenamento.

Figura 1.4 – Formas de conexão do sistema de armazenamento: (a) no barramento CC através de conversor CC-CC, (b) no barramento CA, (c) através de um conversor multiportas, (d) diretamente no barramento CC e (e) através de um inversor multiportas.



Fonte: Elaborada pelo autor.

As principais funções do conversor estático conectado ao ESS são: carregar ou descarregar o ESS com baixa ondulação de corrente, limitar a corrente de carga ou descarga, manter o ESS em flutuação (dependendo do tipo de ESS e técnica de recarga utilizada), adequar o nível de tensão e corrente do ESS com o nível do ponto de conexão e, no caso de conexão no barramento CA, fazer a conversão de frequência. A realização simultânea de todas essas funções é relativamente complexa e a solução mais utilizada é a inclusão de um conversor estático e um sistema de controle específico para cada ESS a ser conectado no sistema. Assim, o projeto se torna mais simples, pois cada conversor pode ser analisado separadamente.

No caso da Figura 1.4(a), a interconexão da fonte principal com o ESS é realizada por múltiplos conversores CC-CC conectados ao barramento CC de um inversor principal (SUN et al., 2011; MAHMOOD; MICHAELSON; JIANG, 2014). Esses conversores foram indicados em linhas tracejadas pois, devido à variações dessa configuração, ambos os conversores CC-CC podem existir simultaneamente ou pode existir apenas um (CHIANG; CHANG; YEN, 1998). Quando nenhum dos dois conversores existe, o resultado é a forma de conexão da Figura 1.4(d) e que é tratada de forma separada devido às suas especificidades. Ainda considerando a forma de conexão da Figura 1.4(a), há uma relação entre o controle do inversor, do conversor CC-CC do ESS (quando existir) e do conversor CC-CC conectado à fonte CC principal (quando existir), pois todos estão conectados no mesmo barramento. A soma das potências injetadas e absorvidas do barramento CC deve ser nula a fim de manter a tensão do barramento CC

regulada dentro da faixa de operação. Haddadi, Farhangi e Blaabjerg (2019) propuseram um inversor com múltiplas portas de potência, sendo que cada porta é conectada ao inversor através de um conversor CC-CC. Embora o referido trabalho não trate da conexão de ESS, devido à modularidade, é possível incluir um ou mais conversores CC-CC para a conexão de ESSs.

Outra forma bastante utilizada em sistemas conectados à rede é a apresentada na Figura 1.4(b). Trata-se da conexão no barramento CA (WANG; NEHRIR, 2008; ABEYWARDANA; HREDZAK; AGELIDIS, 2015). Um inversor dedicado ao processamento da potência do ESS é utilizado, o que dá flexibilidade para a escolha da topologia (BRAGARD et al., 2010). Considerando ambos os inversores conectados à rede CA, eles podem ser considerados independentes, pois o sincronismo é garantido pela rede de distribuição à qual estão conectados. No entanto, um sistema de controle central deve definir o despacho de potência do ESS com a finalidade de se atingir objetivos previamente estabelecidos. Para plantas de maior potência (centenas de quilowatts ou mais), essa forma de conexão é interessante, pois permite a escolha de topologias específicas para o processamento de energia de cada fonte. Em caso de operação ilhada, os inversores devem operar de forma sincronizada e o controle centralizado tem como principal objetivo manter a continuidade do fornecimento de energia e manter a estabilidade de tensão e de frequência.

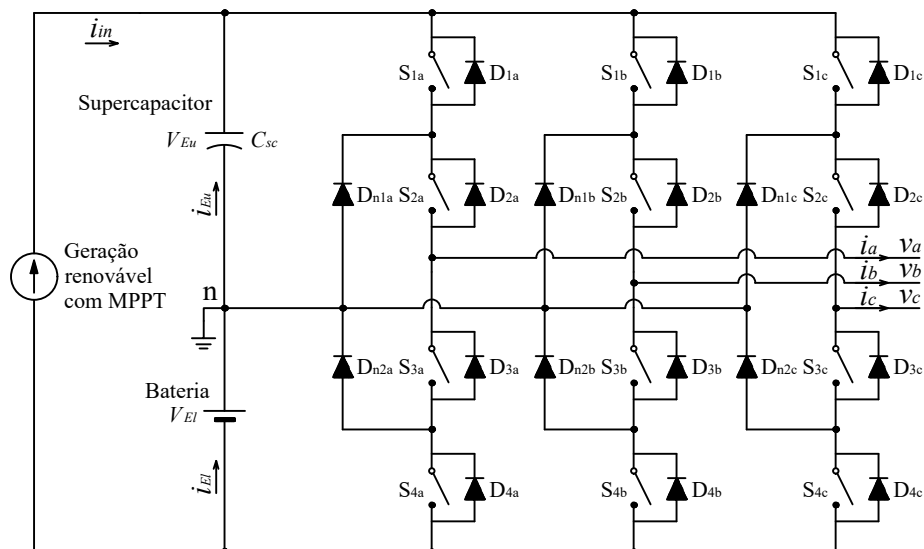
A Figura 1.4(c) traz uma configuração baseada em conversor multiportas (MPC - *Multiport Converter*) conectado ao barramento CC de um inversor. O MPC possui mais de uma porta de potência e permite o processamento simultâneo da potência de todas as portas. Esse tipo de conversor tem sido largamente pesquisado para baixas potências e uma ampla revisão das topologias existentes pode ser encontrada em Bhattacharjee, Kutkut e Batarseh (2019).

Há também outras formas de conexão do ESS que buscam a conexão direta ao barramento CC ou a outros pontos do inversor sem conversores CC-CC dedicados. Exemplos dessa forma de conexão são apresentados nas Figuras 1.4(d) e (e). Este trabalho considera que um ESS está integrado a uma topologia de inversor quando ele é conectado diretamente ao circuito (sem conversores CC-CC intermediários) e é possível o controle independente de carga e descarga de cada ESS através de algum mecanismo fornecido pela topologia do inversor e por seus sistemas de modulação e controle.

Na Figura 1.4(d) o ESS é conectado diretamente no barramento CC do inversor (JAYA-SINGHE; VILATHGAMUWA; MADAWALA, 2011; VECHIU et al., 2011; TEYMOUR et al., 2014; TABART et al., 2018). Como principal vantagem, essa forma de conexão permite utilizar um único inversor para o processamento da potência do sistema de geração e gerenciar a carga e descarga do ESS. O inversor Ponto Neutro Grampeado (NPC - *Neutral Point Clamped*) permite essa forma de integração do ESS. A técnica consiste basicamente em desbalancear os polos do barramento CC do inversor NPC para controlar o estado de carga (SOC - *State Of Charge*) do(s) ESS(s). As desvantagens dessa topologia são a necessidade de um sistema de modulação complexo, pois o inversor deve gerar correntes senoidais na saída a partir de tensões desbalanceadas nos polos do barramento CC e ponto neutro flutuante com presença de terceiro

harmônico (TABART et al., 2018). Em Jayasinghe, Vilathgamuwa e Madawala (2011) foi proposta uma modulação em espaço vetorial (SVM - *Space Vector Modulation*) e um sistema de controle para o inversor NPC, o que permite simultaneamente gerar correntes senoidais na porta CA e controlar o SOC de um HESS. O circuito proposto é apresentado na Figura 1.5. A realização da modulação em tempo real é complexa, principalmente pela quantidade de cálculos necessários. Além disso, os dispositivos semicondutores ficarão sujeitos a diferentes níveis de tensão e a utilização do barramento CC é reduzida. Em Teymour et al. (2014), o mesmo inversor NPC é apresentado em uma aplicação FV adicionando-se a realização do rastreamento do ponto de máxima potência (MPPT - *Maximum Power Point Tracking*) simultaneamente às funções já descritas. Tabart et al. (2018) propuseram uma topologia NPC de quatro braços com HESS para alimentar uma microrrede com cargas desbalanceadas.

Figura 1.5 – Inversor NPC com HESS integrado diretamente no barramento CC.



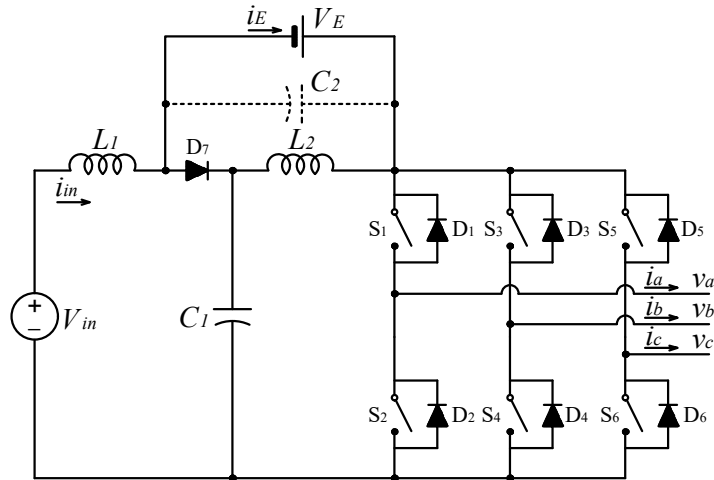
Fonte: Adaptado de Jayasinghe, Vilathgamuwa e Madawala (2011).

Outra opção para conexão do ESS é apresentada na Figura 1.4(e). Nesse caso, o circuito do inversor apresenta certas características que permitem a conexão do ESS diretamente na topologia do inversor. Além disso, o inversor deve ter um ou mais graus de liberdade que permitam o controle da carga e descarga do ESS. Essa integração é relativamente complexa e, até o momento, foram encontradas poucas topologias de inversores que permitem essa integração. Pode-se considerar que esse tipo de inversor é similar ao MPC, com a diferença de que pelo menos uma das portas de potência é CA. Nesse caso, o inversor poderia ser chamado de inversor multiportas (MPI - *Multiport Inverter*) (AMIRABADI; TOLIYAT; ALEXANDER, 2013).

O inversor *Z-Source* (ZSI - *Z-Source Inverter*), proposto por Peng (2003), é capaz de integrar um ESS explorando o grau de liberdade dado pelo estado *shoot-through* (CINTRON-RIVERA et al., 2011; GE et al., 2013; HU et al., 2016), conforme circuito apresentado na Figura 1.6. Ao invés de conectar o ESS no lugar de C_2 ele também pode ser conectado no

lugar de C_1 (GE et al., 2013). A integração de mais de um ESS no ZSI/*quasi*-ZSI (qZSI), com possibilidade de formar um HESS pode ser realizada em topologias multiníveis (SUN et al., 2015).

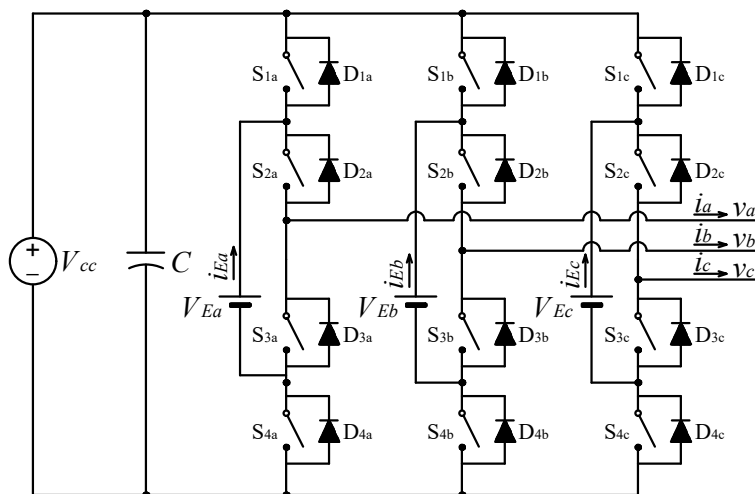
Figura 1.6 – Inversor qZSI com ESS integrado à topologia.



Fonte: Adaptado de Cintron-Rivera et al. (2011).

Outra topologia de inversor capaz de realizar a integração de um ESS ou HESS é a topologia com capacitores flutuantes (FC - *Flying Capacitor*) (MEYNARD; FOCH, 1992). Em Vilathgamuwa, Jayasinghe e Madawala (2011), cada capacitor flutuante foi substituído por um ESS flutuante, conforme circuito apresentado na Figura 1.7. Essa topologia apresenta modulação relativamente complexa devido ao desbalanceamento das tensões causado pelo SOC de cada ESS.

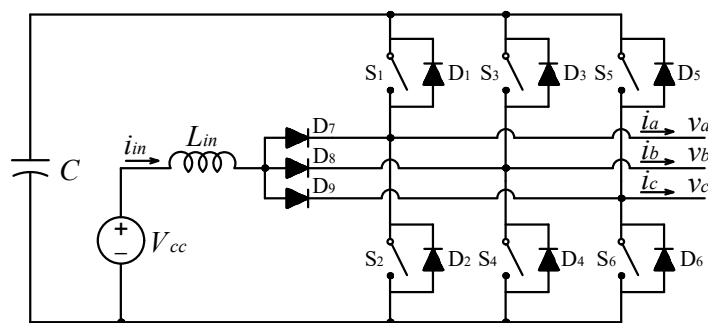
Figura 1.7 – Inversor baseado na topologia FC mas com ESSs substituindo os capacitores flutuantes.



Fonte: Adaptado de Vilathgamuwa, Jayasinghe e Madawala (2011).

O inversor *split-source*, proposto por Abdelhakim, Mattavelli e Spiazzi (2016), é apresentado na Figura 1.8 e também pode integrar um ESS ao inversor. Há também uma variante multinível com capacitores flutuantes (ABDELHAKIM; MATTAVELLI; SPIAZZI, 2017). A fonte V_{cc} possui tensão mais baixa do que aquela a ser regulada no capacitor C devido à característica *boost* do inversor, o que pode ser interessante em algumas aplicações. O indutor L_{in} é carregado com pulsos de razão cíclica variável e que é dependente da modulação senoidal. Isso resulta em ondulações de baixa frequência no indutor e no capacitor C . Para contornar esses problemas, as propostas de modulação e controle são relativamente complexas (LEE; HENG, 2017). Versões simplificadas que utilizam uma modulação híbrida quase senoidal e com pulsos de largura constante são propostas em Lee e Heng (2017) e Lee et al. (2019). Essa classe de inversores poderia acrescentar uma porta CC nos nós onde o capacitor C está conectado, mas, até o momento, isso não é reportado na literatura.

Figura 1.8 – Inversor de topologia *split-source* proposto por Abdelhakim, Mattavelli e Spiazzi (2016).

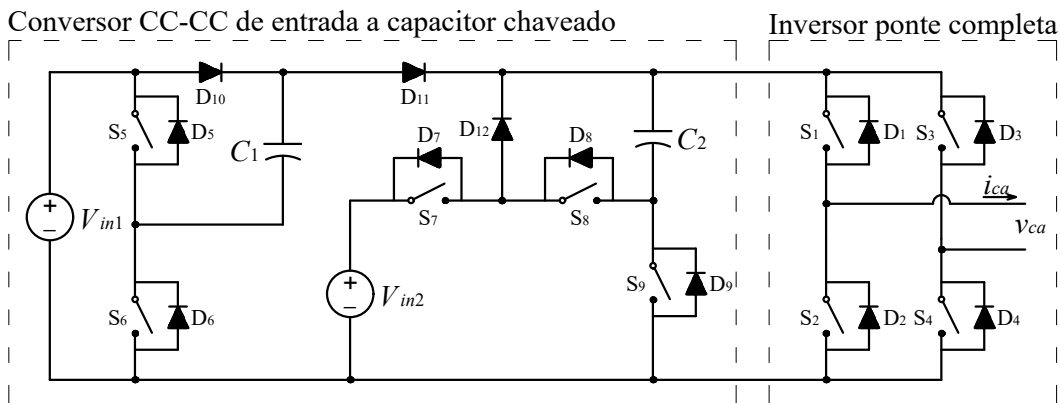


Fonte: Adaptado de Abdelhakim, Mattavelli e Spiazzi (2016).

Há também propostas de inversores multiníveis a capacitores chaveados com mais de uma porta CC de potência. Um dos inversores da família proposta é apresentado na Figura 1.9. A entrada a capacitor chaveado também poderia ser compreendida como um conversor CC-CC multiportas de entrada e que é seguido por um inversor. No entanto, como o conversor CC-CC de entrada possui a função de gerar certo número de níveis para o inversor, considerou-se que são conversores integrados e que não podem ser dissociados. Apresentam como principal desvantagem a incapacidade de operar com cargas fortemente indutivas (RAMAN et al., 2019).

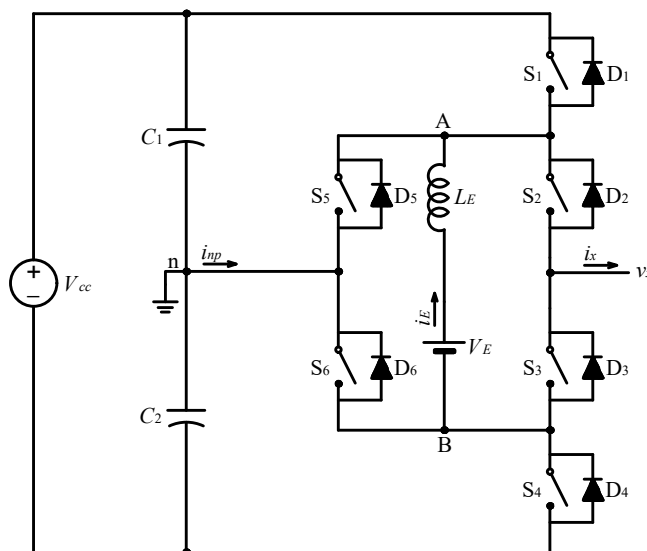
O inversor Ponto Neutro Grampeado Ativo (ANPC - *Active Neutral-Point-Clamped*), proposto por (BRUCKNER; BERNET, 2001), possui diversos estados de condução redundantes para geração do nível zero na porta CA. Esses estados são utilizados com diversas finalidades, mas geralmente relacionadas à distribuição de perdas entre os semicondutores. Esta Tese utiliza os estados redundantes do inversor ANPC com o principal objetivo de adicionar uma porta CC ao conversor e que permita a conexão direta de um ESS à topologia sem a necessidade de conversores CC-CC auxiliares. O circuito proposto é apresentado na Figura 1.10. A fonte V_{cc} é a fonte principal de energia, podendo ser um sistema fotovoltaico, por exemplo. A fonte V_E representa a fonte de energia secundária, a qual pode ser um ESS. A saída v_x é uma porta CA

Figura 1.9 – Inversor multinível de três portas a capacitor chaveado proposto por Raman et al. (2019).



Fonte: Adaptado de Raman et al. (2019).

Figura 1.10 – Inversor ANPC monofásico com porta CC bidirecional secundária.

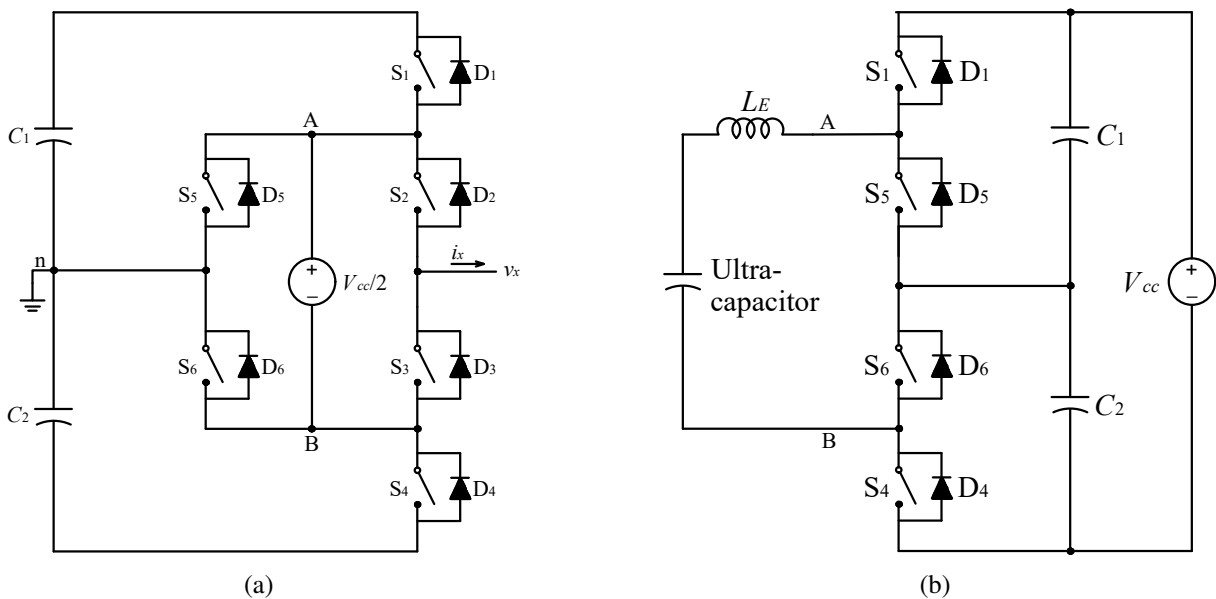


Fonte: Elaborada pelo autor.

utilizada para conexão à rede ou para a alimentação de cargas locais. Portanto, há três portas de potência no circuito proposto, duas CC e uma CA. Como o ESS é conectado diretamente ao circuito do inversor, a proposta desta Tese se enquadra na forma de conexão da Figura 1.4(e).

Variações da topologia ANPC com fontes conectadas entre os nós A e B da Figura 1.10 já apareceram em outros trabalhos. Porém, apenas foram consideradas duas portas de potência em cada braço do inversor. Em Andrade, Muniz e Silva (2015), Figura 1.11(a), a fonte CC principal é conectada entre A e B e nos polos do barramento CC são apenas mantidos os capacitores com tensão regulada. O trabalho de Grbovic et al. (2010), Figura 1.11(b), usa um braço sem os dispositivos S_2 e S_3 (pois não há porta CA de potência) em um conversor CC-CC para conexão de um ESS ao barramento CC de um inversor principal, caracterizando a forma de conexão da

Figura 1.11 – (a) Inversor proposto por Andrade, Muniz e Silva (2015) e (b) Conversor CC-CC de três níveis proposto por Grbovic et al. (2010).



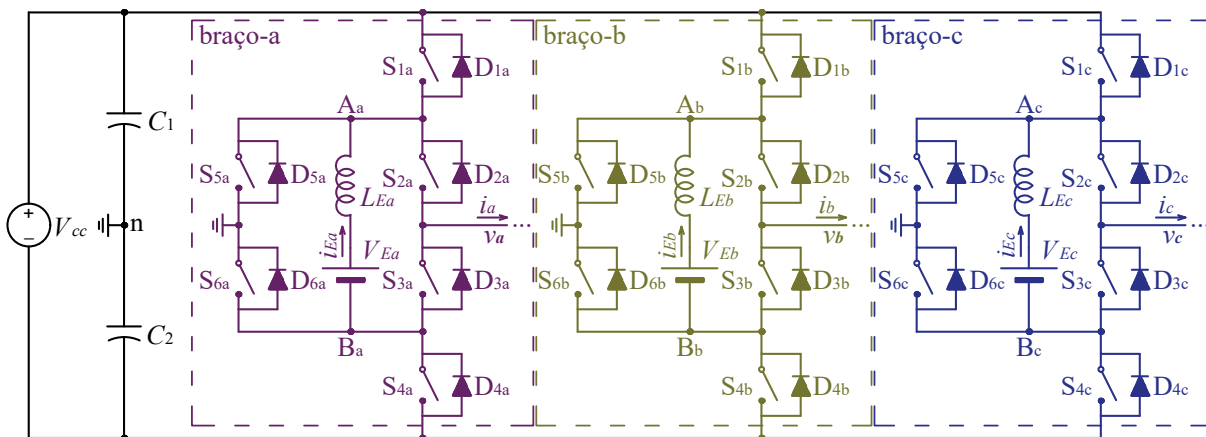
Fonte: Adaptado de Andrade, Muniz e Silva (2015) e Grbovic et al. (2010).

Figura 1.4(a). Embora essas propostas utilizem os nós A e B para conexão de uma fonte CC, nenhuma prevê a operação simultânea das três portas de potência em um braço ANPC.

O circuito proposto nesta Tese também pode ser utilizado em aplicações polifásicas. Por exemplo, a Figura 1.12 apresenta uma configuração trifásica. Como se pode ver, a porta CC principal é comum a todos os braços. Adicionalmente, cada braço possui uma porta CC para conexão de ESS e uma porta CA independente. Os ESSs de cada braço podem ser de mesmo tipo ou de tipos diferentes caso seja necessário compor um HESS. Cabe observar que a utilização de tipos diferentes de ESS em cada braço faz com que os esforços de corrente sejam distintos, perdendo-se modularidade. Uma outra opção de composição de HESS é a utilização de um tipo de ESS no barramento CC e outro tipo conectado à porta CC secundária. Outro ponto interessante é a redundância de ESS. Como cada fase possui um ESS independente, caso um ESS falhe, os demais podem continuar suprindo potência parcialmente.

Como se pode ver, há diversas configurações e cada uma pode resultar em diversas possibilidades utilizando-se combinações de topologias. Algumas características podem ser consideradas para auxiliar na escolha da configuração mais adequada à certa aplicação. O fluxo de potência no sistema é uma dessas características, pois algumas configurações apresentam cascadeamento de conversores em alguns modos de operação, o que pode levar a redução do rendimento global. Na forma de conexão da Figura 1.4(a) há um ou dois conversores em cascata, dependendo do modo de operação. Para a forma da Figura 1.4(b), somente quando o ESS for carregado pela fonte CC os dois inversores podem ser considerados em cascata. Para os demais modos de operação, há apenas um conversor no caminho do fluxo de potência. A forma

Figura 1.12 – Inversor trifásico com braços ANPC-3P.



Fonte: Elaborada pelo autor.

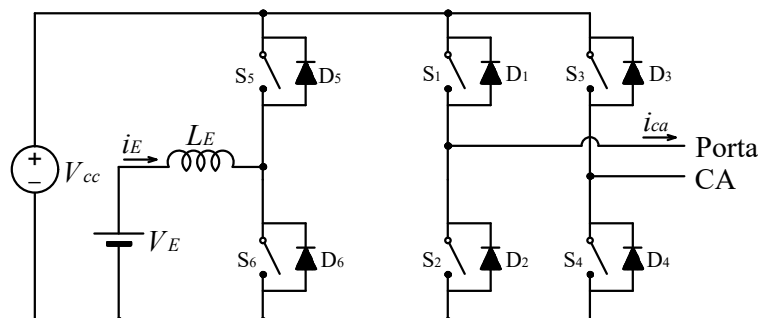
da Figura 1.4(c) apresenta como vantagem o conexão do ESS e da fonte CC no mesmo conversor. Dependendo da topologia do MPC, poderá apresentar rendimento elevado para o modo de recarga do ESS pela fonte CC. Por outro lado, o fluxo de potência da rede para o conversor e do conversor para a rede passa, geralmente, por dois conversores. As formas de conexão das Figuras 1.4(d) e (e) possuem apenas um conversor para todos os modos de operação. Na Figura 1.4(d) pode-se presumir que para a recarga do ESS pela fonte CC não há conversor no fluxo de potência, mas nesse modo de operação o inversor geralmente está em operação para controlar a corrente e a tensão do ESS. Uma análise mais precisa do rendimento de cada configuração deve, necessariamente, considerar as topologias envolvidas.

Outro aspecto importante é a quantidade de semicondutores de potência (incluindo os respectivos circuitos de acionamento dos interruptores e fontes isoladas) presentes em uma determinada configuração e o respectivo estresse de tensão. Soluções com múltiplos conversores apresentam maior flexibilidade (projeto, modulação e controle) e modularidade. Por outro lado, essas configurações tendem a utilizar maior número de semicondutores em comparação com as formas de conexão com ESS conectado diretamente ao barramento CC ou integrado à topologia.

O circuito da Figura 1.13 apresenta uma solução com o mesmo número de semicondutores que a solução proposta nesta Tese. Porém, o inversor ponte-completa apresenta problemas de operação quando se deseja gerar uma forma de onda CA de três níveis em aplicações FV. Essa dificuldade está relacionada às tensões de modo comum em V_{cc} , as quais causam elevada corrente de fuga pela capacitância parasita dos módulos FV (ZHANG et al., 2014). Uma forma de contornar esse problema é a inclusão de filtros passivos.

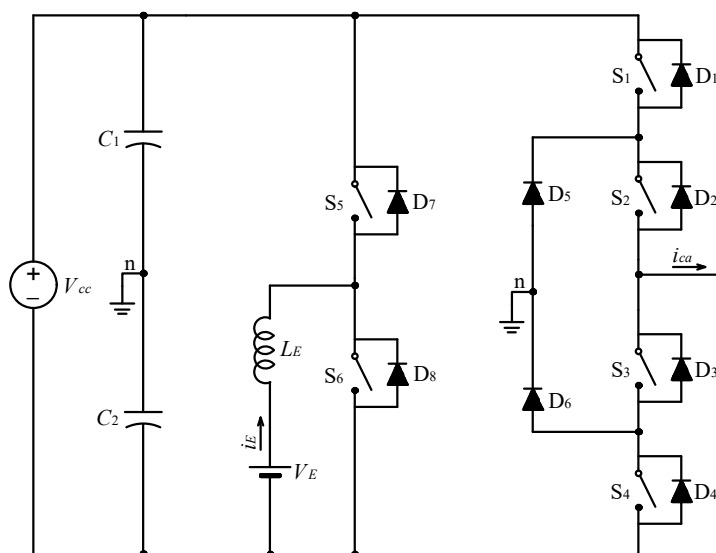
Substituindo a configuração ponte completa da Figura 1.13 por um braço NPC, obtém-se a configuração apresentada na Figura 1.14. Ainda estão presentes os seis dispositivos controlados mas há dois diodos a mais. Por outro lado, quando são sintetizados três níveis na porta CA os problemas relacionados às tensões de modo comum são muito menores. Como desvantagem, essa configuração utiliza uma topologia meia-ponte e é necessário dobrar a tensão do

Figura 1.13 – Inversor ponte-completa com braço adicional para conexão de ESS.



Fonte: Elaborada pelo autor.

Figura 1.14 – Inversor NPC com braço adicional para conexão de ESS.



Fonte: Elaborada pelo autor.

barramento CC. Devido à topologia multinível, os dispositivos S_1 a S_4 apresentam o mesmo estresse de tensão que os dispositivos do circuito da Figura 1.13. Por outro lado, S_5 e S_6 apresentam maior estresse de tensão. Uma outra possível modificação é a utilização de um braço multinível para o ESS, mas nesse caso há um aumento de dispositivos semicondutores.

O exposto até aqui demonstra que o tema desta Tese é relevante no contexto tecnológico e científico atual. O circuito proposto permite a geração de forma de onda de três níveis na porta CA e a conexão de um ESS por braço utilizando seis dispositivos semicondutores controlados e seis diodos. Conforme é demonstrado nesta Tese, os sistemas de modulação e controle requeridos são relativamente simples e utilizam pouco esforço computacional. Porém, a integração de funções em uma topologia de conversor estático é cercada de prós e contras. Mesmo que as topologias NPC e ANPC tenham sido largamente exploradas na literatura, a inserção do circuito do ESS entre os nós A e B insere modificações no funcionamento do circuito. Nesse sentido, esta Tese busca apresentar respostas às principais questões relacionadas ao circuito proposto,

analisando desde os estados de condução e comutações, até a operação em malha fechada em uma aplicação conectada à rede.

Esta Tese está dividida da seguinte forma: no Capítulo 2 é feita uma revisão da topologia ANPC, é apresentada a forma de integração da porta CC bidirecional secundária e é realizada uma análise detalhada da etapa de potência; no Capítulo 3 são propostas técnicas de modulação para o inversor proposto; o Capítulo 4 é dedicado à análise das variáveis envolvidas no projeto do inversor, tais como as correntes nos semicondutores, valores recomendados das tensões de alimentação e o dimensionamento de capacitores e indutores; no Capítulo 5 é analisada, proposta e projetada a estrutura de controle para uma aplicação conectada à rede; no Capítulo 6 são apresentados detalhes do protótipo construído e é feita uma discussão dos resultados experimentais; ao final são apresentadas as conclusões do trabalho e as sugestões de trabalhos futuros. O Apêndice A traz detalhes do projeto da etapa de potência utilizada nos experimentos.

1.1 CONSIDERAÇÕES FINAIS

Este capítulo apresentou as principais motivações para utilização de ESS e algumas das formas que podem ser utilizadas para conexão desses elementos através de conversores estáticos. Configurações que utilizam mais conversores dão maior flexibilidade no projeto e operação. Por outro lado, conversores multiportas permitem uma redução do número de dispositivos semicondutores.

A proposta apresentada nesta Tese permite a conexão do ESS diretamente ao inversor sem conversores auxiliares. São utilizados seis dispositivos semicondutores controlados e seis diodos por braço do conversor. Em sistemas com mais de um braço é possível a formação de ESSs híbridos ou redundantes. A topologia proposta alcança seus objetivos utilizando um sistema de modulação baseado em portadoras e opera com barramento CC equilibrado.

2 CONVERSOR ANPC COM PORTA CC BIDIRECIONAL SECUNDÁRIA

2.1 INTRODUÇÃO

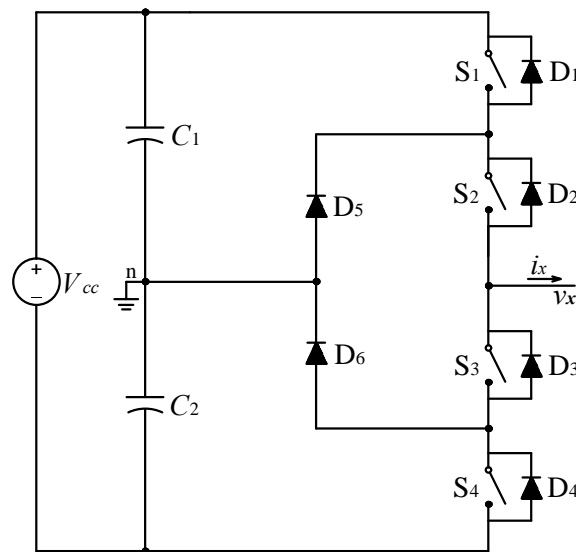
Este capítulo inicia com uma revisão da literatura relacionada à topologia ANPC. Posteriormente são apresentados detalhes de como é possível integrar uma porta CC bidirecional secundária em cada braço do inversor ANPC. Essa porta CC adicional permite a conexão do ESS diretamente no inversor sem a necessidade de conversores CC-CC auxiliares. Cada braço do inversor passa a ter três portas: a porta CC principal, a porta CC secundária e a porta CA. Em configurações polifásicas a porta CC principal é compartilhada por todos os braços, constituindo uma porta comum. Por questões de simplificação da nomenclatura utilizada ao longo do texto, a topologia proposta nesta Tese é chamada de ANPC-3P (ANPC de 3 Portas).

Este capítulo também apresenta uma análise dos possíveis estados de condução e a função de cada estado em relação à porta CA e à porta CC secundária. Por fim, as comutações entre estados de condução, considerando questões práticas como a inclusão de tempo-morto, são analisadas para verificar se apresentam alguma condição indesejada ou até mesmo proibida.

2.2 INVERSOR ANPC

Na década de 1980 foram concedidas duas patentes nos Estados Unidos da América sobre uma nova topologia de conversor com diodos de grampeamento (BAKER, 1980; BAKER, 1981). Um artigo da mesma época também apresentou o circuito de um inversor com diodos de grampeamento e deu o nome de *Neutral-Point-Clamped* (NPC) à topologia (NABAE; TAKAHASHI; AKAGI, 1981). Essa topologia apresentou uma solução para se aumentar a capacidade de tensão e potência dos conversores alimentados em tensão (VSC - *Voltage Source Converter*), uma vez que as principais limitações dos VSCs de dois níveis estavam relacionadas à capacidade de bloqueio de tensão dos semicondutores de potência com condução e bloqueio controlados. O circuito de um braço do conversor NPC é apresentado na Figura 2.1. Cada braço possui quatro dispositivos semicondutores controlados ($S_1 - S_4$), cada qual com um diodo em antiparalelo ($D_1 - D_4$), e dois diodos de grampeamento ($D_5 - D_6$). Os capacitores do barramento CC são conectados em série para obter o ponto neutro e garantir o nível de tensão zero. Os estados de condução permitidos para o inversor NPC são apresentados na Tabela 2.1. O sinal de comando do dispositivo S_3 é complementar ao sinal de comando de S_1 , assim como o sinal de comando de S_4 é complementar ao sinal de comando de S_2 .

Figura 2.1 – Um braço do inversor NPC.



Fonte: Adaptado de Nabae, Takahashi e Akagi (1981).

Tabela 2.1 – Estados de condução permitidos para o inversor NPC e respectivos níveis de tensão.

Estado	Dispositivos Controlados				Tensão de saída (v_x)
	S_1	S_2	S_3	S_4	
P	1	1	0	0	$V_{cc}/2$
0	0	1	1	0	0
N	0	0	1	1	$-V_{cc}/2$

Fonte: Adaptado de Nabae, Takahashi e Akagi (1981).

A topologia NPC foi rapidamente aceita pela indústria, posteriormente competindo no mercado com a topologia multinível baseada em capacitores flutuantes (MEYNARD; FOCH, 1992). Atualmente, considera-se que a topologia NPC está muito bem estabelecida e o campo de aplicações está em constante crescimento devido à sua compactidade, eficiência e bom desempenho (RODRIGUEZ et al., 2010). Embora a topologia NPC tenha características interessantes, alguma estratégia deve ser utilizada para que as tensões dos capacitores do barramento CC se mantenham balanceadas (com mesma tensão média), o que pode ser obtido através da modulação e controle (CELANOVIC; BOROYEVICH, 2000). Além disso, apenas os interruptores externos são diretamente grampeados, podendo ocorrer sobretensão no bloqueio dos semicondutores internos (S_2 e S_3) (SUH; HYUN, 1997). A corrente eficaz e o número de comutações são diferentes entre os dispositivos semicondutores externos (S_1 e S_4) e os internos, o que causa uma distribuição desigual de perdas (BRUCKNER; BERNET, 2001). Essa distribuição desi-

igual de perdas causa diferenças nas temperaturas das junções semicondutoras, sendo que os dispositivos mais quentes limitam a capacidade de potência do conversor NPC.

Na análise do problema de distribuição de perdas, Bruckner, Bernet e Guldner (2005) mostraram que os piores casos ocorrem para grandes e pequenos índices de modulação com fator de potência (FP) unitário (positivo ou negativo). Para grandes índices de modulação e $FP = 1$ (potência fluindo do barramento CC para a porta CA) os dispositivos semicondutores externos são os elementos que exibem as maiores perdas, pois além de conduzirem a corrente de fase na maior parte do tempo ainda apresentam significativas perdas por comutação. Ainda considerando grandes índices de modulação e com $FP = -1$ (potência fluindo da porta CA para o barramento CC), os diodos externos (D_1 e D_4) apresentam as maiores perdas pelos mesmos motivos apresentados para os dispositivos semicondutores externos. Quando o índice de modulação é pequeno os dispositivos internos (S_2 e S_3) conduzem a corrente de fase na maior parte do tempo e exibem perdas por comutação sendo, portanto, os dispositivos mais estressados.

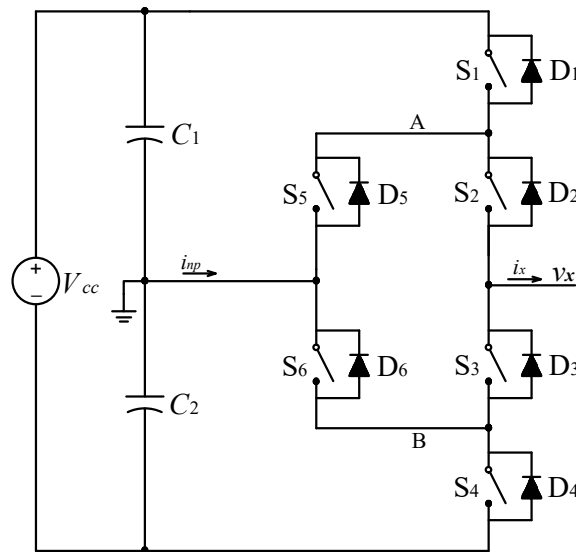
Como solução, Bruckner, Bernet e Guldner (2005) propuseram a substituição dos diodos D_5 e D_6 por elementos ativos, dando origem à topologia ANPC. O circuito resultante é apresentado na Figura 2.2. Essa nova topologia sintetiza os mesmos três níveis de tensão na saída mas apresenta mais estados de condução possíveis, conforme é apresentado na Tabela 2.2. Para a obtenção do nível zero na saída foram propostos quatro estados redundantes e que possibilitam a distribuição de perdas por condução e comutação entre S_2 , S_3 , S_5 e S_6 . Essa topologia não visa aumentar o rendimento em comparação com o inversor NPC, mas aumentar a capacidade de potência do inversor por distribuir as perdas entre os dispositivos mais estressados em cada condição de operação. Para reduzir as perdas por comutação no dispositivo S_1 pode-se utilizar a transição do estado P para o estado OL1 ao invés de utilizar algum dos outros estados que causa a comutação do referido dispositivo. O mesmo vale para S_4 na transição do estado N para o estado OU1. Assim, é possível transferir as perdas de comutação de S_1 para S_2 ou de S_4 para S_3 .

Tabela 2.2 – Estados de condução originalmente apresentados para o inversor ANPC e respectivos níveis de tensão.

Estado	Dispositivos Controlados						Tensão de saída (v_x)
	S_1	S_2	S_3	S_4	S_5	S_6	
P	1	1	0	0	0	1	$V_{cc}/2$
OU2	0	1	0	0	1	0	0
OU1	0	1	0	1	1	0	0
OL1	1	0	1	0	0	1	0
OL2	0	0	1	0	0	1	0
N	0	0	1	1	1	0	$-V_{cc}/2$

Fonte: Adaptado de Bruckner, Bernet e Guldner (2005).

Figura 2.2 – Um braço do inversor ANPC.



Fonte: Adaptado de Bruckner, Bernet e Guldner (2005).

Para um melhor entendimento de quais dispositivos semicondutores sofrem perdas por comutação, Bruckner, Bernet e Guldner (2005) classificaram as comutações em três tipos. As comutações do tipo 1 envolvem perdas em S_1/D_1 e D_5/S_5 ou S_4/D_4 e D_6/S_6 . Por exemplo, a comutação $P \rightarrow 0U2$ causa perdas em S_1/D_5 para corrente de fase positiva e causa perdas em D_1/S_5 para corrente de fase negativa. As comutações do tipo 2 envolvem perdas em S_1/D_1 e D_3/S_3 ou S_4/D_4 e D_2/S_2 . Por fim, as comutações do tipo 3 envolvem apenas S_2/D_2 e D_3/S_3 . As comutações do tipo 1 não devem ser utilizadas quando deseja-se evitar as perdas nos dispositivos externos. De forma similar, as comutações do tipo 3 evitam as perdas por comutação nos dispositivos internos. As comutações do tipo 2 evitam as perdas por comutação nos dispositivos S_5/D_5 e S_6/D_6 . Dessa forma, com a seleção apropriada dos tipos de comutação é possível distribuir as perdas por comutação em todos os dispositivos semicondutores do inversor.

Para fazer a distribuição de perdas Bruckner, Bernet e Guldner (2005) utilizaram um sistema ativo em malha fechada. Esse sistema faz a estimativa das temperaturas das junções dos dispositivos semicondutores de potência em tempo real utilizando a medição da temperatura do líquido de arrefecimento. Com base nessa estimativa, no estado de comutação e na corrente de fase, o tipo de comutação apropriado é selecionado, visando causar as menores perdas possíveis nos dispositivos mais quentes. O grande número de cálculos a ser realizado em tempo real é uma desvantagem dessa técnica. Em Bruckner e Bernet (2005) e Bruckner, Bernet e Steimer (2007) foi apresentada uma técnica de distribuição de perdas que busca reduzir a quantidade de cálculos. Uma distribuição de perdas adequada pode ser obtida utilizando-se certa relação ótima entre os tipos de comutação. Essa relação ótima depende do ponto de operação do inversor, que está intimamente relacionado com o índice de modulação e o fator de potência. A técnica proposta consiste em simular o inversor em diversos pontos de operação e em cada ponto de operação encontrar a relação ótima entre os tipos de comutação. Os resultados previamente

calculados são então armazenados em uma tabela e cabe ao sistema de modulação e controle identificar o ponto de operação e selecionar a relação a ser utilizada. Nos referidos trabalhos as comutações do tipo 2 foram suprimidas por serem consideradas um caso intermediário entre as comutações dos tipos 1 e 3, o que simplifica ainda mais a implementação. Como resultado, relações de comutação $n_{tipo1}/n_{tipo3} = 4/1, 3/1$ e $2/1$ foram obtidas para um caso específico. Outro trabalho de análise das comutações para avaliação de perdas e modelamento térmico foi apresentado por Senturk et al. (2011) considerando aplicações em geração eólica.

Em Li et al. (2011) foi apresentada uma proposta de inversor ANPC com transição sob zero de corrente (ZCT - *Zero-Current-Transition*). Dois dispositivos semicondutores e um tanque LC são adicionados ao circuito para permitir o bloqueio em zero de corrente para os dispositivos semicondutores controlados e entrada em condução suave. Esse circuito permite reduzir as perdas por comutação, eliminar os efeitos da corrente de recuperação reversa dos diodos, reduzir as sobretensões de bloqueio dos dispositivos controlados e, assim, com menores perdas, é possível alcançar maiores frequências de comutação.

Um estudo foi publicado por Andler et al. (2013) para investigar as comutações de um inversor ANPC composto por IGCTs (*Insulated Gate Commutated Thyristor*), barramento CC de 2,13-2,43 kV e correntes de fase de 3,95-4,36 kA. Algumas comutações podem ser problemáticas, pois em um estado de condução intermediário, criado pelo tempo-morto, a corrente pode ser conduzida tanto pelo caminho superior (estados 0U1 e 0U2) quanto pelo caminho inferior (estados 0L1 e 0L2). Assim, a distribuição das correntes depende das impedâncias parasitas dos caminhos de condução. No referido trabalho os autores propõem subsequências de comutação para os estados problemáticos e a cada bloqueio ou condução de um dispositivo semicondutor específico são estipulados os tempos-mortos.

Uma análise detalhada das comutações dos dispositivos semicondutores foi apresentada por Jiao, Lu e Lee (2014) considerando IGBTs (*Insulated Gate Bipolar Transistor*). As indutâncias dispersas dos caminhos de condução são incluídas no circuito e seus efeitos sobre os dispositivos semicondutores são analisados. Dois problemas importantes foram encontrados. O primeiro problema descrito diz respeito a uma corrente de cauda, que é causada por um processo complexo envolvendo diversos elementos parasitas e dispositivos semicondutores. Em certas comutações, o dispositivo semicondutor que está entrando em condução é submetido à corrente de recuperação reversa do diodo que está sendo bloqueado. A recuperação reversa causa um pico de corrente no dispositivo semicondutor que está entrando em condução. Esse pico deveria ser de curta duração, mas devido às indutâncias parasitas e demais dispositivos semicondutores envolvidos na comutação, a corrente decresce de forma mais lenta do que o esperado, causando uma corrente de cauda. No caso abordado no referido trabalho, os autores encontraram correntes de cauda de aproximadamente 3% do período de comutação. Devido ao amortecimento lento dessa corrente, ela causa perdas adicionais em diversos dispositivos semicondutores. Como ela ocorre a cada período de comutação, é um fator importante a ser considerado em inversores que operam com frequências de dezenas a centenas de quilohertz.

Outro ponto importante é que em razões cíclicas pequenas o dispositivo semiconductor pode ser bloqueado durante o transiente descrito, o que causa fortes surtos de tensão. A investigação do problema revelou que as indutâncias parasitas e a resistência de *gate* influenciam na corrente de cauda. Reduzir os parasitas e aumentar o resistor de *gate* têm efeito de fazer a corrente de cauda decair mais rapidamente. No entanto, com resistores de *gate* maiores, as perdas serão aumentadas. Portanto, há um compromisso a ser considerado. Um outro problema abordado no referido trabalho diz respeito a surtos de tensão nos dispositivos semicondutores internos. Esse problema é mais sério e pode levar a consequências mais desastrosas do que a corrente de cauda. O problema se manifesta mais intensamente com baixa potência na saída do inversor. A explicação do problema está relacionada à maior di/dt da recuperação reversa com menores correntes de fase. Dessa forma, Jiao, Lu e Lee (2014) concluem que diodos de recuperação rápida apresentam um comportamento mais agressivo na corrente de recuperação reversa quando comutam correntes menores. Esta propriedade associada com parasitas nos caminhos de condução causam ressonâncias e surtos de tensão sobre o dispositivo bloqueado. Para reduzir esse problema pode-se evitar os caminhos de condução com os maiores parasitas e aumentar a resistência de *gate*. Para inversores do tipo NPC não há estados de condução redundantes que permitam escolher o caminho com menores parasitas, sendo somente a resistência de *gate* utilizada para minimizar este problema. Já para inversores ANPC pode-se atuar em ambos os pontos. Um estudo recente, considerando as comutações de IGBTs de alta potência para aplicações em compensadores estáticos síncronos (STATCOM - *Static Synchronous Compensator*) em média tensão, reforça a necessidade de uma análise detalhada dos caminhos de condução, dos efeitos das indutâncias parasitas distribuídas e dos problemas de recuperação reversa mais agressiva com corrente de fase pequena (MAYOR et al., 2019). Jiao, Lu e Lee (2014) obtiveram a pior condição de recuperação reversa quando a corrente de carga era um décimo da corrente nominal.

Em outro trabalho, Jiao e Lee (2015) propuseram uma nova estratégia de modulação para o inversor ANPC. São propostos novos estados de condução chamados aqui de 0U3 e 0L3, mostrados na Tabela 2.3. Porém, os autores optam por utilizar o estado de condução 0UL para sintetizar o nível zero na saída. O estado 0UL consiste em colocar em condução os dispositivos S_2 , S_3 , S_5 e S_6 simultaneamente. Nesse trabalho os resultados mostraram perdas balanceadas entre os dispositivos semicondutores internos para FP unitário (positivo e negativo) e FP zero. No entanto, as perdas nos dispositivos externos são consideravelmente diferentes das perdas nos dispositivos internos para FP unitário. De forma geral, nas condições analisadas por Jiao e Lee (2015), a utilização do estado 0UL permite reduzir o estresse de corrente e tensão sobre os dispositivos semicondutores e melhorar o rendimento do inversor. Porém, não está claro se a divisão de corrente pelos caminhos inferior e superior é sempre garantida. Durante a comutação é pouco provável que essa divisão ocorra, pois existem diversos fatores que interferem nessa divisão, como os elementos parasitas dos caminhos de condução, atrasos de propagação nos sinais dos circuitos de acionamento dos interruptores (*gate drivers*), entre outros. A utilização

de dispositivos semicondutores com coeficiente positivo de temperatura é de grande importância nesse caso. Cabe observar que as estratégias propostas por Bruckner, Bernet e Guldner (2005) e Bruckner, Bernet e Steimer (2007) permitem obter perdas balanceadas nos referidos dispositivos semicondutores para qualquer condição de FP e índice de modulação. O estado de condução 0UL foi excluído da proposta inicial do inversor ANPC por não ser possível determinar previamente se haverá divisão igualitária de corrente pelos caminhos superior (S_2 - S_5) e inferior (S_3 - S_6) até o ponto neutro (BRUCKNER; BERNET; GULDNER, 2005).

Tabela 2.3 – Resumo dos estados de condução permitidos para o inversor ANPC com os respectivos níveis de tensão e a corrente no ponto neutro (i_{np}).

Estado	Dispositivos Semicondutores						Tensão	Tensão	Corrente
	S_1	S_2	S_3	S_4	S_5	S_6	v_x	v_{AB}	i_{np}
P	1	1	0	0	0	1	$V_{cc}/2$	$V_{cc}/2$	I_E
0U4	0	1	1	0	1	0	0	0	i_x
0U3	0	1	0	0	1	1	0	0	i_x
0U2	0	1	0	0	1	0	0	–	–
0U1	0	1	0	1	1	0	0	$V_{cc}/2$	$i_x - I_E$
0UL	0	1	1	0	1	1	0	0	i_x
0L1	1	0	1	0	0	1	0	$V_{cc}/2$	$i_x + I_E$
0L2	0	0	1	0	0	1	0	–	–
0L3	0	0	1	0	1	1	0	0	i_x
0L4	0	1	1	0	0	1	0	0	i_x
N	0	0	1	1	1	0	$-V_{cc}/2$	$V_{cc}/2$	$-I_E$

Fonte: Elaborada pelo autor.

O estado 0UL foi também utilizado em Deng et al. (2017) como um estado de transição permitindo-se obter comutações suaves e, assim, reduzir as perdas por comutação. Verifica-se uma redução da temperatura de junção do dispositivo semicondutor mais estressado mas não é garantido o balanceamento das perdas entre os dispositivos internos e externos. O referido trabalho é um aprimoramento da técnica proposta por Floricau, Floricau e Dumitrescu (2008) para dobrar a frequência aparente de comutação.

Em Ma et al. (2015) foi proposta mais uma estratégia de modulação para balanceamento de perdas. Uma relação entre estados que estressam os dispositivos internos ou os externos é utilizada. Novos estados de condução foram propostos, chamados aqui de 0U4 e 0L4.

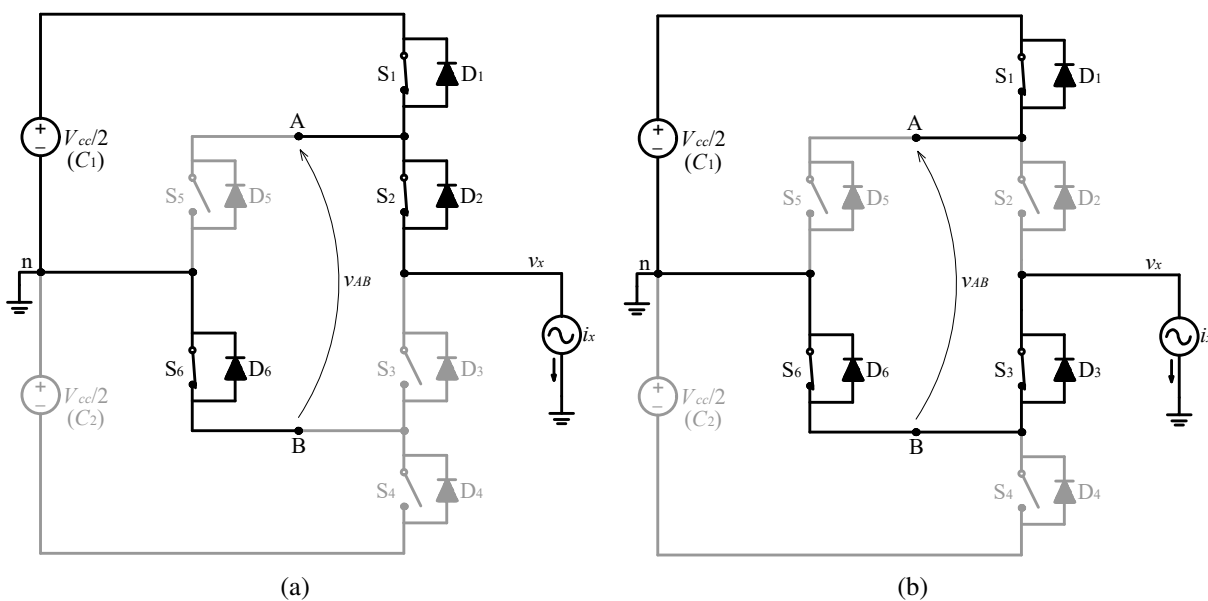
O resumo de todos os estados permitidos e que efetivamente foram utilizados em trabalhos relacionados nesta revisão de literatura é apresentado na Tabela 2.3. Como pode ser visto, há nove estados de condução para síntese do nível zero na saída do inversor. Devido a essa flexibilidade, diversas estratégias de modulação podem ser obtidas. O estado 0UL se mostra como uma opção interessante para simplificar a estratégia de modulação e simultaneamente obter ren-

dimento um pouco melhor. Entretanto, a utilização desse estado resulta no desbalanceamento das perdas entre os dispositivos internos e externos, que é o principal motivo de se utilizar a topologia ANPC.

2.3 INTEGRAÇÃO DE PORTA CC BIDIRECIONAL NO INVERSOR ANPC

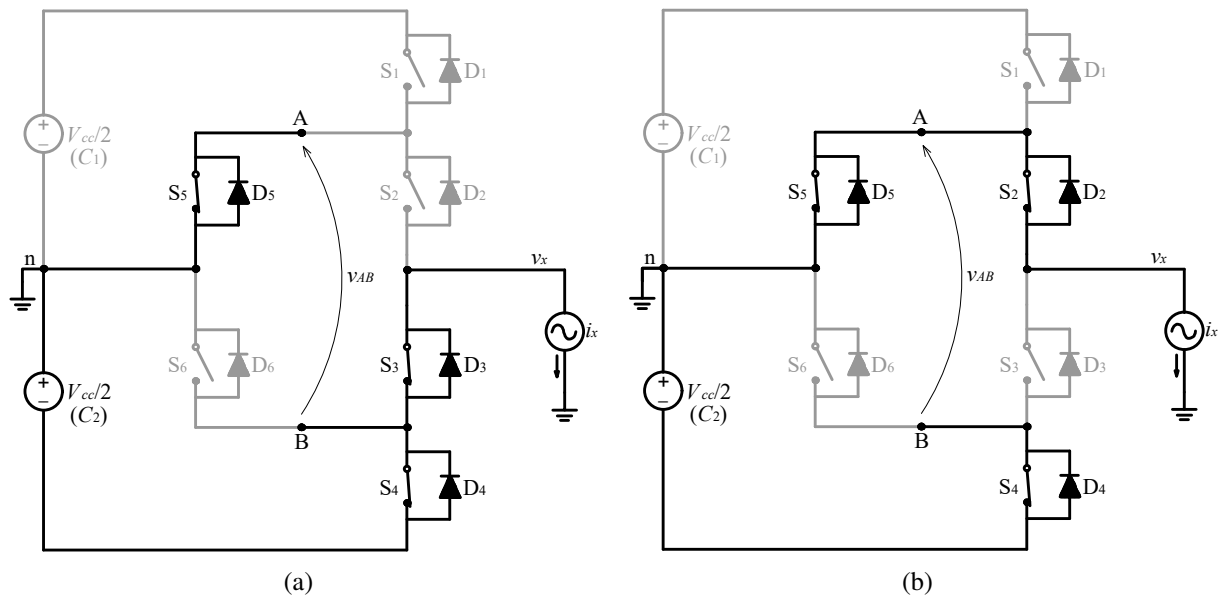
A topologia ANPC apresenta características interessantes de simetria devido à presença da composição ponte completa formada pelos dispositivos semicondutores internos (S_2 , S_3 , S_5 e S_6). Através da análise completa dos estados de condução mostrados na Tabela 2.3 pode-se encontrar novas formas de modulação ou adicionar funcionalidades à topologia ANPC. No caso desta Tese, uma análise da diferença de potencial entre os nós A e B, indicados na Figura 2.2, utilizando todos os estados de condução da Tabela 2.3 mostrou a existência de dois níveis de tensão distintos, 0 e $V_{cc}/2$, e a existência de estados redundantes. Também mostrou que nos estados P e 0L1 a tensão v_{AB} é igual a tensão do polo positivo do barramento CC (C_1), conforme ilustra a Figura 2.3. Para os estados N e 0U1 v_{AB} é igual a tensão do polo negativo do barramento CC (C_2), como é apresentado na Figura 2.4. Assim, em primeira análise, os estados P, 0L1, N e 0U1 geram tensão $V_{cc}/2$ entre os nós A e B e permitem a um circuito conectado entre esses nós a troca de energia com ambos os capacitores do barramento CC. Os demais estados de condução geram nível zero entre os nós A e B. Por esses motivos iniciais, os nós A e B foram considerados como pontos viáveis para a criação de uma porta CC adicional.

Figura 2.3 – Estados de condução (a) P e (b) 0L1 do inversor ANPC.



Fonte: Elaborada pelo autor.

Figura 2.4 – Estados de condução (a) N e (b) 0U1 do inversor ANPC.

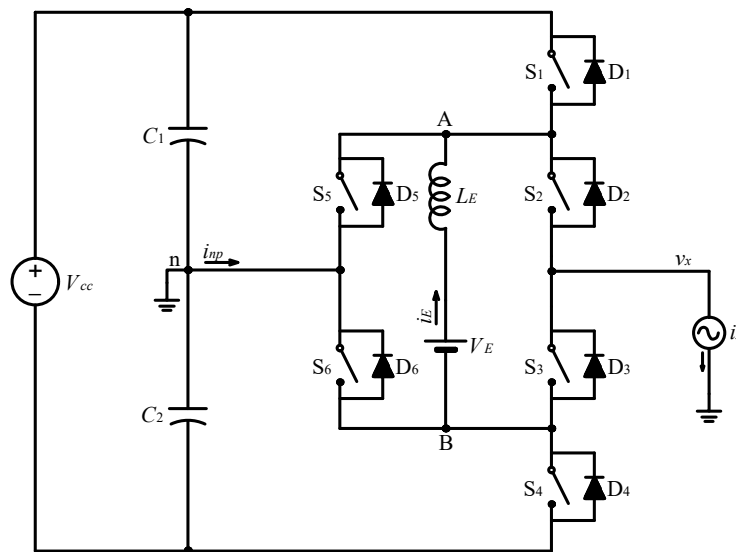


Fonte: Elaborada pelo autor.

Com a existência de dois níveis de tensão entre os nós A e B cria-se a possibilidade de conexão de um circuito com característica de fonte de corrente entre os referidos nós. Através do ajuste dos tempos de aplicação das tensões $V_{cc}/2$ e 0 é possível controlar o fluxo de potência. No entanto, a maioria das cargas CC e os ESS têm característica de fonte de tensão. De forma a permitir essa conexão, um indutor (L_E) foi associado em série com uma fonte de tensão (V_E), conforme apresentado na Figura 2.5. Caso a carga ou a fonte a ser conectada entre A e B já apresente característica de fonte de corrente, a utilização do indutor L_E é dispensável. No caso de conexão de cargas CC, a fonte V_E pode ser compreendida como a tensão sobre um capacitor de filtro de saída. Além do filtro indutivo podem ser utilizados outros arranjos de componentes para filtragem, como filtros LCL, por exemplo. Por simplicidade, neste trabalho o circuito será analisado com um filtro indutivo simples. Considerando-se que a corrente i_E esteja em regime permanente e regulada em um certo valor CC médio, para simplicidade de análise a associação de V_E com o indutor L_E pode ser considerada como uma fonte de corrente I_E , conforme apresentado na Figura 2.6.

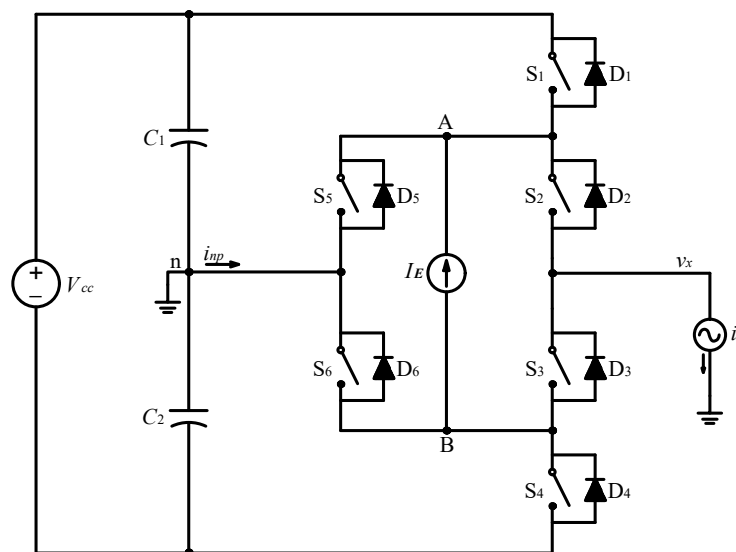
Nessa nova configuração do inversor ANPC, considerando que há uma fonte de corrente I_E conectada entre os pontos A e B, é necessária uma nova análise de todos os estados de condução para se compreender melhor o impacto da adição da fonte de corrente no funcionamento do inversor, na regulação da tensão dos capacitores do barramento CC, no estresse de corrente e tensão sobre os dispositivos semicondutores, etc. Por outro lado, uma análise também deve ser conduzida para se verificar se há possibilidade de controle dos parâmetros elétricos da fonte V_E (corrente e tensão) e quais requisitos devem ser atendidos.

Figura 2.5 – Inversor ANPC monofásico com porta CC bidirecional secundária conectada a uma fonte de tensão.



Fonte: Elaborada pelo autor.

Figura 2.6 – Inversor ANPC monofásico com porta CC bidirecional secundária conectada a uma fonte de corrente.



Fonte: Elaborada pelo autor.

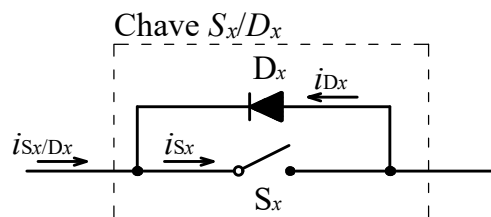
2.4 ANÁLISE DOS ESTADOS DE CONDUÇÃO

Com exceção dos estados 0U2 e 0L2, os estados de condução mostrados na Tabela 2.3 foram analisados e podem ser utilizados no conversor ANPC-3P. Cada estado apresenta características específicas que podem ser exploradas para um melhor projeto da etapa de potência e para utilizar estratégias de modulação mais eficientes.

Os estados de condução P e N não apresentam redundância. Já os estados que geram o nível zero na saída do inversor possuem redundância tanto para a tensão v_x quanto para a tensão v_{AB} . Na sequência são analisados todos os estados de condução para uma melhor compreensão do funcionamento do inversor proposto.

De forma a simplificar o texto e as equações, a análise que segue utiliza o termo “chave” (S_x/D_x) para se referir ao conjunto formado pela associação antiparalela de um dispositivo semicondutor controlado (S_x) com um diodo (D_x), conforme mostrado na Figura 2.7. As correntes positivas da “chave” são conduzidas pelo dispositivo semicondutor controlado e as correntes negativas pelo diodo. Dessa maneira, uma chave é um elemento bidirecional em corrente e unidirecional em tensão. Quando for feita uma referência à corrente da chave, está sendo considerada a soma das correntes do dispositivo semicondutor controlado e do diodo. No Capítulo 4, onde é realizado o cálculo dos esforços de corrente nos semicondutores, a análise é feita de forma separada para o dispositivo controlado e para o diodo.

Figura 2.7 – Associação antiparalela de um dispositivo semicondutor controlado com um diodo e o respectivo sentido das correntes.



Fonte: Elaborada pelo autor.

2.4.1 Estados P e N

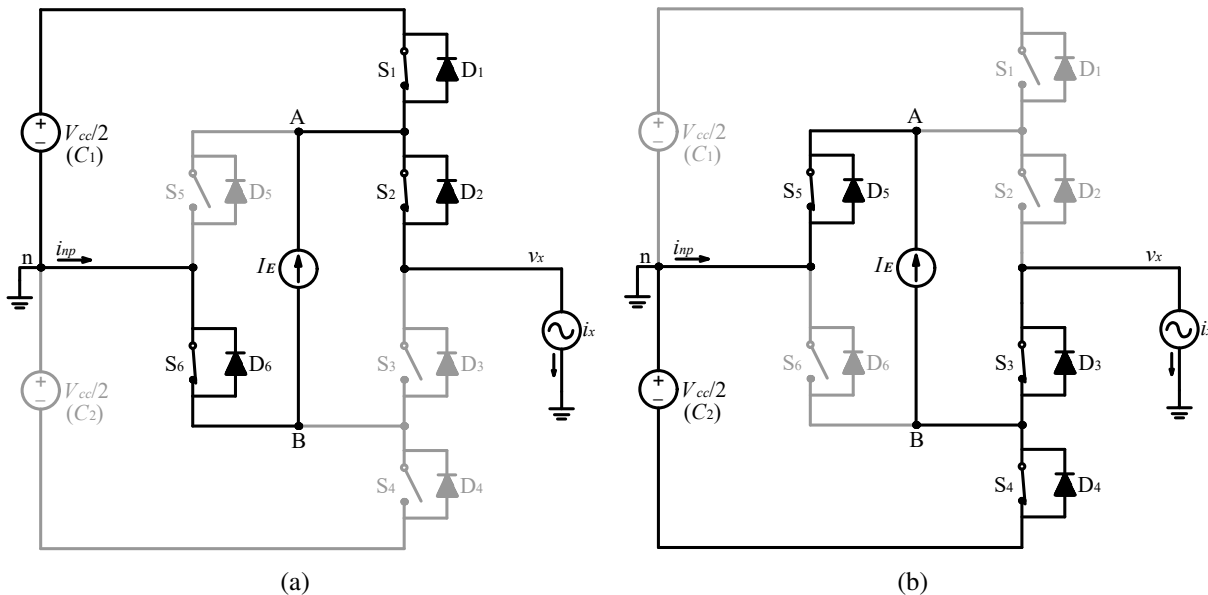
Os estados P e N são responsáveis pela síntese dos níveis $+V_{cc}/2$ e $-V_{cc}/2$ em v_x (porta CA), respectivamente. Não possuem estados redundantes e, portanto, são fundamentais na operação do inversor ANPC. Na Figura 2.8 são apresentados os caminhos da corrente de fase do inversor e do sistema de armazenamento para os estados P e N.

O estado P, representado na Figura 2.8(a), impõe a tensão do polo positivo do barramento CC em v_x e entre os nós A e B. De acordo com a soma das correntes no nó A, a corrente através da chave S_1/D_1 é $i_x - I_E$. A chave S_2/D_2 conduz a corrente de fase do inversor. A chave S_6/D_6 conduz I_E . No caso do inversor ANPC convencional, a chave S_6/D_6 é apenas colocada em condução para garantir a divisão igualitária de tensão sobre S_3 e S_4 , mas no ANPC-3P há condução de corrente. Os diodos D_3 , D_4 e D_5 estão reversamente polarizados e bloqueiam tensão $V_{cc}/2$.

No estado N, representado na Figura 2.8(b), a tensão do polo negativo do barramento CC sintetiza $-V_{cc}/2$ em v_x e $V_{cc}/2$ em v_{AB} . As chaves S_3/D_3 , S_4/D_4 e S_5/D_5 estão em condução

e, conseqüentemente, os diodos D_1 , D_2 e D_6 estão reversamente polarizados. A corrente na chave S_4/D_4 é $-I_E - i_x$ e em S_3/D_3 e S_5/D_5 tem-se $-i_x$ e I_E , respectivamente.

Figura 2.8 – Estados de condução (a) P e (b) N.



Fonte: Elaborada pelo autor.

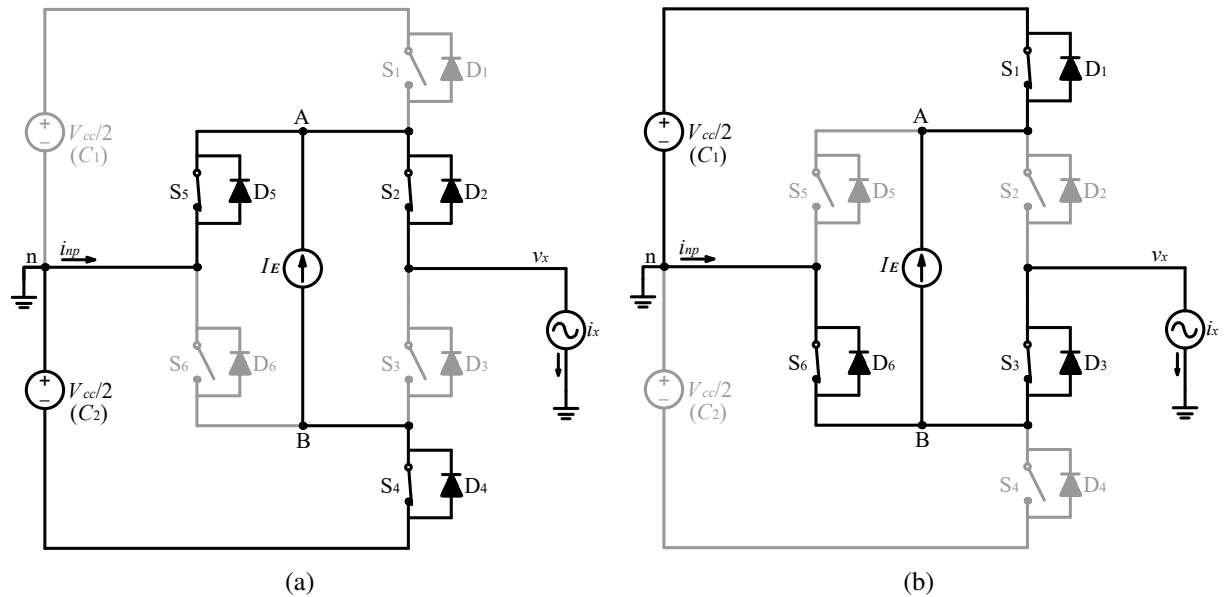
Como pode ser visto, a tensão v_{AB} é idealmente igual a $V_{cc}/2$ durante os estados de condução P e N. Entretanto, no estado P ocorre a troca de energia entre I_E e o polo positivo do barramento CC. Para o estado N a fonte I_E troca energia com o polo negativo do barramento CC. Como esses estados não apresentam redundância, a tensão v_{AB} não pode assumir outro valor e não é possível escolher com qual polo I_E troca energia.

2.4.2 Estados 0U1 e 0L1

Os estados de condução 0U1 e 0L1 são extremamente importantes para a operação do conversor ANPC-3P, pois permitem sintetizar o nível zero na saída CA do inversor ao mesmo tempo que a tensão v_{AB} seja mantida em $V_{cc}/2$. Com o auxílio dos estados 0U1 e 0L1 é possível ajustar a duração do pulso de nível $V_{cc}/2$ em v_{AB} e, assim, controlar o fluxo de potência. É importante destacar que 0L1 conecta I_E ao polo positivo do barramento CC e 0U1 conecta I_E ao polo negativo, conforme mostrado na Figura 2.9. Dessa forma, quando esses estados são utilizados, é possível distribuir a potência da fonte I_E entre os barramentos CC e, assim, manter o equilíbrio das tensões dos polos do barramento CC.

Conforme pode ser observado na Figura 2.9(a), durante o estado 0U1 as chaves S_2/D_2 , S_4/D_4 e S_5/D_5 estão em condução e os diodos D_1 , D_3 e D_6 estão reversamente polarizados. As chaves S_2/D_2 , S_4/D_4 e S_5/D_5 conduzem as correntes i_x , $-I_E$ e $I_E - i_x$, respectivamente.

Figura 2.9 – Estados de condução (a) 0U1 e (b) 0L1.

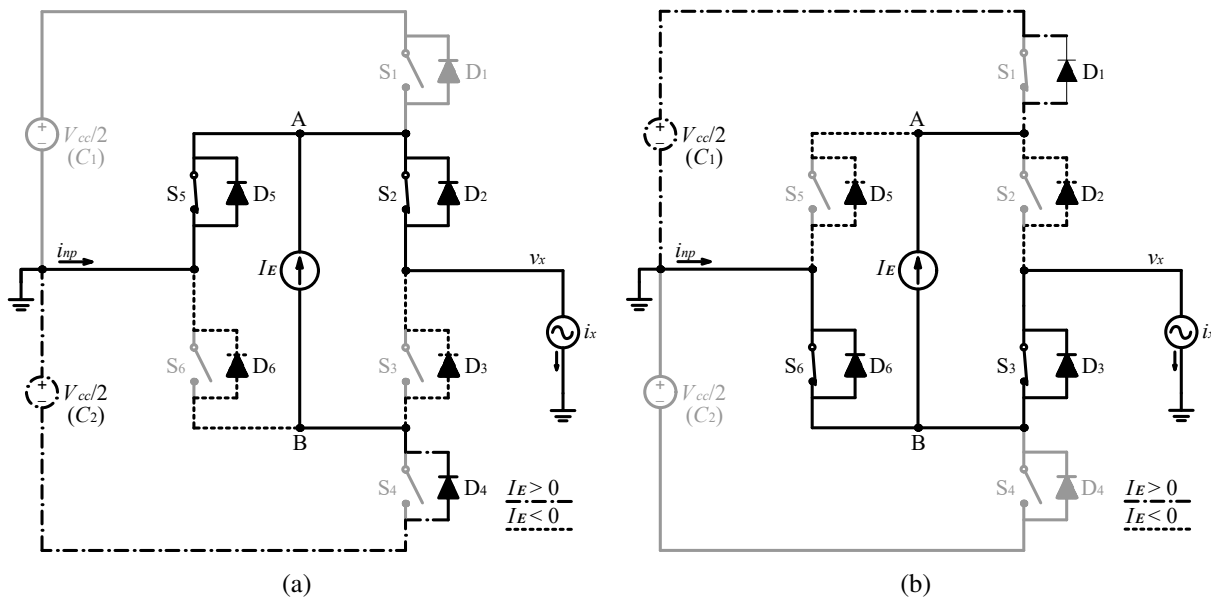


Fonte: Elaborada pelo autor.

Para o estado de condução 0L1, destacado na Figura 2.9(b), as chaves S_1/D_1 , S_3/D_3 e S_6/D_6 estão em condução e os diodos D_2 , D_4 e D_5 estão reversamente polarizados. As chaves S_1/D_1 , S_3/D_3 e S_6/D_6 conduzem correntes idealmente iguais a $-I_E$, $-i_x$ e $i_x + I_E$, respectivamente.

2.4.3 Estados 0U2 e 0L2

Os estados 0U2 e 0L2 são apresentados na Figura 2.10. São caracterizados por terem apenas dois dispositivos controlados acionados. Do ponto de vista da formação de caminhos de condução para a corrente i_x não apresentam nenhum problema e são utilizados na modulação do inversor ANPC convencional. Porém, ao se adicionar a fonte de corrente na porta CC secundária ocorre a formação de caminhos de condução dependentes da polaridade de I_E . Para simplificar a análise, considera-se que i_x é zero. A Figura 2.10(a) apresenta o estado 0U2 para as duas polaridades de I_E . Quando I_E é positiva ela força o diodo D_4 a entrar em condução e a tensão do polo negativo do barramento CC é imposta em v_{AB} . Quando I_E é negativa ela força os diodos D_3 e D_6 a entrar em condução e, como resultado, a tensão sobre v_{AB} é zero. Situação similar ocorre para o estado 0L2 e é ilustrada na Figura 2.10(b). Nota-se que, em ambos os estados de condução, a tensão v_{AB} depende do sentido de I_E . Por isso, e por existirem outros estados de condução que garantem o nível de tensão em v_{AB} independentemente das correntes envolvidas, os estados 0U2 e 0L2 foram excluídos das análises subsequentes desta Tese.

Figura 2.10 – Estados de condução (a) 0U2 e (b) 0L2 para ambas as polaridades de I_E e $i_x = 0$.

Fonte: Elaborada pelo autor.

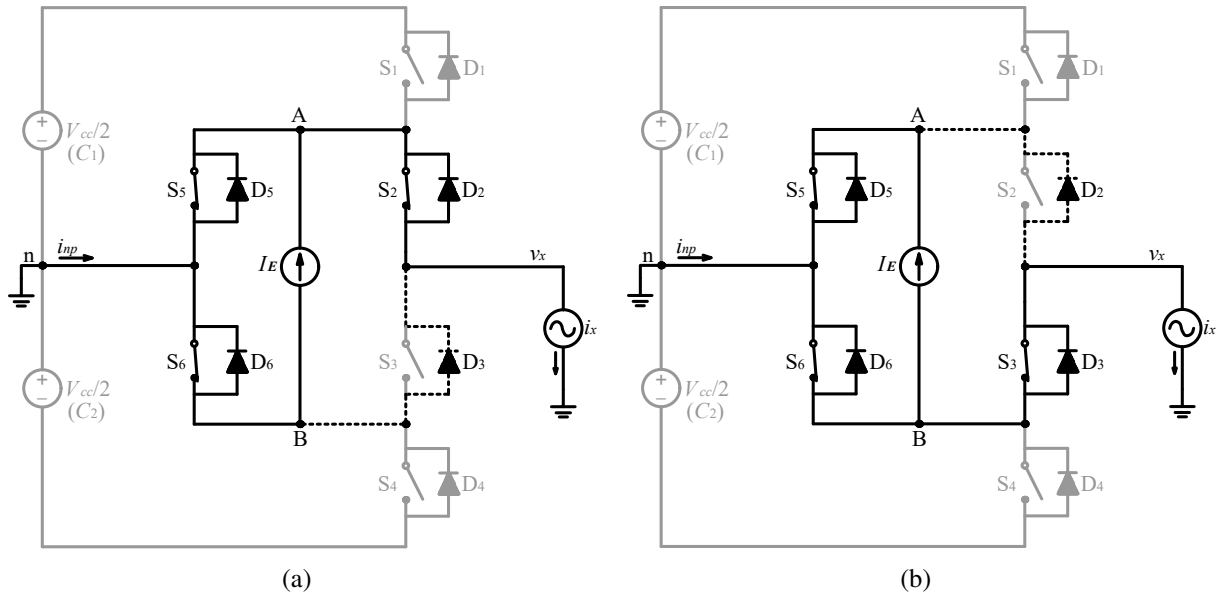
2.4.4 Estados 0U3, 0L3, 0U4 e 0L4

Os estados de condução 0U3, 0L3, 0U4 e 0L4 são capazes de gerar nível zero simultaneamente em v_x e v_{AB} . Juntamente com 0UL, apresentado na sequência, formam o conjunto de estados zero redundantes do conversor ANPC-3P. Na Figura 2.11 são apresentados os estados de condução que usam o caminho esquerdo, formado por S_5/D_5 e S_6/D_6 , para conduzir I_E . Há também o caminho direito, formado por S_2/D_2 e S_3/D_3 e que é utilizado nos estados de condução 0U4 e 0L4, representados na Figura 2.12.

Durante estes estados não há transferência de energia entre a fonte I_E e o barramento CC. Relembrando que entre os nós A e B existe a associação série de V_E com L_E , de tal forma que durante esses estados de condução a tensão do ESS é aplicada sobre L_E . Dessa forma, dependendo do sentido da corrente que percorre L_E há a transferência de energia do ESS para o indutor ou deste para o ESS. Também não há transferência de energia entre o barramento CC e v_x .

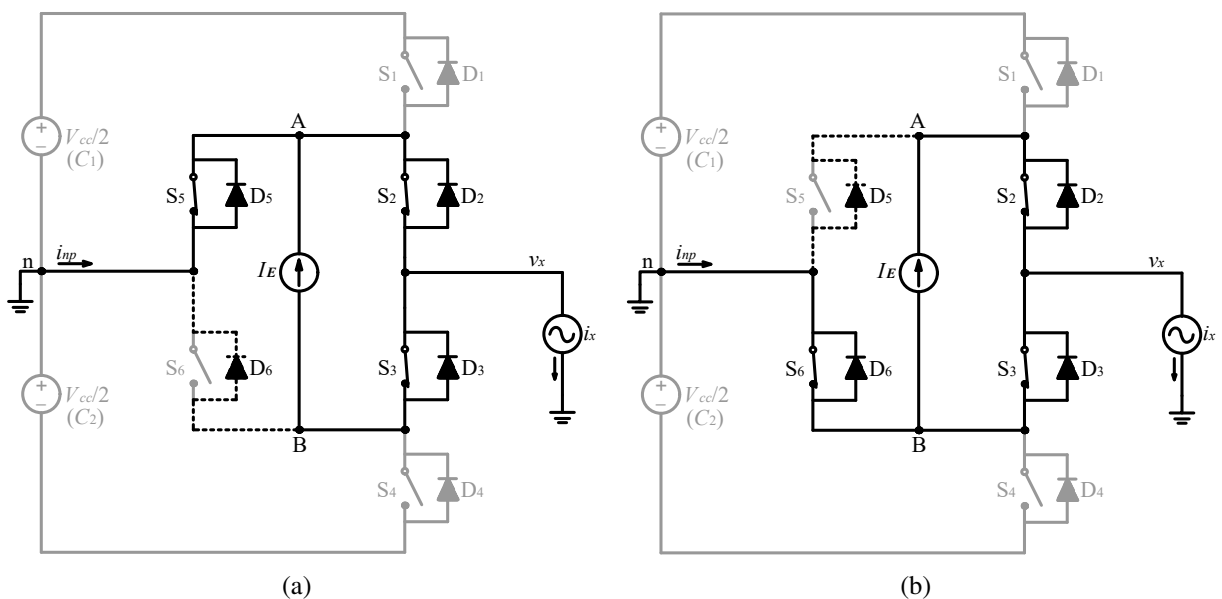
Para esses estados, a formação dos caminhos de condução através das chaves internas é relativamente complexa e depende de diversos fatores, principalmente quando os caminhos são colocados em paralelo. Em todos os estados de condução apenas uma das chaves internas está bloqueada e o respectivo diodo poderá entrar em condução sob certas circunstâncias. Caso o diodo entre em condução, todos os caminhos estarão em paralelo. Por exemplo, considerando 0U3, $I_E = 5$ A e $i_x = 15$ A, a condição para que D_3 entre em condução é que a corrente na chave S_3/D_3 seja negativa. Para determinar se a corrente na chave será negativa ou positiva é preciso

Figura 2.11 – Estados de condução (a) 0U3 e (b) 0L3.



Fonte: Elaborada pelo autor.

Figura 2.12 – Estados de condução (a) 0U4 e (b) 0L4.



Fonte: Elaborada pelo autor.

conhecer qual parcela de I_E e i_x passará por S_3 quando os caminhos forem colocados em paralelo. Em uma primeira abordagem pode-se considerar que as correntes se dividem igualmente pelos caminhos, ou seja, a corrente em S_3/D_3 seria dada por $I_E/2 - i_x/2 = -5$ A. Nesse caso o diodo entraria em condução. Considerando agora $i_x = 3$ A, o diodo não entraria em condução, pois a corrente em S_3 seria positiva. Uma análise similar pode ser feita para as outras polarida-

des de I_E e i_x e também estendida aos demais estados de condução. Mas é importante destacar que, conforme já discutido anteriormente, não há garantia de que a corrente i_x se dividirá igualmente entre os caminhos superior e inferior e que I_E se dividirá pelos caminhos esquerdo e direito. Não sendo possível conhecer exatamente como as correntes se dividem pelos caminhos de condução, não é possível saber se o diodo da chave bloqueada entrará em condução. Para uma estratégia de distribuição de perdas essa é uma condição indesejada e que é demonstrada por Bruckner, Bernet e Guldner (2005).

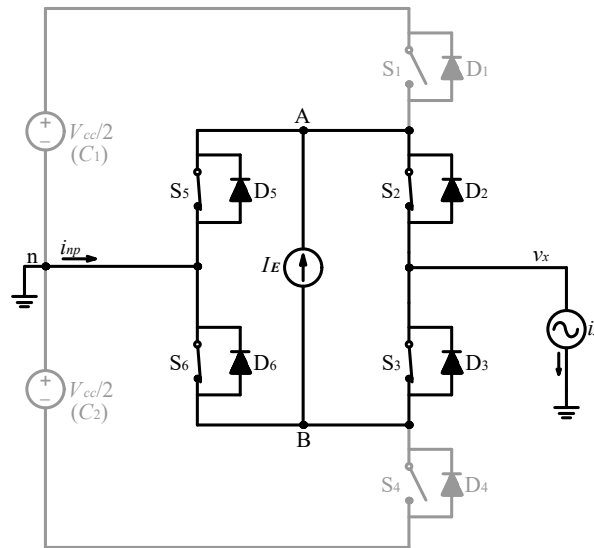
Do ponto de vista do projeto do inversor, caso esses estados sejam utilizados, pode-se adotar uma estratégia conservadora e considerar que os dispositivos que conduzem corrente estão sujeitos às correntes I_E e i_x , sem considerar a divisão das correntes. Utilizando-se essa estratégia conservadora, também é possível utilizar esses estados para buscar aliviar os esforços de corrente nos semicondutores. Por exemplo, considerando que em determinado ponto de operação a chave S_5/D_5 esteja sofrendo estresse de corrente superior às demais chaves, pode-se escolher o estado 0L4. A probabilidade dessa chave conduzir corrente utilizando 0L4 é a menor entre todos os estados redundantes. Essa estratégia necessita de estudos adicionais para que se verifique se é viável ou não.

Devido à dificuldade de definição exata das correntes pelos caminhos paralelos, neste trabalho foram apenas consideradas as correntes pelos caminhos formados pelas chaves colocadas em condução e cujas correntes são determinadas pela superposição de I_E e i_x . Por exemplo, para o estado de condução 0U3 os caminhos principais são o superior e o esquerdo. Assim, a chave S_2/D_2 apresenta corrente i_x , S_3/D_3 não conduz corrente, S_5/D_5 conduz corrente $I_E - i_x$ e a corrente em S_6/D_6 é igual a I_E . Análise similar pode ser feita para os demais estados de condução. Essa é uma situação extrema e adotada de forma conservadora. Quando houver paralelismo de caminhos de condução o efeito será a redução das correntes nos caminhos principais.

2.4.5 Estado 0UL

O estado de condução 0UL, representado na Figura 2.13, coloca os caminhos superior, inferior, esquerdo e direito em paralelo acionando as quatro chaves internas. Esse estado também gera nível zero simultaneamente em v_x e v_{AB} , conforme já discutido nos estados de condução 0U3, 0L3, 0U4 e 0L4. A aplicação do estado 0UL pode ser útil no sentido de sempre manter a conexão paralela dos caminhos sem depender das correntes i_x e I_E , mesmo que a distribuição de perdas não seja exatamente equilibrada em todos os dispositivos. Outro ponto favorável à utilização apenas do estado 0UL é a simplificação da estratégia de modulação. Não há necessidade de se executar um algoritmo para seleção do estado de condução, sendo sempre utilizado apenas o estado 0UL. Os resultados apresentados em Jiao e Lee (2015) mostram um pequeno ganho de rendimento do inversor ANPC e perdas distribuídas uniformemente nos dispositivos semicondutores internos quando apenas o estado 0UL é utilizado.

Figura 2.13 – Estado de condução 0UL.



Fonte: Elaborada pelo autor.

Para a definição das correntes nos semicondutores nos estados 0U3, 0L3, 0U4 e 0L4 foi adotada uma estratégia conservadora adotando-se caminhos prioritários. Porém, no estado 0UL não há como definir um caminho prioritário. Com isso, nesta Tese foi considerado que as correntes se dividem igualmente pelos caminhos de condução esquerdo e direito e superior e inferior. Dessa forma, a corrente nas chaves foi dividida por dois, de tal forma que a corrente em S_2/D_2 e S_6/D_6 é $(i_x + I_E)/2$ e em S_3/D_3 e S_5/D_5 é $(I_E - i_x)/2$.

2.4.6 Resumo da análise dos estados de condução

A Tabela 2.4 apresenta os estados de condução do conversor ANPC-3P que foram considerados nesta Tese. Também são apresentados os níveis de tensão em cada porta de potência e a corrente no ponto neutro.

Considerando-se os critérios adotados nas seções anteriores para a definição das correntes nas chaves, a Tabela 2.5 apresenta um resumo das correntes em todas as chaves para cada estado de condução.

2.5 CONTROLABILIDADE DA CORRENTE DO INDUTOR L_E

Os estados de condução apresentados na Tabela 2.4 permitem aplicar tensão zero ou $V_{cc}/2$ entre os nós A e B. Porém, quando os estados P e N são utilizados para gerar os níveis $\pm V_{cc}/2$ na saída do inversor, a tensão v_{AB} é mantida em $V_{cc}/2$ e não pode ser alterada. Como os estados P e N são obrigatórios para a síntese de tensão na saída do inversor, algumas restrições

Tabela 2.4 – Resumo dos estados de condução do conversor ANPC-3P com os respectivos níveis de tensão nas portas de potência e a corrente no ponto neutro (i_{np}).

Estado	Dispositivos Semicondutores						Tensão	Tensão	Corrente
	S ₁	S ₂	S ₃	S ₄	S ₅	S ₆	v_x	v_{AB}	i_{np}
P	1	1	0	0	0	1	$V_{cc}/2$	$V_{cc}/2$	I_E
OU4	0	1	1	0	1	0	0	0	i_x
OU3	0	1	0	0	1	1	0	0	i_x
OU1	0	1	0	1	1	0	0	$V_{cc}/2$	$i_x - I_E$
OU4	0	1	1	0	1	1	0	0	i_x
OL1	1	0	1	0	0	1	0	$V_{cc}/2$	$i_x + I_E$
OL3	0	0	1	0	1	1	0	0	i_x
OL4	0	1	1	0	0	1	0	0	i_x
N	0	0	1	1	1	0	$-V_{cc}/2$	$V_{cc}/2$	$-I_E$

Fonte: Elaborada pelo autor.

Tabela 2.5 – Resumo das correntes nas chaves para cada estado de condução.

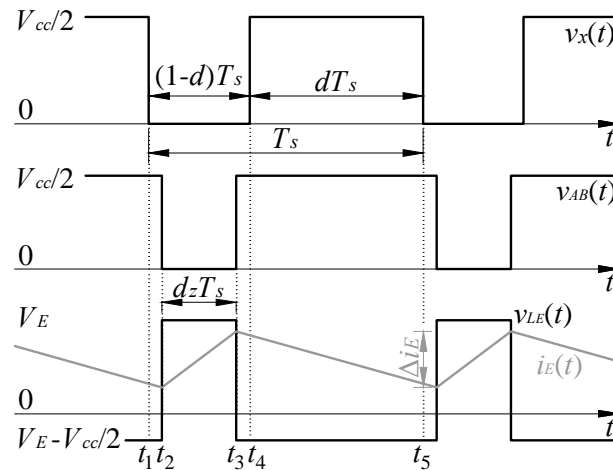
Estado	Correntes nas chaves					
	i_{S_1/D_1}	i_{S_2/D_2}	i_{S_3/D_3}	i_{S_4/D_4}	i_{S_5/D_5}	i_{S_6/D_6}
P	$i_x - I_E$	i_x	0	0	0	I_E
OU4	0	$I_E + i_x$	I_E	0	$-i_x$	0
OU3	0	i_x	0	0	$I_E - i_x$	I_E
OU1	0	i_x	0	$-I_E$	$I_E - i_x$	0
OU4	0	$(i_x + I_E)/2$	$(I_E - i_x)/2$	0	$(I_E - i_x)/2$	$(i_x + I_E)/2$
OL1	$-I_E$	0	$-i_x$	0	0	$I_E + i_x$
OL3	0	0	$-i_x$	0	I_E	$I_E + i_x$
OL4	0	I_E	$I_E - i_x$	0	0	i_x
N	0	0	$-i_x$	$-I_E - i_x$	I_E	0

Fonte: Elaborada pelo autor.

são impostas para aplicação dos níveis de tensão em v_{AB} . Por outro lado, durante o nível zero em v_x é possível escolher se a tensão v_{AB} será $V_{cc}/2$, utilizando os estados OU1 e OL1, ou zero, com aplicação dos demais estados de condução zero redundantes. Na Figura 2.14 são apresentadas as formas de onda da tensão de saída do inversor, $v_x(t)$, da tensão da porta CC secundária, $v_{AB}(t)$, e da tensão sobre o indutor L_E , $v_{L_E}(t)$, onde:

- $d = t_{on}/T_s$ - é a razão-cíclica dos estados P ou N;
 $t_{on} = t_5 - t_4$ - é o tempo de aplicação dos níveis P ou N;
 $d_z = (t_3 - t_2)/T_s$ - é a razão-cíclica dos estados que geram tensão zero em v_x e v_{AB} ;
 $T_s = 1/f_s$ - é o período da portadora da modulação por largura de pulso (PWM - *Pulse Width Modulation*);
 f_s - é a frequência da portadora PWM.

Figura 2.14 – Detalhamento das razões cíclicas do inversor e da porta CC secundária.



Fonte: Elaborada pelo autor.

A razão-cíclica da porta CC secundária pode ser considerada como aquela que gera o pulso $V_{cc}/2$ em v_{AB} ou aquela que gera o pulso zero. Optou-se pela escolha do pulso zero por este resultar em tensão positiva (V_E) sobre o indutor L_E , de acordo com as polaridades adotadas, conforme pode ser visto na Figura 2.5.

Considerando o circuito em regime permanente e analisando as formas de onda da Figura 2.14, a equação para balanço volt-segundo do indutor L_E é:

$$V_E d_z T_s + \left(V_E - \frac{V_{cc}}{2} \right) (1 - d_z) T_s = 0 \quad (2.1)$$

cuja solução é dada por:

$$d_z = 1 - \frac{V_E}{V_{cc}/2}. \quad (2.2)$$

Também é possível definir o ganho estático da porta CC secundária, que é um parâmetro muito utilizado em análises de conversores CC-CC:

$$M_E = \frac{V_E}{V_{cc}/2} = 1 - d_z. \quad (2.3)$$

Observando a Figura 2.14, para ser possível o controle da corrente i_E a razão-cíclica d_z deve estar dentro dos limites definidos por:

$$0 < d_z < 1 - d. \quad (2.4)$$

O pior caso para (2.4) ocorre quando a razão-cíclica d é máxima. Nota-se, que se $d = 1$ não há solução para a desigualdade. A razão-cíclica máxima está relacionada ao valor máximo do sinal modulante, ou seja, à tensão de pico sintetizada pelo inversor (V_p), e é dada por:

$$d_{\max} = \frac{V_p}{V_{cc}/2}. \quad (2.5)$$

Considerando-se que o pior caso para (2.4) ocorre quando $d = d_{\max}$ e substituindo (2.2) e (2.5) em (2.4) os limites de operação são encontrados e representados por:

$$V_p < V_E < V_{cc}/2. \quad (2.6)$$

Cabe observar que quando o inversor sintetiza apenas a componente fundamental, a razão-cíclica máxima é igual ao índice de modulação de amplitude, definido por:

$$m_a = d_{\max} = \frac{V_{1,p}}{V_{cc}/2} \quad (2.7)$$

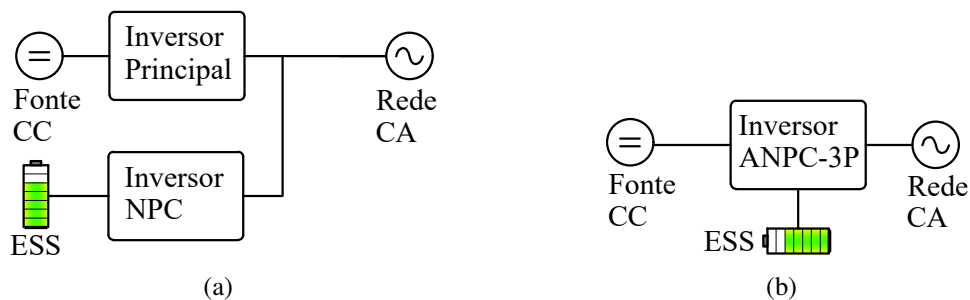
onde $V_{1,p}$ é a tensão de pico da componente fundamental a ser sintetizada pelo inversor. Em inversores trifásicos, quando é utilizado um sinal comum para melhorar a utilização do barramento CC, a razão-cíclica máxima não é igual ao índice de modulação e deve-se utilizar (2.5).

Pelo exposto, a tensão V_E deve ser maior do que a tensão de pico sintetizada pelo inversor e menor do que $V_{cc}/2$. Caso contrário ocorrerá a saturação do atuador e não será possível seguir a referência desejada. Do ponto de vista prático, supondo que a tensão de pico sintetizada seja uma especificação de projeto, a tensão do barramento CC deve ser aumentada para permitir uma faixa de variação para a tensão V_E .

Inicialmente, a faixa de tensão definida em (2.6) parece ser uma desvantagem, uma vez que é necessário aumentar a tensão do barramento CC para acomodar a variação de tensão do ESS devida ao SOC. Para melhor entender o impacto da variação da tensão do ESS, é apresentada uma comparação da topologia ANPC-3P com uma configuração que utiliza conexão no barramento CA, conforme Figura 2.15. A configuração a ser comparada com o ANPC-3P consiste em um inversor NPC dedicado a conectar o ESS à rede, sendo que o ESS é conectado ao barramento CC desse inversor. Quando o ESS está totalmente descarregado, a tensão de cada polo do barramento CC do inversor NPC ($V_{cc}/2$) deve ser no mínimo igual à tensão de pico da rede, ou seja, o índice de modulação (m_a) é unitário. Entretanto, quando o ESS está totalmente carregado, a tensão $V_{cc}/2$ aumenta e m_a apresenta o seu valor mínimo $m_{a,min}$. Isso pode ser melhor compreendido através da Figura 2.16(a). Nota-se que uma variação em m_a é necessária para acompanhar o valor de V_{cc} , uma vez que V_p é considerada constante. Por outro lado, considerando o caso do inversor ANPC-3P, o barramento CC opera com tensão V_{cc} constante, já considerando a variação da tensão do ESS. De acordo com (2.6), o inversor ANPC-3P não pode operar com m_a próximo de um. A tensão do barramento CC precisa ser aumentada para permitir a variação de tensão do ESS. Dessa forma, o inversor opera com $m_a = m_{a,nom}$ abaixo

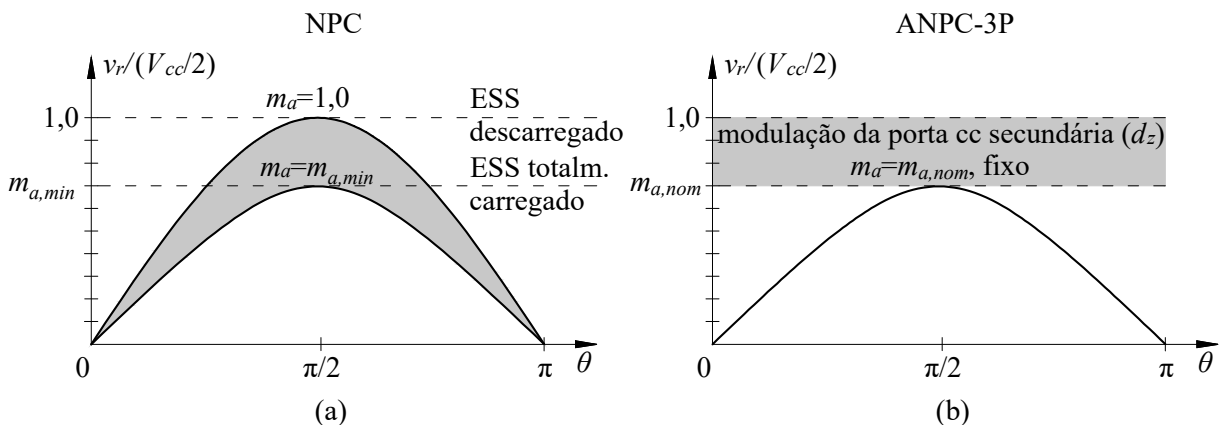
da unidade. De acordo com a Figura 2.16(b), os valores entre $m_{a,nom}$ e 1,0 podem ser utilizados para ajustar d_z , como definido em (2.2), de forma a reagir às variações da tensão do ESS. Como resultado, a tensão do barramento CC dos inversores dessa comparação são aproximadamente iguais (TESTON; MEZAROBA; RECH, 2019). Uma análise mais detalhada entre essas configurações é apresentada no Capítulo 4, onde as topologias são projetadas considerando um caso específico de ESS utilizando a metodologia proposta.

Figura 2.15 – Duas configurações para conexão de uma fonte CC principal e ESS à rede: (a) conexão no barramento CA com inversor NPC dedicado ao ESS e (b) inversor ANPC-3P.



Fonte: Elaborada pelo autor.

Figura 2.16 – Regiões de modulação considerando a variação da tensão do ESS devida ao SOC: (a) inversor NPC dedicado e (b) inversor ANPC-3P.



Fonte: Elaborada pelo autor.

Devido ao valor relativamente elevado da tensão necessária para o ESS, aplicações de baixa potência se tornam inviáveis. Também, grandes plantas de geração, com potências acima de centenas de quilowatts, podem apresentar melhores soluções técnicas e econômicas se adotados conversores específicos para cada fonte (FV, ESS, etc). Por esses motivos, sugere-se que o inversor proposto nesta Tese é mais interessante para aplicações na faixa de potências que vai de alguns quilowatts até centenas de quilowatts. Versões monofásicas meia-ponte ou ponte-completa e trifásicas são viáveis para aplicações em geração renovável e UPS.

2.6 ANÁLISE DAS COMUTAÇÕES

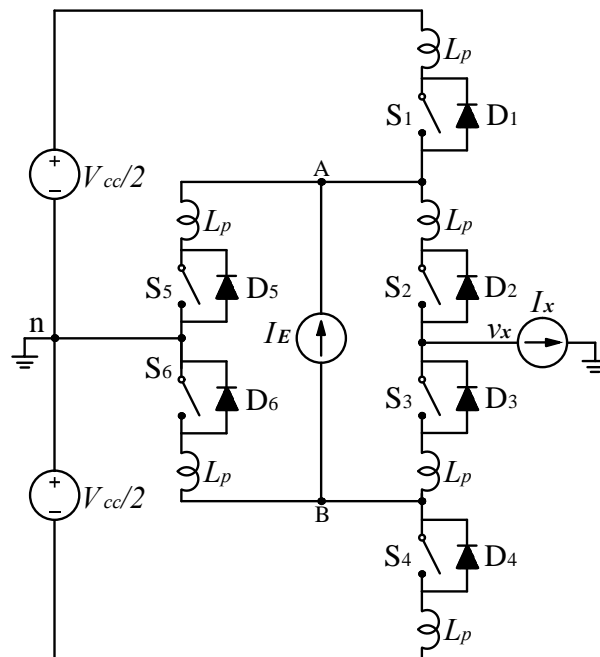
Embora a topologia ANPC já tenha sido analisada em detalhes em diversos trabalhos (BRUCKNER; BERNET; GULDNER, 2005; ANDLER et al., 2013; JIAO; LU; LEE, 2014; MA et al., 2015; GUI et al., 2019), a introdução do circuito da porta CC secundária entre os nós A e B insere consideráveis alterações no funcionamento do conversor, em seus estados de condução e, principalmente, nas comutações.

Nesta seção é apresentada uma análise das comutações com o objetivo de avaliar possíveis situações indesejadas ou até mesmo proibidas. Esse tipo de situação decorre da impossibilidade de comutar os dispositivos semicondutores instantaneamente e da necessidade de utilização de tempo-morto, que evita curto-circuitos momentâneos que usualmente levam os dispositivos semicondutores à destruição devido às elevadas correntes envolvidas. Durante a comutação e aplicação do tempo-morto podem ser criados estados de condução intermediários, os quais podem resultar na perda de algum caminho importante para as correntes I_E e i_x . Como resultado, podem aparecer sobretensões destrutivas em algum dos dispositivos semicondutores. Portanto, é fundamental a avaliação de todas as situações indesejadas ou proibidas e a proposição de formas seguras de se realizar as comutações.

A análise das comutações do conversor ANPC-3P foi realizada com auxílio de simulações SPICE (*Simulated Program with Integrated Circuits Emphasis*) através do *software* LTspice versão XVII (ANALOG DEVICES, 2020). O dispositivo semicondutor utilizado foi o IGBT IRGP50B60PD1, cujo modelo SPICE é fornecido pelo fabricante (INTERNATIONAL RECTIFIER, 2006). O IGBT apresenta tensão reversa máxima de 600 V e corrente contínua de coletor de 45 A para temperatura de junção de 100°C. Também incorpora um diodo ultrarrápido de recuperação suave no mesmo encapsulamento. Esse IGBT foi escolhido por apresentar especificações adequadas à construção do protótipo de testes em laboratório. As saídas CA e CC da porta secundária foram conectadas à fontes de corrente CC para simular condições específicas de interesse. Indutâncias parasitas (L_p) de 50 nH foram adicionadas aos coletores dos três IGBTs superiores e aos emissores dos três IGBTs inferiores para simular efeitos de possíveis elementos parasitas presentes nas placas de circuito impresso e capacitores do barramento CC. Optou-se por conectar as indutâncias parasitas aos coletores dos IGBT superiores e emissores dos IGBTs inferiores de forma que as indutâncias de S_1/D_1 e S_4/D_4 fiquem em série com os polos do barramento CC e o circuito apresente simetria. O circuito utilizado nas simulações é apresentado na Figura 2.17.

Devido ao número considerável de estados de condução e às diversas possibilidades de comutações entre esses estados, a aplicação do tempo-morto nas comutações não é direta e simples como ocorre em outras topologias. Há comutações que não necessitam de tempo-morto, outras que necessitam de um tempo-morto e, ainda, alguns tipos de comutação em que é necessário aplicar o tempo-morto em duas etapas. Quando os dispositivos S_1 e S_4 estão bloqueados, os demais dispositivos internos podem comutar sem tempo-morto e não há risco de

Figura 2.17 – Circuito utilizado para simulação SPICE com objetivo de analisar as comutações entre estados de condução.



Fonte: Elaborada pelo autor.

curto-circuito nos polos do barramento CC. De forma a organizar a análise, as comutações foram separadas em tipo I, II, e III (TESTON; MEZARROBA; RECH, 2019). Comutações do tipo I são as mais simples e envolvem apenas o bloqueio de um dispositivo semicondutor e a entrada em condução de outro dispositivo. Um exemplo de comutação do tipo I é a comutação $P \rightleftharpoons 0U3$. As comutações do tipo II se caracterizam pelo bloqueio de dois dispositivos semicondutores e posteriormente a entrada em condução de um ou mais dispositivos. Comutações do tipo II sempre envolvem a comutação de S_1 ou S_4 juntamente com a comutação de outros dispositivos internos, como por exemplo a comutação $P \rightleftharpoons 0U4$ e $0U1 \rightleftharpoons 0L3$, entre outras comutações. As comutações mais complexas são as do tipo III e se caracterizam por comutar S_1 e S_4 , um bloqueando e o outro entrando em condução. Nas comutações do tipo III ocorre a troca do polo do barramento CC que está sendo utilizado. Como o inversor ANPC apresenta três níveis, na maioria das estratégias de modulação evita-se as comutações $P \rightleftharpoons N$, ou seja, é utilizado um estado de condução intermediário e que gera um nível zero em v_x . Porém, comutações $P \rightleftharpoons N$ podem ocorrer em algumas situações transitórias e que dependem da ação de controle informada ao modulador. No entanto, no ANPC-3P podem ocorrer comutações do tipo III a cada período de comutação dependendo da sequência de estados de condução adotada na estratégia de modulação. Por exemplo, a comutação $P \rightleftharpoons 0U1$ é do tipo III. No estado P a tensão imposta em v_{AB} é a tensão do polo positivo e no estado $0U1$ é a tensão do polo negativo.

As Tabelas 2.6 e 2.7 trazem um resumo dos tipos de comutações e o número de dispositivos semicondutores cujo estado de condução é alterado de condução para bloqueio e de

bloqueio para condução. Apenas as comutações que causam alguma modificação nas tensões de saída do inversor foram consideradas.

Tabela 2.6 – Resumo das características das comutações entre os estados P e N e os demais estados de condução.

Comutação	Número de comutações		Tipo
	Condução→Bloqueio	Bloqueio→Condução	
P → 0L1	1	1	I
0L1 → P	1	1	I
P → 0L3	2	2	II
0L3 → P	2	2	II
P → 0L4	1	1	I
0L4 → P	1	1	I
P → 0U1	2	2	III
0U1 → P	2	2	III
P → 0U3	1	1	I
0U3 → P	1	1	I
P → 0U4	2	2	II
0U4 → P	2	2	II
P → 0UL	1	2	I
0UL → P	2	1	II
P → N	3	3	III
N → P	3	3	III
N → 0L1	2	2	III
0L1 → N	2	2	III
N → 0L3	1	1	I
0L3 → N	1	1	I
N → 0L4	2	2	II
0L4 → N	2	2	II
N → 0U1	1	1	I
0U1 → N	1	1	I
N → 0U3	2	2	II
0U3 → N	2	2	II
N → 0U4	1	1	I
0U4 → N	1	1	I
N → 0UL	1	2	I
0UL → N	2	1	II

Tabela 2.7 – Resumo das características das comutações entre o estado 0L1 e 0U1 e os demais estados de condução.

Comutação	Número de comutações		Tipo
	Condução→Bloqueio	Bloqueio→Condução	
0L1 → 0L3	1	1	I
0L3 → 0L1	1	1	I
0L1 → 0L4	1	1	I
0L4 → 0L1	1	1	I
0L1 → 0U3	2	2	II
0U3 → 0L1	2	2	II
0L1 → 0U4	2	2	II
0U4 → 0L1	2	2	II
0L1 → 0UL	1	2	I
0UL → 0L1	2	1	II
0L1 → 0U1	3	3	III
0U1 → 0L1	3	3	III
0U1 → 0L3	2	2	II
0L3 → 0U1	2	2	II
0U1 → 0L4	2	2	II
0L4 → 0U1	2	2	II
0U1 → 0U3	1	1	I
0U3 → 0U1	1	1	I
0U1 → 0U4	1	1	I
0U4 → 0U1	1	1	I
0U1 → 0UL	1	2	I
0UL → 0U1	2	1	II

Fonte: Elaborada pelo autor.

Cada estado de condução apresenta caminhos bem definidos para as correntes I_E e i_x . Assim, durante as comutações é necessária uma análise de como se dará a alteração do estado de condução dos dispositivos e a aplicação do tempo-morto de forma que os caminhos dessas correntes sejam previamente definidos para que não ocorram efeitos indesejados.

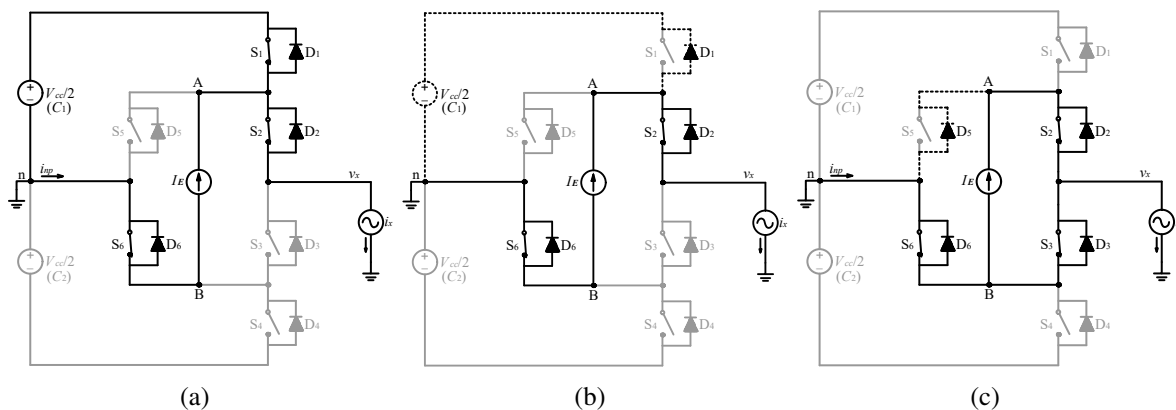
Como se pode ver nas Tabelas 2.6 e 2.7, os tipos de comutação I, II e III se repetem em várias comutações. Dessa forma, na análise que segue são apresentados detalhes de uma comutação de cada tipo. Uma vez compreendida a sequência para se realizar certo tipo de comutação, é possível aplicar outra sequência similar para as demais comutações do mesmo tipo. Ao final, é apresentada uma tabela com a sequência a ser adotada em cada tipo de comutação.

2.6.1 Análise da comutação do tipo I – Caso $P \rightleftharpoons 0L4$

As comutações $P \rightleftharpoons 0L4$ são do tipo I, pois envolvem o bloqueio de apenas um dispositivo controlado e a entrada em condução de outro dispositivo controlado. Nesse caso, S_1 é bloqueada e S_3 colocada em condução. Essa comutação não pode ser feita sem a aplicação de um tempo-morto, pois poderá ocorrer sobretensão destrutiva em S_4 . Dessa forma, a aplicação de um tempo-morto é obrigatória.

A comutação $P \rightleftharpoons 0L4$ inicia com o bloqueio de S_1 e, após, aplica-se o tempo-morto. Durante o tempo-morto, a alteração dos caminhos das correntes i_x e I_E depende do sentido e da magnitude dessas correntes e podem ser obtidos dois casos. No primeiro caso $i_x - I_E < 0$ e D_1 é mantido em condução até o final do tempo-morto, conforme destacado na Figura 2.18(b). Quando S_3 entra em condução D_1 fica polarizado reversamente e é forçado a bloquear. No segundo caso, $i_x - I_E > 0$ e, durante o tempo-morto, as correntes i_x e I_E se dividirão pelos caminhos formados pelos quatro dispositivos internos, conforme mostra a Figura 2.19(b). Ao ser colocada em condução, S_3 pode comutar sob zero de tensão, resultando em uma comutação suave (não há efeito de recuperação reversa do diodo ou o efeito é muito pequeno).

Figura 2.18 – Detalhamento da comutação $P \rightleftharpoons 0L4$ para $i_x - I_E < 0$. Estados de condução (a) P, (b) intermediário e (c) 0L4.

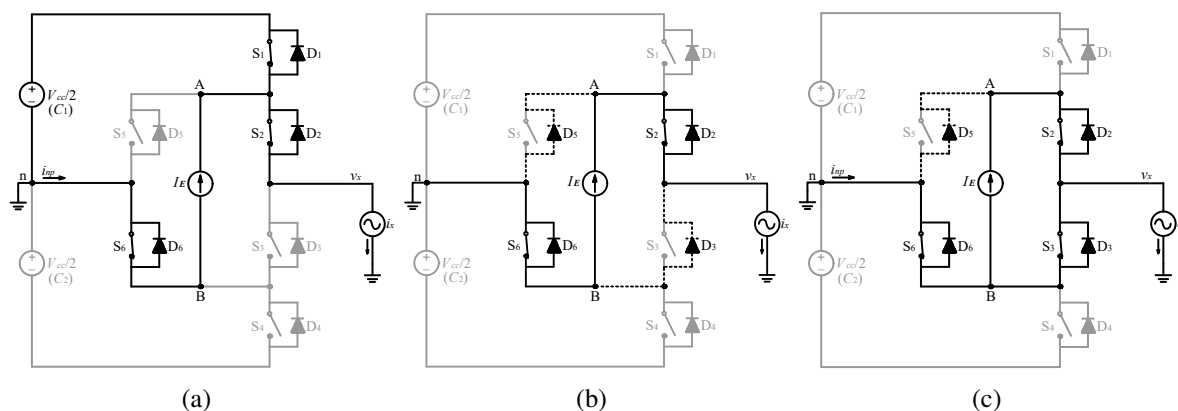


Fonte: Elaborada pelo autor.

A comutação $0L4 \rightarrow P$ segue um procedimento similar. Inicia com o bloqueio de S_3 , a aplicação de um tempo-morto e, ao final, a entrada em condução de S_1 . Durante o tempo-morto, se $i_x - I_E < 0$ o diodo D_1 entra em condução e S_1 entra em condução sob zero de tensão. No outro caso D_3 se mantém em condução e quando S_1 é colocada em condução ocorre o bloqueio forçado de D_3 .

Na Figura 2.20(a) são apresentados os resultados de simulação SPICE para $i_x = -11$ A, $I_E = 5$ A, ou seja, $i_x - I_E = -16$ A. Em $t = 9 \mu s$ é iniciado o bloqueio de S_1 . Nota-se que a tensão sobre S_1 é mantida em zero até $t = 10 \mu s$ quando ocorre a comutação de S_3 . Durante o tempo-morto o diodo D_1 conduz a corrente $i_x - I_E = -16$ A e mantém a tensão em S_1 em

Figura 2.19 – Detalhamento da comutação $P \rightleftharpoons 0L4$ para $i_x - I_E > 0$. Estados de condução (a) P, (b) intermediário e (c) 0L4.



Fonte: Elaborada pelo autor.

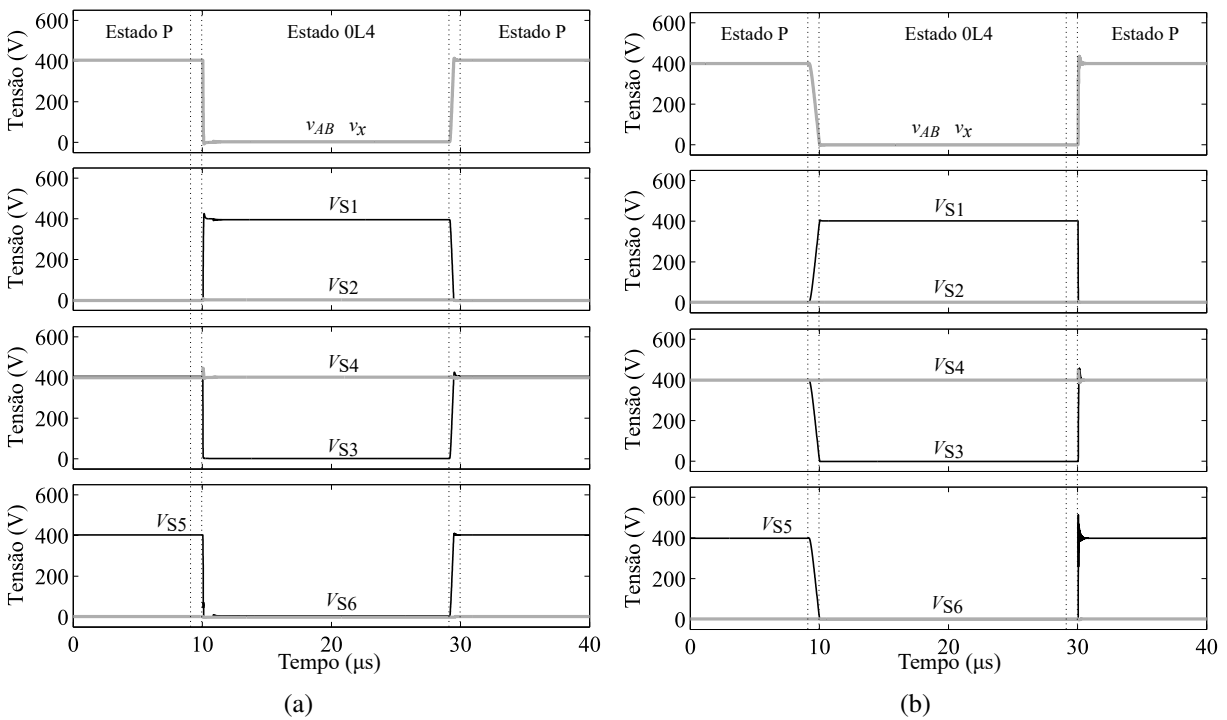
zero. A comutação ocorre efetivamente somente em $t = 10 \mu\text{s}$ quando S_3 entra em condução e causa a polarização reversa de D_1 forçando-o a bloquear. Em $t = 29 \mu\text{s}$ é iniciada a comutação inversa, $0L4 \rightarrow P$. Primeiramente, o dispositivo S_3 é bloqueado. Nota-se que em $t = 29 \mu\text{s}$ as tensões sobre S_1 e S_3 começam a diminuir e aumentar, respectivamente. Antes de $t = 29 \mu\text{s}$, a corrente i_x é conduzida pelo caminho inferior (S_3 - S_6) e a corrente I_E é conduzida pelo caminho direito (S_2 - S_3). Ao bloquear S_3 o caminho de ambas as correntes através de S_3 é perdido. Com isso, D_1 entra em condução. As tensões v_x e v_{AB} comutam de zero para $V_{cc}/2$. Em $t = 30 \mu\text{s}$ S_1 é colocada em condução mas sua tensão já é zero devido ao diodo antiparalelo estar em condução.

Na Figura 2.20(b) são apresentados os resultados de simulação SPICE para $i_x = 11 \text{ A}$, $I_E = 5 \text{ A}$, ou seja, $i_x - I_E = 6 \text{ A}$. Como a corrente em S_1 é positiva, o bloqueio desse dispositivo em $t = 9 \mu\text{s}$ implica na perda desse caminho de condução. Como i_x é positiva e os dispositivos S_2 e S_6 estão em condução, tanto D_5 quanto D_3 podem entrar em condução. É o que se verifica na Figura 2.20(b), pois as tensões sobre S_3 e S_5 diminuem, indicando que os respectivos diodos entram em condução. Em $t = 10 \mu\text{s}$, o dispositivo S_3 entra em condução mas sua tensão já é aproximadamente zero devido ao diodo antiparalelo estar conduzindo. A comutação inversa inicia em $t = 29 \mu\text{s}$ com o bloqueio de S_3 , mas como é o diodo D_3 que está em condução nenhuma modificação nas tensões dos dispositivos é verificada. Em $t = 30 \mu\text{s}$, S_1 é colocada em condução polarizando reversamente D_5 e D_3 e forçando-os a bloquear.

2.6.2 Análise da comutação do tipo II – Caso $P \rightleftharpoons 0L3$

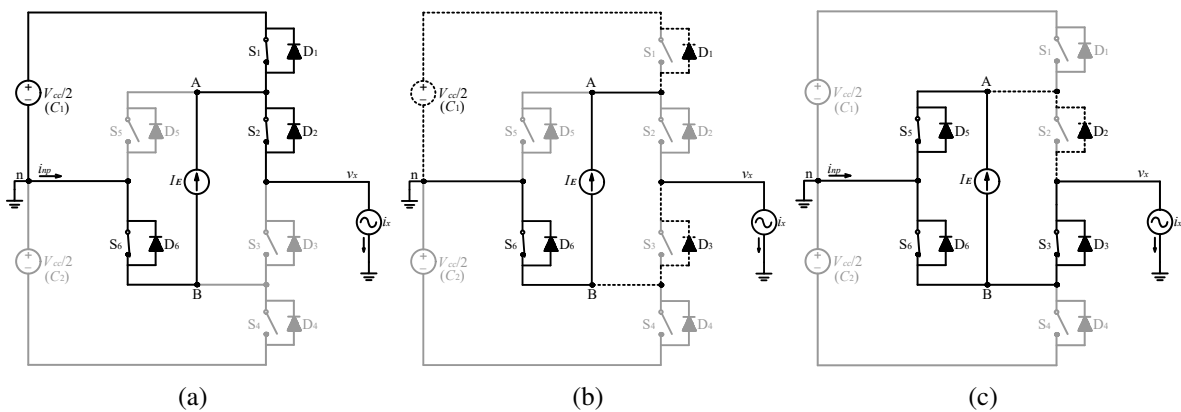
As comutações $P \rightleftharpoons 0L3$ apresentam o bloqueio de dois dispositivos semicondutores e são de complexidade um pouco maior em relação às comutações do tipo I. Na comutação

Figura 2.20 – Resultados de simulação SPICE para a comutação $P \leftrightarrow 0L4$ para (a) $i_x = -11$ A e $I_E = 5$ A e (b) $i_x = 11$ A e $I_E = 5$ A. Ambas com tempo-morto de $1 \mu s$.



Fonte: Elaborada pelo autor.

Figura 2.21 – Detalhamento da comutação $P \rightleftharpoons 0L3$ para $i_x > 0$ e $I_E > 0$. Estados de condução (a) P, (b) intermediário e (c) 0L3.



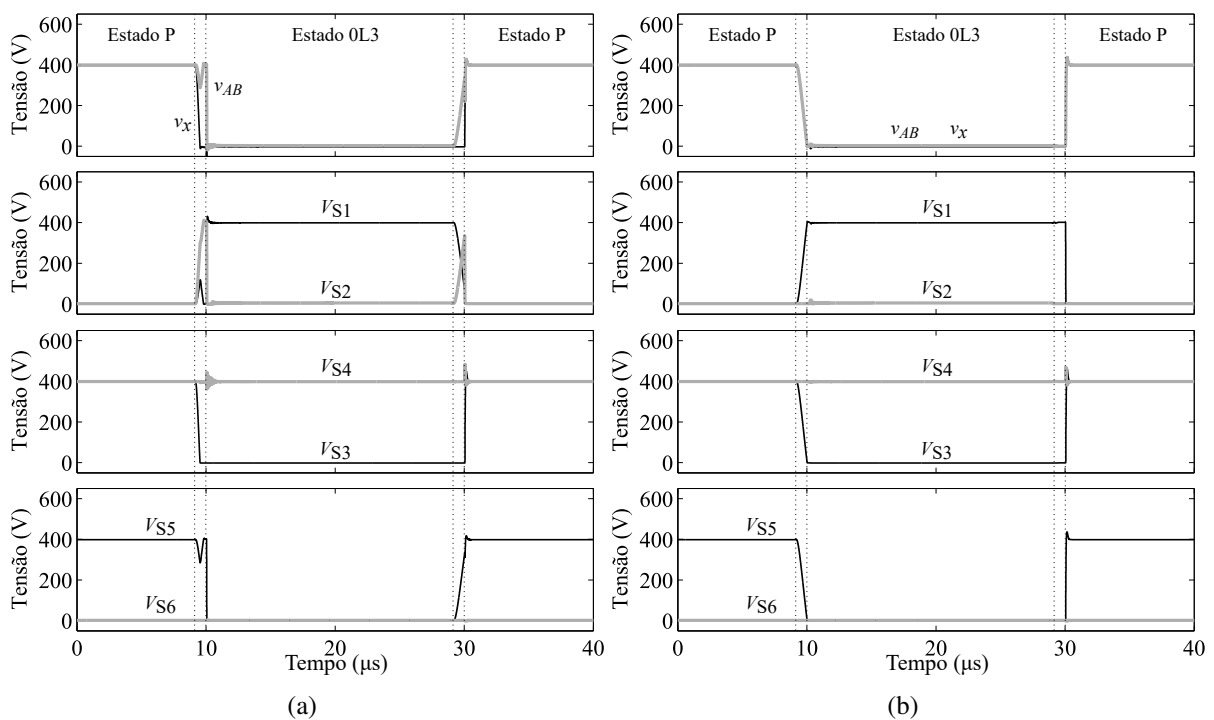
Fonte: Elaborada pelo autor.

$P \rightarrow 0L3$ S_1 e S_2 devem bloquear e S_3 e S_5 devem entrar em condução, conforme pode ser visto nas Figuras 2.21(a) e (c).

Para as comutações do tipo I a sequência de comutação é direta e de fácil interpretação, pois, obviamente, deve-se primeiramente bloquear um dispositivo, aguardar o tempo-morto e então colocar o outro dispositivo em condução. Porém, para as comutações dos tipos II e III essa sequência não é tão óbvia. No caso da comutação $P \rightleftharpoons 0L3$, bloqueando simultaneamente S_1 e

S_2 nenhuma condição proibida é gerada, mas uma comutação indesejada em S_2 é observada para $i_x > 0$ e $I_E > 0$. Isso pode ser visto nos resultados de simulação apresentados na Figura 2.22(a) para $t = 10 \mu s$ e $t = 30 \mu s$. A comutação indesejada ocorre, pois, ao bloquear simultaneamente S_1 e S_2 , a corrente i_x faz com que D_3 entre em condução e, então, ela passa a ser conduzida pelo caminho S_6 - D_3 , conforme destacado na Figura 2.21(b). Antes da comutação, a corrente em S_1 era $i_x - I_E > 0$ e era conduzida pelo dispositivo controlado. Após a comutação, como $I_E > 0$, ela passa a ser conduzida por D_1 e mantém a tensão sobre S_1 em zero durante o tempo-morto. Como D_3 entrou em condução, a tensão sobre S_2 passa a ser $V_{cc}/2$. Após o tempo-morto, S_5 entra em condução e força o bloqueio de D_1 e a tensão em S_2 volta a ser zero. Se $I_E < 0$ o diodo D_5 é colocado em condução, conforme destacado na Figura 2.23(b) e não se observa o pulso indesejado em S_2 durante o tempo-morto.

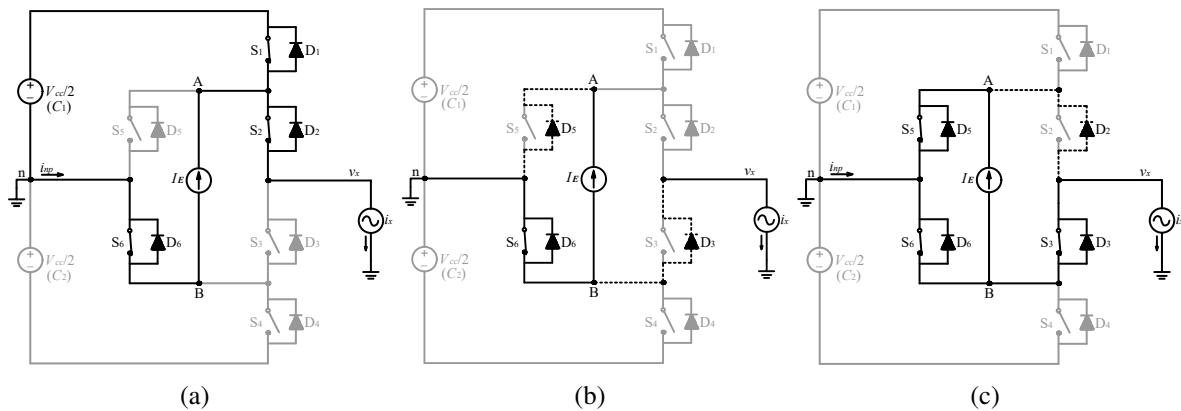
Figura 2.22 – Resultados de simulação SPICE para as comutações $P \rightleftharpoons 0L3$ para $i_x = 11 A$ e $I_E = 5 A$ com tempo-morto de $1 \mu s$. (a) Comutação simultânea de S_1 e S_2 . (b) Comutação de S_1 e S_2 com separação por tempo-morto.



Fonte: Elaborada pelo autor.

Nas comutações do tipo II, uma estratégia mais interessante é iniciar a comutação com o bloqueio dos dispositivos controlados conectadas aos polos do barramento CC, S_1 ou S_4 , seguida pela aplicação do tempo-morto. Após o tempo-morto qualquer dispositivo interno pode entrar em condução sem nenhum risco de curto-circuito, pois os dois dispositivos controlados que conectam o restante do circuito aos polos do barramentos CC estão bloqueados. Caso os diodos D_1 ou D_4 estejam em condução, apenas o efeito da recuperação reversa do diodo poderá ser observado dependendo de qual chave interna entre em condução. Após o tempo-morto,

Figura 2.23 – Detalhamento da comutação $P \rightleftharpoons 0L3$ para $i_x > 0$ e $I_E < 0$. Estados de condução (a) P, (b) intermediário e (c) 0L3.



Fonte: Elaborada pelo autor.

todos os dispositivos controlados internos que devem comutar são comutados simultaneamente. A comutação inversa, $0L3 \rightarrow P$, é similar. Inicia-se comutando os dispositivos internos, aplica-se o tempo-morto e, por fim, coloca-se em condução o dispositivo S_1 ou S_4 , conforme o caso.

Portanto, considerando a comutação $P \rightarrow 0L3$ e seguindo a lógica descrita, o processo de comutação inicia com o bloqueio de S_1 . Essa comutação resulta nos mesmos caminhos das correntes da comutação $P \rightarrow 0L4$, conforme Figuras 2.18 e 2.19. Após o tempo-morto S_2 é bloqueada e S_3 e S_5 são acionadas simultaneamente. A configuração final é o estado 0L3, conforme apresentado na Figura 2.21(c).

A comutação inversa $0L3 \rightarrow P$ é feita considerando exatamente as etapas em ordem inversa, ou seja, S_2 é acionada e S_5 e S_3 são bloqueadas simultaneamente, aplica-se o tempo-morto e, após, S_1 é acionada.

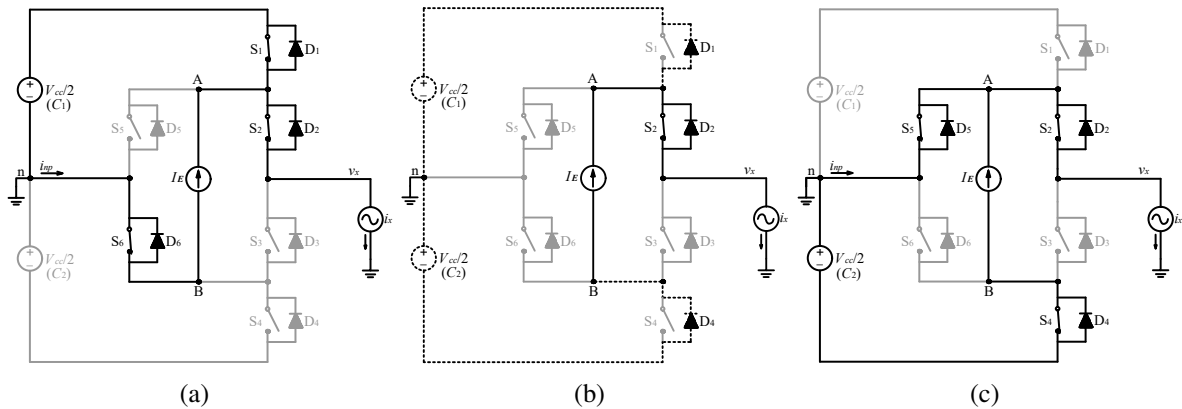
Os resultados de simulação para as comutações $P \rightleftharpoons 0L3$ considerando a sequência de comutação proposta são apresentados na Figura 2.22(b). Com a estratégia proposta a comutação indesejada em S_2 não ocorreu.

2.6.3 Análise da comutação do tipo III – Caso $P \rightleftharpoons 0U1$

As comutações do tipo III envolvem a alteração do estado de condução de S_1 e S_4 , um bloqueando e o outro entrando em condução. No caso das comutações $P \rightleftharpoons 0U1$ ocorre o bloqueio de S_1 e S_6 e entram em condução S_4 e S_5 , conforme é apresentado nas Figuras 2.24(a) e (c). Comutações do tipo III são as mais complexas e requerem maior atenção.

Para as comutações do tipo III também se faz necessária a definição de uma sequência apropriada de bloqueio e acionamento dos dispositivos semicondutores com a devida aplicação de tempo-morto. Em uma primeira análise, bloqueando-se simultaneamente os dispositivos que devem bloquear, as comutações $P \rightleftharpoons 0U1$ apresentaram sobretensão destrutiva na chave

Figura 2.24 – (a) Estado de condução P. (b) Estado de condução intermediário após o bloqueio simultâneo de S_1 e S_6 ($P \rightarrow 0U1$) ou de S_4 e S_5 ($0U1 \rightarrow P$) com $i_x - I_E < 0$, $i_x < 0$ e $I_E > 0$. (c) Estado de condução 0U1.

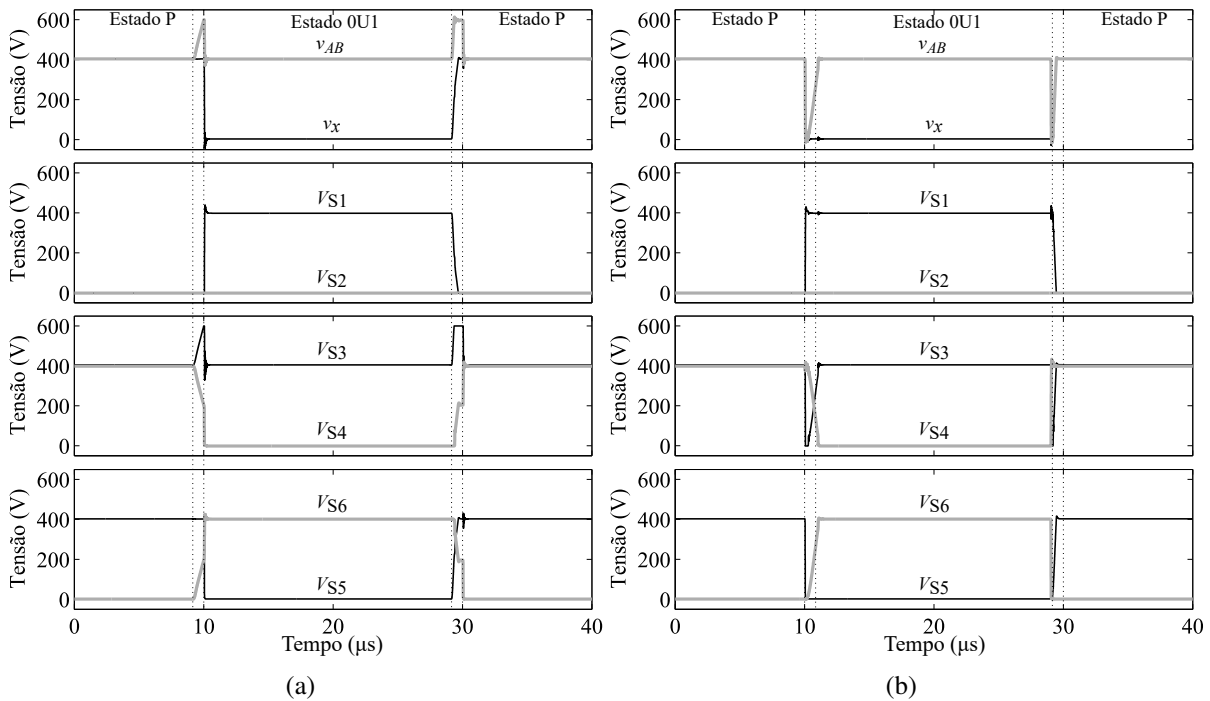


Fonte: Elaborada pelo autor.

S_3/D_3 quando $i_x - I_E < 0$ e $I_E > 0$. Nesse caso, considerando que na comutação $P \rightarrow 0U1$ os dispositivos S_1 e S_6 bloqueiam simultaneamente antes do tempo-morto, como a corrente na chave S_1/D_1 é negativa o diodo D_1 se mantém em condução. Por outro lado, o caminho da corrente I_E é perdido devido ao bloqueio de S_6 e essa corrente força D_4 a entrar em condução, conforme destacado na Figura 2.24(b). Como resultado, a tensão sobre S_3 aumenta a valores destrutivos. Na comutação $0U1 \rightarrow P$ um processo similar ocorre devido ao bloqueio simultâneo de S_4 e S_5 , mas nesse caso a corrente i_x força a comutação de D_1 e I_E mantém D_4 em condução até que S_6 entre em condução. A simulação das duas comutações exibindo essa condição é apresentada na Figura 2.25(a). Na comutação $P \rightarrow 0U1$ em $t = 9 \mu s$ ocorre o bloqueio de S_1 e S_6 . A tensão nestes dispositivos é mantida em zero indicando que os seus respectivos diodos se mantém em condução devido à corrente i_x . A tensão em S_4 começa a decrescer causando um aumento excessivo na tensão em S_3 . Essa sobretensão somente cessa após o tempo-morto terminar, quando em $t = 10 \mu s$ S_5 é acionada alterando o caminho da corrente i_x para D_2-S_5 e colocando o diodo D_1 em polarização reversa.

Comutações do tipo III, por envolverem a comutação dos dois dispositivos controlados externos, são potencialmente perigosas aos dispositivos internos que estão bloqueados. Para contornar esse problema propõe-se um procedimento similar ao realizado para as comutações do tipo II. Inicialmente, bloqueia-se o dispositivo controlado externo e aplica-se um tempo-morto. Na segunda etapa ocorrem simultaneamente todas as comutações dos dispositivos controlados internos. Nesse momento, se o diodo da chave externa que foi bloqueada estiver em condução ele será forçado a bloquear. Com isso, após a segunda etapa, garante-se que ambos os polos do barramento CC estão desconectados dos dispositivos internos. Aplica-se mais um tempo-morto e, por fim, coloca-se em condução o dispositivo controlado externo conectado ao polo oposto do barramento CC.

Figura 2.25 – Resultados de simulação SPICE para as comutações do tipo III $P \rightleftharpoons 0U1$ para $i_x = -11 \text{ A}$ e $I_E = 5 \text{ A}$ com tempo-morto de $1 \mu\text{s}$. (a) Comutações com tempo-morto único e (b) comutações com tempo-morto duplo.

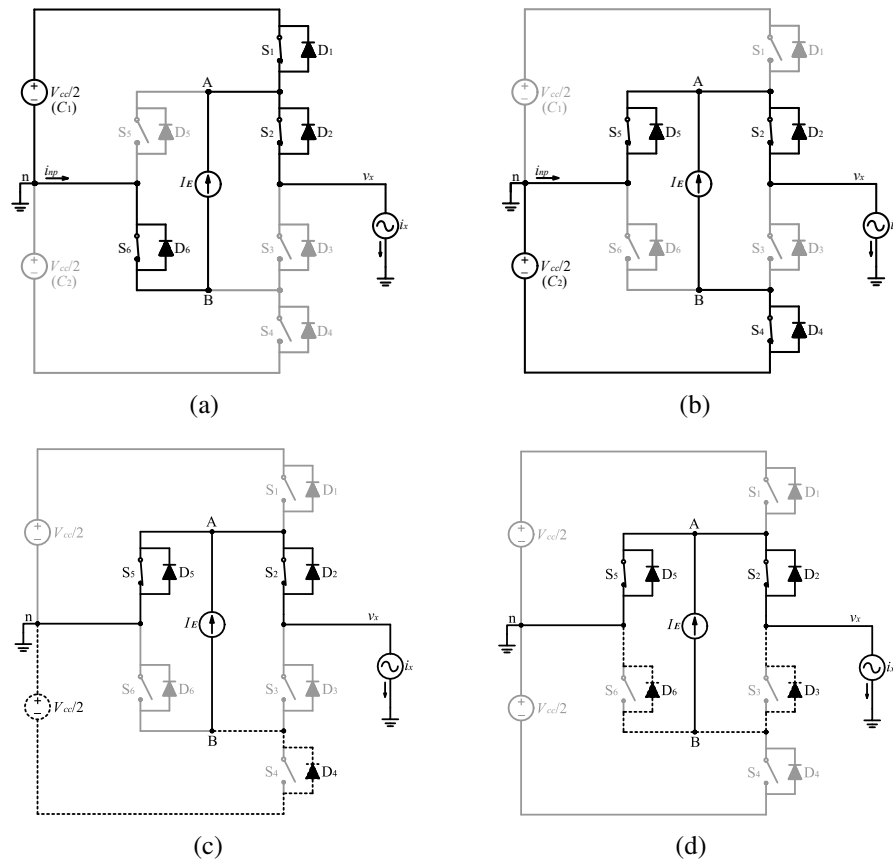


Fonte: Elaborada pelo autor.

Para a comutação $P \rightarrow 0U1$, em uma primeira etapa S_1 é bloqueada e inicia-se o primeiro tempo-morto. Durante esse intervalo de tempo há duas possibilidades de formação dos caminhos de condução, conforme Figuras 2.26(c) e 2.26(d). Após o primeiro tempo-morto S_5 é acionada, S_6 é bloqueada e inicia-se o segundo tempo-morto. A entrada em condução de S_5 causa a polarização reversa de D_1 e, conseqüentemente, o seu bloqueio. A corrente i_x passa a ser conduzida pelo caminho superior, independentemente de sua polaridade. Devido ao bloqueio de S_6 , a corrente $I_E > 0$ força a comutação de D_4 . A Figura 2.26(a) apresenta os caminhos das correntes para esse estado intermediário de condução. Caso $I_E < 0$, os diodos D_3 e D_6 entram em condução conforme apresentado na Figura 2.26(b). Decorrido o último tempo-morto, S_4 é colocada em condução. O último estado de condução é o estado $0U1$, representado na Figura 2.24(b). Uma simulação SPICE foi realizada para a sequência de comutação proposta e os resultados são apresentados na Figura 2.25(b). Nenhuma sobretensão é observada em S_3 . Outras simulações foram realizadas para vários valores e polaridades de i_x e I_E e em todos os casos a tensão sobre S_3 ficou grampeada em $V_{cc}/2$.

Para a comutação $0U1 \rightarrow P$ procede-se de maneira similar devido à simetria do circuito. Inicialmente, S_4 é bloqueada e aguarda-se o primeiro tempo-morto. Após, procede-se o bloqueio de S_5 e aciona-se S_6 . Decorrido o segundo tempo-morto S_1 é acionada completando o processo.

Figura 2.26 – (a) Estado de condução P. (b) Estado de condução 0U1. (c) Estado de condução intermediário para $I_E > 0$. (d) Estado de condução intermediário para $I_E < 0$.



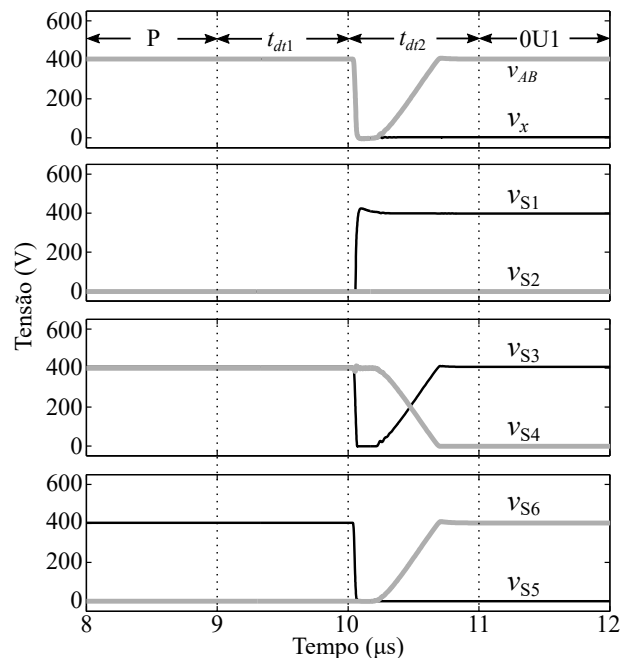
Fonte: Elaborada pelo autor.

Estados de condução intermediários foram utilizados para fazer a comutação de P para 0U1 e vice-versa. Esses estados somente podem ser utilizados durante as comutações, pois as tensões v_x e v_{AB} são definidas pelas polaridades das correntes i_x e I_E . Como pode ser visto na Figura 2.25(b), durante as comutações a tensão v_{AB} fica sujeita a um pulso zero indesejado. Como o tempo-morto é de duração muito curta, esse pulso causará uma perturbação desprezível na corrente I_E .

O pulso indesejado que apareceu na tensão v_{AB} da Figura 2.25(b) também pode aparecer em outras comutações do tipo III devido ao chaveamento do polo do barramento CC que impõe a tensão v_{AB} . Ou seja, na comutação P \rightarrow 0U1, a tensão em v_{AB} deveria ser mantida em $V_{cc}/2$, mas no estado P a tensão v_{AB} é imposta pelo polo positivo e em 0U1 é imposta pelo polo negativo do barramento CC. Não há como fazer esse chaveamento entre os polos sem algum tempo-morto entre o bloqueio de um dispositivo controlado externo e a entrada em condução do dispositivo oposto. A Figura 2.27 traz resultados de simulação da comutação P \rightarrow 0U1 em maiores detalhes. Considerando-se a simulação apresentada na Figura 2.27(b), após o bloqueio de S_1 em $t = 9 \mu s$ não acontece nenhuma alteração nas tensões, pois a corrente nessa chave é negativa, ou seja, o diodo D_1 está em condução. Nesse momento o nó B está conectado ao

ponto neutro através de S_6 . Ao final do primeiro tempo-morto, em $t = 10 \mu\text{s}$, o dispositivo S_6 é bloqueado, S_5 é colocado em condução e inicia o segundo tempo-morto. Após essas comutações, o dispositivo S_5 força o diodo D_1 a bloquear e conecta o nó A ao ponto neutro. Essa comutação ocorre rapidamente, com elevada dv/dt , como é característico das comutações forçadas. Nesse momento a tensão v_{AB} é zero, pois ambos os nós estão no potencial do ponto neutro. Durante o segundo tempo-morto (entre 10 e 11 μs) a corrente $I_E > 0$ faz com que D_4 entre em condução e a tensão do nó B cai para $-V_{cc}/2$. Nesse momento a tensão v_{AB} retorna a $V_{cc}/2$. Dependendo dos valores das correntes i_x e I_E este mesmo processo pode ocorrer no primeiro tempo-morto.

Figura 2.27 – Detalhamento da comutação $P \rightarrow 0U1$ com tempo-morto duplo. Os tempos t_{dt1} e t_{dt2} são o primeiro e o segundo tempo-morto, respectivamente.



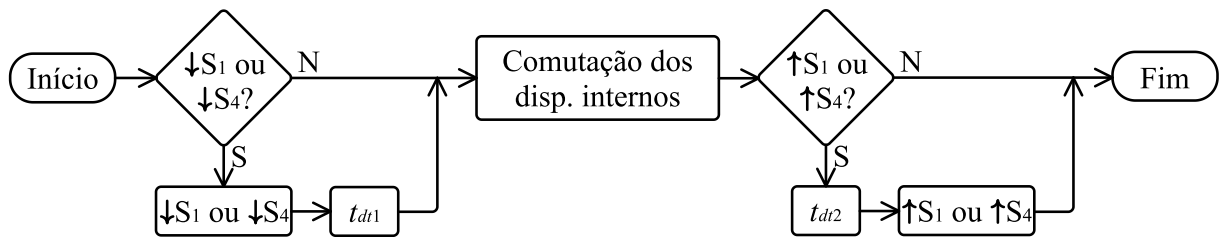
Fonte: Elaborada pelo autor.

2.6.4 Regra geral para comutações

De acordo com as discussões apresentadas para os três tipos de comutações, uma regra geral foi proposta para facilitar o entendimento e a aplicação das comutações em todos os casos possíveis para o conversor ANPC-3P. Essa regra é apresentada no fluxograma de comutação da Figura 2.28. Os símbolos utilizados nesse fluxograma são identificados como:

- t_{dt1} - é o tempo-morto 1;
- t_{dt2} - é o tempo-morto 2;
- $\uparrow S_k$ - indica que o dispositivo S_k entra em condução;
- $\downarrow S_k$ - indica que o dispositivo S_k é bloqueado.

Figura 2.28 – Fluxograma das comutações.



Fonte: Elaborada pelo autor.

Todas as comutações dos tipos II e III foram avaliadas e suas sequências de comutação definidas. O resultado dessa análise é apresentado na Tabela 2.8.

2.7 OPERAÇÃO COMO CONVERSOR CC-CC

Além da operação simultânea das três portas, é possível operar o conversor ANPC-3P como um conversor CC-CC. Nesse modo, a saída do inversor é desativada e as duas portas CC transferem energia entre si. Esse modo de operação pode ser útil em duas situações: para conectar um ESS que está com tensão inferior a mínima de projeto e para carregar o ESS quando se está desconectado da rede. No primeiro caso, como o inversor está desativado, não há aplicação dos estados P e N e, dessa forma, há liberdade para variar d_z entre 0 e 1. Ou seja, o circuito funciona como um conversor *buck* e permite uma ampla faixa para a tensão V_E . O segundo caso pode ser útil quando o inversor se desconecta da rede da concessionária (falta, tensão/frequência fora dos limites, etc). O inversor se isola da rede através da atuação do relé ou contatora de conexão com a rede mas o conversor continua em funcionamento e operando como CC-CC. Nesse modo é possível recarregar o ESS caso as condições sejam favoráveis, ou seja, o ESS não está totalmente carregado e há energia disponível na porta CC principal.

Desconsiderando-se as chaves S_2/D_2 e S_3/D_3 a estrutura resultante é um conversor CC-CC de três níveis, conforme apresentado na Figura 2.29 (GRBOVIC et al., 2010). Essa estrutura é capaz de gerar entre os nós A e B os níveis zero, $+V_{cc}/2$ (utilizando a tensão de C_1 ou de C_2) e V_{cc} . Porém, no caso do inversor ANPC, as chaves S_2/D_2 e S_3/D_3 estão fisicamente presentes, mas mantidas bloqueadas. Dessa forma, o nível V_{cc} não deve ser utilizado, pois não há como garantir a divisão de tensão entre S_2/D_2 e S_3/D_3 .

Em uma primeira análise, os estados 0UL, 0U1 e 0L1 podem ser utilizados no modo conversor CC-CC. A operação do inversor com esses estados é a mesma que foi descrita para operação simultânea de todas as portas, com a exceção de que a corrente da porta CA é zero nesse caso. Mantendo-se uma contatora ou relé existente na saída CA em estado aberto, isola-se o inversor da saída CA e há liberdade para transferir energia apenas entre as portas CC.

Em uma outra opção, com o objetivo de reduzir o número de dispositivos a serem comutados, pode-se definir alguns estados de condução especiais, conforme Tabela 2.9. Durante

Tabela 2.8 – Sequências de comutação a serem adotadas para comutações dos tipos II e III.

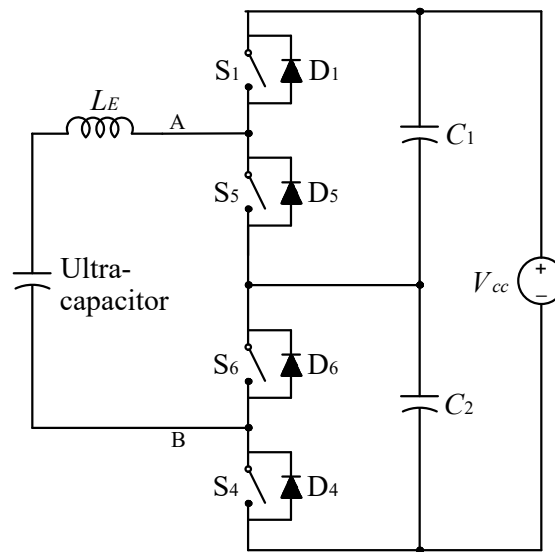
Comutação		Sequência de comutação					
P	→ OL3	↓ S ₁	t_{dt1}	↑ S ₃	↑ S ₅	↓ S ₂	
OL3	→ P			↑ S ₂	↓ S ₃	↓ S ₅	t_{dt2} ↑ S ₁
P	→ OU1	↓ S ₁	t_{dt1}	↑ S ₅	↓ S ₆		t_{dt2} ↑ S ₄
OU1	→ P	↓ S ₄	t_{dt1}	↑ S ₆	↓ S ₅		t_{dt2} ↑ S ₁
P	→ OU4	↓ S ₁	t_{dt1}	↑ S ₃	↑ S ₅	↓ S ₆	
OU4	→ P			↑ S ₆	↓ S ₃	↓ S ₅	t_{dt2} ↑ S ₁
OUL	→ P			↓ S ₃	↓ S ₅		t_{dt2} ↑ S ₁
P	→ N	↓ S ₁	t_{dt1}	↑ S ₃	↑ S ₅	↓ S ₂ ↓ S ₆	t_{dt2} ↑ S ₄
N	→ P	↓ S ₅	t_{dt1}	↑ S ₂	↑ S ₆	↓ S ₃ ↓ S ₅	t_{dt2} ↑ S ₁
N	→ OL1	↓ S ₄	t_{dt1}	↑ S ₆	↓ S ₅		t_{dt2} ↑ S ₁
OL1	→ N	↓ S ₁	t_{dt1}	↑ S ₅	↓ S ₆		t_{dt2} ↑ S ₄
N	→ OL4	↓ S ₄	t_{dt1}	↑ S ₂	↑ S ₆	↓ S ₅	
OL4	→ N			↑ S ₅	↓ S ₂	↓ S ₆	t_{dt2} ↑ S ₄
OUL	→ N			↓ S ₂	↓ S ₆		t_{dt2} ↑ S ₄
OL1	→ OU3	↓ S ₁	t_{dt1}	↑ S ₂	↑ S ₅	↓ S ₃	
OU3	→ OL1			↑ S ₃	↓ S ₂	↓ S ₅	t_{dt2} ↑ S ₁
OL1	→ OU4	↓ S ₁	t_{dt1}	↑ S ₂	↑ S ₅	↓ S ₆	
OU4	→ OL1			↑ S ₆	↓ S ₂	↓ S ₅	t_{dt2} ↑ S ₁
OUL	→ OL1			↓ S ₂	↓ S ₅		t_{dt2} ↑ S ₁
OL1	→ OU1	↓ S ₁	t_{dt1}	↑ S ₂	↑ S ₅	↓ S ₃ ↓ S ₆	t_{dt2} ↑ S ₄
OU1	→ OL1	↓ S ₄	t_{dt1}	↑ S ₃	↑ S ₆	↓ S ₂ ↓ S ₅	t_{dt2} ↑ S ₁
OU1	→ OL3	↓ S ₄	t_{dt1}	↑ S ₃	↑ S ₆	↓ S ₂	
OL3	→ OU1			↑ S ₂	↓ S ₃	↓ S ₆	t_{dt2} ↑ S ₄
OU1	→ OL4	↓ S ₄	t_{dt1}	↑ S ₃	↑ S ₆	↓ S ₅	
OL4	→ OU1			↑ S ₅	↓ S ₃	↓ S ₆	t_{dt2} ↑ S ₄
OUL	→ OU1			↓ S ₃	↓ S ₆		t_{dt2} ↑ S ₄

Fonte: Elaborada pelo autor.

a operação como conversor CC-CC, a porta CA não é utilizada e, portanto, não há necessidade de acionar os dispositivos S₂ e S₃. O estado CCP permite a conexão do ESS ao polo positivo do barramento CC e o estado CCN ao polo negativo. Como já descrito para o modo de operação normal, é fundamental a troca de energia com ambos os polos do barramento CC para que se possa manter as suas tensões equilibradas. Já o estado CC0 permite gerar um nível zero em v_{AB} .

Os estados de condução do modo CC-CC são apresentados na Figura 2.30. É importante observar que, mesmo mantendo S₂ e S₃ bloqueadas, pode ocorrer nível zero na saída CA, pois os diodos D₂ e D₃ podem entrar em condução no estado CC0 para corrente I_E negativa. Além

Figura 2.29 – Conversor CC-CC de três níveis proposto por Grbovic et al. (2010).



Fonte: Adaptado de Grbovic et al. (2010).

Tabela 2.9 – Estados de condução para operação no modo CC-CC.

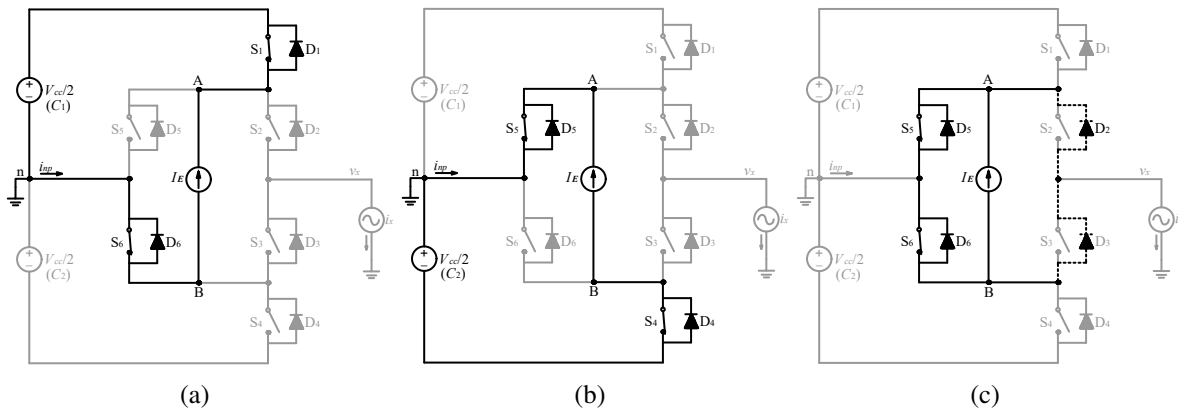
Estado	Dispositivos Controlados						Tensão v_{AB}
	S_1	S_2	S_3	S_4	S_5	S_6	
CC0	0	0	0	0	1	1	0
CCP	1	0	0	0	0	1	$V_{cc}/2$
CCN	0	0	0	1	1	0	$V_{cc}/2$

Fonte: Elaborada pelo autor.

disso, nos estados CCP e CCN a tensão v_x é definida pela divisão de tensão entre S_2 e S_3 e pode assumir valores entre zero e $V_{cc}/2$. Para a operação adequada do modo CC-CC deve ser colocado um relé ou contatora para desconexão do inversor e evitar que sinais indesejados na saída v_x afetem o circuito conectado à porta CA. Esse relé geralmente está presente nos inversores com a finalidade de proteção.

Como sempre ocorrem comutações dos estados CCP ou CCN para CC0, não há comutações do tipo III nesse modo de operação. As comutações são todas do tipo I. De CC0 para CCP o dispositivo S_5 bloqueia e após o tempo-morto S_1 é acionada. Caso a corrente I_E seja negativa, ela mantém o diodo D_5 em condução durante o tempo-morto e, quando S_1 é acionada, força esse diodo a bloquear. Se I_E for positiva, após S_5 bloquear, a corrente faz com que D_1 entre em condução e após o tempo-morto S_1 é acionada em zero de tensão. De forma similar, a comutação CCP para CC0 inicia com o bloqueio de S_1 e após o tempo-morto S_5 é acionada. Para I_E negativa, o diodo D_5 é colocado em condução e após o tempo-morto S_5 é acionada em zero de tensão. Por outro lado, se I_E for positiva ela mantém o diodo D_1 em condução durante o tempo-morto. Quando S_5 é acionada, D_1 é forçado a bloquear.

Figura 2.30 – Estados de condução do modo CC-CC: (a) CCP, (b) CCN e (c) CC0.



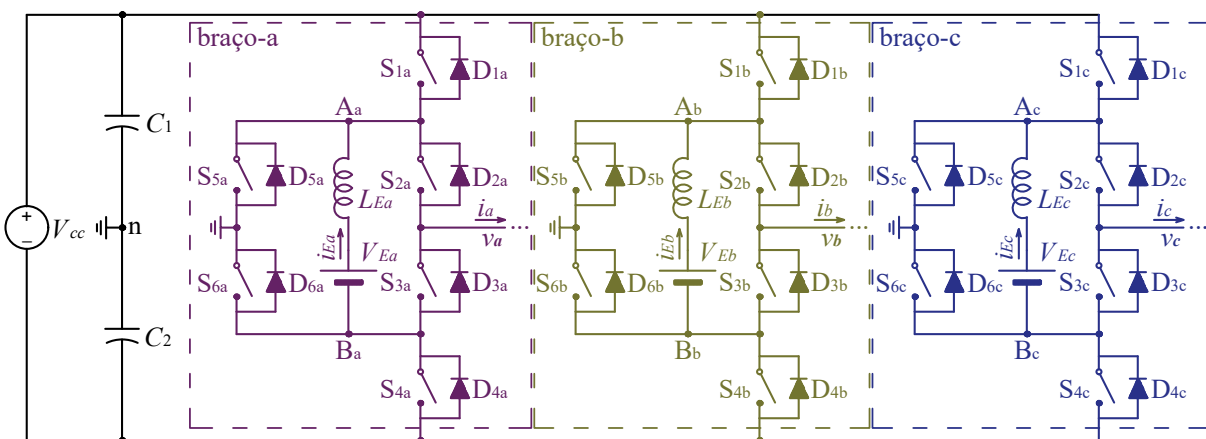
Fonte: Elaborada pelo autor.

2.8 INVERSOR TRIFÁSICO COM BRAÇOS ANPC-3P

O inversor ANPC-3P pode constituir sistemas polifásicos utilizando um conjunto de braços ANPC-3P conectados de forma apropriada. Na Figura 2.31 é apresentado um inversor trifásico com três braços ANPC-3P. A porta CC principal, à qual está conectada a fonte V_{cc} , é comum a todos os braços. Assim, o inversor trifásico apresenta sete portas, quatro portas CC e três portas CA.

Aplicações que requerem o uso de HESS podem utilizar cada braço do inversor para conectar um ESS de tecnologia distinta. Esse é um benefício da topologia ANPC-3P proposta. No entanto, se utilizados ESS de tecnologias distintas os braços do inversor ficarão sujeitos a esforços de corrente distintos. Além disso, cada ESS pode apresentar uma faixa de variação de tensão diferente. Dessa forma, a tensão de operação do barramento CC deve levar em consideração o pior caso.

Figura 2.31 – Inversor trifásico com braços ANPC-3P.



Fonte: Elaborada pelo autor.

2.9 CONSIDERAÇÕES FINAIS

Neste capítulo o inversor ANPC foi revisado e suas principais características foram analisadas. Alguns trabalhos importantes que contribuíram para o desenvolvimento dessa topologia foram apresentados e suas principais contribuições abordadas.

Também foi apresentada a forma de integração de uma porta CC bidirecional à topologia ANPC. Essa nova topologia passou a ser chamada de ANPC de três portas ou ANPC-3P. Novos estados de condução foram obtidos para o inversor ANPC resultando em um total de onze estados de condução, com nove estados redundantes para gerar o nível zero na saída do inversor. Todos os estados de condução foram avaliados para utilização no conversor ANPC-3P sendo apenas excluídos os estados 0U2 e 0L2 por não definirem os níveis de tensão em v_{AB} para qualquer polaridade das correntes i_x e I_E .

Alguns estados de condução não apresentam caminhos de condução idênticos para todas as combinações de amplitudes e polaridades das correntes I_E e i_x . Em algumas situações os caminhos superior e inferior ou esquerdo e direito são colocados em paralelo e a distribuição exata das correntes em cada caminho depende de diversos fatores. O estado 0UL sempre conecta em paralelo os caminhos superior e inferior, assim como os caminhos esquerdo e direito, e evita que a polaridade das correntes defina se haverá paralelismo ou não. Por outro lado, esse estado não garante a divisão igualitária das correntes em todos os caminhos.

A condição de controlabilidade da corrente I_E foi obtida, mostrando que a tensão V_E deve estar dentro de uma faixa específica de valores. O resultado obtido mostrou que para operação simultânea do inversor e da porta CC secundária o inversor não pode utilizar o barramento CC por completo, ou seja, a tensão de pico sintetizada pelo inversor deve ser menor do que $V_{cc}/2$.

As principais comutações do conversor ANPC-3P foram analisadas e foi proposta uma regra geral para as comutações. Essa regra permite que comutações entre quaisquer estados de condução possam ser feitas. As comutações foram classificadas em tipos I, II e III, em ordem crescente de complexidade.

Por fim, um modo especial de operação foi apresentado. Nesse modo, o inversor opera como um conversor CC-CC permitindo fluxo de potência entre as portas CC principal e secundária. Pode ser útil em certas circunstâncias, como por exemplo, para partida do conversor com um ESS de tensão abaixo do limite mínimo.

3 ESTRATÉGIAS DE MODULAÇÃO

3.1 INTRODUÇÃO

No Capítulo 2 foi introduzida uma porta CC bidirecional secundária no inversor ANPC. Foi também demonstrado que utilizando os estados de condução zero redundantes é possível estabelecer dois níveis distintos de tensão na porta CC secundária (v_{AB}), 0 e $V_{cc}/2$. Através da determinação da razão cíclica apropriada em v_{AB} é possível satisfazer o balanço volt-segundo no indutor L_E e manter a corrente i_E regulada em um valor médio de interesse.

Do lado da porta CC secundária o conversor é visto como um conversor CC-CC e, portanto, a relação entre o sinal modulante dessa porta com a portadora é mais simples. Para a porta CA, o espectro harmônico da tensão sintetizada pelo inversor apresenta uma relação com as características das portadoras utilizadas na modulação. Diversas estratégias de modulação foram propostas para inversores com os objetivos de reduzir o conteúdo harmônico da saída, deslocar os harmônicos dominantes para frequências mais altas, entre outras funções. Dentre as principais técnicas pode-se destacar: *nearest level control*, eliminação seletiva de harmônicos, múltiplas portadoras defasadas (*phase-shifted carrier* ou simplesmente *phase shift*), portadoras com deslocamento de nível e algoritmos baseados em espaços vetoriais (HOLMES; LIPO, 2003).

As estratégias baseadas em portadoras com deslocamento de nível são amplamente utilizadas por sua simplicidade de implementação e desempenho satisfatório. Diversas portadoras em fase ou oposição de fase são deslocadas em nível compondo um conjunto de portadoras a ser comparado com os sinais modulantes. A distribuição das portadoras pode seguir alguns padrões como: disposição em fase (PD - *Phase Disposition*), quando as portadoras estão todas em fase mas em níveis diferentes; disposição em oposição de fase (POD - *Phase Opposition Disposition*), quando as portadoras de polaridade negativa apresentam fase oposta àquelas de polaridade positiva; e disposição alternada em oposição de fase (APOD - *Alternative Phase Opposition Disposition*), quando as portadoras são dispostas alternadamente em fase e oposição de fase (MCGRATH; HOLMES, 2002).

Neste trabalho foram apenas consideradas as estratégias de modulação PD e POD para modulação do inversor pelos seguintes motivos: i) POD e APOD são equivalentes para o inversor três níveis; ii) *phase shift* apresenta espectro harmônico da tensão de fase e de linha similar ao da estratégia APOD quando o número de comutações é igual e, portanto, para o inversor três níveis a estratégia *phase shift* é similar à estratégia POD.

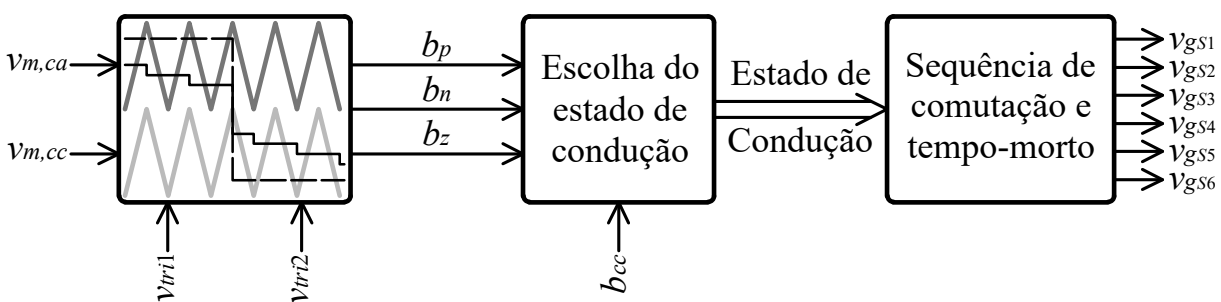
A comparação dos sinais modulantes com as portadoras fornece informações sobre os níveis de tensão a serem aplicados em cada saída. No entanto, como há estados de condução redundantes para algumas combinações de níveis de tensão, é necessário realizar a escolha do

estado de comutação com base em algum critério. Também é necessário converter a informação do estado de condução em sinais individuais para acionamento dos seis dispositivos semicondutores.

O sistema de modulação utilizado neste trabalho considera o processamento da estratégia de modulação em três blocos, como mostrado na Figura 3.1. O primeiro bloco é responsável pela comparação dos sinais modulantes com as portadoras e pela geração dos sinais que indicam ao bloco subsequente quais níveis de tensão devem ser gerados em cada saída em cada instante de tempo. O segundo bloco define qual estado de condução será utilizado para sintetizar os níveis de tensão solicitados pelo primeiro bloco. A escolha dos estados de condução dentro de um conjunto de estados redundantes deve ser baseada em algum objetivo a ser atingido. A saída do segundo bloco indexa um conjunto de estados de condução no terceiro bloco. Esse último bloco é responsável pela geração dos sinais de acionamento das chaves de acordo com as sequências de comutação apresentadas no Capítulo 2. Os símbolos utilizados no diagrama de blocos da Figura 3.1 são:

- b_p - é o sinal de seleção e duração do nível $V_{cc}/2$;
- b_n - é o sinal de seleção e duração do nível $-V_{cc}/2$;
- b_z - é o sinal de seleção e duração do nível zero na porta CC secundária;
- b_{cc} - é o sinal de seleção dos estados redundantes 0U1 e 0L1;
- $v_{m,ca}$ - é o sinal modulante da porta CA;
- $v_{m,cc}$ - é o sinal modulante da porta CC secundária;
- v_{tri1} - é o sinal da portadora positiva;
- v_{tri2} - é o sinal da portadora negativa;
- v_{gs1} a v_{gs6} - são os sinais de acionamento dos dispositivos semicondutores.

Figura 3.1 – Diagrama de blocos do sistema de modulação.



Fonte: Elaborada pelo autor.

Os sinais b_p , b_n e b_z são gerados pela comparação dos sinais modulantes com as portadoras. Quando $b_p = 1$ deve-se gerar $V_{cc}/2$ em v_x , ou seja, o estado P deve ser selecionado. De forma similar, quando $b_n = 1$ deve-se gerar $-V_{cc}/2$ em v_x através da utilização do estado N. Já o sinal b_z solicita a geração de um nível zero em v_{AB} . Conforme justificado no Capítulo 2, apenas o estado 0UL foi utilizado para essa função. Quando os três sinais forem simultaneamente zero,

deve-se gerar $V_{cc}/2$ em v_{AB} através da utilização de 0U1 e 0L1. O sinal b_{cc} é que define qual dos dois estados será utilizado.

A geração dos sinais b_p e b_n segue uma lógica comum aos dois tipos de disposição de portadoras utilizados neste trabalho. Quando o sinal $v_{m,ca}$ é maior do que ambas as portadoras gera-se um nível $V_{cc}/2$ em v_x ($b_p = 1$, $b_n = 0$ e $b_z = 0$). Quando for menor do que ambas as portadoras gera-se um nível $-V_{cc}/2$ em v_x ($b_p = 0$, $b_n = 1$ e $b_z = 0$). Quando $v_{m,ca}$ estiver entre as portadoras o nível zero deve ser gerado na saída CA do inversor ($b_p = 0$, $b_n = 0$ e $b_z = 0$ ou $b_z = 1$). A comparação do sinal modulante $v_{m,cc}$ com as portadoras para geração de b_z pode ser realizada de duas formas, gerando dois tipos de sequências de comutação e que são apresentadas nas próximas seções.

3.2 MODULAÇÃO DE UM BRAÇO ANPC-3P

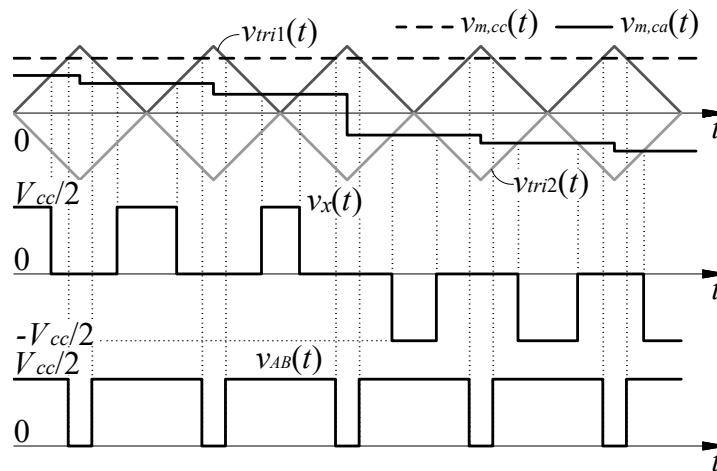
Nesta seção são apresentadas quatro possibilidades de modulação, duas utilizando as portadoras em POD e duas para disposição em PD. Independentemente da distribuição das portadoras, é possível aplicar duas sequências distintas de níveis de tensão na porta CC secundária. A modulação com portadoras em POD é a mais simples, por isso é apresentada primeiro. As portadoras em PD são especialmente importantes para modulação de inversores trifásicos devido ao melhor espectro harmônico obtido. As modulações são apresentadas considerando os dispositivos semicondutores ideais e, portanto, sem a inclusão das etapas de comutação com aplicação de tempo-morto que foram detalhadas no Capítulo 2.

3.2.1 Modulação POD - Sequência Tipo 1

De acordo com o que foi apresentado na Figura 2.14, um pulso zero de duração d_z deve ser gerado em v_{AB} durante o nível zero em v_x . Conforme pode ser visto na Figura 3.2, colocando-se $v_{m,cc}$ com um valor constante e acima do valor de pico de $v_{m,ca}$ pode-se gerar um pulso zero em v_{AB} centralizado no intervalo de tempo em que o nível zero é gerado em v_x . Essa é a forma mais simples do sinal modulante $v_{m,cc}$. Essa simplicidade é obtida porque as portadoras estão em oposição de fase, e o valor máximo da portadora positiva e o valor mínimo da portadora negativa são temporalmente simultâneos. Por esse motivo, basta a comparação de $v_{m,cc}$ com apenas uma das portadoras. Os sinais modulantes foram considerados constantes durante um ciclo PWM para facilitar a interpretação.

A Figura 3.2 permite visualizar de forma gráfica os limites estabelecidos em (2.6). Caso a tensão V_E seja maior do que $V_{cc}/2$, o sinal modulante $v_{m,cc}$ superará o valor de pico da portadora superior. Com isso, nenhum pulso zero em v_{AB} seria gerado e a corrente i_E decresceria indefinidamente. Para V_E menor do que V_p o sinal modulante $v_{m,cc}$ seria inferior ao sinal $v_{m,ca}$,

Figura 3.2 – Modulação com portadoras em POD, sinal modulante do inversor e sinal modulante da porta CC secundária para sequência tipo 1.

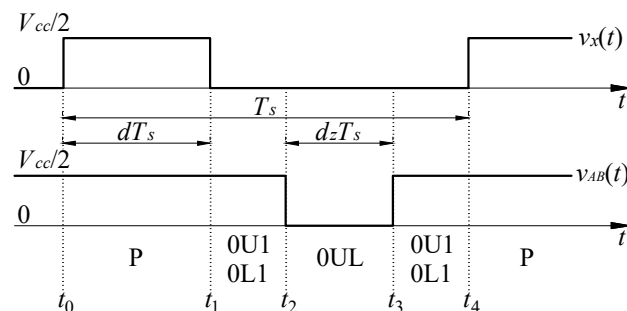


Fonte: Elaborada pelo autor.

o que é impraticável, pois seria necessário gerar um nível zero em v_{AB} durante os estados de condução P e N, algo que a topologia ANPC não consegue realizar.

A Figura 3.3 traz a sequência dos estados de condução a serem aplicados no braço do inversor para a obtenção da sequência do tipo 1. Após o estado P, é gerado um nível zero em v_x . Ao iniciar o nível zero em v_x a tensão v_{AB} é mantida em $V_{cc}/2$ através da aplicação dos estados 0U1 ou 0L1. Em seguida o nível zero é gerado em v_{AB} por 0UL (ou outro estado redundante). Por fim, o nível em v_{AB} volta a $V_{cc}/2$ utilizando os estados 0U1 ou 0L1 e o período de comutação encerra com o estado P. Um ponto importante a ser observado é que nessa sequência existem comutações do tipo III. Dependendo do sinal b_{cc} podem ocorrer comutações $P \rightleftharpoons 0U1$ e $N \rightleftharpoons 0L1$. Como ficará mais claro no Capítulo 5, o sinal b_{cc} , que realiza a seleção desses estados, é utilizado para balanceamento das tensões do barramento CC e não é possível fixar a utilização de 0L1 com P e 0U1 com N. A realização de comutações do tipo III resulta em maior complexidade devido a necessidade de tempo-morto duplo, aumento do número de dispositivos semicondutores que devem comutar e, portanto, aumento das perdas por comutação.

Figura 3.3 – Detalhamento dos pulsos da sequência tipo 1 durante o semiciclo positivo.



Fonte: Elaborada pelo autor.

Para corroborar essa análise, uma simulação do conversor ANPC-3P foi realizada em malha aberta utilizando-se o *software* PSIM. Um sinal modulante senoidal foi comparado com as portadoras para geração dos sinais b_p e b_n e outro sinal modulante CC foi comparado com a portadora positiva para geração do sinal b_z . Nessa simulação não foi adotado nenhum critério para seleção dos estados de condução redundantes. Os parâmetros utilizados na simulação estão descritos na Tabela 3.1. A frequência PWM relativamente baixa foi escolhida para tornar mais clara a visualização dos pulsos em um ciclo completo de rede. Fontes de tensão ideais foram utilizadas para alimentar os polos do barramento CC.

Tabela 3.1 – Parâmetros do conversor monofásico utilizado nas simulações das estratégias de modulação.

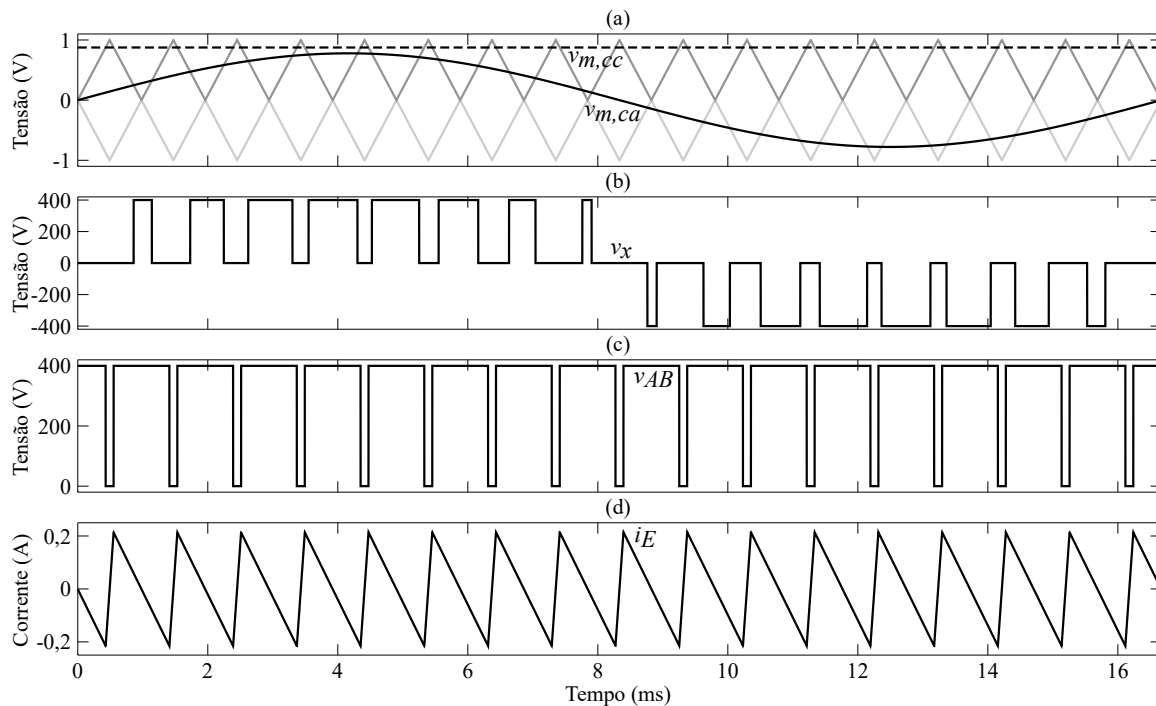
Parâmetro	Valor
Tensão do Barramento CC (V_{cc})	800 V
Tensão do ESS (V_E)	350 V
Tensão de pico CA (V_p)	311 V
Corrente CA (i_x)	11 A de pico
Frequência da rede (f_r)	60 Hz
Frequência das portadoras (f_s)	1.020 Hz

Fonte: Elaborada pelo autor.

São necessários alguns esclarecimentos sobre a frequência escolhida para as portadoras. A modulação com portadoras em POD apresenta melhor espectro harmônico quando o índice de modulação de frequência ($m_f = f_s/f_r$) é um número par. Por outro lado, a modulação PD, apresentada mais adiante, resulta em melhor espectro harmônico quando o índice de modulação de frequência é um número ímpar. De forma a manter todas as simulações com a mesma frequência, foi escolhida a frequência de 1.020 Hz, que resulta em relação $m_f = f_s/f_r = 17$. Embora o espectro harmônico da modulação POD em 1.080 Hz seja ligeiramente superior, foi constatado através de simulação que a diferença não é significativa para a análise em questão. A DHT em 1.080 Hz é 78,7% e em 1.020 Hz é 79,5%.

A Figura 3.4 apresenta os resultados da simulação. O sinal modulante da porta CC secundária foi calculado para garantir o balanço volt-segundo em L_E . Como $V_E = 350$ V, $M_E = 0,875$ e $d_z = 0,125$, conforme (2.3) e (2.2), respectivamente. O índice de modulação de amplitude do inversor é $m_a = 0,778$. Conforme observa-se na Figura 3.4(d), o balanço volt-segundo no indutor L_E é garantido em cada período de comutação, o que resulta em i_E com média zero durante toda a simulação. Tempos maiores para $d_z T_s$ (reduzir $v_{m,cc}$) farão essa corrente aumentar e tempos menores (aumentar $v_{m,cc}$) diminuir. Um sistema em malha fechada deve ser utilizado para regular a corrente i_E no valor desejado da referência através da atuação sobre $v_{m,cc}$. A análise da operação em malha fechada é apresentada no Capítulo 5.

Figura 3.4 – Resultados de simulação para portadoras em POD e sequência tipo 1. (a) Portadoras triangulares e sinais modulantes. (b) Tensão v_x . (c) Tensão v_{AB} . (d) Corrente i_E .



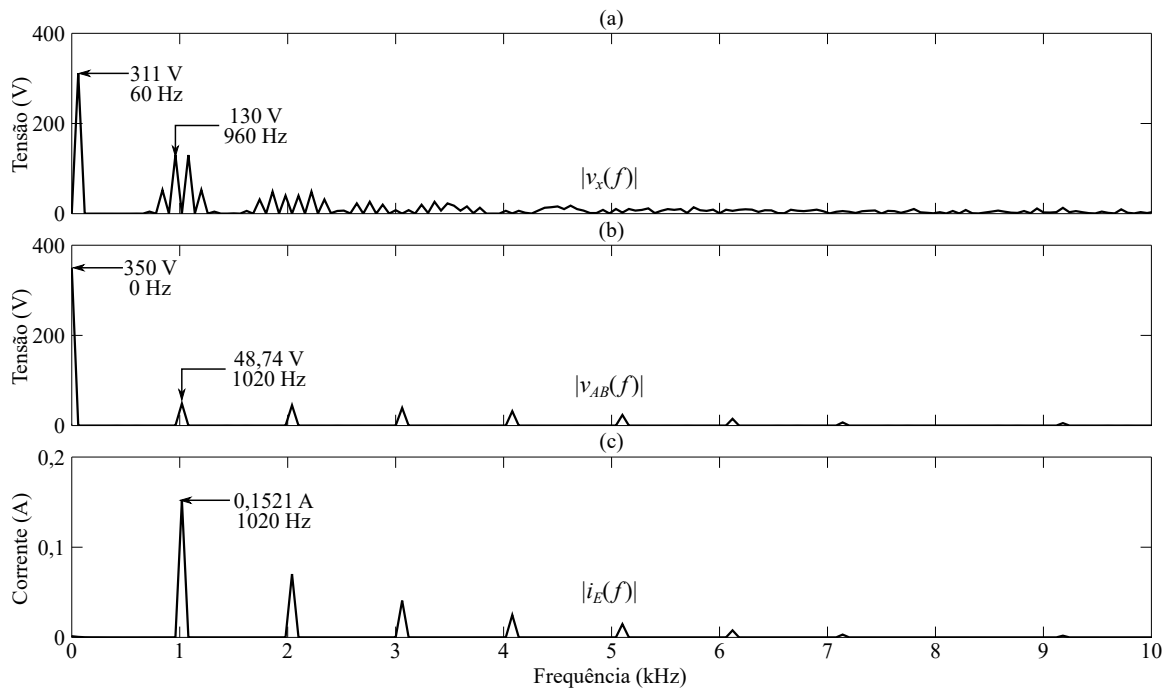
Fonte: Elaborada pelo autor.

A análise em frequência dos sinais da Figura 3.4 é importante para se verificar a posição e amplitude das componentes de menor frequência a serem filtradas. A Figura 3.5 apresenta o espectro dos três principais sinais do inversor. A tensão v_{AB} sintetiza valor médio de 350 V, conforme especificação. Para a corrente i_E , a primeira componente aparece na frequência de comutação (1.020 Hz), conforme era esperado, uma vez que a frequência na porta CC secundária é igual a frequência das portadoras. Para a porta CA, aparecem componentes harmônicas em bandas em torno de 1.020 Hz, como é característico da modulação POD.

3.2.2 Modulação POD - Sequência Tipo 2

Do ponto de vista da modulação, a sequência do tipo 1 é uma escolha intuitiva, pois utiliza um sinal modulante constante para a porta CC secundária. Por outro lado, observando a sequência com que os estados de condução são aplicados, nota-se que são necessárias comutações do tipo III. No semiciclo positivo do sinal modulante da porta CA podem ocorrer as comutações $P \rightleftharpoons 0U1$ e no semiciclo negativo $N \rightleftharpoons 0L1$. Conforme discutido no Capítulo 2, essas comutações requerem tempo-morto duplo para serem realizadas, envolvem mais dispositivos semicondutores e causam um pulso indesejado em v_{AB} .

Figura 3.5 – (a) Espectros das tensões v_x , (b) v_{AB} e (c) da corrente i_E obtidos a partir dos sinais temporais da Figura 3.4.



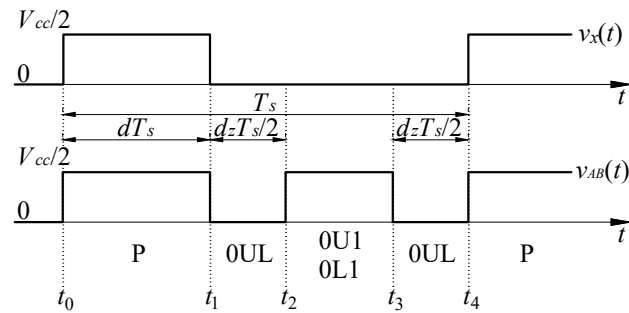
Fonte: Elaborada pelo autor.

Outra forma de se aplicar os pulsos na porta CC secundária seria a introdução de um nível zero em v_{AB} antes e depois da imposição de $V_{cc}/2$. Por exemplo, no semiciclo positivo um ciclo de comutação seria $P \rightarrow 0UL \rightarrow 0U1/0L1 \rightarrow 0UL \rightarrow P$. Nesse caso, não existem comutações do tipo III e o estado intermediário $0U1/0L1$ ainda pode ser utilizado para que a porta CC secundária troque energia com ambos os polos do barramento CC. Nesse sentido, propõe-se a sequência do tipo 2 com o objetivo de eliminar as comutações do tipo III e melhorar o desempenho do inversor. A comparação de rendimento de ambas as sequências de comutação é apresentada no Capítulo 6.

A alteração da sequência dos pulsos na porta CC secundária implica na alteração da forma do sinal modulante. Na sequência do tipo 1, quando a portadora supera o valor do sinal modulante CC é aplicado o nível zero em v_{AB} e nível $V_{cc}/2$ quando a portadora está entre $v_{m,ca}$ e $v_{m,cc}$. Na sequência 2, trocam-se os níveis aplicados de forma que quando a portadora superar o valor do sinal modulante CC seja aplicado nível $V_{cc}/2$ em v_{AB} . Quando a portadora estiver entre $v_{m,ca}$ e $v_{m,cc}$ o nível zero é aplicado em v_{AB} . A Figura 3.6 apresenta um detalhamento dos pulsos a serem aplicados na porta CC secundária e os respectivos estados de condução que podem ser utilizados.

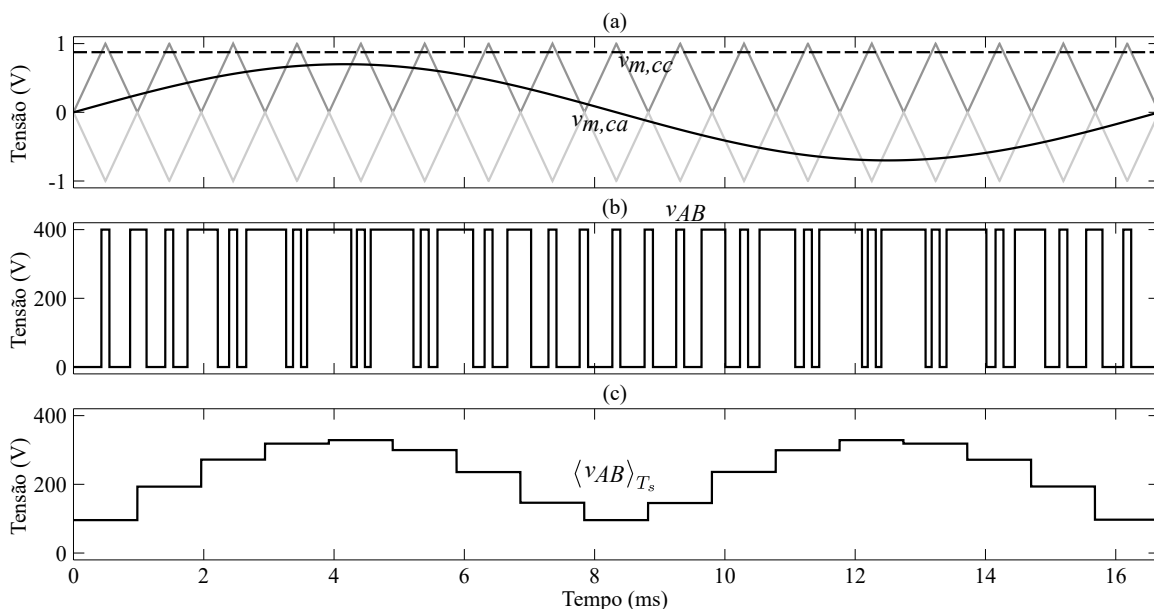
Na sequência do tipo 2, se $v_{m,cc}$ for mantido constante, o tempo de aplicação do nível zero em v_{AB} não é constante. Isso pode ser melhor compreendido através dos resultados de simulação apresentados na Figura 3.7. De forma a manter a corrente média no indutor de filtro constante, a tensão média em v_{AB} também deve ser constante. Conforme pode-se observar na

Figura 3.6 – Detalhamento dos pulsos da sequência tipo 2 durante o semiciclo positivo.



Fonte: Elaborada pelo autor.

Figura 3.7 – Resultados de simulação para portadoras em POD e sequência tipo 2 com modulante CC constante. (a) Portadoras triangulares e sinais modulantes. (b) Tensão v_{AB} . (c) Tensão v_{AB} média em um ciclo da portadora.



Fonte: Elaborada pelo autor.

Figura 3.7(c), o valor médio de v_{AB} em um ciclo da portadora ($\langle v_{AB} \rangle_{T_s}$) apresenta um comportamento similar ao senoidal. Dessa forma, um sinal modulante CC não é adequado para utilização com a sequência do tipo 2.

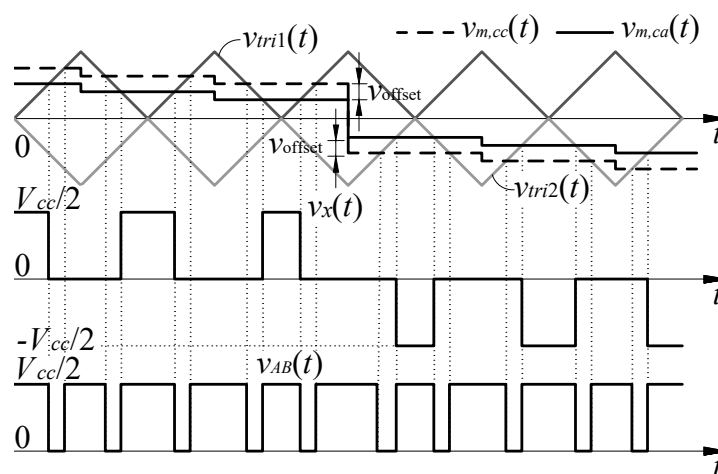
Para se obter tensão média constante em v_{AB} é necessário manter o tempo do nível zero em v_{AB} constante. Um possível sinal modulante que permite atingir esse objetivo é um nível CC sobre $v_{m,ca}$. Nesse caso, há duas possibilidades: (a) dada por (3.1) e detalhada na Figura 3.8 e (b) dada por (3.2) e detalhada na Figura 3.9. Onde v_{offset} é o nível CC utilizado para ajustar a duração do nível $V_{cc}/2$ em v_{AB} . No caso (a), $v_{m,cc}$ é comparado com a portadora positiva para o semiciclo positivo de $v_{m,ca}$ e com a portadora negativa no semiciclo negativo de $v_{m,ca}$. Para POD também é possível comparar o sinal modulante apenas com uma das portadoras pelo

mesmo motivo explicitado no caso da sequência do tipo 1. Ambos os casos produzem o mesmo resultado, mas a implementação de (b) pode ser considerada mais simples.

$$v_{m,cc} = \begin{cases} v_{m,ca} + v_{offset}, & \text{se } v_{m,ca} \geq 0 \\ v_{m,ca} - v_{offset}, & \text{se } v_{m,ca} < 0 \end{cases} \quad (3.1)$$

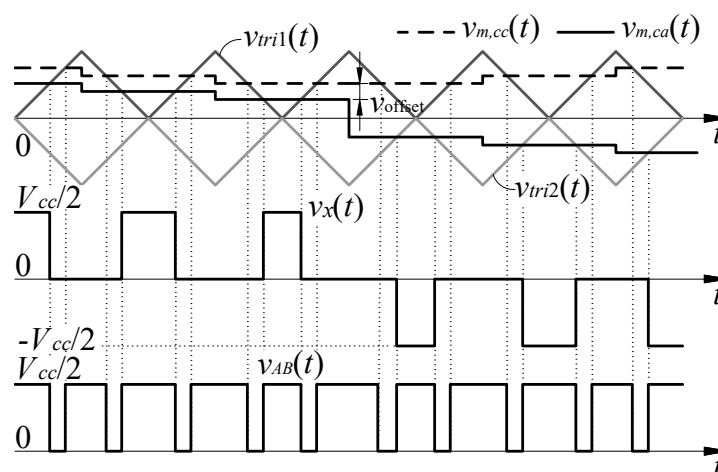
$$v_{m,cc} = |v_{m,ca}| + v_{offset} \quad (3.2)$$

Figura 3.8 – Modulação com portadoras em POD, sinal modulante do inversor e sinal modulante da porta CC secundária para sequência tipo 2 conforme (3.1).



Fonte: Elaborada pelo autor.

Figura 3.9 – Modulação com portadoras em POD, sinal modulante do inversor e sinal modulante da porta CC secundária para sequência tipo 2 conforme (3.2).

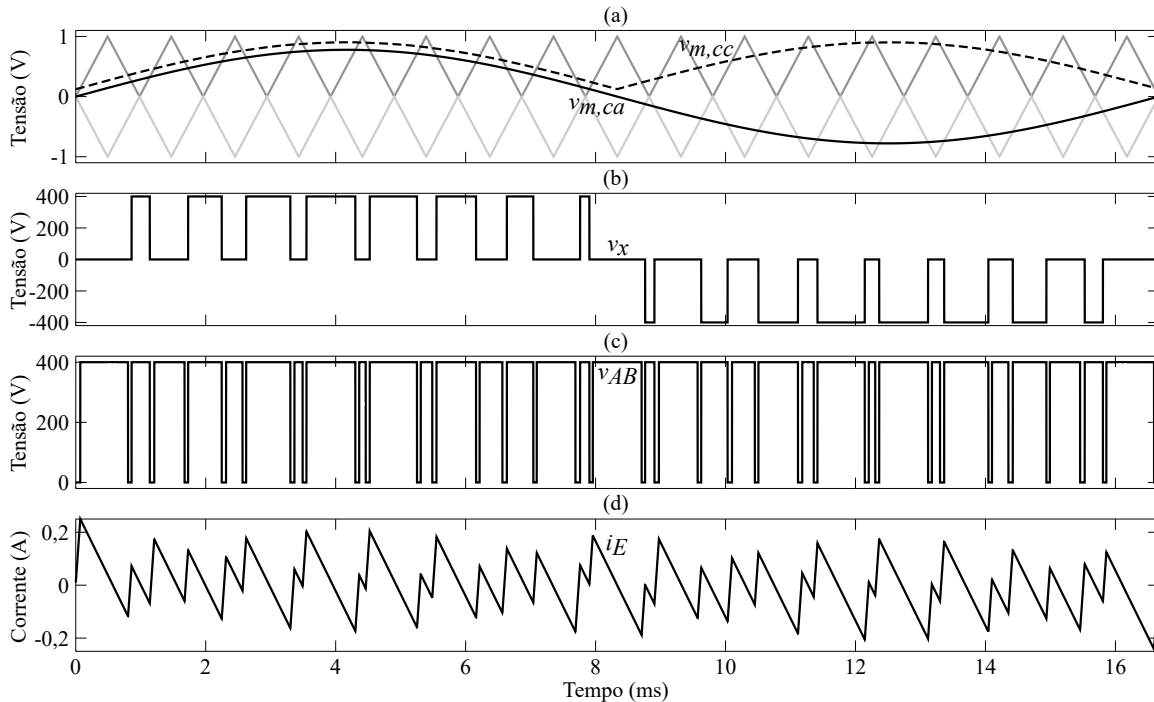


Fonte: Elaborada pelo autor.

Considerando os mesmos parâmetros da simulação realizada para a sequência do tipo 1, outra simulação foi realizada para a sequência do tipo 2 e modulante $v_{m,cc}$ do caso (b) (sequência tipo 2b). Os resultados de simulação são apresentados na Figura 3.10. A modulante $v_{m,cc}$

foi ajustada para resultar em corrente média zero no indutor L_E em um ciclo de rede. Nos resultados de simulação é possível verificar que a distribuição não uniforme dos pulsos em v_{AB} causa ondulação de corrente de amplitude variável no decorrer de um ciclo de rede. A amplitude máxima da ondulação de corrente foi um pouco superior a da simulação com sequência tipo 1.

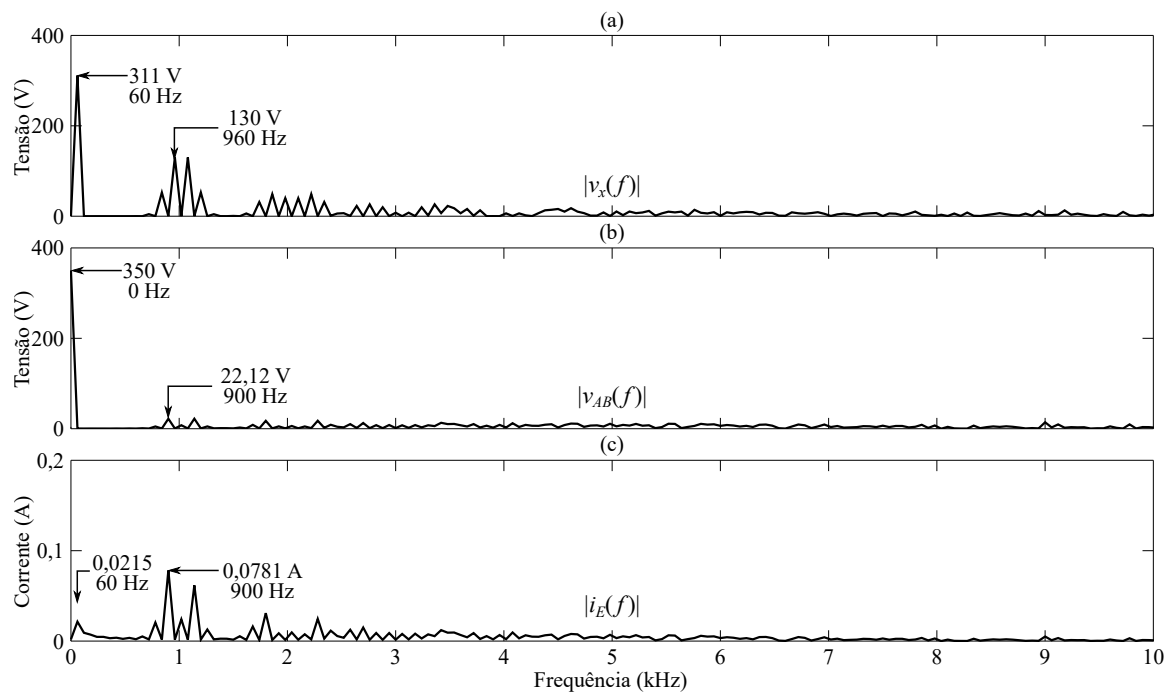
Figura 3.10 – Resultados de simulação para portadoras em POD e sequência tipo 2b. (a) Portadoras triangulares e sinais modulantes. (b) Tensão v_x . (c) Tensão v_{AB} . (d) Corrente i_E .



Fonte: Elaborada pelo autor.

Na Figura 3.11 são apresentados os espectros em frequência das principais tensões e correntes. Com a estratégia de modulação proposta, a tensão v_{AB} sintetiza valor médio de 350 V, conforme especificado. Em comparação com os resultados da sequência tipo 1, o espectro de v_{AB} aparece mais distribuído, com amplitude menor e com componentes em torno de 1.020 Hz. Para a sequência do tipo 1 as componentes estão concentradas na frequência de comutação. Essas características também se verificam no espectro de frequências de i_E . Chama a atenção a existência de uma componente em 60 Hz. Devido à dificuldade de filtrá-la, essa componente de baixa frequência é indesejável. Isso mostra que a variação na posição dos pulsos em v_{AB} causa variação na ondulação de i_E e faz com que a corrente média em um ciclo de comutação não seja exatamente zero. Por outro lado, foi realizada uma outra simulação com frequência de comutação mais elevada e observou-se que a componente de 60 Hz é atenuada na mesma proporção que as demais componentes. No caso da tensão v_x , o espectro de frequências é o mesmo da Figura 3.5, o que corrobora a afirmação de que a modulação da porta CC secundária não afeta a tensão sintetizada pelo inversor.

Figura 3.11 – (a) Espectros das tensões v_x , (b) v_{AB} e (c) da corrente i_E obtidos a partir dos sinais temporais da Figura 3.10.



Fonte: Elaborada pelo autor.

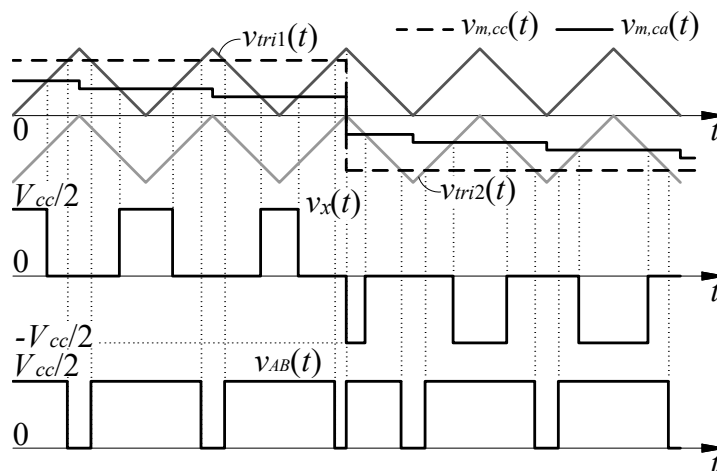
3.2.3 Modulação PD - Sequência Tipo 1

A modulação do inversor com portadoras em PD é de particular interesse no acionamento de inversores polifásicos por apresentar menor distorção harmônica total (DHT) na tensão de linha em comparação à POD (HOLMES; LIPO, 2003). Na modulação com portadoras em PD a componente mais significativa da tensão de fase aparece centrada na frequência da portadora, mas é cancelada na tensão de linha de inversores trifásicos.

A modulação com portadoras em PD apresenta uma diferença importante em relação à POD. Do semiciclo positivo para o negativo de $v_{m,ca}$ a posição temporal do nível zero em v_x sofre um deslocamento. Isso ocorre porque no semiciclo positivo os pulsos na saída do inversor são gerados pela interseção do sinal $v_{m,ca}$ com a portadora positiva, gerando o pulso zero em v_x centralizado no pico da referida portadora. No semiciclo negativo a interseção passa a ocorrer com a portadora negativa e o pulso zero fica centralizado no valor mínimo dessa portadora. Conforme pode ser visto na Figura 3.12, o valor máximo da portadora positiva e o valor mínimo da portadora negativa ocorrem em tempos diferentes. Portanto, a modulante $v_{m,cc}$ não pode ser comparada apenas com uma das portadoras e deve acompanhar a mudança de portadora para manter o sincronismo dos pulsos em ambas as portas.

Ainda considerando a Figura 3.12, no cruzamento por zero de $v_{m,ca}$ o sinal modulante $v_{m,cc}$ teve sua polaridade trocada. No instante da troca de polaridade um pulso zero em v_{AB} com duração diferente é verificado. Como a troca de polaridade de $v_{m,cc}$ ocorreu no valor máximo

Figura 3.12 – Modulação com portadoras em PD, sinal modulante do inversor e sinal modulante da porta CC secundária para sequência tipo 1.



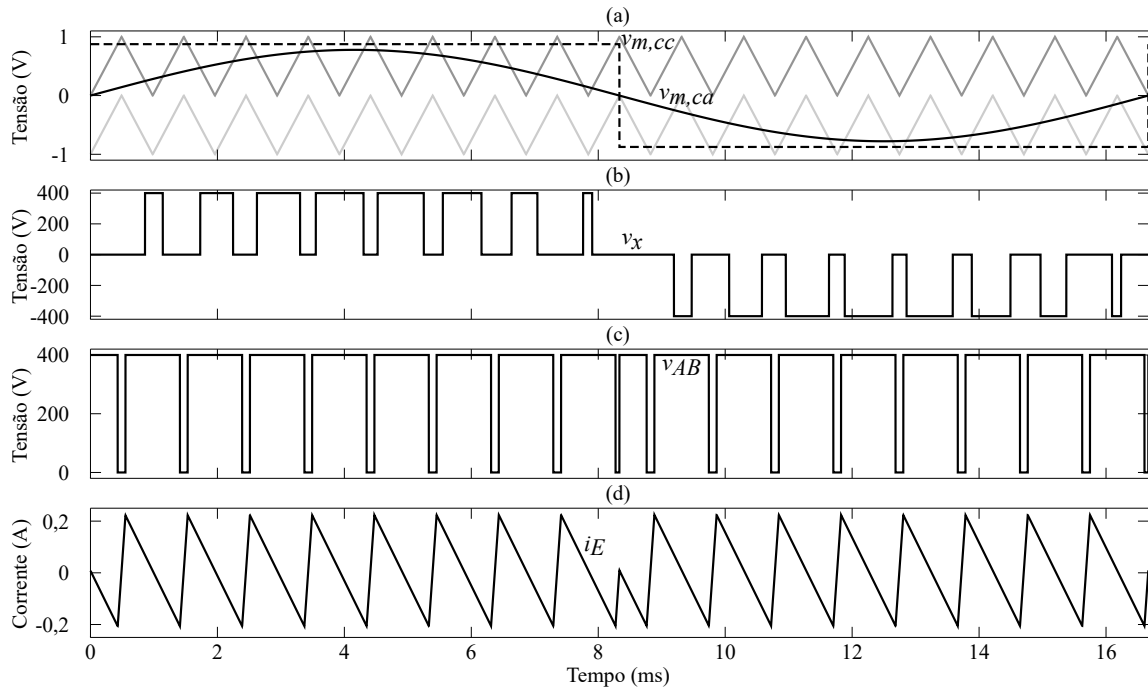
Fonte: Elaborada pelo autor.

da portadora positiva, a duração desse pulso é exatamente a metade daquela dos pulsos zero ocorridos em outros instantes de tempo. O pulso $V_{cc}/2$ em v_{AB} que ocorre na sequência também possui a metade da duração dos demais pulsos $V_{cc}/2$. Como a duração desses pulsos é exatamente igual a metade da duração esperada os seus efeitos são anulados sem causar nenhuma perturbação de amplitude em i_E . Porém, se nota uma rotação de fase e que causa impacto no espectro de frequências do sinal, conforme é analisado mais adiante.

Uma simulação foi realizada para portadoras em PD e com sequência do tipo 1. Os resultados de simulação são apresentados na Figura 3.13. A modulante $v_{m,cc}$ foi ajustada para garantir o balanço volt-segundo no indutor L_E . No cruzamento por zero os pulsos de menor duração não causam efeitos negativos na ondulação da corrente de i_E , pois $v_{m,ca}$ foi ajustado para cruzar por zero no valor máximo da portadora positiva e no valor mínimo na portadora negativa.

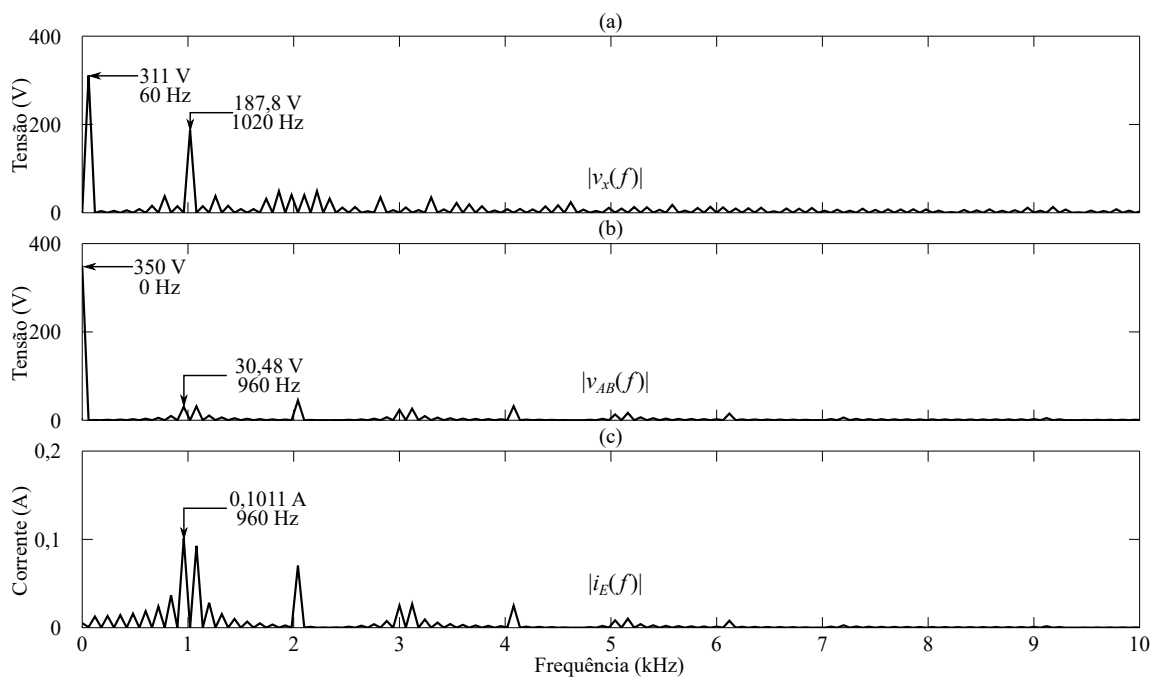
A rotação na fase de i_E tem consequências no espectro de frequências conforme pode ser observado na Figura 3.14. A alteração periódica na fase de sinais é amplamente estudada em sistemas de telecomunicações e causa o aparecimento de bandas laterais que resultam em um alargamento do espectro do sinal em torno de certas frequências (HAYKIN, 2006). No caso da corrente i_E surgiram bandas laterais em torno dos múltiplos ímpares da frequência de comutação. No caso da modulação POD com sequência do tipo 1 a energia estava concentrada nas componentes múltiplas da frequência das portadoras, como pode ser visualizado na Figura 3.5. Para esse caso, as componentes dos harmônicos ímpares não aparecem no espectro, porém sua energia se espalhou em bandas laterais. No caso da tensão v_x , nota-se que o primeiro harmônico múltiplo da portadora concentra significativa parcela de energia. A grande vantagem do uso da técnica PD é que essa componente é cancelada na tensão de linha e, portanto, resulta em menor DHT em inversores trifásicos.

Figura 3.13 – Resultados de simulação para portadoras em PD e sequência tipo 1 para uma condição ideal de sincronismo dos sinais modulantes com as portadoras. (a) Portadoras triangulares e sinais modulantes. (b) Tensão v_x . (c) Tensão v_{AB} . (d) Corrente i_E .



Fonte: Elaborada pelo autor.

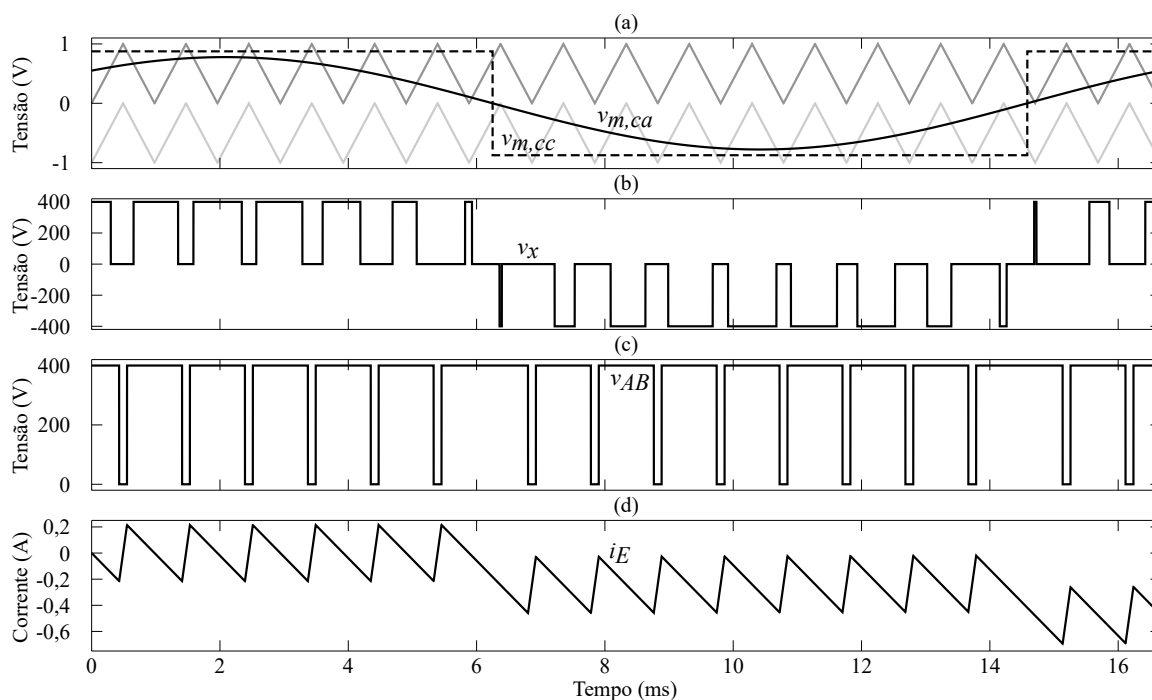
Figura 3.14 – (a) Espectros das tensões v_x , (b) v_{AB} e (c) da corrente i_E obtidos a partir dos sinais temporais da Figura 3.13.



Fonte: Elaborada pelo autor.

A condição ideal mostrada na Figura 3.12, com $v_{m,ca}$ cruzando exatamente no pico da portadora, pode não se verificar na prática. Caso o cruzamento por zero de $v_{m,ca}$ ocorra em pontos aleatórios, poderão surgir perturbações na corrente i_E , conforme apresentado na Figura 3.15. Nota-se que próximo de 6 e 14 ms ocorreram os cruzamentos por zero de $v_{m,ca}$. Em cada cruzamento a corrente i_E foi deslocada para baixo alterando o seu valor médio. Em um sistema em malha fechada o controlador corrigiria o valor médio, mas, por outro lado, uma pequena perturbação seria notada após cada cruzamento por zero. Isso é algo indesejável e a estratégia de modulação precisa contornar esse problema.

Figura 3.15 – Resultados de simulação para portadoras em PD e sequência tipo 1 para uma condição em que não há sincronismo dos sinais modulantes com as portadoras. (a) Portadoras triangulares e sinais modulantes. (b) Tensão v_x . (c) Tensão v_{AB} . (d) Corrente i_E .

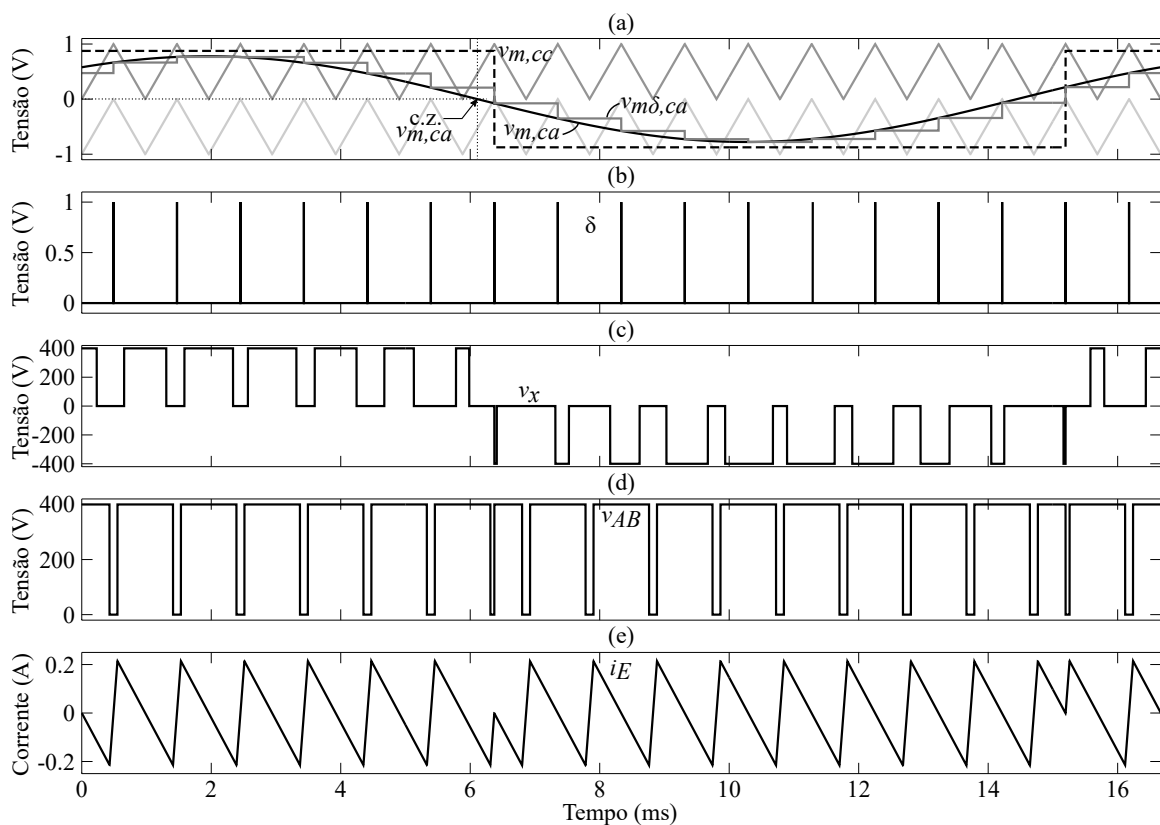


Fonte: Elaborada pelo autor.

O sistema de modulação considerado nas simulações anteriores é analógico, ou seja, as tensões são continuamente variáveis. Atualmente, com a redução de preço dos microprocessadores digitais e devido à alta capacidade de integração de funções em um mesmo circuito integrado, são raras as aplicações que ainda utilizam modulação e controle analógico de inversores. Considerando-se que seja adotado um sistema de modulação através de microprocessador digital, o sinal $v_{m,ca}$ é amostrado com uma certa frequência. A frequência de amostragem adotada é, em geral, igual à frequência das portadoras, ao dobro destas, ou ainda a submúltiplos. O instante de tempo em que os sinais são amostrados pode ser ajustado livremente. Assim, considerando-se que seja utilizada uma frequência de amostragem tal que seja possível sincronizar o ponto de amostragem com os sinais das portadoras, para que não ocorra perturbação de

amplitude em i_E o sinal modulante $v_{m,ca}$ deve ser amostrado exatamente no pico das portadoras ou no instante de tempo em que elas são zero. De forma a demonstrar o funcionamento da solução proposta, uma simulação foi realizada considerando a amostragem de $v_{m,ca}$ no pico das portadoras. Os resultados são apresentados na Figura 3.16. O amostrador é ativado pelo sinal δ , mostrado na Figura 3.16(b). Para comparação com as portadoras, após a amostragem o sinal deve passar por um retentor de ordem zero. O ponto de cruzamento por zero de $v_{m,ca}$ está indicado na Figura 3.16(a) e ocorre antes do pico da portadora. Os resultados mostram que o valor médio de i_E e a amplitude da ondulação permanecem constantes durante toda a simulação. As rotações de fase estão presentes a cada cruzamento por zero de $v_{m,ca}$.

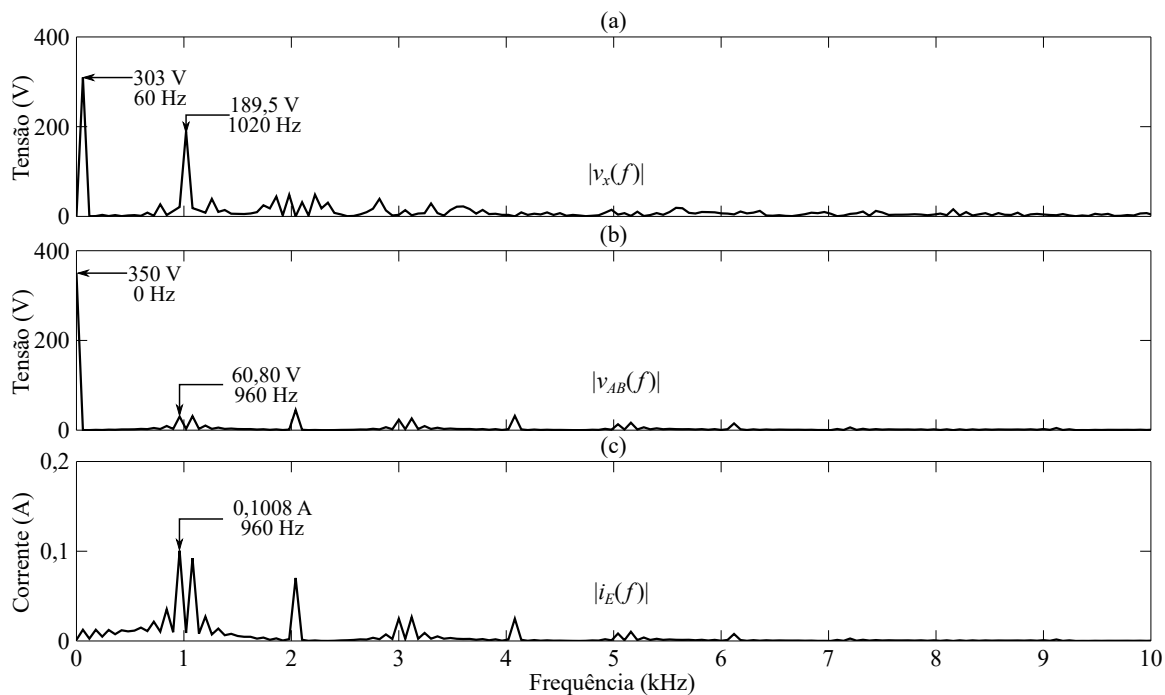
Figura 3.16 – Resultados de simulação para portadoras em PD e sequência tipo 1 para $v_{m,ca}$ amostrado no pico das portadoras. (a) Portadoras triangulares e sinais modulantes. (b) Sinal de amostragem δ . (c) Tensão v_x . (d) Tensão v_{AB} . (e) Corrente i_E .



Fonte: Elaborada pelo autor.

A Figura 3.17 traz o espectro de frequências para mostrar que as principais características dos sinais foram preservadas após a amostragem de $v_{m,ca}$. A tensão v_x apresenta significativa energia no harmônico centrado na frequência da portadora, da mesma forma que foi obtido no espectro apresentado na Figura 3.14. A tensão de pico sintetizada em v_x apresentou valor um pouco abaixo da especificação em virtude da baixa frequência de amostragem e do ângulo escolhido para $v_{m,ca}$. Para v_{AB} e i_E os resultados também são muito próximos, sendo um pouco menores do que aqueles obtidos sem amostragem de $v_{m,ca}$.

Figura 3.17 – (a) Espectros das tensões v_x , (b) v_{AB} e (c) da corrente i_E obtidos a partir dos sinais temporais da Figura 3.16.



Fonte: Elaborada pelo autor.

3.2.4 Modulação PD - Sequência Tipo 2

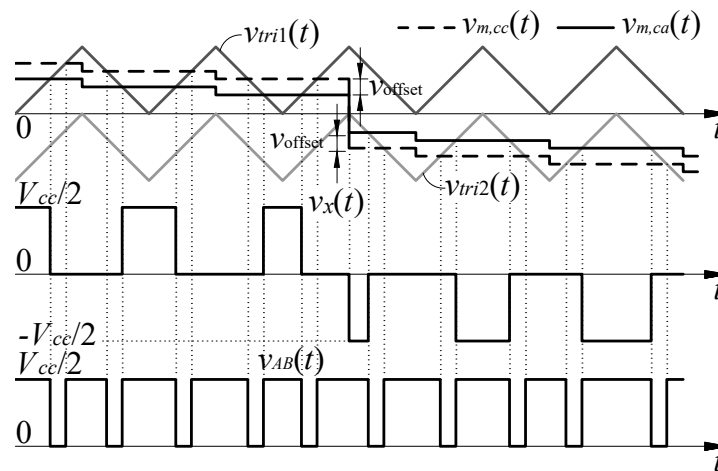
A modulação com portadoras em PD e sequência tipo 2 é similar à modulação com portadoras em POD e sequência tipo 2a, sendo que apenas a fase da portadora negativa é diferente. Na Figura 3.18 são apresentadas as principais formas de onda relacionadas à modulação PD com sequência tipo 2. Nota-se que o sinal modulante $v_{m,cc}$ troca de polaridade para acompanhar a polaridade do sinal modulante $v_{m,ca}$ e manter o sincronismo dos pulsos nas portas de potência. Da mesma forma que foi apresentado para a POD, o sinal $v_{m,cc}$ é dado por (3.1).

A amostragem de $v_{m,ca}$ também é necessária nessa estratégia de modulação para garantir que o cruzamento por zero de $v_{m,ca}$ ocorra nos valores máximos ou mínimos da portadora. Caso contrário, perturbações serão verificadas em i_E nos cruzamentos por zero de $v_{m,ca}$.

Os resultados de simulação para a modulação PD com sequência tipo 2 são apresentados na Figura 3.19. O sinal $v_{m,ca}$ não aparece amostrado, pois o cruzamento por zero já está sincronizado com a portadora. Para a porta CA os resultados são idênticos aos da modulação PD com sequência tipo 1, pois os pulsos nessa porta não são afetados pelo sinal modulante da porta CC. No domínio do tempo os resultados obtidos para a porta CC secundária são muito parecidos com o da modulação POD com sequência 2b. A ondulação da corrente i_E apresenta amplitude um pouco menor, porém o comportamento é similar.

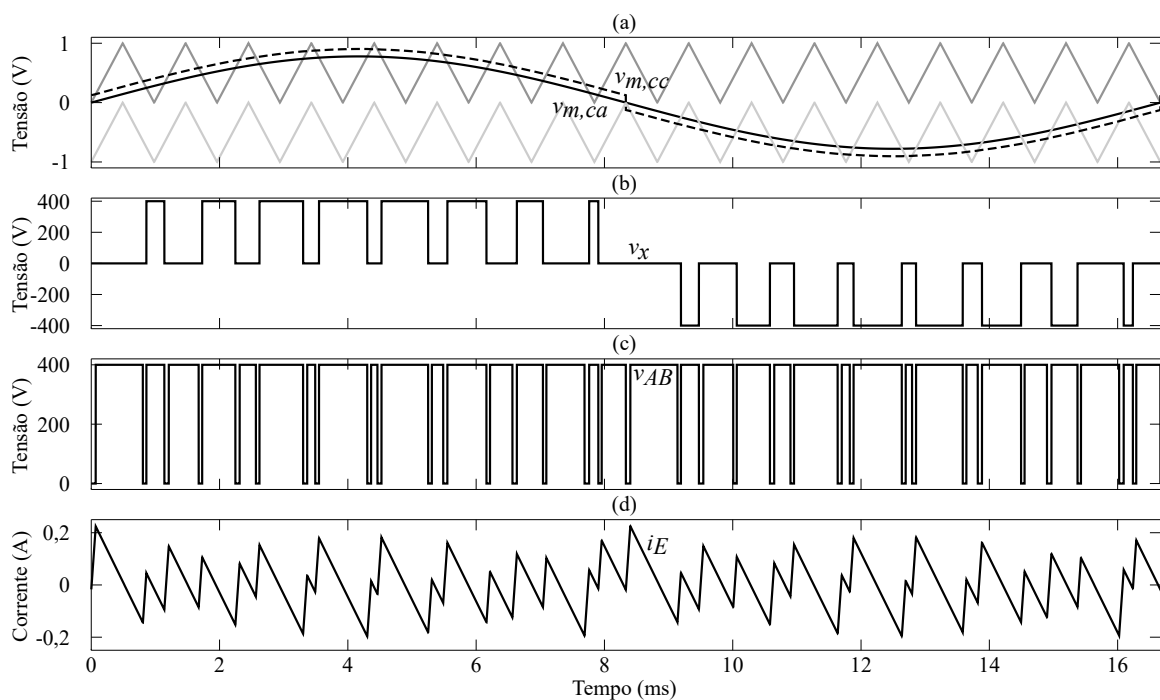
O espectro de frequências das principais tensões e correntes é apresentado na Figura 3.20. Com relação à tensão v_x os resultados são os mesmos da modulação PD com sequência do tipo

Figura 3.18 – Modulação com portadoras em PD, sinal modulante do inversor e sinal modulante da porta CC secundária para sequência tipo 2.



Fonte: Elaborada pelo autor.

Figura 3.19 – Resultados de simulação para portadoras em PD e sequência tipo 2. (a) Portadoras triangulares e sinais modulantes. (b) Tensão v_x . (c) Tensão v_{AB} . (d) Corrente i_E .

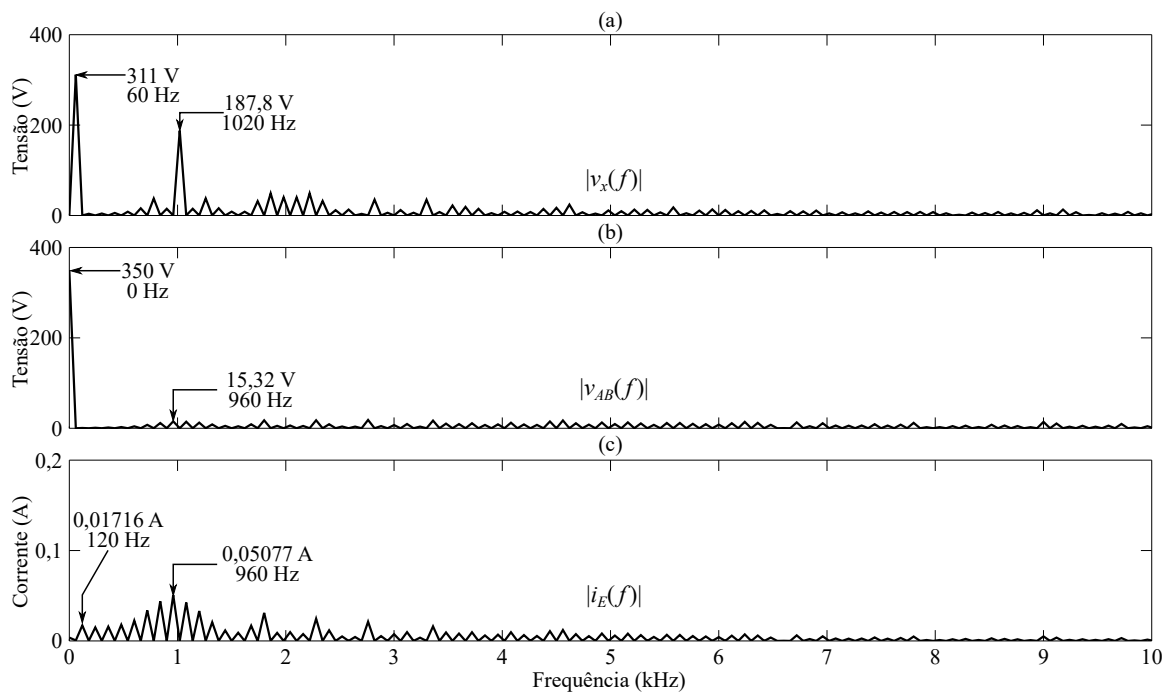


Fonte: Elaborada pelo autor.

1. Na porta CC secundária observa-se que a tensão v_{AB} é a que apresenta as menores amplitudes dos harmônicos entre todas as estratégias analisadas. Consequentemente isso se reflete na corrente i_E . Porém, o espectro da corrente da porta CC secundária se espalhou significativamente, apresentando harmônicos de amplitude considerável em uma ampla faixa em torno da frequência das portadoras. Há que se levar em consideração que as simulações foram realizadas com uma frequência relativamente baixa para facilitar a visualização dos pulsos em um ciclo de rede.

Utilizando-se frequências de comutação mais elevadas, as bandas laterais serão deslocadas para longe das baixas frequências e isso facilitará o projeto do filtro da porta CC secundária.

Figura 3.20 – (a) Espectros das tensões v_x , (b) v_{AB} e (c) da corrente i_E obtidos a partir dos sinais temporais da Figura 3.19.



Fonte: Elaborada pelo autor.

3.3 SELEÇÃO DOS ESTADOS REDUNDANTES

As estratégias de modulação apresentadas são responsáveis pela definição dos níveis de tensão a serem aplicados em cada saída e pela definição da duração do respectivo nível (sinais b_p , b_n e b_z). Um bloco após o modulador é responsável por definir qual estado de condução deve ser utilizado para gerar os níveis de tensão solicitados. O funcionamento desse bloco é baseado em objetivos previamente definidos.

Adotando a simplificação apresentada no Capítulo 2, onde apenas é utilizado o estado OUL para geração do nível zero simultaneamente nas duas portas de potência, os únicos estados redundantes que precisam ser selecionados adequadamente são o 0U1 e 0L1. A seleção desses estados é realizada de forma a equilibrar as tensões do barramento CC. Um controlador é responsável pela geração do sinal b_{cc} , o qual é proposto no Capítulo 5.

3.4 LÓGICA DE ACIONAMENTO DAS CHAVES

No caso do conversor ANPC-3P, para a utilização de todos os estados de condução do conversor, não é possível realizar o acionamento dos dispositivos semicondutores de forma complementar. Caso o acionamento complementar seja adotado, certos estados de condução são perdidos e há redução dos graus de liberdade. Por exemplo, o dispositivo S_1 poderia ser complementar ao S_5 , pois se ambos entrarem em condução simultaneamente haverá um curto-circuito no barramento CC. O mesmo ocorre para S_4 e S_6 . No entanto, no estado 0L4 tanto S_1 quanto S_5 são mantidas bloqueadas. Para S_4 e S_6 o estado 0U4 mantém ambas bloqueadas.

Simplificações no acionamento das chaves podem ser obtidas caso se utilize o estado 0UL em substituição aos estados 0U3, 0U4, 0L3 e 0L4, resultando no acionamento complementar de S_1 e S_5 e de S_4 e S_6 . O acionamento de S_2 e S_3 pode ser derivado dos sinais de modulação e controle através de lógica combinacional. Nesta Tese foi considerada a regra geral para comutações conforme é apresentado na Figura 2.28. Dessa forma, é possível utilizar todos os estados de condução e realizar todos os tipos de comutações.

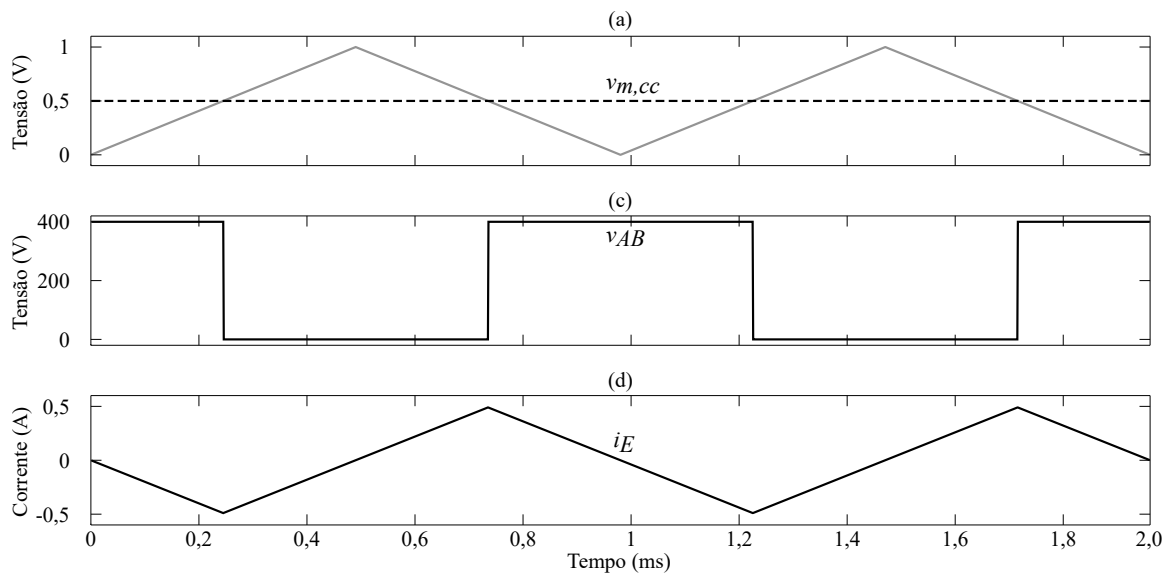
3.5 MODULAÇÃO PARA OPERAÇÃO COMO CONVERSOR CC-CC

No Capítulo 2 foi apresentado um modo de operação especial denominado modo CC-CC. Como a saída CA fica desativada, não há sinal modulante na referida porta e, portanto, $v_{m,cc}$ pode utilizar totalmente a faixa de valores entre o mínimo e o máximo da portadora. Além disso, não faz sentido tratar da disposição das portadoras no modo CC-CC. Apenas uma portadora precisa ser gerada para comparação com o sinal modulante. É uma estratégia de modulação bastante simples. Quando o sinal modulante superar a tensão da portadora é gerado o nível $V_{cc}/2$ em v_{AB} utilizando o estado CCP ou CCN (também pode-se utilizar os estado 0L1 ou 0U1 se for desejado impor uma tensão v_x igual a zero). No restante do tempo é gerado nível zero através de CC0 (ou 0UL). A seleção dos estados CCP e CCN é realizada pelo sistema de controle para balanceamento das tensões dos polos do barramento CC. Através do sinal b_{cc} gerado pelo sistema de controle, o segundo bloco do sistema de modulação (Figura 3.1) faz a seleção do estado de condução solicitado.

Na Figura 3.21 são apresentados resultados de simulação para os mesmos parâmetros das simulações anteriores, com exceção de V_E que foi ajustada para 200 V para demonstrar uma condição na qual o ESS está com tensão abaixo do limite mínimo.

A ondulação de corrente foi maior do que nas simulações anteriores devido ao valor escolhido para V_E . A relação entre a ondulação de corrente e a tensão V_E é analisada no Capítulo 4.

Figura 3.21 – Resultados de simulação para operação como conversor CC-CC. (a) Portador triangular e sinal modulante $v_{m,cc}$. (b) Tensão v_{AB} . (c) Corrente i_E . (d) Tensão v_x .



Fonte: Elaborada pelo autor.

3.6 CONSIDERAÇÕES FINAIS

Neste capítulo foram analisadas estratégias de modulação baseadas em portadoras para um braço ANPC-3P. Duas sequências de estados de condução foram propostas para modulação da porta CC secundária. Essas sequências foram analisadas com portadoras dispostas em POD e PD, sendo viáveis em ambas as situações. De modo geral, as estratégias de modulação são simples, apenas o sinal $v_{m,cc}$ requer algum processamento para ser gerado.

A modulação com sequência do tipo 1 apresenta como principais características: (i) a frequência de comutação na porta CC secundária é igual a frequência de comutação do inversor; (ii) além dos estados P e N, em um mesmo ciclo PWM pode-se conectar i_E a ambos os polos do barramento CC, pois existem dois intervalos de tempo distintos para aplicação de 0U1 ou 0L1; (iii) apresenta comutações do tipo III devido à necessidade de comutações $P \rightleftharpoons 0U1$ e $N \rightleftharpoons 0L1$.

A modulação com sequência do tipo 2 apresenta como principais características: (i) a frequência de comutação aparente na porta CC secundária é igual ao dobro da frequência de comutação do inversor, porém os primeiros harmônicos na corrente i_E aparecem centrados na frequência das portadoras; (ii) não distribui os pulsos uniformemente em v_{AB} , apenas garante que o valor médio seja constante e, por isso, a corrente i_E apresenta ondulação máxima aproximadamente igual ao caso com sequência tipo 1; (iii) em um mesmo ciclo PWM é possível apenas conectar a corrente i_E ao polo negativo ou positivo utilizando os estados 0U1 ou 0L1, pois esses ocorrem apenas uma vez a cada ciclo de comutação; (iv) não apresenta comutações do tipo III, pois antes e após P ou N é sempre utilizado um estado 0UL intermediário.

A modulação PD com sequência do tipo 1 apresentou uma rotação de fase na corrente i_E no cruzamento por zero de $v_{m,ca}$. Isso insere uma modulação por chaveamento de fase na referida corrente e faz com que o espectro seja alargado devido ao surgimento das bandas laterais. Como os cruzamentos por zero de $v_{m,ca}$ ocorrem em baixa frequência, não é esperado um alargamento do espectro de i_E que inviabilize a sua utilização em frequências mais altas.

A modulação PD com sequência tipo 2 é a que apresenta as menores amplitudes das componentes harmônicas e suas bandas laterais no espectro de frequências de v_{AB} e i_E , porém é o espectro que apresenta o maior espalhamento devido aos pulsos zero em v_{AB} serem deslocados de acordo com $v_{m,ca}$.

As modulações com portadoras em PD requerem que o sinal $v_{m,ca}$ seja amostrado para permitir o sincronismo com as portadoras. O cruzamento por zero de $v_{m,ca}$ (ou $v_{m\delta,ca}$) deve ocorrer nos valores máximos ou mínimos das portadoras. Caso contrário, são observadas perturbações na corrente i_E .

A Tabela 3.2 traz um resumo das principais características dos sistemas de modulação discutidos neste capítulo.

Tabela 3.2 – Resumo das principais características dos sistemas de modulação.

Modulação	Frequência aparente em v_{AB}	Ondulação da corrente i_E	Espectro harmônico de i_E	Espectro harmônico de v_x	Comutações do tipo III
POD 1	f_s	Constante	Múltiplos de f_s	Espalhado em bandas laterais	Sim
POD 2	$2f_s$	Variável	Espalhado em bandas laterais	Espalhado em bandas laterais	Não
PD 1	f_s	Constante	Espalhado em bandas laterais	Principal componente em f_s	Sim
PD 2	$2f_s$	Variável	Espalhado em bandas laterais	Principal componente em f_s	Não

Fonte: Elaborada pelo autor.

4 ANÁLISE ORIENTADA AO PROJETO

4.1 INTRODUÇÃO

Neste capítulo são apresentadas diretrizes para o projeto do inversor ANPC com sistema de armazenamento integrado à topologia. Diversos aspectos relacionados ao impacto da adição do ESS à etapa de potência são avaliados, principalmente no que se refere ao dimensionamento do barramento CC e aos esforços de corrente nos semicondutores. O impacto do ESS na etapa de potência depende da aplicação do inversor, sendo analisados ao final do capítulo alguns cenários relacionados às aplicações típicas desse inversor.

4.2 ESFORÇOS DE TENSÃO

Os esforços de tensão no conversor ANPC-3P estão relacionados às tensões das portas de potência. O principal fator a se levar em consideração no projeto é a faixa de variação das tensões em cada uma das portas. A tensão do ESS não é constante, variando em uma faixa considerável de acordo com o estado de carga das baterias. A tensão da porta CA, no caso de conexão com a rede, apresenta variações ao longo do dia e possui limites normativos. Em certas aplicações, como por exemplo FV, a tensão da porta CC principal também deve variar para MPPT.

Conforme já estabelecido no Capítulo 2 em (2.6), a tensão do ESS deve estar entre V_p e $V_{cc}/2$. A tensão V_p é o máximo valor a ser sintetizado no nó de saída CA do inversor. Idealmente, essa tensão depende somente das tensões dos polos do barramento CC e do índice de modulação de amplitude. Para a determinação de V_p é necessário o conhecimento da tensão desejada no ponto de conexão com a rede ou com as cargas locais, após o filtro CA. A tensão do ponto de conexão depende de diversos fatores como: padrão de tensão nominal local, limites normativos, uso de transformador, entre outros. Por exemplo, os inversores conectados à rede devem suportar certo valor de sobretensão e não devem se desconectar a menos que um valor limite seja ultrapassado. Conforme ABNT (2013), em aplicações FV o inversor deve se manter conectado para tensões de até 110% do valor nominal da rede. Para aplicações em UPS essa tensão de pico pode ser considerada constante e dependerá dos requisitos de projeto. Portanto, a tensão de pico máxima na qual o inversor deverá operar pode ser definida como:

$$V_{CAp,\max} = f_{st} \sqrt{2} V_{CAN} \quad (4.1)$$

onde f_{st} é o fator de sobretensão no qual o inversor deve permanecer em operação, V_{CAN} é a tensão eficaz nominal CA de fase no ponto de conexão com a rede ou com as cargas locais.

Para se obter a tensão de pico máxima a ser sintetizada antes do filtro CA é necessário o conhecimento da queda de tensão nos elementos semicondutores e no filtro. Isso somente poderá ser definido com exatidão após o projeto dos filtros e escolha dos semicondutores. Por esse motivo, foi considerado um fator $f_{\Delta V_{ca}}$ para representar o percentual a ser adotado para compensar a queda de tensão nos elementos citados. A tensão de pico a ser sintetizada pelo inversor é, portanto:

$$V_p = f_{st} \sqrt{2} f_{\Delta V_{ca}} V_{CA n}. \quad (4.2)$$

A próxima informação necessária é a faixa de variação da tensão do ESS. No caso das baterias, devido aos diversos tipos de elementos químicos utilizados na sua construção, as tensões máximas e mínimas das células são diferentes. Para a obtenção da tensão de operação, diversas células são associadas em série. Quando a tensão do conjunto de células for mínima, a tensão $V_{E, \min}$ deve ser superior a V_p . Quando a tensão do conjunto de células for máxima, a tensão $V_{E, \max}$ deve ser inferior a $V_{cc}/2$, conforme (2.6). Através de V_p e da tensão mínima das células é possível calcular o número mínimo de células (N_{cel}) a serem associadas em série através de:

$$N_{cel} = f_{\Delta V_{cc}} \frac{V_p}{V_{cel, \min}} \quad (4.3)$$

onde $f_{\Delta V_{cc}}$ é um fator de tolerância a ser adotado para evitar que o inversor opere nos limites de tensão do ESS e cause a saturação do atuador. Esse fator também deve incluir a queda de tensão no filtro da porta CC secundária, na resistência interna do ESS e nos cabos de conexão.

A tensão $V_{E, \max}$ pode ser obtida utilizando-se:

$$V_{E, \max} = N_{cel} V_{cel, \max}. \quad (4.4)$$

A tensão de cada polo do barramento CC deve ser superior a $V_{E, \max}$ para todas as condições de operação. No limite superior também deve ser adotado um fator de tolerância. Pode-se calcular V_{cc} por:

$$V_{cc} = 2 f_{\Delta V_{cc}} V_{E, \max} = 2 f_{\Delta V_{cc}} N_{cel} V_{cel, \max}. \quad (4.5)$$

Substituindo (4.2) em (4.3) e depois em (4.5) pode-se obter uma equação para o cálculo de V_{cc} , cujo resultado é dado por:

$$V_{cc} = 2 \sqrt{2} f_{st} f_{\Delta V_{ca}} f_{\Delta V_{cc}}^2 V_{CA n} \frac{V_{cel, \max}}{V_{cel, \min}}. \quad (4.6)$$

Em aplicações monofásicas, as ondulações de tensão do barramento CC devidas à potência pulsante podem ser adicionadas ao final no valor de V_{cc} . Ou, se o percentual de ondulação for previamente conhecido, pode-se reescrever (4.6) como:

$$V_{cc} = 2 \sqrt{2} f_{st} f_{\Delta V_{ca}} f_{\Delta V_{cc}}^2 (1 + \Delta V_C) V_{CA n} \frac{V_{cel, \max}}{V_{cel, \min}} \quad (4.7)$$

onde ΔV_C é o máximo fator de ondulação de tensão no barramento CC.

Para outros tipos de ESS o procedimento de cálculo é similar, ajustando-se a tensão do barramento CC para acomodar a variação de tensão do ESS, ou, se houver liberdade, calculando-se as tensões máxima e mínima do ESS para que fiquem dentro da faixa de tensão disponível.

4.3 ESFORÇOS DE CORRENTE

A análise dos esforços de corrente nos elementos do inversor é dependente de diversos fatores, mas principalmente da estratégia de modulação. Para a obtenção dos resultados desta seção foram adotadas algumas premissas:

- a corrente de carga é senoidal e livre de harmônicos;
- a corrente de carga tem amplitude constante e independente do índice de modulação;
- a corrente do ESS é CC e sem ondulação;
- a corrente se divide igualmente quando os caminhos de condução são colocados em paralelo;
- o conversor está em regime permanente e o barramento CC está equilibrado e sem ondulação de tensão;
- os semicondutores são ideais;
- não há tempo-morto, ou seja, as comutações são instantâneas.
- a estratégia de modulação considerada na análise foi a estratégia POD com sequência do tipo 1 na porta CC secundária. Porém, os resultado para sequência do tipo 2 são similares quando o tempo total de aplicação dos estados de condução em um período de comutação é idêntico. O mesmo pode ser considerado para portadoras em PD;
- em um período de comutação são utilizados os estados 0L1 e 0U1 e os tempos de duração desses estados são iguais. Para a sequência do tipo 2 na porta CC secundária, pode-se aplicar apenas um desses estados por período de comutação. Porém, considerando o uso balanceado desses estados, em dois períodos de comutação o tempo médio de aplicação é aproximadamente igual ao da sequência do tipo 1. Para baixas frequências de comutação, com $f_s/f_r < 100$, o erro dessa aproximação é significativo e deve-se realizar nova análise para a sequência do tipo 2.

A tensão de referência utilizada na modulação e a corrente CA são dadas por:

$$v_{ref}(\phi) = \text{sen}(\phi) \quad (4.8)$$

$$i_x(\phi) = I_p \text{sen}(\phi - \theta) \quad (4.9)$$

onde ϕ é o ângulo de referência da tensão sintetizada pelo inversor, I_p é a corrente de pico CA e θ é o ângulo de defasagem entre a tensão de referência e a corrente CA. O ângulo θ é responsável pela parcela de deslocamento do fator de potência. Esse ângulo pode assumir qualquer valor no intervalo $[-\pi, \pi]$. Devido à simetria, apenas o intervalo $[0, \pi]$ radianos foi considerado, sendo os resultados para o intervalo $[-\pi, 0]$ radianos idênticos aos do primeiro intervalo. No intervalo $[0, \pi/2]$ a potência ativa é positiva na porta CA, ou seja, flui no sentido de sair do inversor. No intervalo $(\pi/2, \pi]$ a potência ativa é considerada negativa, ou seja, flui no sentido de entrar no inversor.

A corrente média em um dispositivo semicondutor pode ser calculada por:

$$I_{\text{avg}} = \frac{1}{2\pi} \int_{\phi_l}^{\phi_h} i(\phi) d(\phi) d\phi \quad (4.10)$$

onde $i(\phi)$ é corrente que atravessa o dispositivo e $d(\phi)$ é a razão cíclica, ambas em função do ângulo da tensão de referência ϕ . Os intervalos de integração são obtidos através da análise do sentido da corrente nos dispositivos semicondutores (controlados e não-controlados) e da estratégia de modulação, a qual define quais dispositivos podem entrar em condução. Devido à utilização de mais de um estado de condução por período de comutação, cada estado de condução terá sua respectiva razão cíclica, seu intervalo de integração e, portanto, a integral de (4.10) normalmente é separada em tantas partes quantos forem os estados de condução. A soma de todas as razões cíclicas em um período de comutação deve ser unitária.

Por sua vez, a corrente eficaz em um dispositivo semicondutor é dada por:

$$I_{\text{rms}} = \sqrt{\frac{1}{2\pi} \int_{\phi_l}^{\phi_h} i^2(\phi) d(\phi) d\phi}. \quad (4.11)$$

Devido às propriedades de simetria do circuito do conversor e da estratégia de modulação, somente é necessário realizar o cálculo para seis dos doze dispositivos semicondutores e para um dos capacitores do barramento CC. Os resultados obtidos para S_1 são idênticos aos de S_4 , de S_2 aos de S_3 , de S_6 aos de S_5 e igualmente para os diodos em antiparalelo. Dessa forma, são apresentados neste trabalho somente os cálculos para S_1 , S_2 , S_6 , D_1 , D_2 , D_6 e C_1 .

4.3.1 Dispositivos Semicondutores

As correntes nos dispositivos semicondutores em cada estado de condução são definidas pelas correntes $i_x(\phi)$ e I_E conforme expressões já apresentadas na Tabela 2.5. A polaridade adotada para as correntes nos semicondutores é apresentada na Figura 2.7. Para o cálculo das correntes em cada dispositivo é necessário conhecer o intervalo em que a corrente pode ser conduzida pelo respectivo dispositivo e a duração de cada estado de condução.

Embora existam dispositivos bidirecionais em corrente, a maioria dos dispositivos semicondutores utilizados em conversores estáticos são unidirecionais em corrente, como IGBTs e diodos, por exemplo. Por esse motivo, e para facilitar a montagem dos conversores, é comum as fabricantes colocarem em um único encapsulamento a associação antiparalela de um IGBT com um diodo. Essa associação permite a formação de um dispositivo bidirecional em corrente e unidirecional em tensão. Neste trabalho são apresentados os cálculos dos esforços de corrente de forma distinta para o IGBT e para o diodo, de forma a permitir o correto dimensionamento de cada um dos elementos. Os resultados obtidos também podem ser utilizados para se estimar as perdas nos referidos elementos.

4.3.1.1 Dispositivo semicondutor S_1

O dispositivo S_1 pode entrar em condução apenas nos estados P e 0L1. Dessa forma, é necessário realizar o cálculo da corrente média e eficaz para cada um dos estados de condução.

Pela característica de unidirecionalidade em corrente do dispositivo, apenas correntes positivas podem ser conduzidas. Dessa forma, faz-se necessário encontrar os intervalos do ângulo ϕ entre os quais a corrente através de S_1 é positiva. Conforme a Tabela 2.5, a corrente em S_1 no estado P é dada por:

$$i_{S_{1,P}}(\phi) = i_x(\phi) - I_E. \quad (4.12)$$

O intervalo em que $i_{S_{1,P}}$ é positiva se altera de acordo com o ângulo θ e com os valores de I_p e I_E . Portanto, para que $i_{S_{1,P}}$ seja positiva a seguinte condição deve ser satisfeita:

$$I_p \text{sen}(\phi - \theta) - I_E > 0 \quad (4.13)$$

caso contrário a corrente será negativa e conduzida por D_1 .

A corrente I_E causa um deslocamento vertical na parcela senoidal i_x . Quando o deslocamento causado supera o valor de pico de i_x a corrente no dispositivo poderá ficar totalmente positiva ou negativa, dependendo da polaridade de I_E . Considerando que estado de condução P somente ocorre durante o semiciclo positivo da tensão de referência e assumindo $I_p > I_E$, existirá um intervalo em que a corrente em S_1 será maior do que zero. Esse intervalo pode ser calculado através de:

$$\max\{\phi_1(I_E, \theta), 0\} \leq \phi \leq \min\{\phi_2(I_E, \theta), \pi\} \quad (4.14)$$

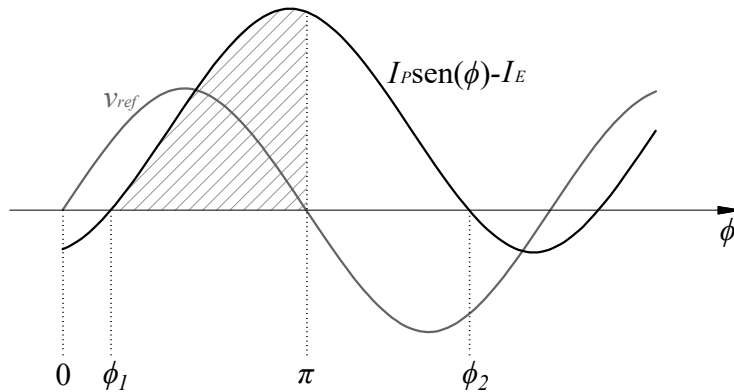
onde as funções $\max\{\}$ e $\min\{\}$ retornam, respectivamente, o maior e o menor valor dentre os argumentos fornecidos. Além disso, as funções dos ângulos são dadas por:

$$\phi_1(I_E, \theta) = \arcsen(I_E/I_p) + \theta \quad (4.15)$$

$$\phi_2(I_E, \theta) = \pi - \arcsen(I_E/I_p) + \theta. \quad (4.16)$$

Os ângulos relacionados ao intervalo de integração podem ser melhor compreendidos observando-se a Figura 4.1.

Figura 4.1 – Detalhamento das formas de onda para obtenção do intervalo de integração do estado P para S_1 . Situação hipotética com $\theta > 0$ e $I_E < 0$.



Fonte: Elaborada pelo autor.

O caso em que $I_p < I_E$ é também de interesse, porém dependendo da polaridade de I_E a corrente será conduzida por S_1 ou D_1 durante todo o semiciclo. As equações obtidas também podem ser utilizadas para nesse caso. Para isso, deve-se fazer o ajuste dos limites de integração de forma a considerar o semiciclo completo quando resultar com corrente positiva no dispositivo, ou então, não incluir a parcela no cálculo se a corrente resultante no dispositivo for negativa. Caso a corrente seja positiva em S_1 , os ângulos ϕ_1 e ϕ_2 são zero e π radianos, respectivamente.

A razão cíclica para o estado P ($\Delta_P(\phi)$) é igual a:

$$\Delta_P(\phi) = m_a v_{ref}(\phi) = m_a \text{sen}(\phi). \quad (4.17)$$

Fazendo:

$$\phi_l = \max\{\phi_1(I_E, \theta), 0\} \quad (4.18)$$

$$\phi_h = \min\{\phi_2(I_E, \theta), \pi\} \quad (4.19)$$

pode-se calcular a corrente média em S_1 utilizando:

$$I_{S_{1,P,avg}} = \frac{1}{2\pi} \int_{\phi_l}^{\phi_h} (i_x(\phi) - I_E) \Delta_P(\phi) d\phi. \quad (4.20)$$

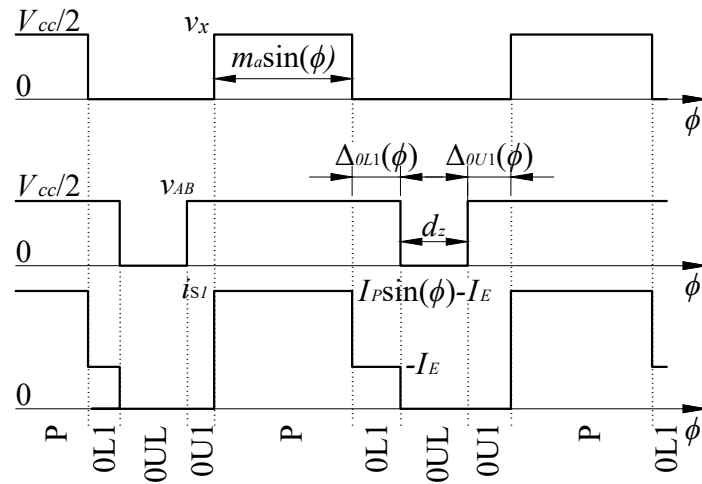
A solução da integral em (4.20) é dada por:

$$I_{S_{1,P,avg}} = \frac{m_a}{8\pi} \left[-I_p \text{sen}(2\phi - \theta) + 2I_p \phi \cos(\theta) + 4I_E \cos(\phi) \right] \Big|_{\phi_l}^{\phi_h}. \quad (4.21)$$

Para concluir o cálculo da corrente média em S_1 é necessário obter uma equação para a corrente média relativa ao estado 0L1. Nesse estado a corrente em S_1 é $-I_E$. Portanto, para que S_1 conduza, I_E deve ser negativa. Caso contrário, a corrente será conduzida por D_1 . Considerando a estratégia de modulação com sequência do tipo 1, a sucessão dos estados de condução pode ser observada na Figura 4.2. A razão cíclica dos estados 0L1 e 0U1 é a mesma por definição da estratégia de modulação e, para o semiciclo positivo de v_{ref} , pode ser calculada por:

$$\Delta_{0L1}(\phi) = \Delta_{0U1}(\phi) = \frac{1}{2} \left(\frac{V_E}{V_{cc}/2} - m_a \sin(\phi) \right) = \frac{1}{2} \left(\frac{V_E}{V_{cc}/2} - m_a \sin(\phi) \right). \quad (4.22)$$

Figura 4.2 – Detalhamento da forma de onda de corrente no dispositivo controlado S_1 com os respectivos estados de condução.



Fonte: Elaborada pelo autor.

Por questão de simetria da forma de onda, está sendo considerado que em um período de comutação são utilizados os estado 0L1 e 0U1 com a mesma duração. Porém, em situações de desequilíbrio do barramento CC o sistema de controle poderá requerer a utilização apenas de 0L1 ou 0U1 em um período de comutação. Caso essa situação perdure por vários períodos de comutação o estresse de corrente em S_1 poderá aumentar ou diminuir, dependendo do caso. De forma a dar maior flexibilidade na análise pode-se definir um fator de utilização dos estados 0L1 e 0U1. Considerando esse fator como sendo f_{0L1} , que $f_{0L1} = 0,5$ representa uma situação de uso balanceado dos estados 0L1 e 0U1 e que $f_{0U1} = 1 - f_{0L1}$, pode-se calcular a corrente média em S_1 devida ao estado 0L1 como:

$$I_{S1,0L1,avg} = \frac{1}{\pi} \int_0^{\pi} -I_E f_{0L1} \left(\frac{V_E}{V_{cc}/2} - m_a \sin(\phi) \right) d\phi, \quad \text{para } I_E < 0. \quad (4.23)$$

O resultado da integral de (4.23) é dado por:

$$I_{S1,0L1,avg} = I_E f_{0L1} \left(\frac{2m_a}{\pi} - \frac{V_E}{V_{cc}/2} \right), \quad \text{para } I_E < 0. \quad (4.24)$$

A corrente média em S_1 é obtida somando-se as parcelas relativas a cada estado de condução:

$$I_{S_1,avg} = I_{S_{1,P},avg} + I_{S_{1,0L1},avg}. \quad (4.25)$$

No caso da corrente eficaz os limites de integração são os mesmos, apenas a equação de cálculo a ser utilizada é (4.11). Para o estado P obtém-se:

$$I_{S_{1,P},rms} = \sqrt{\frac{1}{2\pi} \int_{\phi_l}^{\phi_h} [(i_x(\phi) - I_E)]^2 d(\phi) d\phi} \quad (4.26)$$

$$I_{S_{1,P},rms}^2 = \frac{m_a I_p}{24\pi} [-3I_p \cos(\phi - 2\theta) + I_p \cos(3\phi - 2\theta) + 6I_E \sin(2\phi - \theta) + \\ -12I_E \phi \cos(\theta) - 6(I_p + 2I_E^2/I_p) \cos(\phi)] \Big|_{\phi_l}^{\phi_h}. \quad (4.27)$$

Para o estado 0L1 a parcela da corrente eficaz é dada por:

$$I_{S_{1,0L1},rms} = \sqrt{\frac{1}{\pi} \int_0^\pi (-I_E)^2 f_{0L1} \left(\frac{V_E}{V_{cc}/2} - m_a \sin(\phi) \right) d\phi}, \quad \text{para } I_E < 0 \quad (4.28)$$

$$I_{S_{1,0L1},rms}^2 = I_E^2 f_{0L1} \left(\frac{V_E}{V_{cc}/2} - \frac{2m_a}{\pi} \right), \quad \text{para } I_E < 0. \quad (4.29)$$

O cálculo da corrente eficaz total em S_1 pode ser realizado utilizando-se:

$$I_{S_1,rms} = \sqrt{I_{S_{1,P},rms}^2 + I_{S_{1,0L1},rms}^2}. \quad (4.30)$$

Antes de apresentar o comportamento dos esforços de corrente no dispositivo semicondutor, é necessário fazer algumas definições adicionais. Os resultados foram normalizados em relação a I_p e a corrente do ESS foi mantida constante, sendo simuladas condições de recarga ($I_E > 0$) e de descarga ($I_E < 0$) do ESS. A corrente I_E , que resulta em potência do ESS igual à da porta CA, pode ser escrita como:

$$I_E = \frac{V_p}{2V_E} I_p. \quad (4.31)$$

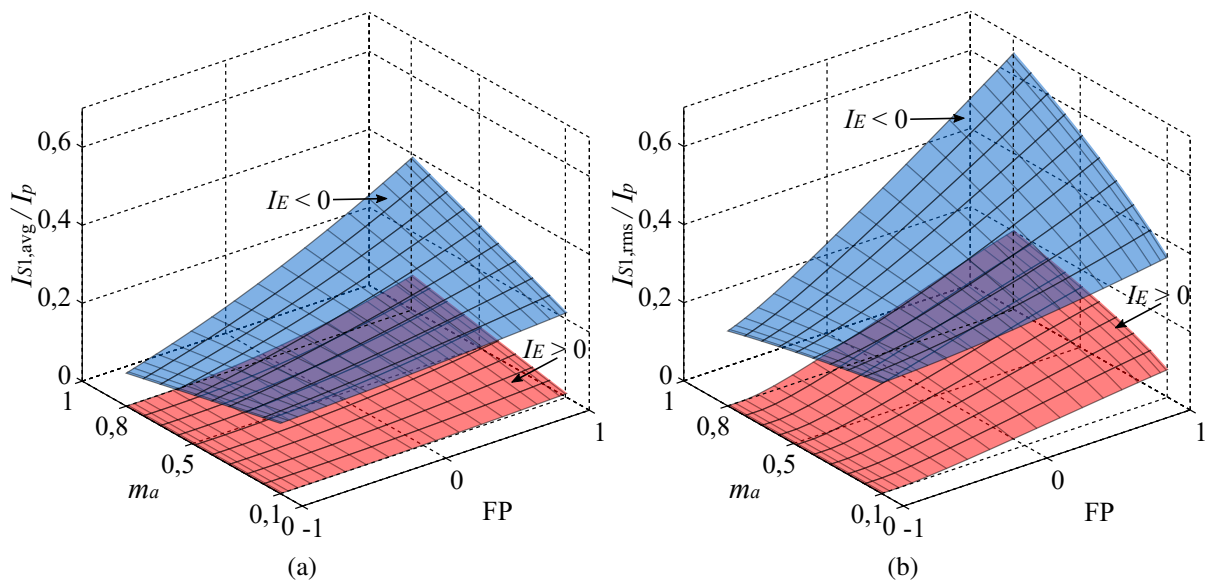
Nota-se que essa corrente é proporcional à I_p e depende da tensão de pico sintetizada pelo inversor e pela tensão do ESS. Esses valores são variáveis e incluí-los na análise torna mais difícil a interpretação dos resultados. A corrente máxima no ESS ocorre quando o ESS está com tensão mínima e, conforme (2.6), o limite inferior para essa tensão é V_p . Caso $V_E = V_p$, tem-se que $I_E = 0,5I_p$. Optou-se por considerar nas simulações $I_E = \pm 0,44I_p$, prevendo-se certa margem para as variações de V_p .

Os resultados apresentados nas figuras visam demonstrar o comportamento do estresse de corrente nos semicondutores frente à variações no índice de modulação e fator de potência.

Para a obtenção dos valores exatos das correntes média e eficaz em um dado ponto de operação, sugere-se a utilização das equações apresentadas ou simulações do conversor.

A Figura 4.3 apresenta resultados de simulação das correntes média e eficaz em S_1 . Nota-se que para $FP=1$ e ESS em recarga ($I_E < 0$) o estresse de corrente é máximo. Nessa condição a porta CC secundária possui corrente nominal fluindo do conversor para o ESS. Na porta CA a corrente é nominal e flui do conversor para a rede. Como se pode ver, ambas as portas operam com potência nominal, a qual deve ser fornecida pela porta CC principal. Essa condição pode não se verificar em algumas aplicações, como por exemplo em sistemas FV, onde a potência da porta CC principal é limitada pela potência do painel. Ainda considerando o exemplo, caso o ESS esteja sendo recarregado, a potência na porta CA deve diminuir e vice-versa. Portanto, o valor exato do máximo estresse de corrente em S_1 precisa ser avaliado para cada aplicação. Na próxima seção são apresentadas análises para dois casos de aplicação do conversor ANPC-3P.

Figura 4.3 – Correntes (a) média e (b) eficaz em S_1 normalizadas em relação a I_p e com $I_E = \pm 0,44I_p$. ESS em modo de descarga (vermelho) e recarga (azul) para $V_E/(V_{cc}/2) = 0,875$ ($d_z = 0,125$).



Fonte: Elaborada pelo autor.

4.3.1.2 Dispositivo semicondutor D_1

O diodo antiparalelo da chave S_1/D_1 conduzirá as correntes em sentido contrário, ou seja, as correntes negativas de S_1/D_1 . Os estados de condução utilizados garantem que apenas em P e 0L1 o diodo D_1 possa ser polarizado diretamente. Dessa forma, os resultados já obtidos para S_1 podem ser utilizados para D_1 , sendo apenas necessário alterar os limites de integração

de forma a refletir os intervalos em que a corrente é negativa. Os valores de ϕ_l e ϕ_h são os mesmos de S_1 . Para a corrente média pode-se escrever:

$$I_{D_{1,P},\text{avg}} = -\frac{m_a}{8\pi} \left\{ \begin{aligned} &[-I_p \sin(2\phi - \theta) + 2I_p \phi \cos(\theta) + 4I_E \cos(\phi)] \Big|_0^{\phi_l} + \\ &[-I_p \sin(2\phi - \theta) + 2I_p \phi \cos(\theta) + 4I_E \cos(\phi)] \Big|_{\phi_h}^{\pi} \end{aligned} \right\} \quad (4.32)$$

$$I_{D_{1,0L1},\text{avg}} = I_E f_{0L1} \left(\frac{V_E}{V_{cc}/2} - \frac{2m_a}{\pi} \right), \quad \text{para } I_E > 0. \quad (4.33)$$

O cálculo da corrente média total em D_1 é:

$$I_{D_1,\text{avg}} = I_{D_{1,P},\text{avg}} + I_{D_{1,0L1},\text{avg}}. \quad (4.34)$$

A corrente eficaz em D_1 segue o mesmo princípio e o resultado obtido é dado por:

$$I_{D_{1,P},\text{rms}}^2 = \frac{m_a I_p}{24\pi} \left\{ \begin{aligned} &[-3I_p \cos(\phi - 2\theta) + I_p \cos(3\phi - 2\theta) + 6I_E \sin(2\phi - \theta) + \\ &-12I_E \phi \cos(\theta) - 6(I_p + 2I_E^2/I_p) \cos(\phi)] \Big|_0^{\phi_l} \\ &[-3I_p \cos(\phi - 2\theta) + I_p \cos(3\phi - 2\theta) + 6I_E \sin(2\phi - \theta) + \\ &-12I_E \phi \cos(\theta) - 6(I_p + 2I_E^2/I_p) \cos(\phi)] \Big|_{\phi_h}^{\pi} \end{aligned} \right\} \quad (4.35)$$

$$I_{D_{1,0L1},\text{rms}}^2 = I_E^2 f_{0L1} \left(\frac{V_E}{V_{cc}/2} - \frac{2m_a}{\pi} \right), \quad \text{para } I_E > 0. \quad (4.36)$$

O cálculo da corrente eficaz total em D_1 pode ser realizado utilizando-se:

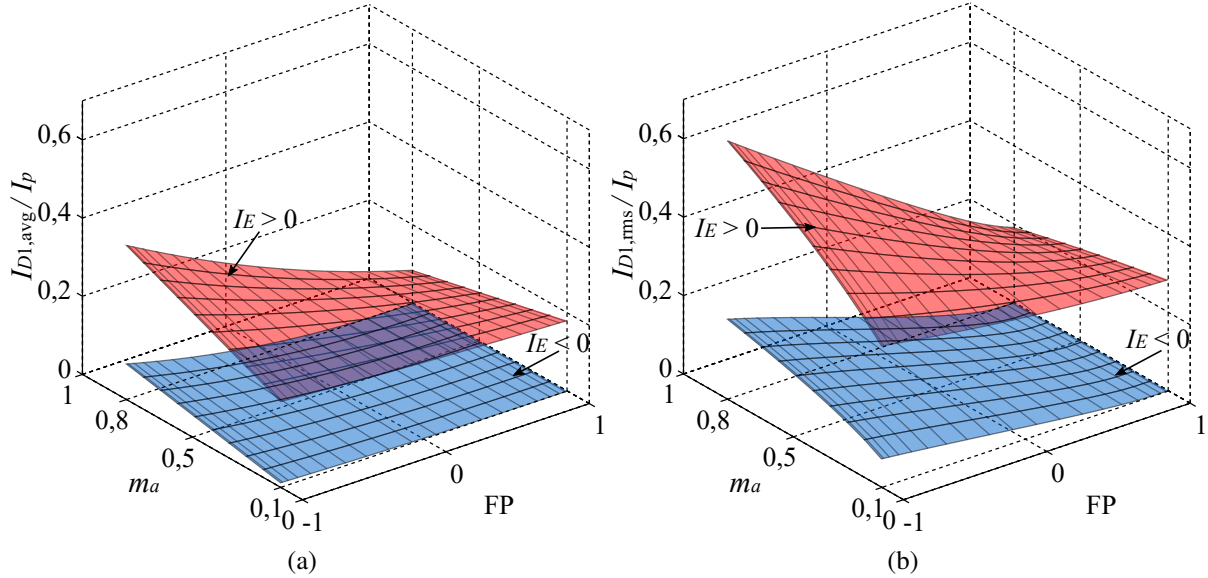
$$I_{D_1,\text{rms}} = \sqrt{I_{D_{1,P},\text{rms}}^2 + I_{D_{1,0L1},\text{rms}}^2}. \quad (4.37)$$

Os resultados obtidos para D_1 são apresentados na Figura 4.4. Para $FP=-1$ (potência ativa fluindo da rede para o conversor) e ESS em descarga o estresse de corrente é máximo. Essa condição é muito peculiar e difícil de ocorrer em aplicações práticas. Para que essa condição seja possível a fonte conectada à porta CC principal precisa absorver simultaneamente a potência do ESS e da porta CA. Como se pode ver, é uma condição pouco usual. Uma situação mais comum seria utilizar a potência da porta CA para carregar o ESS, como ocorre em aplicações de inversores conectados à rede ou durante a frenagem regenerativa de motores elétricos, por exemplo.

4.3.1.3 Dispositivo semiconductor S_2

De acordo com a estratégia de modulação adotada, S_2 é colocada em condução nos estados P, 0UL e 0U1. Para cada um desses estados é necessário calcular os intervalos de

Figura 4.4 – Correntes (a) média e (b) eficaz em D_1 normalizadas em relação a I_p e com $I_E = \pm 0,44I_p$. ESS em modo de descarga (vermelho) e recarga (azul) para $V_E/(V_{cc}/2) = 0,875$ ($d_z = 0,125$).



Fonte: Elaborada pelo autor.

integração e proceder o cálculo das correntes média e eficaz. A Tabela 2.5 traz as correntes em cada chave para cada estado de condução.

Considerando o estado P, para que a corrente em S_2 seja positiva, deve ser satisfeita a seguinte condição:

$$I_p \sin(\phi - \theta) > 0 \quad (4.38)$$

ou seja:

$$\max\{\theta, 0\} < \phi < \min\{\pi + \theta, \pi\}. \quad (4.39)$$

Os limites de integração são, portanto:

$$\phi_l = \max\{\theta, 0\} \quad (4.40)$$

$$\phi_h = \min\{\pi + \theta, \pi\}. \quad (4.41)$$

A corrente média relativa ao estado P é dada por:

$$I_{S_{2,P,avg}} = \frac{1}{2\pi} \int_{\phi_l}^{\phi_h} I_p \sin(\phi - \theta) \Delta_P(\phi) d\phi. \quad (4.42)$$

Cuja solução é:

$$I_{S_{2,P,avg}} = \frac{m_a I_p}{8\pi} [2\phi \cos(\theta) - \sin(2\phi - \theta)] \Big|_{\phi_l}^{\phi_h}. \quad (4.43)$$

Já no estado 0UL a corrente será positiva se:

$$I_p \operatorname{sen}(\phi - \theta) + I_E > 0. \quad (4.44)$$

Cabe observar que o estado 0UL ocorre em ambos os semiciclos da tensão de referência. Os ângulos ϕ_1 e ϕ_2 são calculados por (4.15) e (4.16), respectivamente. Assim, os limites de integração são dados por:

$$\phi_1(-I_E, \theta) < \phi < \phi_2(-I_E, \theta). \quad (4.45)$$

A corrente média relativa ao estado 0UL pode ser calculada através de (4.46) e sua solução é apresentada em (4.47).

$$I_{S_{2,0UL},\text{avg}} = \frac{1}{2\pi} \int_{\phi_1(-I_E, \theta)}^{\phi_2(-I_E, \theta)} \left(\frac{I_p \operatorname{sen}(\phi - \theta) + I_E}{2} \right) \left(1 - \frac{V_E}{V_{cc}/2} \right) d\phi \quad (4.46)$$

$$I_{S_{2,0UL},\text{avg}} = \frac{1 - V_E/(V_{cc}/2)}{4\pi} (-I_p \cos(\phi - \theta) + I_E \phi) \Big|_{\phi_1(-I_E, \theta)}^{\phi_2(-I_E, \theta)} \quad (4.47)$$

A última parcela do cálculo da corrente média em S_2 é relativa ao estado 0U1. Nesse estado a corrente é $i_x(\phi)$ e deve ser calculada em duas partes. No semiciclo positivo da tensão de referência os limites de integração são os mesmos obtidos para o estado P. Portanto, tem-se:

$$I'_{S_{2,0U1},\text{avg}} = \frac{1}{2\pi} \int_{\phi_l}^{\phi_h} I_p \operatorname{sen}(\phi - \theta) f_{0U1} \left(\frac{V_E}{V_{cc}/2} - m_a \operatorname{sen}(\phi) \right) d\phi. \quad (4.48)$$

No semiciclo negativo da tensão de referência os limites de integração são dados por:

$$\phi_{ln} = \begin{cases} \pi, & \text{se } \theta \geq 0 \\ 2\pi + \theta, & \text{caso contrário} \end{cases} \quad (4.49)$$

$$\phi_{hn} = \begin{cases} \pi + \theta, & \text{se } \theta \geq 0 \\ 2\pi, & \text{caso contrário} \end{cases} \quad (4.50)$$

$$I''_{S_{2,0U1},\text{avg}} = \frac{1}{2\pi} \int_{\phi_{ln}}^{\phi_{hn}} I_p \operatorname{sen}(\phi - \theta) f_{0U1} \left(\frac{V_E}{V_{cc}/2} + m_a \operatorname{sen}(\phi) \right) d\phi. \quad (4.51)$$

A solução de (4.48) e (4.51) é:

$$I_{S_{2,0U1},\text{avg}} = \frac{f_{0U1} I_p}{8\pi} \left\{ \left[m_a \operatorname{sen}(2\phi - \theta) - 2m_a \phi \cos(\theta) - 4 \left(\frac{V_E}{V_{cc}/2} \right) \cos(\phi - \theta) \right] \Big|_{\phi_l}^{\phi_h} + \left[2m_a \phi \cos(\theta) - m_a \operatorname{sen}(2\phi - \theta) - 4 \left(\frac{V_E}{V_{cc}/2} \right) \cos(\phi - \theta) \right] \Big|_{\phi_{ln}}^{\phi_{hn}} \right\}. \quad (4.52)$$

A corrente média em S_2 é dada pela soma das parcelas relativas a cada um dos estados de condução:

$$I_{S_2,\text{avg}} = I_{S_{2,P},\text{avg}} + I_{S_{2,0UL},\text{avg}} + I_{S_{2,0U1},\text{avg}}. \quad (4.53)$$

O cálculo da corrente eficaz segue a mesma metodologia utilizada para S_1 . Para o estado P tem-se:

$$I_{S_{2,P},\text{rms}} = \sqrt{\frac{1}{2\pi} \int_{\phi_l}^{\phi_h} [I_p \text{sen}(\phi - \theta)]^2 d(\phi) d\phi} \quad (4.54)$$

$$I_{S_{2,P},\text{rms}}^2 = \frac{m_a I_p^2}{24\pi} [\cos(3\phi - 2\theta) - 3\cos(\phi - 2\theta) - 6\cos(\phi)] \Big|_{\phi_l}^{\phi_h} \quad (4.55)$$

Para o estado 0UL a integral a ser solucionada é:

$$I_{S_{2,0UL},\text{rms}} = \sqrt{\frac{1}{2\pi} \int_{\phi_1(-I_E,\theta)}^{\phi_2(-I_E,\theta)} \left(\frac{I_p \text{sen}(\phi - \theta) + I_E}{2} \right)^2 \left(1 - \frac{V_E}{V_{cc}/2} \right) d\phi} \quad (4.56)$$

$$I_{S_{2,0UL},\text{rms}}^2 = \frac{1 - V_E/(V_{cc}/2)}{8\pi} [2(I_p^2 + 2I_E^2)(\phi - \theta) - I_p^2 \text{sen}(2\phi - 2\theta) - 8I_p I_E \cos(\phi - \theta)] \Big|_{\phi_1(-I_E,\theta)}^{\phi_2(-I_E,\theta)} \quad (4.57)$$

Para o estado 0U1 são solucionadas duas integrais, uma para o semiciclo positivo de v_{ref} e outra para o semiciclo negativo, respectivamente:

$$I_{S'_{2,0U1},\text{rms}} = \sqrt{\frac{1}{2\pi} \int_{\phi_l}^{\phi_h} I_p^2 \text{sen}^2(\phi - \theta) f_{0U1} \left(\frac{V_E}{V_{cc}/2} - m_a \text{sen}(\phi) \right) d\phi} \quad (4.58)$$

$$I_{S''_{2,0U1},\text{rms}} = \sqrt{\frac{1}{2\pi} \int_{\phi_{ln}}^{\phi_{hm}} I_p^2 \text{sen}^2(\phi - \theta) f_{0U1} \left(\frac{V_E}{V_{cc}/2} + m_a \text{sen}(\phi) \right) d\phi}. \quad (4.59)$$

Cuja solução completa é dada por:

$$I_{S_{2,0U1},\text{rms}}^2 = \frac{f_{0U1} I_p^2}{24\pi} \left\{ [3m_a \cos(\phi - 2\theta) - m_a \cos(3\phi - 2\theta) + 6m_a \cos(\phi) - 3 \text{sen}(2\phi - 2\theta) + 3 \left(1 - \frac{V_E}{V_{cc}/2} \right) \text{sen}(2\phi - 2\theta) - 6\phi \left(1 - \frac{V_E}{V_{cc}/2} \right) + 6\phi] \Big|_{\phi_l}^{\phi_h} + [-3m_a \cos(\phi - 2\theta) + m_a \cos(3\phi - 2\theta) - 6m_a \cos(\phi) - 3 \text{sen}(2\phi - 2\theta) + 3 \left(1 - \frac{V_E}{V_{cc}/2} \right) \text{sen}(2\phi - 2\theta) - 6\phi \left(1 - \frac{V_E}{V_{cc}/2} \right) + 6\phi] \Big|_{\phi_{ln}}^{\phi_{hm}} \right\}. \quad (4.60)$$

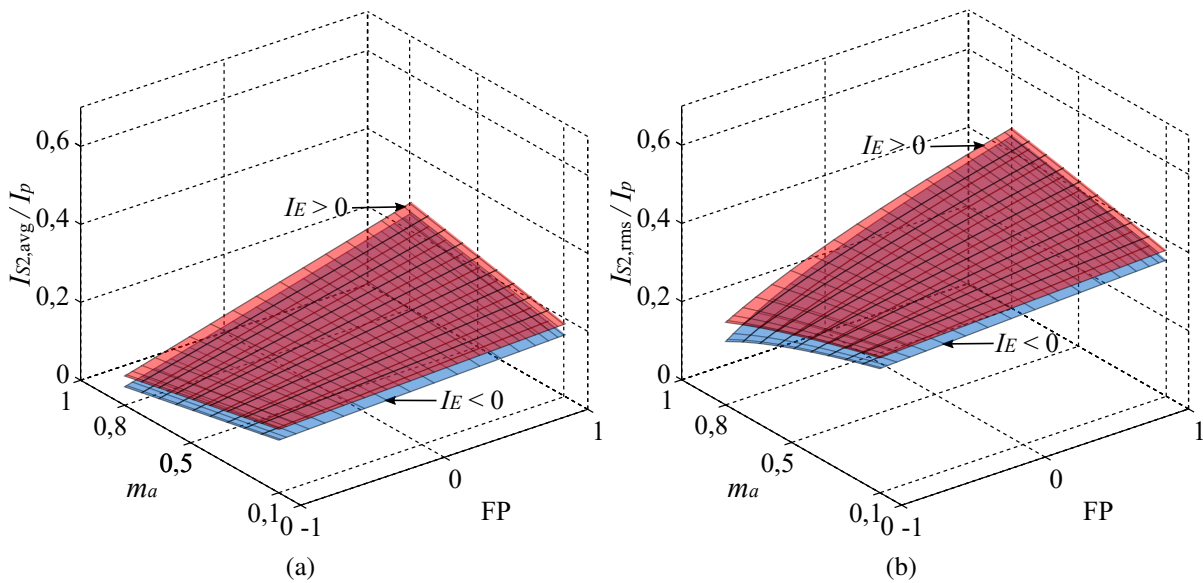
A corrente eficaz em S_2 é, por fim, dada pela contribuição das parcelas relativas a cada um dos estados de condução.

$$I_{S_2,\text{rms}} = \sqrt{I_{S_{2,P},\text{rms}}^2 + I_{S_{2,0UL},\text{rms}}^2 + I_{S_{2,0U1},\text{rms}}^2}. \quad (4.61)$$

A Figura 4.5 apresenta os resultados de simulação das correntes média e eficaz em S_2 para diversos pontos de operação do inversor. O ponto de maior estresse de corrente ocorre para $FP=1$ e potência nominal na porta CA e ESS em recarga com potência nominal. O estresse de

corrente para ESS em recarga ou descarga apresenta a mesma tendência e valores próximos. Isso ocorre, pois, conforme apresentado na Tabela 2.5, o dispositivo S_2 fica sujeito à corrente i_x no estado P e $0U1$ e $(i_x + I_E)/2$ no estado $0UL$. Como se pode ver, a única diferença está no estado $0UL$, que dependendo da polaridade de I_E poderá aumentar ou diminuir o estresse de corrente. Como o estado $0UL$ apresenta curta duração e há o paralelismo dos caminhos de condução que causa a divisão das correntes, a diferença dos resultados para o modo de recarga e de descarga é pequena.

Figura 4.5 – Correntes (a) média e (b) eficaz em S_2 normalizadas em relação a I_p e com $I_E = \pm 0,44I_p$. ESS em modo de descarga (vermelho) e recarga (azul) para $V_E/(V_{cc}/2) = 0,875$ ($d_z = 0,125$).



Fonte: Elaborada pelo autor.

4.3.1.4 Dispositivo semicondutor D_2

O cálculo da corrente média e eficaz no diodo D_2 é realizado utilizando as soluções já apresentadas para S_2 apenas com o ajuste nos intervalos de integração nos quais a corrente é negativa. As correntes médias para cada um dos estados de condução podem ser calculadas por:

$$I_{D_{2,P,avg}} = -\frac{m_a I_p}{8\pi} \left\{ [2\phi \cos(\theta) - \text{sen}(2\phi - \theta)] \Big|_0^{\phi_1} + [2\phi \cos(\theta) - \text{sen}(2\phi - \theta)] \Big|_{\phi_2}^{\pi} \right\} \quad (4.62)$$

$$I_{D_{2,0UL,avg}} = -\frac{dz}{4\pi} (-I_p \cos(\phi - \theta) + I_E \phi) \Big|_{\phi_2(-I_E, \theta)}^{\phi_1(-I_E, \theta)} \quad (4.63)$$

$$I_{D_{2,0U1},avg} = -\frac{f_{0U1}I_p}{8\pi} \left\{ \begin{aligned} & \left[m_a \sin(2\phi - \theta) - 2m_a\phi \cos(\theta) - 4 \left(\frac{V_E}{V_{cc}/2} \right) \cos(\phi - \theta) \right] \Big|_0^{\phi_l} + \\ & \left[m_a \sin(2\phi - \theta) - 2m_a\phi \cos(\theta) - 4 \left(\frac{V_E}{V_{cc}/2} \right) \cos(\phi - \theta) \right] \Big|_{\phi_h}^{\pi} + \\ & \left[2m_a\phi \cos(\theta) - m_a \sin(2\phi - \theta) - 4 \left(\frac{V_E}{V_{cc}/2} \right) \cos(\phi - \theta) \right] \Big|_{\pi}^{\phi_{ln}} + \\ & \left[2m_a\phi \cos(\theta) - m_a \sin(2\phi - \theta) - 4 \left(\frac{V_E}{V_{cc}/2} \right) \cos(\phi - \theta) \right] \Big|_{\phi_{hn}}^{2\pi} \end{aligned} \right\}. \quad (4.64)$$

O cálculo da corrente média total em D_2 é:

$$I_{D_2,avg} = I_{D_{2,P},avg} + I_{D_{2,0UL},avg} + I_{D_{2,0U1},avg}. \quad (4.65)$$

Por outro lado, o cálculo da corrente eficaz em D_2 pode ser realizado através de:

$$I_{D_{2,P},rms}^2 = \frac{m_a I_p^2}{24\pi} \left\{ \begin{aligned} & [\cos(3\phi - 2\theta) - 3\cos(\phi - 2\theta) - 6\cos(\phi)] \Big|_0^{\phi_l} \\ & [\cos(3\phi - 2\theta) - 3\cos(\phi - 2\theta) - 6\cos(\phi)] \Big|_{\phi_h}^{\pi} \end{aligned} \right\} \quad (4.66)$$

$$I_{D_{2,0UL},rms}^2 = \frac{1 - V_E/(V_{cc}/2)}{8\pi} [2(I_p^2 + 2I_E^2)(\phi - \theta) - I_p^2 \sin(2\phi - 2\theta) - 8I_p I_E \cos(\phi - \theta)] \Big|_{\phi_2(-I_E, \theta)}^{\phi_1(-I_E, \theta)} \quad (4.67)$$

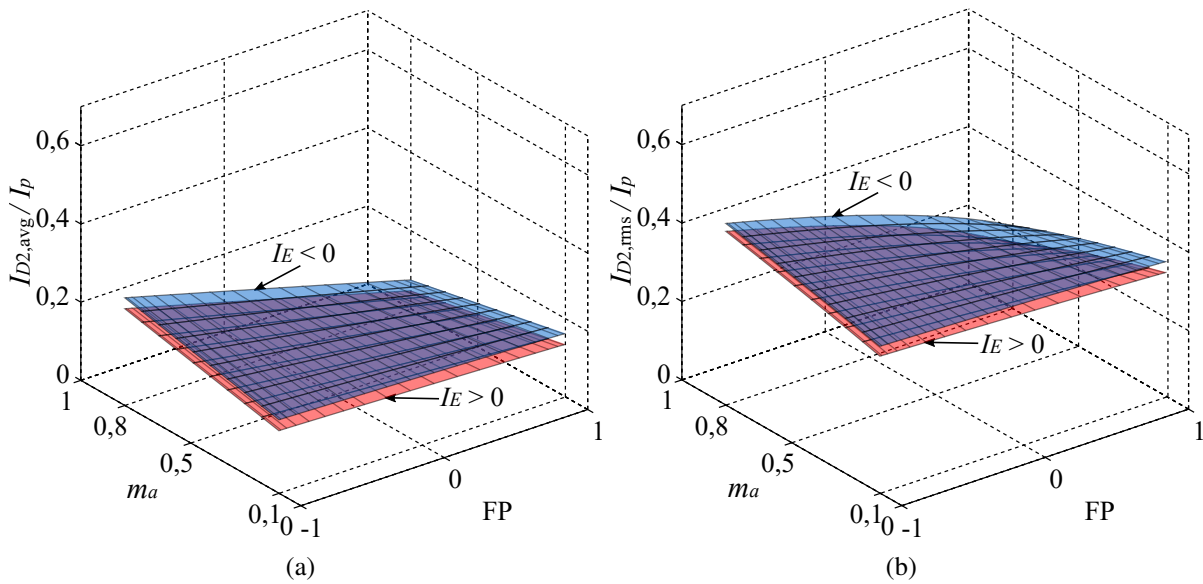
$$I_{D_{2,0U1},rms}^2 = \frac{f_{0U1}I_p^2}{24\pi} \left\{ \begin{aligned} & [3m_a \cos(\phi - 2\theta) - m_a \cos(3\phi - 2\theta) + 6m_a \cos(\phi) - 3\sin(2\phi - 2\theta) + \\ & 3 \left(1 - \frac{V_E}{V_{cc}/2} \right) \sin(2\phi - 2\theta) - 6\phi \left(1 - \frac{V_E}{V_{cc}/2} \right) + 6\phi] \Big|_0^{\phi_l} + \\ & [3m_a \cos(\phi - 2\theta) - m_a \cos(3\phi - 2\theta) + 6m_a \cos(\phi) - 3\sin(2\phi - 2\theta) + \\ & 3 \left(1 - \frac{V_E}{V_{cc}/2} \right) \sin(2\phi - 2\theta) - 6\phi \left(1 - \frac{V_E}{V_{cc}/2} \right) + 6\phi] \Big|_{\phi_h}^{\pi} + \\ & [-3m_a \cos(\phi - 2\theta) + m_a \cos(3\phi - 2\theta) - 6m_a \cos(\phi) - 3\sin(2\phi - 2\theta) + \\ & 3 \left(1 - \frac{V_E}{V_{cc}/2} \right) \sin(2\phi - 2\theta) - 6\phi \left(1 - \frac{V_E}{V_{cc}/2} \right) + 6\phi] \Big|_{\pi}^{\phi_{ln}} + \\ & [-3m_a \cos(\phi - 2\theta) + m_a \cos(3\phi - 2\theta) - 6m_a \cos(\phi) - 3\sin(2\phi - 2\theta) + \\ & 3 \left(1 - \frac{V_E}{V_{cc}/2} \right) \sin(2\phi - 2\theta) - 6\phi \left(1 - \frac{V_E}{V_{cc}/2} \right) + 6\phi] \Big|_{\phi_{hn}}^{2\pi} \end{aligned} \right\}. \quad (4.68)$$

O cálculo da corrente eficaz total em D_2 pode ser realizado utilizando-se:

$$I_{D_2,rms} = \sqrt{I_{D_{2,P},rms}^2 + I_{D_{2,0UL},rms}^2 + I_{D_{2,0U1},rms}^2} \quad (4.69)$$

Na Figura 4.6 são apresentados os resultados de simulação para as correntes média e eficaz em D_2 . Os resultados obtidos podem ser analisados de forma similar a que foi feita para S_2 . Nesse caso o maior estresse ocorre para ESS em recarga devido ao diodo conduzir a corrente I_E negativa em 0UL.

Figura 4.6 – Correntes (a) média e (b) eficaz em D_2 normalizadas em relação a I_p e com $I_E = \pm 0,44I_p$. ESS em modo de descarga (vermelho) e recarga (azul) para $V_E/(V_{cc}/2) = 0,875$ ($d_z = 0,125$).



Fonte: Elaborada pelo autor.

4.3.1.5 Dispositivo semiconductor S_6

O dispositivo S_6 é colocado em condução nos estados P, 0UL e 0L1. No estado P a corrente nesse dispositivo é I_E . Para $I_E > 0$ a corrente é conduzida por S_6 . A corrente média relativa ao estado P é dada por:

$$I_{S_{6,P},avg} = \frac{1}{2\pi} \int_0^\pi I_E \Delta_P(\phi) d\phi, \quad \text{para } I_E > 0 \quad (4.70)$$

$$I_{S_{6,P},avg} = \frac{I_E m_a}{\pi}, \quad \text{para } I_E > 0. \quad (4.71)$$

Para o estado 0UL a corrente é a mesma já calculada para o dispositivo controlado S_2 e ocorre simultaneamente. Dessa forma, o resultado obtido anteriormente pode ser utilizado:

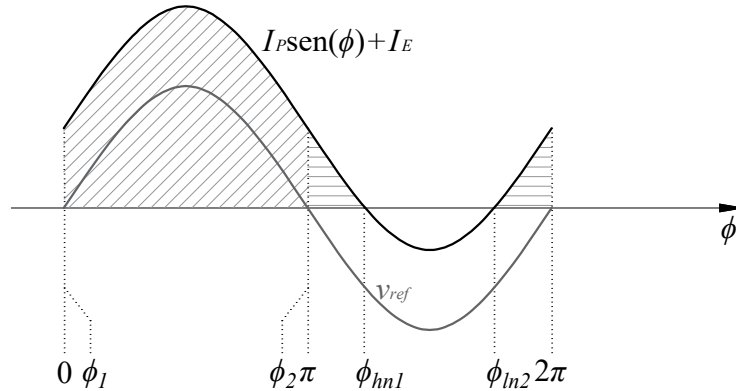
$$I_{S_{6,P},\text{avg}} = \frac{dz}{4\pi} (-I_p \cos(\phi - \theta) + I_E \phi) \Big|_{\phi_1(-I_E,\theta)}^{\phi_2(-I_E,\theta)} \quad (4.72)$$

O estado 0L1 ocorre para ambos os semiciclos e é preciso avaliar em quais intervalos a corrente em S_6 é positiva. Para que S_6 conduza a corrente em 0L1 a seguinte condição deve ser satisfeita:

$$I_p \text{sen}(\phi - \theta) + I_E > 0. \quad (4.73)$$

Os ângulos relacionados aos intervalos de integração podem ser melhor compreendidos observado-se a Figura 4.7.

Figura 4.7 – Detalhamento das formas de onda para obtenção do intervalo de integração do estado 0L1 para S_6 . Situação hipotética com $\theta = 0$ rad e $I_E > 0$.



Fonte: Elaborada pelo autor.

No semiciclo positivo da tensão de referência os limites são dados por:

$$\phi_{lp} = \max \{ \phi_1(-I_E, \theta), 0 \} \quad (4.74)$$

$$\phi_{hp} = \min \{ \phi_2(-I_E, \theta), \pi \} > 0. \quad (4.75)$$

A parcela relativa ao semiciclo positivo pode ser calculada por:

$$I_{S'_{6,0L1},\text{avg}} = \frac{1}{2\pi} \int_{\phi_{lp}}^{\phi_{hp}} (I_p \text{sen}(\phi - \theta) + I_E) f_{0L1} \left(\frac{V_E}{V_{cc}/2} - m_a \text{sen}(\phi) \right) d\phi. \quad (4.76)$$

No semiciclo negativo da tensão de referência há dois intervalos de integração possíveis e que dependem das correntes envolvidas. Esses intervalos são calculados por:

$$\phi_{hn1} = \begin{cases} \pi - \arcsen(-I_E/I_p) + \theta, & \text{se } -\arcsen(-I_E/I_p) + \theta > 0 \\ \pi, & \text{caso contrário} \end{cases} \quad (4.77)$$

$$\phi_{ln_2} = \begin{cases} 2\pi + \arcsen(-I_E/I_p) + \theta, & \text{se } \arcsen(-I_E/I_p) + \theta < 0 \\ 2\pi, & \text{caso contrário.} \end{cases} \quad (4.78)$$

As integrais a serem solucionadas para obtenção da corrente média no semiciclo negativo são:

$$I_{S_{6,0L1},avg}'' = \frac{1}{2\pi} \int_{\pi}^{\phi_{hm_1}} (I_p \sen(\phi - \theta) + I_E) f_{0L1} \left(\frac{V_E}{V_{cc}/2} + m_a \sen(\phi) \right) d\phi \quad (4.79)$$

$$I_{S_{6,0L1},avg}''' = \frac{1}{2\pi} \int_{\phi_{ln_2}}^{2\pi} (I_p \sen(\phi - \theta) + I_E) f_{0L1} \left(\frac{V_E}{V_{cc}/2} + m_a \sen(\phi) \right) d\phi. \quad (4.80)$$

A solução das integrais traz a terceira parcela para o cálculo da corrente média em S_6 :

$$I_{S_{6,0L1},avg} = \frac{f_{0L1}}{8\pi} \left\{ \begin{aligned} & \left[I_p m_a \sen(2\phi - \theta) - 4I_p \left(\frac{V_E}{V_{cc}/2} \right) \cos(\phi - \theta) + \right. \\ & \quad \left. - 2\phi \left[m_a I_p \cos(\theta) - 2I_E \left(\frac{V_E}{V_{cc}/2} \right) \right] + 4I_E m_a \cos(\phi) \right] \Big|_{\phi_{lp}}^{\phi_{hp}} + \\ & \left[-I_p m_a \sen(2\phi - \theta) - 4I_p \left(\frac{V_E}{V_{cc}/2} \right) \cos(\phi - \theta) + \right. \\ & \quad \left. + 2\phi \left[m_a I_p \cos(\theta) + 2I_E \left(\frac{V_E}{V_{cc}/2} \right) \right] - 4I_E m_a \cos(\phi) \right] \Big|_{\pi}^{\phi_{hm_1}} + \\ & \left[-I_p m_a \sen(2\phi - \theta) - 4I_p \left(\frac{V_E}{V_{cc}/2} \right) \cos(\phi - \theta) + \right. \\ & \quad \left. + 2\phi \left[m_a I_p \cos(\theta) + 2I_E \left(\frac{V_E}{V_{cc}/2} \right) \right] - 4I_E m_a \cos(\phi) \right] \Big|_{\phi_{ln_2}}^{2\pi} \end{aligned} \right\}. \quad (4.81)$$

Somando-se as parcelas referentes a cada um dos estados de condução a corrente média em S_6 é obtida:

$$I_{S_6,avg} = I_{S_{6,P},avg} + I_{S_{6,0UL},avg} + I_{S_{6,0L1},avg}. \quad (4.82)$$

Para a obtenção da corrente eficaz as soluções para as integrais de cada um dos estados de condução é apresentada a seguir. Para o estado P tem-se:

$$I_{S_{6,P},rms}^2 = \frac{1}{2\pi} \int_0^{\pi} I_E^2 d(\phi) d\phi, \quad \text{para } I_E > 0 \quad (4.83)$$

$$I_{S_{6,P},rms}^2 = \frac{I_E^2 m_a}{\pi}, \quad \text{para } I_E > 0. \quad (4.84)$$

A parcela da corrente eficaz relacionada ao estado 0UL é mesma que já foi calculada para S_2 cujo resultado foi apresentado em (4.57). O resultado obtido é:

$$I_{S_{6,0UL},rms}^2 = \frac{1 - V_E/(V_{cc}/2)}{8\pi} \left[2(I_p^2 + 2I_E^2)(\phi - \theta) - I_p^2 \sen(2\phi - 2\theta) - \right. \\ \left. 8I_p I_E \cos(\phi - \theta) \right] \Big|_{\phi_1(-I_E, \theta)}^{\phi_2(-I_E, \theta)} \quad (4.85)$$

Por sua vez, a corrente do estado 0L1 necessita de três integrais para ser calculada:

$$I_{S_{6,0L1},rms}^2 = \frac{1}{2\pi} \int_{\phi_{lp}}^{\phi_{hp}} (I_p \sin(\phi - \theta) + I_E)^2 f_{0L1} \left(\frac{V_E}{V_{cc}/2} - m_a \sin(\phi) \right) d\phi \quad (4.86)$$

$$I_{S_{6,0L1},rms}^2 = \frac{1}{2\pi} \int_{\phi_{ln1}}^{\phi_{hm1}} (I_p \sin(\phi - \theta) + I_E)^2 f_{0L1} \left(\frac{V_E}{V_{cc}/2} + m_a \sin(\phi) \right) d\phi \quad (4.87)$$

$$I_{S_{6,0L1},rms}^2 = \frac{1}{2\pi} \int_{\phi_{ln2}}^{\phi_{hm2}} (I_p \sin(\phi - \theta) + I_E)^2 f_{0L1} \left(\frac{V_E}{V_{cc}/2} + m_a \sin(\phi) \right) d\phi. \quad (4.88)$$

A solução geral é dada por:

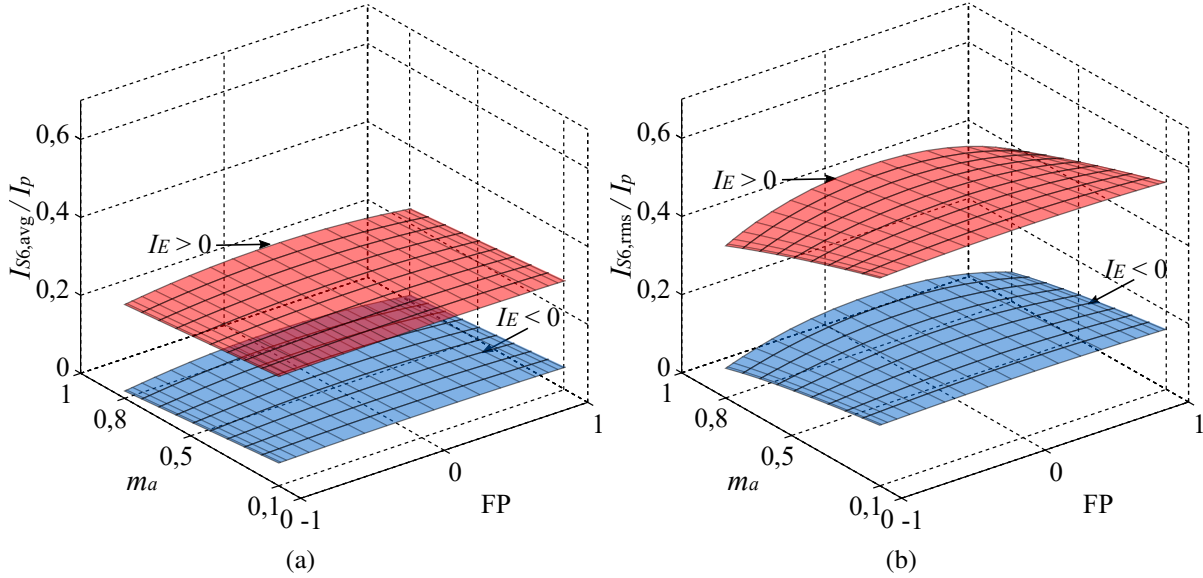
$$\begin{aligned} I_{S_{6,0L1},rms}^2 = \frac{f_{0L1}}{24\pi} \{ & [-I_p^2 m_a \cos(3\phi - 2\theta) + 6I_E I_p m_a \sin(2\phi - \theta) + \\ & - 3I_p^2 \left(\frac{V_E}{V_{cc}/2} \right) \sin(2\phi - 2\theta) - 24I_E I_p \left(\frac{V_E}{V_{cc}/2} \right) \cos(\phi - \theta) + \\ & 3m_a I_p^2 \cos(\phi - 2\theta) + 6m_a (I_p^2 + 2I_E^2) \cos(\phi) + \\ & - 6\phi \left(2I_p I_E m_a \cos(\theta) - I_p^2 \left(\frac{V_E}{V_{cc}/2} \right) - 2I_E^2 \left(\frac{V_E}{V_{cc}/2} \right) \right) \Big] \Big|_{\phi_{lp}}^{\phi_{hp}} + \\ & [I_p^2 m_a \cos(3\phi - 2\theta) - 6I_E I_p m_a \sin(2\phi - \theta) + \\ & - 3I_p^2 \left(\frac{V_E}{V_{cc}/2} \right) \sin(2\phi - 2\theta) - 24I_E I_p \left(\frac{V_E}{V_{cc}/2} \right) \cos(\phi - \theta) + \\ & - 3m_a I_p^2 \cos(\phi - 2\theta) - 6m_a (I_p^2 + 2I_E^2) \cos(\phi) + \\ & 6\phi \left(2I_p I_E m_a \cos(\theta) + I_p^2 \left(\frac{V_E}{V_{cc}/2} \right) + 2I_E^2 \left(\frac{V_E}{V_{cc}/2} \right) \right) \Big] \Big|_{\phi_{ln2}}^{\phi_{hm2}} + \\ & [I_p^2 m_a \cos(3\phi - 2\theta) - 6I_E I_p m_a \sin(2\phi - \theta) + \\ & - 3I_p^2 \left(\frac{V_E}{V_{cc}/2} \right) \sin(2\phi - 2\theta) - 24I_E I_p \left(\frac{V_E}{V_{cc}/2} \right) \cos(\phi - \theta) + \\ & - 3m_a I_p^2 \cos(\phi - 2\theta) - 6m_a (I_p^2 + 2I_E^2) \cos(\phi) + \\ & 6\phi \left(2I_p I_E m_a \cos(\theta) + I_p^2 \left(\frac{V_E}{V_{cc}/2} \right) + 2I_E^2 \left(\frac{V_E}{V_{cc}/2} \right) \right) \Big] \Big|_{\phi_{ln2}}^{\phi_{hm2}} \}. \end{aligned} \quad (4.89)$$

A corrente eficaz total em S_6 é dada por:

$$I_{S_6,rms} = \sqrt{I_{S_{6,P},rms}^2 + I_{S_{6,0UL},rms}^2 + I_{S_{6,0L1},rms}^2}. \quad (4.90)$$

A Figura 4.8 traz os resultados de simulação para as correntes média e eficaz em S_6 . Nota-se que ambas as superfícies são quase planas, ou seja, há uma grande dependência da corrente I_E e menor dependência das demais variáveis. O estresse de corrente é maior quando o ESS está em descarga e pequeno para o modo de recarga. Isso é relativamente simples de se compreender através da análise da Tabela 2.5. No estado P a corrente em S_6 é I_E , para 0L1 é $i_x + I_E$ e para 0UL é $(i_x + I_E)/2$. A corrente I_E positiva (ESS em descarga) está presente em todos os estados de condução.

Figura 4.8 – Correntes (a) média e (b) eficaz em S_6 normalizadas em relação a I_p e com $I_E = \pm 0,44I_p$. ESS em modo de descarga (vermelho) e recarga (azul) para $V_E/(V_{cc}/2) = 0,875$ ($d_z = 0,125$).



Fonte: Elaborada pelo autor.

4.3.1.6 Dispositivo semiconductor D_6

O cálculo das correntes média e eficaz no diodo D_6 é similar ao de S_6 , apenas considerando-se os intervalos de corrente negativa. Para a corrente média, no estado P tem-se:

$$I_{D_{6,P},avg} = \frac{I_E}{2\pi} \int_0^\pi m_a \text{sen}(\phi) d\phi = \frac{I_E m_a}{\pi}, \text{ para } I_E < 0. \quad (4.91)$$

Para o estado 0UL o resultado é o mesmo que foi apresentado para o diodo D_2 :

$$I_{D_{6,0UL},avg} = -\frac{dz}{4\pi} (-I_p \cos(\phi - \theta) + I_E \phi) \Big|_{\phi_2(-I_E, \theta)}^{\phi_1(-I_E, \theta)} \quad (4.92)$$

No caso do estado 0L1, no semiciclo positivo da tensão de referência são necessários dois intervalos de integração e no semiciclo negativo apenas um. Por esse motivo, é necessário encontrar o intervalo de integração a ser utilizado no semiciclo negativo, cujos limites são:

$$\phi_{dnl} = \max \{ \pi - \arcsen(-I_E/I_p) + \theta, \pi \} \quad (4.93)$$

$$\phi_{dnh} = \min \{ 2\pi + \arcsen(-I_E/I_p) + \theta, 2\pi \} \quad (4.94)$$

Para o cálculo da corrente média relativa ao estado 0L1 pode-se utilizar a seguinte equação:

$$\begin{aligned}
 I_{D_{6,0L1},avg} = \frac{f_{0L1}}{8\pi} \left\{ \right. & \left[I_p m_a \sin(2\phi - \theta) - 4I_p \left(\frac{V_E}{V_{cc}/2} \right) \cos(\phi - \theta) + \right. \\
 & \left. - 2\phi \left[m_a I_p \cos(\theta) - 2I_E \left(\frac{V_E}{V_{cc}/2} \right) \right] + 4I_E m_a \cos(\phi) \right] \Big|_0^{\phi_{lp}} + \\
 & \left[I_p m_a \sin(2\phi - \theta) - 4I_p \left(\frac{V_E}{V_{cc}/2} \right) \cos(\phi - \theta) + \right. \\
 & \left. - 2\phi \left[m_a I_p \cos(\theta) - 2I_E \left(\frac{V_E}{V_{cc}/2} \right) \right] + 4I_E m_a \cos(\phi) \right] \Big|_{\phi_{np}}^{\pi} + \\
 & \left[-I_p m_a \sin(2\phi - \theta) - 4I_p \left(\frac{V_E}{V_{cc}/2} \right) \cos(\phi - \theta) + \right. \\
 & \left. + 2\phi \left[m_a I_p \cos(\theta) + 2I_E \left(\frac{V_E}{V_{cc}/2} \right) \right] - 4I_E m_a \cos(\phi) \right] \Big|_{\phi_{dnl}}^{\phi_{dnh}} \left. \right\}. \tag{4.95}
 \end{aligned}$$

A corrente média total em D_6 é dada por:

$$I_{D_6,avg} = I_{D_{6,P},avg} + I_{D_{6,0UL},avg} + I_{D_{6,0L1},avg}. \tag{4.96}$$

Por fim, a solução da corrente eficaz em S_6 é aproveitada para o cálculo da corrente eficaz em D_6 com o devido ajuste nos limites de integração. Os resultados para os estados P, 0UL e 0L1 são, respectivamente:

$$I_{D_{6,P},rms}^2 = \frac{I_E^2}{2\pi} \int_0^\pi m_a \sin(\phi) d\phi = \frac{I_E^2 m_a}{\pi}, \text{ para } I_E < 0 \tag{4.97}$$

$$\begin{aligned}
 I_{D_{6,0UL},rms}^2 = \frac{1 - V_E/(V_{cc}/2)}{8\pi} \left[2(I_p^2 + 2I_E^2)(\phi - \theta) - I_p^2 \sin(2\phi - 2\theta) - \right. \\
 \left. 8I_p I_E \cos(\phi - \theta) \right] \Big|_{\phi_2(-I_E, \theta)}^{\phi_1(-I_E, \theta)} \tag{4.98}
 \end{aligned}$$

$$\begin{aligned}
I_{D_{6,0L1},rms}^2 = \frac{f_{0L1}}{24\pi} \{ & [-I_p^2 m_a \cos(3\phi - 2\theta) + 6I_E I_p m_a \sin(2\phi - \theta) + \\
& - 3I_p^2 \left(\frac{V_E}{V_{cc}/2}\right) \sin(2\phi - 2\theta) - 24I_E I_p \left(\frac{V_E}{V_{cc}/2}\right) \cos(\phi - \theta) + \\
& 3m_a I_p^2 \cos(\phi - 2\theta) + 6m_a (I_p^2 + 2I_E^2) \cos(\phi) + \\
& - 6\phi \left(2I_p I_E m_a \cos(\theta) - I_p^2 \left(\frac{V_E}{V_{cc}/2}\right) - 2I_E^2 \left(\frac{V_E}{V_{cc}/2}\right) \right) \Big|_0^{\phi_{lp}} + \\
& [-I_p^2 m_a \cos(3\phi - 2\theta) + 6I_E I_p m_a \sin(2\phi - \theta) + \\
& - 3I_p^2 \left(\frac{V_E}{V_{cc}/2}\right) \sin(2\phi - 2\theta) - 24I_E I_p \left(\frac{V_E}{V_{cc}/2}\right) \cos(\phi - \theta) + \\
& 3m_a I_p^2 \cos(\phi - 2\theta) + 6m_a (I_p^2 + 2I_E^2) \cos(\phi) + \\
& - 6\phi \left(2I_p I_E m_a \cos(\theta) - I_p^2 \left(\frac{V_E}{V_{cc}/2}\right) - 2I_E^2 \left(\frac{V_E}{V_{cc}/2}\right) \right) \Big|_{\pi}^{\phi_{hp}} + \\
& [I_p^2 m_a \cos(3\phi - 2\theta) - 6I_E I_p m_a \sin(2\phi - \theta) + \\
& - 3I_p^2 \left(\frac{V_E}{V_{cc}/2}\right) \sin(2\phi - 2\theta) - 24I_E I_p \left(\frac{V_E}{V_{cc}/2}\right) \cos(\phi - \theta) + \\
& - 3m_a I_p^2 \cos(\phi - 2\theta) - 6m_a (I_p^2 + 2I_E^2) \cos(\phi) + \\
& 6\phi \left(2I_p I_E m_a \cos(\theta) + I_p^2 \left(\frac{V_E}{V_{cc}/2}\right) + 2I_E^2 \left(\frac{V_E}{V_{cc}/2}\right) \right) \Big|_{\phi_{dnl}}^{\phi_{dnh}} \}.
\end{aligned} \tag{4.99}$$

A corrente eficaz total em D_6 é dada por:

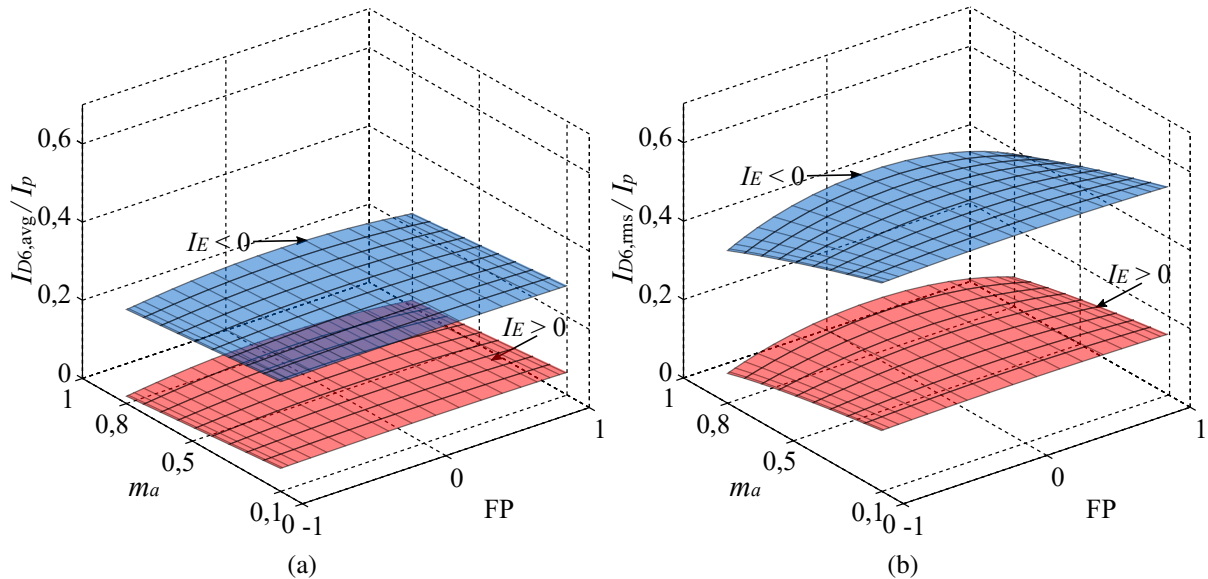
$$I_{D_6,rms} = \sqrt{I_{D_{6,P},rms}^2 + I_{D_{6,0UL},rms}^2 + I_{D_{6,0L1},rms}^2}. \tag{4.100}$$

A Figura 4.9 traz os resultados de simulação para as correntes média e eficaz em D_6 . A análise é similar àquela que foi feita para S_6 , uma vez que o diodo conduzirá as correntes negativas e, portanto, apresenta maior estresse para ESS em recarga. Os resultados para S_6 e D_6 mostram que esses dispositivos apresentam estresse de corrente e que é dependente principalmente da corrente do ESS.

4.3.2 Capacitores do Barramento CC

Os capacitores do barramento CC são utilizados para que os polos do barramento CC se comportem o mais próximo possível de uma fonte de tensão. Estes capacitores devem manter a tensão aproximadamente constante mesmo sob correntes pulsadas drenadas pelo inversor. Dessa forma, os capacitores do barramento CC desacoplam o barramento CC das impedâncias da fonte V_{cc} e da fiação que interliga esta fonte ao conversor. Portanto, os capacitores do barramento CC devem estar o mais próximo possível dos dispositivos semicondutores. Seu dimensionamento adequado é de fundamental importância para que o conversor sintetize tensões

Figura 4.9 – Correntes (a) média e (b) eficaz em D_6 normalizadas em relação a I_p e com $I_E = \pm 0,44I_p$. ESS em modo de descarga (vermelho) e recarga (azul) para $V_E/(V_{cc}/2) = 0,875$ ($d_z = 0,125$).



Fonte: Elaborada pelo autor.

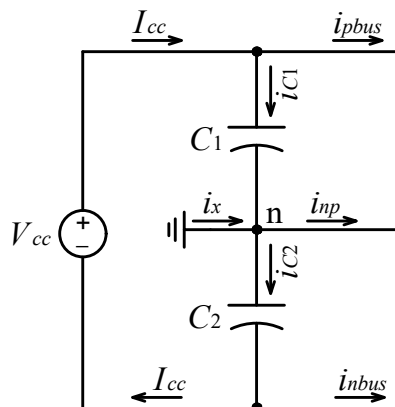
e correntes com baixa distorção, opere de forma segura e não apresente falha precoce desses elementos. A análise apresentada neste trabalho foi realizada para um conversor monofásico.

O sentido considerado para as correntes no barramento CC é apresentado na Figura 4.10. A equação da malha formada por V_{cc} , C_1 e C_2 é dada por:

$$v_{C1}(\phi) + v_{C2}(\phi) = V_{cc}. \quad (4.101)$$

Como V_{cc} é considerada constante, um aumento da tensão em um dos capacitores deve corresponder a uma redução da tensão do outro capacitor de forma a respeitar (4.101) em todos

Figura 4.10 – Sentidos das correntes através dos capacitores do barramento CC.



Fonte: Elaborada pelo autor.

os instantes de tempo. Portanto, pode-se concluir que as correntes nos capacitores devem ter o mesmo módulo mas sinais contrários. Com base nessa análise pode-se afirmar que:

$$i_{C1}(\phi) = -i_{C2}(\phi). \quad (4.102)$$

Considerando agora as correntes nos barramentos CC positivo e negativo é possível escrever:

$$i_{C1}(\phi) = I_{cc} - i_{pbus}(\phi) \quad (4.103)$$

$$i_{C2}(\phi) = I_{cc} + i_{nbus}(\phi). \quad (4.104)$$

Como os capacitores apresentam a mesma capacitância, ou seja $C_1 = C_2 = C$, e o mesmo módulo de corrente, a análise para um dos capacitores é suficiente e o resultado é o mesmo para o outro capacitor. Considerando o cálculo para C_1 , utilizando (4.102) e subtraindo (4.104) de (4.103) obtém-se:

$$i_{C1}(\phi) = -\frac{i_{pbus}(\phi) + i_{nbus}(\phi)}{2}. \quad (4.105)$$

O resultado obtido em (4.105) mostra que o cálculo da corrente nos capacitores depende das correntes drenadas pelos polos positivo e negativo do conversor, i_{pbus} e i_{nbus} , respectivamente. Portanto, é necessária a obtenção de equações que descrevam o comportamento dessas correntes. A Tabela 4.1 traz um resumo das correntes drenadas pelos polos do inversor para cada estado de condução.

Tabela 4.1 – Correntes nos polos do barramento CC do inversor para cada um dos estados de condução.

Estado	i_{pbus}	i_{nbus}
P	$i_x - I_E$	0
0U4	0	0
0U3	0	0
0U1	0	I_E
0UL	0	0
0L1	$-I_E$	0
0L3	0	0
0L4	0	0
N	0	$i_x + I_E$

Fonte: Elaborada pelo Autor.

As correntes pulsadas i_{pbus} e i_{nbus} podem ser positivas ou negativas e serão integradas em um período completo da tensão da rede. Para facilitar o cálculo, a integral foi dividida de acordo com o estado de condução, de forma similar ao que foi feito para os dispositivos

semicondutores. Para o estado P pode-se escrever:

$$I_{C_{1,P},\text{rms}} = \sqrt{\frac{1}{2\pi} \int_0^\pi \left(\frac{-i_x(\phi) + I_E}{2} \right)^2 m_a \sin(\phi) d\phi} \quad (4.106)$$

$$I_{C_{1,P},\text{rms}}^2 = \frac{m_a}{24\pi} [I_p^2 \cos(2\theta) - 3\pi I_p I_E \cos(\theta) + 3I_p^2 + 6I_E^2]. \quad (4.107)$$

Para o estado N a parcela da corrente eficaz é dada por:

$$I_{C_{1,N},\text{rms}} = \sqrt{\frac{1}{2\pi} \int_\pi^{2\pi} \left(\frac{-i_x(\phi) - I_E}{2} \right)^2 [-m_a \sin(\phi)] d\phi} \quad (4.108)$$

cujos resultados são idênticos ao obtido para o estado P conforme (4.107).

Para os estados 0L1 e 0U1 as correntes são as mesmas em módulo mas de sinais opostos. Assim, quando elevadas ao quadrado resultarão no mesmo valor. Além disso, o intervalo de tempo de aplicação dessas correntes nos polos do barramento CC é o mesmo. Portanto, é possível calcular a parcela relativa a essas correntes com apenas uma integral conforme segue:

$$I_{C_{1,0U1},\text{rms}} + I_{C_{1,0L1},\text{rms}} = \sqrt{\frac{1}{\pi} \int_0^\pi \frac{I_E^2}{4} \left[\frac{V_E}{V_{cc}/2} - m_a \sin(\phi) \right] d\phi} \quad (4.109)$$

$$I_{C_{1,0U1},\text{rms}} + I_{C_{1,0L1},\text{rms}} = \sqrt{\frac{I_E^2 \left(\frac{V_E}{V_{cc}/2} - 2m_a/\pi \right)}{4}}. \quad (4.110)$$

A solução completa da corrente eficaz para os capacitores do barramento CC é dada por:

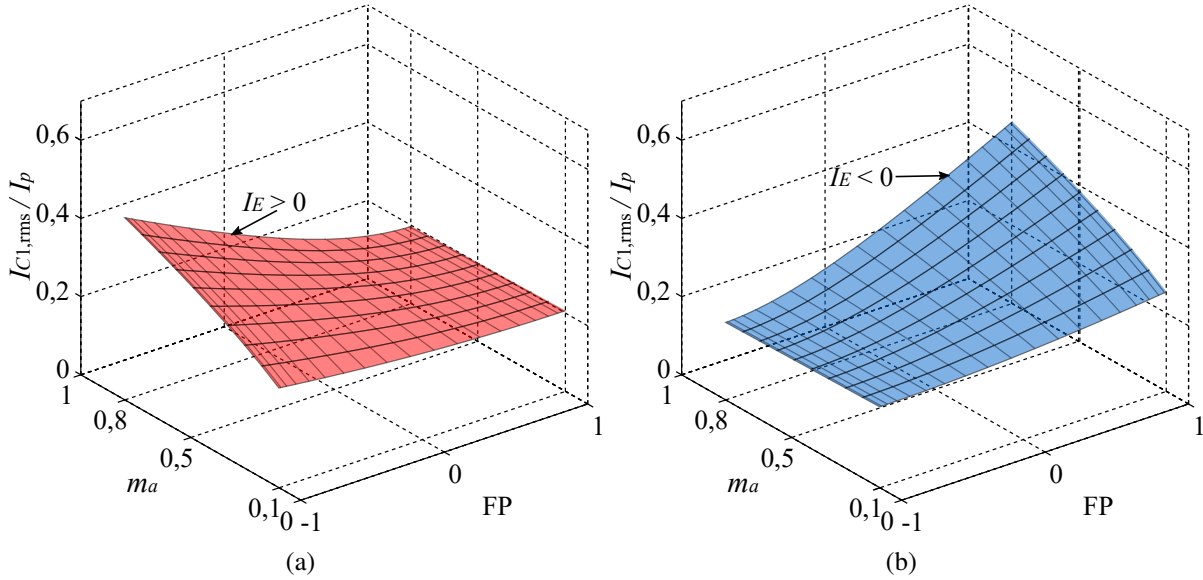
$$I_{C_{1,\text{rms}}} = \frac{1}{2} \sqrt{\frac{m_a}{3\pi} [I_p^2 \cos(2\theta) - 3\pi I_p I_E \cos(\theta) + 3I_p^2 + 6I_E^2] + I_E^2 \left(\frac{V_E}{V_{cc}/2} - 2m_a/\pi \right)}. \quad (4.111)$$

A Figura 4.11 traz a corrente eficaz no capacitor C_1 , a qual é idêntica a do capacitor C_2 para as condições equilibradas de operação. Os maiores valores de corrente eficaz ocorrem para os extremos, com FP=1 e ESS em recarga e FP=-1 e ESS em descarga. Conforme já analisado para os dispositivos semicondutores, essas condições são atípicas e uma análise mais detalhada de cada aplicação pode conduzir a valores inferiores de corrente eficaz.

4.4 DIMENSIONAMENTO DOS ELEMENTOS PASSIVOS

Nesta seção são apresentadas metodologias para dimensionamento dos capacitores do barramento CC e do indutor de filtro da porta CC secundária. O filtro CA não é tratado, pois a inclusão do ESS não afeta a forma de onda na saída CA do conversor. O projeto de filtros para inversores é um tema amplamente abordado na literatura e é dependente da aplicação.

Figura 4.11 – Corrente eficaz em C_1 normalizada em relação a I_p e com $I_E = \pm 0,44I_p$. ESS em modo de (a) descarga (vermelho) e (b) recarga (azul) para $V_E/(V_{cc}/2) = 0,875$ ($d_z = 0,125$).



Fonte: Elaborada pelo autor.

Um exemplo de projeto de filtro indutivo para aplicação conectada à rede é apresentado no Apêndice A.

4.4.1 Capacitância do Barramento CC

A ondulação máxima de tensão nos capacitores do barramento CC é de fundamental importância para a determinação da capacitância. Tem-se dois tipos de ondulação: a de alta frequência, causada pela operação chaveada do conversor, e a de baixa frequência, que é causada pela potência pulsante aplicada ao barramento CC. Em inversores monofásicos, a ondulação de alta frequência é pequena em relação à ondulação de baixa frequência e, portanto, não será considerada na análise. Utilizando-se (4.105), a ondulação de tensão de baixa frequência pode ser obtida a partir da forma de onda da corrente média em um ciclo de comutação. Para o semiciclo positivo pode-se escrever:

$$\langle i_{C_1}(\phi) \rangle_{T_s} = -\frac{1}{2} \left[(i_x(\phi) - I_E) \Delta_P(\phi) + (-I_E + I_E) \frac{1 - \Delta_P(\phi) - d_z}{2} \right] \quad (4.112)$$

$$\langle i_{C_1}(\phi) \rangle_{T_s} = -\frac{1}{2} (i_x(\phi) - I_E) \Delta_P(\phi). \quad (4.113)$$

A ondulação de tensão no capacitor C_1 é obtida através de:

$$\langle v_{C_1}(\phi) \rangle_{T_s} = \frac{1}{C} \int_0^\Psi \langle i_{C_1}(\phi) \rangle_{T_s} d\phi = -\frac{1}{2C} \int_0^\Psi (I_p \sin(\phi - \theta) - I_E) m_a \sin(\phi) d\phi \quad (4.114)$$

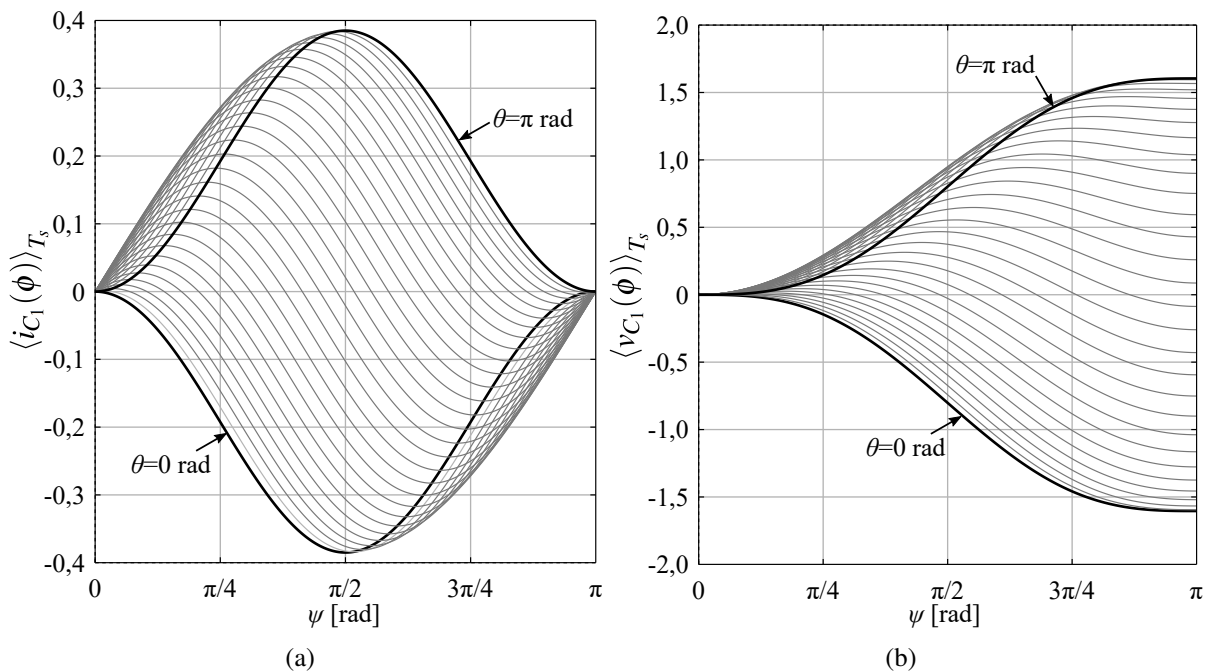
onde ψ é um ângulo de integração variável utilizado para se compreender o comportamento da tensão no capacitor durante um ciclo de rede. A solução de (4.114) é dada por:

$$\langle v_{C_1}(\psi) \rangle_{T_s} = \frac{m_a}{8\pi f_r C} (I_p \sin(\psi) \cos(\theta - \psi) - I_p \psi \cos(\theta) - 2I_E \cos(\psi) + 2I_E). \quad (4.115)$$

Primeiramente, analisa-se a dependência da ondulação de tensão com o ângulo θ , cujos resultados para o semiciclo positivo são apresentados na Figura 4.12. O semiciclo negativo não foi apresentado, mas seria observada a inversão da polaridade da corrente e a tensão no capacitor decresceria do valor máximo até zero. Considerando a operação equilibrada e em regime permanente, a corrente média em um ciclo de rede nos capacitores é zero, o que implica em uma tensão média constante. Os resultados da Figura 4.12 levam à conclusão de que os piores casos de ondulação de tensão ocorrem para $\theta = 0$ e $\theta = \pi$ radianos, que são as duas curvas extremas. Para essas curvas o valor máximo em módulo da ondulação de tensão ocorre quando $\psi = \pi$ radianos. Fazendo essa substituição pode-se reescrever (4.115) como:

$$\langle v_{C_1} \rangle_{T_s} = \frac{m_a}{8\pi f_r C} (-\pi I_p \cos(\theta) + 4I_E). \quad (4.116)$$

Figura 4.12 – (a) Corrente média nos capacitores do barramento CC em um ciclo de comutação e (b) Ondulação de tensão correspondente. Resultados obtidos para $I_p = 1$ A, $I_E = 0$ A, $m_a = 0,77$ e $C = 1$ mF.



Fonte: Elaborada pelo autor.

A parcela entre parenteses de (4.116) é a que define os maiores valores de ondulação. Para $\theta = \pi$ radianos e $I_E > 0$ tem-se os maiores valores positivos e para $\theta = 0$ radianos e $I_E < 0$ tem-se os maiores valores negativos. Para algumas aplicações essas condições podem

não ser factíveis, mas esses são os piores casos. O interesse dessa análise está na amplitude da ondulação e não na sua polaridade. Assim, aplicando-se os dois piores casos elencados e tomando-se o módulo da parcela entre parênteses de (4.116) é obtida a máxima amplitude da ondulação de tensão. Com essas considerações, reescrevendo (4.116) obtém-se:

$$\langle v_{C1} \rangle_{T_s}^{\max} = \frac{m_a}{8\pi f_r C} (\pi I_p + 4|I_E|). \quad (4.117)$$

Dividindo ambos os lados de (4.117) por $V_{cc}/2$ e isolando a variável de interesse C , obtém-se:

$$C = \frac{m_a}{4\pi f_r V_{cc} \Delta V_C} (\pi I_p + 4|I_E|) \quad (4.118)$$

onde:

$$\Delta V_C = \frac{\langle v_{C1} \rangle_{T_s}^{\max}}{V_{cc}/2}. \quad (4.119)$$

Considerando-se que a potência da porta CA e do ESS sejam iguais em módulo, $|I_E|$ é proporcional a I_p com constante de proporcionalidade dependente das tensões V_{cc} e V_E através da seguinte relação:

$$|I_E| = \frac{m_a V_{cc}}{4V_E} I_p. \quad (4.120)$$

Com isso, pode-se escrever uma equação alternativa para o cálculo da capacitância do barramento CC:

$$C = \frac{m_a I_p}{4\pi f_r V_{cc} \Delta V_C} \left(\pi + \frac{m_a V_{cc}}{V_E} \right). \quad (4.121)$$

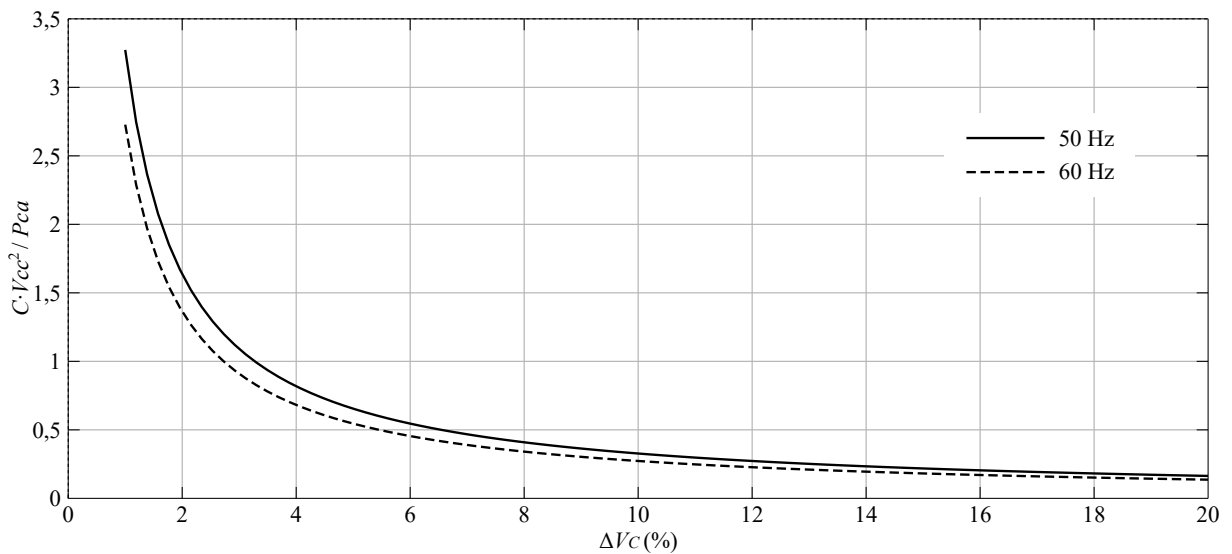
É importante observar que o maior valor de I_E ocorre para o menor valor de V_E . Dessa forma, sendo conservador, o projetista normalmente deverá escolher o menor valor de V_E para projeto da capacitância do barramento CC. Na parcela entre parênteses de (4.121), sabe-se que $m_a V_{cc} = 2V_p$. Mas, também, o valor mínimo de V_E é aproximadamente igual a V_p . No numerador, $m_a I_p$ pode ser substituída por $4P_{ca}/V_{cc}$. Portanto, (4.121) pode ser simplificada ainda mais. Como resultado obtém-se:

$$C = 1,6366 \frac{P_{ca}}{f_r V_{cc}^2 \Delta V_C}. \quad (4.122)$$

A Figura 4.13 traz as curvas de dimensionamento da capacitância do barramento CC em função de ΔV_C para 50 e 60 Hz.

As simplificações realizadas podem conduzir a um sobredimensionamento da capacitância do barramento CC caso algumas regiões de operação não sejam utilizadas. Nesses casos deve-se utilizar (4.118) ou até mesmo (4.116) para calcular a capacitância mínima necessária. Na próxima seção são realizadas análises para casos de aplicação em FV e UPS. O dimensionamento da capacitância do barramento CC foi reavaliado para cada caso analisado, pois essas aplicações não utilizam todas as regiões de operação do inversor.

Figura 4.13 – Ábaco para dimensionamento da capacitância do barramento CC em função da ondulação máxima de tensão.



Fonte: Elaborada pelo autor.

4.4.2 Indutor de Filtro da Porta CC Secundária

A indutância de filtro da porta CC secundária é fundamental para a conexão de um ESS com característica de fonte de tensão. Através do correto dimensionamento dessa indutância é possível obter uma ondulação de corrente máxima (ΔI_E), conforme requisito de projeto.

Neste trabalho está sendo considerada uma indutância única L_E , ou seja, um filtro de primeira ordem. Existem outras topologias de filtros que poderiam ser consideradas com objetivo de redução de volume do filtro quando forem necessárias baixíssimas ondulações de corrente. Topologias como LCL e outras de ordem superior também podem ser aplicadas.

A obtenção de uma equação para cálculo do indutor L_E pode ser feita considerando a equação de malha do indutor durante a aplicação do nível zero em v_{AB} . A partir da Figura 2.14 pode-se ver que a tensão aplicada sobre L_E é V_E e a duração é $d_z T_s$. Portanto:

$$-V_E + L_E \frac{dI_E}{dt} = 0 \quad (4.123)$$

$$L_E = \frac{d_z V_E}{\Delta I_E f_s} \quad (4.124)$$

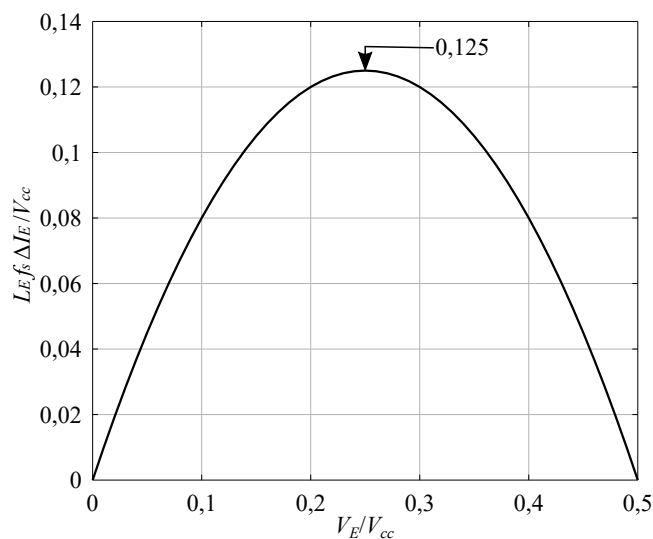
onde ΔI_E é a amplitude da ondulação de corrente.

Substituindo (2.2) em (4.124) obtém-se:

$$L_E = \frac{V_E - V_E^2 / (V_{cc}/2)}{\Delta I_E f_s} \quad (4.125)$$

A Figura 4.14 traz a curva de dimensionamento da indutância da porta CC secundária em função da relação V_E/V_{cc} . O pior caso para dimensionamento do indutor ocorre para $V_E/V_{cc} = 0,25$. Caso esse ponto de operação possa ocorrer, nessa condição o ESS normalmente não estará em flutuação, haverá uma corrente CC de recarga ou descarga e haverá uma elevação de temperatura natural devida a essa corrente. A ondulação máxima de corrente requerida nesse ponto de operação pode ser diferente daquelas que o ESS suporta para outros pontos de operação. Baterias que ficam muito tempo em flutuação normalmente têm uma especificação de ondulação de corrente bastante rígida para o modo de flutuação. A definição correta da ondulação máxima de corrente desejada e o ponto de operação em que ela ocorre é de fundamental importância para o cálculo correto do indutor L_E . Para isso, é importante o conhecimento do comportamento térmico do sistema de armazenamento e dos ciclos de carga, descarga e flutuação presentes na aplicação.

Figura 4.14 – Ábaco para dimensionamento da indutância da porta CC secundária em função da relação V_E/V_{cc} .



Fonte: Elaborada pelo autor.

4.5 ANÁLISE DE PERDAS

Esta seção apresenta uma metodologia para a análise de perdas nos semicondutores e elementos passivos. Adicionalmente, é apresentado o circuito térmico para estimativa das temperaturas nas junções semicondutores e do dissipador de calor. São apresentados resultados de simulação da distribuição de perdas nos dispositivos semicondutores e uma comparação de rendimento entre o conversor ANPC-3P e o inversor ANPC.

4.5.1 Perdas nos Dispositivos Semicondutores

Os esforços de corrente apresentados na seção anterior permitem compreender como os dispositivos semicondutores serão solicitados quando aplicada a técnica de modulação proposta para o conversor ANPC-3P em diferentes condições de operação. Porém, uma análise teórica de perdas nos dispositivos semicondutores do conversor é necessária para se verificar como essas perdas se distribuem entre os dispositivos.

As perdas de energia nos dispositivos semicondutores podem ser classificadas em perdas por comutação e por condução. As perdas por comutação estão relacionadas à energia necessária para se tirar um dispositivo de um estado de bloqueio e colocá-lo em condução, ou para bloquear um dispositivo que está em condução. Já as perdas por condução ocorrem devido à queda de tensão existente no material semicondutor quando atravessado por corrente elétrica. Nesta Tese são utilizados dispositivos do tipo IGBT para a construção do conversor, conforme Apêndice A. Devido a isso, a análise de perdas é apresentada considerando-se os parâmetros elétricos desse tipo de dispositivo.

Para o cálculo das perdas por condução é necessário obter um modelo da queda de tensão nos dispositivos semicondutores. A Figura 4.15(a) apresenta os circuitos equivalentes do IGBT e do diodo. Nota-se que existem quedas de tensão fixas, representada por V_{CE0} e V_{F0} , que surgem quando o dispositivo entra em condução. Uma vez em condução, os dispositivos apresentam queda de tensão que depende da corrente que o atravessa. Esse efeito é modelado através da inclusão de uma resistência série, representada por r_{CE} e r_F para o IGBT e para o diodo, respectivamente. Um esboço da relação entre v_{CE} e i_C para o IGBT é apresentada na Figura 4.15(b). Essa curva também representa o comportamento do diodo, uma vez que os modelos de perdas por condução são similares. Os parâmetros do modelo de perdas em condução são disponibilizados na folha de dados (*datasheet*) do componente. No entanto, esses parâmetros são dependentes da tensão de *gate* (V_{GE}) e da temperatura de junção do dispositivo semicondutor (T_j).

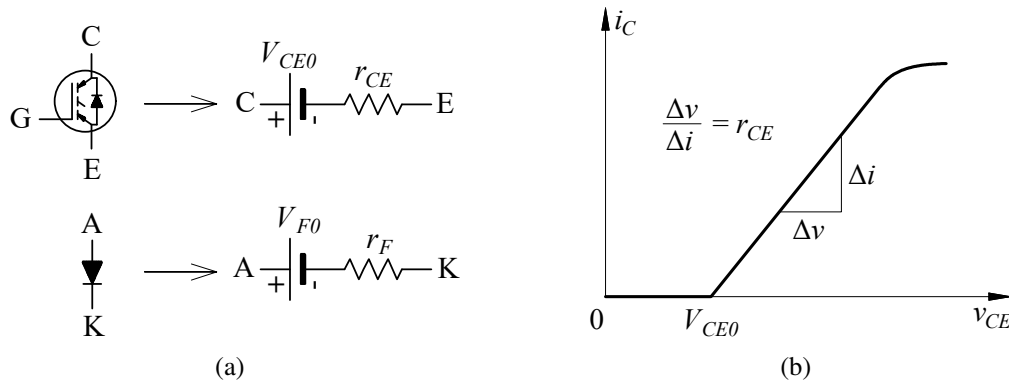
Com essas considerações, as perdas por condução nos IGBTs (P_{CS}) podem ser calculadas por (WINTRICH et al., 2015; GIACOMINI, 2018):

$$P_{CS} = i_{S,avg} [V_{CE0(25^\circ\text{C})} + TC_{vs} (T_j - 25^\circ\text{C})] + i_{S,rms}^2 [r_{CE(25^\circ\text{C})} + TC_{rs} (T_j - 25^\circ\text{C})] \quad (4.126)$$

onde $i_{S,avg}$ e $i_{S,rms}$ são, respectivamente, os valores médio e eficaz da corrente no IGBT. Os parâmetros $V_{CE0(25^\circ\text{C})}$ e $r_{CE(25^\circ\text{C})}$ são dados para temperatura de 25°C e podem ser obtidos diretamente no *datasheet* do componente. Os fatores TC_{vs} e TC_{rs} fazem a correção das perdas para a temperatura de junção T_j e podem ser calculados por (WINTRICH et al., 2015; GIACOMINI, 2018):

$$TC_{vs} = \frac{V_{CE0(125^\circ\text{C})} - V_{CE0(25^\circ\text{C})}}{125^\circ\text{C} - 25^\circ\text{C}} \quad (4.127)$$

Figura 4.15 – Perdas teóricas por condução. (a) Símbolos do IGBT e do diodo e respectivos circuitos equivalentes. (b) Curva $i_C \times v_{CE}$ típica do IGBT em condução.



Fonte: Adaptado de Giacomini (2018).

$$TC_{rs} = \frac{r_{CE}(125^\circ\text{C}) - r_{CE}(25^\circ\text{C})}{125^\circ\text{C} - 25^\circ\text{C}}. \quad (4.128)$$

As perdas de condução para os diodos (P_{CD}) podem ser calculadas de forma similar:

$$P_{CD} = i_{D,\text{avg}} [V_{F0}(25^\circ\text{C}) + TC_{vd} (T_j - 25^\circ\text{C})] + i_{D,\text{rms}}^2 [r_F(25^\circ\text{C}) + TC_{rd} (T_j - 25^\circ\text{C})] \quad (4.129)$$

$$TC_{vd} = \frac{V_{F0}(150^\circ\text{C}) - V_{F0}(25^\circ\text{C})}{150^\circ\text{C} - 25^\circ\text{C}} \quad (4.130)$$

$$TC_{rd} = \frac{r_F(150^\circ\text{C}) - r_F(25^\circ\text{C})}{150^\circ\text{C} - 25^\circ\text{C}}. \quad (4.131)$$

As perdas por comutação podem ser calculadas através das energias dissipadas nos instantes de entrada em condução (E_{on}) e bloqueio (E_{off}) de cada IGBT e a energia dissipada na recuperação reversa dos diodos (E_{rr}). As perdas de entrada em condução ($P_{SW,on}$) e bloqueio ($P_{SW,off}$) do IGBT podem ser obtidas, respectivamente, por (GIACOMINI, 2018):

$$P_{SW,on} = f_r k_{R,on} [1 + TC_{Esw} (T_j - T_{ref})] \left(\frac{V_{cc}}{2V_{ref}} \right)^{K_{vs}} \sum_{k=1}^{\text{fim}} E_{on} (i_S^\uparrow[k]) \quad (4.132)$$

$$P_{SW,off} = f_r k_{R,off} [1 + TC_{Esw} (T_j - T_{ref})] \left(\frac{V_{cc}}{2V_{ref}} \right)^{K_{vs}} \sum_{k=1}^{\text{fim}} E_{off} (i_S^\downarrow[k]) \quad (4.133)$$

onde i_S^\uparrow e i_S^\downarrow são, respectivamente, as correntes do IGBT nos instantes de entrada em condução e bloqueio. As curvas de E_{on} e E_{off} são dadas no *datasheet* do componente considerando-se a temperatura (T_{ref}) e a tensão de referência (V_{ref}). O fator TC_{Esw} relaciona as perdas por comutação com a temperatura da junção semicondutora e o fator K_{vs} faz o ajuste com relação ao nível de tensão do IGBT. O fator TC_{Esw} não é apresentado no *datasheet* do IGBT IRGP50B60PD1, considerado para esta Tese, e também não foi possível extrair esse valor das curvas apresen-

tadas. Wintrich et al. (2015) apresenta o valor de 0,003/°C para módulos IGBT. Analisando o *datasheet* de alguns IGBTs discretos, os valores obtidos ficaram entre 0,002/°C e 0,003/°C. Desse modo, o valor adotado foi de 0,003/°C. O fator K_{vs} foi considerado unitário (Feix et al., 2009). Os fatores $k_{R,on}$ e $k_{R,off}$ são utilizados para corrigir as perdas de acordo com o resistor de *gate* utilizado. Esses parâmetros são calculados por:

$$k_{R,on} = \frac{E_{on}(R_g)}{E_{on}(R_{g,ref})} \quad (4.134)$$

$$k_{R,off} = \frac{E_{off}(R_g)}{E_{off}(R_{g,ref})} \quad (4.135)$$

onde $E_{on}(R_g)$ e $E_{off}(R_g)$ são as energias obtidas com o resistor de *gate* considerado na aplicação e $E_{on}(R_{g,ref})$ e $E_{off}(R_{g,ref})$ são as energias medidas pelo fabricante do dispositivo para um dado resistor de *gate* de referência.

O cálculo das perdas devidas à recuperação reversa dos diodos é realizado de forma similar:

$$P_{SW,rr} = f_r [1 + TC_{Err} (T_j - T_{ref})] \left(\frac{V_{cc}}{2V_{ref}} \right)^{K_{vd}} \sum_{k=1}^{fim} E_{rr} (i_D^\downarrow[k]) \quad (4.136)$$

sendo E_{rr} a energia de recuperação reversa, i_D^\downarrow é a corrente no instante imediatamente antes do bloqueio do diodo, o fator TC_{Err} relaciona as perdas de recuperação reversa com a temperatura da junção semicondutora e o fator K_{vd} faz o ajuste com relação ao nível de tensão do diodo. Os valores adotados foram 0,6 para k_{vd} e 0,006/°C para TC_{Err} (WINTRICH et al., 2015). O IGBT considerado para esta Tese não fornece a curva de E_{rr} versus i_D . Por outro lado, são apresentadas curvas de Q_{rr} versus di_F/dt para três valores de i_F e duas temperaturas de junção. Utilizando os dados fornecidos é possível calcular E_{rr} por (Feix et al., 2009):

$$E_{rr} = \frac{s_d}{1 + s_d} V_{r,ref} Q_{rr} \quad (4.137)$$

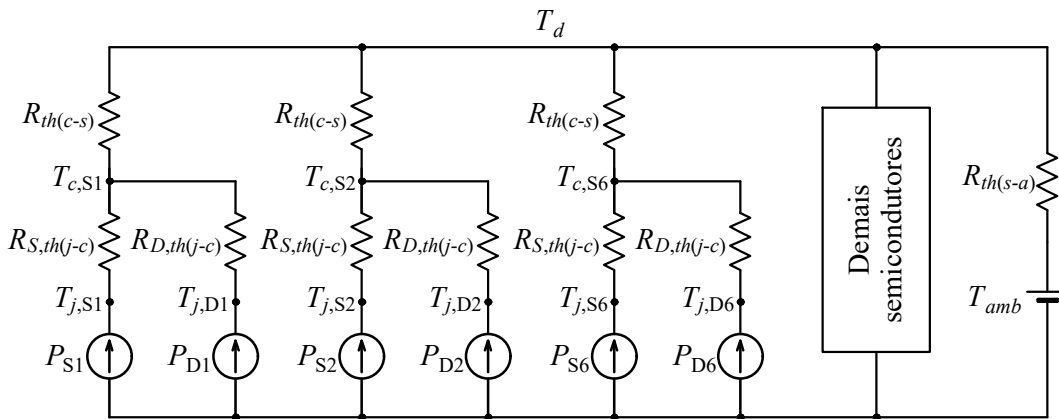
onde $V_{r,ref}$ é a tensão de bloqueio do diodo utilizada como referência nos ensaios disponibilizados pelo fabricante do diodo e s_d é o fator de suavidade do diodo na região de recuperação reversa. Para o IGBT utilizado nesta Tese, o diodo antiparalelo apresenta s_d de aproximadamente 0,7 (KHERSONSKY; ROBINSON; GUTIERREZ, 1992).

É importante observar que as perdas por comutação em um IGBT ou diodo dependem de alguns fatores, como por exemplo os elementos parasitas da placa de circuito impresso. Os dados do *datasheet* são fornecidos para uma dada condição de operação e a metodologia proposta tenta realizar as devidas correções para as condições impostas no projeto em questão. Por outro lado, o *datasheet* do IGBT utilizado nesta Tese não apresenta as energias E_{on} e E_{off} para correntes abaixo de 15 A. O projeto do conversor apresentado no Apêndice A opera na maior parte do tempo com corrente entre 0 e 15 A. As curvas das energias foram extrapoladas para a obtenção dos valores nessa região de operação. A ausência de dados confiáveis aumenta o erro na com-

paração com os resultados experimentais. Portanto, essa metodologia de cálculo de perdas é útil para se comparar estratégias de modulação, tecnologias de semicondutores, etc. Os resultados alcançados são estimativos e não há a pretensão de que correspondam fielmente aos obtidos experimentalmente. A análise teórica de perdas não substitui os resultados experimentais.

Utilizando-se (4.126) a (4.137) podem ser calculadas as perdas em todos os dispositivos semicondutores do inversor. Porém, as perdas têm relação com a temperatura de junção, a qual é diferente para cada dispositivo e depende do sistema de dissipação de calor empregado (GIACOMINI, 2018). De forma a calcular a temperatura de junção de cada dispositivo, o circuito térmico equivalente deve ser esquematizado. Nesta Tese, todos os dispositivos semicondutores estão sobre um mesmo dissipador (ver Apêndice A). Dessa forma, o circuito térmico da Figura 4.16 pode ser obtido. Conforme já justificado, as perdas de S_4 , S_3 e S_5 são iguais às de S_1 , S_2 e S_6 , respectivamente. O mesmo é válido para os diodos. Dessa forma, a temperatura de junção desses dispositivos também será a mesma.

Figura 4.16 – Circuito térmico do conversor ANPC-3P.



Fonte: Elaborada pelo autor.

Ainda na Figura 4.16, a resistência térmica do dissipador para o ambiente é dada por $R_{th(s-a)}$. As resistências térmicas do IGBT e do diodo para o encapsulamento são representadas por $R_{S,th(j-c)}$ e $R_{D,th(j-c)}$, respectivamente. A resistência térmica do encapsulamento para o dissipador é representada por $R_{th(c-s)}$. Também estão indicadas as temperaturas de junção de cada dispositivo, T_{S_k} e T_{D_k} , onde k representa o índice do dispositivo (1, 2, ..., 6). As temperaturas dos encapsulamentos estão representadas por T_{c,S_k} . A temperatura do dissipador de calor é T_d . A potência total dissipada pelos semicondutores é dada por:

$$P_{total} = 2(P_{S1} + P_{D1} + P_{S2} + P_{D2} + P_{S6} + P_{D6}) \quad (4.138)$$

A partir do circuito térmico da Figura 4.16 são obtidas as equações para cálculo das temperaturas do dissipador, dos encapsulamentos e das junções semicondutoras:

$$T_d = T_{amb} + R_{th(s-a)}P_{total} \quad (4.139)$$

$$T_{c,Sk} = T_d + R_{th(c-s)}(P_{Sk} + P_{Dk}) \quad (4.140)$$

$$T_{j,Sk} = T_{c,Sk} + R_{S,th(j-c)}P_{Sk} \quad (4.141)$$

$$T_{j,Dk} = T_{c,Sk} + R_{D,th(j-c)}P_{Dk} \quad (4.142)$$

O protótipo apresentado no Apêndice A foi construído para uma versão trifásica do inversor. Considerando-se a utilização de apenas um braço, o dissipador é superdimensionado. Dessa forma, para tornar os resultados mais próximos da realidade, na análise teórica apresentada nesta seção foi considerado que o dissipador tem um terço do tamanho que foi utilizado na construção do protótipo. Assim, a resistência térmica do dissipador, $R_{th(d-a)}$, foi adotada como sendo $0,6^\circ\text{C}/\text{W}$. Para a temperatura ambiente foi adotado o valor de 40°C .

O processo de cálculo das temperaturas deve ser iterativo, pois a potência dissipada pelos dispositivos é dependente da temperatura de junção e vice-versa. Inicialmente, considera-se que os elementos estão em temperatura ambiente, calcula-se a potência dissipada por cada dispositivo, atualiza-se as temperaturas utilizando (4.139) a (4.142) e repete-se o processo calculando as perdas nos dispositivos para as novas temperaturas. Aproximadamente, cinco iterações são suficientes para se obter a temperatura de regime permanente em todos os elementos.

Para realizar todas as etapas de cálculo descritas nesta Tese, uma simulação em Matlab foi implementada. Essa simulação contempla as principais etapas do funcionamento idealizado do conversor, como modulação, cálculo das correntes nos semicondutores, detecção dos pontos de comutação, cálculos das perdas, cálculo do circuito térmico, entre outras.

As simulações apresentadas nesta seção foram realizadas considerando-se os parâmetros do Apêndice A e resumidos na Tabela 4.2. Cabe observar que a metodologia de cálculo de perdas apresentada nesta seção não leva em consideração os efeitos do tempo-morto e, portanto, não há como avaliar o impacto do pulso indesejado em v_{AB} durante as comutações do tipo III. Embora sejam apresentados os resultados para apenas três IGBTs e três diodos, as perdas e o rendimento apresentados consideram os doze dispositivos semicondutores do conversor.

A Figura 4.17 traz resultados de simulação para modulação POD com as sequências do tipo 1 e 2. O ponto de operação considera o ESS em flutuação e potência ativa nominal sendo transferida à porta CA. Comparando ambas as estratégias de modulação, nota-se que a sequência do tipo 2 apresenta uma melhor distribuição das perdas entre os semicondutores. Por outro lado, a sequência tipo 1 apresenta perdas totais ligeiramente menores. Conforme já justificado na análise dos esforços de corrente, as perdas por condução de cada um dos dispositivos semicondutores são aproximadamente iguais em ambas as estratégias de modulação. Isso também é válido para as simulações apresentadas a seguir. As diferenças observadas estão nas perdas por comutação.

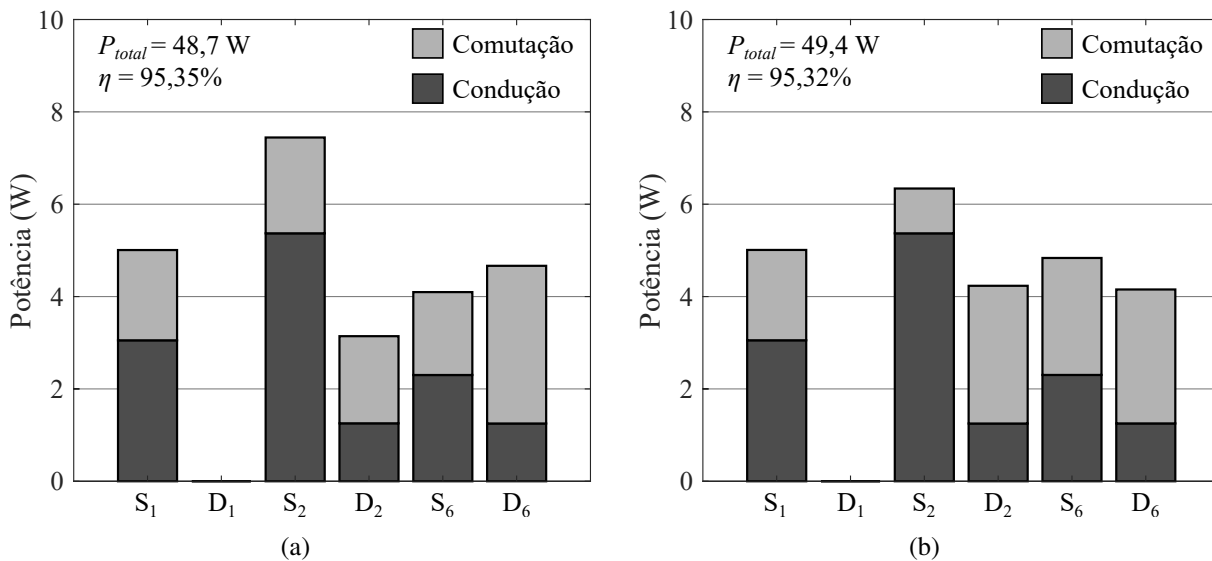
Quando $I_E = 0$ A, é possível realizar uma comparação de desempenho do conversor ANPC-3P com o inversor ANPC convencional, pois não há interferência da corrente do ESS. Nesse sentido, a Figura 4.18 apresenta resultados de simulação das perdas nos semicondutores

Tabela 4.2 – Parâmetros do conversor monofásico utilizado nas simulações para cálculos de perdas.

Parâmetro	Valor
Potência nominal CA (P_{ca})	1 kW
Potência nominal do ESS (P_{ess})	1 kW
Tensão do barramento CC (V_{cc})	720 V
Tensão CA eficaz (V_{ca})	127 V
Tensão do ESS (V_E)	280 V
Frequência da rede (f_r)	60 Hz
Frequência das portadoras (f_s)	10,26 kHz
Temperatura ambiente (T_{amb})	40°C

Fonte: Elaborada pelo autor.

Figura 4.17 – Comparação das perdas nos semicondutores para modulações POD com sequência (a) do tipo 1 e (b) do tipo 2. Resultados para ESS em flutuação e potência nominal na porta CA (FP=1).



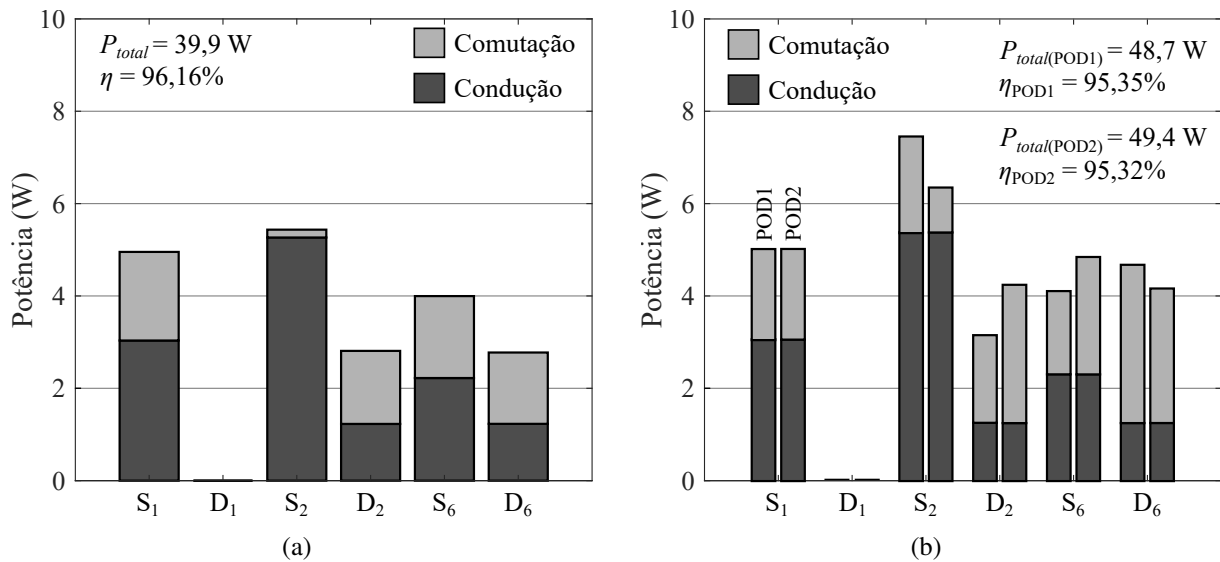
Fonte: Elaborada pelo autor.

para as referidas topologias. O conversor ANPC-3P foi modulado em POD com sequência do tipo 1. Já o inversor ANPC foi modulado em POD utilizando o estado 0UL para gerar o nível zero (sem estratégia de distribuição de perdas) (JIAO; LEE, 2015).

Os resultados da Figura 4.18(b) mostram que o ANPC-3P apresenta maiores perdas por comutação em relação ao ANPC. Esse aumento é causado pela necessidade de geração do pulso zero em v_{AB} para regular a corrente do ESS. Dessa forma, há duas comutações a mais em cada período das portadoras, o que eleva as perdas por comutação. Para a sequência do tipo 1, os maiores aumentos na dissipação de potência ocorreram em S₂, com 40,0%, e em D₆, com

68,1%. Para a sequência do tipo 2, os piores casos ocorrem para D_2 , com 50,6%, e D_6 , com 49,7%. As perdas por condução são aproximadamente iguais em ambos os conversores para as estratégias de modulação consideradas.

Figura 4.18 – Comparação das perdas nos semicondutores para (a) o inversor ANPC e (b) o conversor ANPC-3P com sequências do tipo 1 e 2. ESS em flutuação ($I_E = 0$ A) e potência nominal na porta CA (FP=1).

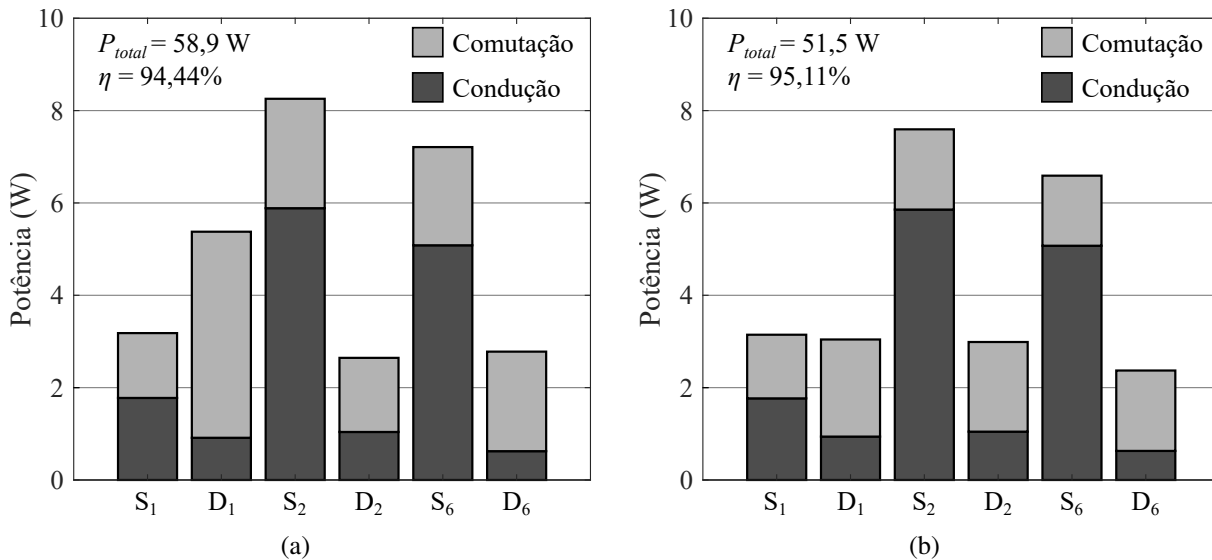


Fonte: Elaborada pelo autor.

A distribuição de perdas entre os semicondutores é um dos principais apelos para utilização da topologia ANPC. Conforme já informado acima, nenhuma estratégia de modulação com distribuição de perdas foi utilizada para o ANPC e para o ANPC-3P. Porém, uma comparação entre essas topologias indica o impacto da adição do ESS na distribuição de perdas. Nesse sentido, observa-se que o resultado da Figura 4.18(a) mostra perdas quase equilibradas entre S_1 e S_2 (dispositivos mais estressados). A diferença foi de 0,5 W. Por outro lado, as estratégias de modulação utilizadas para o ANPC-3P, cujos resultados estão na Figura 4.18(b), demonstram um desbalanceamento maior de perdas entre S_1 e S_2 . Para a sequência do tipo 1 o desbalanceamento é de 2,4 W e para sequência do tipo 2 de 1,3 W.

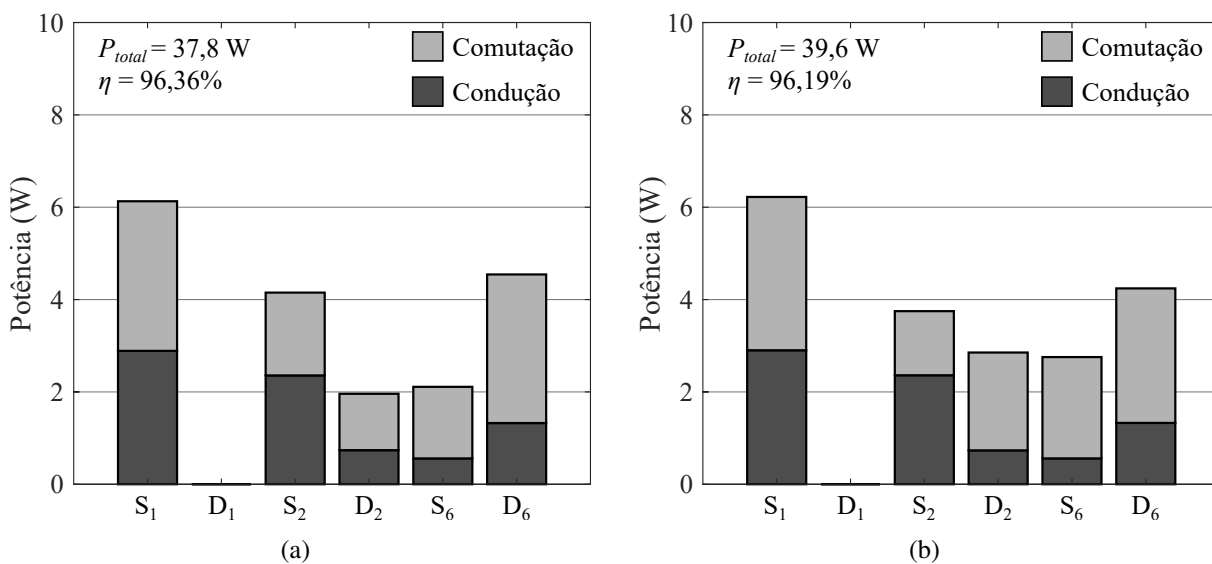
Os resultados para ESS em descarga são mostrados na Figura 4.19. Em ambas as sequências os dispositivos mais estressados são S_2 e S_6 . A sequência do tipo 2 consegue uma pequena redução nas perdas desses dispositivos em relação à sequência do tipo 1 e apresenta perdas globais menores. Nota-se que a inclusão do ESS causou um aumento na dissipação do dispositivo mais estressado, nesse caso S_2 , em relação à topologia ANPC e à ANPC-3P com $i_E = 0$. O aumento de dissipação de potência em S_2 para a sequência do tipo 1 foi de 51,9% e para sequência do tipo 2 de 39,7%. Já o desbalanceamento das perdas entre S_2 e S_6 foi de aproximadamente 1 W para ambas as sequências.

Figura 4.19 – Comparação das perdas nos semicondutores para modulações POD com sequência (a) do tipo 1 e (b) do tipo 2. Resultados para ESS em descarga e potência nominal nas portas CC secundária e CA (FP=1).



Fonte: Elaborada pelo autor.

Figura 4.20 – Comparação das perdas nos semicondutores para modulações POD com sequência (a) do tipo 1 e (b) do tipo 2. Resultados para ESS em recarga com potência de 50% nas portas CC secundária e CA (FP=1).



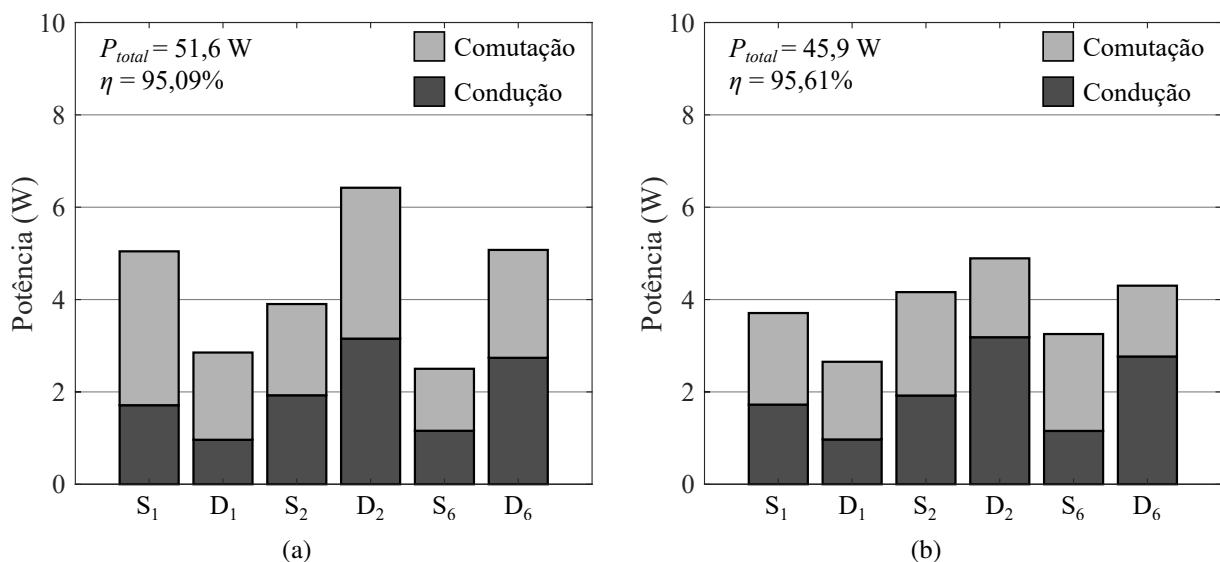
Fonte: Elaborada pelo autor.

O modo de recarga do ESS pode ser realizado de duas formas em aplicações conectadas à rede. Pode ser carregado através do barramento CC ou da porta CA ($P_{ca} < 0$). Primeiramente, a Figura 4.20 traz os resultados para recarga do ESS pelo barramento CC. Para manter a potência nominal do inversor, 50% da potência é utilizada para recarregar o ESS e os outros 50%

restantes são transferidos à porta CA. Nesse modo de operação, o dispositivo mais estressado é S_1 e a sequência do tipo 1 apresenta perdas por comutação ligeiramente menores nesse dispositivo. Os resultados são muito próximos e podem ser considerados, teoricamente, equivalentes para esse ponto de operação. Em comparação com a topologia ANPC, as perdas em S_1 aumentaram 23,7% para sequência do tipo 1, porém há redução de perdas em S_2 e S_6 . Os dispositivos internos apresentam perdas aproximadamente balanceadas, porém não se obtém balanceamento entre dispositivos internos e externos.

A Figura 4.21 apresenta uma comparação das perdas em cada dispositivo semiconductor para o modo de recarga do ESS pela porta CA ($P_{ca} < 0$). Nota-se que a modulação com sequência do tipo 2 consegue uma melhor distribuição de perdas nos semicondutores. Além disso, seu desempenho é superior nas perdas totais e, conseqüentemente, no rendimento.

Figura 4.21 – Comparação das perdas nos semicondutores para modulações POD com (a) sequência do tipo 1 e (b) tipo 2. Resultados para ESS em recarga e potência nominal nas portas CC secundária e CA ($FP=-1$).



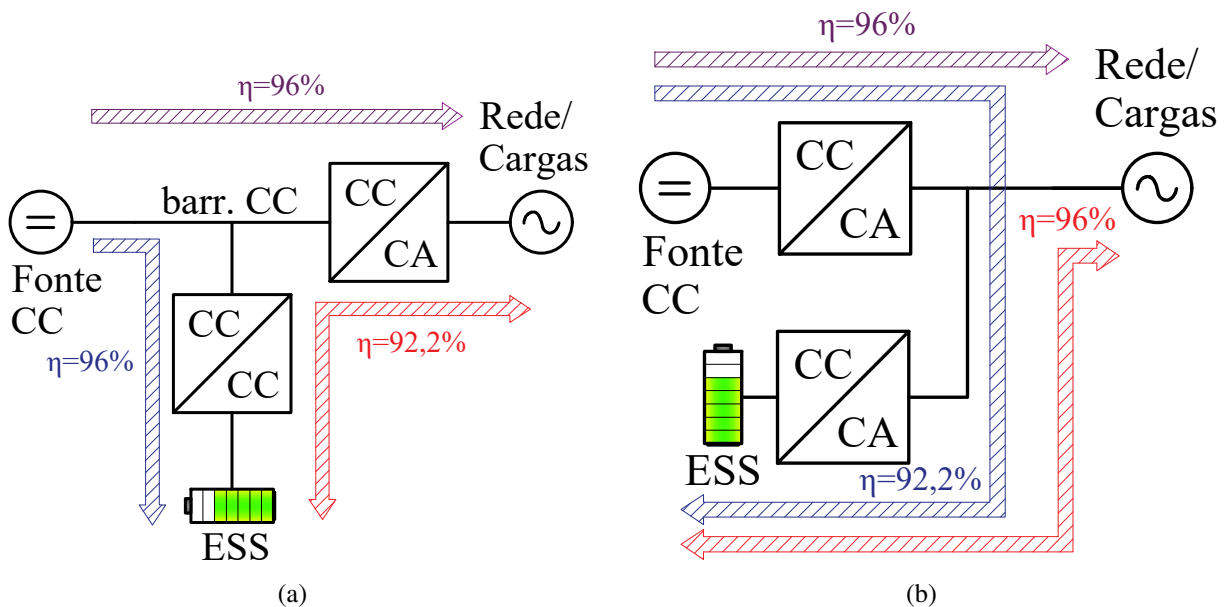
Fonte: Elaborada pelo autor.

Os resultados apresentados demonstram o impacto do ESS nas perdas dos semicondutores. Em comparação com a topologia ANPC, as perdas por comutação são maiores pois há necessidade de modulação da porta CC secundária. Também, há piora no balanceamento das perdas entre os dispositivos semicondutores. É importante observar que o balanceamento de perdas é de grande importância para inversores de elevada potência, na ordem de MW ou superior. Nessa faixa de potência dificilmente seria empregada a topologia ANPC-3P. O uso de conversores dedicados a cada fonte de energia é uma melhor escolha, pois permite otimizar o projeto em diferentes frentes considerando os graus de liberdade existentes. Contudo, no ANPC-3P, existem estados redundantes como o 0U4, 0U3, 0L4 e 0L3, os quais podem vir a

ser utilizados para melhorar os resultados obtidos através de estratégias mais complexas para seleção dos estados redundantes.

Um outro ponto que merece ser destacado é o rendimento do braço ANPC-3P. Em todos os modos de operação o rendimento ficou acima de 95% para a sequência do tipo 1. Como o ESS está integrado à topologia, não se observa perda significativa de rendimento em certos modos de operação, como ocorre em algumas configurações devido ao cascadeamento de conversores. A Figura 4.22 traz duas configurações que são largamente utilizadas. Para efeito de comparação, considerou-se que cada conversor CC-CC ou CC-CA apresenta rendimento de 96% (similar ao rendimento do inversor ANPC apresentado acima). As setas mostram o fluxo de potência nos principais modos de operação. Na Figura 4.22(a), a conexão do ESS se dá no barramento CC através de um conversor CC-CC bidirecional. Pode-se observar que o fluxo de potência da fonte CC para o ESS passa apenas pelo conversor CC-CC e da fonte CC para a rede passa apenas pelo conversor CC-CA. Portanto, nessas condições o rendimento é máximo. Por outro lado, para descarga do ESS ou recarga do ESS pela rede há dois conversores cascadeados e o rendimento total é o produto do rendimento desses conversores. A Figura 4.22(b) apresenta o caso de conexão do ESS no barramento CA através de um inversor dedicado. Nesse caso, o rendimento é reduzido quando o ESS é recarregado pela fonte CC. Nos demais modos há apenas um conversor no fluxo de potência.

Figura 4.22 – Fluxo de potência e respectivo rendimento para configurações com conexão do ESS nos barramentos (a) CC e (b) CA.



Fonte: Elaborada pelo autor.

4.5.2 Perdas nos Indutores de Filtro

Os indutores estão sujeitos, principalmente, a dois tipos de perdas: as perdas no cobre e as perdas no núcleo. As perdas no cobre podem ser calculadas com base na corrente eficaz que atravessa o dispositivo e a resistência série:

$$P_{\text{cobre}} = I_{L,rms}^2 R_L \quad (4.143)$$

onde $I_{L,rms}$ é a corrente eficaz que atravessa o indutor e R_L é a resistência série equivalente na frequência de comutação. Para o indutor do ESS a resistência série medida com um medidor LCR foi de 0,5 Ω . O indutor de filtro CA apresentou resistência de 0,3 Ω . A corrente eficaz que atravessa o indutor é dependente do ponto de operação e, portanto, as perdas no cobre são variáveis.

As perdas no núcleo podem ser obtidas a partir do catálogo do fabricante do núcleo de acordo com a densidade de fluxo magnético e frequência de comutação adotadas. Os núcleos utilizados no protótipo desta Tese são fabricados com material IP6 e apresentam perdas aproximadas de 7 mW/g para densidade de fluxo magnético de 0,3 T (THORNTON, 2015).

4.5.3 Perdas nos Capacitores do Barramento CC

As perdas nos capacitores eletrolíticos podem ser estimadas, de forma simplificada, através da resistência série equivalente (RSE):

$$P_{cap,RSE} = I_{C,rms}^2 RSE. \quad (4.144)$$

Caso o fabricante do capacitor forneça o valor do fator de dissipação ($\text{tg}\delta$), o valor da RSE pode ser obtido a partir de:

$$RSE = \text{tg}\delta \frac{1}{2\pi fC}. \quad (4.145)$$

4.6 ANÁLISE DE CENÁRIOS DE APLICAÇÃO DO INVERSOR

Conforme discussão na seção anterior, que mostrou os esforços de tensão e corrente, cada aplicação poderá introduzir certas limitações ou exigências que requerem uma reavaliação dos resultados obtidos. Dependendo da característica dos elementos envolvidos algumas faixas de valores podem não ocorrer. Por exemplo, alguns sistemas de armazenamento de energia podem ser descarregados com corrente superior à de recarga, como é o caso das baterias de chumbo-ácido. Em aplicações conectadas à rede é possível a recarga do ESS utilizando a energia da rede, enquanto em aplicações ilhadas isso não é possível. Somente com a defi-

nição exata da aplicação e dos elementos envolvidos é possível uma análise que conduza ao correto dimensionamento do inversor. Nessa seção são apresentadas duas análises: uma para aplicação em FV e outra para UPS. São definidas algumas condições hipotéticas típicas dessas aplicações. Diversos outros cenários poderiam ser obtidos alterando-se essas condições e os elementos envolvidos. No entanto, os cenários analisados são bastante comuns e as análises realizadas trazem informações úteis ao entendimento das características da topologia.

4.6.1 Aplicação em Sistemas FV

As aplicações fotovoltaicas são caracterizadas principalmente pela natureza intermitente da irradiação solar. A intermitência ocorre todos os dias com a alternância entre noite e dia e também devido a sombreamentos causados por nuvens passantes, por exemplo. Em aplicações ilhadas é fundamental a utilização de um ESS em conjunto com um sistema FV para que não se interrompa a alimentação das cargas quando ocorrem variações na geração FV. O correto dimensionamento do ESS permite também a alimentação das cargas durante toda a noite e períodos longos de baixa irradiação. Por outro lado, as aplicações conectadas à rede não requerem obrigatoriamente um ESS, utilizando a rede como elemento de armazenamento idealmente infinito. Mas, os efeitos da intermitência na geração FV conectada à rede são nocivos ao sistema elétrico e podem ser mitigados com a utilização do ESS. Além disso, o ESS permite dar maior flexibilidade na operação do sistema FV e prover serviços de suporte à rede (ou serviços auxiliares). O sistema de geração FV ilhado é similar ao de uma UPS e, portanto, os requisitos de projeto também são similares. Nessa análise foi tratada apenas a aplicação do conversor ANPC-3P em um sistema FV conectado à rede.

O uso de ESS em um sistema FV conectado à rede permite suavizar as variações de potência da geração FV ao longo do dia. Outras funcionalidades também são possíveis, como o carregamento completo do ESS ao longo do dia e a utilização da energia no horário de ponta do sistema elétrico, entre outros serviços de suporte à rede. Considerando que o ESS seja utilizado para compensar as variações da geração FV ao longo do dia ou que a energia armazenada seja completamente utilizada diariamente, são indicadas baterias que suportem elevados ciclos de carga e descarga profunda. Nesse caso, baterias de íons de lítio ou similares são as mais indicadas. Portanto, nessa análise foi considerado que o ESS pode se carregar com potência nominal igual a de descarga.

4.6.1.1 Esforços de tensão

Como exemplo de dimensionamento do barramento CC de um inversor FV conectado à rede são utilizadas as especificações da Tabela 4.3.

Tabela 4.3 – Especificações de um inversor FV conectado à rede e com ESS formado por baterias de íons de lítio.

Parâmetro	Valor
$V_{cel,max}$	4,2 V/célula
$V_{cel,min}$	2,8 V/célula
V_{CA_n}	220 V
f_{st}	1,1 (10%)
$f_{\Delta V_{ca}}$	1,02 (2%)
$f_{\Delta V_{cc}}$	1,05 (5%)

Fonte: Elaborada pelo autor.

Aplicando os valores da Tabela 4.3 em (4.6) obtém-se $V_{cc} = 1.155$ V. O número de células em série no ESS é de 131, $V_{E,min} = 366,8$ V e $V_{E,max} = 550,2$ V. Para esse exemplo, poderia ser adotado $V_{cc}/2 = \pm 600$ V. Com a tensão calculada para o barramento CC, o índice de modulação de amplitude é 0,52. Nota-se que a grande faixa de variação da tensão do ESS é o principal fator que faz com que a tensão do barramento CC resulte em um valor relativamente elevado.

De forma a comparar o resultado obtido no exemplo de dimensionamento do barramento CC, considera-se um outro inversor de topologia NPC dedicado à conexão à rede de um ESS formado pelo mesmo tipo de bateria, conforme apresentado na Figura 2.15(a). Nesse caso, a tensão mínima do ESS também deve ser superior a máxima tensão de pico no ponto de conexão. Para efeito de comparação, consideram-se os mesmos percentuais de $f_{\Delta V_{cc}}$ e $f_{\Delta V_{ca}}$ que foram adotados para o ANPC-3P. A diferença é que para o inversor NPC as baterias devem ser conectadas no barramento CC e, portanto, o resultado é $N_{cel} = 250$ células. A tensão mínima do barramento CC é $V_{cc,min} = 250V_{cel,min} = 700$ V e a tensão máxima é $V_{cc,max} = 250f_{\Delta V_{cc}}V_{cel,max} = 1.103$ V. Nesse exemplo, a variação da tensão do ESS também acaba elevando o estresse de tensão sobre os semicondutores. Para tensão mínima do ESS o inversor NPC opera com índice de modulação de amplitude próximo de 1,0, mas quando o ESS está completamente carregado o índice de modulação é 0,56. O resultado é similar ao obtido para o ANPC-3P.

A Tabela 4.4 apresenta uma comparação de dois projetos para conexão de uma fonte CC principal e um ESS à rede em uma aplicação FV trifásica. Com exceção do inversor NPC da geração FV do Projeto 2, os esforços de tensão apresentados são os calculados acima. Também é apresentado o número de componentes de potência necessários para cada uma das soluções.

Considerando-se que a fonte CC principal é um painel FV, alguns pontos precisam ser destacados. Como a tensão do barramento CC do ANPC-3P é superior a 1.000 V, a sua aplicação direta (sem pré-reguladores MPPT) em sistemas FV de até 1.000 V não é possível (GKOUTI OUDI; BAKAS; MARINOPOULOS, 2013). Para sistemas FV de 1.500 V existe uma faixa para MPPT, mas é restrita. Dessa forma, se faz necessária a utilização de pré-reguladores MPPT

Tabela 4.4 – Comparação de dois projetos distintos para conexão de uma fonte CC principal e um ESS à rede (tensão eficaz de linha da rede (V_{LL}): 380 V).

Parâmetro \ Topologia	Projeto 1 - Fig. 1.4(e)	Projeto 2 - Fig. 1.4(b)	
	Inversor único ANPC-3P 3 ϕ	Inversor princ. NPC 3 ϕ	Inversor do ESS NPC 3 ϕ
Número de IGBTs	18	12	12
Número de Diodos	18	18	18
Fontes de tensão isoladas	11	10	10
Indutores (filtro L)	6	3	3
Capacitores (barr. CC)	2	2	2
N_{cel}	131 células por braço	–	250 células
$V_{E,min}$	366,8 V	–	700 V
$V_{E,max}$	550,2 V	–	1.103 V
$V_{cc,min}$	1.155 V	732 V	700 V
$V_{cc,max}$	1.155 V	732 V	1.103 V
Estresse de tensão	577,5 V	366	551,5 V

Fonte: Elaborada pelo autor.

com característica *boost* para conectar o painel FV ao barramento CC do ANPC-3P. No Projeto 2, se a tensão do sistema FV for de 1.000 V a faixa de MPPT também é restrita e geralmente são utilizados pré-reguladores MPPT na entrada para aumentar extração de potência do sistema FV. Em um sistema de 1.500 V o Projeto 2 poderia dispensar os pré-reguladores MPPT. A utilização de conversores CC-CC de entrada não inviabiliza a utilização da topologia ANPC-3P (e outras topologias) em aplicações FV.

Um outro ponto importante diz respeito à faixa de tensão no ponto de conexão com a rede. Inversores FV devem permanecer conectados mesmo quando a tensão da rede estiver acima ou abaixo do seu valor nominal. Por exemplo, no Brasil o tempo máximo de desconexão de um inversor FV é de 0,2 s para sobretensão (>110%) e 0,4 s para subtensão (<80%) (ABNT, 2013). Além de questões relacionadas à DHT da corrente injetada na rede, a subtensão não causa maiores problemas na operação do inversor. Por outro lado, a sobretensão é mais crítica devido à limitação da tensão do barramento CC. Os inversores que possuem topologia derivada do conversor *buck* apresentam dificuldades de operar quando a tensão do ponto de conexão aumenta demasiadamente. Por exemplo, para que um inversor NPC que conecta um ESS à rede possa permanecer conectado com sobretensão de 110%, a tensão $V_{E,min}$ deverá ser aumentada em, no mínimo, 10%. Um aumento na mesma proporção se verificará na tensão máxima do barramento CC quando o ESS estiver totalmente carregado. O mesmo ocorre na topologia ANPC-3P.

4.6.1.2 Esforços de corrente

A análise dos esforços de corrente tem relação com a aplicação e os modos de operação aos quais o conversor será submetido. Além disso, o balanço de potências deve sempre ser respeitado, bem como as características das fontes conectadas ao inversor. O sistema FV não aceita fluxo reverso de potência, logo a potência na porta CC principal deve sempre ser maior ou igual a zero. Além disso, o sistema FV apresenta potência máxima limitada e que é igual à potência de pico do conjunto de módulos FV. Normalmente, essa é a potência nominal de projeto do inversor, ou seja, nenhuma das portas processará potência superior à potência nominal.

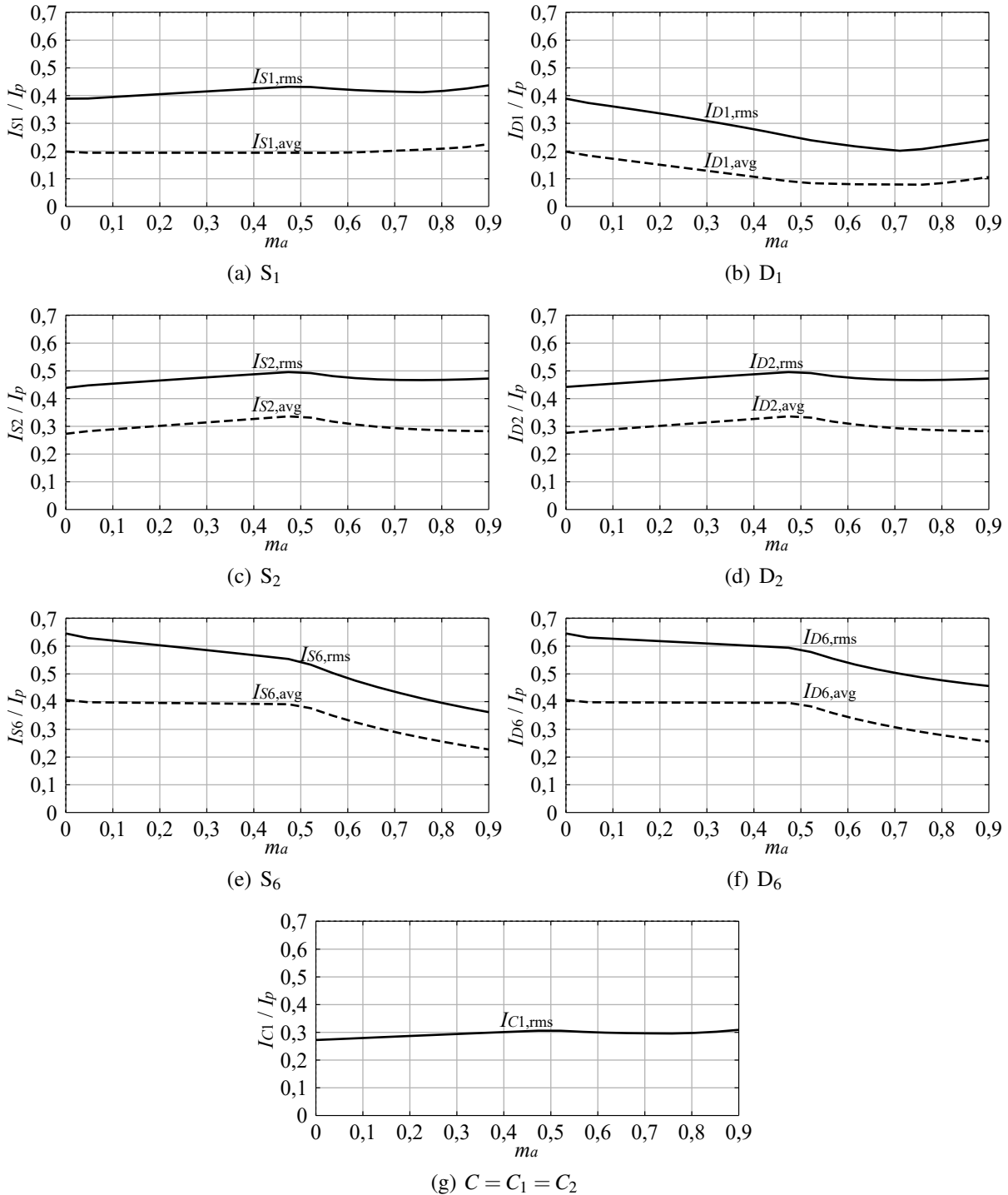
A Tabela 4.5 traz os modos de operação e as condições impostas pelas fontes conectadas ao inversor. Devido às limitações impostas na Tabela 4.5 e ao estresse de corrente em cada dispositivo ser diferente, a análise do pior cenário para cada dispositivo considerando todas as variáveis é relativamente complexa. São cinco variáveis que interferem nos esforços de corrente: I_E , m_a , V_E , θ e I_p . No entanto, na aplicação FV proposta o inversor pode operar com qualquer valor de I_E , I_p e θ , desde que as limitações apresentadas na Tabela 4.5 sejam respeitadas. O valor de d_z é ajustado de acordo com a tensão do ESS e pode variar no intervalo $[0, 1 - m_a)$. Quando o ESS está próximo da descarga total a sua tensão é mínima e, para manter a potência nominal, a corrente I_E é máxima. O pior caso ocorre para o maior valor de d_z , conforme pode ser verificado em (2.2). A Figura 4.23 apresenta os valores de corrente média e eficaz em cada dispositivo em função do índice de modulação. Para cada valor de índice de modulação foram realizadas diversas simulações variando-se I_E , I_p e θ e foi tomado o maior valor entre todas as simulações como resultado. Além disso, os resultados foram obtidos considerando a tensão mínima para o ESS, a qual resulta no maior valor de I_E . Como m_a é variável, idealmente, a tensão mínima no ESS pode ser obtida considerando-se que $d_z = 1 - m_a$ e substituindo esse valor em (2.2). Para baixos valores de m_a a tensão mínima do ESS pode ser muito pequena e os resultados obtidos não seriam factíveis. Portanto, a tensão mínima do ESS foi fixada em 25% da tensão do barramento CC, ou seja, $d_{z,\max} = 0,5$.

Tabela 4.5 – Fluxo de potência no conversor ANPC-3P em aplicação FV.

Modo	Descrição	Condição a ser satisfeita
I	ESS em flutuação	$P_{ca} = P_{pv}$ e $P_{ess} = 0$
II	ESS em recarga com $P_{ca} \geq 0$	$P_{ca} + P_{ess} = P_{pv}$
III	ESS em recarga com $P_{ca} < 0$	$P_{ess} = P_{ca}$ e $P_{pv} = 0$, $P_{ess} \leq P_{nom}$
IV	ESS em descarga com $P_{ca} \geq 0$	$P_{ca} = P_{pv} + P_{ess}$, $P_{ca} \leq P_{nom}$
V	ESS em descarga com $P_{ca} < 0$	Não permitido

Fonte: Elaborada pelo autor.

Figura 4.23 – Esforços máximos de corrente nos dispositivos eletrônicos em função do índice de modulação de amplitude considerando-se variações de I_E , I_p e θ em todos os seus valores possíveis e que respeitem as restrições impostas para aplicações FV.



Fonte: Elaborada pelo autor.

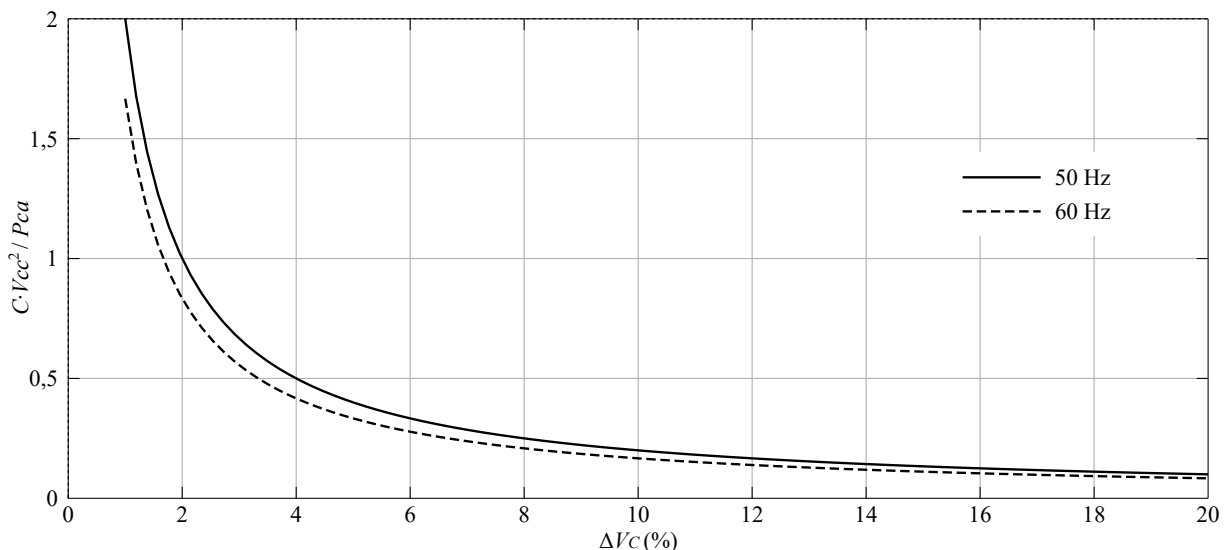
4.6.1.3 Capacitância do barramento CC

A análise geral da ondulação do barramento CC feita anteriormente conduz ao dimensionamento do barramento CC considerando o pior caso de operação do inversor, quando a porta CC principal fornece simultaneamente potência nominal ao ESS e à porta CA. No caso de aplicações FV essa condição não se verifica, conforme já discutido na análise de esforços de corrente. O módulo do termo $-\pi I_p \cos(\theta) + 4I_E$ de (4.116) é o responsável pela determinação do ponto de operação que resulta na maior ondulação de tensão. Os resultados do termo destacado para as condições de I a IV da Tabela 4.5 são: πI_p , $4I_E$, $\pi I_p - 4I_E$ e $-\pi I_p + 4I_E$, respectivamente. Os resultados das condições III e IV resultam nos menores valores de ondulação devido à subtração das parcelas. Como a corrente I_p , para potência nominal, é aproximadamente o dobro de I_E (devido às tensões serem diferentes), a maior ondulação ocorrerá no caso I, no qual o ESS está em flutuação. Este resultado mostra que a adição do ESS no inversor não causa aumento da capacitância para uma dada ondulação de tensão. Dessa forma, (4.122) pode ser ajustada para se projetar a capacitância do barramento CC para aplicações FV conforme segue:

$$C = \frac{P_{ca}}{f_r V_{cc}^2 \Delta V_C}. \quad (4.146)$$

A Figura 4.24 traz as curvas de dimensionamento da capacitância do barramento CC em função de ΔV_C para 50 e 60 Hz em aplicações FV conectadas à rede monofásica.

Figura 4.24 – Ábaco para dimensionamento da capacitância do barramento CC em função da ondulação máxima de tensão para aplicação FV.



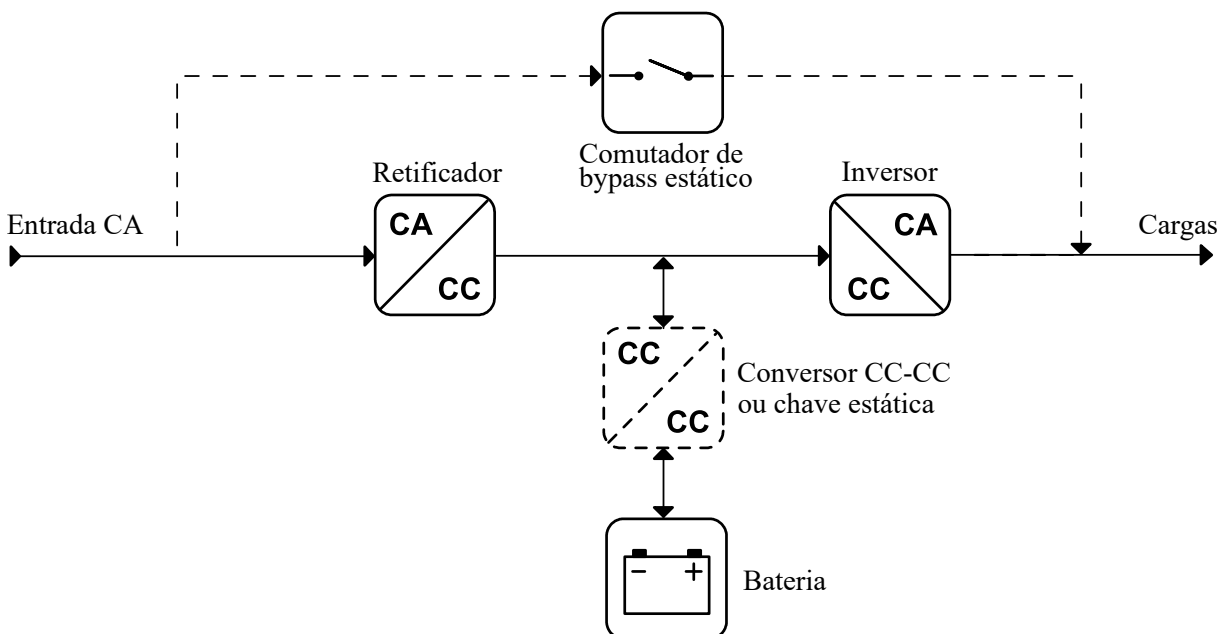
Fonte: Elaborada pelo autor.

4.6.2 Aplicação em UPS

As UPS se caracterizam principalmente por prover alimentação continuamente às cargas, mesmo durante falhas na rede elétrica a montante. Dentre os tipos de UPS pode-se destacar: *Standby* (ou passiva), *Line interactive* e Dupla conversão (*on-line*) (RASMUSSEN, 2010). A UPS *Standby* é para aplicações abaixo de 5 kVA e focadas em simplicidade e baixo custo. A UPS de dupla conversão é voltada para aplicações de maior potência, apresenta estágio retificador e inversor em operação durante todo o tempo e entrega energia de alta qualidade às cargas.

Dentre as topologias de UPS, será considerada nessa análise apenas as UPS de dupla conversão *on-line*, sendo chamada daqui em diante genericamente de UPS. A UPS é formada por um retificador de entrada, responsável pela conversão CA-CC. Este conversor de entrada geralmente possui um pré-regulador de fator de potência e é responsável pela regulação da tensão do barramento CC do inversor. A Figura 4.25 traz um diagrama de blocos simplificado de uma UPS online de dupla conversão. O conversor CC-CC que aparece em linhas pontilhadas, quando presente, é utilizado para controlar o estado de carga das baterias e adaptar o nível de tensão ao nível do barramento CC do inversor.

Figura 4.25 – Diagrama de blocos simplificado de uma UPS dupla conversão *on-line*.



Fonte: Adaptada de Rasmussen (2010).

Há também casos em que a bateria não se conecta através de um conversor CC-CC bidirecional. Um conversor separado é responsável pela recarga e flutuação da bateria. Quando ocorre uma falha na rede CA, a bateria é conectada ao barramento CC através de uma chave estática e fornece energia para as cargas através do inversor. A utilização do conversor ANPC-3P em uma UPS de dupla conversão traria como modificação a conexão da bateria diretamente

no inversor, conforme apresentado na Figura 4.26. Nesse caso, a potência de recarga das baterias deverá passar pelo retificador. Por outro lado, não há necessidade do conversor CC-CC bidirecional ou do conversor de recarga das baterias e da chave estática, conforme o caso.

Um outro ponto que merece destaque diz respeito às ondulações de baixa frequência na bateria. A potência drenada do barramento CC em inversores monofásicos é fortemente pulsada e causa ondulações na tensão dos capacitores. Com a bateria conectada no barramento CC ela estará sujeita à correntes com ondulação de baixa frequência. No conversor ANPC-3P, através de técnicas de controle, é possível eliminar essas ondulações da corrente do ESS, mantendo-as apenas nos capacitores do barramento CC. Em inversores trifásicos esse problema também pode ser proeminente em condições de cargas desequilibradas e que são comuns em UPS.

Uma configuração de UPS na qual as baterias são conectadas ao barramento CC do inversor através de um conversor CC-CC é apresentada na Figura 1.13. Nesse tipo de configuração a bateria não fica sujeita às ondulações de baixa frequência, pois esse conversor pode compensá-las através do sistema de controle. Também é possível otimizar a frequência de comutação e escolher a tensão das baterias. Em alguns projetos essas flexibilidades compensam os dispositivos de potência a mais e fazem com que essa forma de conexão seja frequentemente utilizada em produtos comerciais. O conversor ANPC-3P não apresenta essas flexibilidades, uma vez que a frequência PWM aplicada à bateria é a mesma do inversor e a tensão da bateria é dimensionada de acordo com a tensão do barramento CC, que por sua vez tem relação direta com a tensão sintetizada na porta CA.

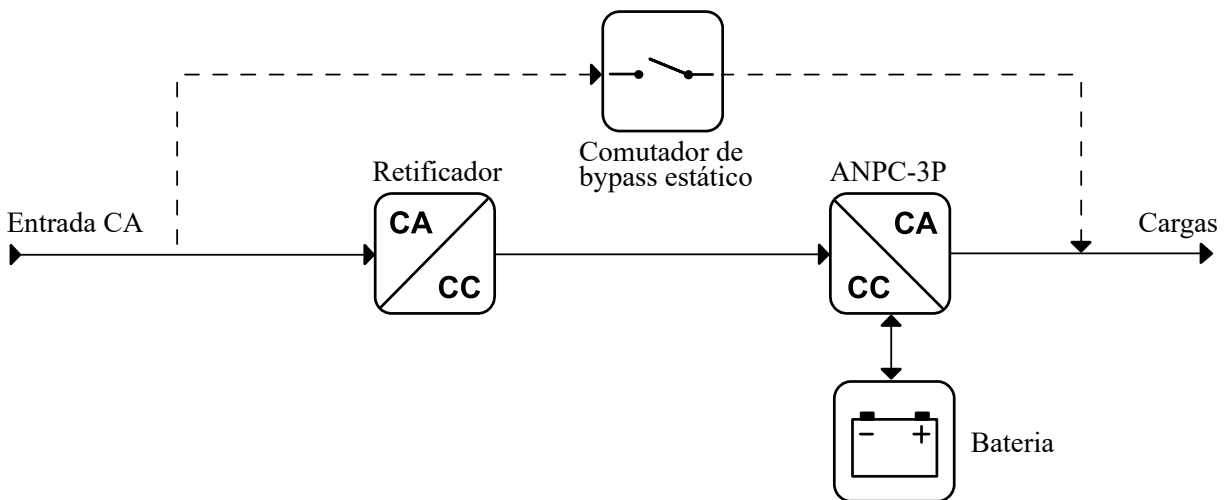
Em uma UPS com topologia ponte-completa ou trifásica o conversor ANPC-3P pode apresentar certas vantagens, a depender dos requisitos do projeto. Um ponto a ser considerado é a existência de um ESS por braço do inversor. Dessa forma, em caso de falha de um dos ESSs é possível manter as cargas alimentadas parcialmente ou mesmo totalmente, dependendo do dimensionamento do inversor e do ESS. Ou, alternativamente, é possível utilizar ESSs de tipos diferentes compondo um sistema híbrido, que permite aumentar a vida útil das baterias.

O tipo de ESS escolhido para esse exemplo foi a bateria de chumbo-ácido, que é de larga adoção nesse tipo de aplicação devido ao seu custo mais baixo. Esse tipo de bateria apresenta como uma de suas características não permitir corrente de recarga de mesmo valor da corrente de descarga. Dessa forma, a potência de recarga é uma fração da potência de descarga, sendo tipicamente adotado um valor entre 10% a 30% da capacidade da bateria. Assim, considerando que a potência de recarga da bateria passe pelo retificador, é necessário que este apresente potência nominal de 110% a 130% da potência nominal da UPS.

4.6.2.1 Esforços de tensão

Os esforços de tensão no conversor ANPC-3P da Figura 4.26 podem ser calculados de forma similar à aplicação FV. A Tabela 4.6 traz um resumo das especificações.

Figura 4.26 – Diagrama de blocos simplificado de uma UPS dupla conversão *on-line* com conversor ANPC-3P.



Fonte: Elaborada pelo autor.

Tabela 4.6 – Especificações de um inversor aplicado em UPS e com ESS formado por baterias de chumbo-ácido.

Parâmetro	Valor
$V_{cel,max}$	2,40 V/célula
$V_{cel,min}$	1,75 V/célula
V_{CAn}	220 V
f_{st}	1,00 (0%)
$f_{\Delta V_{ca}}$	1,10 (10%)
$f_{\Delta V_{cc}}$	1,05 (5%)

Fonte: Elaborada pelo autor.

No caso de aplicações em UPS sujeitas a cargas não-lineares, os percentuais $f_{\Delta V_{ca}}$ e $f_{\Delta V_{cc}}$ podem ser maiores para que se obtenha maior faixa de operação do sistema de controle, permitindo-o controlar a tensão de saída mesmo na presença de cargas com elevado fator de crista sem a saturação do atuador. A determinação do valor exato depende de diversos aspectos de projeto e de construção do inversor, como a impedância do filtro de saída e a técnica de controle utilizada. Aplicando-se a mesma metodologia de cálculo que foi utilizada no caso FV e os mesmos coeficientes, o resultado obtido é $V_{cc} = 1035$ V. O número de células em série no ESS é de 206 e resulta em $V_{E,min} = 360,5$ V e $V_{E,max} = 494,4$ V. Para esse exemplo, poderia ser adotado $V_{cc}/2 = \pm 525$ V. Com a tensão calculada para o barramento CC o índice de modulação de amplitude é 0,60.

De forma a comparar os resultados obtidos para a topologia ANPC-3P com a solução convencional, considerando que o inversor da Figura 4.25 seja de topologia NPC e que o ESS

seja conectado diretamente ao barramento CC, o número de células conectadas em série é de 411 células. As tensões máxima e mínima do barramento CC são, portanto, 986,4 V e 719,3 V, respectivamente. Nesse caso poderia ser utilizado um barramento CC de $V_{cc}/2 = \pm 500$ V.

Com relação à comparação do número de dispositivos de potência necessários em cada topologia, a ANPC-3P troca os diodos D_5 e D_6 por duas chaves. Acrescenta-se a necessidade de mais uma fonte isolada e dois *gate drivers*. Mas, elimina-se a necessidade de um conversor para recarga das baterias e a chave estática responsável pela conexão e desconexão do ESS ao barramento CC. Dependendo da potência da UPS esse conversor apresenta custo significativo. Por outro lado, a potência de recarga das baterias passa pelo pré-regulador de fator de potência tornando-o mais caro.

4.6.2.2 Esforços de corrente

A questão do balanço de potências para a aplicação em UPS também é de fundamental importância para se calcular os esforços de corrente nos componentes. Nesse caso a porta CC principal, que está conectada ao retificador, pode fornecer potência superior a potência nominal de saída da UPS para permitir a recarga do ESS. Conforme já discutido, o percentual de potência adicional na entrada da UPS varia de 10% a 30%. Como normalmente não há fluxo reverso de potência no inversor isso reduz consideravelmente os possíveis pontos de operação. Quando o ESS estiver em descarga, a potência deverá ser igual a sua potência entregue às cargas, pois nenhum fluxo reverso é aceito pelo retificador. A Tabela 4.7 traz um resumo dos modos de operação e as condições a serem satisfeitas.

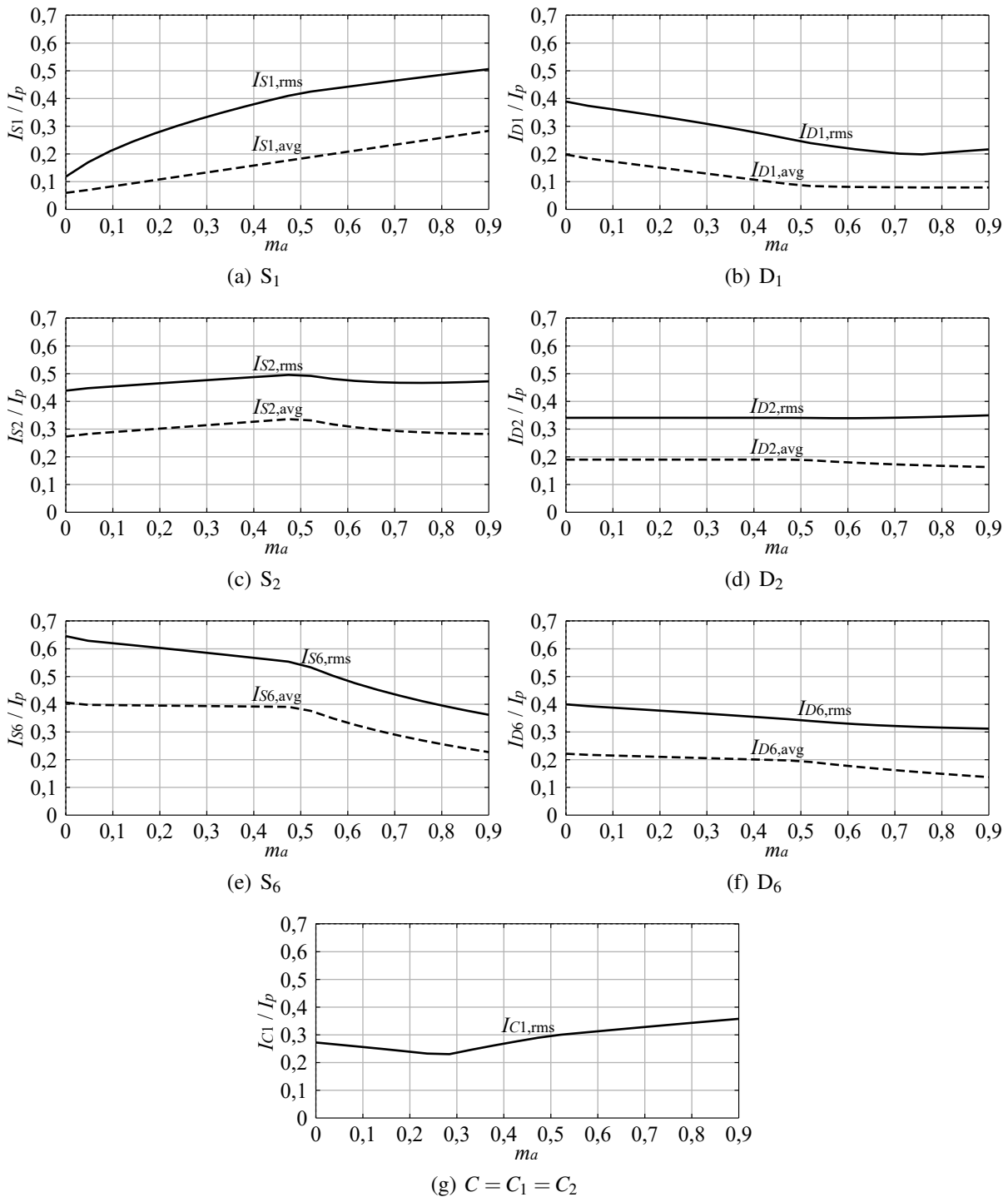
Tabela 4.7 – Fluxo de potência no conversor ANPC-3P em aplicação UPS.

Modo	Descrição	Condição a ser satisfeita
I	ESS em flutuação	$P_{cc} = P_{ca}$ e $P_{ess} = 0$
II	ESS em recarga com $P_{ca} \geq 0$	$P_{cc} = P_{ess} + P_{ca}$
III	ESS em recarga com $P_{ca} < 0$	Não permitido
IV	ESS em descarga com $P_{ca} \geq 0$	$P_{ca} = P_{cc} + P_{ess}$
V	ESS em descarga com $P_{ca} < 0$	Não permitido

Fonte: Elaborada pelo autor.

Os esforços máximos de corrente nos dispositivos do inversor para operação em UPS, de acordo com os modos da Tabela 4.7, são apresentados na Figura 4.27.

Figura 4.27 – Esforços máximos de corrente nos dispositivos eletrônicos em função do índice de modulação de amplitude considerando-se variações de I_E , I_p e θ em todos os seus valores possíveis e que respeitem as restrições impostas para aplicações UPS. Valores obtidos para potência de recarga do ESS de 30% da potência nominal.



Fonte: Elaborada pelo autor.

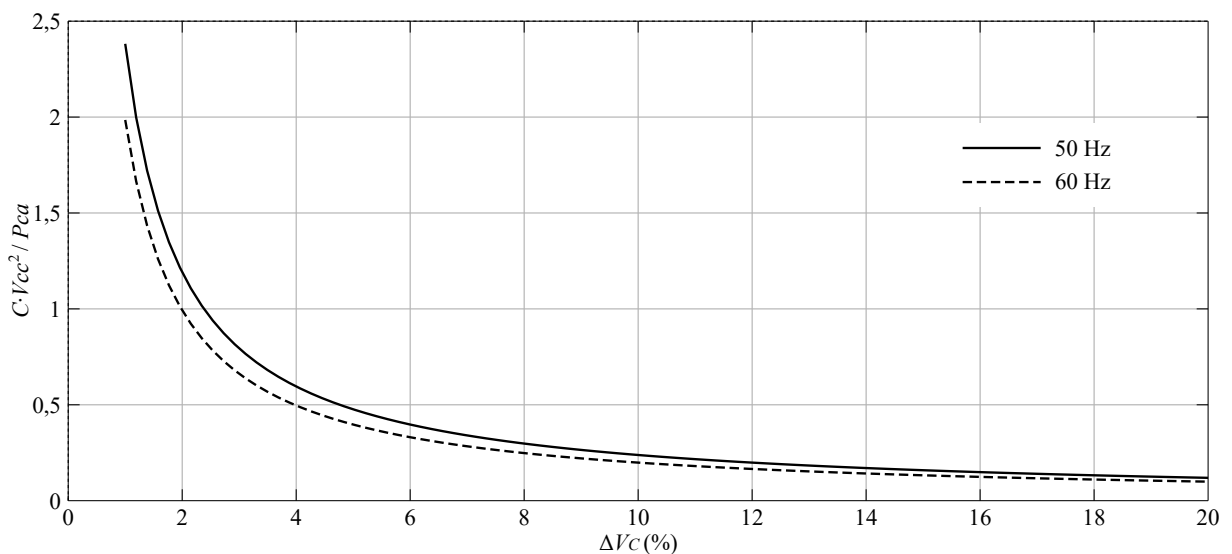
4.6.2.3 Capacitância do barramento CC

No caso de aplicações em UPS, sabe-se de antemão que há recarga do ESS e potência CA nominal simultaneamente. Caso a potência de recarga do ESS seja igual a potência nominal de descarga, o dimensionamento da capacitância do barramento CC pode ser realizado conforme (4.122) e Figura 4.13. No entanto, no exemplo dado nessa seção, a potência máxima de recarga do ESS é 30% da potência e descarga. Assim, é necessário reavaliar o cálculo da capacitância do barramento CC. Nesse caso, a corrente $|I_E|$ será 30% de (4.120). Portanto, a capacitância pode ser calculada por:

$$C = 1,1910 \frac{P_{ca}}{f_r V_{cc}^2 \Delta V_C}. \quad (4.147)$$

A Figura 4.28 traz as curvas de dimensionamento da capacitância do barramento CC em função de ΔV_C para 50 e 60 Hz para aplicações em UPS com corrente de recarga de até 30% da corrente de descarga do ESS.

Figura 4.28 – Ábaco para dimensionamento da capacitância do barramento CC em função da ondulação máxima de tensão para aplicação em UPS com corrente de recarga de até 30% da corrente de descarga do ESS.



Fonte: Elaborada pelo autor.

4.7 CONSIDERAÇÕES FINAIS

Neste capítulo foi realizado um estudo voltado para o projeto do conversor ANPC-3P. Os três principais pontos relacionados ao dimensionamento dos componentes do inversor foram abordados: esforços de tensão e corrente e cálculo da capacitância do barramento CC. Os

subsídios apresentados neste capítulo podem ser utilizados como um ponto de partida para o dimensionamento do inversor, podendo ser posteriormente refinado através de simulações.

Foi enfatizada a multiplicidade de modos de se operar o conversor ANPC-3P. Para apresentar uma análise mais realista, foram considerados dois casos típicos: a aplicação FV conectada à rede e UPS. Para outras aplicações, com requisitos diferentes dos apresentados, é necessário voltar para a análise geral e refazer o estudo considerando os requisitos da aplicação específica.

A análise de perdas apresentada permitiu compreender melhor o impacto da inclusão do ESS na distribuição de perdas e no rendimento. Uma comparação com o inversor ANPC mostra que o ANPC-3P apresenta principalmente maiores perdas por comutação devido à necessidade de modulação da porta CC secundária. Além disso, a integração da porta para conexão do ESS aumenta a dissipação de potência nos dispositivos semicondutores mais estressados e causa maior desbalanceamento de perdas. Por outro lado, recomenda-se a aplicação do inversor ANPC-3P em potências que vão de dezenas a centenas de quilowatts. Nessa faixa de potência, em geral, o balanceamento de perdas não é um requisito fundamental a ser alcançado. Embora o conversor ANPC-3P tenha estados redundantes que podem permitir uma melhor distribuição de perdas entre os dispositivos semicondutores, isso não foi considerado nesta Tese. Devido à porta CC para conexão do ESS estar integrada na topologia ANPC-3P, o rendimento do conversor é aproximadamente o mesmo para todos os modos de operação. Em comparação com outras configurações, como por exemplo a conexão do ESS no barramento CC ou CA, há sempre um ou mais modos de operação em que o cascadeamento de conversores reduz o rendimento global.

Como pôde ser visto na análise dos esforços de tensão, devido à faixa de variação da tensão do ESS, uma melhor condição de operação do ANPC-3P ocorre para barramento CC regulado, que não precisa ser variado para se alcançar algum objetivo adicional, tal como MPPT, por exemplo. Mesmo assim, a aplicação em FV pode ser realizada considerando-se o uso de conversores CC-CC do tipo *boost* de entrada, um para cada *string*/MPPT do painel FV.

A aplicação em UPS de dupla conversão é viável. A comparação com configurações de UPS que fazem a conexão da bateria diretamente ao barramento CC mostra que o conversor ANPC-3P apresenta características interessantes que o tornam competitivo. Por outro lado, em projetos onde há margem para se colocar um conversor de interface entre a bateria e o barramento CC, devido às flexibilidades proporcionadas, é mais difícil de se justificar a adoção da topologia ANPC-3P. Em aplicações em ponte completa ou trifásicas, devido à separação natural do ESS em uma parte por braço, isso torna o ESS do ANPC-3P redundante. Essa é uma característica que pode ser levada em consideração em projetos especiais.

A inclusão do ESS no conversor ANPC-3P não altera a modulação da porta CA e, consequentemente, o sinal de saída. Por isso, optou-se por não abordar questões relativas ao projeto do filtro de saída do inversor, o qual é amplamente coberto na literatura.

5 ANÁLISE EM MALHA FECHADA

5.1 INTRODUÇÃO

Neste capítulo é apresentada uma proposta de sistema de controle para o conversor ANPC-3P monofásico conectado à rede. Essa aplicação permite avaliar o desempenho do sistema de controle em todos os modos de operação. Inicialmente são apresentados os modelos da porta CC secundária para as duas sequências de comutação apresentadas no Capítulo 3. São também definidos os compensadores para o controle de corrente da porta CC secundária e da porta CA. A questão do balanceamento da tensão do ponto neutro é analisada considerando-se as ações de ambas as portas de potência e são propostos compensadores independentes para cada porta.

Para inversores NPC/ANPC monofásicos, a potência da porta CA aparece de forma pulsada no barramento CC e causa ondulações na frequência da rede. Como a porta CC secundária se conecta a ambos os polos do barramento CC para troca de energia, ela é submetida a essas tensões com ondulações e isso implicará em ondulações de baixa frequência na corrente da porta CC secundária. Essas ondulações são indesejáveis, pois aumentam a amplitude da ondulação de corrente no ESS. Filtros passivos podem ser utilizados para manter essa ondulação abaixo do limite estabelecido em projeto, mas, devido às baixas frequências envolvidas, os filtros necessários aumentariam significativamente o volume e o peso do conversor. Uma outra abordagem é a atenuação dessas ondulações através do sistema de controle. Esse capítulo aborda duas formas de contornar esse problema através das ações de controle *feedforward* e ressonante.

A interface com a rede elétrica apresenta desafios ao sistema de controle, pois os parâmetros elétricos da rede são variáveis (tensão, frequência e impedância) e podem ocorrer situações indesejadas como perturbações de tensão e frequência. Diversas técnicas de controle foram propostas para alcançar soluções para os diversos desafios impostos (KAZMIERKOWSKI; MALESANI, 1998; LIU; CALDOGNETTO; BUSO, 2019). Por outro lado, conforme já demonstrado nos Capítulos 2 e 3, a porta CC secundária não interfere no funcionamento da porta CA. De modo geral, as estratégias já conhecidas para controle da porta CA também se aplicam ao ANPC-3P e, portanto, esta Tese não abordará essa questão em profundidade. É apresentada uma estratégia de controle simples e que permite controlar o fluxo de potência para que todos os modos de operação do inversor possam ser analisados. Nesse sentido, esta Tese concentra esforços na análise do sistema de controle da porta CC secundária.

Uma aplicação conectada à rede permite avaliar todos os modos de operação do conversor ANPC-3P, conforme descrito na Tabela 5.1, por permitir o fluxo reverso de potência ativa na porta CA. O modo V é pouco usual, pois requer que a fonte V_{cc} seja capaz de absorver potência.

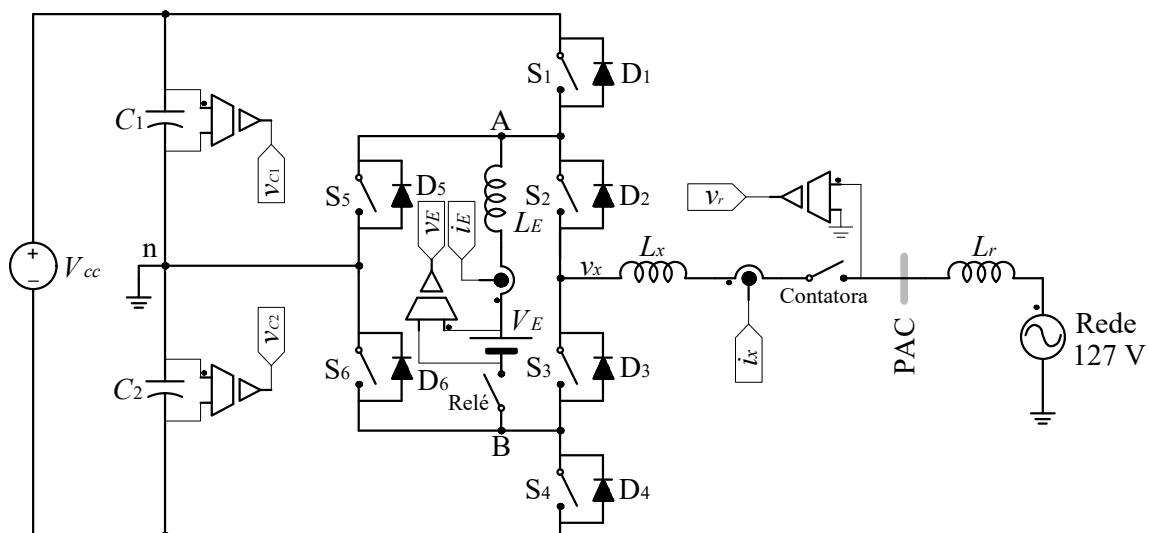
Tabela 5.1 – Fluxo de potência no conversor ANPC-3P em aplicação conectada à rede.

Modo	Descrição
I	ESS em flutuação
II	ESS em recarga com $P_{ca} > 0$
III	ESS em recarga com $P_{ca} < 0$
IV	ESS em descarga com $P_{ca} > 0$
V	ESS em descarga com $P_{ca} < 0$

Fonte: Elaborada pelo autor.

Na Figura 5.1 é apresentado o circuito considerado para esta aplicação, para o qual é analisado e proposto o sistema de controle. Também são apresentadas as variáveis medidas. Ambas as tensões dos polos do barramento CC devem ser medidas, pois é necessário regular o ponto neutro. A tensão do ponto de conexão é medida para sincronizar o inversor com a rede e para fins de proteção. Assim, através do controle da magnitude e fase de i_x é possível controlar as potências ativa e reativa injetadas na rede. Do lado do ESS são necessárias medições da tensão e corrente do ESS. A medição de corrente é fundamental para que seja possível regular o seu valor médio e para limitá-la tanto nos modos de recarga quanto descarga. A medição da tensão do ESS é utilizada na malha de controle de tensão do ESS, que é ativada no modo de recarga, e também informa ao sistema supervisor o SOC do ESS.

Figura 5.1 – Circuito de potência incluindo alguns elementos auxiliares e variáveis a serem medidas.

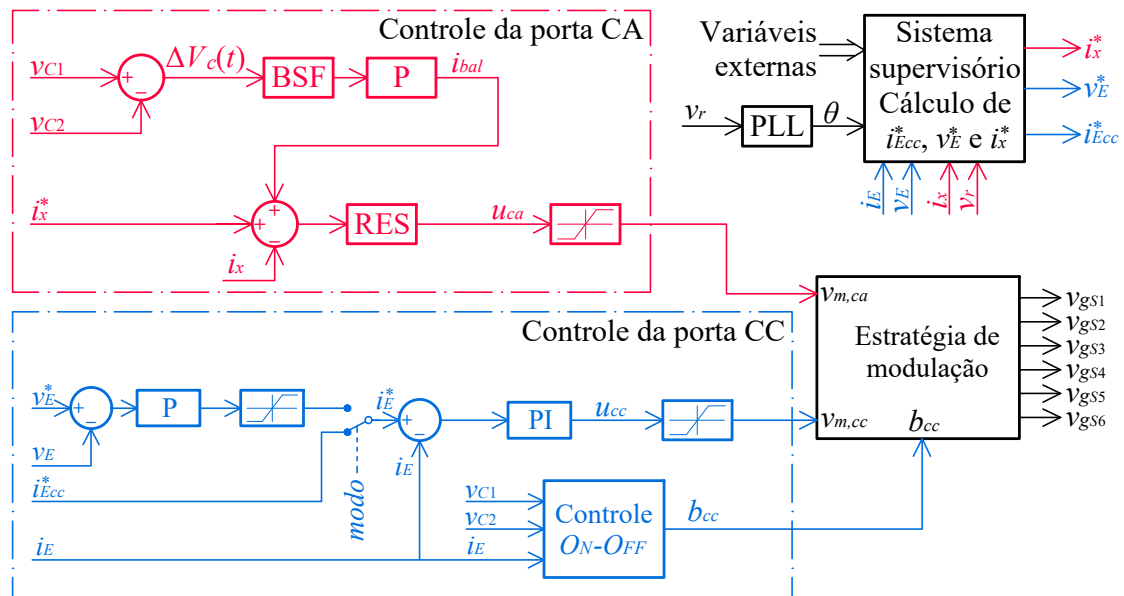


Fonte: Elaborada pelo autor.

O sistema de controle é constituído por dois subsistemas, conforme apresentado na Figura 5.2. Há um subsistema de controle para a porta CA e outro para a porta CC secundária. Ambos os subsistemas de controle também apresentam ações para regular a tensão do ponto

neutro. Os principais blocos do sistema de controle são analisados e projetados nas seções subsequentes. Ainda neste capítulo, a questão da ondulação de corrente no ESS é analisada e são propostas alterações no sistema de controle básico.

Figura 5.2 – Diagrama de blocos do sistema de controle básico.



Fonte: Elaborada pelo autor.

O bloco “Sistema supervisor”, mostrado na Figura 5.2, é responsável por coordenar o funcionamento do conversor em um alto nível hierárquico. Em aplicações comerciais, ele recebe diversas informações sobre o estado da planta, condições ambientais, informações remotas através de protocolos de comunicação e possui ações pré-definidas, agindo sobre o sistema de controle para cada condição de operação. É um sistema de fundamental importância para o funcionamento autônomo do conversor. No entanto, para validar os diversos modos de operação do conversor em um protótipo de laboratório, o sistema supervisor não é necessário, ou ele pode ter apenas funções simples. As definições das referências dos controladores pode ser feita de forma manual. Uma máquina de estados pode fazer o papel do supervisor para inicializar o funcionamento do conversor, conectar com a rede e para prover uma sequência de ações para desconexão e desligamento normal ou em situações de falha. Assim, o sistema supervisor não é abordado nesta Tese.

Considerando a metodologia de projeto do inversor apresentada no Capítulo 4 e os resultados obtidos no Apêndice A, os parâmetros do inversor projetado estão resumidos na Tabela 5.2.

O sistema de controle utilizado nos experimentos apresentados no Capítulo 6 foi implementado em um processador digital de sinais. O processamento digital dos sinais e a síntese utilizando PWM podem ser modeladas como um sistema de amostragem e retenção (*sample and hold*). O modelo de um modulador PWM simétrico, considerando algumas simplificações, apresenta comportamento de atraso puro e com duração $T_s/2$ (BUSO; MATTAVELLI, 2006).

Tabela 5.2 – Parâmetros do conversor monofásico utilizado nas simulações relacionadas aos sistemas de controle.

Parâmetro	Valor
Potência nominal CA (P_{ca})	1 kW
Potência nominal do ESS (P_{ess})	1 kW
Tensão do barramento CC (V_{cc})	720 V
Capacitores do barramento CC ($C_1 = C_2$)	500 μ F
Tensão CA eficaz (V_{ca})	127 V
Indutor de filtro CA (L_x)	6 mH ($R_{Lx} = 0,3 \Omega$)
Tensão do ESS (V_E)	241,5 – 331,2 V
Número de baterias em série (N_{bat})	23
Número de células em série (N_{cell})	23 · 6 = 138
Indutor de filtro do ESS (L_E)	8 mH ($R_{LE} = 0,5 \Omega$)
Resistência interna do ESS (R_E)	0,5 Ω
Frequência da rede (f_r)	60 Hz
Frequência das portadoras (f_s)	10,26 kHz

Fonte: Elaborada pelo autor.

Nesta Tese foi considerada a aproximação de Padé de primeira ordem para o atraso, a qual é dada por:

$$G_d(s) = \frac{1 - sT_s/2}{1 + sT_s/2} \quad (5.1)$$

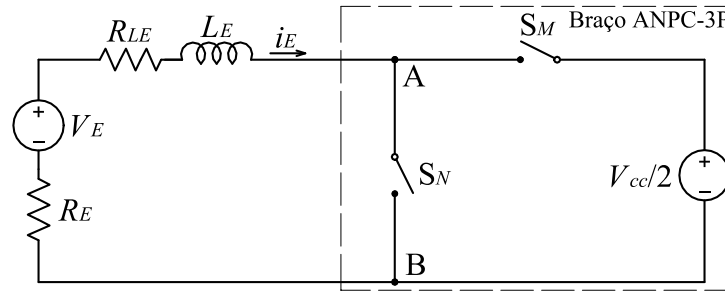
onde $T_s = 1/f_s$. A amostragem ocorre uma vez a cada período das portadoras e exatamente no pico da portadora positiva. Portanto, a frequência de amostragem é igual à das portadoras.

As funções de transferência de tempo contínuo, que são obtidas neste capítulo, foram discretizadas utilizando-se o método do retentor de ordem zero (ZOH - *zero order hold*) (ÅSTRÖM; WITTENMARK, 2011). As funções de sistema de tempo discreto foram então utilizadas para implementação dos compensadores no microprocessador digital.

5.2 MODELO DA PORTA CC SECUNDÁRIA

O modelo médio linear fornece as informações da planta necessárias ao projeto dos compensadores de tensão e corrente da porta CC secundária. O circuito apresentado na Figura 5.3 é uma simplificação do conversor e facilita a obtenção do modelo da porta CC secundária. As chaves S_M e S_N são ideais, bidirecionais em corrente e operam de forma complementar. A fonte V_E possui resistência interna R_E e a resistência série do indutor L_E é representada por R_{LE} .

Figura 5.3 – Circuito simplificado do conversor visto pela porta CC secundária.



Fonte: Elaborada pelo autor.

Na primeira etapa, quando S_M está em condução, a equação de estado é dada por:

$$L_E \frac{di_E}{dt} = V_E - (R_E + R_{LE}) i_E - \frac{V_{cc}}{2}. \quad (5.2)$$

Para a segunda etapa, quando S_N está em condução, obtém-se:

$$L_E \frac{di_E}{dt} = V_E - (R_E + R_{LE}) i_E. \quad (5.3)$$

O modelo da planta é obtido a partir da perturbação e linearização da corrente média em L_E em um período de comutação (ERICKSON; MAKSIMOVIC, 2001). O resultado obtido é dado por:

$$L_E \left\langle \frac{d\hat{i}_E}{dt} \right\rangle = \hat{v}_E - (R_E + R_{LE}) \hat{i}_E - \hat{v}_{cc} \left(\frac{1}{2} - \frac{D_z}{2} \right) + \frac{V_{cc}}{2} \hat{d}_z. \quad (5.4)$$

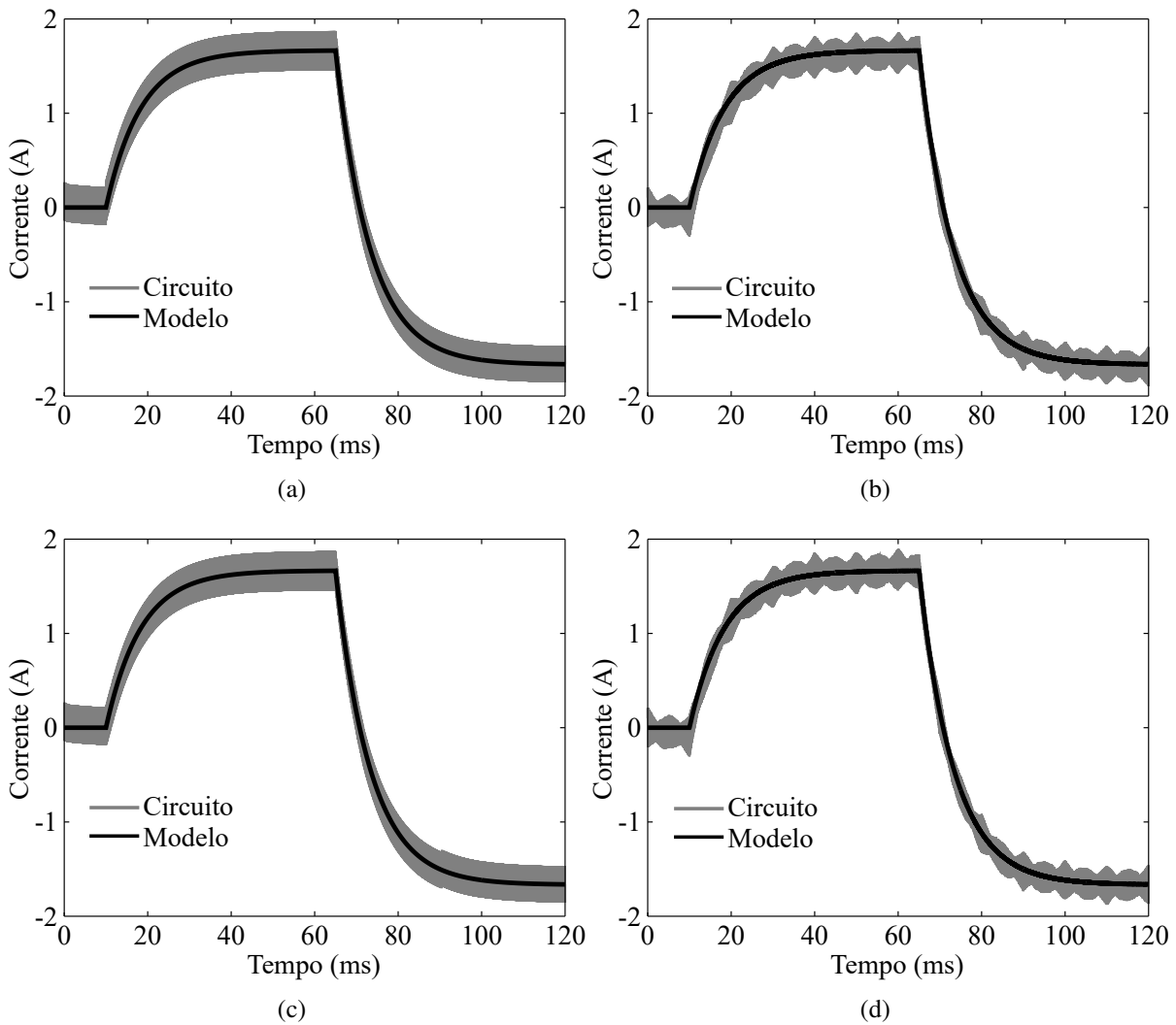
A partir de (5.4) podem ser obtidas as funções de transferência relacionando entradas e saídas de interesse.

O modelo obtido é válido para a modulação da porta CC secundária utilizando as sequências do tipo 1 e do tipo 2 apresentadas no Capítulo 3. A única diferença é a forma de distribuição dos pulsos zero em v_{AB} , mas a média em um período de comutação é igual para ambas as sequências. Cabe observar que o modelo obtido é também válido para grandes sinais, pois o coeficiente que multiplica a variável de estado é o mesmo em todas as etapas, conforme pode ser visto em (5.2) e (5.3).

O modelo obtido foi validado através de simulação utilizando o *software* PSIM. Os resultados podem ser vistos na Figura 5.4. A saída do modelo segue o valor médio da corrente i_E obtida através da simulação do conversor. Nota-se que nas Figuras 5.4(a) e (c) a ondulação é constante, enquanto que nas Figuras 5.4(b) e (d) a ondulação é variável. No entanto, em ambos os casos o valor médio em um período de comutação é o mesmo.

É importante observar que o sistema de controle proposto não atua diretamente sobre d_z , mas sobre $v_{m,cc}$. O valor de d_z é gerado após a comparação com as portadoras. Para o caso da sequência tipo 1 a relação entre o sinal $v_{m,cc}$ e d_z apresenta ganho negativo e para sequência

Figura 5.4 – Resultados de simulação da corrente i_E para perturbação em d_z considerando o circuito e o modelo médio linear. (a) Modulação POD com sequência tipo 1. (b) Modulação POD com sequência tipo 2. (c) Modulação PD com sequência tipo 1. (d) Modulação PD com sequência tipo 2.



Fonte: Elaborada pelo autor.

tipo 2 o ganho é positivo. Os modelos dos moduladores para sequência do tipo 1 e 2 são, respectivamente:

$$\hat{d}_z = -\frac{1}{V_M} \hat{v}_{m,cc} \quad (5.5)$$

$$\hat{d}_z = \frac{1}{V_M} \hat{v}_{m,cc} \quad (5.6)$$

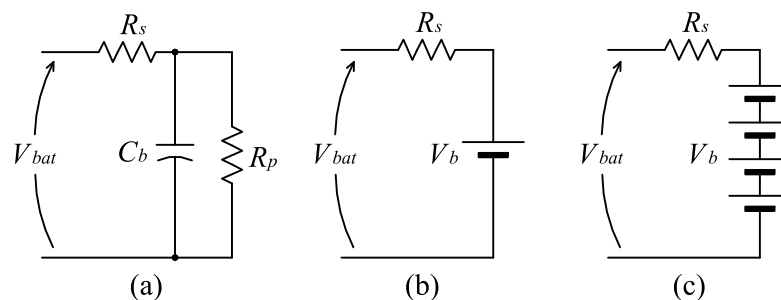
onde V_M é a amplitude da portadora triangular.

Como ambas as portas apresentam o mesmo modelo médio linear, neste capítulo são apenas realizadas simulações para portadoras em POD e sequência do tipo 1 na porta CC secundária.

5.3 MODELO DA BATERIA

A bateria de chumbo-ácido regulada por válvula (VRLA - *Valve-Regulated Lead-Acid*) é um dispositivo cujas reações químicas não são lineares e são influenciadas por diversos fatores como: temperatura, tempo de uso, modo de operação, aspectos construtivos, etc (SCHUCH, 2001). Na literatura, vários trabalhos buscam encontrar modelos precisos para as baterias com finalidades diversas (SALAMEH; CASACCA; LYNCH, 1992; RYNKIEWICZ, 1999; PASCOE; ANBUKY, 2004; CHEN; RINCON-MORA, 2006; HE et al., 2012). Os modelos dependem de diversos ensaios de recarga e descarga (entre outros ensaios específicos), de coeficientes empíricos e de aproximações. Dessa forma, os modelos podem se tornar consideravelmente complexos. Por outro lado, o objetivo desta Tese não é o de avaliar o comportamento da bateria, mas sim o desempenho de um conversor estático. Portanto, propõe-se a utilização de um modelo simplificado da bateria e que é apresentado na Figura 5.5(a). A variável R_s é a resistência série da bateria (célula ou banco de baterias). É um importante parâmetro para se conhecer a queda de tensão causada pela corrente que circula pela bateria. A resistência R_p representa a autodescarga da bateria e geralmente não é incluída nos circuitos para simulação ou análise de conversores. A capacitância C_b representa a capacidade da bateria de armazenar energia.

Figura 5.5 – Circuitos equivalentes (a) do modelo simplificado de uma célula, (b) de uma bateria e (c) de um banco de baterias, utilizados para simulação da conexão com conversores estáticos.



Fonte: Elaborada pelo autor.

Os bancos de baterias também podem utilizar um modelo simplificado com os parâmetros concentrados, conforme é apresentado na Figura 5.5(b) para uma bateria e na Figura 5.5(c) para um banco de baterias. A partir de ensaios ou da folha de dados do fabricante da bateria é possível extrair o valor de R_s e calcular o parâmetro concentrado quando for o caso.

Em modelos simplificados, como os apresentados nas Figuras 5.5(b) e (c), a tensão da bateria é considerada constante e representada por uma tensão fixa V_b . Essa simplificação

é válida para a maioria das simulações de conversores estáticos. O processo de recarga ou descarga total de uma bateria pode levar horas para ser concluído. Dessa forma, em simulações com duração de alguns segundos não se observa variação significativa na tensão da bateria. Para simulações em que é necessário visualizar o comportamento do conversor frente a variações na tensão da bateria, uma opção é considerar o modelo da Figura 5.5(a) e reduzir a capacitância C_b .

5.4 SISTEMA DE CONTROLE DO ESS

O ESS pode operar basicamente em três modos: recarga, descarga e flutuação. No modo de recarga existem algumas formas de se controlar os parâmetros elétricos para se obter uma recarga rápida mas sem reduzir a vida útil do ESS. As principais formas de recarga são por tensão constante, corrente constante e mistas (sendo uma parte da recarga por tensão constante e outra parte por corrente constante e vice-versa). Uma revisão detalhada dos métodos de recarga de baterias pode ser obtida em Schuch (2001). Devido à complexidade do processo químico de recarga, dependência das variáveis com a temperatura, envelhecimento, etc, as técnicas de recarga de baterias podem ser complexas quando se deseja maximizar a vida útil das baterias. Conforme recomendação de fabricantes de baterias VRLA, uma técnica simples e eficaz para recarga das baterias é a utilização de tensão constante com limitação de corrente (WEG, 2019; PANASONIC, 2013). Utilizando essa técnica, conforme pode ser visualizado na Figura 5.2, o sistema de controle apresenta duas malhas, uma malha rápida para controle de corrente e outra mais lenta para o controle da tensão. A limitação da corrente pode ser feita na saída do controlador de tensão. Os fabricantes de baterias VRLA recomendam que a corrente seja limitada em $0,2C_{10}$, onde C_{10} é a capacidade da bateria para uma descarga de 10 h. No modo de descarga, o sistema supervisor solicita certa potência do ESS para compensar deficiências da geração principal de acordo com estratégias pré-definidas. A partir da potência de referência e da tensão do ESS é calculado o valor da corrente necessária (i_{Ecc}^*). No modo de descarga, apenas a corrente é controlada e a tensão é monitorada para fins de cálculo do SOC. Para permitir esses dois modos de operação, a referência do controlador de corrente do ESS pode vir de dois pontos distintos, conforme é apresentado na Figura 5.2. Quando o modo for de descarga, $i_E^* = i_{Ecc}^*$. No modo de recarga i_E^* é gerada pelo controlador de tensão.

5.4.1 Malha de Controle de Corrente

A partir de (5.4), (5.5) e considerando $V_M = 1$, pode-se obter a função de transferência entrada-saída para a porta CC secundária:

$$G_{icc}(s) = \frac{i_E(s)}{v_{m,cc}(s)} = -\frac{V_{cc}/(2L_E)}{s + R_s/L_E} \quad (5.7)$$

onde R_s é soma de todas as resistências série da porta CC secundária, como a resistência interna do ESS (R_E), a resistência série do indutor L_E (R_{LE}), etc. A tensão V_E foi assumida constante, pois a malha de corrente é 3 a 4 ordens de grandeza mais rápida do que a malha de tensão.

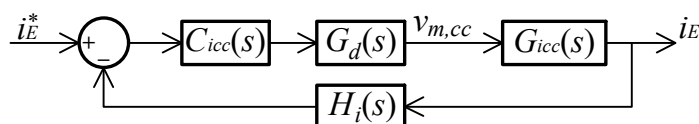
A estrutura de controle de corrente é apresentada na Figura 5.6. Como requisitos do sistema de controle deseja-se estabilidade em toda a faixa de operação, erro nulo em regime permanente, pequeno ou nenhum sobressinal e que a resposta seja relativamente rápida (da ordem de décimos de milissegundo). Um controlador PI (Proporcional Integral) é suficiente para se alcançar esses requisitos de desempenho. A função de transferência do controlador PI é dada por:

$$C_{icc}(s) = k_{pi} \frac{1 + T_{ii}s}{T_{ii}s}. \quad (5.8)$$

onde k_{pi} é o ganho proporcional e T_{ii} é a constante de tempo do integrador. O zero do controlador foi alocado sobre o polo da planta resultando em $T_{ii} = L_E/R_s$. A função de transferência da instrumentação de corrente ($H_i(s)$) é unitária. Desprezando-se os efeitos de $G_d(s)$, em malha fechada o sistema pode ser aproximado por um sistema de primeira ordem. O cálculo do ganho do controlador proporcional pode ser definido para que se obtenha a constante de tempo desejada (T_p) na resposta do sistema de primeira ordem:

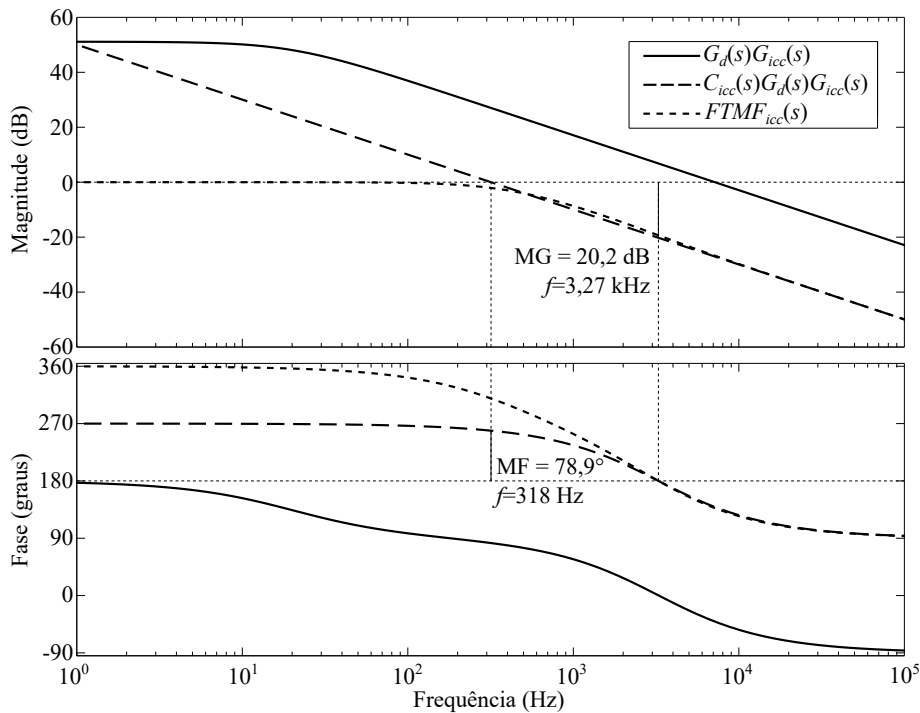
$$k_{pi} = -\frac{2L_E}{T_p V_{cc}}. \quad (5.9)$$

Figura 5.6 – Diagrama da malha de controle de corrente.



Fonte: Elaborada pelo autor.

Considerando os parâmetros do projeto do conversor e que $T_p = 0,5$ ms, os ganhos são $k_{pi} = -0,04444$ e $T_{ii} = 0,008$ s. A Figura 5.7 traz os diagramas de Bode relativos à malha de controle da corrente i_E , a margem de fase (MF) e a margem de ganho (MG). Conforme projetado, o sistema apresenta comportamento aproximadamente de primeira ordem e elevado ganho em baixas frequências.

Figura 5.7 – Diagramas de Bode relativos à malha de controle da corrente i_E .

Fonte: Elaborada pelo autor.

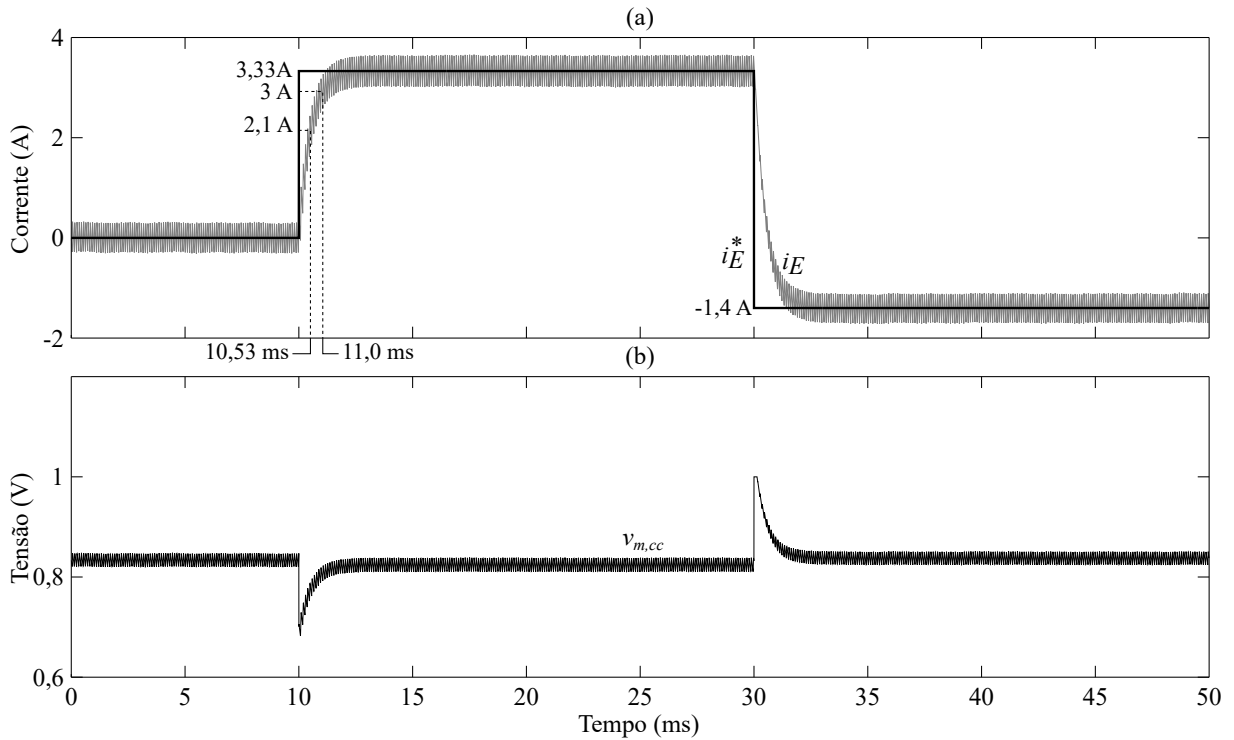
Uma simulação foi realizada utilizando o *software* PSIM para demonstrar o desempenho do sistema de controle. Na simulação foram considerados o circuito do conversor, apresentado na Figura 5.1, e os parâmetros da Tabela 5.2. Para essa simulação o barramento CC foi alimentado por fontes de tensão ideais e a tensão do ESS foi ajustada para 300 V. Os resultados são apresentados na Figura 5.8. A simulação inicia com corrente média zero na bateria. Após, em 10 ms é aplicado um degrau de corrente de 3,33 A (potência nominal) colocando a bateria em modo de descarga. A corrente i_E levou aproximadamente $T_p = 0,5$ ms para atingir 62,3% do valor da corrente de referência (2,1 A), conforme especificação de projeto. Após, em 30 ms, mais um degrau de corrente é aplicado, o qual coloca a bateria em modo de recarga. Resultados similares ao primeiro degrau são obtidos. Nas condições simuladas, o sistema de controle atende de forma satisfatória às especificações.

5.4.2 Malha de Controle de Tensão

A malha de controle de tensão é responsável por manter a tensão da bateria regulada em um certo valor v_E^* e atua na referência de corrente i_E^* para atingir esse objetivo. O diagrama da malha de controle de tensão é apresentado na Figura 5.9. A função de transferência da instrumentação de tensão ($H_v(s)$) é unitária.

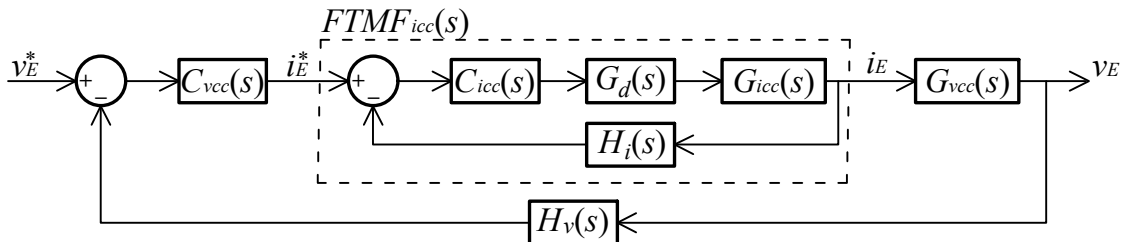
Como a malha de corrente é mais rápida do que a malha de tensão, as dinâmicas da função de transferência de malha fechada (FTMF), representada por $FTMF_{icc}(s)$ na Figura 5.9,

Figura 5.8 – Resultados de simulação para o controle da corrente i_E proposto. (a) Correntes i_E e i_E^* . (b) Sinal $v_{m,cc}$.



Fonte: Elaborada pelo autor.

Figura 5.9 – Diagrama da malha de controle de tensão.



Fonte: Elaborada pelo autor.

podem ser desconsideradas. Dessa forma, considerando que o modelo adotado para a bateria seja o representado na Figura 5.5(a), a função de transferência é dada por:

$$G_{vcc} = \frac{v_E(s)}{i_E(s)} = \frac{sR_s/R_p + 1/C_b}{s + 1/(R_pC_b)} \quad (5.10)$$

A autodescarga da bateria é modelada através da inclusão da resistência R_p , a qual causa o deslocamento do polo para $-1/(R_pC_b)$ e a inserção de um zero. A autodescarga das baterias VRLA é pequena, cerca de 3% em um mês (WEG, 2019) ($R_p \approx 500 \text{ k}\Omega$). Dessa forma, é possível desprezar R_p e a função de transferência passa a ser simplesmente $1/(sC_b)$. Com essa aproximação, a planta se comporta como se tivesse um integrador. Portanto, o controle de tensão pode ser realizado por um controlador proporcional. Embora o controle de recarga seja

por tensão constante, devido à limitação da corrente a ser aplicada, inicialmente o que ocorre efetivamente é a recarga por corrente constante. Quando a tensão da bateria se aproxima de um certo valor, a ação de controle supera o valor de saturação (limite inferior) e a corrente começa a diminuir, em módulo, o seu valor. O ganho do controlador de tensão foi ajustado para que na tensão de 2,3 V/célula a ação de controle seja igual à corrente máxima de recarga e em 2,4 V/célula a corrente na bateria seja zero. Considerando a corrente máxima de recarga como $0,2C_{10}$ (-1,4 A para bateria de 7 Ah), o ganho proporcional do controle de tensão é:

$$C_{vcc}(s) = k_{pv} = \frac{-1,4}{N_{cell}(2,4 - 2,3)} \approx -0,1. \quad (5.11)$$

Esse tipo de recarga é normalmente utilizada em aplicações com regime cíclico. Para regime em flutuação, típico de UPS, a tensão máxima de recarga é ajustada para 2,3 V/célula (PANASONIC, 2013; WEG, 2019).

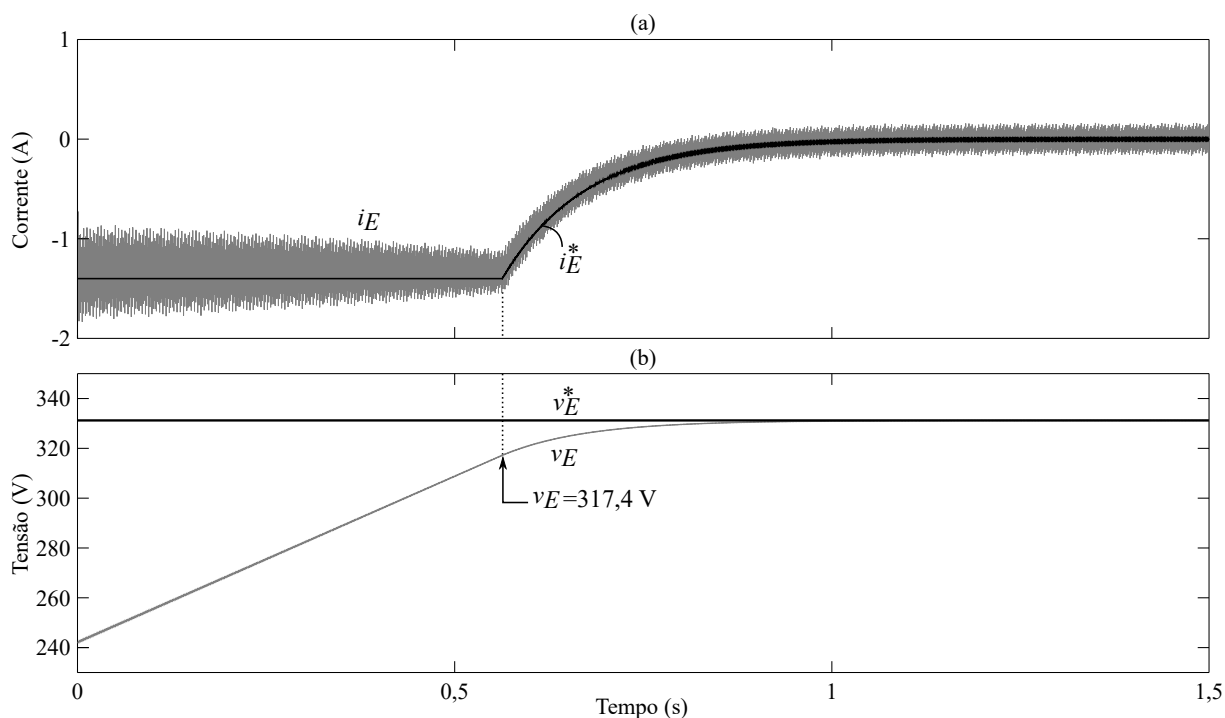
De forma a avaliar o desempenho do sistema de controle de tensão proposto, foi realizada uma simulação com os mesmos parâmetros da simulação apresentada para o controle de corrente. A única modificação feita foi a substituição do modelo da bateria. A fonte ideal V_E foi substituída por um capacitor de 10 mF. Esse valor foi escolhido por permitir realizar a simulação de recarga completa das baterias dentro de um tempo de simulação razoável. Os resultados são apresentados na Figura 5.10. Inicialmente as baterias encontram-se com carga mínima e a tensão é de 241,5 V. Enquanto a tensão das baterias é inferior a 317,4 V (2,3 V/célula) a referência de corrente se mantém saturada em -1,4 A. Após esse ponto, a corrente é ajustada até atingir a tensão máxima de 331,2 V (2,4 V/célula). Considerando-se parâmetros reais das baterias um processo de recarga completa pode demorar várias horas para ser concluído.

5.4.3 Seleção dos Estados Redundantes

Nas simulações anteriores os polos do barramento CC foram considerados ideais. Desse ponto em diante os capacitores do barramento CC são incluídos no circuito a ser simulado.

A troca de potência entre a porta CC secundária, a porta CC principal e a porta CA se dá através do barramento CC. Em cada período de comutação a corrente i_E faz pelo menos uma conexão ao polo positivo do barramento CC no semiciclo positivo de $v_{m,ca}$ e pelo menos uma conexão ao polo negativo no semiciclo negativo de $v_{m,ca}$. Ainda, durante o nível zero em v_x é possível conectar i_E a qualquer um dos polos do barramento CC através dos estados 0L1 e 0U1. A energia trocada com os polos positivo e negativo deve ser igual em média para que os capacitores C_1 e C_2 mantenham-se carregados com tensão média $V_{cc}/2$. Para ambas as sequências de comutação da porta CC secundária os estados 0L1 e 0U1 são utilizados pelo menos uma vez por período de comutação. Quando a corrente i_E é diferente de zero, a seleção adequada desses estados permite compensar possíveis diferenças de tensão entre os polos do barramento CC e igualar o valor médio dessas tensões em regime permanente.

Figura 5.10 – Resultados de simulação para o controle de tensão proposto. (a) i_E e i_E^* . (b) v_E e v_E^* .



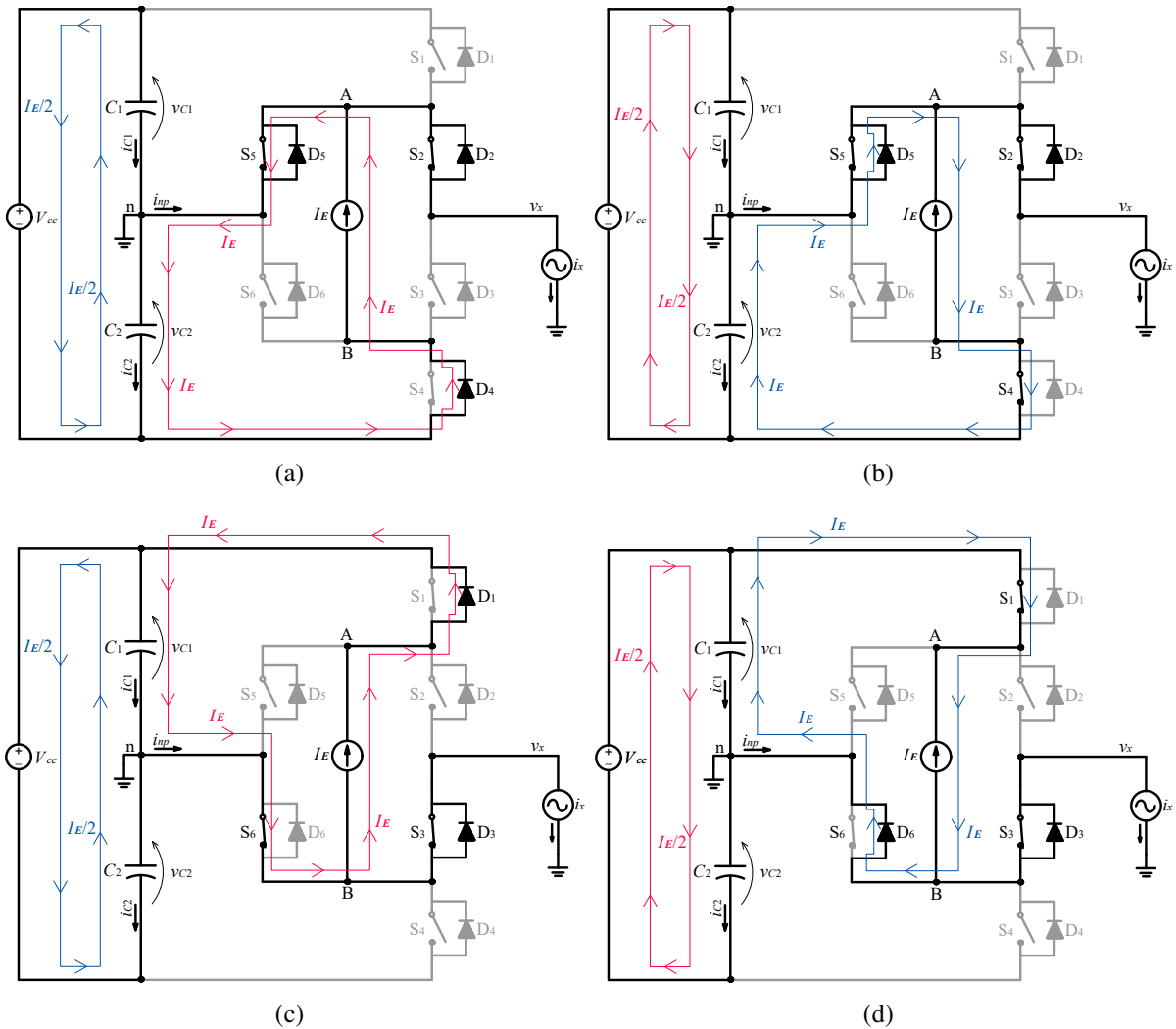
Fonte: Elaborada pelo autor.

No Capítulo 4 foram apresentadas as equações (4.101) e (4.102) que regem o comportamento da tensão no barramento CC. Portanto, para manter a tensão V_{cc} constante, ao carregar um capacitor o outro é descarregado e vice-versa. A corrente $i_E < 0$ atua no sentido de descarregar o capacitor ao qual está conectada. Conseqüentemente, o outro capacitor tem a sua tensão aumentada. Assim, para $i_E < 0$ deve ser selecionado o estado que a conecta ao capacitor de maior tensão. Para $i_E > 0$, o efeito é de carga do capacitor e, portanto, deve ser selecionado o estado que a conecta ao capacitor de menor tensão. Na Figura 5.11 são mostradas as quatro possibilidades de alteração da tensão dos capacitores do barramento CC utilizando os estados 0U1 e 0L1. A corrente i_E aplicada a um dos capacitores causa uma corrente oposta na malha $V_{cc} - C_1 - C_2$. Com isso, a corrente em ambos os capacitores é, em módulo, igual a $i_E/2$.

Considerando que a seleção dos estados 0L1 e 0U1 é feita de forma ativa, o sistema de controle necessita de informações sobre as tensões dos polos do barramento CC e sobre a polaridade de i_E para tomar a decisão de qual estado será utilizado. A Tabela 5.3 apresenta todas as combinações possíveis considerando a tensão do capacitor C_1 (v_{C1}) como referência e assumindo que a tensão do barramento CC está regulada em V_{cc} . A escolha do estado pode ser feita por uma simples porta lógica ou-exclusivo (XOR).

O bloco controlador *ON-OFF* da Figura 5.2 é a implementação da Tabela 5.3. Dessa forma, o grau de liberdade do inversor, dado pelos estados redundantes 0U1 e 0L1, permite a inclusão de uma malha de controle para balanceamento das tensões dos polos do barramento CC.

Figura 5.11 – Correntes através dos capacitores do barramento CC nos estados (a) 0U1 com $i_E > 0$, (b) 0U1 com $i_E < 0$ (c) 0L1 com $i_E > 0$ e (d) 0L1 com $i_E < 0$.



Fonte: Elaborada pelo autor.

Tabela 5.3 – Tabela de seleção entre os estados 0U1 e 0L1 de acordo com a corrente i_E e as tensões dos polos do barramento CC.

$b_I = i_E > 0$	$b_V = v_{C1} > v_{C2}$	$b_{cc} = b_I \oplus b_V$	Estado Selecionado	v_{C1}	v_{C2}
0	0	0	0U1	↓	↑
0	1	1	0L1	↑	↓
1	0	1	0L1	↑	↓
1	1	0	0U1	↓	↑

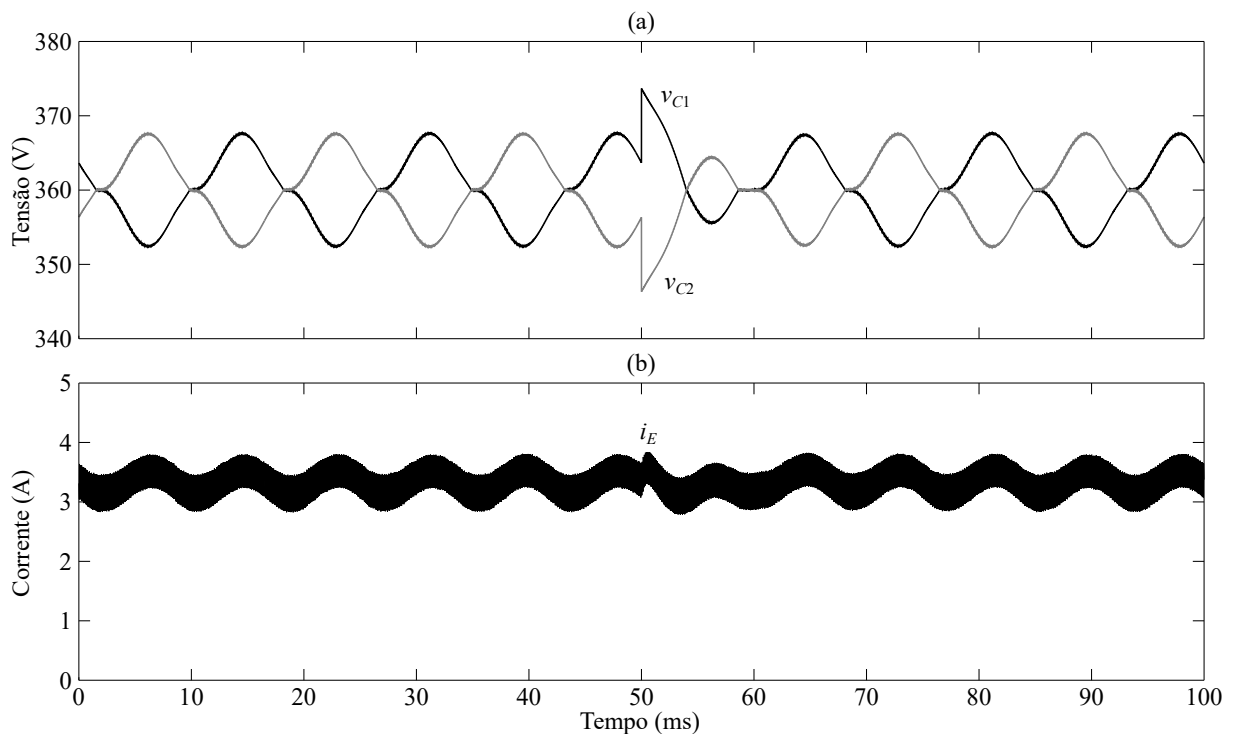
Fonte: Elaborada pelo autor.

Para a sequência do tipo 1 há dois intervalos de tempo distintos para aplicação dessa estratégia de seleção de estados, conforme pode ser visto na Figura 3.3. No entanto, se utilizados

estados distintos, a ação de um estado cancelará a ação do outro. Como os estados P e N causam um impacto diferente de zero nas tensões dos capacitores, é desejável que a utilização dos estado 0U1 e 0L1 se oponha a ação dos estados P e N. Assim, neste trabalho considerou-se que em um período de comutação apenas um dos estados 0U1 ou 0L1 é utilizado. A decisão é tomada uma única vez no início do período de comutação.

Para demonstrar o funcionamento da estratégia de controle proposta, foi realizada uma simulação considerando que nos polos do barramento CC são colocados os capacitores conforme especificações da Tabela 5.2. Nessa simulação, a tensão do ESS foi fixada em 300 V. Foi inserida uma fonte de corrente alternada ideal na porta CA calculada para resultar em potência ativa nominal para índice de modulação de 0,5. O ESS foi colocado em modo de descarga também com potência nominal. Os resultados são apresentado na Figura 5.12. A estratégia de controle está ativada durante toda a simulação. Em 50 ms uma perturbação de 10 V é feita em cada capacitor do barramento CC. Em poucos milissegundos a seleção ativa dos estados 0U1 e 0L1 através do controlador *ON-OFF* restabelece o valor médio da tensão dos capacitores.

Figura 5.12 – Resultados de simulação para o controlador *ON-OFF* responsável pelo balanceamento do barramento CC através da corrente i_E . (a) Tensões dos capacitores do barramento CC. (b) corrente i_E .



Fonte: Elaborada pelo autor.

Devido à inclusão de potência na porta CA, as tensões dos capacitores apresentam ondulações de baixa frequência, as quais afetam de forma similar a corrente i_E . Esse problema é abordado nas Subseções 5.4.4 e 5.4.5.

Para sequência do tipo 2 os resultados são aproximadamente os mesmos, pois a duração dos estados de condução 0U1 ou 0L1 é a mesma. A única diferença é que na sequência do tipo 1 os estados são aplicados em dois intervalos de tempo distintos, mas o tempo total é igual em ambas as estratégias.

Para o controlador *ON-OFF* funcionar adequadamente a corrente da bateria deve ser diferente de zero. Caso essa corrente seja zero ela não afeta a tensão dos capacitores e, portanto, não consegue balanceá-las. Devido à ondulação da corrente i_E , mesmo quando o seu valor médio é zero, há alguma influência na tensão dos capacitores, mas é pequena e difícil de ser quantificada para fins de controle. Também, pode ser necessário desconectar as baterias do inversor para fins de manutenção ou em caso de falha. Nessas condições o inversor ainda deve ser capaz de injetar potência na rede. Por isso, a porta CA deve ter alguma forma própria de balancear a tensão do ponto neutro. Ou seja, a porta CA e a porta CC secundária devem ter ações de controle próprias e independentes para regulação da tensão do ponto neutro. A Seção 5.5 aborda essa questão do ponto de vista da porta CA.

5.4.4 Compensador *Feedforward*

A corrente i_E é definida pelas duas fontes de tensão (V_E e v_{AB}) conectadas ao indutor L_E . Dependendo do estado de condução utilizado, v_{AB} pode ser imposta pelo polo positivo ou negativo do barramento CC. Nesse sentido, se as tensões dos referidos polos contiverem ondulações de baixa frequência, essa característica afetará v_{AB} e acarretará ondulações de baixa frequência em i_E . Essa é uma situação indesejável, pois sinais de baixa frequência requerem filtros volumosos. As ondulações de corrente devem ser reduzidas para não causar elevação de temperatura significativa no interior da bateria (EMERSON NETWORK POWER, 2009; BALA et al., 2012).

A ondulação de tensão no barramento CC é intrínseca à inversores monofásicos devido à sua potência pulsante. Pode-se mitigar esse problema através do superdimensionamento dos capacitores C_1 e C_2 ou utilizando estratégias de controle. A primeira opção é a mais simples, porém resulta em maior custo. A segunda opção é mais interessante, pois apenas requer recursos computacionais e que normalmente são adicionados ao microcontrolador que já desempenha outras funções de controle, tendo pouco impacto no custo.

A primeira ação de controle avaliada foi a ação *feedforward* (FF). Essa ação de controle pode ser utilizada para corrigir distorções no valor médio da tensão v_{AB} de forma que a corrente i_E não apresente ondulações de baixa frequência ou perturbações indesejadas. A ação proposta é obtida a partir do valor médio da tensão v_{AB} . Para se obter uma expressão para esse valor médio, as tensões aplicadas em v_{AB} durante um período de comutação devem ser conhecidas. A partir da equação do valor médio de v_{AB} é possível identificar a parcela indesejada e adicionar uma ação de controle para cancelá-la.

Considerando inicialmente a sequência do tipo 1, conforme apresentado na Figura 3.3, em um período de comutação há três intervalos de tempo em que v_{AB} é diferente de zero, $t_0 - t_1$, $t_1 - t_2$ e $t_3 - t_4$. Nesses intervalos de tempo há a possibilidade de aplicação de estados de comutação distintos. Nos intervalos $t_1 - t_2$ e $t_3 - t_4$ podem ser aplicados os estados 0U1 e 0L1 e a definição é feita pelo sinal b_{cc} . Conforme definição anterior, em ambos os intervalos de tempo apenas um dos estados é utilizado. De $t_0 - t_1$ aplica-se o estado P no semiciclo positivo e N no negativo. Ou seja, nesses intervalos quem define o estado de condução é a polaridade do sinal modulante CA. Dessa forma, é útil a definição de um sinal tal que $b_{ca} = 1$ se $v_{m,ca} > 0$ e zero caso contrário.

Para as sequências do tipo 2, que pode ser visualizada na Figura 3.6, em um período de comutação há dois intervalos de tempo em que v_{AB} é diferente de zero. A lógica é similar a apresentada para a sequência do tipo 1. De $t_0 - t_1$ são aplicados os estados P ou N de acordo com a polaridade de $v_{m,ca}$. No intervalo $t_2 - t_3$ podem ser aplicados 0U1 ou 0L1 de acordo com b_{cc} . Para as mesmas condições de operação, o intervalo $t_2 - t_3$ da Figura 3.6 (sequência tipo 2) tem a mesma duração da soma dos intervalos $t_1 - t_2$ e $t_3 - t_4$ da Figura 3.3 (sequência tipo 1). Dessa forma, a tensão média v_{AB} é a mesma para ambas as sequências de comutação da porta CC secundária. Com essas considerações pode-se calcular o valor médio de v_{AB} em um período de comutação utilizando:

$$\langle v_{AB}(t) \rangle_{T_s} = [V_{cc}/2 + r(t)] [b_{ca}d + b_{cc}(1 - d - d_z)] + [V_{cc}/2 - r(t)] [(1 - b_{ca})d + (1 - b_{cc})(1 - d - d_z)] \quad (5.12)$$

onde $d = |v_{m,ca}|$.

Rearranjando (5.12) é possível escrever:

$$\langle v_{AB}(t) \rangle_{T_s} = V_{cc}/2(1 - d_z) + \Delta V_c(t) (d_z + 2b_{cc} - 2b_{cc}d - 2b_{cc}d_z + 2b_{ca}d - 1) \quad (5.13)$$

onde $\Delta V_c(t)$ é um sinal que representa a ondulação de tensão nos capacitores do barramento CC e é obtido através de:

$$\Delta V_c(t) = \frac{v_{C1}(t) - v_{C2}(t)}{2}. \quad (5.14)$$

Em regime permanente a tensão média no indutor L_E deve ser zero. O primeiro termo de (5.13) é igual a V_E para d_z dada por (2.2). Quando os polos do barramento CC apresentam ondulação $\Delta V_c(t)$, o segundo termo de (5.13) imporá uma tensão média não-nula sobre L_E em um período de comutação. Essa é a causa da ondulação de baixa frequência na corrente do ESS. O propósito da ação de controle FF é injetar um sinal em d_z que seja oposto e cancele o segundo termo de (5.13). A variável d_z é ajustada pelo sinal modulante da porta CC secundária. Para a sequência do tipo 1 há uma relação oposta entre d_z e $v_{m,cc}$ e a ação FF é somada em $v_{m,cc}$ com

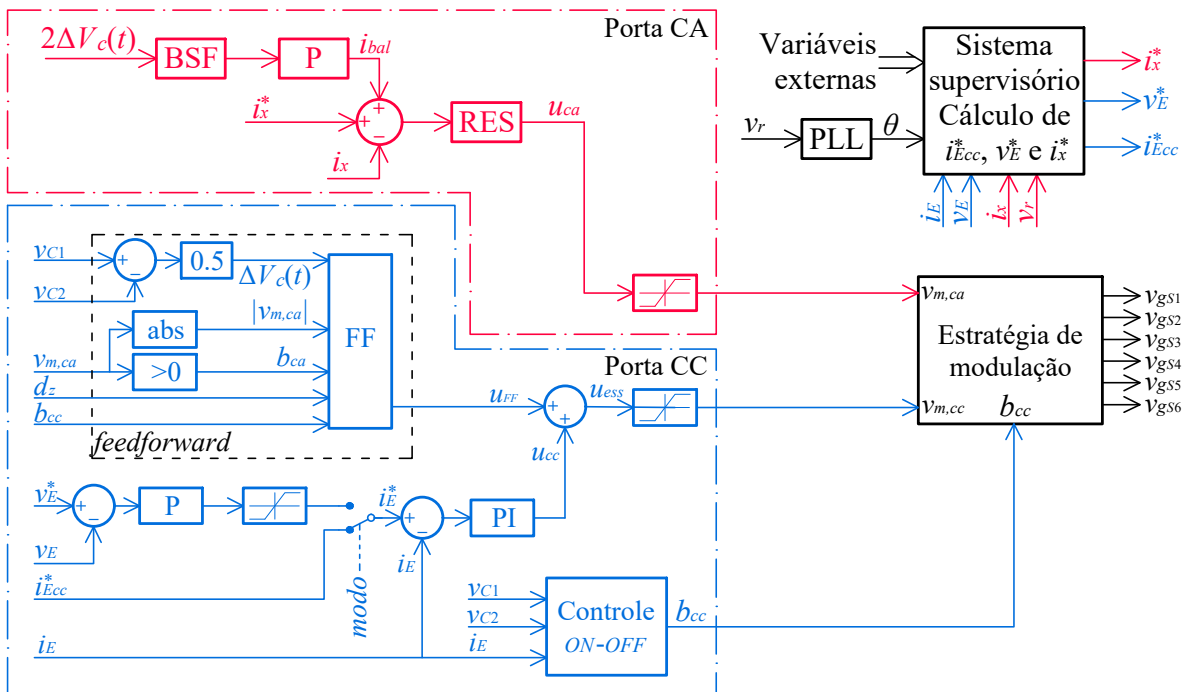
signal oposto. A ação FF para sequência do tipo 1 pode ser escrita como:

$$u_{FF} = \frac{-\Delta V_c(t)}{V_{cc}/2} (d_z + 2b_{cc} - 2b_{cc}d - 2b_{cc}d_z + 2b_{ca}d - 1). \quad (5.15)$$

Para a sequência do tipo 2 a ação FF também é calculada por (5.15) porém com sinal oposito. Além disso, o valor de d_z pode ser obtido a partir do sinal modulante da porta CC secundária. Porém, devido às duas possibilidades de sequências de comutação, os sinais modulantes da porta CC secundária são diferentes e, portanto, a forma de calcular d_z também é diferente. Para a sequência do tipo 1, $d_z = 1 - v_{m,cc}$ e para a sequência do tipo 2, $d_z = v_{offset}$. Isso pode ser melhor compreendido através das Figuras 3.8 e 3.9.

O sistema de controle apresentado na Figura 5.2 é alterado com a inclusão da ação de controle FF. O novo diagrama obtido é apresentado na Figura 5.13 com a ação FF delimitada pelas linhas tracejadas. O bloco FF realiza o cálculo da ação de controle u_{FF} a partir das informações de entrada e utilizando (5.15).

Figura 5.13 – Diagrama de blocos do sistema de controle com a inclusão da ação FF na malha de corrente do ESS.

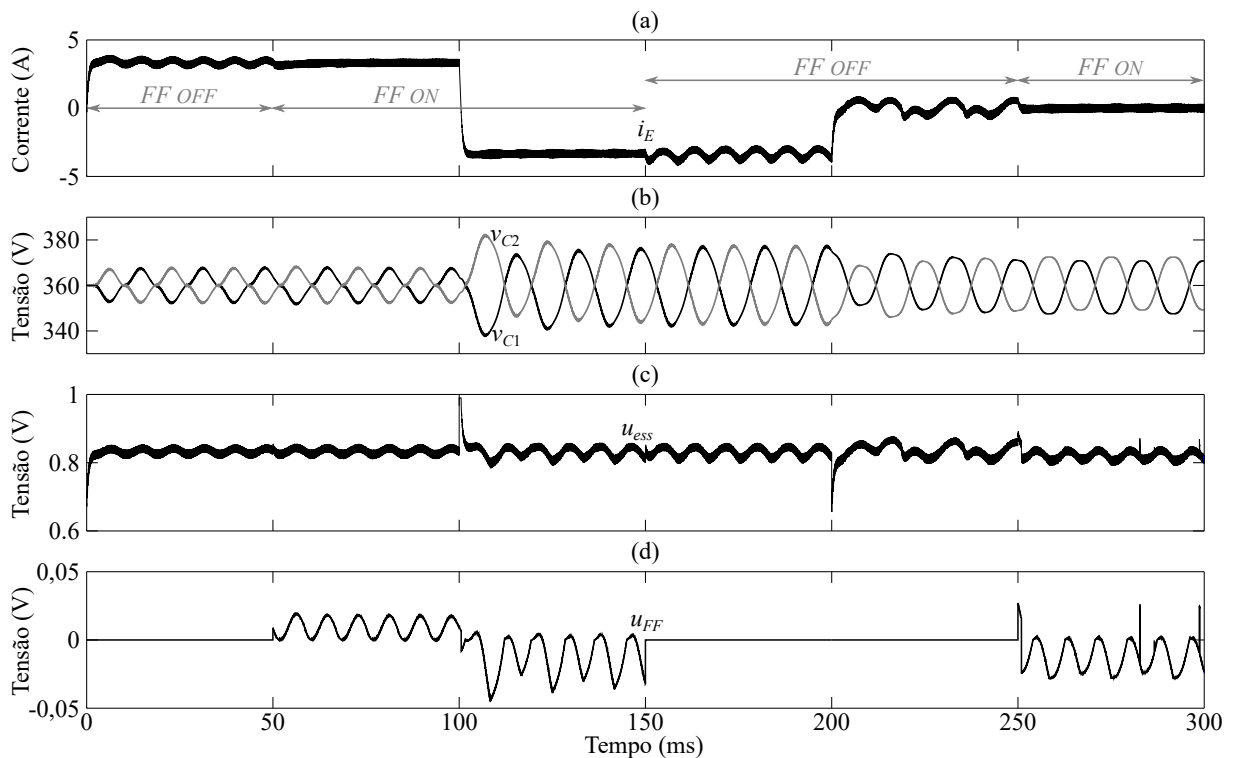


Fonte: Adaptada de Teston et al. (2019).

Na Figura 5.14 são apresentados os resultados de uma simulaçao em que o sinal do compensador FF é ativado e desativado em alguns intervalos de tempo para mostrar a sua eficácia. Nessa simulaçao o ESS foi mantido com tensao fixa de 300 V. Na porta CA foi inserida uma fonte de corrente alternada ideal de modo a resultar em potênciam nominal para o índice de modulaçao de 0,5. A simulaçao inicia com o compensador FF desativado e ESS em descarga com potênciam nominal. Nota-se que há ondulaçao de tensao de baixa frequênciam nos capacitores do

barramento CC e i_E apresenta uma componente de baixa frequência sobreposta. O controlador PI não é capaz de eliminar o erro em regime permanente para distúrbios senoidais, mas garante o valor médio de i_E . Em $t = 50$ ms a ação FF é ativada e a ondulação de baixa frequência em i_E passa a ser aproximadamente nula. Em $t = 100$ ms o ESS passa para o modo de recarga com potência nominal. Essa é uma condição não usual, pois faz com que a porta CC principal processe o dobro da potência para a qual foi projetada. Mesmo nessa condição extrema a corrente i_E não apresenta ondulações de baixa frequência. A ação FF é então desativada em $t = 150$ ms e surge uma considerável ondulação em i_E . Em $t = 200$ ms a referência de corrente é colocada em 0 A e as ondulações em i_E persistem. Em $t = 250$ ms a ação FF é ligada novamente e i_E volta a ser um sinal CC sobreposto apenas por componentes de alta frequência.

Figura 5.14 – Resultados de simulação para o controlador FF e modulação POD com sequência tipo 1. (a) Corrente i_E . (b) Tensões dos capacitores do barramento CC. (c) Ação de controle total da porta CC secundária (u_{ess}). (d) Ação FF proposta (u_{FF}).



Fonte: Elaborada pelo autor.

Idealmente, o compensador FF permite a eliminação das ondulações de baixa frequência da corrente do ESS. No entanto, a ausência de realimentação é uma característica negativa dessa ação de controle. Experimentalmente, pequenos erros de medição e síntese de forma de onda poderão impedir que seja obtido desempenho similar ao de simulação.

5.4.5 Compensador Ressonante

De acordo com o princípio do modelo interno, um sistema em malha fechada segue um sinal de referência de entrada, sem erro de regime permanente, quando o modelo que gera essa referência está incluído no sistema realimentado estável (FRANCIS; WONHAM, 1976). Nesse sentido, um controlador ressonante pode ser empregado para rastreamento de uma referência sinusoidal ou para compensar distúrbios dessa natureza.

A análise apresentada na seção anterior fornece subsídios para se compreender quais variáveis interferem na corrente i_E e causam as ondulações de baixa frequência. Como se pode observar em (5.13), as ondulações de tensão dos capacitores do barramento CC, associadas principalmente aos sinais b_{cc} e b_{ca} , introduzem ondulações e distorções de baixa frequência em i_E . O sinal $\Delta V_c(t)$ apresenta frequência dominante em f_r e, portanto, b_{cc} troca de polaridade também com frequência f_r . Adicionalmente, i_E é perturbada quando b_{ca} troca de polaridade, o que ocorre também com frequência f_r . Quando o fator de potência é elevado, b_{cc} e b_{ca} ficam com defasagem de aproximadamente 90° . Dessa forma, a componente de baixa frequência em i_E é predominantemente de $2f_r$. Com essas considerações, uma ação ressonante em $2f_r$ pode ser utilizada para compensar as ondulações de baixa frequência em i_E . Caso a corrente i_x não seja senoidal (como ocorre em UPS, por exemplo), ou apresente fator de potência baixo, poderão surgir outras componentes em i_E e será necessário adicionar compensadores em outros harmônicos de f_r .

A inclusão do controlador ressonante no sistema de controle proposto pode ser realizada conforme apresentado na Figura 5.15 e a malha de controle de i_E passa a ser conforme apresentada no diagrama de blocos da Figura 5.16. As ações de controle do PI e do ressonante são designadas, respectivamente, por u_{cc} e u_{rcc} .

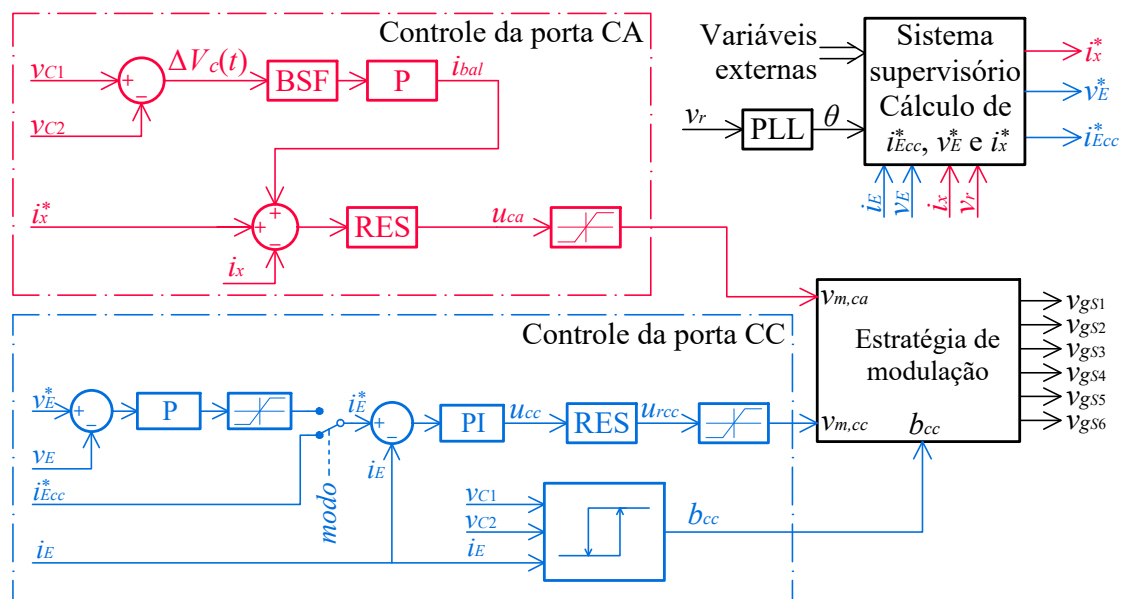
O controlador ressonante possui dois polos complexos e conjugados alocados sobre o eixo imaginário exatamente na frequência da rede. Para ajustar a margem de fase, um par de zeros complexos e conjugados é alocado suficientemente abaixo da frequência de cruzamento do ganho (usualmente uma década abaixo). O fator de amortecimento do par de zeros é, em geral, escolhido como sendo 0,7. O ganho do compensador é ajustado para que se obtenha a banda passante desejada. Com isso, a função de transferência C_{rcc} pode ser escrita como:

$$C_{rcc}(s) = k_r \frac{s^2 + 2\zeta_z \omega_z s + \omega_z^2}{s^2 + 2\zeta_p \omega_p s + \omega_p^2}. \quad (5.16)$$

Pela análise da função de transferência, pode-se observar que esse compensador possui uma ação proporcional e outra ressonante. Por isso, é também chamado de controlador proporcional-ressonante (PR).

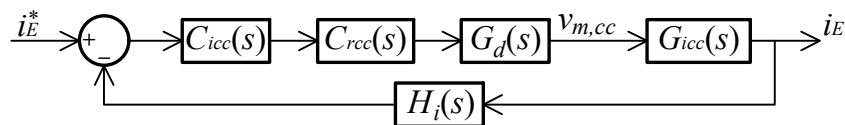
O controlador C_{rcc} foi projetado alocando-se o par de polos exatamente na frequência $2f_r$ ($\omega_p = 2\pi 2f_r$) com fator de amortecimento 0,001 (ζ_p). O par de zeros foi alocado uma década abaixo da frequência de cruzamento do ganho com fator de amortecimento 0,7 (ζ_z).

Figura 5.15 – Diagrama de blocos do sistema de controle com a inclusão da ação ressonante na malha de corrente do ESS.



Fonte: Adaptada de Teston et al. (2020).

Figura 5.16 – Diagrama da malha de controle de corrente com a inclusão da ação ressonante.



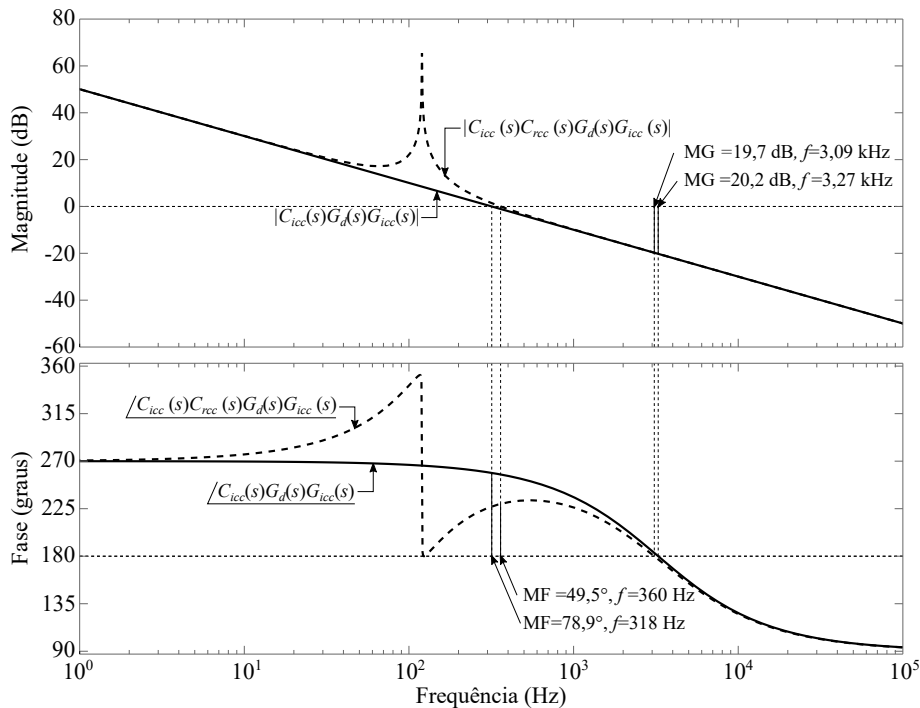
Fonte: Elaborada pelo autor.

Por fim, k_r foi feito igual a um para que não altere a resposta do compensador PI em baixas frequências.

A inclusão do controlador ressonante na malha de controle de i_E causa alteração da margem de fase e na frequência de cruzamento de ganho, conforme pode ser visto na Figura 5.17. A margem de fase que era de $78,9^\circ$ passa a ser de $49,5^\circ$ e a frequência de cruzamento de ganho aumenta de 318 Hz para 360 Hz. Caso for necessário ajustar a margem de fase, pode-se alterar a posição dos zeros do compensador.

Antes de apresentar os resultados de simulação do sistema de controle com o compensador ressonante, há uma questão importante que necessita ser solucionada para permitir o correto funcionamento dessa proposta. Quando i_E^* é zero, o sistema de controle regula o seu valor médio, porém, devido à ondulação de alta frequência, as amostras de i_E podem ficar aleatoriamente trocando de polaridade. De acordo com a Tabela 5.3, isso faz com que o sinal b_{cc} troque de nível lógico acompanhando i_E . A corrente i_E é perturbada sempre que b_{cc} troca de polaridade com $v_{C1} \neq v_{C2}$. Nesse caso, b_{cc} está alternando de valores aleatoriamente e a ação conjunta do PI com o ressonante é incapaz de rejeitar tais distúrbios. Portanto, deve-se adotar alguma medida para evitar que a polaridade das amostras de i_E mude aleatoriamente. Cabe observar

Figura 5.17 – Comparação dos diagramas de Bode da função de transferência de malha aberta (FTMA) da corrente i_E com e sem o controlador ressonante.



Fonte: Elaborada pelo autor.

que, quando $v_{C1} \approx v_{C2}$, b_{cc} pode trocar de nível lógico aleatoriamente não há perturbação significativa em i_E . Uma solução simples para esse problema é a inclusão de histerese no sinal i_E antes de sua aplicação na função da Tabela 5.3 (TESTON et al., 2020). Em um sistema discreto, a aplicação de histerese em uma variável pode ser descrita como:

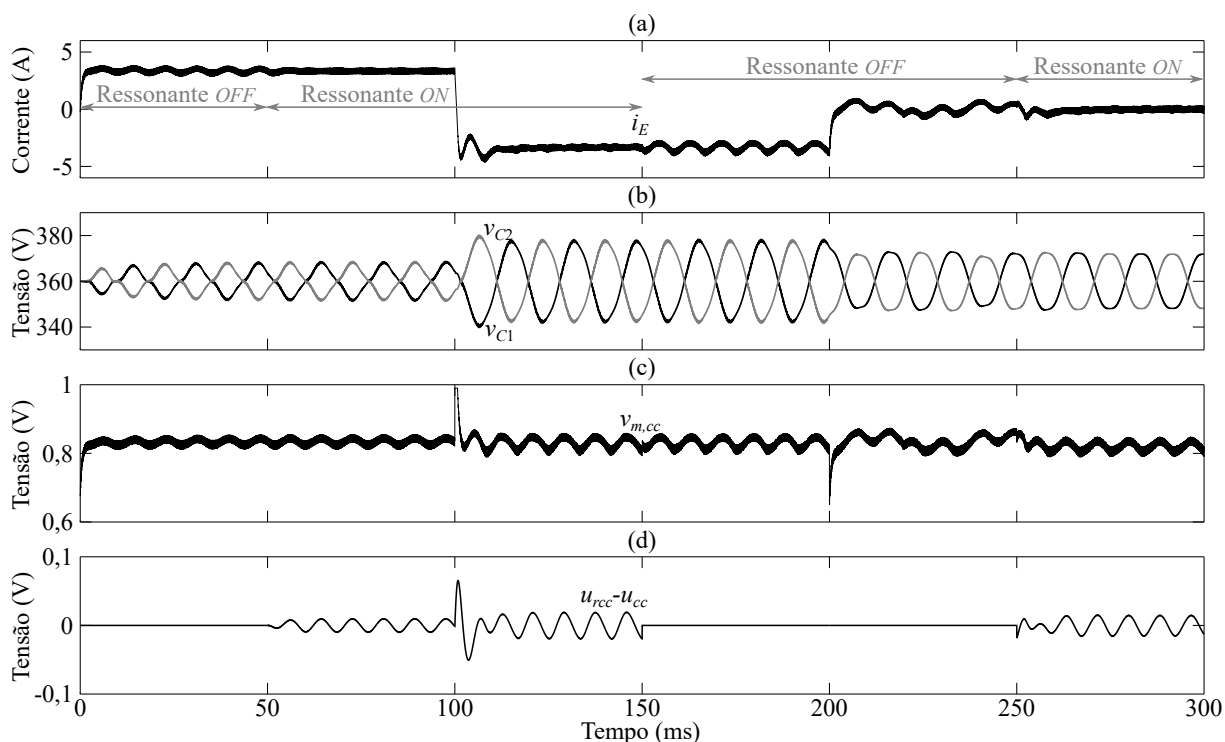
$$y(k) = \begin{cases} x[k], & \text{se } (x[k] > r[k] + H) \text{ ou } (x[k] < r[k] - H) \\ y[k - 1], & \text{caso contrário} \end{cases} \quad (5.17)$$

onde $x[k]$ e $y[k]$ são as amostras das variáveis de entrada e de saída, respectivamente, $r[k]$ é a referência e $\pm H$ é faixa de histerese. Para o caso em questão, a faixa de histerese adotada foi igual à ondulação de corrente de alta frequência de i_E .

Na Figura 5.18 são apresentados os resultados de simulação na qual o sinal do controlador ressonante é ativado e desativado em alguns intervalos de tempo. Nessa simulação o ESS foi mantido com tensão fixa de 300 V. Na porta CA foi inserida uma fonte de corrente alternada ideal de modo a resultar em potência nominal para o índice de modulação de 0,5. A simulação inicia com o compensador ressonante desativado e o ESS em descarga com potência nominal. Nota-se que há ondulação de tensão de baixa frequência nos capacitores do barramento CC e i_E apresenta uma componente de baixa frequência sobreposta. Em $t = 50$ ms a ação ressonante é ativada e a ondulação de baixa frequência em i_E passa a ser aproximadamente nula. Em $t = 100$ ms o ESS passa para o modo de recarga com potência nominal. A ação ressonante é

então desativada em $t = 150$ ms e a ondulação em i_E é proeminente. Em $t = 200$ ms a referência de corrente é colocada em 0 A e as ondulações em i_E estão presentes. Em $t = 250$ ms a ação ressonante é ligada novamente e as componentes de baixa frequência são devidamente compensadas.

Figura 5.18 – Resultados de simulação para o controlador ressonante e modulação POD com sequência tipo 1. (a) Corrente i_E . (b) Tensões dos capacitores do barramento CC. (c) Ação de controle total na porta CC secundária ou sinal modulante ($v_{m,cc}$). (d) Apenas a parcela ressonante da ação de controle ($u_{rcc} - u_{cc}$).



Fonte: Elaborada pelo autor.

Considerando-se o desempenho satisfatório do compensador ressonante, ele foi escolhido para compor o sistema de controle do inversor considerado para esta Tese. Portanto, daqui em diante as análises e simulações consideram apenas a utilização do compensador ressonante.

5.5 SISTEMA DE CONTROLE DA PORTA CA

Em aplicações de geração renovável conectada à rede, a variável a ser controlada na porta CA do inversor é a corrente injetada na rede. O sistema de controle proposto para a porta CA é apresentado na Figura 5.2. O compensador ressonante é adequado para que se obtenha o rastreamento da referência sinusoidal com erro nulo em regime permanente, conforme discutido anteriormente. Há também um controlador responsável pelo balanceamento do ponto neutro através da inserção de uma componente CC na corrente injetada na rede.

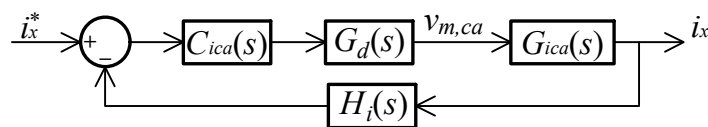
Em aplicações conectadas à rede é necessário sincronizar o inversor com a rede de forma a permitir o controle da potência ativa e reativa que flui entre o inversor e a rede. Para isso pode-se utilizar uma malha de captura de fase (PLL - *Phase-Locked Loop*) ou filtros como o de Kalman, por exemplo (CARDOSO et al., 2008). Considera-se que o método de sincronismo está incluído no sistema supervisor, o qual é responsável por gerar a referência de corrente i_x^* . No Capítulo 6 são apresentados detalhes da técnica de sincronismo utilizada nos experimentos de conexão com a rede.

5.5.1 Controle de Corrente

O controle de inversores conectados à rede é largamente explorado na literatura. Diversas técnicas de controle foram propostas para contornar problemas relacionados à rede, ou considerando novas topologias de filtro, etc. Nesta Tese, foi utilizado um simples filtro indutivo (L), concentrando a análise na operação da porta CC secundária e nas relações com as demais portas de potência presentes na topologia. No entanto, não há impedimentos para a adoção de outras topologias de filtro e outras estruturas de controle no conversor ANPC-3P.

Conforme já apresentado na Subseção 5.4.5, compensadores ressonantes são interessantes quando se deseja o rastreamento de uma referência sinusoidal com erro nulo em regime permanente. É exatamente a característica que se deseja da corrente injetada na rede. Portanto, um compensador PR na malha de corrente da porta de potência CA se mostra como uma das principais opções. Esse controlador é designado por “RES” na Figura 5.2. Um diagrama simplificado do sistema de controle da porta CA é apresentado na Figura 5.19.

Figura 5.19 – Diagrama da malha de controle de corrente CA.



Fonte: Elaborada pelo autor.

Considerando o ponto de conexão como uma barra infinita, o modelo da porta CA do inversor conectado à rede é dado por:

$$G_{ica}(s) = \frac{i_x(s)}{d(s)} = \frac{V_{cc}/2}{L_x s + R_x} \quad (5.18)$$

onde L_x e R_x são, respectivamente, a indutância e a resistência série equivalente do indutor de filtro da porta CA.

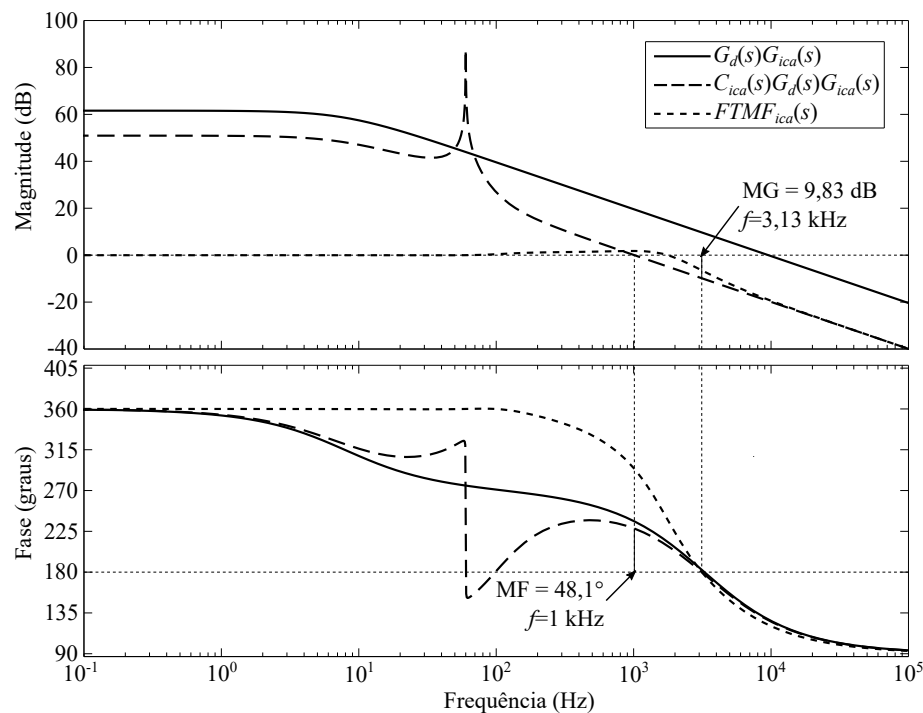
O controlador ressonante foi projetado alocando-se o par de polos exatamente na frequência f_r ($\omega_p = 2\pi f_r$) com fator de amortecimento 0,001 (ζ_p). O par de zeros foi alocado uma década abaixo da frequência de cruzamento do ganho com fator de amortecimento 0,7 (ζ_z). Por

fim, a banda passante do controlador foi ajustada em 1 kHz. Utilizando esses valores e com o auxílio da ferramenta *SISO tool* do Matlab para ajuste do ganho k_r , obtém-se a seguinte função de transferência:

$$C_{ica}(s) = 0,10564 \frac{s^2 + 879,64s + 3,9478 \cdot 10^5}{s^2 + 0,7540s + 1,4212 \cdot 10^5}. \quad (5.19)$$

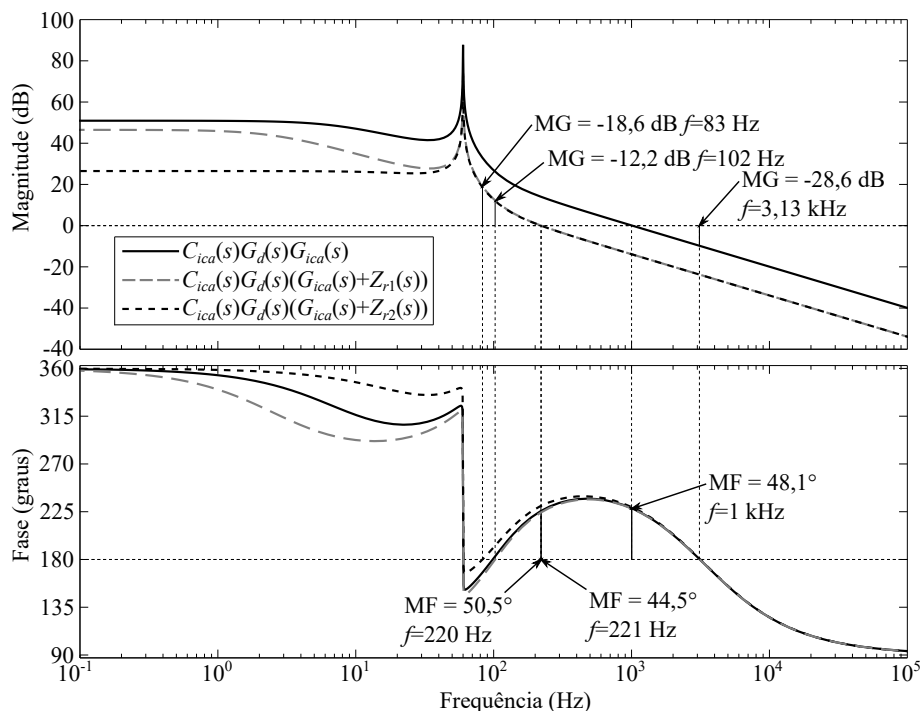
A Figura 5.20 traz os diagramas de Bode relativos à malha de controle da corrente i_x e a margem de fase da FTMA.

Figura 5.20 – Diagramas de Bode relativos à malha de controle da corrente i_x .



Fonte: Elaborada pelo autor.

A Figura 5.21 traz os diagramas de Bode e as margens de fase com o objetivo de avaliar o impacto da impedância da rede na estabilidade do sistema de controle proposto. A impedância denominada Z_{r1} considera uma rede de distribuição com indutância cinco vezes maior do que L_x e resistência série equivalente (RSE) de 0,5 Ω . Para Z_{r2} foi considerada indutância $5L_x$ e RSE de 5 Ω . Em ambos os casos observa-se uma alteração nas margens de fase e ganho da FTMA com a inclusão da impedância da rede, porém o sistema em malha fechada ainda é estável. Por outro lado, há significativa redução da frequência de cruzamento de ganho, que passa de 1 kHz para aproximadamente 220 Hz. Essa modificação deixa o sistema de controle lento, degradando a corrente injetada na rede principalmente na ocorrência de transitórios. O objetivo principal dessa avaliação com diferentes impedâncias era a verificação da estabilidade do sistema em malha fechada, a qual ficou demonstrada.

Figura 5.21 – Diagramas de Bode relativos à malha de controle da corrente i_x .

Fonte: Elaborada pelo autor.

5.5.2 Balanceamento do Barramento CC

Conforme já discutido nesta Tese, é de fundamental importância manter as tensões dos polos do barramento CC com mesmo valor médio $V_{cc}/2$. Quando i_E é diferente de zero ela pode ser utilizada para essa função, conforme demonstrado na Seção 5.4.3. Porém, o ESS pode ficar por longos períodos com $i_E = 0$ A, ou ainda, desconectado do inversor. A desconexão do ESS pode ser motivada por falha do ESS ou por manutenção, por exemplo. Nesses casos, pode ser desejável manter o inversor em funcionamento e a porta CA deve apresentar uma ação de controle para balancear as tensões do barramento CC.

Os inversores trifásicos apresentam estados de condução redundante para sintetizar a mesma tensão de linha e, como eles causam impacto oposto nas tensões dos polos do barramento CC, eles são usualmente utilizados para balancear o ponto neutro (CELANOVIC; BOROYEVICH, 2000; WANG; LI, 2010; VILERA; RECH; TESTON, 2019). Inversores NPC/ANPC monofásicos em ponte-completa também dispõem desses estados de condução redundantes. Entretanto, inversores NPC/ANPC monofásicos em meia-ponte não apresentam estados redundantes e uma outra abordagem deve ser considerada. Dependendo da aplicação podem ser utilizados um ou mais conversores CC-CC para conexão das fontes de geração ao barramento CC, como é o caso dos inversores FV do tipo *string*. Esses conversores podem ser projetados para realizar o balanceamento do barramento CC quando necessário. Alguns trabalhos propõem a utilização de circuitos dedicados de balanceamento (SANO; FUJITA, 2008;

LUO; WU; ZHAO, 2020). Uma outra técnica é a inserção de um sinal CC no sinal modulante da porta CA (NEWTON; SUMNER, 1997) ou na referência de corrente (BARATER et al., 2016). Contudo, os limites de componente CC injetada na rede são bastante rígidos. Por exemplo, conforme ABNT (2013), a máxima componente CC é 0,5% da corrente nominal do inversor. Acima desse valor o conversor deve se desconectar em até 1 s. Considerando as especificações da Tabela 5.2, a máxima componente CC é de apenas 39 mA.

No semiciclo positivo da tensão sintetizada na saída CA do inversor, a potência é transmitida através do capacitor C_1 . No semiciclo negativo o capacitor C_2 realiza essa função. Em operação normal, a potência transferida no semiciclo positivo deve ser igual a do semiciclo negativo para que os semiciclos da corrente i_x sejam iguais e a corrente CC seja zero (TEYMOUR et al., 2015; BARATER et al., 2016). Na prática, devido a pequenas diferenças no funcionamento do inversor em cada semiciclo, tolerâncias dos componentes, entre outros fatores, é esperado o surgimento de uma componente CC na corrente da rede e que levará as tensões dos capacitores do barramento CC a ficarem desequilibradas. Nesse sentido, propõe-se a inclusão de uma malha de controle capaz de compensar diferenças nas tensões médias dos capacitores do barramento CC. Essa ação de controle (i_{bal}) é somada com a referência de corrente i_x^* , conforme apresentado na Figura 5.2.

Primeiramente, se faz necessário obter um modelo para a tensão dos capacitores do barramento CC em função de i_{bal} . Para a obtenção do modelo considera-se que a malha de controle de corrente da porta CA é no mínimo duas ordens de grandeza mais rápida do que a malha de controle de balanceamento do ponto neutro. Portanto, desprezam-se as dinâmicas da malha de controle de corrente e modela-se a saída CA do inversor como sendo conectada a uma fonte de corrente ideal. Para a obtenção do modelo, parte-se da corrente que circula entre o ponto neutro do inversor e as chaves S_5 e S_6 (i_{np}). Nos estados P e N essa corrente é zero e para os demais estados ela é igual a corrente i_x . De acordo com o sentido das correntes mostrado na Figura 5.22, essa corrente é dada por:

$$i_{np} = (1 - d)i_x \quad (5.20)$$

onde $d = |v_{m,ca}|$ e $|v_{m,ca}| = v_{m,ca}b_{ca} - v_{m,ca}(1 - b_{ca})$. Portanto:

$$i_{np} = [1 - v_{m,ca}b_{ca} + v_{m,ca}(1 - b_{ca})]i_x. \quad (5.21)$$

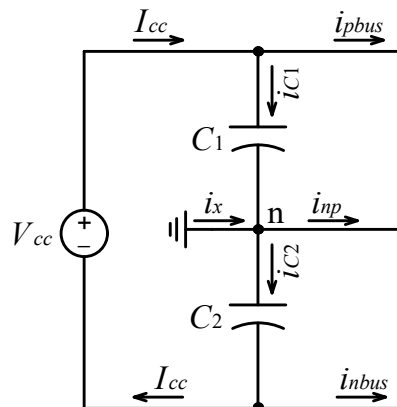
Considerando que $i_x = i_{x,ca} + i_{bal}$ e substituindo em (5.21) obtém-se:

$$i_{np} = [1 - v_{m,ca}b_{ca} + v_{m,ca}(1 - b_{ca})](i_{x,ca} + i_{bal}). \quad (5.22)$$

Assumindo que a corrente i_{np} se divide entre os capacitores do barramento CC e calculando o valor médio das variáveis em um período da tensão CA obtém-se:

$$-2i_{C2} = i_{bal}(-2m_a/\pi). \quad (5.23)$$

Figura 5.22 – Sentidos das correntes através dos capacitores do barramento CC.



Fonte: Elaborada pelo autor.

A partir da corrente no capacitor C_2 é possível obter uma função de transferência entre a tensão no capacitor e a corrente CC de balanceamento i_{bal} :

$$G_{C2b}(s) = \frac{v_{C2}(s)}{i_{bal}(s)} = \frac{m_a/\pi}{sC}. \quad (5.24)$$

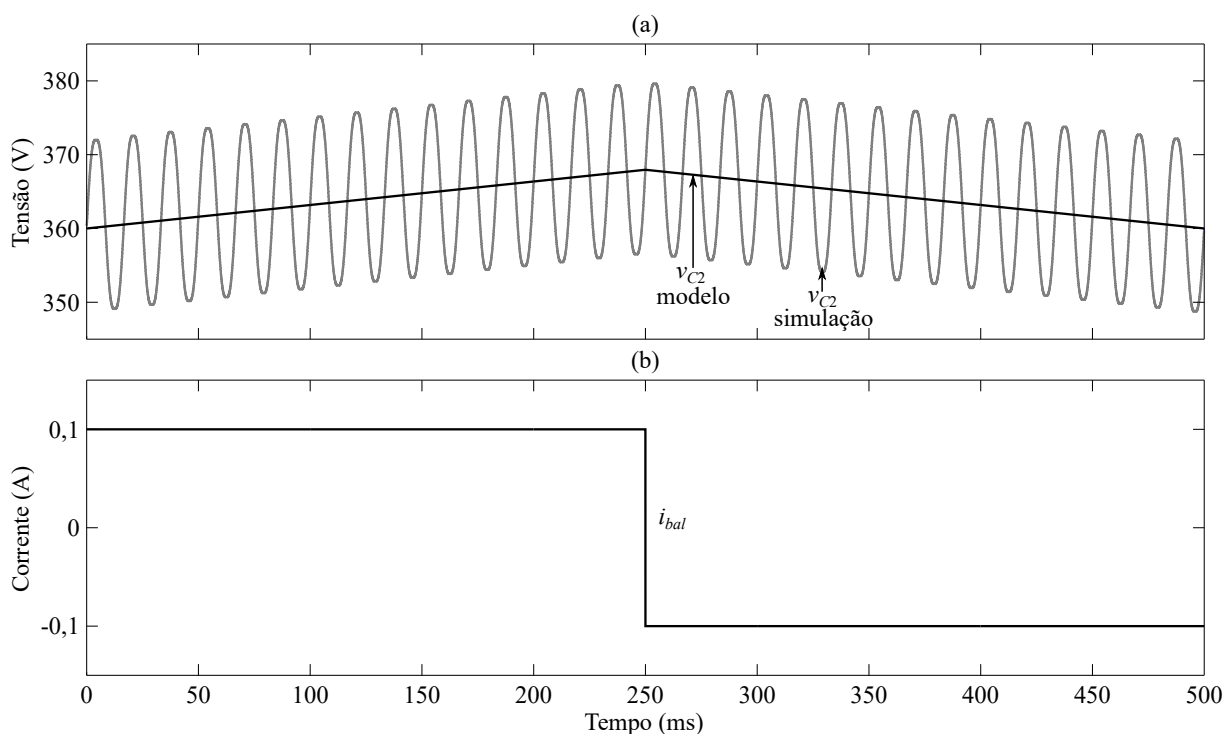
De forma a validar o modelo obtido foi realizada uma simulação no *software* PSIM com o ESS desconectado da porta CC secundária, ou seja, $i_E = 0$ A. A simulação foi realizada com a porta CA conectada a uma fonte de corrente alternada ideal. A corrente CA foi ajustada para resultar em potência nominal considerando-se o índice de modulação de amplitude de 0,5. O valor de i_{bal} foi somado à corrente dessa fonte de modo a mostrar a sua relação com a tensão do capacitor C_2 . Os resultados são apresentados na Figura 5.23. O modelo médio linear segue adequadamente a tensão do capacitor do conversor simulado.

O diagrama de controle da malha de balanceamento das tensões dos polos do barramento CC é apresentado na Figura 5.24.

Conforme (5.24), a planta possui um integrador e, portanto, apresenta erro nulo em regime permanente para entradas do tipo degrau. Propõe-se o uso de um compensador do tipo proporcional para gerar a ação de controle i_{bal} . Com o uso desse compensador, o sistema em malha fechada apresenta resposta de primeira ordem. Para cálculo do ganho do compensador foi estipulada a frequência de cruzamento de ganho de aproximadamente 6 Hz, sendo a margem de fase correspondente de 90° . O sistema em malha fechada apresenta tempo de acomodação de aproximadamente 100 ms. O ganho obtido para o compensador foi de 0,12.

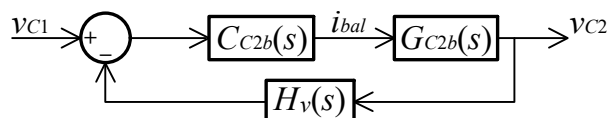
O sinal de erro dessa malha de controle ($v_{C1}(t) - v_{C2}(t)$) apresenta frequência predominante em f_r . Com isso, i_{bal} também apresentará essa frequência sobreposta ao sinal CC responsável pelo balanceamento. Ao se somar i_{bal} com i_x^* ela poderá alterar a magnitude da referência e, dessa forma, haverá um erro em regime permanente. Para evitar que isso aconteça, propõe-se o uso de um filtro rejeita banda (BSF - *Band-Stop Filter*) no sinal de erro com frequência central f_r . Com isso, o compensador atuará principalmente valor CC do sinal de

Figura 5.23 – Resultados de simulação e do modelo da tensão no capacitor C_2 para perturbação em i_{bal} .



Fonte: Elaborada pelo autor.

Figura 5.24 – Diagrama da malha de controle para balanceamento das tensões dos polos do barramento CC utilizando a corrente da porta CA.



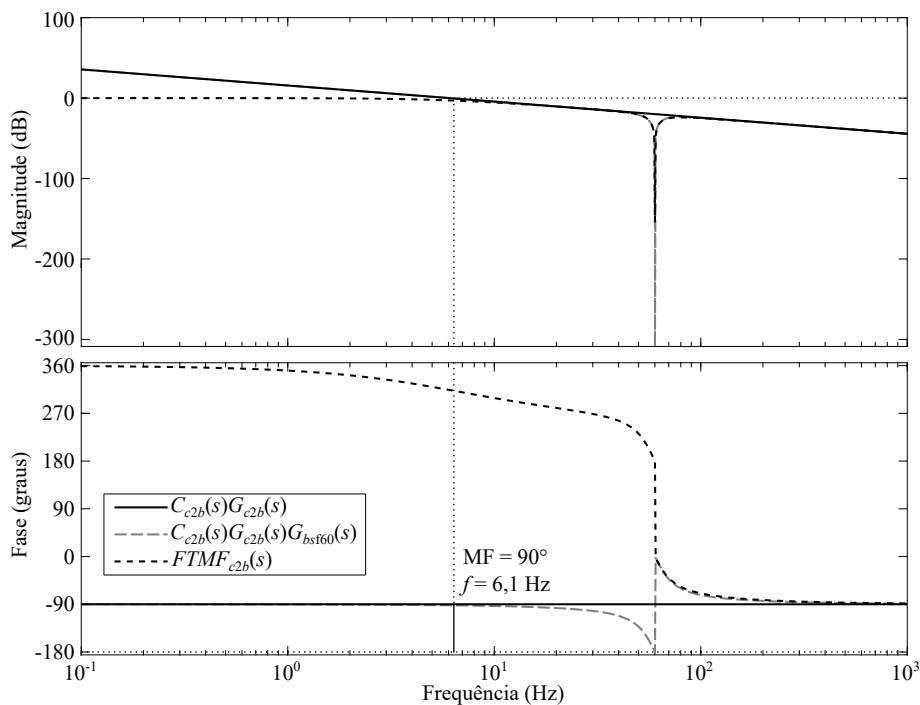
Fonte: Elaborada pelo autor.

erro. A função de transferência do BSF é dada por:

$$G_{bsf} = k_f \frac{s^2 + \omega_0^2}{s^2 + Bs + \omega_0^2} \quad (5.25)$$

onde k_f é o ganho do filtro, ω_0 é a frequência central de corte em rad/s e B é a largura da banda de parada em rad/s . Os diagramas de Bode da planta e das funções de transferência de malha aberta e fechada são apresentados na Figura 5.25. Adicionando os filtros à FTMA a margem de fase se altera um pouco, passa a ser de 88° na frequência de 6,1 Hz.

Para avaliar o comportamento do sistema de controle projetado foi realizada uma simulação utilizando o *software* PSIM. Nessa simulação a porta CC secundária é mantida com corrente zero e a corrente injetada na rede é 10% da nominal. Os resultados podem ser visualizados na Figura 5.26. De 0 a 100 ms a ação de controle i_{bal} permanece desativada. Nota-se que as tensões do barramento CC estão levemente desequilibradas. Em $t = 100$ ms i_{bal} foi ati-

Figura 5.25 – Diagramas de Bode relativos à malha de controle da corrente i_x .

Fonte: Elaborada pelo autor.

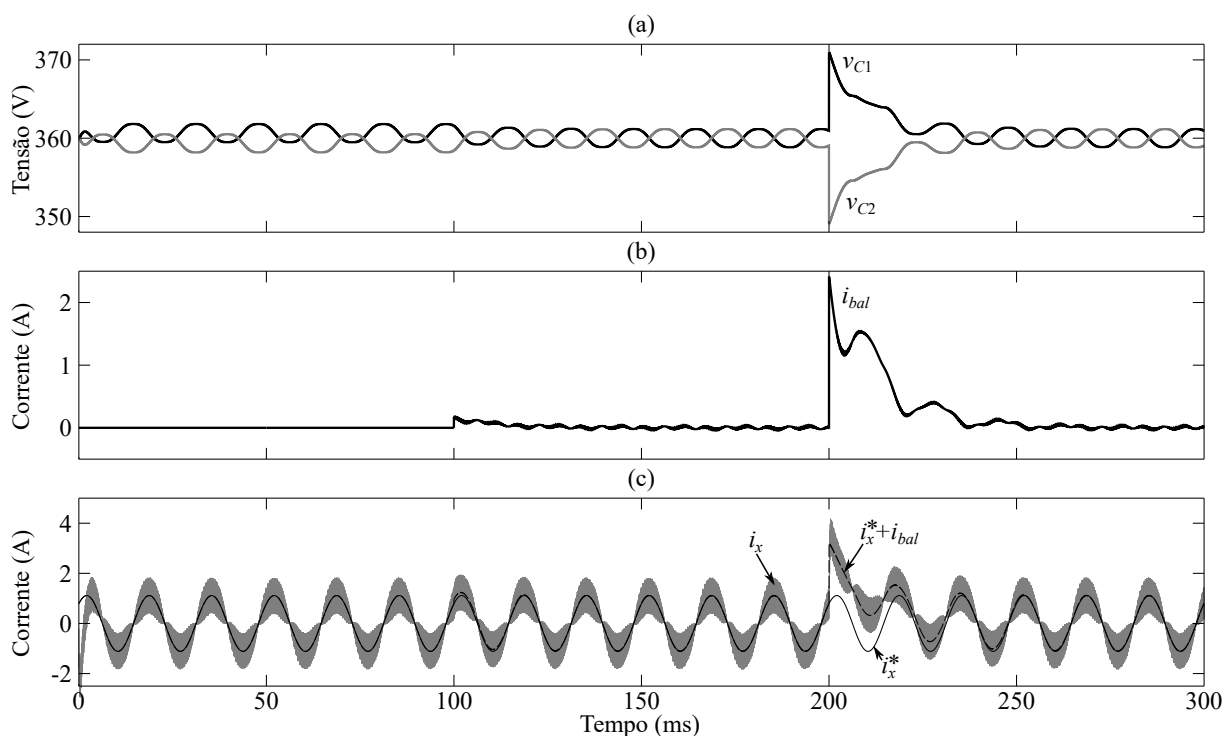
vada e, após alguns milissegundos, as tensões do barramento CC passam a ficar balanceadas. Em $t = 200$ ms foi forçada uma perturbação de 10 V em cada polo do barramento CC. A ação i_{bal} responde à perturbação injetando uma componente CC na corrente i_x . O transitório dura aproximadamente 50 ms e, depois, a corrente i_x passa a exibir uma componente CC pequena. Durante o transitório, de $t = 200$ a 250 ms, a corrente i_x apresentou média de 0,59 A. Por outro lado, após entrar em regime permanente a componente CC de i_x calculada em simulação foi de $113 \mu\text{A}$.

Para avaliar o comportamento do sistema de controle da corrente i_x , uma outra simulação foi realizada. Os resultados são apresentados na Figura 5.27. O controlador de balanceamento do barramento CC permanece ativado durante toda a simulação. Inicialmente, a corrente i_x é 10% do seu valor nominal. Em $t = 50$ ms um degrau na corrente i_x é realizado passando para o seu valor nominal. Aproximadamente em dois ciclos de rede a ação do controlador ressonante consegue levar a corrente CA à referência e obtém-se erro nulo em regime permanente. Com i_x em seu valor nominal, a DHT calculada com base nos resultados de simulação foi de 5% – exatamente no limite de 5% estabelecido na NBR16149 (ABNT, 2013).

5.6 RESULTADOS DE SIMULAÇÃO DO SISTEMA COMPLETO

Nas seções anteriores as simulações foram feitas para validar o projeto de partes específicas do sistema de controle. Em alguns casos, apenas a porta de potência de interesse foi

Figura 5.26 – Resultados de simulação do sistema de controle da porta CA mostrando o balanceamento das tensões dos polos do barramento CC através da aplicação de i_{bal} .



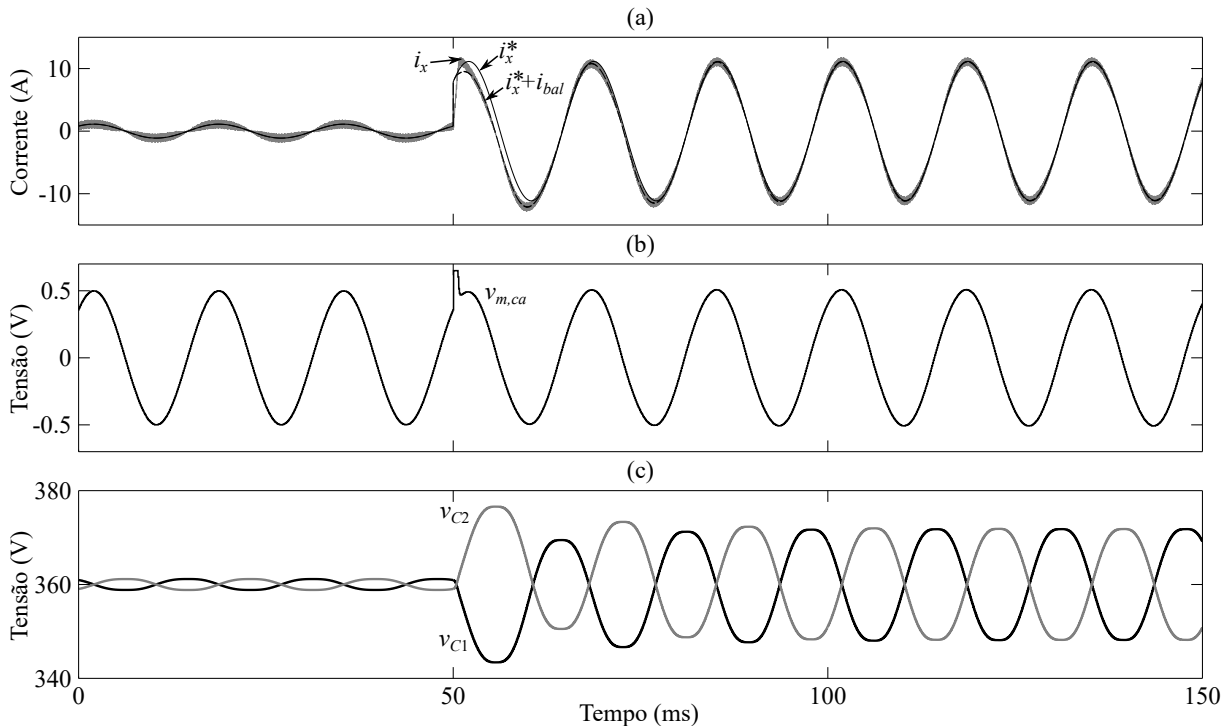
Fonte: Elaborada pelo autor.

ativada de modo que a corrente de uma porta não interferisse nos resultados da outra. Nessa seção o sistema de controle completo é simulado em diversas condições de operação. O objetivo é avaliar o funcionamento do inversor em todos os seus modos de operação.

A primeira simulação foi realizada com $FP=1$ e ESS em modo de flutuação, recarga e descarga (todos em corrente constante). A tensão do ESS foi fixada em 300 V. Os resultados de simulação são apresentados na Figura 5.28. Inicialmente o ESS está em modo de flutuação (Modo I) e a potência da porta CC principal (P_{cc}) pode ser totalmente injetada na rede (P_{ca}). A potência no ESS (P_{ess}) é aproximadamente zero. Em $t = 100$ ms o ESS passa para o modo de recarga (Modo II) com potência nominal. De modo a manter a potência na porta CC principal limitada ao seu valor máximo (1 kW), a potência injetada na rede cai a zero. Por fim, em $t = 200$ ms o ESS passou ao modo de descarga com potência nominal, a qual é totalmente injetada na rede. Nessa simulação a corrente de recarga do ESS não foi limitada, uma vez que a simulação visa apenas mostrar os modos de operação do conversor e o desempenho dos sistemas de controle.

Uma outra simulação foi realizada para mostrar o modo de recarga do ESS pela rede ($P_{ca} < 0$). Os resultados são apresentados na Figura 5.29. Inicialmente o ESS está em flutuação (Modo I). A potência da porta CC principal é totalmente injetada na rede. Em $t = 100$ ms o ESS passa para o modo de recarga (Modo II) com potência nominal. Por fim, em $t = 200$ ms o ESS se mantém em descarga e a potência da porta CC passa a fluir da rede para o conversor (Modo III).

Figura 5.27 – Resultados de simulação do sistema de controle da corrente i_x . (a) Corrente i_x , referência de corrente CA (i_x^*) e referência de corrente CA somada a parcela de balanceamento ($i_x^* + i_{bal}$). (b) ação de controle da porta CA ($v_{m,ca}$). (c) Tensões nos polos do barramento CC.



Fonte: Elaborada pelo autor.

A potência do ESS é totalmente suprida pela rede, o que implica em potência aproximadamente zero na porta CC principal.

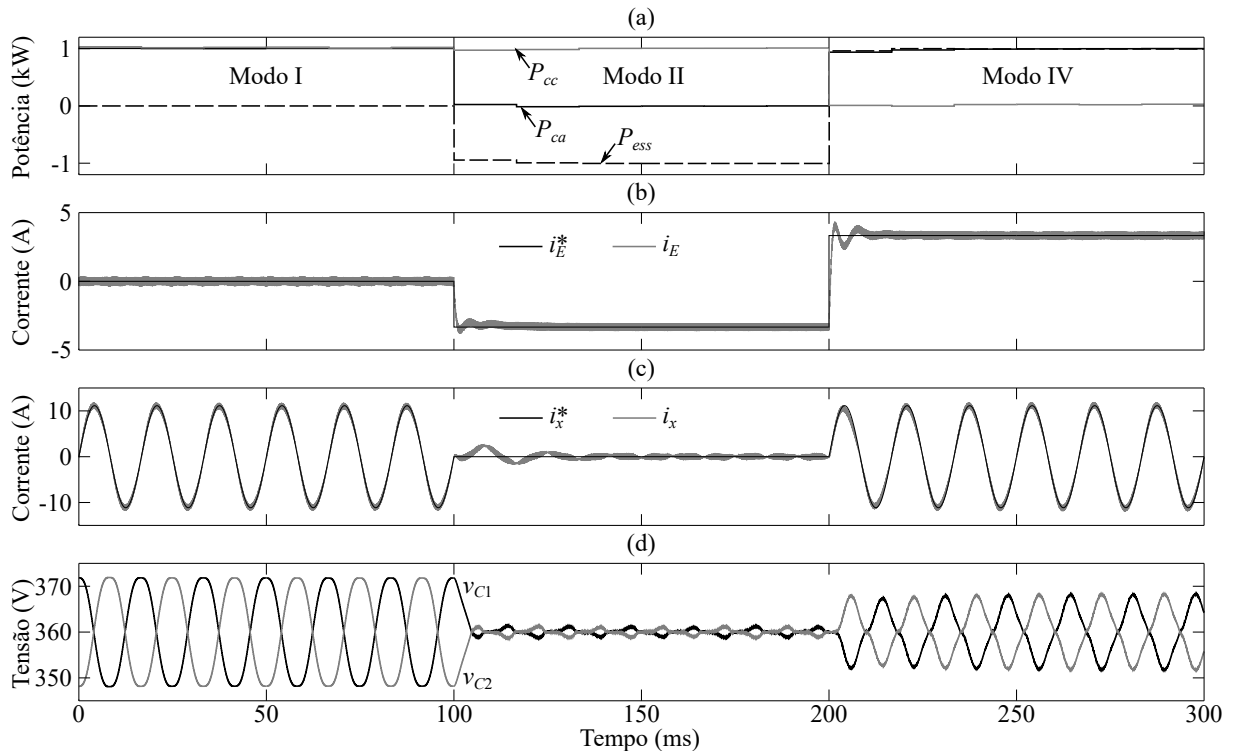
As simulações das Figuras 5.28 e 5.29 objetivam demonstrar o desempenho do sistema de controle nos vários modos de operação. Em aplicações FV conectadas à rede, a definição exata das potências em cada porta é realizada pelo sistema supervisor utilizando funções pré-programadas, que buscam atingir certos objetivos, conforme apresentado na Figura 1.2.

5.7 CONSIDERAÇÕES FINAIS

Neste capítulo foi apresentada uma proposta de sistema de controle para o conversor ANPC-3P. Todas as partes do sistema de controle foram analisadas e projetadas. Outras técnicas mais avançadas com a utilização de filtros de ordem superior podem ser objeto de trabalhos futuros.

Uma importante questão analisada foi a ondulação de corrente de baixa frequência na porta CC secundária. As ondulações de tensão nos polos do barramento CC são passadas para a tensão v_{AB} e conseqüentemente para i_E . Duas propostas de compensadores foram apresentadas: *feedforward* e ressonante. Ambas apresentaram desempenho satisfatório em simulação. Como

Figura 5.28 – Resultados de simulação do sistema de controle completo para os modos I, II e IV. (a) Potência nas portas de potência. (b) Corrente no ESS e corrente de referência do compensador (i_E^*). (c) Corrente na porta CA e referência de corrente CA (i_x^*). (d) Tensões dos polos do barramento CC.

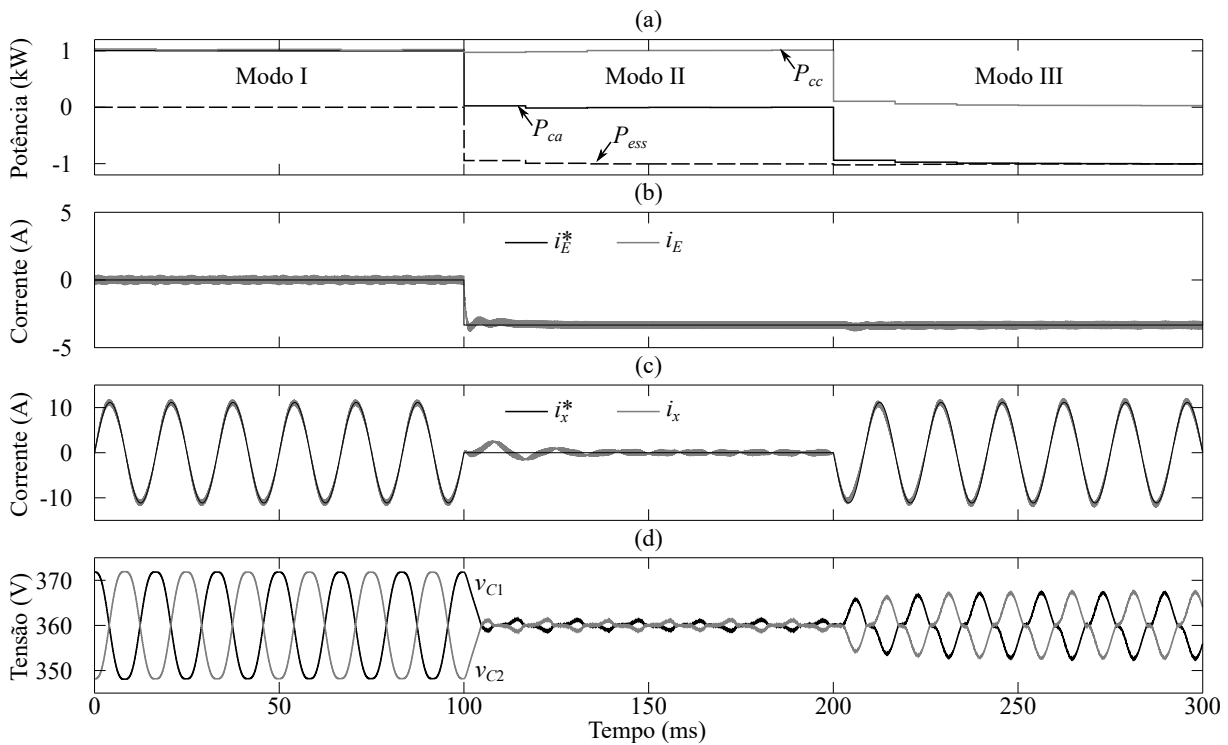


Fonte: Elaborada pelo autor.

a estratégia *feedforward* não possui realimentação, devido a não idealidades nas medições e na síntese das formas de onda, ela pode não apresentar o mesmo desempenho visto em simulação. O compensador ressonante, por outro lado, é de simples implementação e requer apenas a adição de histerese na corrente i_E utilizada para o cálculo de b_{cc} . Portanto, pode-se concluir que a estratégia baseada no controlador ressonante é uma melhor opção para compensar as ondulações de baixa frequência de i_E em aplicações FV conectadas à rede.

Os resultados de simulação demonstraram que o sistema de controle proposto apresenta desempenho satisfatório e permite controlar o fluxo de potência nas três portas de potência nos diversos modos de operação do conversor.

Figura 5.29 – Resultados de simulação do sistema de controle completo mostrando os modos I, II e III. (a) Potência nas portas de potência. (b) Corrente no ESS e corrente de referência do compensador (i_E^*). (c) Corrente na porta CA e referência de corrente CA (i_x^*). (d) Tensões dos polos do barramento CC.



Fonte: Elaborada pelo autor.

6 RESULTADOS EXPERIMENTAIS

6.1 INTRODUÇÃO

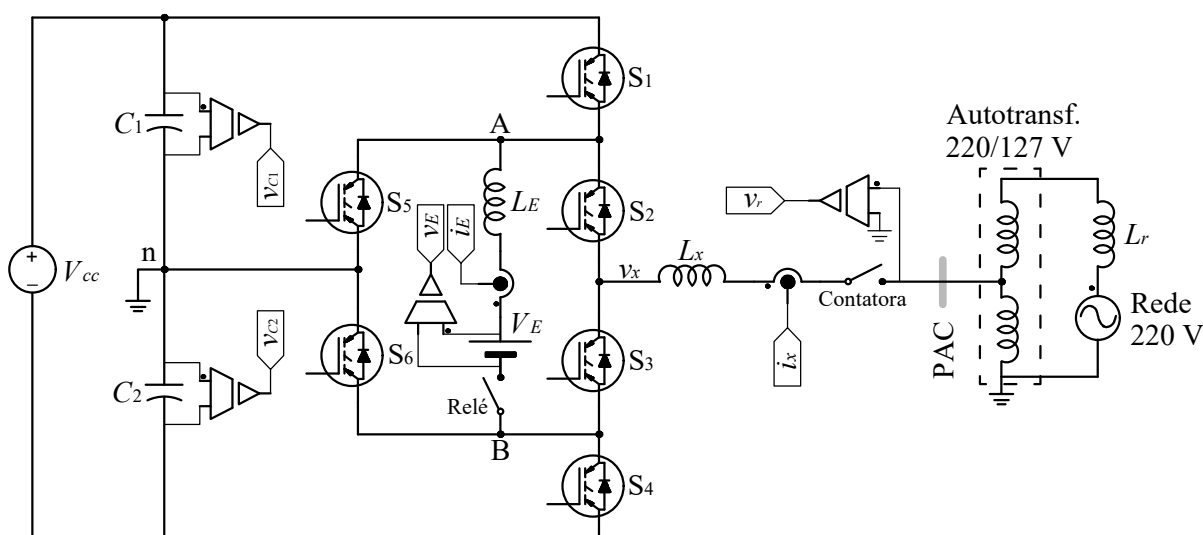
A avaliação experimental de um conversor estático é de fundamental importância para comprovação das hipóteses elencadas na análise teórica e de simulação. Nesse sentido, um conversor monofásico foi construído seguindo a metodologia proposta nesta Tese. Neste capítulo são apresentados e discutidos os resultados experimentais obtidos através de ensaios em laboratório.

6.2 DESCRIÇÃO DO PROTÓTIPO

6.2.1 Etapa de Potência

O protótipo construído compreende uma montagem do circuito de potência conforme diagrama simplificado apresentado na Figura 6.1. O protótipo monofásico foi construído com base nas características apresentadas na Tabela 6.1.

Figura 6.1 – Circuito simplificado do conversor utilizado nos experimentos.



Fonte: Elaborada pelo autor.

A rede elétrica do laboratório é 380 V trifásica e com frequência de 60 Hz. Entretanto, optou-se por realizar a conexão em tensão de 127 V para reduzir a tensão do barramento CC e, conseqüentemente, a tensão do ESS. Com isso, a quantidade de baterias associadas em série é menor. Como se trata de um protótipo, entende-se que essa escolha não afeta o desempenho

Tabela 6.1 – Parâmetros do protótipo monofásico construído.

Parâmetro	Valor
Potência nominal CA (P_{ca})	1 kW
Potência nominal do ESS (P_{ess})	1 kW
Tensão do Barramento CC (V_{cc})	720 V
Tensão CA eficaz (V_{ca})	127 V
Tensão do ESS (V_E)	241,5 – 331,2 V
Bateria	VRLA 12 V 7 Ah
Número de baterias em série (N_{bat})	23
Resistência interna do ESS (R_E)	0,5 Ω
IGBTs S_1 – S_6	IRGP50B60PD1 discreto 600 V, 45 A @ $T_j = 100^\circ\text{C}$
Capacitores do barramento CC ($C_1 = C_2$)	2x1.000 μF em série Rubycon 105 $^\circ\text{C}$ $\text{tg}\delta = 0,2$
Indutor de filtro do ESS (L_E)	8 mH ($R_{LE} = 0,5 \Omega$) 210 espiras de fio 2x20 AWG Núcleo de ferrite NEE-65/33/39 IP6
Indutor de filtro CA (L_x)	6 mH ($R_{Lx} = 0,3 \Omega$) 145 espiras de fio 2x18 AWG Núcleo de ferrite NEE-65/33/52 IP6
Resistor de <i>gate</i> (R_g)	18 Ω
Frequência da rede (f_r)	60 Hz
Frequência das portadoras (f_s)	10,26 kHz

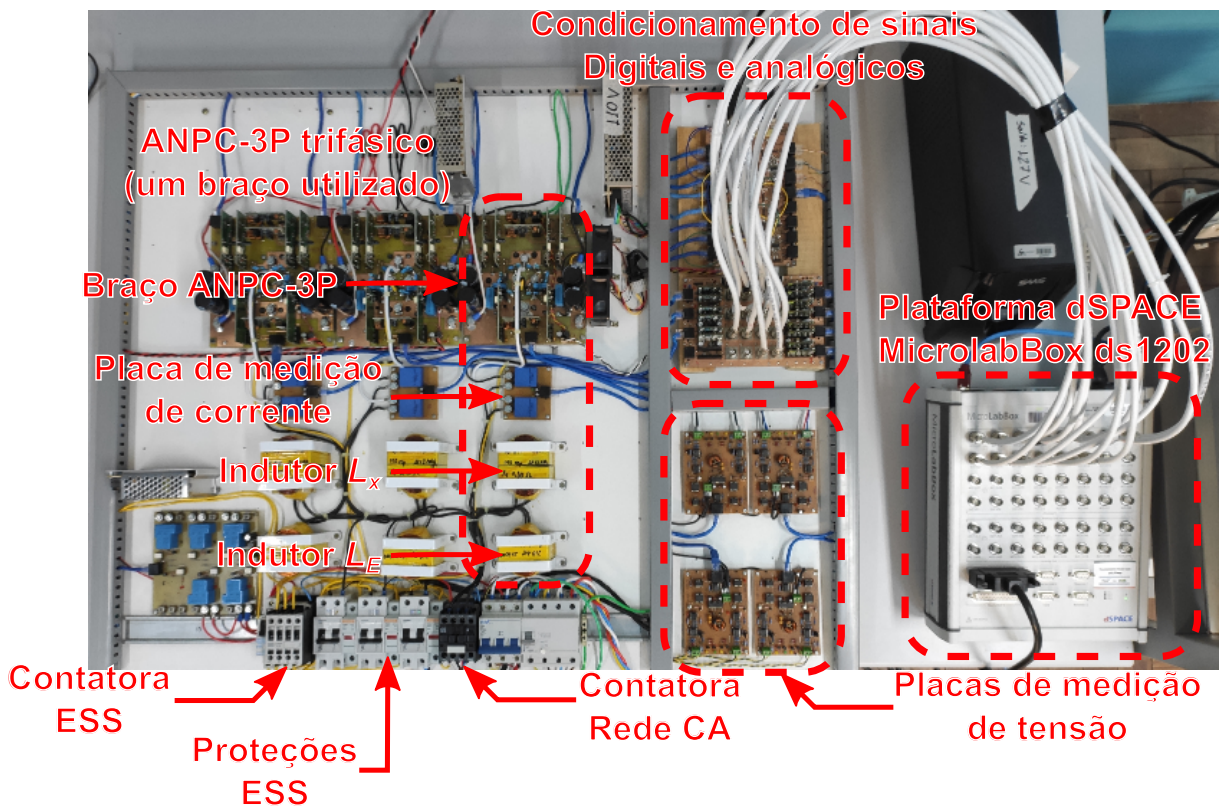
Fonte: Elaborada pelo autor.

do conversor sob análise. Para reduzir a tensão no ponto de conexão foi utilizada uma fase de um autotransformador 220/380 V trifásico de 5 kVA. Os parâmetros do autotransformador foram medidos utilizando-se um medidor LCR. Os seguintes dados foram obtidos: a indutância de dispersão vista do lado de 127 V é 96 μH , a resistência CC do enrolamento de 127 V é de 0,26 Ω e a resistência CC do enrolamento de 220 V é de 0,48 Ω . São valores relativamente baixos se comparados aos do filtro de saída do conversor e, conseqüentemente, seus efeitos foram desprezados.

A Figura 6.2 apresenta fotos do protótipo construído e do banco de baterias. Pode-se observar que o protótipo é trifásico, pois foi construído em colaboração com outros projetos de pesquisa. Nesta Tese foi utilizado apenas um braço, mantendo-se os demais braços desconectados do circuito.

Os dispositivos semicondutores utilizados foram os IGBTs modelo IRGP50B60PD1. Esse IGBT apresenta tensão reversa máxima de 600 V e corrente contínua de coletor de 45 A

Figura 6.2 – (a) Foto do protótipo com a indicação das partes que o compõem. (b) Foto do banco de baterias utilizado como ESS.



(a)



(b)

Fonte: Elaborada pelo autor.

para temperatura de junção de $100\text{ }^{\circ}\text{C}$. Também incorpora um diodo ultrarrápido de recuperação suave no mesmo encapsulamento, o que permite uma montagem mais compacta.

O tempo-morto utilizado foi obtido através da análise experimental das formas de onda de tensão nos IGBTs. Poderia ser utilizado tempo-morto de aproximadamente 500 ns , mas para prever certa margem de segurança optou-se por utilizar tempo-morto de 750 ns . Como o tempo-morto é aplicado em duas etapas, as comutações do tipo III foram realizadas com tempo-morto total de $1,5\text{ }\mu\text{s}$.

Os circuitos de *gate driver* utilizados são baseados no optoacoplador ACPL333J da Avago. Esse circuito integrado possui proteção contra dessaturação do IGBT, sinal de falha,

grampeamento ativo da capacitância Miller, corrente máxima de *gate* de 2,5 A, entre outras. Foram utilizados resistores de *gate* de 18 Ω .

As fontes isoladas para os *gate drivers* são compostas por um conversor de topologia meia-ponte, circuito oscilador de 200 kHz com ciclo ativo fixo de 50% e um transformador isolador com dois secundários em um núcleo toroidal de ferrite. Cada fonte isolada provê alimentação não-regulada de aproximadamente 25 V para até dois *gate drivers*, os quais geram internamente as tensões reguladas de +15 V e -5 V utilizadas para acionamento dos IGBTs.

Os transdutores de corrente utilizados são da marca LEM modelo LA 25-NP. A medição de tensão foi realizada de forma isolada utilizando-se divisores resistivos e isolamento através de optoacopladores analógicos HCNR201. Os sinais das placas dos transdutores são enviados em modo corrente para placas de condicionamento de sinais. Essas placas convertem o sinal de corrente para tensão, adicionam nível CC (*offset*) quando necessário, possuem proteções contra sobretensão e disponibilizam os sinais em conectores BNC (*Bayonet Neill-Concelman*) para serem enviados à etapa de processamento de sinais.

A porta CC secundária foi conectada a um banco de baterias do tipo VRLA, conforme apresentado na Figura 6.2(b). Cada bateria apresenta tensão nominal de 12 V e capacidade de 7 Ah. Foram utilizadas 23 baterias em série. Nos ensaios de regime permanente a corrente máxima negativa (corrente de recarga) foi limitada em -2 A. A recomendação dos fabricantes desse tipo de bateria é que a corrente inicial de recarga seja de aproximadamente $0,2C_{10} = -1,4$ A (EMERSON NETWORK POWER, 2009; WEG, 2019). Como os ensaios realizados são relativamente rápidos, alguns poucos segundos ou mesmo décimos de segundo, essa corrente foi excedida em alguns momentos. Nos momentos em que o banco de baterias ficou por longos períodos em recarga, a corrente foi limitada de acordo com a orientação dos fabricantes de baterias.

A tensão do barramento CC foi gerada por duas fontes CC de 5 kW isoladas, em configuração série de 360+360 V e sem nenhuma conexão ao ponto neutro do conversor.

6.2.2 Modulação e Controle

Para processamento digital dos sinais foi utilizada a plataforma dSPACE MicrolabBox ds1202. Essa plataforma possui internamente um processador Freescale QorIQ *dual core* de 2 GHz, 1 GB de memória RAM, 128 MB de memória *flash*, um processador Freescale QorIQ de 800 MHz para comunicações e uma FPGA (*Field-Programmable Gate Array*) Xilinx Kintex-7. Esse *hardware* disponibiliza uma capacidade de processamento que pode atender as mais exigentes aplicações de eletrônica de potência. Além do *hardware* de processamento, são disponibilizados 8 canais de conversão A/D (Analógico/Digital) de 14 bits e 24 canais de 16 bits com entrada de ± 10 V. Há também 16 saídas analógicas de 16 bits e 1 MSPS (*Mega Samples Per Second*) e saída de ± 10 V. Para PWM são disponibilizadas 48 saídas com resolução de

10 ns. Há também diversos outros periféricos e funcionalidades que não foram utilizadas neste trabalho.

Na FPGA foram configuradas as funções de proteção que devem atuar rapidamente em décimos de microssegundo, como a proteção dos IGBTs por sinal de falha por dessaturação e que é enviada pelos *gate drivers*. A FPGA também ficou responsável pela modulação e geração dos sinais PWM de cada IGBT. A implementação na FPGA seguiu rigorosamente a técnica descrita no Capítulo 3. A FPGA ainda realiza funções de gerenciamento dos sinais de entrada/saída analógica e digital. Por fim, a FPGA também sincroniza a amostragem das entradas analógicas com o pico da portadora positiva e envia um sinal de interrupção ao processador para iniciar um novo ciclo de amostragem.

O processador foi programado para realizar o processamento dos compensadores, máquinas de estado e proteções mais lentas. O monitoramento das correntes e tensões é realizado pelo processador. Caso alguma variável ultrapasse os limites estabelecidos durante um certo tempo, o processador envia um sinal de desligamento para a FPGA.

6.3 RESULTADOS

Nesta seção são apresentados os resultados experimentais de forma a demonstrar o desempenho do conversor em todos os modos de operação e o desempenho do sistema de controle. O conversor pode processar potências reativas, entretanto, considerando que o conversor foi projetado para uma aplicação FV e que nesse tipo de aplicação os conversores operam com fator de potência próximo da unidade, nos resultados experimentais apresentados neste trabalho o conversor operou sempre com fator de potência unitário, positivo ou negativo, conforme o fluxo de potência requerido na porta CA.

De acordo com o exposto no Capítulo 3, é possível modular o conversor de diversas formas. Foram consideradas duas estratégias de modulação para obtenção dos resultados experimentais: portadoras em POD com a aplicação das sequências do tipo 1 e do tipo 2 na porta CC secundária. Por se tratar de um conversor monofásico, as diferenças entre portadoras em POD e PD é desprezível e portanto foi apenas considerada a forma POD.

O conversor operou com o sistema de controle completamente ativado em todos os experimentos. Para compensar a ondulação de corrente de baixa frequência na porta CC secundária foi utilizado apenas o compensador ressonante, conforme justificado no Capítulo 5. Caso alguma ação de controle tenha sido desligada em algum experimento para avaliar o seu comportamento, essa condição é informada no texto.

6.3.1 Formas de Onda em Regime Permanente

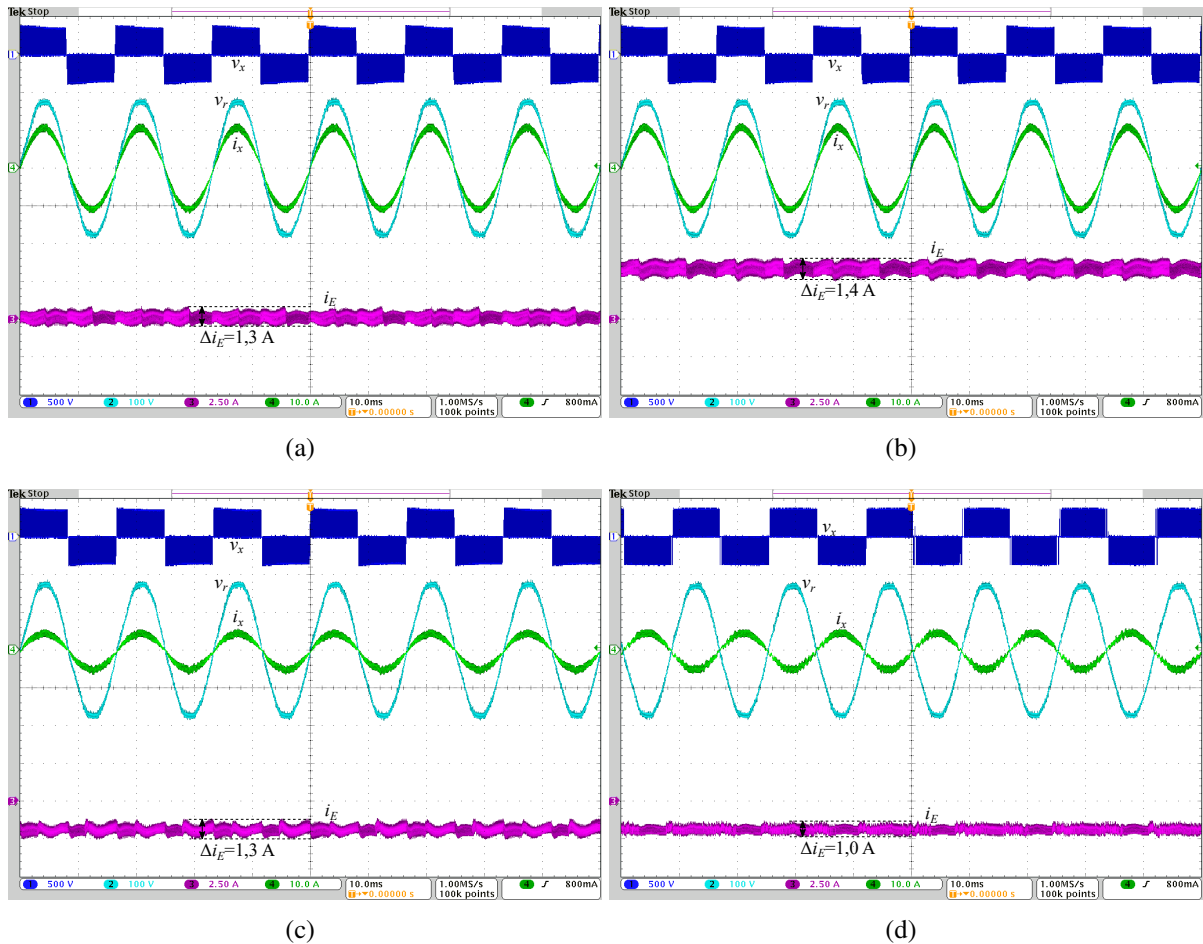
6.3.1.1 Sequência do tipo 1

A Figura 6.3 apresenta formas de onda do conversor operando em regime permanente com potência nominal e sequência do tipo 1 na porta CC secundária. Na Figura 6.3(a), o ESS está em flutuação e a potência da porta CC principal é totalmente injetada na rede com fator de potência aproximadamente unitário. Na Figura 6.3(b), o ESS é colocado em descarga com potência nominal. Nesse modo, o ESS fornece a potência injetada na rede. As Figuras 6.3(c) e (d) trazem as formas de onda considerando o modo de recarga do ESS pela porta CC principal e pela rede, respectivamente. Na condição da Figura 6.3(c), o conversor opera com carga nominal, sendo parte da potência transferida ao ESS e parte injetada na rede. Os resultados da Figura 6.3(d) mostram o modo de recarga do ESS pela rede, ou seja, com potência CA negativa. Nesse caso, o conversor opera como retificador. A ondulação na corrente i_E (Δi_E) é 1,3 A para os casos das Figura 6.3(a) e (c). No caso da Figura 6.3(b), a ondulação de corrente tende a aumentar devido à redução da tensão V_E causada pela corrente nominal de descarga. Conforme demonstrado no Capítulo 4, a ondulação de corrente no ESS depende da tensão V_E . Para o modo de retificador, Δi_E é significativamente menor devido à ondulação de tensão no barramento CC ser reduzida nesse caso. A tensão V_E não foi apresentada no osciloscópio devido a limitação de canais, mas o seu valor médio durante os experimentos foi de aproximadamente 280 V. De acordo com (4.125), $\Delta i_E = 0,7$ A nessa tensão. Os valores obtidos para a sequência do tipo 1 são consideravelmente superiores devido às ondulações de baixa frequência. Após a apresentação dos resultados para a sequência do tipo 2, são apresentadas comparações dos espectros harmônicos de ambas as sequências.

A Figura 6.4 traz uma ampliação das formas de onda e tem a intenção de apresentar as comutações do tipo III discutidas no Capítulo 2. O ESS está em modo de recarga e há potência ativa sendo injetada na rede. Esse modo de operação corresponde ao apresentado na Figura 6.3(c). A Figura 6.4(a) mostra intervalos de tempo onde ocorrem comutações do tipo III. Um trecho desses intervalos é detalhado na Figura 6.4(b) e as comutações do tipo III são indicadas por setas. Essas comutações são caracterizadas por um pulso zero indesejado em v_{AB} .

Para a sequência do tipo podem ocorrer as seguintes comutações do tipo III: $P \rightarrow 0U1$ e $N \rightarrow 0L1$. A ocorrência desse tipo de comutação depende do semiciclo do sinal modulante $v_{m,ca}$ e da seleção de $0U1$ e $0L1$, que por sua vez depende das tensões dos polos do barramento CC e da corrente i_E . Como mostrado na Figura 6.4(a), as comutações do tipo III ocorrem por longos intervalos de tempo em cada semiciclo. A largura do pulso indesejado em v_{AB} está diretamente relacionada à duração do tempo-morto. Quanto maior o tempo-morto, maior será a duração do pulso em v_{AB} e maior será a perturbação em i_E . O projeto otimizado da placa de circuito impresso, que reduza as indutâncias parasitas dos caminhos de condução, e dos

Figura 6.3 – Formas de onda das correntes i_x e i_E , da tensão PWM (v_x) e da tensão da rede (v_r) utilizando sequência do tipo 1. Potência positiva nominal injetada na rede com (a) ESS em flutuação e (b) ESS em descarga com potência nominal. (c) ESS em recarga e potência restante injetada na rede. (d) ESS sendo carregado pela rede CA (potência CA negativa).

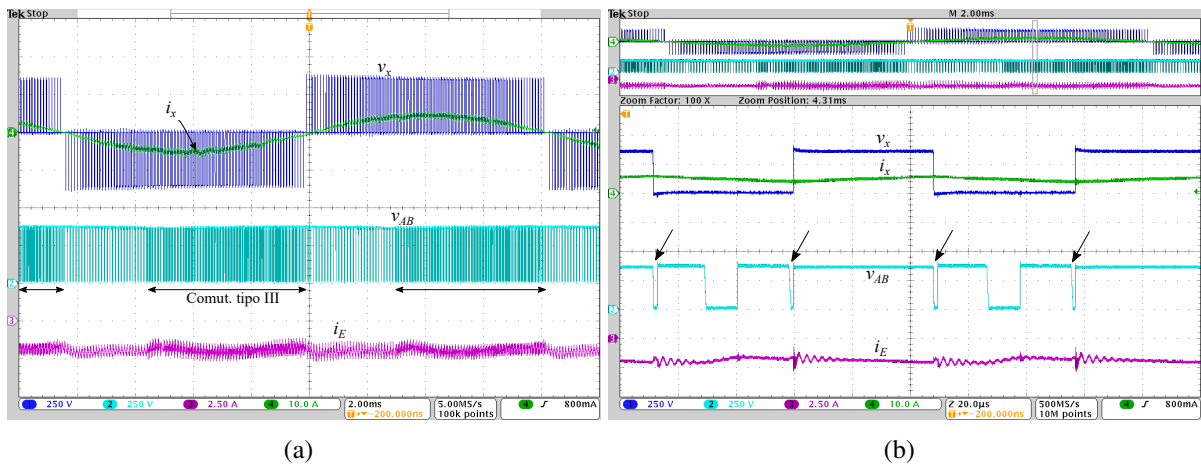


Fonte: Elaborada pelo Autor.

circuitos de acionamento dos dispositivos semicondutores controlados são importantes para a redução dos tempos-mortos e, como consequência, amenizar os efeitos desse pulso indesejado. O rendimento do conversor também é negativamente impactado pelas comutações do tipo III.

A DHT da corrente injetada na rede foi medida com o auxílio do equipamento de precisão Yokogawa WT1800, sendo obtidos valores em torno de 5%, que é o limite estabelecido na NBR16149 (ABNT, 2013). A medição realizada considerou até o 500º harmônico de 60 Hz (30 kHz), limitado pelo equipamento utilizado. Além disso, as medições foram realizadas com o ESS em flutuação, pois esse é o pior caso de ondulação na tensão do barramento CC (isso é demonstrado mais adiante). Os resultados das medições de DHT para ambas as sequências de comutação da porta CC secundária foram similares, pois a modulação dessa porta não interfere na porta CA. A Figura 6.5 apresenta os percentuais das componentes harmônicas da corrente injetada na rede em comparação com os limites da norma NBR16149 até o 40º harmônico. Os

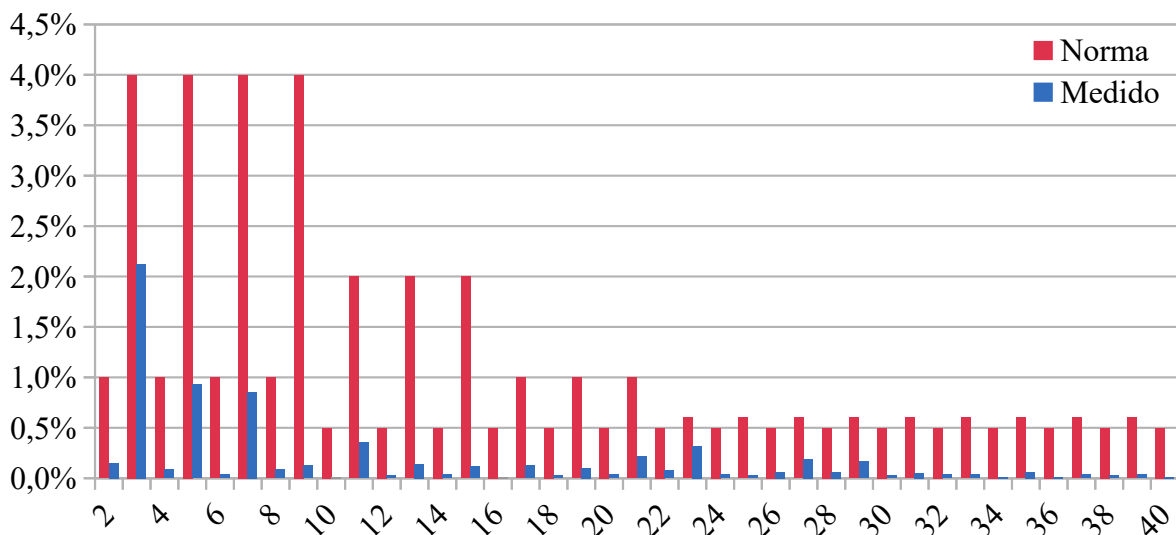
Figura 6.4 – Formas de onda das correntes i_x e i_E , das tensões PWM das portas CA (v_x) e CC secundária (v_{AB}) utilizando sequência do tipo 1. (a) Formas de onda mostrando um ciclo completo de rede. (b) Ampliação das formas de onda para mostrar maiores detalhes, em especial os pulsos indesejados em v_{AB} .



Fonte: Elaborada pelo Autor.

resultados foram obtidos para sequência do tipo 1 com potência nominal na porta CA e ESS em flutuação.

Figura 6.5 – Comparação dos limites das componentes harmônicas definidos na NBR16149 com o espectro harmônico da corrente injetada na rede. Modulação POD com sequência do tipo 1.



Fonte: Elaborada pelo Autor.

Em regime permanente, a componente CC da corrente injetada na rede permaneceu sempre abaixo de 10 mA e, portanto, inferior ao limite de 0,5% da corrente nominal do conversor (39,4 mA), conforme estabelecido na NBR16149.

6.3.1.2 Sequência do tipo 2

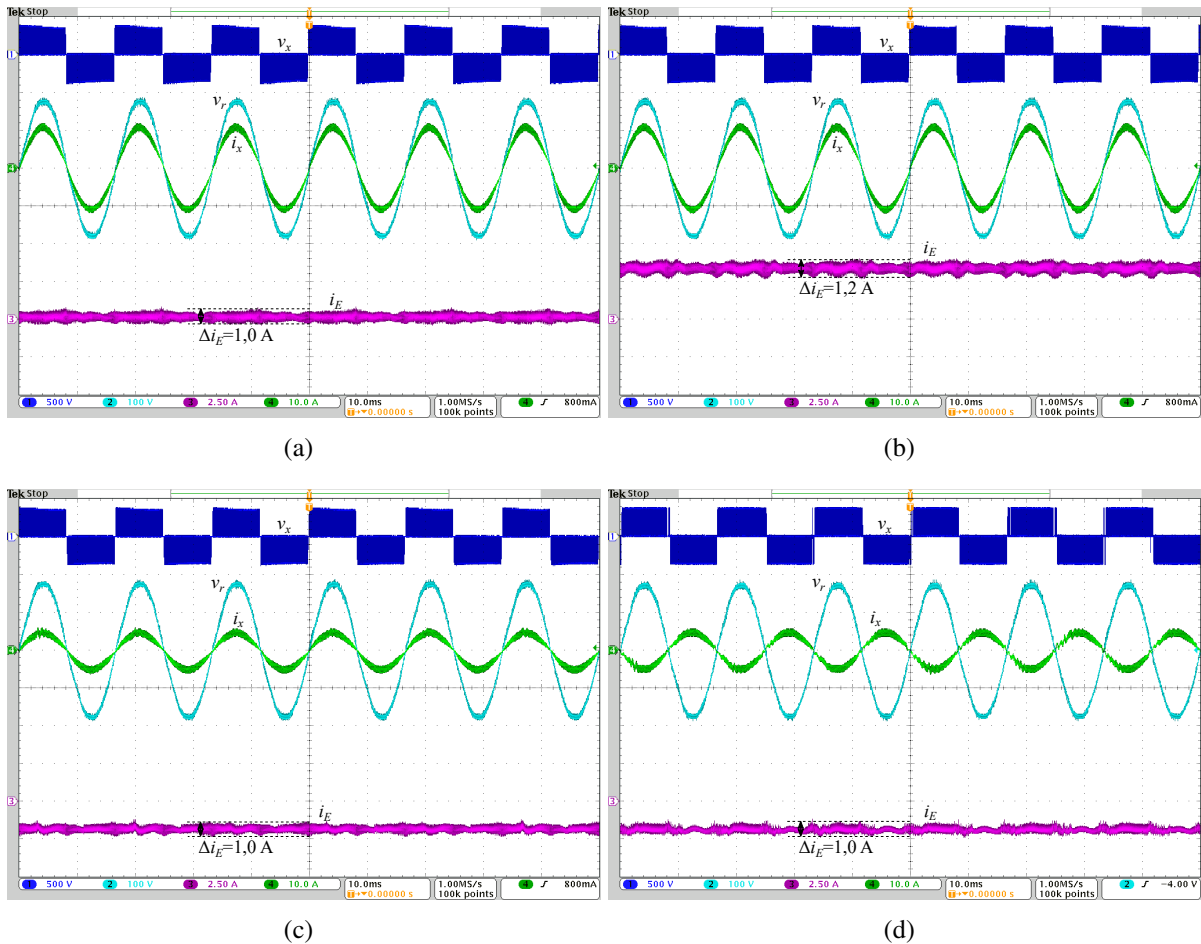
Os resultados da Figura 6.6 visam apresentar diversos pontos de operação do conversor utilizando a sequência do tipo 2 na porta CC secundária. São resultados similares aos apresentados para sequência do tipo 1 na Figura 6.3. Observa-se na Figura 6.6(a), por exemplo, que a ondulação de i_E não é constante. Esse resultado é similar ao obtido em simulação e corrobora com a análise realizada no Capítulo 3. Para a sequência do tipo 1 os pulsos zero em v_{AB} são uniformemente espaçados, pois a geração desses pulsos depende apenas das portadoras e do sinal modulante da porta CC secundária (que é idealmente constante). Por outro lado, na sequência do tipo 2 os pulsos zero em v_{AB} dependem das portadoras e dos sinais modulantes de ambas as portas de potência. Dessa forma, esses pulsos não se distribuem uniformemente e fazem com que a amplitude da ondulação de i_E seja variável. Maiores detalhes podem ser vistos no Capítulo 3, mais especificamente na Figura 3.10.

Em comparação com a sequência do tipo 1 (Figura 6.3), observa-se que a sequência do tipo 2, apresentada na Figura 6.6, exibe forma de onda com menos distorções/ondulações em i_E . Como a sequência do tipo 2 não apresenta comutações do tipo III, as perturbações de baixa frequência em i_E são menores. Nos experimentos da sequência do tipo 2, a tensão média do ESS foi mantida aproximadamente em 280 V (igual à dos experimentos para a sequência do tipo 1). Para os experimentos das Figuras 6.6(a), (c) e (d), a ondulação de corrente foi de 1,0 A. Esse valor representa uma redução de 23% em relação ao obtido para a sequência do tipo 1. No caso da Figura 6.6(b), a corrente de 1,2 A representa uma redução de 14%. Porém, na sequência do tipo 2 também se observam ondulações de baixa frequência. Conforme já apresentado, a ondulação de corrente esperada no indutor do ESS para tensão V_E de 280 V é de 0,7 A. A corrente obtida nos experimentos supera esse valor devido a essas ondulações de baixa frequência.

A Figura 6.7 traz uma ampliação das formas de onda para sequência do tipo 2 na porta CC secundária. O ESS está em modo de recarga e há potência ativa sendo injetada na rede. A sequência do tipo 2 garante que não ocorram comutações do tipo III. A Figura 6.7(b) mostra uma condição de operação semelhante a da Figura 6.4(b) mas sem comutações do tipo III. Em nenhum outro ponto de operação essas comutações indesejadas foram visualizadas experimentalmente, confirmando a análise teórica apresentada nos Capítulos 2 e 3.

Nos experimentos com sequência do tipo 2, os parâmetros de qualidade da corrente injetada na rede (DHT e componente CC) foram aproximadamente iguais aos obtidos para a sequência do tipo 1. Isso reforça a análise teórica e evidencia que a estratégia de modulação da porta CC secundária não afeta de forma significativa a porta CA.

Figura 6.6 – Formas de onda das correntes i_x e i_E , da tensão PWM (v_x) e da tensão da rede (v_r) utilizando sequência do tipo 2. Potência positiva nominal injetada na rede com (a) ESS em flutuação e (b) ESS em descarga com potência nominal. (c) ESS em recarga e potência restante injetada na rede. (d) ESS sendo carregado pela rede CA (potência CA negativa).

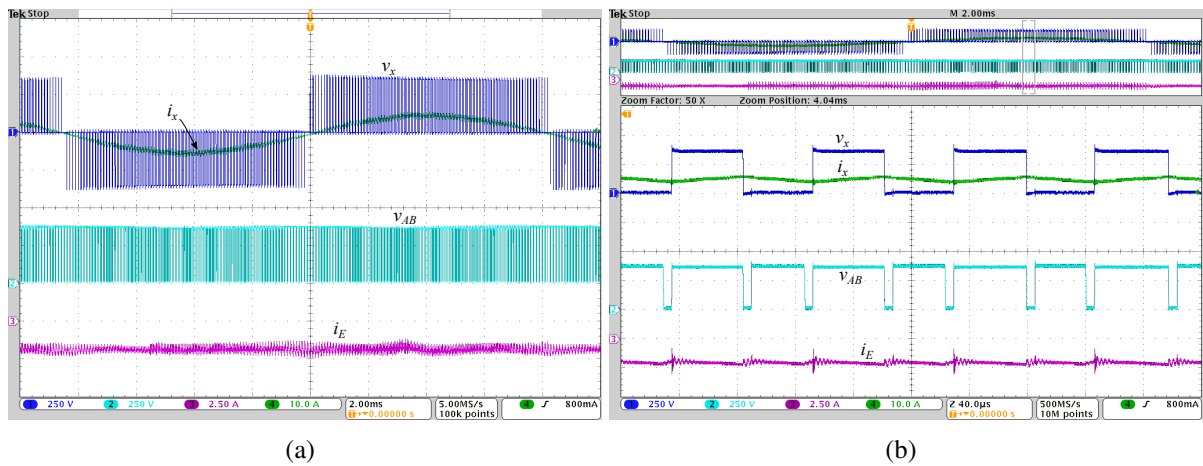


Fonte: Elaborada pelo Autor.

6.3.1.3 Comparação dos espectros de i_E

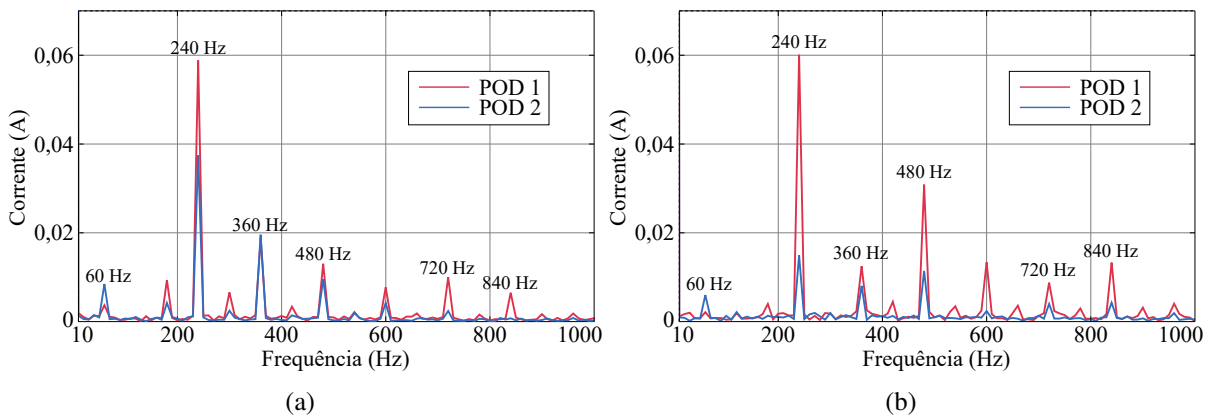
Para analisar em maior profundidade as ondulações de baixa frequência existentes nos resultados experimentais da corrente i_E , na Figura 6.8 são apresentados os espectros de baixa frequência dessa corrente para os modos de descarga e recarga do ESS. Como as correntes de baixa frequência são as mais difíceis de filtrar, foram consideradas as componentes harmônicas até 1 kHz, uma década abaixo da frequência de comutação. A Figura 6.8 demonstra um desempenho superior da sequência do tipo 2 em ambos os modos de operação. Nota-se que a sequência do tipo 1 apresenta uma componente significativa em 240 Hz.

Figura 6.7 – Formas de onda das correntes i_x e i_E , das tensões PWM das portas CA (v_x) e CC secundária (v_{AB}) utilizando sequência do tipo 2. (a) Formas de onda mostrando um ciclo completo de rede. (b) Ampliação das formas de onda para mostrar maiores detalhes, em especial a ausência de pulsos indesejados em v_{AB} .



Fonte: Elaborada pelo Autor.

Figura 6.8 – Espectros de baixa frequência da corrente i_E nos modos de (a) descarga e (b) recarga do ESS para modulação POD com as sequências do tipo 1 e 2.



Fonte: Elaborada pelo Autor.

De forma a comparar quantitativamente os espectros harmônicos da corrente i_E para ambas as sequências, propõe-se a utilização de uma figura de mérito similar à DHT, dada por:

$$DHT_{i_{CC}} = \frac{\sqrt{I^2(f_1) + I^2(f_2) + I^2(f_3) + \dots}}{I_{CC}} \quad (6.1)$$

onde $I(f_n)$ é o valor eficaz da componente de I na frequência f_n e que são obtidas através da decomposição do sinal em série de Fourier. I_{CC} é o valor médio (ou CC) do sinal da corrente. Dessa forma, considerando o espectro completo da corrente i_E e realizando o cálculo conforme (6.1), obtém-se os resultados apresentados na Tabela 6.2. Os valores obtidos confirmam a superioridade da sequência do tipo 2.

Tabela 6.2 – Valores percentuais de DHT_{iCC} da corrente i_E para os modos de descarga e recarga do ESS considerando a modulação POD com as sequências do tipo 1 e 2.

Modulação	DHT_{iCC} (%)	
	Descarga	Recarga
POD 1	6,15	5,63
POD 2	4,08	3,68

Fonte: Elaborada pelo autor.

6.3.2 Desempenho Transitório

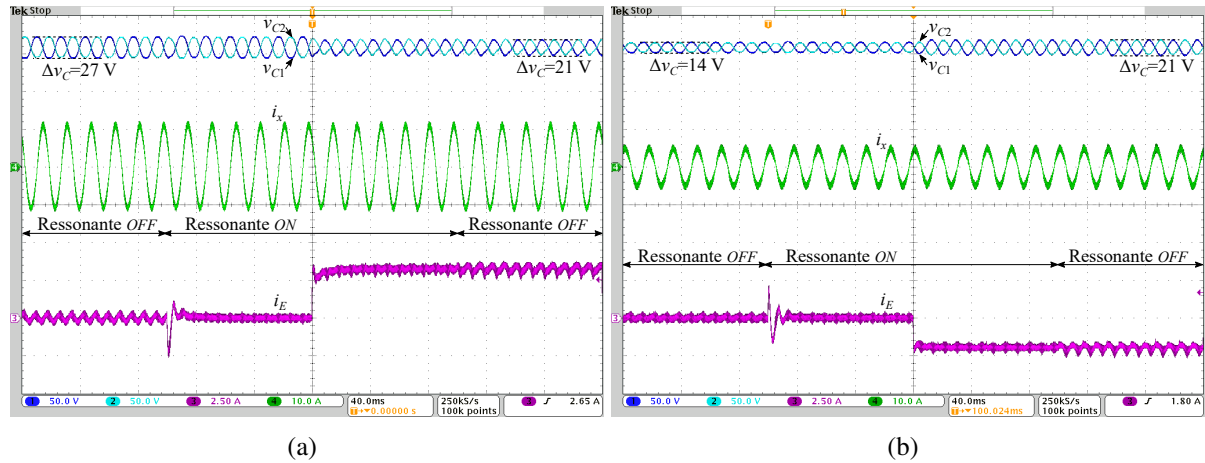
Nesta seção são apresentados resultados experimentais para validar o sistema de controle projetado. O comportamento dinâmico do conversor é igual para ambas as sequências de comutação aplicadas à porta CC secundária. Portanto, para não tornar o texto repetitivo e desnecessariamente longo, são apenas apresentados os resultados considerando a sequência do tipo 2.

A avaliação do desempenho transitório do conversor foi realizada através da aplicação de degraus de corrente em ambas as portas de potência e do monitoramento dessas variáveis e das tensões dos polos do barramento CC.

Os resultados apresentados na Figura 6.9(a) têm como objetivo mostrar o desempenho do compensador de corrente do ESS. A corrente injetada na rede permanece regulada no seu valor nominal. O experimento iniciou com o compensador ressonante da malha de controle de i_E desativado e com o ESS em flutuação. Observa-se que há uma certa ondulação de baixa frequência. Na referência do *trigger* do osciloscópio, em $t \approx -100$ ms o compensador ressonante é ativado e gera uma certa perturbação na corrente i_E . Em seguida a ondulação de baixa frequência é significativamente atenuada. Em $t \approx 0$ s é aplicado um degrau de corrente de 100%, o que leva o ESS a fornecer a potência nominal injetada na rede. Nota-se que esse degrau de grande amplitude não perturba a corrente na porta CA. Além disso, o barramento CC permanece equilibrado. Após, em $t \approx 100$ ms o compensador ressonante é desativado e as ondulações de baixa frequência reaparecem na corrente i_E .

Um outro experimento similar foi realizado para o ESS no modo de recarga. Os resultados são apresentados na Figura 6.9(b). Como a corrente CA é inferior à corrente do caso anterior, a ondulação da tensão dos capacitores do barramento CC é menor. Devido a isso, quando o compensador ressonante está desativado, a ondulação de baixa frequência de i_E também é menor. Da mesma forma que no caso anterior, o compensador ressonante permanece ativado de $t \approx -100$ ms até $t \approx 100$ ms e consegue atenuar significativamente a ondulação de baixa frequência de i_E .

Figura 6.9 – Formas de onda das correntes i_x e i_E e das tensões dos polos do barramento CC. Degraus de flutuação para (a) descarga e (b) recarga na porta CC secundária com ativação e desativação do compensador ressonante da corrente i_E .



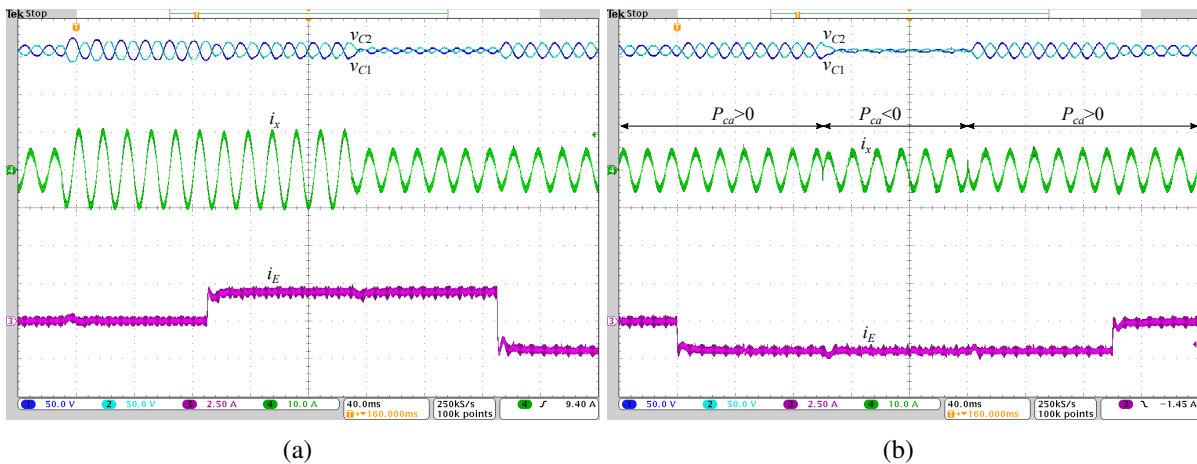
Fonte: Elaborada pelo Autor.

Nos resultados da Figura 6.9 estão também apresentados os valores das ondulações das tensões dos capacitores do barramento CC. A ondulação máxima ocorre para o modo de ESS em flutuação e potência nominal injetada na rede. A ondulação medida foi de 27 V, o que corresponde a 7,5% da tensão do polo. O valor calculado no Apêndice A foi de 6,4%, porém não foram consideradas no cálculo a resistência série equivalente e a tolerância dos capacitores. Quando a corrente do ESS é diferente de zero ela contribui para a redução da ondulação de tensão nos polos do barramento CC. Portanto, a inclusão do ESS no conversor ANPC não implica na necessidade de se aumentar a capacitância do barramento CC em relação a conversores ANPC convencionais.

A Figura 6.10(a) apresenta resultados da aplicação de degraus de corrente na porta CA e CC secundária. O experimento iniciou com o ESS em flutuação e a potência da porta CA em 50% do valor nominal. Na referência do *trigger* do osciloscópio, em $t \approx -10$ ms é aplicado um degrau em i_x levando-a ao valor nominal. Nota-se um pequeno desbalanceamento no barramento CC e que é corrigido em aproximadamente 50 ms. Devido à perturbação no barramento CC, a corrente i_E é ligeiramente afetada. A corrente i_E é mais sensível à mudanças na tensão do barramento CC devido ao compensador ressonante e ao controlador por histerese. Perturbações nas tensões do barramento CC causam mudança na saída do controlador de histerese. O compensador ressonante leva alguns milissegundos para reagir e compensar novamente as ondulações de baixa frequência da corrente i_E . Devido ao barramento CC ser o ponto de acoplamento comum das portas de potência do conversor, se ele for perturbado, essa perturbação pode se propagar para as portas de potência. Em $t \approx 100$ ms é aplicado um degrau de descarga de 2 A na corrente i_E . O ESS permanece no modo descarga e em $t \approx 180$ ms um degrau de -50% é aplicado na corrente i_x . Nota-se novamente uma pequena perturbação na corrente i_E .

Por fim, um degrau de -4 A é aplicado em i_E , levando o ESS ao modo de recarga. Durante o experimento o barramento CC sofreu perturbações mas os sistemas de controle de ambas as portas de potência conseguem trazer as tensões ao equilíbrio em regime permanente conforme esperado.

Figura 6.10 – Formas de onda das correntes i_x e i_E e das tensões dos polos do barramento CC. (a) Degraus de corrente na porta CA e no ESS e (b) degraus com reversão do fluxo de potência na porta CA e ESS em modo de recarga.



Fonte: Elaborada pelo Autor.

O experimento cujos resultados são apresentados na Figura 6.10(b) visa demonstrar o desempenho do compensador de corrente da porta CA quando é feita a reversão de potência. O experimento inicia com o ESS em flutuação e a porta CA com potência ativa injetada na rede em 50% do valor nominal. Na referência do *trigger* do osciloscópio, em $t \approx 0\text{ ms}$ o ESS é colocado no modo de recarga com corrente de -2 A . Em $t \approx 100\text{ ms}$ o fluxo de potência na porta CA é invertido. O conversor, que estava injetando potência na rede, passa ao modo de retificador. Dessa forma, a potência de recarga do ESS é fornecida pela rede. Essa etapa dura aproximadamente 100 ms , quando o fluxo de potência é novamente invertido e o conversor passa a injetar potência na rede novamente. Em seguida, o ESS volta ao modo de flutuação. É importante observar o desempenho satisfatório do compensador ressonante da porta CA nessas condições. Os compensadores responsáveis por regular o barramento CC também atuaram de forma correta mantendo as tensões dos polos equilibradas.

6.3.3 Rendimento

A análise de rendimento de conversores é importante para se verificar a qualidade do projeto desenvolvido, além de outros objetivos. Esta Tese não teve a premissa de otimizar o projeto do conversor, visando alcançar rendimentos elevados, o que implicaria em uma análise detalhada de perdas, otimização de filtros, semicondutores, *gate drivers*, etc. Por se tratar

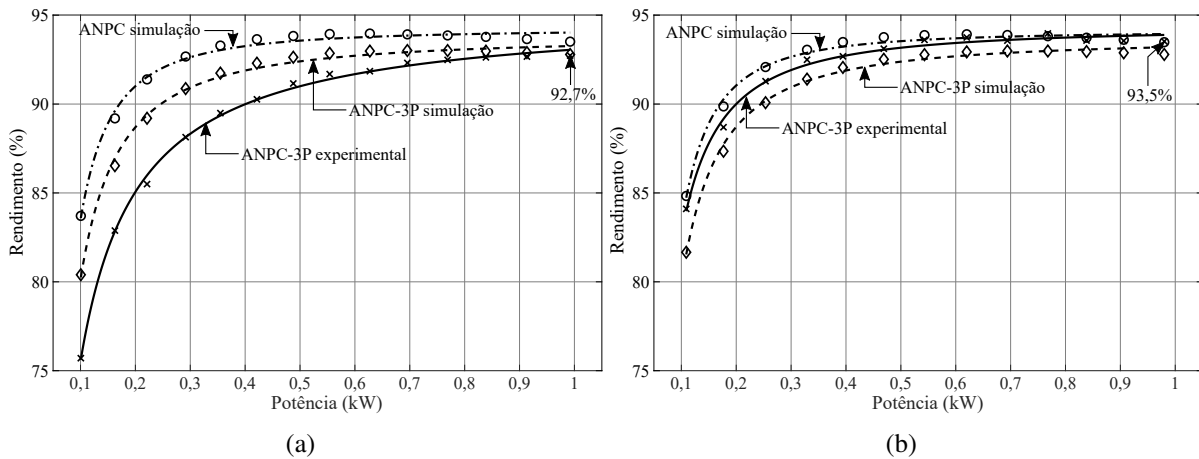
de uma variante nova da topologia ANPC, o objetivo principal da construção do protótipo era comprovar experimentalmente o funcionamento da topologia conforme proposições teóricas. Por outro lado, buscou-se também obter um projeto de desempenho satisfatório para as condições estabelecidas. As curvas apresentadas na sequência visam dar orientações a projetos futuros sobre o rendimento do conversor nos diferentes modos de operação.

Foram realizadas medições de rendimento para as sequências do tipo 1 e 2 na porta CC secundária considerando-se os quatro modos principais de operação: flutuação, descarga e recarga do ESS pela porta CC principal e pela porta CA. Dessa forma, é possível compreender melhor o desempenho do conversor nessas condições. As medições de rendimento foram realizadas pelo equipamento de precisão Yokogawa WT1800.

A Figura 6.11 apresenta as medições experimentais e teóricas de rendimento para as duas sequências de comutação em análise. A potência injetada na rede foi variada de aproximadamente 0,1 kW até a potência nominal de 1 kW e o ESS foi mantido em flutuação. Ambas as sequências de comutação apresentam comportamento similar e típico de conversores estáticos. Com o aumento da potência processada pelo conversor as perdas por comutação tornam-se menos relevantes e o rendimento tende a aumentar. Essas curvas são importantes e contribuem para a explicação de dois pontos. O primeiro diz respeito ao melhor rendimento da sequência de comutação do tipo 2, principalmente em baixas potências. Isso leva a conclusão de que as perdas por comutação são menores. Esse era um resultado esperado uma vez que a sequência do tipo 1 apresenta significativa quantidade de comutações do tipo III, conforme já analisado neste capítulo. O segundo ponto diz respeito às perdas por condução. No Capítulo 4 foi realizada uma análise de esforços de corrente para a sequência do tipo 1. Porém, foi estabelecido que para frequências de comutação relativamente elevadas ($f_s/f_r > 100$), os esforços são similares para a sequência do tipo 2. Essa afirmação foi validada na análise de perdas. Portanto, a curva de rendimento comprova as análises teóricas, pois com carga nominal a diferença de rendimento das duas sequências de comutação é pequena e, nesse caso, é devida às perdas por comutação.

Ainda considerando a Figura 6.11, são também apresentadas curvas teóricas de rendimento obtidas através da análise de perdas apresentada no Capítulo 4. O modelo de perdas foi simulado considerando-se os mesmos parâmetros dos experimentos, ou seja, as mesmas tensões e correntes do ESS e da rede. Com essas informações foram calculados m_a e d_z para cada ponto de operação. Especificamente quando o ESS está em flutuação, é possível comparar o ANPC-3P com o ANPC. Dessa forma, para facilitar a comparação, é também apresentada a curva de rendimento do conversor ANPC. Nota-se que o ANPC-3P apresenta desempenho teórico inferior em toda a faixa de operação avaliada. Conforme já exposto na análise de perdas, o conversor ANPC-3P apresenta maior número de comutações devido à necessidade de modular a porta CC secundária. Dessa forma, as perdas por comutação são maiores, o que reduz o rendimento. Na comparação dos resultados teóricos e experimentais do ANPC-3P, cabe observar que as diferenças obtidas estão principalmente relacionadas às perdas por comutação, as quais são difíceis de se quantificar com exatidão e dependem de diversos fatores. Maiores informações

Figura 6.11 – Curvas de rendimento do conversor operando com potência injetada na rede positiva e ESS em flutuação para (a) sequência do tipo 1 e (b) sequência do tipo 2 na porta CC secundária.



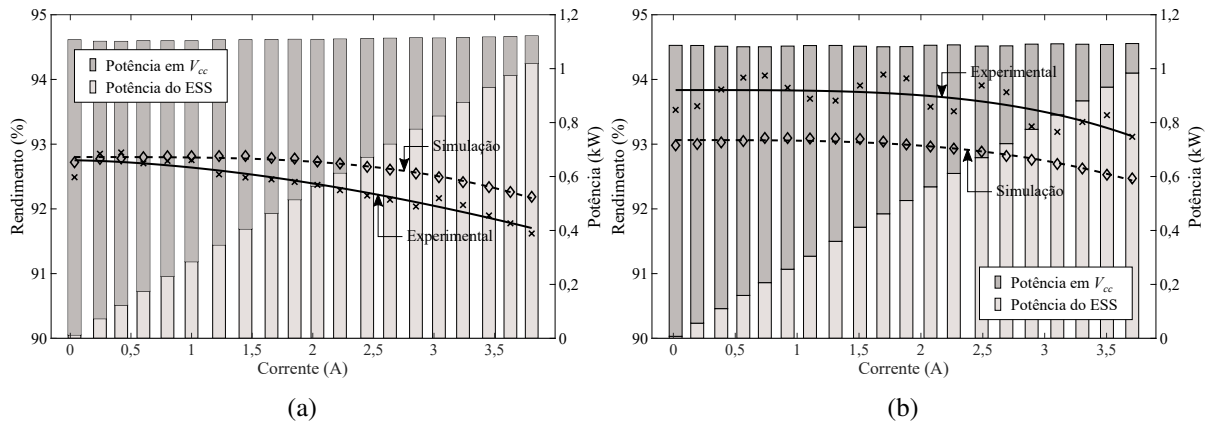
Fonte: Elaborada pelo Autor.

sobre as dificuldades encontradas para obtenção do modelo teórico de perdas por comutação podem ser obtidas na Análise de Perdas do Capítulo 4. Por outro lado, comparando as curvas teóricas do ANPC-3P para ambas as estratégias de modulação, nota-se que a modulação com sequência do tipo 2 apresenta menores perdas por comutação. Esse resultado é similar ao obtido nos resultados experimentais, corroborando com a análise apresentada.

Também foram realizadas medições de rendimento para o ESS com corrente diferente de zero. Os resultados apresentados na Figura 6.12 foram obtidos para o ESS em descarga com corrente variável e mantendo-se a potência injetada na rede no valor nominal. Os gráficos apresentam dois eixos verticais, o da esquerda é utilizado para o rendimento medido e o da direita corresponde à potência das portas. As barras verticais indicam a potência do ESS e da porta CC principal. A soma de ambas é aproximadamente igual a potência injetada na rede somada às perdas. Ambas as curvas de rendimento mostram que o aumento da corrente do ESS causa maiores perdas por condução, conforme já demonstrado na análise de perdas do Capítulo 4. As curvas apresentadas na Figura 6.12 têm comportamento similar, porém a sequência do tipo 2 apresenta melhor rendimento em toda a faixa devido às menores perdas por comutação, conforme já mencionado. As curvas de rendimento teórico apresentam comportamento similar ao experimental.

Mais dois experimentos foram realizados considerando o ESS em recarga. No primeiro, apresentado na Figura 6.13, o ESS é carregado através da porta CC principal. A potência da porta CA é mantida constante durante o experimento. Nota-se que ao aumentar a corrente de recarga há aumento do rendimento do conversor. Essa melhoria se deve principalmente a dois fatores. O primeiro está relacionado à potência processada pelo conversor, pois o aumento de i_E implica em maior potência total processada. O segundo diz respeito ao ponto de operação, pois operando com correntes parciais em ambas as portas de potência o conversor apresenta

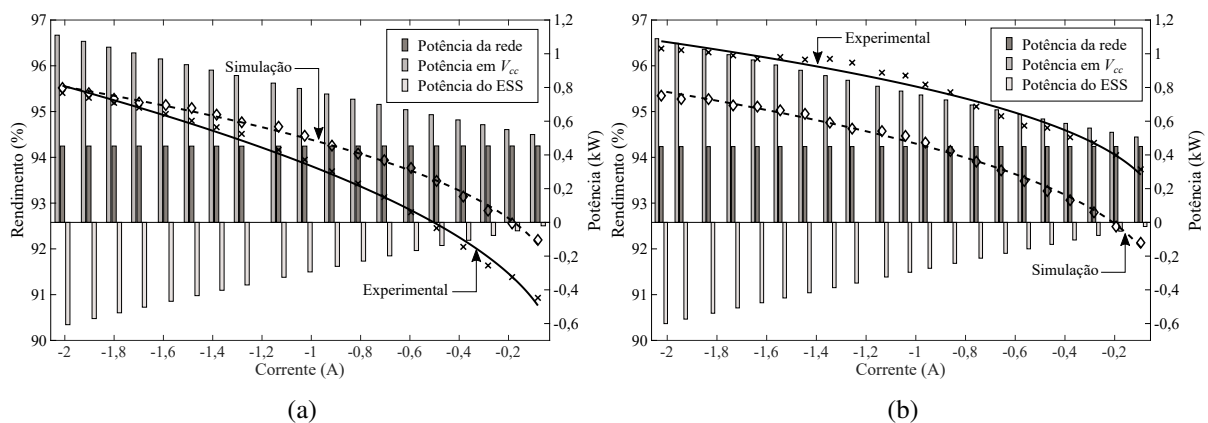
Figura 6.12 – Curvas de rendimento do conversor operando com potência positiva injetada na rede e ESS em descarga para (a) sequência do tipo 1 e (b) sequência do tipo 2 na porta CC secundária.



Fonte: Autor.

rendimento superior aos casos de corrente nominal. As curvas de rendimento teórico também seguem esse comportamento.

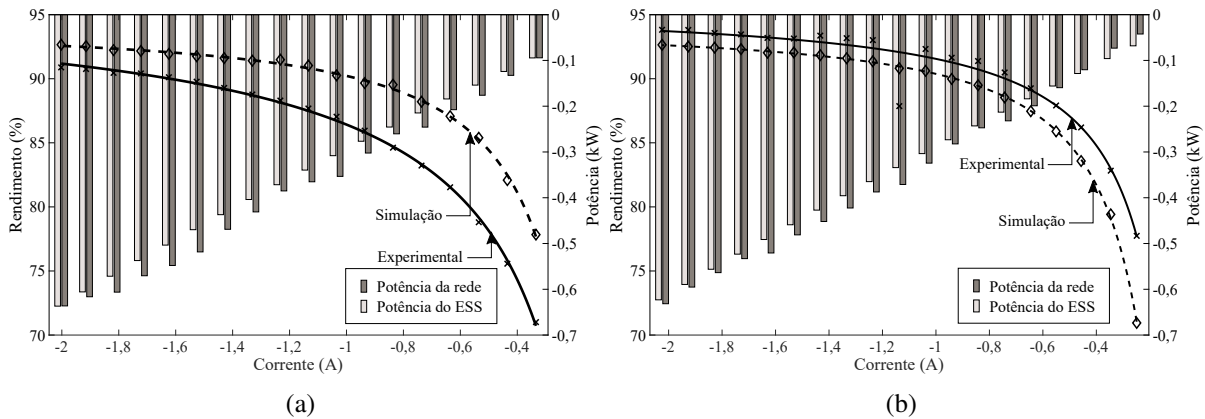
Figura 6.13 – Curvas de rendimento em função da corrente i_E para o conversor operando com potência positiva injetada na rede e ESS em recarga para (a) sequência do tipo 1 e (b) sequência do tipo 2 na porta CC secundária.



Fonte: Elaborada pelo Autor.

O último experimento foi realizado com o conversor operando como retificador e extraíndo potência da rede CA ($FP=-1$) para recarga do ESS. Os resultados são apresentados na Figura 6.14. Quanto maior o módulo da corrente i_E maior a potência processada pelo conversor e, conseqüentemente, melhor o rendimento. Quando a corrente i_E está próxima de zero, a potência processada pelo conversor é pequena, as perdas por comutação preponderam e o rendimento do conversor é baixo. Como se pode observar, os resultados experimentais e teóricos têm um comportamento similar entre si e também ao que foi apresentado para o caso anterior, fortalecendo as conclusões apresentadas até aqui.

Figura 6.14 – Curvas de rendimento em função da corrente i_E para o conversor operando com potência negativa na porta CA (modo retificador com $FP=-1$) e ESS em recarga para (a) sequência do tipo 1 e (b) sequência do tipo 2 na porta CC secundária.



Fonte: Elaborada pelo Autor.

6.4 CONSIDERAÇÕES FINAIS

Neste capítulo foram apresentados detalhes do protótipo construído para avaliação experimental da topologia proposta. Os resultados foram obtidos para modulação com portadoras em POD para duas sequências de comutação da porta CC secundária. Os resultados mostraram que ambas as estratégias de modulação da porta CC secundária são viáveis, mas a sequência do tipo 1 apresenta comutações do tipo III e que aumentam as perdas por comutação.

O conversor foi operado conectado à rede e foram apresentados resultados experimentais em todos os modos de operação. O sistema de controle proposto se mostrou adequado, sendo capaz de regular as correntes e balancear o barramento CC. A compensação das ondulações de baixa frequência da corrente do ESS através do compensador ressonante se mostrou fundamental para a obtenção de uma corrente com menor conteúdo harmônico.

Os resultados também comprovaram que a inserção da porta CC secundária no conversor não aumenta as ondulações de tensão nos capacitores dos polos do barramento CC. Ao contrário, quando a corrente do ESS é diferente de zero, ela auxilia na redução das ondulações de tensão dos capacitores.

O rendimento do conversor foi avaliado para duas estratégias de modulação da porta CC secundária. A sequência de comutação do tipo 2 resulta em melhor rendimento do conversor por não apresentar comutações do tipo III. Além disso, a sequência do tipo 2 é mais natural, uma vez que sempre insere nível zero em v_{AB} antes e depois dos estados 0U1/0L1.

A validação experimental da topologia proposta mostra a sua viabilidade para aplicação em sistemas de geração renovável que incluam ESS e operem conectados à rede ou de forma ilhada. Outras aplicações também são viáveis, como UPS, por exemplo.

7 CONCLUSÃO

7.1 CONTRIBUIÇÕES DO TRABALHO

Neste trabalho foi proposta uma nova topologia de conversor multinível, derivada da topologia ANPC e com três portas de potência. Através da análise dos estados de condução e das características de simetria do conversor ANPC foi observada a possibilidade de adição de uma nova porta CC que permite bidirecionalidade em corrente. Para conexão de sistemas de armazenamento de energia, a bidirecionalidade em corrente é de particular interesse para permitir que o conversor opere em dois quadrantes e, assim, apresente bidirecionalidade de potência. Dessa forma, a topologia e métodos de operação propostos permitem realizar a integração de um sistema de armazenamento de energia elétrica diretamente na topologia, sem conversores auxiliares ou dedicados. Os semicondutores utilizados para a conversão de corrente contínua para alternada realizam simultaneamente o processamento da energia do sistema de armazenamento.

Uma revisão detalhada do funcionamento do conversor com a inclusão da porta CC secundária foi apresentada e foram reavaliados os estados de condução que em trabalhos anteriores haviam sido excluídos. Adicionalmente, foi realizada uma análise das comutações entre cada um dos estados de condução. Uma estratégia de comutação com aplicação de duplo tempo-morto foi proposta permitindo que possam ser realizadas comutações entre quaisquer estados de condução. Dependendo da estratégia de modulação adotada, algumas comutações não são realizadas e a aplicação de duplo tempo-morto pode não ser necessária. Esta Tese propõe uma técnica geral, mas que pode ser simplificada em condições específicas.

No Capítulo 3, foram propostas duas sequências de comutação para a porta CC secundária. Ambas foram analisadas e simuladas utilizando portadoras em POD e PD. As estratégias de modulação analisadas são equivalentes no que se refere à ondulação máxima de corrente no ESS. A modulação com sequência do tipo 1 apresentou corrente com componentes harmônicas mais concentradas na frequência de comutação. O sinal modulante é mais simples, porém essa estratégia apresenta comutações do tipo III, que são as mais complexas e envolvem o maior número de dispositivos. A modulação com sequência do tipo 2 apresenta pulsos que se deslocam no tempo de acordo com a variação do sinal modulante da porta CA. Isso faz com que este tipo de modulação cause um espalhamento no espectro harmônico da corrente da porta CC secundária. Por outro lado, a modulação com sequência do tipo 2 não apresenta comutações do tipo III e, portanto, podem ser realizadas com tempo-morto único. De forma geral, o sistema de modulação proposto é relativamente simples e requer poucos cálculos em tempo real em comparação com outros sistemas baseados em espaços vetoriais, por exemplo (VILERA; RECH; TESTON, 2019).

O Capítulo 4 foi dedicado ao projeto do inversor. Foram propostas metodologias para dimensionamento do barramento CC, cálculo dos esforços de corrente nos dispositivos semicondutores e capacitores do barramento CC, projeto da capacitância do barramento CC e do filtro indutivo da porta CC secundária. Com base na metodologia proposta, foram feitas duas comparações com inversores NPC em aplicações de geração fotovoltaica e UPS. Para geração fotovoltaica, o inversor proposto nesta Tese apresenta uma faixa limitada de variação da tensão do barramento CC e que restringe a realização de MPPT. Como alternativa, foi sugerida a utilização de conversores CC-CC com característica *boost* conectados a cada associação série de módulos fotovoltaicos. No nicho de aplicações fotovoltaicas integradas às edificações esses conversores CC-CC são mandatórios para prover controle MPPT independente para cada conjunto de placas com orientação diferente, ou quando há possibilidade de sombreamentos parciais. Para UPS, o inversor proposto nesta Tese permite eliminar o conversor utilizado para recarregar as baterias e também as chaves estáticas que fazem a conexão das baterias ao barramento CC. Porém, o retificador e o inversor deverão suportar a potência nominal da saída CA somada à potência de recarga das baterias. O Capítulo 4 também apresenta uma análise teórica de perdas, sendo apresentados resultados de perdas por condução e comutação separadamente. Comparações com o inversor ANPC convencional mostram que o ANPC-3P apresenta maiores perdas por comutação devido à necessidade de modulação da porta CC secundária. A integração da porta CC para conexão do ESS implica em um aumento das perdas nos dispositivos mais estressados e maior desbalanceamento de perdas entre semicondutores quando se compara com a topologia ANPC. Porém, para a faixa de potências em que se pretende aplicar o conversor ANPC-3P, o balanceamento de perdas, em geral, não é um requisito principal de projeto. Com a integração da porta do ESS na topologia do conversor, em todos os modos de operação o rendimento é similar. Em outras configurações, há redução no rendimento global quando o fluxo de potência percorre conversores que estão em cascata.

O sistema de controle proposto foi baseado em técnicas clássicas amplamente utilizadas. O controle do ESS é simples e foi realizado em uma abordagem com duas malhas, uma malha de corrente e outra de tensão. A malha de corrente é mais rápida e foi empregado um controlador PI. A malha de tensão apenas é utilizada para recarga do ESS e foi regulada por um simples controlador proporcional. Uma questão importante observada na análise do conversor proposto foi o surgimento de componentes de baixa frequência na corrente do ESS. Essas perturbações são causadas pela ondulação ou desequilíbrio de tensão nos polos do barramento CC. Foram propostos controladores do tipo *feedforward* e ressonante para compensar essas ondulações. Devido à ausência de realimentação no controlador *feedforward*, no protótipo foi apenas implementado o compensador ressonante. Para o controle do inversor conectado à rede foi proposta a utilização de um controlador ressonante, o qual permite regular a corrente da porta CA e obter erro nulo em regime permanente para referências senoidais. A questão do balanceamento das tensões do barramento CC foi abordada de duas formas, uma através da corrente do ESS e outra através da corrente injetada na rede. Dessa forma, é possível operar o inversor sem cor-

rente no ESS (desconectado) ou sem corrente CA, dando grande flexibilidade. Quando ambas as correntes são diferentes de zero as suas ações atuam em conjunto para manter o barramento CC equilibrado.

A avaliação experimental do protótipo construído foi de fundamental importância para a comprovação das hipóteses teóricas. O inversor conectado à rede permitiu a realização de experimentos nos principais modos de operação, inclusive com carga do ESS pela rede. Em todos os modos avaliados o sistema de controle apresentou resultados satisfatórios, regulando as correntes e mantendo o barramento CC equilibrado. A DHT experimental da corrente injetada na rede foi aproximadamente a mesma utilizada nos cálculos e obtida em simulação, demonstrando a validade dos métodos utilizados. O valor medido experimentalmente foi de aproximadamente 5%. A componente CC da corrente injetada na rede foi inferior a 10 mA, o que está abaixo dos limites normativos, e, dessa forma, valida as técnicas de modulação e de controle do barramento CC. No quesito rendimento, cabe observar que o projeto do inversor não foi otimizado para redução de perdas. As curvas de rendimento obtidas, tanto teóricas quando experimentais, visam mostrar o comportamento das perdas no converso em diversos pontos de operação, servindo de orientação para projetos otimizados futuros. A estratégia de modulação com sequência do tipo 2 na porta CC secundária apresentou rendimento superior ao da sequência do tipo 1, atingindo valor máximo de 93,5% para ESS em flutuação e 96,3% para ESS em recarga com potência parcial. Em modo de descarta com potência nominal foi obtido rendimento máximo de aproximadamente 94%.

Uma das principais conclusões desse trabalho é a recomendação da sequência do tipo 2 para modulação da porta CC secundária pelos seguintes motivos: apresenta rendimento superior, corrente no ESS com menor distorção, inexistência de comutações do tipo III e não requer a utilização de tempo-morto duplo.

7.2 PUBLICAÇÕES

As seguintes publicações resultaram do desenvolvimento desta Tese de doutorado:

TESTON, S. A.; VILERÁ, K. V.; MEZARROBA, M.; RECH, C. . Control System Development for the Three-Ports ANPC Converter. *Energies*, MDPI AG, 2020, 13, 3967.

TESTON, SILVIO ANTONIO; MEZARROBA, MARCELLO ; RECH, CASSIANO . ANPC Inverter With Integrated Secondary Bidirectional Dc Port for ESS Connection. *IEEE Transactions on Industry Applications*, v. 55, p. 7358-7367, 2019.

RECH, C. ; TESTON, S. A. . Inversor multinível com porta CC bidirecional secundária e método de operação de inversor multinível com porta CC bidirecional secundária. 2018, Brasil. Número do registro: BR1020180156640, Instituição de registro: INPI - Instituto Nacional da Propriedade Industrial. Depósito: 31/07/2018.

TESTON, S. A.; VILERA, K. V. ; MEZARROBA, M. ; RECH, C. . Feedforward Compensation of the ESS Low-Frequency Current Ripple in the Three-Ports ANPC Converter. In: 5th Southern Power Electronics Conference (SPEC) and 15th Brazilian Power Electronics Conference (COBEP), 2019, Santos-SP. Proc. of 5th Southern Power Electronics Conference (SPEC) and 15th Brazilian Power Electronics Conference (COBEP), 2019. p. 1-6.

VILERA, K. V. ; TESTON, S. A. ; RECH, C. . Analysis of Neutral-Point Voltage Balancing in Three-Ports Active Neutral-Point-Clamped Converter. In: 5th Southern Power Electronics Conference (SPEC) and 15th Brazilian Power Electronics Conference (COBEP), 2019, Santos-SP. Proc. of 5th Southern Power Electronics Conference (SPEC) and 15th Brazilian Power Electronics Conference (COBEP), 2019. p. 1-6.

TESTON, S. A.; RAMOS, A. J. ; RECH, C. . Inversor Multinível com Capacitor Flutuante para Conexão de Geração Fotovoltaica e Banco de Baterias à Rede. In: 10th Seminar on Power Electronics and Control, 2017, Santa Maria. Proceedings of 10th Seminar on Power Electronics and Control. Santa Maria, 2017. p. 1-6.

7.3 TRABALHOS FUTUROS

Como sugestão de trabalhos futuros propõe-se:

- Análise e projeto de outras topologias de filtro para a porta CC secundária. Como os polos do ESS ficam flutuando, o chaveamento da tensão nos nós A e B pode causar problemas de compatibilidade eletromagnética. Propõe-se que sejam estudadas formas de atenuar também as componentes de modo comum. Como sugestão, pode-se dividir a indutância L_E em duas, cada uma conectada a um dos polo do ESS, e utilizar capacitores de modo comum conectados ao ponto neutro do inversor. Uma estrutura LCL com capacitores de modo diferencial e modo comum pode ser um ponto de partida;
- Análise da possibilidade de redução do estresse de corrente nos dispositivos S_5 , e S_6 através da utilização dos estados redundantes 0U3, 0U4, 0L3 e 0L4.
- Projeto otimizado do conversor considerando-se melhorias na modulação, filtros, *gate drivers*, leiaute da placa de circuito impresso e dispositivos semicondutores;
- Projeto e análise de um conversor ANPC-3P trifásico com sistema de armazenamento híbrido;
- Projeto e análise de uma UPS utilizando o ANPC-3P ou de um sistema FV ilhado. Apresentar também uma comparação detalhada entre as soluções adotadas no mercado e o inversor projetado.

-
- Proposta de um inversor monofásico com capacidade de regular o barramento CC somente com a corrente da porta CC secundária. O ponto central dessa proposta é reduzir a indutância L_E de forma que a ondulação de corrente aumente significativamente. Utilizar essa ondulação de corrente para balancear o barramento CC através dos estados 0U1 e 0L1. Para isso deve-se utilizar a estratégia de modulação com sequência do tipo 1;
 - Modulação em espaço vetorial do conversor ANPC-3P trifásico com foco na corrente do ponto neutro.

REFERÊNCIAS

- ÅSTRÖM, K. J.; WITTENMARK, B. **Computer-Controlled Systems: Theory and Design**. [S.l.]: Prentice-Hall, 2011. ISBN 0486486133.
- ABDELHAKIM, A.; MATTAVELLI, P.; SPIAZZI, G. Three-phase split-source inverter (ssi): Analysis and modulation. **IEEE Transactions on Power Electronics**, v. 31, n. 11, p. 7451–7461, Nov 2016.
- _____. Three-phase three-level flying capacitors split-source inverters: Analysis and modulation. **IEEE Transactions on Industrial Electronics**, v. 64, n. 6, p. 4571–4580, June 2017.
- ABDELRAZEK, S. A.; KAMALASADAN, S. Integrated pv capacity firming and energy time shift battery energy storage management using energy-oriented optimization. **IEEE Transactions on Industry Applications**, v. 52, n. 3, p. 2607–2617, May 2016.
- ABEYWARDANA, D. B. W.; HREDZAK, B.; AGELIDIS, V. G. Single-phase grid-connected LiFePO₄ battery–supercapacitor hybrid energy storage system with interleaved boost inverter. **IEEE Transactions on Power Electronics**, Institute of Electrical and Electronics Engineers (IEEE), v. 30, n. 10, p. 5591–5604, oct 2015.
- ABNT. **NBR 16149 - Sistemas fotovoltaicos (FV) - Características da interface de conexão com a rede elétrica de distribuição**. Rio de Janeiro-RJ, 2013.
- AMIRABADI, M.; TOLIYAT, H. A.; ALEXANDER, W. C. A multiport AC link PV inverter with reduced size and weight for stand-alone application. **IEEE Transactions on Industry Applications**, Institute of Electrical and Electronics Engineers (IEEE), v. 49, n. 5, p. 2217–2228, sep 2013.
- ANALOG DEVICES. **Software de simulação LTspice**. 2020. Disponível em: <<https://www.analog.com/en/design-center/design-tools-and-calculators/ltspice-simulator.html>>. Acesso em: 09 jan. 2020.
- ANDLER, D. et al. Experimental investigation of the commutations of a 3l-anpc phase leg using 4.5 kv-5.5 ka igcts. **IEEE Transactions on Industrial Electronics**, v. 60, n. 11, p. 4820–4830, Nov 2013.
- ANDRADE, A. S.; MUNIZ, J. H.; SILVA, E. R. da. Three-level hybrid flying dc-source ANPC inverter: Application as a photovoltaic AC source. In: **2015 IEEE 24th International Symposium on Industrial Electronics (ISIE)**. [S.l.]: IEEE, 2015.
- R. H. Baker. **Bridge converter circuit**. 1980. U.S. Patent 4 210 826.
- R. H. Baker. **Switching Circuit**. 1981. U.S. Patent 4 270 163.
- BALA, S. et al. The effect of low frequency current ripple on the performance of a lithium iron phosphate (LFP) battery energy storage system. In: **2012 IEEE Energy Conversion Congress and Exposition (ECCE)**. [S.l.]: IEEE, 2012.

- BARATER, D. et al. Performance evaluation of a three-level anpc photovoltaic grid-connected inverter with 650-v sic devices and optimized pwm. **IEEE Transactions on Industry Applications**, v. 52, n. 3, p. 2475–2485, May 2016.
- BHATTACHARJEE, A. K.; KUTKUT, N.; BATARSEH, I. Review of multiport converters for solar and energy storage integration. **IEEE Transactions on Power Electronics**, v. 34, n. 2, p. 1431–1445, Feb 2019.
- BLAABJERG, F. et al. Overview of control and grid synchronization for distributed power generation systems. **IEEE Transactions on Industrial Electronics**, Institute of Electrical and Electronics Engineers (IEEE), v. 53, n. 5, p. 1398–1409, oct 2006.
- BRAGARD, M. et al. The balance of renewable sources and user demands in grids: Power electronics for modular battery energy storage systems. **IEEE Transactions on Power Electronics**, v. 25, n. 12, p. 3049–3056, Dec 2010.
- BRUCKNER, T.; BERNET, S. Loss balancing in three-level voltage source inverters applying active npc switches. In: **2001 IEEE 32nd Annual Power Electronics Specialists Conference**. Vancouver, BC, Canada: IEEE, 2001. v. 2, p. 1135–1140 vol.2.
- _____. The active npc converter for medium-voltage applications. In: **Fortieth IAS Annual Meeting. Conference Record of the 2005 Industry Applications Conference, 2005**. Kowloon, Hong Kong, China: IEEE, 2005. v. 1, p. 84–91 Vol. 1.
- BRUCKNER, T.; BERNET, S.; GULDNER, H. The active npc converter and its loss-balancing control. **IEEE Transactions on Industrial Electronics**, v. 52, n. 3, p. 855–868, June 2005.
- BRUCKNER, T.; BERNET, S.; STEIMER, P. K. Feedforward loss control of three-level active npc converters. **IEEE Transactions on Industry Applications**, v. 43, n. 6, p. 1588–1596, Nov 2007.
- BUSO, S.; MATTAVELLI, P. **Digital control in power electronics**. San Rafael, Calif: Morgan & Claypool Publishers, 2006. ISBN 9781598291124.
- CARDOSO, R. et al. Kalman filter based synchronisation methods. **IET Generation, Transmission & Distribution**, Institution of Engineering and Technology (IET), v. 2, n. 4, p. 542, 2008.
- CARRASCO, J. et al. Power-electronic systems for the grid integration of renewable energy sources: A survey. **IEEE Transactions on Industrial Electronics**, Institute of Electrical and Electronics Engineers (IEEE), v. 53, n. 4, p. 1002–1016, jun 2006.
- CD TECHNOLOGIES INC. **Charger Output AC Ripple Voltage and the affect on VRLA batteries**. 2012. Disponível em: <https://computerconditioning.com/wp-content/uploads/white-papers/Effects-of-AC-Ripple-Current-on-VRLA-Battery-Life-Technical-Note-TN-00008.pdf>. Acesso em: 15 jan. 2020.

- CELANOVIC, N.; BOROYEVICH, D. A comprehensive study of neutral-point voltage balancing problem in three-level neutral-point-clamped voltage source pwm inverters. **IEEE Transactions on Power Electronics**, v. 15, n. 2, p. 242–249, March 2000.
- CHEN, M.; RINCON-MORA, G. Accurate electrical battery model capable of predicting runtime and i–v performance. **IEEE Transactions on Energy Conversion**, Institute of Electrical and Electronics Engineers (IEEE), v. 21, n. 2, p. 504–511, jun 2006.
- CHIANG, S. J.; CHANG, K. T.; YEN, C. Y. Residential photovoltaic energy storage system. **IEEE Transactions on Industrial Electronics**, v. 45, n. 3, p. 385–394, June 1998.
- CINTRON-RIVERA, J. G. et al. Quasi-z-source inverter with energy storage for photovoltaic power generation systems. In: **2011 Twenty-Sixth Annual IEEE Applied Power Electronics Conference and Exposition (APEC)**. Fort Worth, TX, USA: IEEE, 2011. p. 401–406.
- DENG, Y. et al. Improved modulation scheme for loss balancing of three-level active npc converters. **IEEE Transactions on Power Electronics**, v. 32, n. 4, p. 2521–2532, April 2017.
- EMERSON NETWORK POWER. **Effects of AC Ripple Current on VRLA Battery Life**. 2009. Disponível em: <<https://computerconditioning.com/wp-content/uploads/white-papers/Effects-of-AC-Ripple-Current-on-VRLA-Battery-Life-Technical-Note-TN-00008.pdf>>. Acesso em: 15 jan. 2020.
- ERICKSON, R. W.; MAKSIMOVIC, D. **Fundamentals of Power Electronics**. [S.l.]: Springer, 2001. ISBN 0792372700.
- FAISAL, M. et al. Review of energy storage system technologies in microgrid applications: Issues and challenges. **IEEE Access**, v. 6, p. 35143–35164, 2018.
- Feix, G. et al. Simple methods to calculate igbt and diode conduction and switching losses. In: **2009 13th European Conference on Power Electronics and Applications**. [S.l.: s.n.], 2009. p. 1–8.
- FLORICAU, D.; FLORICAU, E.; DUMITRESCU, M. Natural doubling of the apparent switching frequency using three-level ANPC converter. In: **2008 International School on Non-sinusoidal Currents and Compensation**. Lagow, Poland: IEEE, 2008.
- FRANCIS, B.; WONHAM, W. The internal model principle of control theory. **Automatica**, Elsevier BV, v. 12, n. 5, p. 457–465, sep 1976.
- GE, B. et al. An energy-stored quasi-z-source inverter for application to photovoltaic power system. **IEEE Transactions on Industrial Electronics**, v. 60, n. 10, p. 4468–4481, Oct 2013.
- GIACOMINI, J. C. **Inversores fotovoltaicos trifásicos não isolados conectados à rede com técnicas para redução da corrente de fuga**. Tese (Doutorado) — Universidade Federal de Santa Maria, 2018.

- GKOUTIOUDI, E.; BAKAS, P.; MARINOPOULOS, A. Comparison of pv systems with maximum dc voltage 1000v and 1500v. In: **2013 IEEE 39th Photovoltaic Specialists Conference (PVSC)**. [S.l.: s.n.], 2013. p. 2873–2878.
- GRBOVIC, P. J. et al. A bidirectional three-level DC–DC converter for the ultracapacitor applications. **IEEE Transactions on Industrial Electronics**, Institute of Electrical and Electronics Engineers (IEEE), v. 57, n. 10, p. 3415–3430, oct 2010.
- GUI, H. et al. Modeling and mitigation of multi-loops related device overvoltage in three level active neutral point clamped converter. **IEEE Transactions on Power Electronics**, Institute of Electrical and Electronics Engineers (IEEE), p. 1–1, 2019.
- HADDADI, A. M.; FARHANGI, S.; BLAABJERG, F. A reliable three-phase single-stage multiport inverter for grid-connected photovoltaic applications. **IEEE Journal of Emerging and Selected Topics in Power Electronics**, v. 7, n. 4, p. 2384–2393, Dec 2019.
- HANNAN, M. et al. Review of energy storage systems for electric vehicle applications: Issues and challenges. **Renewable and Sustainable Energy Reviews**, Elsevier BV, v. 69, p. 771–789, mar 2017.
- HAYKIN, M. M. S. **An Introduction to Analog and Digital Communications**. USA: John Wiley & Sons, 2006.
- HE, H. et al. Comparison study on the battery models used for the energy management of batteries in electric vehicles. **Energy Conversion and Management**, Elsevier BV, v. 64, p. 113–121, dec 2012.
- HEMMATI, R.; SABOORI, H. Emergence of hybrid energy storage systems in renewable energy and transport applications – a review. **Renewable and Sustainable Energy Reviews**, Elsevier BV, v. 65, p. 11–23, nov 2016.
- HOLMES, D. G.; LIPO, T. A. **Pulse Width Modulation for Power Converters: Principles and Practice**. 1. ed. USA: Wiley-IEEE Press, 2003.
- HS Dissipadores. **Catálogo HS Dissipadores**. 2019. Disponível em: <<https://www.hsdissipadores.com.br/catalogo.pdf>>.
- HU, S. et al. Hybrid ultracapacitor-battery energy storage system based on quasi-z-source topology and enhanced frequency dividing coordinated control for ev. **IEEE Transactions on Power Electronics**, v. 31, n. 11, p. 7598–7610, Nov 2016.
- IEA. **Key world energy statistics 2018**. 2018. Disponível em: <https://webstore.iea.org/download/direct/2291?fileName=Key_World_2018.pdf>. Acesso em: 9 jan. 2020.
- INTERNATIONAL RECTIFIER. **Folha de dados do IGBT IRGP50B60PD1**. 2006. Disponível em: <<http://www.irf.com/product-info/datasheets/data/irgp50b60pd1.pdf>>. Acesso em: 09 jan. 2020.

- JAYASINGHE, S. D. G.; VILATHGAMUWA, D. M.; MADAWALA, U. K. Diode-clamped three-level inverter-based battery/supercapacitor direct integration scheme for renewable energy systems. **IEEE Transactions on Power Electronics**, v. 26, n. 12, p. 3720–3729, Dec 2011.
- JIAO, Y.; LEE, F. C. New modulation scheme for three-level active neutral-point-clamped converter with loss and stress reduction. **IEEE Transactions on Industrial Electronics**, v. 62, n. 9, p. 5468–5479, Sept 2015.
- JIAO, Y.; LU, S.; LEE, F. C. Switching performance optimization of a high power high frequency three-level active neutral point clamped phase leg. **IEEE Transactions on Power Electronics**, v. 29, n. 7, p. 3255–3266, July 2014.
- JING, W. et al. Dynamic power allocation of battery-supercapacitor hybrid energy storage for standalone PV microgrid applications. **Sustainable Energy Technologies and Assessments**, Elsevier BV, v. 22, p. 55–64, aug 2017.
- KAZMIERKOWSKI, M.; MALESANI, L. Current control techniques for three-phase voltage-source PWM converters: a survey. **IEEE Transactions on Industrial Electronics**, Institute of Electrical and Electronics Engineers (IEEE), v. 45, n. 5, p. 691–703, 1998.
- KHERSONSKY, Y.; ROBINSON, M.; GUTIERREZ, D. **International Rectifier Application Note AN-989: The HEXFRED Ultrafast Diode in Power Switching Circuits**. 1992.
- LEE, S. S.; HENG, Y. E. Improved single-phase split-source inverter with hybrid quasi-sinusoidal and constant PWM. **IEEE Transactions on Industrial Electronics**, Institute of Electrical and Electronics Engineers (IEEE), v. 64, n. 3, p. 2024–2031, mar 2017.
- LEE, S. S. et al. Single-phase simplified split-source inverter (s3i) for boost DC–AC power conversion. **IEEE Transactions on Industrial Electronics**, Institute of Electrical and Electronics Engineers (IEEE), v. 66, n. 10, p. 7643–7652, oct 2019.
- LI, J. et al. Three-level active neutral-point-clamped zero-current-transition converter for sustainable energy systems. **IEEE Transactions on Power Electronics**, v. 26, n. 12, p. 3680–3693, Dec 2011.
- LI, W.; JOOS, G. Comparison of energy storage system technologies and configurations in a wind farm. In: **2007 IEEE Power Electronics Specialists Conference**. Orlando, FL, USA: IEEE, 2007.
- LIU, Q.; CALDOGNETTO, T.; BUSO, S. Review and comparison of grid-tied inverter controllers in microgrids. **IEEE Transactions on Power Electronics**, Institute of Electrical and Electronics Engineers (IEEE), p. 1–1, 2019.
- LUO, S.; WU, F.; ZHAO, K. Modified single-carrier multilevel SPWM and online efficiency enhancement for single-phase asymmetrical NPC grid-connected inverter. **IEEE Transactions on Industrial Informatics**, Institute of Electrical and Electronics Engineers (IEEE), v. 16, n. 5, p. 3157–3167, may 2020.

LUQUE, A.; HEGEDUS, S. **Handbook of Photovoltaic Science and Engineering**. 2. ed. United Kingdom: John Wiley & Sons Ltd, 2011.

MA, L. et al. A new pwm strategy for grid-connected half-bridge active npc converters with losses distribution balancing mechanism. **IEEE Transactions on Power Electronics**, v. 30, n. 9, p. 5331–5340, Sept 2015.

MAHMOOD, H.; MICHAELSON, D.; JIANG, J. A power management strategy for pv/battery hybrid systems in islanded microgrids. **IEEE Journal of Emerging and Selected Topics in Power Electronics**, v. 2, n. 4, p. 870–882, Dec 2014.

MAYOR, A. et al. Commutation behavior analysis of a dual 3l-ANPC-VSC phase-leg PEBB using 4.5-kV and 1.5-kA HV-IGBT modules. **IEEE Transactions on Power Electronics**, Institute of Electrical and Electronics Engineers (IEEE), v. 34, n. 2, p. 1125–1141, feb 2019.

MCGRATH, B.; HOLMES, D. Multicarrier PWM strategies for multilevel inverters. **IEEE Transactions on Industrial Electronics**, Institute of Electrical and Electronics Engineers (IEEE), v. 49, n. 4, p. 858–867, aug 2002.

MEYNARD, T. A.; FOCH, H. Multi-level conversion: high voltage choppers and voltage-source inverters. In: **PESC '92 Record. 23rd Annual IEEE Power Electronics Specialists Conference**. Toledo, Spain: IEEE, 1992. v. 1, p. 397–403.

NABAE, A.; TAKAHASHI, I.; AKAGI, H. A new neutral-point-clamped pwm inverter. **IEEE Transactions on Industry Applications**, IA-17, n. 5, p. 518–523, Sept 1981.

NARDI, C. **Dimensionamento de Filtros Passivos para Conversores Estáticos de Energia**. Dissertação (Mestrado) — Universidade Tecnológica Federal do Paraná, Pato Branco, PR, 2016.

NEWTON, C.; SUMNER, M. Neutral point control for multi-level inverters: theory, design and operational limitations. In: **1997 IEEE Industry Applications Conference Thirty-Second IAS Annual Meeting**. New Orleans, LA, USA: IEEE, 1997.

PALIZBAN, O.; KAUHANIEMI, K. Energy storage systems in modern grids—matrix of technologies and applications. **Journal of Energy Storage**, Elsevier BV, v. 6, p. 248–259, may 2016.

PANASONIC. **VRLA Handbook**. 2013. Disponível em: <https://eu.industrial.panasonic.com/sites/default/pidseu/files/downloads/files/id_vrla_handbook_e.pdf>. Acesso em: 16 jan. 2020.

PASCOE, P. E.; ANBUKY, A. H. A VRLA battery simulation model. **Energy Conversion and Management**, Elsevier BV, v. 45, n. 7-8, p. 1015–1041, may 2004.

PENG, F. Z. Z-source inverter. **IEEE Transactions on Industry Applications**, v. 39, n. 2, p. 504–510, Mar 2003.

- RAMAN, S. R. et al. Family of multiport switched-capacitor multilevel inverters for high-frequency ac power distribution. **IEEE Transactions on Power Electronics**, v. 34, n. 5, p. 4407–4422, May 2019.
- RASMUSSEN, N. **Os Diferentes Tipos de Sistemas UPS**. 2010. Disponível em: <https://download.schneider-electric.com/files?p_Doc_Ref=SPD_SADE-5TNM3Y_PT>. Acesso em: 01 fev. 2020.
- RODRIGUEZ, J. et al. A survey on neutral-point-clamped inverters. **IEEE Transactions on Industrial Electronics**, Institute of Electrical and Electronics Engineers (IEEE), v. 57, n. 7, p. 2219–2230, jul 2010.
- ROMERO-CADAVAL, E. et al. Grid-connected photovoltaic generation plants: Components and operation. **IEEE Industrial Electronics Magazine**, Institute of Electrical and Electronics Engineers (IEEE), v. 7, n. 3, p. 6–20, sep 2013.
- RYNKIEWICZ, R. Discharge and charge modeling of lead acid batteries. In: **Applied Power Electronics Conference and Exposition**. Dallas, TX, USA: IEEE, 1999.
- SALAMEH, Z.; CASACCA, M.; LYNCH, W. A mathematical model for lead-acid batteries. **IEEE Transactions on Energy Conversion**, Institute of Electrical and Electronics Engineers (IEEE), v. 7, n. 1, p. 93–98, mar 1992.
- SANO, K.; FUJITA, H. Voltage-balancing circuit based on a resonant switched-capacitor converter for multilevel inverters. **IEEE Transactions on Industry Applications**, Institute of Electrical and Electronics Engineers (IEEE), v. 44, n. 6, p. 1768–1776, 2008.
- SCHUCH, L. **Sistema CA/CC com um Conversor PWM Bidirecional para Interface Entre o Barramento C e o Banco de Baterias**. Dissertação (Mestrado) — Universidade Federal de Santa Maria, Santa Maria, RS, 2001.
- SENTURK, O. S. et al. Converter structure-based power loss and static thermal modeling of the press-pack igbt three-level anpc vsc applied to multi-mw wind turbines. **IEEE Transactions on Industry Applications**, v. 47, n. 6, p. 2505–2515, Nov 2011.
- SUH, B.-S.; HYUN, D.-S. A new n-level high voltage inversion system. **IEEE Transactions on Industrial Electronics**, v. 44, n. 1, p. 107–115, Feb 1997.
- SUN, D. et al. An energy stored quasi-z-source cascade multilevel inverter-based photovoltaic power generation system. **IEEE Transactions on Industrial Electronics**, v. 62, n. 9, p. 5458–5467, Sept 2015.
- SUN, K. et al. A distributed control strategy based on dc bus signaling for modular photovoltaic generation systems with battery energy storage. **IEEE Transactions on Power Electronics**, v. 26, n. 10, p. 3032–3045, Oct 2011.
- TABART, Q. et al. Hybrid energy storage system microgrids integration for power quality improvement using four-leg three-level npc inverter and second-order sliding mode control. **IEEE Transactions on Industrial Electronics**, v. 65, n. 1, p. 424–435, Jan 2018.

TESTON, S. A.; MEZARROBA, M.; RECH, C. ANPC inverter with integrated secondary bidirectional dc port for ESS connection. **IEEE Transactions on Industry Applications**, Institute of Electrical and Electronics Engineers (IEEE), v. 55, n. 6, p. 7358–7367, nov 2019.

TESTON, S. A. et al. Feedforward compensation of the ESS low-frequency current ripple in the three-ports ANPC converter. In: **2019 IEEE 15th Brazilian Power Electronics Conference and 5th IEEE Southern Power Electronics Conference (COBEP/SPEC)**. [S.l.]: IEEE, 2019.

_____. Control system development for the three-ports ANPC converter. **Energies**, MDPI AG, v. 13, n. 15, p. 3967, aug 2020.

TEYMOUR, H. R. et al. Solar pv and battery storage integration using a new configuration of a three-level npc inverter with advanced control strategy. **IEEE Transactions on Energy Conversion**, v. 29, n. 2, p. 354–365, June 2014.

_____. A novel modulation technique and a new balancing control strategy for a single-phase five-level ANPC converter. **IEEE Transactions on Industry Applications**, Institute of Electrical and Electronics Engineers (IEEE), v. 51, n. 2, p. 1215–1227, mar 2015.

THORNTON. **Catálogo de Ferrite**. 2015. Thornton Eletrônica Ltda. Disponível em: <<https://www.thornton.com.br/pdf/CATALOGOTHORNTON.pdf>>.

TUMMURU, N. R.; MISHRA, M. K.; SRINIVAS, S. Dynamic energy management of renewable grid integrated hybrid energy storage system. **IEEE Transactions on Industrial Electronics**, Institute of Electrical and Electronics Engineers (IEEE), v. 62, n. 12, p. 7728–7737, dec 2015.

VAZQUEZ, S. et al. Energy storage systems for transport and grid applications. **IEEE Transactions on Industrial Electronics**, Institute of Electrical and Electronics Engineers (IEEE), v. 57, n. 12, p. 3881–3895, dec 2010.

VECHIU, I. et al. Three-level neutral point clamped inverter interface for flow battery/supercapacitor energy storage system used for microgrids. In: **2011 2nd IEEE PES International Conference and Exhibition on Innovative Smart Grid Technologies**. Manchester, UK: IEEE, 2011. p. 1–6.

VILATHGAMUWA, D. M.; JAYASINGHE, S. D. G.; MADAWALA, U. K. Battery clamped three-level inverter for renewable energy systems. In: **IECON 2011 - 37th Annual Conference of the IEEE Industrial Electronics Society**. Melbourne, VIC, Australia: IEEE, 2011. p. 3105–3110.

VILERA, K. V.; RECH, C.; TESTON, S. A. Analysis of neutral-point voltage balancing in three-ports active neutral-point-clamped converter. In: **2019 IEEE 15th Brazilian Power Electronics Conference and 5th IEEE Southern Power Electronics Conference (COBEP/SPEC)**. [S.l.]: IEEE, 2019.

- WANG, C.; LI, Y. Analysis and calculation of zero-sequence voltage considering neutral-point potential balancing in three-level NPC converters. **IEEE Transactions on Industrial Electronics**, Institute of Electrical and Electronics Engineers (IEEE), v. 57, n. 7, p. 2262–2271, jul 2010.
- WANG, C.; NEHRIR, M. H. Power management of a stand-alone wind/photovoltaic/fuel cell energy system. **IEEE Transactions on Energy Conversion**, v. 23, n. 3, p. 957–967, Sep. 2008.
- WEG. **Baterias Chumbo-ácidas Reguladas por Válvula**. 2019. Disponível em: <<https://static.weg.net/medias/downloadcenter/h80/hc4/WEG-baterias-vrla-manual-do-usuario-10005795273-pt.pdf>>. Acesso em: 16 jan. 2020.
- WINTRICH, A. et al. **Application manual power semiconductors**. Segunda edição. Ilmenau, Alemanha: ISLE Verlag, 2015.
- ZHANG, L. et al. H6 transformerless full-bridge PV grid-tied inverters. **IEEE Transactions on Power Electronics**, Institute of Electrical and Electronics Engineers (IEEE), v. 29, n. 3, p. 1229–1238, mar 2014.

APÊNDICES

Apêndice A – Projeto do inversor

Neste apêndice são apresentados os detalhes do projeto do inversor utilizado para simulações e obtenção dos resultados experimentais. A metodologia de projeto foi apresentada no Capítulo 4. As especificações do protótipo estão descritas na Tabela A.1 e os parâmetros dos compensadores são os mesmos apresentados no Capítulo 5. A escolha pelas baterias chumbo-ácido reguladas por válvula (VRLA) se deu pela disponibilidade destas no laboratório. Para realizar os ensaios em propostos nesta Tese, as baterias VRLA são suficientes.

Tabela A.1 – Parâmetros de projeto do conversor monofásico proposto nesta Tese.

Parâmetro	Valor
Potência nominal CA (P_{ca})	1 kW
Tensão CA eficaz (V_{CAn})	127 V
Fator de sobretensão (f_{st})	1,1 (10%)
Fator de ondulação da tensão no barramento CC (ΔV_C)	10%
Frequência da rede (f_r)	60 Hz
Potência nominal do ESS (P_{ess})	1 kW
$V_{cel,max}$	2,40 V/célula
$V_{cel,min}$	1,75 V/célula
Frequência das portadoras (f_s)	10,26 kHz

Fonte: Elaborada pelo autor.

O primeiro parâmetro a ser calculado foi o barramento CC através de (4.7). Como a queda de tensão nos elementos de filtro ainda não é conhecida, estipula-se $f_{\Delta V_{ca}} = 1,1$ e $f_{\Delta V_{cc}} = 1,05$. O valor de V_{cc} é portanto:

$$V_{cc} = 2\sqrt{2}f_{st}f_{\Delta V_{ca}}f_{\Delta V_{cc}}^2(1 + \Delta V_C)V_{CAn}\frac{V_{cel,max}}{V_{cel,min}} \quad (A.1)$$

$$V_{cc} = 2\sqrt{2} \cdot 1,1 \cdot 1,1 \cdot 1,05^2(1 + 0,1)127\frac{2,40}{1,75} \quad (A.2)$$

$$V_{cc} = 722,9 V. \quad (A.3)$$

Adotou-se tensão $V_{cc} = 720$ V. O estresse de tensão nos dispositivos semicondutores é de 360 V.

Para o cálculo do número de células em série que compõe o ESS é, primeiramente, necessário conhecer a tensão de pico máxima que o inversor deve sintetizar no nó de saída da porta CA (v_x) (entre os IGBTs S_2 e S_3):

$$V_p = f_{st} \sqrt{2} f_{\Delta V_{ca}} V_{CA_n} \quad (\text{A.4})$$

$$V_p = 1,1 \sqrt{2} \cdot 1,15 \cdot 127 = 227,2 \text{ V.} \quad (\text{A.5})$$

A partir de V_p determina-se o número de células em série utilizando (4.3):

$$N_{cel} = f_{\Delta V_{cc}} \frac{V_p}{V_{cel, \min}} \quad (\text{A.6})$$

$$N_{cel} = 1,05 \frac{227,2}{1,75} = 137 \text{ células.} \quad (\text{A.7})$$

Cada bateria VRLA, de tensão comercial de 12 V, possui seis células internas ligadas em série. Logo, são necessárias 23 baterias para compor o ESS. Com isso, as tensões máxima e mínima do ESS são 331,2 V e 241,5 V, respectivamente.

Esses valores de tensão inicialmente calculados são fundamentais para o projeto dos elementos de filtro. Após o cálculo dos filtros, pode-se retornar e refinar o cálculo das tensões do barramento CC e do ESS.

O projeto do filtro L do inversor foi realizado utilizando-se a metodologia proposta por Nardi (2016). A equação a ser considerada para cálculo da indutância é dada por:

$$L_x = \frac{m_a V_{cc} / 2 (1 - m_a)}{2\sqrt{3} DHT_i I_1 f_s} \quad (\text{A.8})$$

onde I_1 é o valor eficaz da componente fundamental a ser injetada na rede e DHT_i é a máxima DHT de corrente desejada. O máximo valor de DHT_i é, geralmente, definido em normas. No Brasil, esse valor é dado por ABNT (2013) e deve ser inferior a 5% na potência nominal do inversor. Considerando-se o valor de tensão do barramento CC e V_p , o índice de modulação de amplitude é aproximadamente 0,63. Os demais parâmetros são especificações dadas na Tabela A.1. A indutância obtida foi de:

$$L_x = \frac{0,63 \cdot 360 (1 - 0,63)}{2\sqrt{3} \cdot 0,05 \cdot 7,87 \cdot 10.260} \quad (\text{A.9})$$

$$L_x = 6 \text{ mH.} \quad (\text{A.10})$$

Após a construção do indutor, a resistência série medida foi de 0,3 Ω . Portanto, na frequência de 60 Hz, o indutor representa uma impedância de 2,5620 Ω . A queda de tensão nesse elemento de filtro é, portanto, de 20,2 V (5,3% de $V_{cc}/2$). Inicialmente havia sido estipulado o valor de 10%. O percentual restante (4,7%) pode ser utilizado para compensar a queda de tensão nos IGBTs e demais elementos parasitas.

O projeto do indutor L_E foi apresentado no Capítulo 4. Considerando que foram adotadas baterias VRLA, a recomendação dos fabricantes deste tipo de baterias é que a ondulação de

corrente não exceda $C/20$ quando a bateria estiver em flutuação. O valor de C é a capacidade da bateria para uma descarga de 20 h (EMERSON NETWORK POWER, 2009; CD TECHNOLOGIES INC, 2012). Para uma bateria de 7 Ah, a ondulação máxima de corrente deve ser de 0,35 A. O projeto do filtro do ESS é crítico para a vida útil das baterias. No entanto, para um projeto mais apurado seria necessário dispor de informações sobre os ciclos de carga e descarga. Considerando-se que o protótipo seja apenas utilizado para a verificação experimental das propostas desta tese, foi considerado que na maior parte do tempo o ESS fica em flutuação. Desse modo, o filtro foi projetado para manter a ondulação de corrente nas baterias abaixo do recomendado para o modo de flutuação. Conforme a Figura 4.14, quando o ESS está em flutuação a tensão V_E é máxima e a corrente do ESS apresenta a menor ondulação. Portanto, nesse ponto de operação:

$$L_E = \frac{V_E - V_E^2 / (V_{cc}/2)}{\Delta I_E f_s} \quad (\text{A.11})$$

$$L_E = \frac{331,2 - 331,2^2 / (720/2)}{0,35 \cdot 10.260} = 7,4 \text{ mH}. \quad (\text{A.12})$$

Devido ao núcleo escolhido e aos arredondamentos envolvidos, foi possível obter indutância de aproximadamente 8 mH. Esse valor foi verificado através de medição com o uso de um medidor LCR. A resistência série medida foi de 0,5 Ω .

Conforme já justificado nesta Tese, os elementos de filtro das portas de potência foram mantidos os mais simples possíveis para concentrar o trabalho em questões relativas ao funcionamento do inversor com a adição da porta CC secundária. Portanto, as escolhas não foram realizadas com o objetivo de otimizar a densidade de potência, eficiência ou custo.

O cálculo dos elementos passivos encerra com o cálculo da capacitância do barramento CC. O dimensionamento foi realizado considerando-se o gráfico para aplicação PV mostrado na Figura 4.24. A ondulação máxima desejada é de 10%. Entrando com esse valor em (4.146) ou na Figura 4.24, obtém-se $C = 321,5 \mu\text{F}$. Para a obtenção da capacitância de cada polo do barramento CC foram associados em série dois capacitores de 1000 μF , o que resulta em 500 μF . Esse valor de capacitância implica em ondulação de tensão de 6,4%.

A placa de potência do conversor foi montada sobre um dissipador com dimensões de 0,5 m x 0,17 m. O dissipador apresenta comprimento de 0,5 m para acomodar três placas de potência e formar um conversor trifásico. Porém, nesta Tese apenas foi utilizado um braço. O dissipador escolhido é o modelo HS17232 da HS Dissipadores. Esse modelo de dissipador apresenta resistência térmica de 0,99°C/W/4" (HS Dissipadores, 2019). Considerando as medidas adotadas, a resistência térmica total do dissipador é de 0,2°C/W.