

UNIVERSIDADE FEDERAL DE SANTA MARIA
CENTRO DE TECNOLOGIA
PROGRAMA DE PÓS-GRADUAÇÃO EM CIÊNCIA DA COMPUTAÇÃO

Wilian Denis Padilha

**PROPOSTA DE UM RETIFICADOR AJUSTÁVEL PARA TRANSMISSÃO
DE ENERGIA SEM FIO E METODOLOGIA DE PROJETO DE
RETIFICADORES *DIFFERENTIAL DRIVE* BASEADA EM SIMULAÇÕES**

Santa Maria, RS
2022

Wilian Denis Padilha

PROPOSTA DE UM RETIFICADOR AJUSTÁVEL PARA TRANSMISSÃO DE ENERGIA SEM FIO E METODOLOGIA DE PROJETO DE RETIFICADORES *DIFFERENTIAL DRIVE* BASEADA EM SIMULAÇÕES

Dissertação de Mestrado apresentada ao Programa de Pós-Graduação em Ciência da Computação, Área de Concentração em Computação, da Universidade Federal de Santa Maria (UFSM, RS), como requisito parcial para obtenção do grau de **Mestre em Ciência da Computação**. Defesa realizada por videoconferência.

ORIENTADOR: Prof. Cesar Augusto Prior

Santa Maria, RS
2022

This study was financed in part by the Coordenação de Aperfeiçoamento de Pessoal de Nível Superior - Brasil (CAPES) - Finance Code 001

Padilha, Wilian D.

PROPOSTA DE UM RETIFICADOR AJUSTÁVEL PARA TRANSMISSÃO DE ENERGIA SEM FIO E METODOLOGIA DE PROJETO DE RETIFICADORES DIFFERENTIAL DRIVE BASEADA EM SIMULAÇÕES / Wilian D. Padilha.- 2022.

51 p.; 30 cm

Orientador: Cesar A. Prior

Dissertação (mestrado) - Universidade Federal de Santa Maria, Centro de Tecnologia, Programa de Pós-Graduação em Ciência da Computação , RS, 2022

1. Retificador CMOS RF 2. Retificador Ajustável 3. Retificador Differential Drive 4. Colheita de Energia 5. WPT I. Prior, Cesar A. II. Título.

Sistema de geração automática de ficha catalográfica da UFSM. Dados fornecidos pelo autor(a). Sob supervisão da Direção da Divisão de Processos Técnicos da Biblioteca Central. Bibliotecária responsável Paula Schoenfeldt Patta CRB 10/1728.

Declaro, WILIAN D. PADILHA, para os devidos fins e sob as penas da lei, que a pesquisa constante neste trabalho de conclusão de curso (Dissertação) foi por mim elaborada e que as informações necessárias objeto de consulta em literatura e outras fontes estão devidamente referenciadas. Declaro, ainda, que este trabalho ou parte dele não foi apresentado anteriormente para obtenção de qualquer outro grau acadêmico, estando ciente de que a inveracidade da presente declaração poderá resultar na anulação da titulação pela Universidade, entre outras consequências legais.

Wilian Denis Padilha

PROPOSTA DE UM RETIFICADOR AJUSTÁVEL PARA TRANSMISSÃO DE ENERGIA SEM FIO E METODOLOGIA DE PROJETO DE RETIFICADORES *DIFFERENTIAL DRIVE* BASEADA EM SIMULAÇÕES

Dissertação de Mestrado apresentada ao Programa de Pós-Graduação em Ciência da Computação, Área de Concentração em Computação, da Universidade Federal de Santa Maria (UFSM, RS), como requisito parcial para obtenção do grau de **Mestre em Ciência da Computação**.

Aprovado em 9 de fevereiro de 2022:

Cesar Augusto Prior, Dr. (UFSM)
(Presidente/Orientador)

Paulo César Comassetto de Aguirre, Dr. (UNIPAMPA) (videoconferência)

Mauricio Banaszkeski da Silva, Dr. (UFSM)

Santa Maria, RS
2022

RESUMO

PROPOSTA DE UM RETIFICADOR AJUSTÁVEL PARA TRANSMISSÃO DE ENERGIA SEM FIO E METODOLOGIA DE PROJETO DE RETIFICADORES *DIFFERENTIAL DRIVE* BASEADA EM SIMULAÇÕES

AUTOR: Wilian Denis Padilha
ORIENTADOR: Cesar Augusto Prior

Este trabalho apresenta um modelo simulado de um retificador com ajuste de eficiência para sistemas de transmissão de energia sem fio. O ajuste é possível através de um bloco de controle que, pela combinação de 3 retificadores *differential drive*, é capaz de alterar a eficiência na transmissão de energia para uma carga de saída constante. Além disso, é apresentada uma metodologia de projeto de retificadores *differential drive*, na qual o dimensionamento do retificador é feito através de análise gráfica com base na amplitude do sinal de radiofrequência na entrada do retificador e a corrente na carga de saída. O retificador ajustável proposto foi projetado na tecnologia *GlobalFoundries* 130 nm e opera na frequência de 1 GHz alimentando uma carga de 20 K Ω . Possui 3 configurações de ajuste onde é possível obter um platô de eficiências superior a 60% quando a amplitude do sinal de entrada for maior que 450 mV.

Palavras-chave: Retificador CMOS RF, Retificador Ajustável, *Differential Drive Rectifier*, WPT, Colheita de Energia

ABSTRACT

ADJUSTABLE RECTIFIER PROPOSAL FOR WIRELESS POWER TRANSFER AND SIMULATION-BASED DIFFERENTIAL DRIVE RECTIFIER PROJECT METHODOLOGY

AUTHOR: Wilian Denis Padilha

ADVISOR: Cesar Augusto Prior

This work presents a simulated model of a rectifier with adjustable efficiency for wireless power transfer systems. The adjustment is possible through a control block that, by the combination of 3 differential drive rectifiers, is able to change the power transmission efficiency for a constant output load. In addition, a differential drive rectifier design methodology is presented, in which the rectifier dimensioning is done through graphical analysis based on the rectifier input amplitude and the output current on the load. The proposed adjustable rectifier is designed using GlobalFoundries 130 nm technology process and operates at a frequency of 1 GHz supplying a $20\text{K}\Omega$ load. It has 3 adjustment settings where it is possible to obtain a plateau of efficiencies greater than 60% when the input amplitude is greater than 450mV .

Keywords: Adjustable Rectifier, CMOS RF Rectifier , Differential Drive Rectifier, WPT, Energy Harvesting

LISTA DE FIGURAS

Figura 2.1 – Formas de energia captadas por sistemas de colheita de energia.	15
Figura 2.2 – Classificação das formas de transmissão de energia.	16
Figura 2.3 – Modelo típico de uma WPT.	17
Figura 3.1 – Dickson Charge Pump com dois estágios.	19
Figura 3.2 – Retificador Dickson Charge Pump.	19
Figura 3.3 – Retificador Dickson Charge Pump com 3 estágios.	20
Figura 3.4 – Retificador Differential Drive.	21
Figura 3.5 – Cascadeamento do retificador Differential Drive, com 3 estágios retificadores.	21
Figura 3.6 – Funcionamento do retificador diferencial.(a) Caminho da corrente para o primeiro e segundo estágio. (b) Circuito simplificado substituindo os transistores PMOS e NMOS pela resistência de canal R_{on} equivalente. .	22
Figura 3.7 – Funcionamento do retificador diferencial para o último estágio. (a) Caminho da corrente do último estágio em direção a carga.	23
Figura 3.8 – Funcionamento do retificador diferencial para o último estágio. Circuito simplificado substituindo os transistores PMOS e NMOS pela resistência de canal R_{on} equivalente.	24
Figura 4.1 – Fluxo de projeto do retificador <i>Differential Drive</i>	25
Figura 4.2 – $V_{RF} = 400 \text{ mV}$	28
Figura 4.3 – $V_{RF} = 500 \text{ mV}$	28
Figura 4.4 – $V_{RF} = 600 \text{ mV}$	28
Figura 4.5 – $V_{RF} = 700 \text{ mV}$	28
Figura 4.6 – $V_{RF} = 800 \text{ mV}$	29
Figura 4.7 – $V_{RF} = 900 \text{ mV}$	29
Figura 4.8 – Simulação transiente do retificador de 1 estágio, quando $V_{RF} = 700 \text{ mV}$	30
Figura 4.9 – Eficiência versus capacitância do capacitor C_P	31
Figura 4.10 – Tensão de saída para o retificador de 4 estágios e o retificador de 1 estágio	32
Figura 4.11 – Tensão na saída de cada estágio, no retificador de 4 estágios, para um $V_{RF} = 700 \text{ mV}$	33
Figura 4.12 – Eficiência versus V_{RF} do retificador com 1 estágio (5 k Ω) e retificador com 4 estágios (20 k Ω).	33
Figura 5.1 – Projeção da eficiência na conversão de energia do retificador ajustável. .	34
Figura 5.2 – Inserção do trabalho em um Sistema de RF.	35
Figura 5.3 – Bloco Retificador, composto por 3 retificadores DD, projetados com dimensionamento distinto.	36
Figura 5.4 – Eficiência versus amplitude V_{RF} para 6 retificadores DD com 1 estágio. Cada retificador foi projetado com dimensões W_P e W_N de distintas, de acordo com as figuras 4.2 até 4.7.	38
Figura 5.5 – Eficiência versus V_{RF} para cada estado retificador.	40
Figura 5.6 – Tensão na saída V_{OUT} versus amplitude de entrada V_{RF}	40
Figura 5.7 – Funcionamento bloco de controle. Os sinais VC_{IN1} e VC_{IN2} vem dos estágios 1 e 2 do retificador 1.	41
Figura 5.8 – Inversor <i>Schmitt-Trigger</i> implementado.	42
Figura 5.9 – Operação dos inversores schmitt-trigger que geram os sinais de saída do	

bloco de controle. (a) Sinal $CTRL_{LOW}$. (b) Sinal $CTRL_{MID}$	43
Figura 5.10 – Simulação transiente dos inversores schmitt-trigger que geram os sinais de saída do bloco de controle. (a) Sinal $CTRL_{LOW}$. (b) Sinal $CTRL_{MID}$	44
Figura 5.11 – Eficiência do bloco retificador versus V_{RF} utilizando sinais de controle para ajuste da eficiência.	44
Figura 5.12 – Comparativo entre eficiência do retificador ajustável (3 retificadores com 4 estágios cada) e o retificador DD convencional com 4 estágios projetado no capítulo 4.	45
Figura 5.13 – Tensão média na saída V_{OUT} versus tensão V_{RF} na entrada do retificador. Tensão retificada na saída utilizando sinais de controle para ajuste do estágio retificador.	46
Figura 5.14 – Simulação transiente do retificador ajustável ao aplicarmos um sinal V_{RF} com amplitude modulada. Além disso, é indicado o estado de retificação que o retificador está operando.	47

LISTA DE TABELAS

Tabela 2.1 – Comparativo entre tecnologias para transmissão de energia sem fio.....	16
Tabela 5.1 – Largura do canal W (μm) dos transistores utilizados para análise da eficiência. As dimensões foram escolhidas com base no mapa de eficiências correspondentes as tensões de entrada V_{RF}	37
Tabela 5.2 – Largura W (μm) dos transistores utilizados no retificador ajustável, todos os transistores tem $L = 180$ nm	39
Tabela 5.3 – Comparativo entre outros trabalhos encontrados na literatura.	47

LISTA DE ABREVIATURAS E SIGLAS

<i>AC</i>	Corrente Alternada
<i>CMOS</i>	Semicondutor de Óxido Metálico Complementar
<i>DC</i>	Corrente Contínua
<i>DD</i>	<i>Differential Drive</i>
<i>EH</i>	<i>Energy Harvesting</i>
<i>IoT</i>	<i>Internet of Things</i>
<i>NFC</i>	<i>Near-field communication</i>
<i>PCE</i>	Eficiência na Conversão de Potência
<i>RF</i>	Radiofrequência
<i>RFID</i>	Identificação por radiofrequência
<i>ST</i>	<i>Schmitt-Trigger</i>
<i>WPT</i>	<i>Wireless Power Transfer</i>
<i>WSN</i>	Redes de Sensores <i>Wireless</i>

SUMÁRIO

1	INTRODUÇÃO	10
1.1	FORMULAÇÃO DO PROBLEMA	11
1.2	OBJETIVOS	11
1.3	CONTRIBUIÇÕES DA DISSERTAÇÃO	12
1.4	DELIMITAÇÕES DO TRABALHO	12
1.5	ESTRUTURA DA DISSERTAÇÃO	12
2	TRANSMISSÃO DE ENERGIA SEM FIO	14
3	RETIFICADORES CMOS RF	18
3.1	EFICIÊNCIA NA CONVERSÃO DE POTÊNCIA	18
3.2	DICKSON CHARGE PUMP	19
3.3	DIFFERENTIAL DRIVE RECTIFIER	20
3.3.1	Funcionamento do Retificador Differential Drive	21
4	OTIMIZAÇÃO DA EFICIÊNCIA E PROJETO DO RETIFICADOR DD	25
4.1	METODOLOGIA DE PROJETO PARA O RETIFICADOR DD	25
4.2	PROJETO DO RETIFICADOR <i>DIFFERENTIAL DRIVE</i>	26
4.2.1	Curvas de Eficiência	27
4.2.2	Dimensionamento do Estágio Retificador	30
4.2.3	Cascadeamento e Resultado	31
5	RETIFICADOR AJUSTÁVEL	34
5.1	SOLUÇÃO PROPOSTA	35
5.2	PROJETO DO RETIFICADOR AJUSTÁVEL	37
5.2.1	Escolha das regiões de retificação	37
5.2.2	Estrutura do retificador ajustável	37
5.2.3	Bloco de Controle	41
5.3	RESULTADOS E DISCUSSÕES	43
6	CONCLUSÃO	48
	REFERÊNCIAS BIBLIOGRÁFICAS	50

1 INTRODUÇÃO

Com o avanço da tecnologia e popularização de dispositivos eletrônicos, cabos e fios se tornaram uma inconveniência para pessoas que necessitam utilizar estes dispositivos eletrônicos com frequência. São inconvenientes tanto em questões de organização, pois ocupam espaço, como em mobilidade, limitados a estarem próximos de tomadas. Além disso, fios condutores são propícios a danos que impedem a funcionalidade do dispositivo, sendo necessários reparos onde em muitas situações seja necessário a substituição do mesmo devido a questões financeiras.

Tecnologias de comunicação sem fio, como redes locais sem fio (Wifi) e *bluetooth*, resolveram parte deste problema, removendo conexões físicas para realizar comunicação utilizando ondas de radiofrequência (BISDIKIAN, 2001). Baterias por sua vez, possibilitaram aumentar a mobilidade de dispositivos, permitindo permanecerem longe de tomadas por um determinado período de tempo. Mas as baterias possuem mobilidade limitada, pois necessitam ser recarregadas na rede elétrica convencional (HUANG et al., 2019).

A transmissão de energia sem fio (WPT) é uma tecnologia desenvolvida a mais de 100 anos por Tesla (1904). A ideia principal desta tecnologia é transmitir energia através do espaço, sem a utilização de fio ou um meio físico entre os dispositivos (BROWN, 1996). Esta tecnologia também possibilitou o desenvolvimento de sistemas de colheita de energia (EH) (HUANG et al., 2019).

WPT e EH são empregadas em diversas aplicações práticas, como identificação por radiofrequência (RFID) e *Near-Field Communication* (NFC). O desenvolvimento de carregadores sem fio eficientes para smartphones e carros elétricos foi possível graças a inovações utilizando acoplamento indutivo ressonante a partir de Kurs et al. (2007). Aplicações em IoT (internet das coisas) se beneficiam dos desenvolvimentos em EH, pois estes dispositivos tem como características baixa potência, tornando soluções de EH muito adequadas (SHINOHARA, 2021).

Um sistema WPT por radiofrequência (RF) é construído basicamente por um dispositivo transmissor de energia RF, e um dispositivo receptor. Segundo Lu e Ki (2018) este sistema pode utilizar dois métodos, transmissão por campo próximo e campo distante. Na transmissão por campo próximo são empregados acoplamentos indutivos, já transmissão em campo distante, são utilizados antenas.

O receptor WPT é responsável por captar a energia de RF do ambiente (alternada), e utilizando um circuito retificador, entregar energia DC para a aplicação. Como estes níveis de energia são baixos, na faixa dos μW , a combinação do retificador com o acoplamento indutivo ou antena é a chave para garantir uma ótima eficiência na transmissão de energia (SHINOHARA, 2021; LU; KI, 2018).

1.1 FORMULAÇÃO DO PROBLEMA

A energia captada pelo dispositivo receptor em um sistema WPT/EH sofre variações (SCORCIONI; LARCHER; BERTACCHINI, 2013). Segundo Brown (1996), Khan et al. (2020) Estas variações podem ser ocasionadas devido a distância do receptor ao transmissor, perdas relacionadas a obstruções do meio de transmissão como paredes ou chuva entre outras.

Retificadores CMOS para RF são projetados para operarem com eficiência máxima em certas condições (GULER; GHOVANLOO, 2017), como potência de sinal de RF disponível, frequência do sinal de RF, carga na saída do retificador entre outras. A variação destas condições fazem com que a diminua eficiência do retificador e consequentemente a eficiência do sistema WPT.

Sendo assim, o desenvolvimento de retificadores ajustáveis, que se adaptam a variações em amplitude ou potência do sinal de RF captado é muito conveniente para aplicações em IoT e WPT (GULER; JIA; GHOVANLOO, 2019; GU et al., 2019; SHADID; NOGHANIAN; NEJADPAK, 2016).

1.2 OBJETIVOS

Dada a necessidade e conformidade de retificadores com eficiências ajustáveis conforme mudanças na potência disponível, são apresentados a seguir os objetivos da dissertação:

- **Objetivo Geral:** Desenvolver uma estrutura de um retificador que se adapta as variações na amplitude da tensão na entrada do circuito retificador. Como resultado deste ajuste o sistema WPT poderá operar em ótima eficiência para um alcance de operação maior em termos de amplitude dos sinais de entrada.
- **Objetivos Específicos:**
 - Apresentar uma metodologia de projeto para retificadores *Differential Drive*, com base na eficiência, amplitude do sinal RF na entrada do retificador e da carga de saída, para uma determinada frequência;
 - Propor uma estrutura de retificador autoajustável;
 - Demonstrar o dimensionamento do retificador ajustável;
 - Propor o bloco de controle que irá realizar o ajuste conforme as variações na amplitude do sinal RF na entrada do retificador.

1.3 CONTRIBUIÇÕES DA DISSERTAÇÃO

As principais contribuições desta dissertação são dadas a seguir:

- Metodologia de projeto do retificador *Differential Drive* baseada em simulação e mapeamento da eficiência resultante em função das dimensões W/L dos transistores que compõem a estrutura;
- Estrutura do retificador ajustável, topologia e arranjo para os blocos ajustáveis;
- Estratégia de controle para realizar o ajuste na eficiência com base na amplitude do sinal RF na entrada do retificador.

1.4 DELIMITAÇÕES DO TRABALHO

Devido a vários fatores que influenciam no funcionamento de retificadores CMOS para RF, delimitou-se o desenvolvimento como segue:

- O trabalho foi desenvolvido no ambiente de simulações Cadence Virtuoso, usando a tecnologia de fabricação *Global Foundries 130 nm*;
- O projeto simulado dos retificadores apresentados foi feito com base na amplitude do sinal de RF disponível na entrada do circuito retificador e da carga de saída. Não levando em consideração neste momento as influências de acoplamentos indutivos ou nem o casamento de impedâncias;
- A eficiência na conversão de energia foi a principal figura de mérito, sendo as decisões de dimensionamento e ajustes tomadas em relação a mesma;
- A frequência de operação dos circuitos retificadores foi definida com base no trabalho de Riaño et al. (2016).

1.5 ESTRUTURA DA DISSERTAÇÃO

O trabalho está estruturado em 6 capítulos, descritos a seguir:

- **Capítulo 2:** Aborda sistemas de transmissão de energia sem fio e sistemas de coleta de energia;

- **Capítulo 3:** Este capítulo apresenta as duas principais topologias de retificadores CMOS para RF;
- **Capítulo 4:** O capítulo apresenta um método de projeto para o retificador *Differential Drive*, juntamente com o comportamento da eficiência a partir de diferentes parâmetros de projeto.
- **Capítulo 5:** É apresentado a estrutura do retificador ajustável, juntamente com o projeto do mesmo. Além disso aborda a estratégia de controle para o retificador ajustável;
- **Capítulo 6:** Finalmente são apresentadas as conclusões gerais sobre o desenvolvimento deste trabalho.

2 TRANSMISSÃO DE ENERGIA SEM FIO

Os avanços na miniaturização de dispositivos e baterias, permitiram o desenvolvimento de dispositivos móveis, como *smartphones*, bio-sensores, e diversos dispositivos inteligentes. Mas a mobilidade destes dispositivos é limitada pois as baterias necessitam ser constantemente recarregadas utilizando fontes de energia convencionais, ou ainda a substituição da mesma.

Com o extensivo desenvolvimento de soluções em IoT (Internet das Coisas), muita atenção tem sido dada a dispositivos auto-alimentados e redes de sensores sem fio (WSN). O principal empecilho destas tecnologias são as limitações em energia. Para isso, muita pesquisa é desenvolvida a fim de minimizar o consumo de energia, e aumentar a vida útil de baterias (SINGH; KAUR; SINGH, 2021).

Redes de sensores sem fio podem ser utilizados para monitorar fenômenos físicos como temperatura e pressão, monitorar a localização de objetos em tempo real, podem inclusive ser utilizados em bio-implantes. Segundo Williams et al. (2021), algumas aplicações requerem um elevado número de sensores, sendo que para as WSN serem úteis requerem baixa manutenção e, em muitos casos, operação ininterrupta a fim de minimizar os custos e inconveniências de uma intervenção humana no sistema.

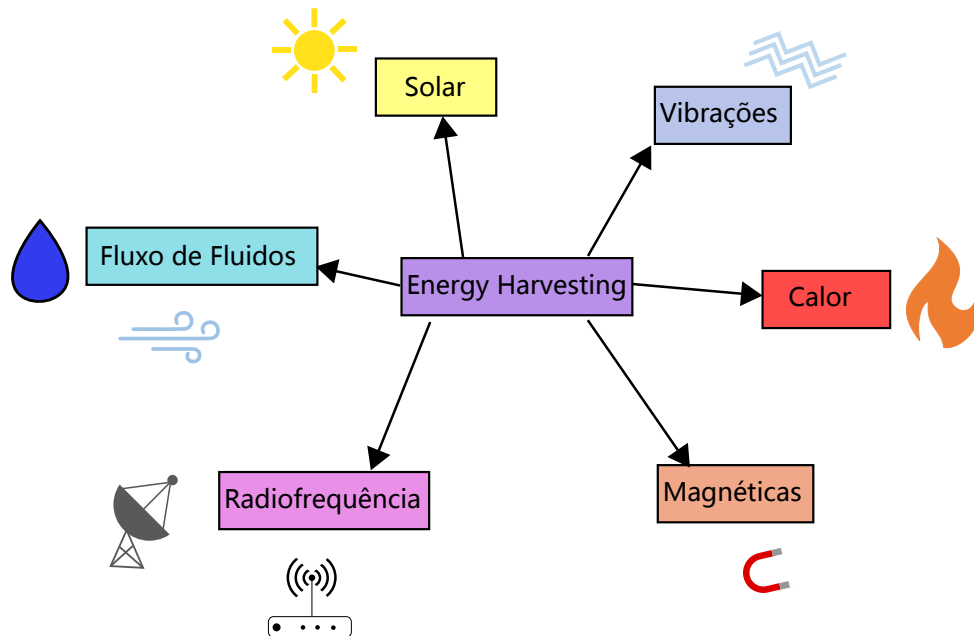
A viabilidade destes dispositivos móveis depende muito da forma que serão alimentados. Neste cenário, sistemas de colheita de energia e transmissão de energia sem-fio se tornaram tecnologias chave para a possibilidade de maior mobilidade dos dispositivos, e os mesmos se tornarem auto-sustentáveis.

Os sistemas de colheita de energia são passivos e construídos para transformar as mais diversas formas de energia presente no ambiente em energia elétrica, como mostrado na Figura 2.1. Essa tecnologia permite que dispositivos sejam auto-suficientes em questões energéticas, e com a liberdade de serem implementados em locais longe de uma rede de alimentação convencional, aumentando sua mobilidade.

Conforme Singh, Kaur e Singh (2021), existem várias formas de energias aproveitadas por EH:

- Mecânicas (vibrações, estresse mecânico, deformações);
- Eletromagnéticas (comunicação sem-fio, micro-ondas, infravermelho, indutores, transformadores);
- Vento;
- Água (fluxo, marés);
- Térmicas (fornalhas, motores, radiação solar);

Figura 2.1 – Formas de energia captadas por sistemas de colheita de energia.



Fonte: Adaptado de Williams et al. (2021)

- Corpo Humano (movimentos, temperatura);
- Biomassa (resíduos biodegradáveis).

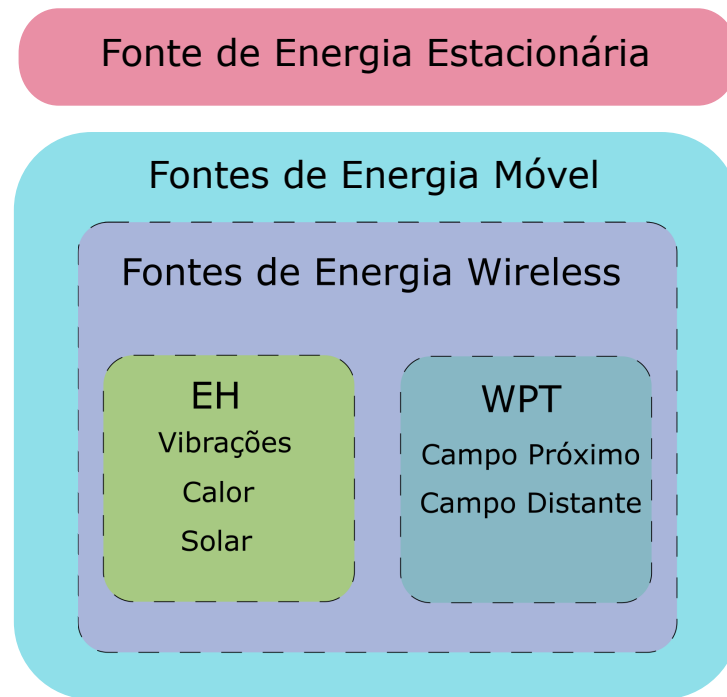
Em contrapartida, EH é severamente afetado por variabilidades nas condições de suas formas de energia, fazendo com que estes sistemas não sejam confiáveis quanto a continuidade de fornecimento de energia para o dispositivo alvo, tornando estes sistemas impróprios para aplicações que necessitem funcionamento ininterrupto e alta demanda de energia, como *smartphones*, por exemplo (HUANG et al., 2019).

Sistemas de transmissão de energia sem fio são projetados para fornecer uma fonte de energia através de um emissor de potência. Este sistema se difere de EH pois a energia proveniente do WPT tem sua origem da rede elétrica, enquanto EH utiliza fontes renováveis e energia capturada do ambiente. Um exemplo destes sistemas são os carregadores sem fio, que são capazes de carregar baterias de *smartphones*, carros elétricos e até sendo utilizados para carregar dispositivos implantáveis de forma não invasiva (HUANG et al., 2019).

WPT também é utilizado para transmitir energia a longas distâncias, através de ondas de radiofrequência. Algumas destas tecnologias estão descritas na tabela 2.1. Conforme Lu e Ki (2018), As tecnologias de WPT são divididas em duas categorias baseadas na distância de operação, que são campo próximo e campo distante.

Na operação em campo próximo (não radioativa), a distância de transmissão é menor que o comprimento de onda. Além disso, tanto o transmissor, quanto o receptor são indutores que compartilham o mesmo fluxo magnético. Enquanto a operação em campo

Figura 2.2 – Classificação das formas de transmissão de energia.



Fonte: Adaptado de Huang et al. (2019)

distante, o comprimento de onda é menor que a distância de transmissão, sendo assim, a transmissão de energia se dá através de ondas eletromagnéticas. Neste caso, o transmissor e o receptor são antenas (LU; KI, 2018).

Tabela 2.1 – Comparativo entre tecnologias para transmissão de energia sem fio.

Tecnologia	Alcance	Frequência	Eficiência
Acoplamento Indutivo	Curto	Hz - MHz	Alta
Acoplamento Indutivo Ressonante	Médio	KHz - GHz	Alta
Acoplamento Capacitivo	Curto	KHz - MHz	Média
Micro-ondas	Longo	GHz	Baixa
Ondas de Luz	Longo	THz	Baixa

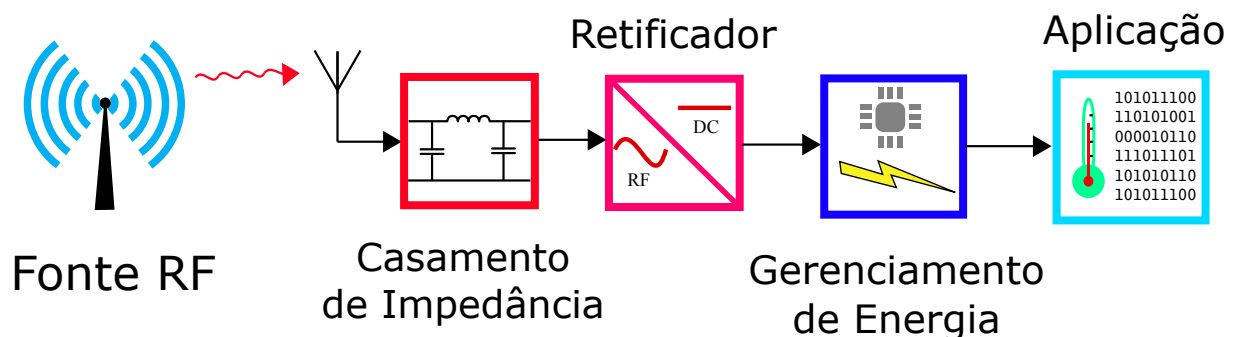
Uma representação em blocos de um sistema de transmissão de energia sem fio RF é apresentado na figura 2.3, (LU et al., 2014). Um sinal de radiofrequência é gerado e transmitido através de um dispositivo transmissor, este sinal por sua vez é captado pelo dispositivo móvel através de um transdutor (antena, ou acoplamento indutivo). O sinal captado pelo transdutor segue o caminho pelo casamento de impedâncias, retificador, gerenciamento de energia e finalmente a energia deste sinal é utilizada para alimentar uma carga específica.

O bloco de casamento de impedância é um circuito ressonador, projetado para operar de forma que maximiza a transferência de potência entre a antena e o retificador, (LU et al., 2014). O sinal devidamente casado é entregue ao retificador, que tem por obje-

tivo transformar o sinal de RF variante no tempo (AC), em um sinal contínuo (DC). Além disso, o retificador pode ser construído para elevar a tensão DC de saída para valores maiores que a amplitude do sinal RF entregue na entrada do bloco retificador (MANDAL; SARPESHKAR, 2007).

Após o sinal devidamente retificado, o bloco de gerenciamento de energia deve decidir se a energia capturada será armazenada em uma bateria (se o dispositivo possuir) ou será entregue para aplicação. Neste bloco são empregados reguladores de tensão, a fim de entregar o nível de tensão correto para a aplicação, e com o mínimo de ruídos vindos do processo de retificação, (LU et al., 2014).

Figura 2.3 – Modelo típico de uma WPT.



Fonte: Próprio Autor.

O bloco retificador é essencial em sistemas WPT e EH (CHANG; CHOUHAN; HALONEN, 2017), pois é responsável pela conversão da forma de energia capturada (AC) para uma forma de energia que pode ser utilizada pela aplicação do dispositivo móvel. A energia transmitida pelo transmissor RF pode ter atenuada pelo meio, fazendo com que a energia captada pelo transdutor seja baixa e o retificador não funcione corretamente, consequentemente entregando níveis de potência insuficientes para o correto funcionamento da aplicação. Sendo assim, é interessante que o retificador seja construído para ter uma ótima eficiência em sua operação.

3 RETIFICADORES CMOS RF

Retificadores de RF são blocos fundamentais para qualquer sistema eletrônico que armazena energia AC do ambiente (ESKIYERLI, 2016). O retificador é responsável por converter a energia AC em energia DC para alimentar o restante do circuito. Conforme Lu e Ki (2018), o retificador é o principal conversor de potência em um sistema WPT, sendo essencial que o bloco possua uma alta eficiência de operação.

As topologias de retificadores para WPT possuem diferenças se comparadas com retificadores convencionais, onde normalmente são utilizados diodos como dispositivo retificador. Como estes sistemas operam em regime de baixa potência, na faixa de micro-watts as perdas de potência causadas pela queda de tensão do diodo são consideravelmente grandes. Conseqüentemente, estes circuitos sofrem com baixa eficiência.

Diodos schottky podem ser utilizados nestas situações, onde possui uma tensão de limiar na faixa dos 150 mV a 450 mV , consideravelmente menor que a tensão limiar dos diodos de silício que gira em torno de 600 mV a 700 mV . Em contrapartida, o diodo schottky possui um alto custo de fabricação e não está disponível em muitas tecnologias CMOS comerciais (DAI et al., 2015). Outra possibilidade é a utilização de transistores como dispositivos de retificação.

O processo de retificação em sistemas de WPT em baixa potência resulta em uma tensão DC retificada baixa, a níveis menores que a amplitude da tensão RF de entrada, necessitando ser elevada para níveis suficientes para o funcionamento do restante do circuito. Nesta situação, a solução empregada é organizar o retificador numa forma multi-estágios utilizando capacitores, resultando em um circuito *charge-pump* retificador. Desta forma a tensão DC na saída do retificador pode ser elevada a níveis suficientes para a operação do circuito (GULER; GHOVANLOO, 2017).

3.1 EFICIÊNCIA NA CONVERSÃO DE POTÊNCIA

A principal figura de mérito dos retificadores de RF é eficiência na conversão de potência (PCE). PCE é a razão da potência DC entregue a carga, pela potência RF entregue ao retificador.

$$\eta_{REC}(\%) = \frac{P_{out}}{P_{in}} \times 100 \quad (3.1)$$

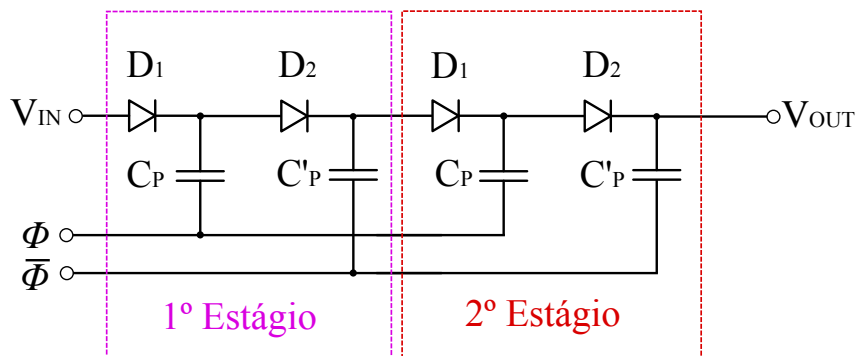
sendo P_{in} a potência média na entrada do retificador e P_{out} potência média na saída,

ou dissipada na impedância de carga R_L , calculada como

$$P_{out} = \frac{1}{2} \frac{V_L^2}{R_L}. \quad (3.2)$$

3.2 DICKSON CHARGE PUMP

Figura 3.1 – Dickson Charge Pump com dois estágios.



Dickson Charge Pump é um conversor de potência utilizando capacitores chaveados que foi desenvolvido por Dickson (1976), é utilizado como dobrador de tensão. É construído como apresentado na figura 3.1, onde é utilizado um par de diodos D_1 , D_2 e um par de capacitores C_P e C'_P por estágio. Além disso, é necessário dois sinais de clock, Φ e $\bar{\Phi}$ com a fase invertida.

Os sinais Φ e $\bar{\Phi}$ são conectados de forma alternada com os capacitores C_P e C'_P . Desta forma a multiplicação da tensão V_{IN} se dá pela sucessiva carga e descarga dos capacitores conectados na rede de diodos.

O Dickson Charge Pump em si não é utilizado em sistemas de EH. Mas se rearranjarmos o circuito, substituindo os sinais de clock Φ e $\bar{\Phi}$ pelo sinal RF capturado pelo EH, teremos um retificador *Dickson Charge Pump*, figura 3.2. Suas características de multiplicação de tensão e considerável eficiência, além de ser de simples construção, o fazem ser uma escolha popular em sistemas de EH (GULER; GHOVANLOO, 2017).

Figura 3.2 – Retificador Dickson Charge Pump.

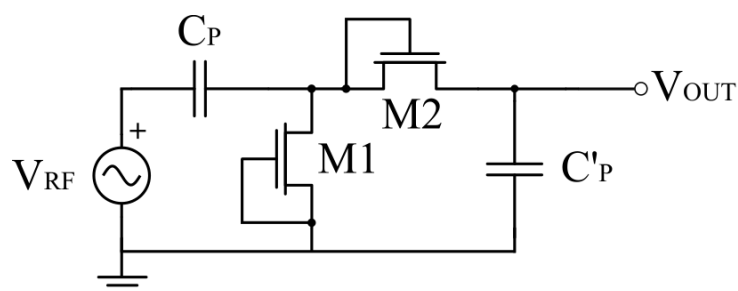
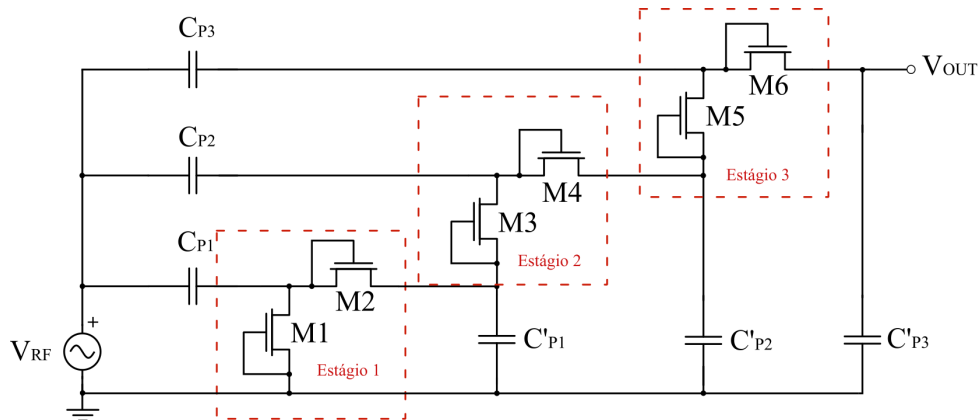


Figura 3.3 – Retificador Dickson Charge Pump com 3 estágios.



Durante o semiciclo positivo do sinal RF, o transistor M1 está em corte e o transistor M2 está em condução. Logo o capacitor C'_P é carregado com V_{RF+} . No semi-ciclo negativo, M2 está em corte e M1 entra em condução, fazendo com que o capacitor C_P seja carregado com V_{RF+} . No próximo semi-ciclo positivo, o capacitor C'_P é carregado com $V_{RF} + C_P$ sendo $C_P = V_{RF}$.

Funcionando como um multiplicador de tensão, podemos estimar a tensão na saída V_{OUT} em baixas frequências da seguinte maneira:

$$V_{OUT} = 2N(V_{IN} - V_{th}). \quad (3.3)$$

sendo V_{IN} a amplitude do sinal RF de entrada, N o número de estágios, e V_{th} a tensão de limiar dos transistores. Na figura 3.3 é ilustrado o retificador Dickson Charge Pump com 3 estágios, sendo os todos os capacitores C_P iguais.

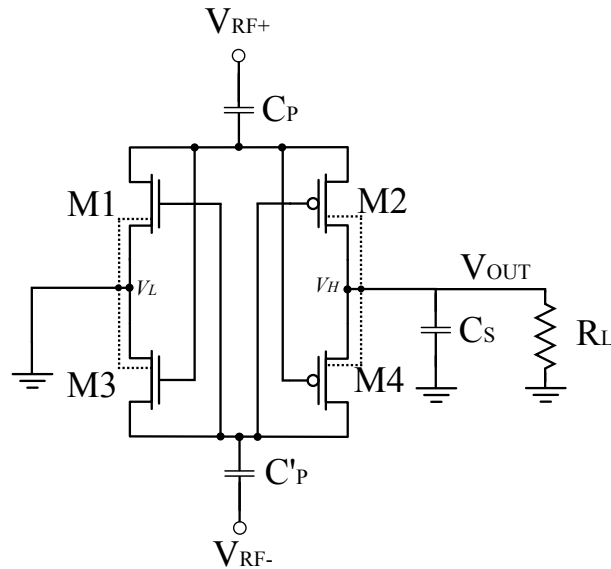
3.3 DIFFERENTIAL DRIVE RECTIFIER

Outro retificador muito utilizado em sistemas de EH é o retificador *Differential Drive* (DD), também chamado de acoplamento cruzado, apresentado em 2007/2008 por Mandal e Sarpeshkar (2007) e Sasaki, Kotani e Ito (2008).

O retificador diferencial, figura 3.4, é construído utilizando um par de transistores NMOS e um par de transistores PMOS operando como chaves, de forma que em cada semiciclo do sinal RF, um transistor PMOS e um transistor NMOS estão em condução. O gate dos transistores é polarizado com o próprio sinal RF, de forma cruzada entre NMOS e PMOS.

Da mesma forma que o retificador de Dickson, o retificador DD é construído em forma de estágios retificadores, a fim de aumentar a tensão DC na carga de saída R_L . Para isso são incluídos os capacitores C_P e C'_P nas entradas do sinal RF em cada estágio

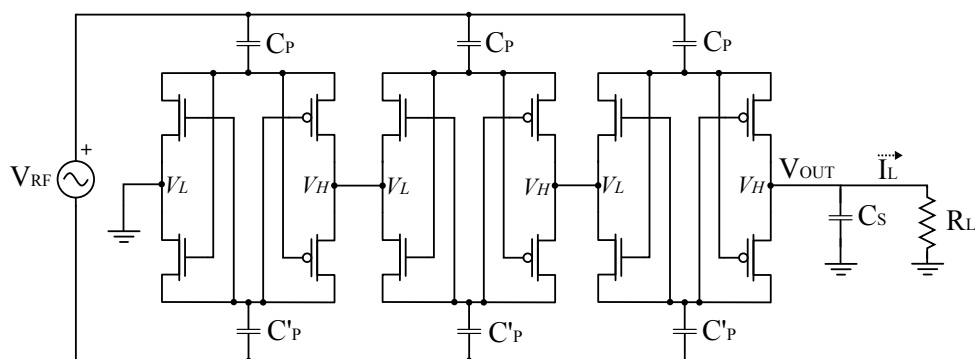
Figura 3.4 – Retificador Differential Drive.



retificador figura 3.5. Estes capacitores servem para armazenar e isolar a energia DC que está sendo retificada em cada estágio.

O retificador *Differential Drive* possui duas principais vantagens. A resistência do canal dos transistores é menor, conforme a tensão gate-source for aumentada e uma menor corrente de polarização reversa. Conseqüentemente, o retificador DD possui uma eficiência maior em regimes de baixa potência e altas frequências, desde que a tensão de entrada no retificador seja maior que a tensão de limiar dos transistores (GULER; GHOVANLOO, 2017).

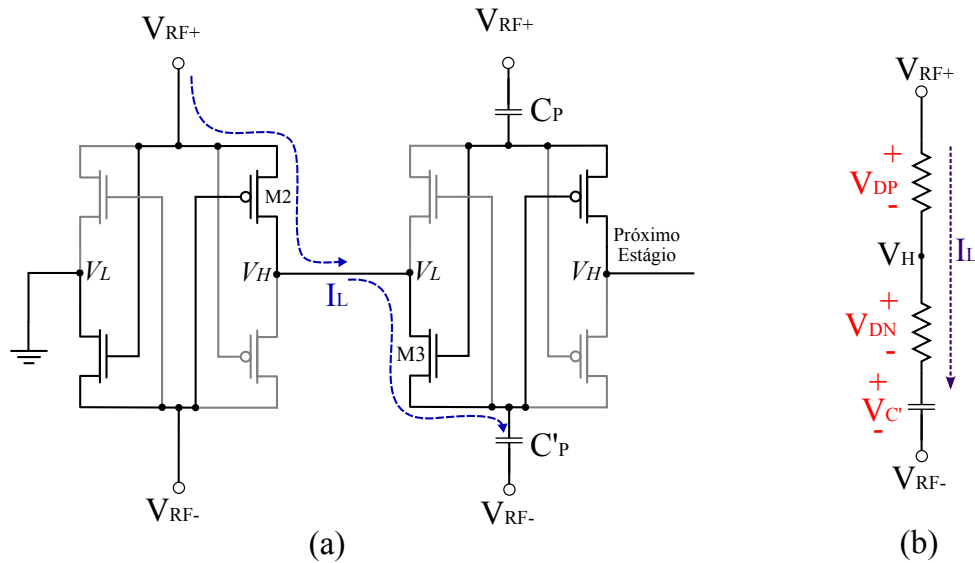
Figura 3.5 – Cascadeamento do retificador Differential Drive, com 3 estágios retificadores.



3.3.1 Funcionamento do Retificador Differential Drive

O retificador DD é um retificador de onda completa. Os transistores NMOS e PMOS estão operando como chaves polarizadas pelo próprio sinal a ser retificado, sendo os transistores NMOS e PMOS polarizados de forma cruzada, como apresentado na figura 3.4

Figura 3.6 – Funcionamento do retificador diferencial.(a) Caminho da corrente para o primeiro e segundo estágio. (b) Circuito simplificado substituindo os transistores PMOS e NMOS pela resistência de canal R_{on} equivalente.



No semiciclo positivo do sinal RF, quando $V_{RF+} > V_{RF-}$, os transistores $M2$ e $M3$ (figura 3.4) estão em condução, e os transistores $M1$ e $M4$ estão em corte. Desta forma, observa-se uma corrente I_{D2} entre os terminais V_{RF+} e V_H com o sentido em direção a carga R_L , e uma corrente I_{D3} entre V_L e V_{RF-} , o que determina a carga dos capacitores C_P e C'_P , respectivamente.

De forma análoga, no semi-ciclo negativo, $V_{RF+} < V_{RF-}$, os transistores $M1$ e $M4$ estão em condução (enquanto os transistores $M2$ e $M3$ estão em corte). Desta forma, observa-se uma corrente I_{D1} entre os terminais V_L e V_{RF+} que flui em direção a carga R_L , e uma corrente I_{D4} entre V_{RF-} e V_H , o que determina a descarga dos capacitores C_P e C'_P , respectivamente.

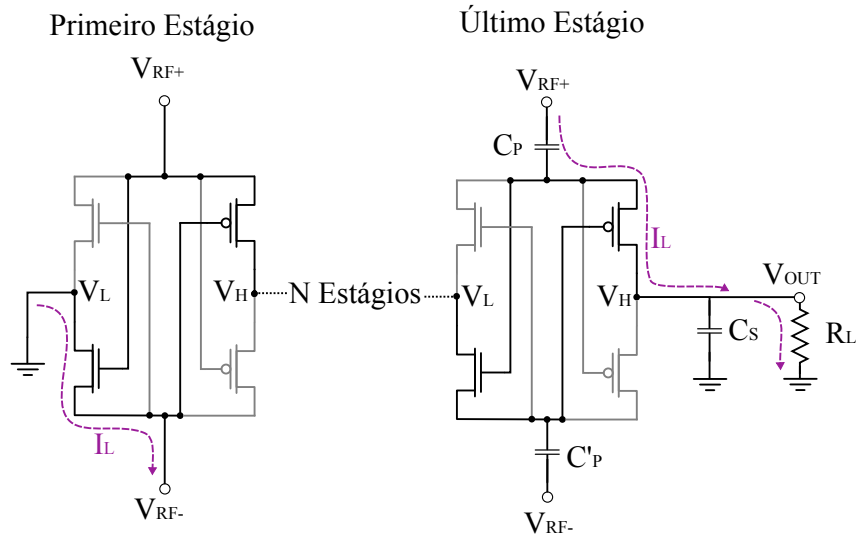
O Capacitor C_S em paralelo com a carga atua como um filtro passa baixas, a fim de diminuir a tensão de *ripple* presente na saída do retificador.

A figura 3.6.(a) mostra o caminho da corrente retificada no semiciclo positivo do sinal RF. No primeiro estágio retificador não há a necessidade de isolar o retificador da fonte, assim a corrente retificada flui a partir do terminal V_{RF+} , passando pelo transistor $M2$ em direção ao terminal V_H . Seguindo este caminho, a corrente entra no terminal V_L do segundo estágio, passa pelo transistor $M3$ e finalmente carrega o capacitor C'_P .

O circuito simplificado para baixas frequências desta etapa de retificação pode ser observado na figura 3.6.(b), onde a queda de tensão dos transistores PMOS e NMOS são representados por V_{DP} e V_{DN} respectivamente, assim podemos estimar a tensão no capacitor C'_P como sendo:

$$V_{C'_P} = V_{RF} - (V_{DP} + V_{DN}) \quad (3.4)$$

Figura 3.7 – Funcionamento do retificador diferencial para o último estágio. (a) Caminho da corrente do último estágio em direção a carga.



os capacitores C_P e C'_P armazenam a tensão retificada do primeiro estágio. Pode-se dizer que a contribuição de tensão de cada estágio (V_{RET}) é igual a tensão dos capacitores C_P e C'_P do estágio seguinte. Sendo assim:

$$V_{RET} = V_{C'_P} = V_{RF} - (V_{DP} + V_{DN}) \quad (3.5)$$

O último estágio retificador está conectado com a carga através do terminal V_H , figura 3.7. Considerando o semiciclo positivo do sinal RF, a corrente flui a partir do terminal V_{RF+} , passando pelo capacitor C_P , previamente carregado com $V_{C_P} = (N - 1)V_{RET}$, sendo N o número de estágios retificadores, passa pelo transistor PMOS e flui em direção a carga R_L em paralelo com o capacitor de amortecimento C_S . Ao passar pela carga, a corrente atinge o nível de tensão do GND, onde retorna ao estágio 1 e passa pelo transistor NMOS e finalmente retorna a fonte de tensão RF através do terminal V_{RF-} .

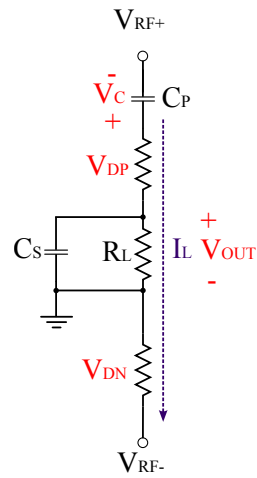
Ao simplificarmos esse caminho, como ilustrado na figura 3.8, vamos considerar a tensão de saída do retificador V_{OUT} como sendo a tensão no resistor de carga R_L , e lembrando que a tensão do capacitor $V_{C_P} = (N - 1)V_{RET}$, podemos estimar a tensão de saída do retificador como sendo:

$$V_{OUT} = N * [V_{RF} - (V_{DP} + V_{DN})] \quad (3.6)$$

onde N corresponde ao número de estágios retificadores, V_{RF} a amplitude do sinal RF, e finalmente V_{DP} e V_{DN} sendo a queda de tensão dos transistores PMOS e NMOS respectivamente.

Conforme o número de estágios aumenta, o retificador DD apresenta perdas na tensão de saída causadas pela polarização de corpo dos transistores NMOS caso sejam polarizados com o terra. A fim de polarizar adequadamente e eliminar este problema,

Figura 3.8 – Funcionamento do retificador diferencial para o último estágio. Circuito simplificado substituindo os transistores PMOS e NMOS pela resistência de canal R_{on} equivalente.



transistores NMOS *triple well* podem ser utilizados, polarizados com a menor tensão do estágio retificador, como apresentado na figura 3.4.

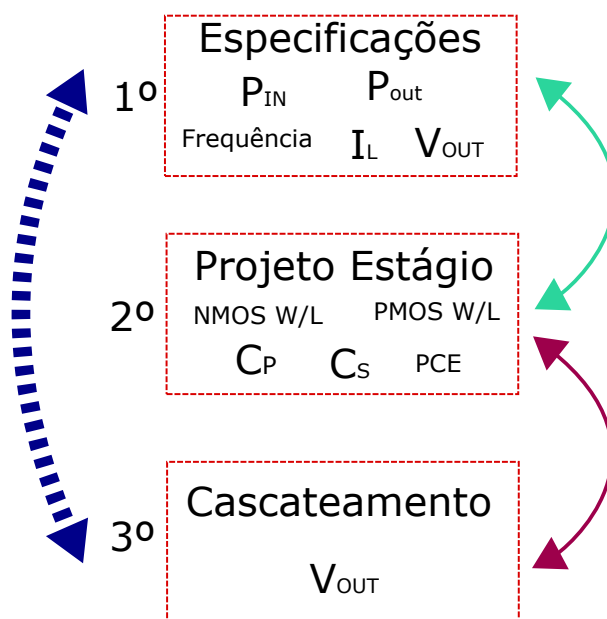
4 OTIMIZAÇÃO DA EFICIÊNCIA E PROJETO DO RETIFICADOR DD

4.1 METODOLOGIA DE PROJETO PARA O RETIFICADOR DD

A eficiência do retificador DD é afetada por parâmetros como frequência e amplitude do sinal RF de entrada e pela carga de saída (SASAKI; KOTANI; ITO, 2008), sendo assim o retificador DD é projetado para atender uma demanda de potência, em uma frequência específica, ou seja, o retificador deve ser otimizado para atender esta demanda, e ter máxima eficiência no ponto de operação definido.

Desta forma, o projeto do retificador segue 3 passos principais, figura 4.1: especificações, dimensionamento do estágio retificador e cascadeamento, ou número de estágios.

Figura 4.1 – Fluxo de projeto do retificador *Differential Drive*.



- **Especificações:**

Informações que devem ser levantadas para o projeto do retificador. Devem ser estabelecidos os níveis de potência em que o retificador irá operar, potência máxima e potência mínima e a frequência da portadora do sistema de transmissão de energia. Além disso é necessário estabelecer a corrente que será entregue a carga a partir do ponto de operação ótimo do retificador.

A corrente de carga é uma informação importante para o projeto. Com base nisso, os demais componentes do retificador serão dimensionados para suprir esta demanda de carga.

- **Dimensionamento:**

Compreende o dimensionamento dos transistores PMOS e NMOS e do capacitor C_P . O dimensionamento dos transistores será feito de forma gráfica, onde serão simuladas as dimensões em diferentes condições de operação a fim de encontrar as dimensões que atendam as melhores eficiências, com base nas especificações.

- **Cascadeamento:**

O número de estágios é determinado com base na tensão que será entregue na carga. Com o estágio retificador já dimensionado, obtemos a contribuição de tensão retificada em cada estágio, então podemos estimar o número de estágios que irá compor o retificador DD.

4.2 PROJETO DO RETIFICADOR *DIFERENTIAL DRIVE*

A seguir será demonstrado o procedimento para projetar um retificador DD. Como o objetivo deste trabalho é apresentar uma estrutura de retificação ajustável, iremos concentrar apenas no retificador. Assim, iremos considerar que o retificador está perfeitamente casado com a antena/acoplamento indutivo (casamento de impedâncias ideal).

O projeto do retificador DD foi feito no ambiente *Cadence Virtuoso*, utilizando a tecnologia *GlobalFoundries 130 nm RF*. Transistores NMOS *triple well* estão presentes nesta tecnologia, estes transistores serão utilizados nos estágios retificadores devido a necessidade de distintas polarizações de *bulk* dos transistores.

Seguindo o primeiro passo do projeto do retificador, será levantado as especificações do retificador que será construído:

- Frequência da portadora: 1 *GHz*, com base no trabalho apresentado em Riaño et al. (2016);
- Carga: 20 $K\Omega$, 1.8 *V*;
- Amplitude do sinal V_{RF} : 700 *mV*;
- Tecnologia de Fabricação: 130 *nm*.

O dimensionamento baseado em eficiência do retificador DD depende da corrente que será entregue a carga R_L . Caso o projeto seja feito para uma carga alvo resistiva, como é o nosso caso, deve-se levar em consideração o acúmulo de tensão em cada estágio retificador para estimar a corrente de saída e modificar a carga R_L conforme o número de estágios e tensão retificada. Caso a carga R_L seja mantida constante para o projeto do

primeiro estágio e do cascadeamento, a corrente de saída não será a mesma devido ao acréscimo de V_{OUT} em cada cada estágio retificador e o retificador não estará operando em sua região otimizada.

Para isso é necessário conhecer a queda de tensão dos transistores no ponto de operação para estimar inicialmente o número de estágios do retificador DD, utilizando a expressão 3.6. Neste exemplo será estimado 4 estágios e a carga para o dimensionamento do estágio retificador será $5\text{ K}\Omega$ a fim de manter a corrente de saída equivalente com o retificador de 4 estágios, visto que a tensão de saída do retificador com 1 estágio é aproximadamente 4 vezes menor que a tensão de saída para o retificador com 4 estágios devido ao acréscimo de tensão de cada estágio retificador.

4.2.1 Curvas de Eficiência

Um procedimento baseado em simulação que permite dimensionar os transistores do estágio retificador é o mapeamento da eficiência na conversão de potência. Devido ao grande número de parâmetros que influenciam na eficiência do retificador DD mencionados anteriormente, como a frequência e amplitude do sinal RF de entrada e também a carga na saída, podemos fixar alguns parâmetros como constantes e observar o comportamento da eficiência em função da largura de canal W dos transistores.

O mapeamento das eficiências consiste em simular o retificador DD conforme a figura 3.4, fixando o comprimento L do canal dos transistores, mantendo a carga de saída R_L fixa e a frequência do sinal RF constante. Cada gráfico do mapeamento é feito para uma determinada amplitude do sinal RF de entrada do retificador V_{RF} e V_{RF} e variando a largura dos transistores PMOS e NMOS.

A cada simulação, será calculada a eficiência do retificador e estas informações serão plotadas em um gráfico de superfície a fim de visualizarmos graficamente o comportamento da eficiência em função da largura do canal dos transistores, e assim fazer o dimensionamento do estágio retificador baseado no seu ponto de operação eficiente.

As Figuras 4.2 até 4.7 apresentam a eficiência η_{REC} contra W_N e W_P , para uma amplitude V_{RF} variando de 400 mV até 900 mV , com uma carga de $R_L = 5\text{ k}\Omega$ e comprimento de canal $L = 180\text{ nm}$ para ambos os transistores.

Podemos observar nas figuras um determinado comportamento da eficiência: conforme a amplitude de entrada V_{RF} cresce, a largura dos transistores W_N e W_P que maximizam a eficiência diminuem, para a carga especificada.

A Figura 4.2.(a), onde $V_{RF} = 400\text{ mV}$, mostra que grandes transistores são necessários para obter uma eficiência superior a 70 %. Nesta situação, como a tensão de entrada é próxima da tensão de *threshold* dos transistores, a resistência do canal r_{on} é elevada, dissipando potência e causando queda na eficiência. Assim, dimensões (W/L)

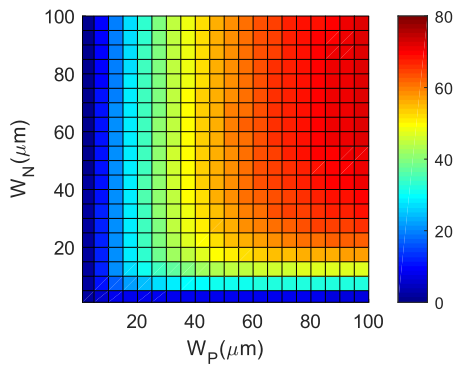
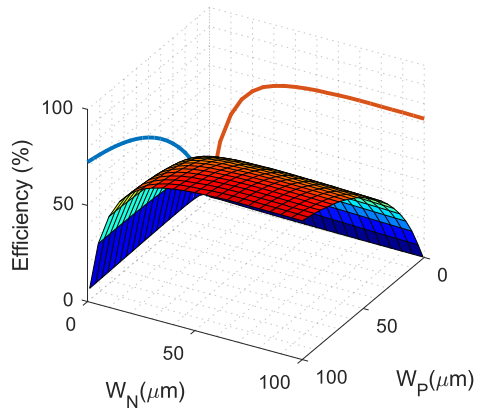
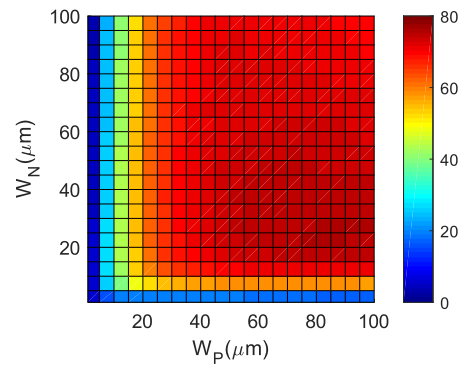
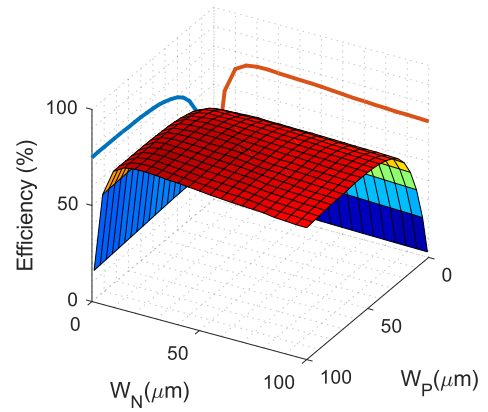
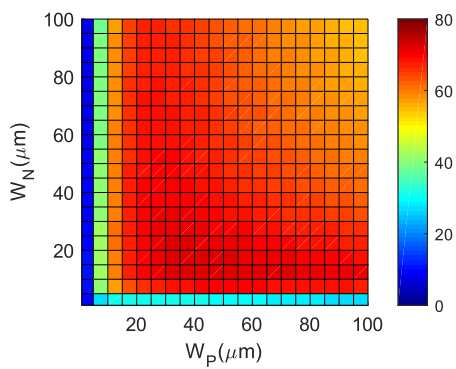
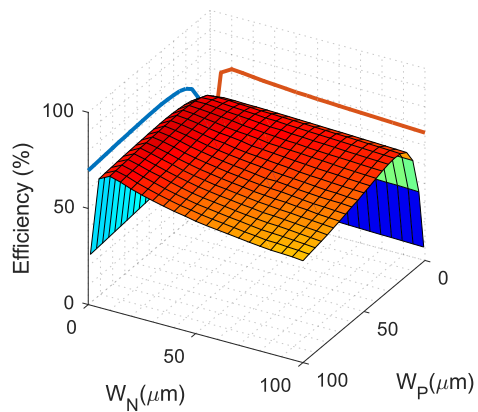
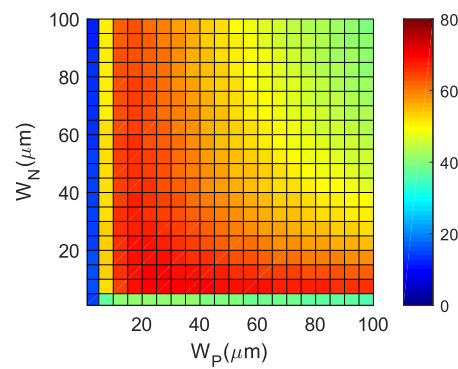
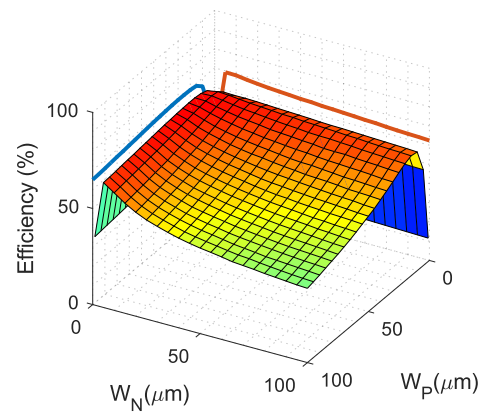
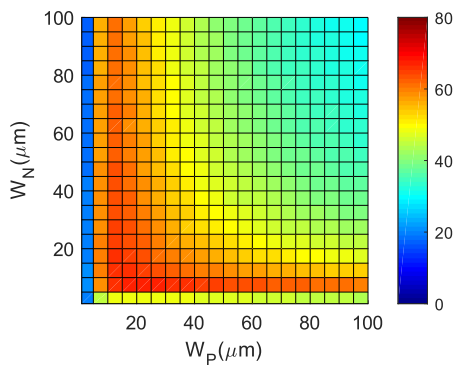
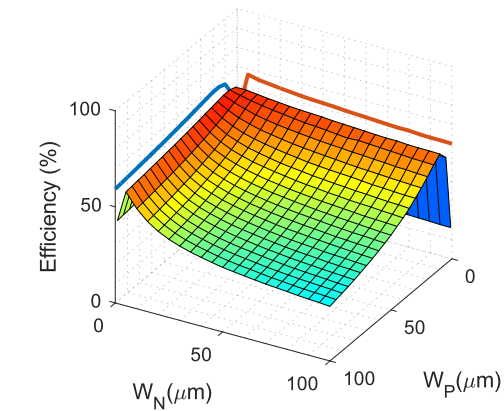
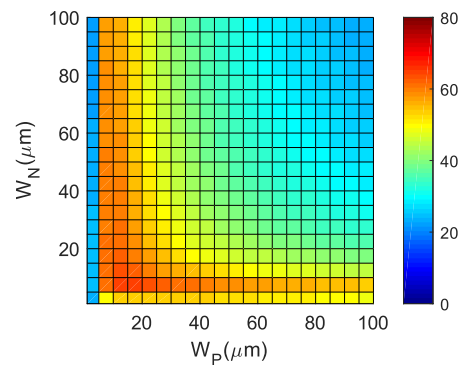
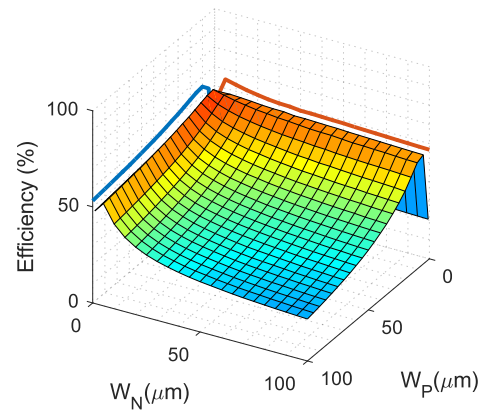
Figura 4.2 – $V_{RF} = 400 \text{ mV}$ Figura 4.3 – $V_{RF} = 500 \text{ mV}$ Figura 4.4 – $V_{RF} = 600 \text{ mV}$ Figura 4.5 – $V_{RF} = 700 \text{ mV}$ 

Figura 4.6 – $V_{RF} = 800 \text{ mV}$ Figura 4.7 – $V_{RF} = 900 \text{ mV}$ 

maiores são necessárias para diminuir o r_{on} dos transistores.

Para as demais simulações, ilustradas nas Figuras 4.6 e 4.7, é observado que para maiores tensões de entrada V_{RF} , menores as dimensões dos transistores para atingirmos eficiências elevadas, em torno de 70%. Onde pode ser observado um deslocamento das dimensões que maximizam a eficiência, partindo do canto superior esquerdo, onde estão as maiores dimensões para W_N e W_P para $V_{RF} = 400 \text{ mV}$, e se aproximando da origem para $V_{RF} = 900 \text{ mV}$.

O mesmo procedimento foi realizado para cargas de $10 \text{ k}\Omega$ e $50 \text{ k}\Omega$, e apresentaram a mesma tendência de deslocamento da máxima eficiência pela dimensão W_N e W_P dos transistores. Para o comprimento de canal, a variação apresentou semelhante, quando $L = 130 \text{ nm}$ a eficiência máxima teve uma leve melhora, em torno de 5%. Para $L = 500 \text{ nm}$ o retificador apresentou uma eficiência mais baixa, em torno de 15-20% menor.

Transistores CMOS atuando como chaves dissipam potência através da resistência de canal R_{on} , sendo que a resistência de canal depende da geometria do transistor. Quando R_{on} é muito elevado o transistor CMOS tem uma grande queda de tensão e consequentemente uma queda na eficiência. Caso ela seja muito pequena, a potência entregue pelo acoplamento indutivo será dissipada pelo retificador e não sendo entregue a carga, levando a queda na eficiência.

Como veremos a seguir, o dimensionamento correto dos transistores é fundamen-

tal para o funcionamento eficiente do retificador *differential drive*. O dimensionamento incorreto pode ocasionar baixa eficiência, o que não é desejado em sistemas de *energy harvesting*.

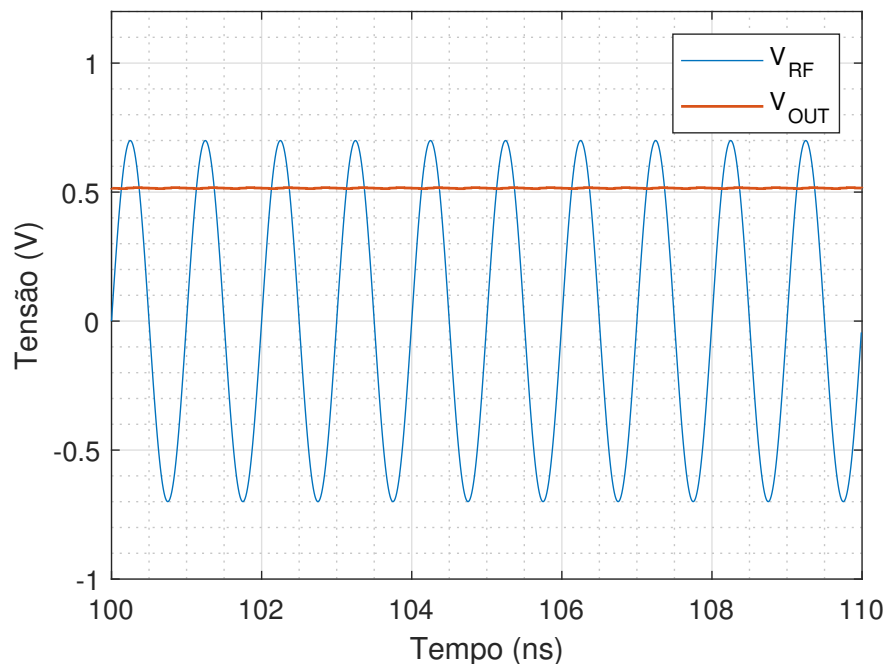
4.2.2 Dimensionamento do Estágio Retificador

Nesta etapa do projeto do retificador diferencial será definido as dimensões dos transistores NMOS e PMOS presente nos estágios retificadores e dos capacitores C_S e C_P .

As curvas de eficiência nos mostram a eficiência de diferentes combinações de dimensões para transistores NMOS e PMOS, desta forma escolhemos uma dimensão em que a eficiência seja suficiente para o ponto de operação especificado.

Para operar com uma amplitude de entrada V_{RF} em 700 mV , sob uma carga de $5\text{ k}\Omega$, é esperado uma tensão na carga superior a 1.8 V . As dimensões de $W_N = 15\text{ }\mu\text{m}$ e $W_P = 20\text{ }\mu\text{m}$, para $L = 180\text{ nm}$, apresentam uma eficiência próxima a 70% , baseada na Figura 4.5. Esta dimensão serve para situações onde V_{RF} é 600 mV ou 800 mV , apesar de ter eficiências reduzidas, mas superiores a 60% .

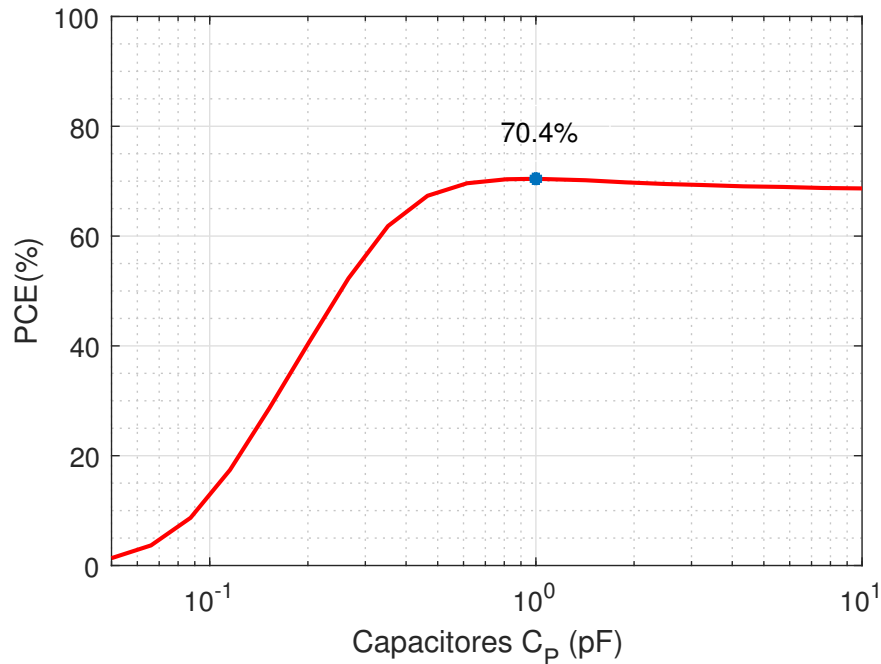
Figura 4.8 – Simulação transiente do retificador de 1 estágio, quando $V_{RF} = 700\text{ mV}$.



A simulação transiente do retificador com as dimensões escolhidas pode ser visto na figura 4.8. A tensão de saída ficou em torno de 500 mV_{CC} . Para esta simulação o capacitor C_S utilizando foi de 10 pF .

Os capacitores de acoplamento C_P comportam-se como um filtro passa alta (HADDAD; RASKIN; FLANDRE, 2016), então existe um valor mínimo que permite a passagem do sinal de entrada RF ao retificador com um ganho próximo de 1 (GRASSO et al., 2019). Isso resulta em $C_P > 0.7$ pF, para $R_L = 5$ k Ω com eficiência $\eta_{REC} = 70\%$, como pode ser visto na figura 4.9.

Figura 4.9 – Eficiência versus capacitância do capacitor C_P .



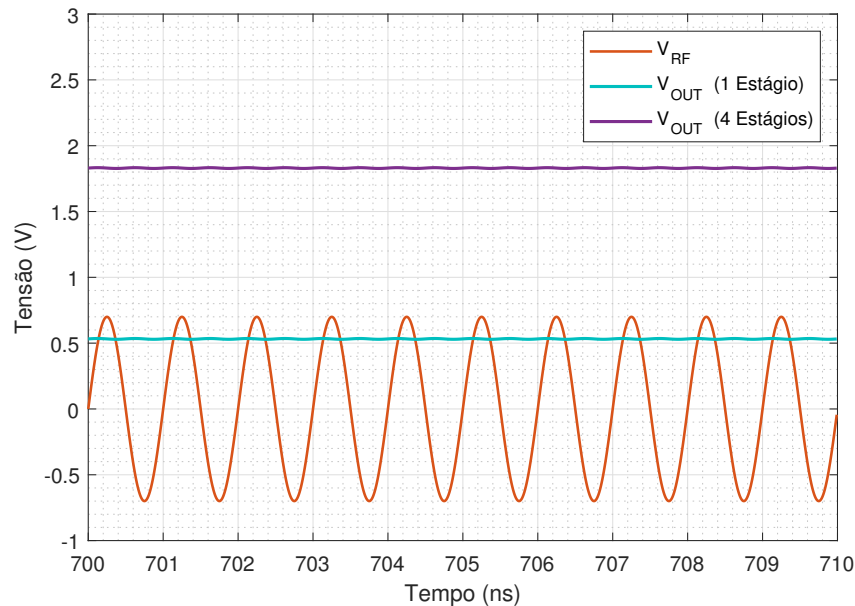
4.2.3 Cascadeamento e Resultado

Com isso, o retificador foi construído como na Figura 3.4, sem os capacitores C_P no primeiro estágio, pois nele não há a necessidade de isolar a tensão DC no estágio retificador com a fonte de sinal de RF.

A Figura 4.10 apresenta a simulação transiente do retificador com 4 estágios, comparando com a saída do retificador com 1 estágio, quando aplicado uma tensão de $V_{RF} = 700$ mV na entrada do retificador. Podemos ver que para o retificador de um estágio a tensão DC de saída é aproximadamente 500 mV para uma carga de 5 k Ω . Já para o retificador com 4 estágios, aplicando a mesma entrada de $V_{RF} = 700$ mV, a saída V_{out} do retificador foi de 1.82 V para uma carga de 20 k Ω . Para ambas as simulações, foi utilizado um capacitor C_S de 10 pF na saída.

A Figura 4.11 mostra a tensão de saída em cada estágio, para um retificador de 4 estágios, onde pode ser visto a contribuição de tensão para cada estágio. A saída do primeiro estágio é próxima de 500 mV, que é levemente superior aos demais estágios, que

Figura 4.10 – Tensão de saída para o retificador de 4 estágios e o retificador de 1 estágio



ficaram próximas a 430 mV , resultando na tensão de saída de $1.82\text{ V}_{\text{dc}}$. Estes resultados estão de acordo com a fórmula 3.6 para $N = 4$.

Por fim, a Figura 4.12 mostra a eficiência do retificador ao ser variado a tensão de entrada V_{RF} , para uma impedância de carga constante para ambos os retificadores, 1 e 4 estágios. Para o retificador de 1 estágio, quando a tensão aplicada é 700 mV a eficiência de 69% está de acordo com a simulação apresentada na figura 4.5, com o pico da curva ocorrendo próximo de 650 mV . Para o retificador de 4 estágios, o pico acontece em 700 mV , com uma eficiência próxima de 69%, similar ao retificador com 1 estágio.

Estas diferenças nas curvas de 1 e 4 estágios retificadores foram relatadas em Eskiyeerli (2016). Com o aumento do número de estágios retificadores, há um aumento nas correntes de fuga e componentes parasitas que resultam num aumento de potência necessária para o funcionamento do retificador.

O mapa de eficiência não nos informa o ponto exato do pico de eficiência para 1 estágio, mas escolhendo regiões de alta eficiência podemos estimar que o pico de eficiência acontece próximo do ponto escolhido. Além disso, se rearranjarmos as eficiências do mapa de eficiência para cada dimensão NMOS x PMOS e variando as amplitudes V_{RF} de 400 mV a 900 mV , teremos uma curva similar ao apresentado na figura 4.12, mas com uma resolução menor, onde os picos de eficiência podem ser estimados graficamente.

Figura 4.11 – Tensão na saída de cada estágio, no retificador de 4 estágios, para um $V_{RF} = 700mV$.

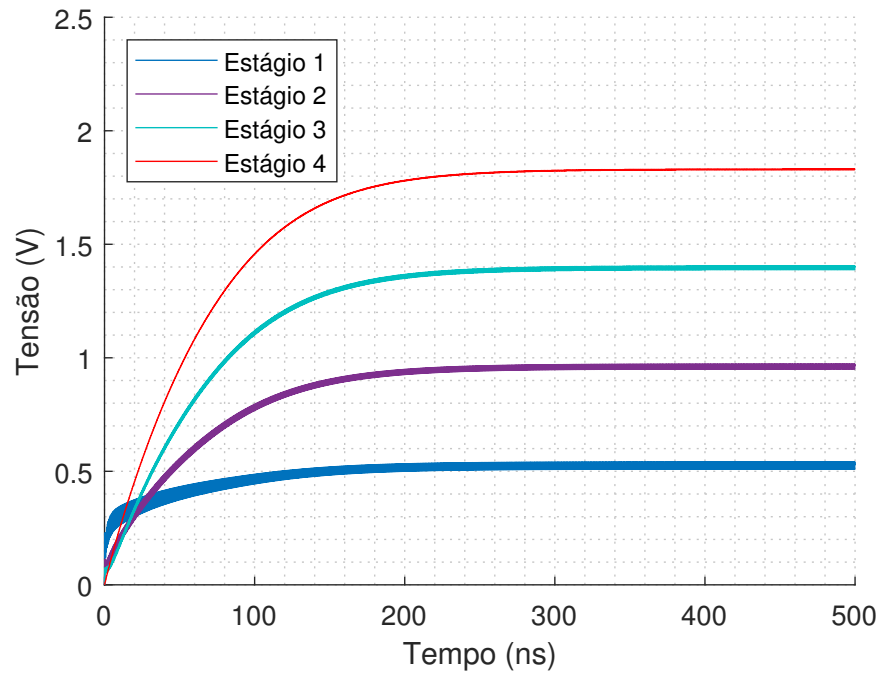
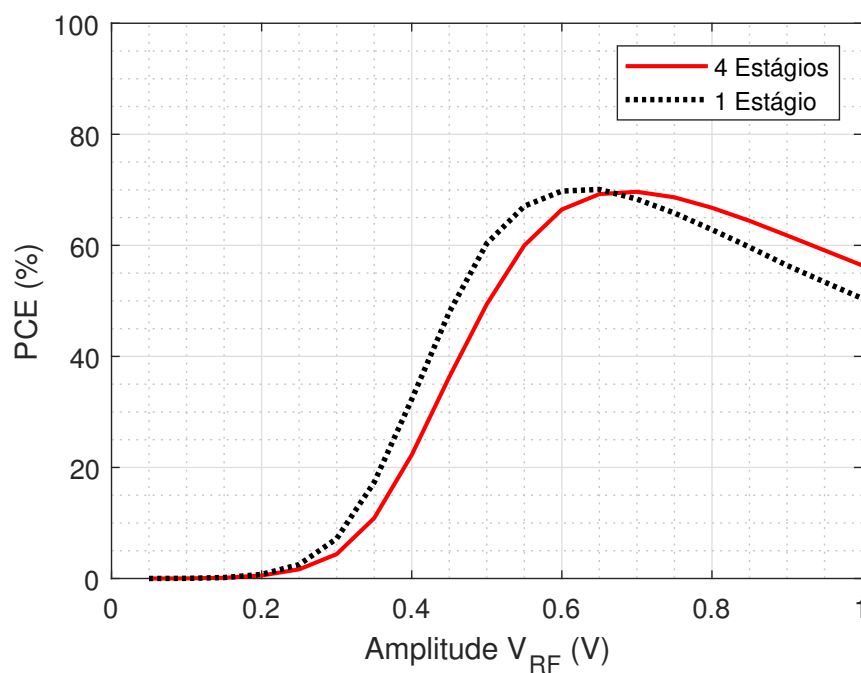


Figura 4.12 – Eficiência versus V_{RF} do retificador com 1 estágio ($5\text{ k}\Omega$) e retificador com 4 estágios ($20\text{ k}\Omega$).



5 RETIFICADOR AJUSTÁVEL

Como visto nos capítulos 3 e 4, o retificador DD é projetado para atender uma determinada carga. A figura 4.12 é uma representação típica da eficiência do retificador em função da tensão de entrada. Possuindo um pico de eficiência em uma amplitude RF específica, conforme a tensão de entrada se afasta do pico, a eficiência diminui.

Ao analisar as curvas de eficiência, figura 4.2 até 4.7, podemos observar que para cada nível de tensão de entrada do retificador, mantendo a carga de saída constante, existe um conjunto de dimensões W/L dos transistores NMOS e PMOS que maximizam a eficiência para cada V_{RF} . Sendo que para amplitudes de entrada maiores, menores dimensões de transistores são necessárias para obtermos uma ótima eficiência. Conseqüentemente, amplitudes de entrada mais baixas, necessitam de transistores maiores.

O objetivo deste projeto é apresentar uma composição simulada de um retificador que se adapta as mudanças na tensão de entrada no bloco retificador com o propósito de obter um maior alcance em ótima eficiência como mostrado na figura 5.1. Para isso será usado o projeto de retificador DD apresentado no capítulo anterior.

Ao ajustarmos o retificador DD podemos conseguir um alcance de operação maior do retificador, conseqüentemente, a WPT pode operar com eficiência maior com baixos níveis de potência além de ter eficiência alta em níveis de potência maiores, ou seja, aumentar a eficiência média em relação as amplitudes de tensão de entrada do retificador DD e conseqüentemente aumentar o alcance de operação eficiente do sistema.

Além disso, o retificador também pode ser projetado para que o ajuste seja feito de forma a atingir maiores níveis de tensão DC na carga de saída. Neste projeto o dimensionamento do retificador será feito com base nas curvas de eficiência.

Figura 5.1 – Projeção da eficiência na conversão de energia do retificador ajustável.

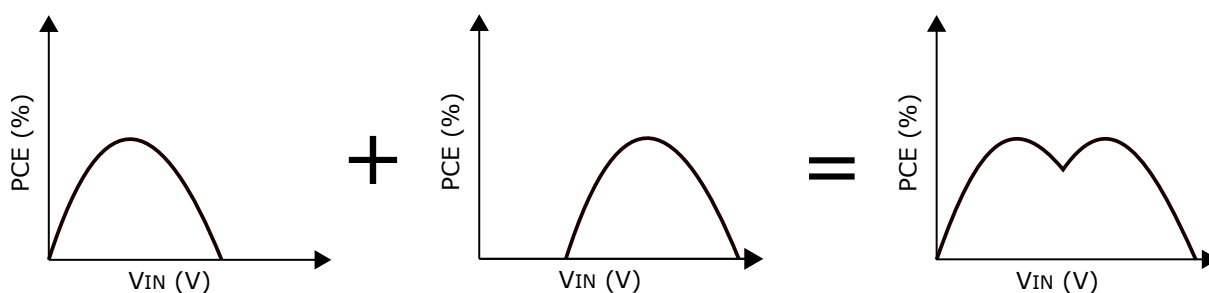
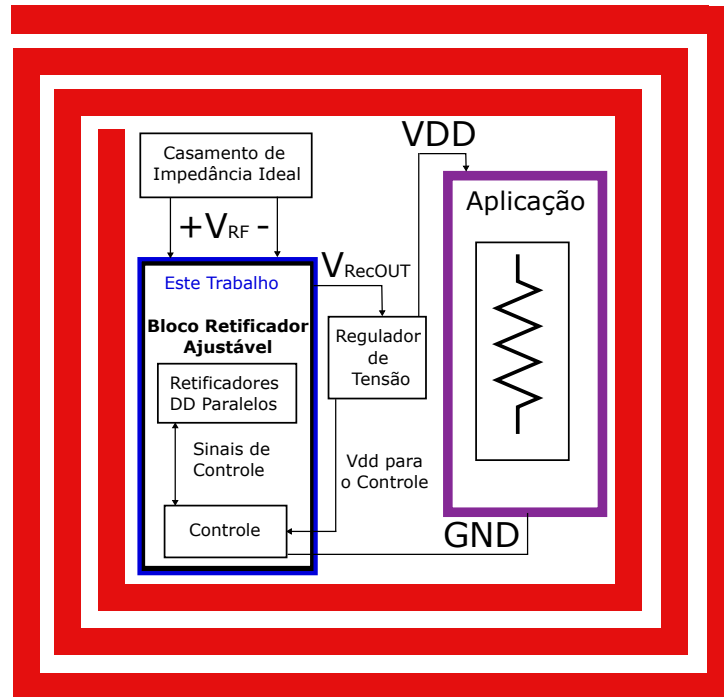


Figura 5.2 – Inserção do trabalho em um Sistema de RF.



5.1 SOLUÇÃO PROPOSTA

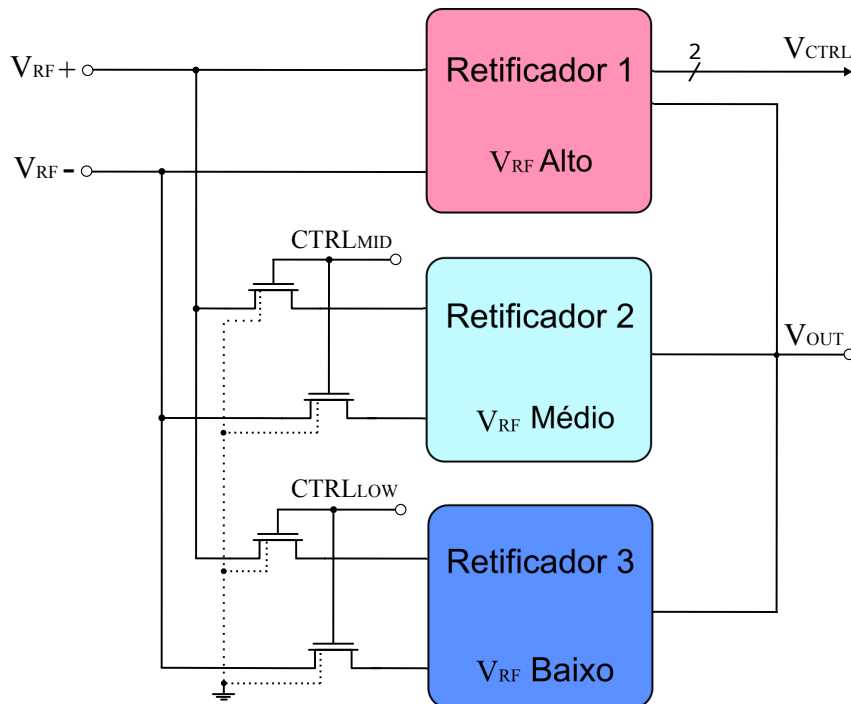
A figura 5.2 mostra uma representação de um sistema de colheita de energia possível para o funcionamento do retificador ajustável. Neste cenário, um acoplamento indutivo é usado como transdutor, o sinal captado através do acoplamento é casado com o retificador e o sinal RF chega pelas entradas V_{RF+} e V_{RF-} do bloco de retificação. Após o processo de retificação, a potência DC é regulada e entregue ao bloco operativo (carga) e ao bloco de controle. O bloco de controle é responsável por detectar o nível de tensão do sinal RF na entrada do retificador e gerar os sinais para o ajuste do retificador.

O retificador ajustável irá funcionar da seguinte maneira: 3 retificadores *differential drive* operando em paralelo com a fonte de sinal RF, como apresentado na figura 5.3. Os blocos serão construídos com dimensões diferentes, com o intuito de operar com alta eficiência em diferentes amplitudes de entrada, sendo que a operação combinada entre eles irá gerar uma eficiência resultante. Desta forma, teremos um retificador equivalente que pode operar em uma gama maior de amplitudes de entrada, mas com uma penalidade de maior área de silício ocupada.

Caso a tensão de entrada V_{RF} seja baixa, mas suficiente para o processo de retificação, o retificador 2 e 3 serão acionados, nesse caso os 3 blocos retificadores estarão em operação em paralelo. Se a tensão de entrada subir, o retificador 3 será cortado. Caso suba mais, o retificador 2 será cortado, funcionando apenas o retificador 1.

O ajuste dos blocos retificadores se dá através de chaves NMOS posicionadas nas entradas V_{RF+} e V_{RF-} dos retificadores. Estas chaves serão acionadas pelo bloco de

Figura 5.3 – Bloco Retificador, composto por 3 retificadores DD, projetados com dimensionamento distinto.



controle, que por sua vez, compara a tensão de entrada RF e gera os sinais de controle $CTRL_{MID}$ e $CTRL_{LOW}$. Com base nesses sinais de controle, teremos 3 estados de operação, dependendo da amplitude de entrada RF.

Como mencionado anteriormente, a escolha dos retificadores será dado através de 3 estados:

- Estado S_L : $CTRL_{MID} = 1$ e $CTRL_{LOW} = 1$. No estado S_L todos os retificadores estarão em operação. Ocorre quando a tensão de entrada V_{RF} for baixa.
- Estado S_M : $CTRL_{MID} = 1$ e $CTRL_{LOW} = 0$. O retificador 3 é desacoplado e os retificadores 1 e 2 estão em operação. Este estado ocorre quando a tensão de entrada V_{RF} aumentar.
- Estado S_H : $CTRL_{MID} = 0$ e $CTRL_{LOW} = 0$. Apenas o retificador 1 acionado. Projetado para ter alta eficiência quando a amplitude V_{RF} for alta. O retificador 1 estará sempre funcionando e é utilizado como referência para o bloco de controle;

O retificador 1 está sempre funcionando, desta forma é possível captar energia RF para o funcionamento do bloco de controle, ainda que com baixa eficiência. Os sinais de controle são gerados a partir de comparadores *schmitt-trigger*, onde o sinal retificado no primeiro e segundo estágios do retificador 1 é processado no bloco de controle.

5.2 PROJETO DO RETIFICADOR AJUSTÁVEL

5.2.1 Escolha das regiões de retificação

Para começar o desenvolvimento do retificador ajustável, precisamos analisar as opções de curvas de eficiência que possuímos. Com isso teremos uma base para iniciar o projeto e estimar as dimensões e os intervalos entre o acionamento dos retificadores resultantes.

Utilizando os mapas de eficiência do capítulo 4 (figuras 4.2 até 4.7) foram selecionadas combinações de dimensão de transistores em regiões de eficiência elevada (vermelho). Como cada figura representa uma tensão V_{RF} diferente, selecionamos um retificador de 1 estágio para cada gráfico, resultando em 6 retificadores, conforme a tabela 5.1.

A figura 5.4 apresenta as curva de eficiência versus V_{RF} dos 6 retificadores, a legenda informa qual gráfico foi utilizado para dimensionar cada retificador, que corresponde a região onde este retificador vai operar com ótima eficiência. Podemos observar na figura 5.4 que os retificadores com dimensões diferentes operam com eficiências elevadas em regiões distintas com base na tensão de entrada.

Tabela 5.1 – Largura do canal W (μm) dos transistores utilizados para análise da eficiência. As dimensões foram escolhidas com base no mapa de eficiências correspondentes as tensões de entrada V_{RF}

	Ret1 400 mV	Ret2 500 mV	Ret3 600 mV	Ret4 700 mV	Ret5 800 mV	Ret6 900 mV
W_P	80	50	30	20	15	10
W_N	60	30	15	10	5	5

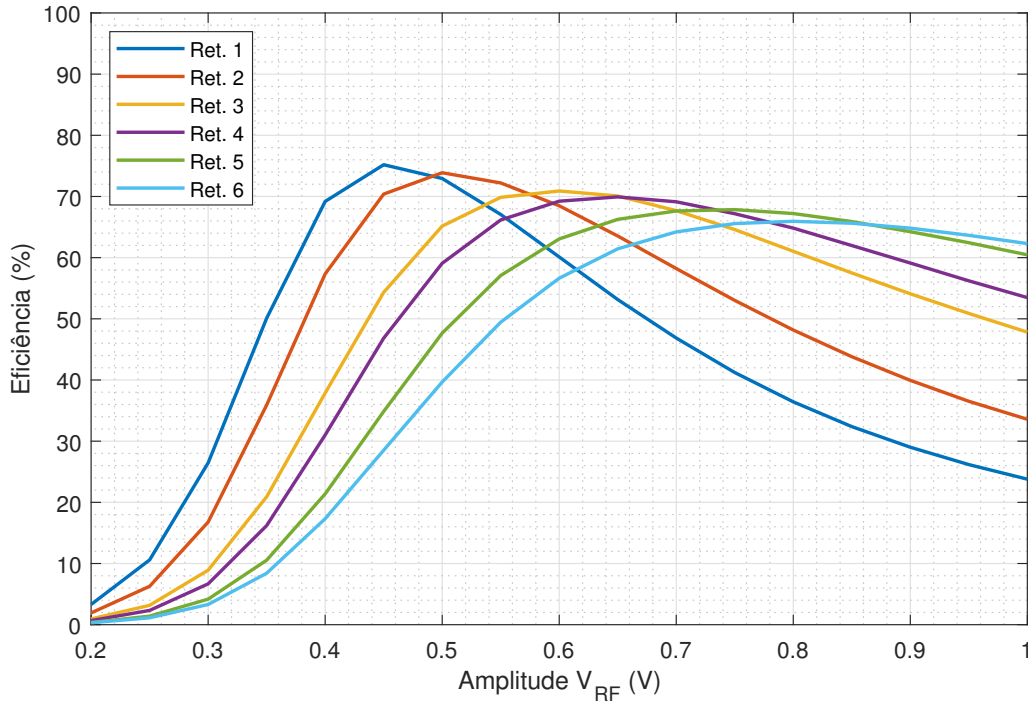
Com base nestas amostras podemos destacar 3 regiões que satisfaçam o nosso objetivo, as duas curvas extremas, 400 mV e 900 mV, e a região central com a curva de 600 mV. Estas dimensões serão utilizadas como base inicial do dimensionamento do retificador ajustável.

5.2.2 Estrutura do retificador ajustável

Com as dimensões iniciais escolhidas na seção anterior, foram projetados 3 retificadores de 4 estágios seguindo os passos do capítulo 4. Após isso, estes retificadores foram posicionados como apresentado na figura 5.3.

Para confirmar as dimensões do retificador ajustável, o ajuste das dimensões é feito considerando os retificadores que estarão acionados em cada estado de retificação.

Figura 5.4 – Eficiência versus amplitude V_{RF} para 6 retificadores DD com 1 estágio. Cada retificador foi projetado com dimensões W_P e W_N de distintas, de acordo com as figuras 4.2 até 4.7.



No estado de retificação S_H , o retificador 1 irá funcionar sozinho, assim as chaves de acionamento dos retificadores 2 e 3 estarão em corte. No estado de retificação S_M , ligam-se os retificadores 1 e 2, e no Estado S_L ligam-se os três blocos retificadores.

O comportamento desejado da associação em blocos retificadores pode ser obtido em função das dimensões esperadas segundo a tabela 5.1, assim, se desejamos operar na curva de $600mV$ juntamos o retificador 1 a um novo retificador 2, figura 5.3, onde W_P e W_N do novo retificador tem as dimensões complementares às do novo estado de retificação, no caso desejado na curva de $600mV$, onde $W_P = 30\mu m$ e $W_N = 15\mu m$, toma-se $W_P = 20\mu m$ e $W_N = 10\mu m$ para o novo retificador 2.

Para o dimensionamento do retificador 3 na figura 5.3 segue-se o mesmo método descrito anteriormente, ou seja, quando os três retificadores operarem juntos, o tamanho dos transistores da associação deverá ser equivalente ao tamanho dos transistores na curva de $400mV$, neste caso $W_P = 50\mu m$ e $W_N = 45\mu m$ para o retificador 3.

As chave NMOS também tem influência na eficiência do conjunto retificador. As dimensões destas chaves que minimizam as perdas no Estado S_M (retificador 1 e 2), foram encontradas por simulação paramétrica, resultando em um $W/L = 80/0.12\mu m$ para o retificador 2 e $W/L = 150/0.12\mu m$ para o retificador 3.

Na tabela 5.2, podemos comparar as dimensões utilizadas nos retificadores DD presentes no retificador ajustável. Observamos também que a largura (W) total dos tran-

sistores foi próxima da obtida na seção anterior para o retificador de $400mV$ ($W_P = 80\mu m$ e $W_N 55\mu m$).

Tabela 5.2 – Largura W (μm) dos transistores utilizados no retificador ajustável, todos os transistores tem $L = 180 nm$

	Ret. 3	Ret. 2	Ret. 1	Total
W_P	50	20	12	82
W_N	45	10	5	60

As chaves NMOS utilizadas para o acionamento dos transistores é posicionada nos terminais V_{RF+} e V_{RF-} dos retificadores 2 e 3. A tensão de gate da chave NMOS vem do bloco de controle, sendo que tensão de controle maior que V_{RF} permite a passagem do sinal RF para o retificador. Quando a tensão de gate da chave for igual a 0 V, permitirá a passagem apenas da parte negativa do sinal V_{RF} de entrada, sendo este sinal insuficiente para o funcionamento do retificador e conseqüentemente o corte do retificador. Foram utilizados grandes transistores NMOS a fim de minimizar a queda de tensão nas chaves, e assim evitar perda de eficiência.

Os capacitores de acoplamento C_P e C'_P foram dimensionado com base nas simulações apresentadas no capítulo de projeto do retificador *differential drive*. Esse procedimento foi feito para cada retificador, variando o capacitor de acoplamento e identificando uma relação de dimensão de capacitor contra eficiência, neste projeto utilizamos os capacitores C_P de $10 pF$ que resultaram em uma considerável melhora na eficiência do estado S_L .

A simulação completa da eficiência em regime permanente para cada estado de retificação pode ser vista na figura 5.5. A curva Estado S_L , corresponde a eficiência quando os 3 retificadores estão em funcionamento. O pico de eficiência de 62% acontece para um tensão de entrada de $475 mV$.

No Estado S_M o pico de eficiência ocorre quando V_{RF} for próximo de $600 mV$, onde a eficiência máxima é de 67%. Por fim, o Estado S_H , onde apenas o retificador 1 está em funcionamento, tem a eficiência máxima é de 66% quando V_{RF} é próximo de $800 mV$.

Aqui observamos uma queda de eficiência no Estado S_H . Quando a tensão de entrada é baixa, o retificador 1 estará operando em baixa eficiência. Conseqüentemente, irá diminuir a eficiência resultante. O retificador 1 precisa estar em funcionamento no sistema proposto, pois também funciona como retificador de referência.

A figura 5.6 mostra a tensão de saída (carga de $20 k\Omega$) do retificador ajustável para os 3 estados de retificação. O retificador operando no Estado S_L , possui uma tensão de saída maior que os estados S_H e S_M para amplitudes de entrada até $775 mV$, onde o estado S_M apresenta uma maior tensão de saída. A partir de $900 mV$, o estado S_H apresenta uma tensão de saída maior.

Figura 5.5 – Eficiência versus V_{RF} para cada estado retificador.

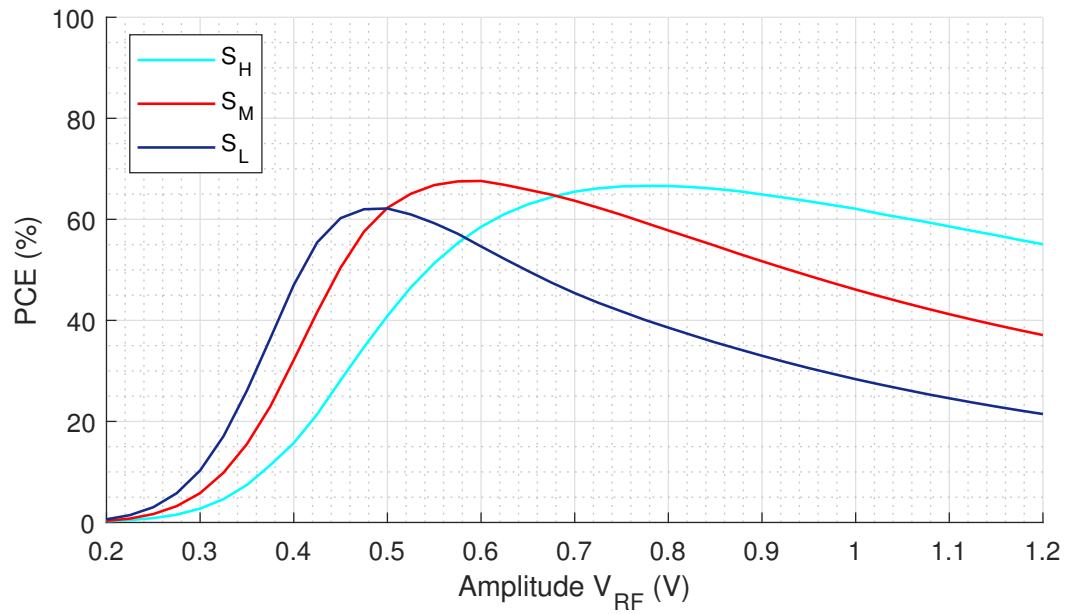
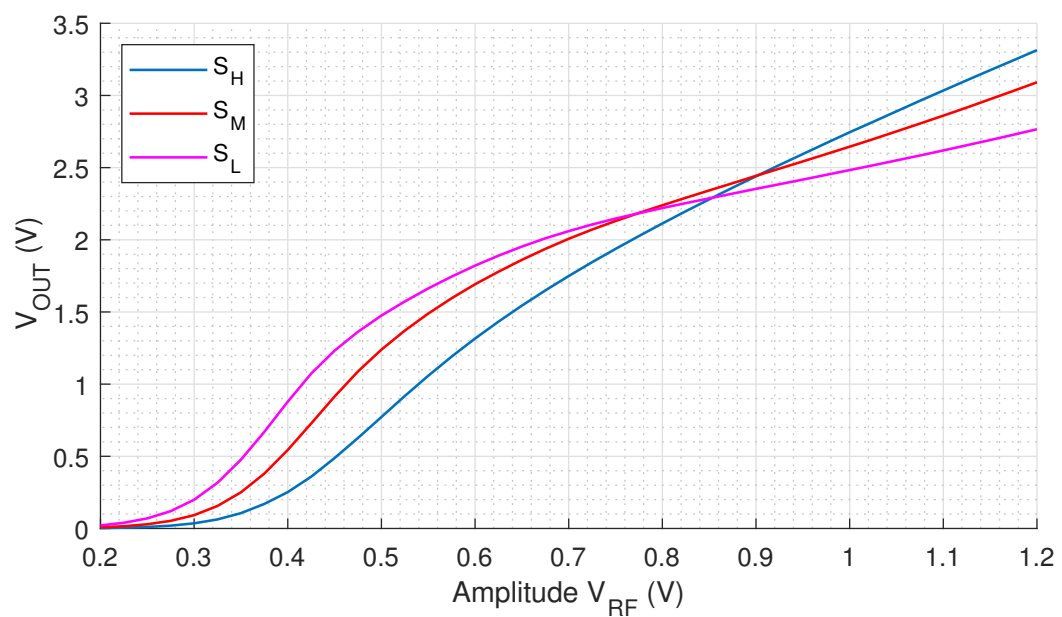


Figura 5.6 – Tensão na saída V_{OUT} versus amplitude de entrada V_{RF} .

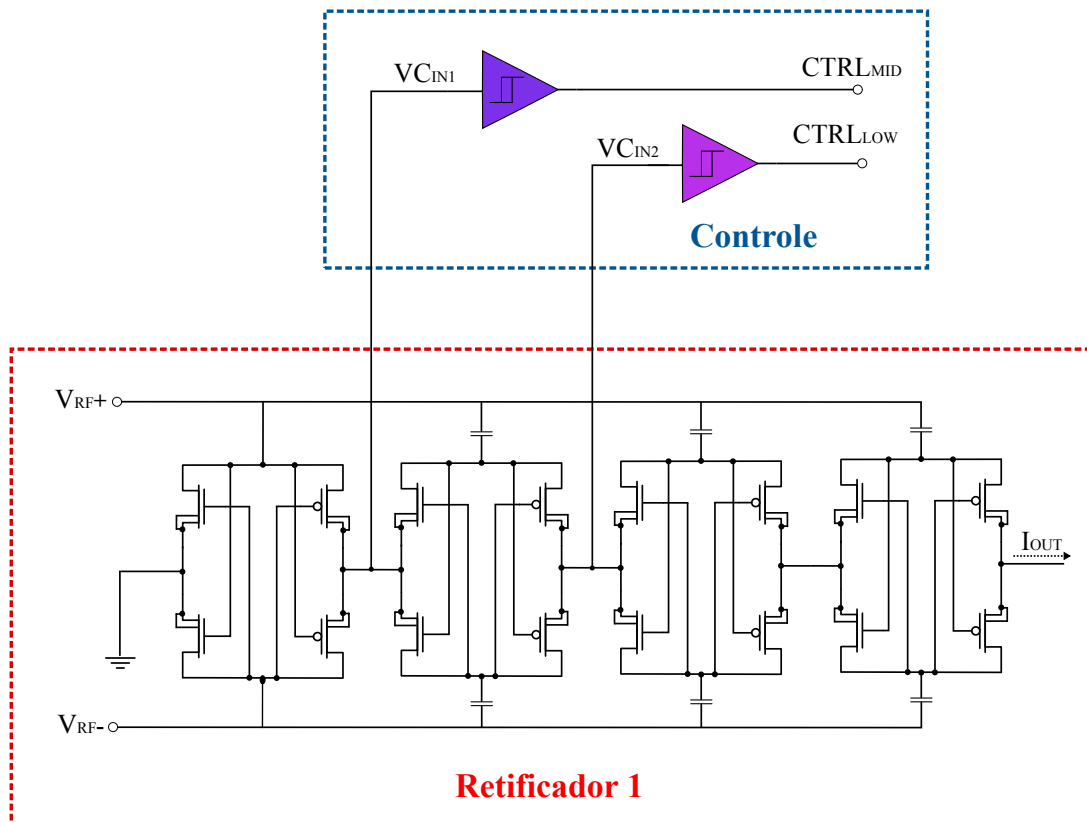


Os valores obtidos para a tensão de saída também dependem do dimensionamento dos transistores nos estágios retificadores. Como nosso objetivo é conseguir uma eficiência média mais alta do que utilizando apenas 1 retificador, os valores da tensão de saída não serão levados em consideração para o ajuste dos estados retificadores, mas em aplicações que a tensão de saída seja mais importante que uma queda na eficiência, o retificador deve ser reajustado conforme a necessidade.

Com essa simulação, podemos destacar 2 pontos de transição para o controle do retificador ajustável. O ponto de 500 mV , onde é a interseção dos estados S_L e S_M . Outro ponto é o de 675 mV , onde o estado S_H começa a ter eficiência maior que o estado S_M . Esses pontos serão utilizados como referência para o bloco de controle fazer as transições de estados.

5.2.3 Bloco de Controle

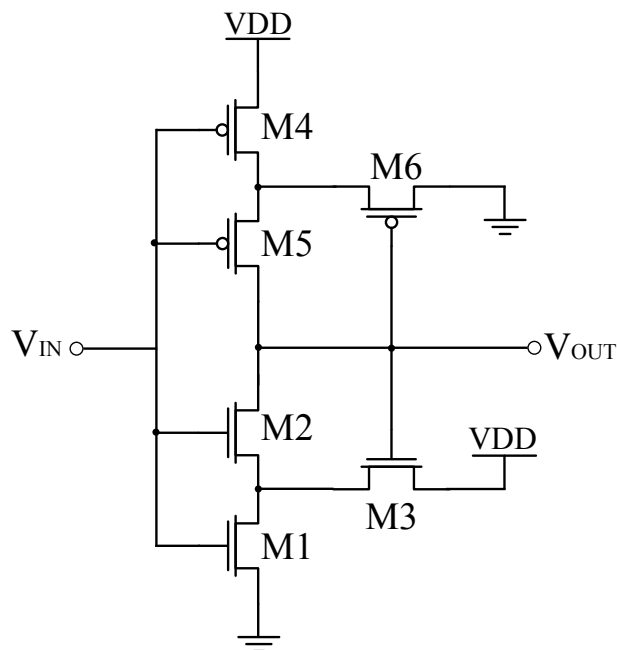
Figura 5.7 – Funcionamento bloco de controle. Os sinais VC_{IN1} e VC_{IN2} vem dos estágios 1 e 2 do retificador 1.



O acionamento dos retificadores 1 e 2 é feito utilizando grandes chaves NMOS posicionadas nas entradas dos retificadores, como visto na figura 5.2. O acionamento destas chaves depende da amplitude de entrada V_{RF} , onde é utilizado um circuito auxiliar para fazer a detecção do estado de retificação e o acionamento das chaves.

O bloco de controle é construído utilizando dois inversores *Schmitt-trigger* (ST), projetados conforme (FILANOVSKY; BALTES, 1994), apresentado na figura . Desta forma, quando a tensão subir a um determinada tensão limiar o retificador correspondente será cortado, de forma análoga, quando o a tensão de entrada diminuir e ficando menor que o outra tensão limiar do inversor, o retificador correspondente será acionado. O uso de inversores ST é convincente nesta aplicação, visto que os sinais oriundos do processo de retificações apresentam componentes na frequência $2GHz$, e pode causar oscilações na saída do controle, com a histerese dos inversores ST esse efeito é minimizado.

Figura 5.8 – Inversor *Schmitt-Trigger* implementado.



O bloco de controle não foi otimizado para o funcionamento em baixos níveis de potência, sendo alimentado por uma fonte de tensão convencional durante as simulações do retificador. O inversor ST será projetado apenas para a validação funcional e comportamental do retificador ajustável, desta forma o consumo de potência dinâmica e estática do bloco de controle não será considerado no cálculo da eficiência do retificador. Os inversores ST juntamente com os blocos auxiliares ao funcionamento do sistema de transmissão de energia serão tema de trabalhos futuros.

A figura 5.7 apresenta o diagrama do bloco de controle que será descrito a seguir. É composto por dois sinais de entrada VC_{IN1} e VC_{IN2} , vindos do retificador 1 e dois sinais de saída que serão utilizados para o acionamento das chaves $CTRL_{MID}$ e $CTRL_{LOW}$ correspondentes aos retificadores 2 e 3, respectivamente.

Sendo que o retificador 1 estará sempre funcionando, ele será usado como referência para o bloco de controle. Pode-se observar na figura 5.7 dois sinais vindos do retificador 1, VC_{IN1} e VC_{IN2} . O sinal VC_{IN1} corresponde a tensão retificada na saída do primeiro estágio do retificador 1, a tensão VC_{IN1} segue pelo inversor ST que gera o sinal

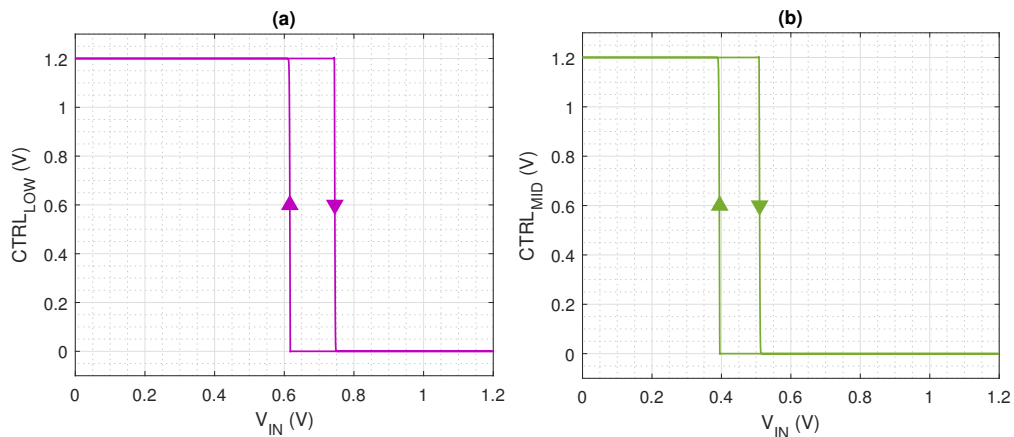
de controle $CTRL_{MID}$ que será utilizado para acionar o retificador 2.

De forma similar, o VC_{IN2} corresponde a tensão retificada no segundo estágio do retificador 1, onde vai para o segundo inversor ST e gera o sinal de controle $CTRL_{LOW}$. Este sinal é utilizado para acionar as chaves do retificador 3. O sinal VC_{IN2} vem do segundo estágio retificador pois os níveis de tensão do primeiro estágio são muito baixos para a histerese inferior do inversor ST projetado.

As tensões de limiar dos inversores ST foram definidas analisando as tensões dos sinais VC_{IN1} e VC_{IN2} quando o retificador está operando nos pontos de transição identificados na figura 5.5, 675 mV e 500 mV .

Na figura 5.6 vemos uma diferença da tensão de saída V_{OUT} entre os estados de retificação para uma mesma amplitude do sinal de entrada V_{RF} , quando o retificador está operando em estado permanente, existe uma diferença de tensão internamente do retificador 1 nos diferentes estados de retificação, logo esta diferença deve ser considerada para a definição da histerese dos inversores ST, pois o controle pode entrar em oscilação.

Figura 5.9 – Operação dos inversores schmitt-trigger que geram os sinais de saída do bloco de controle. (a) Sinal $CTRL_{LOW}$. (b) Sinal $CTRL_{MID}$.

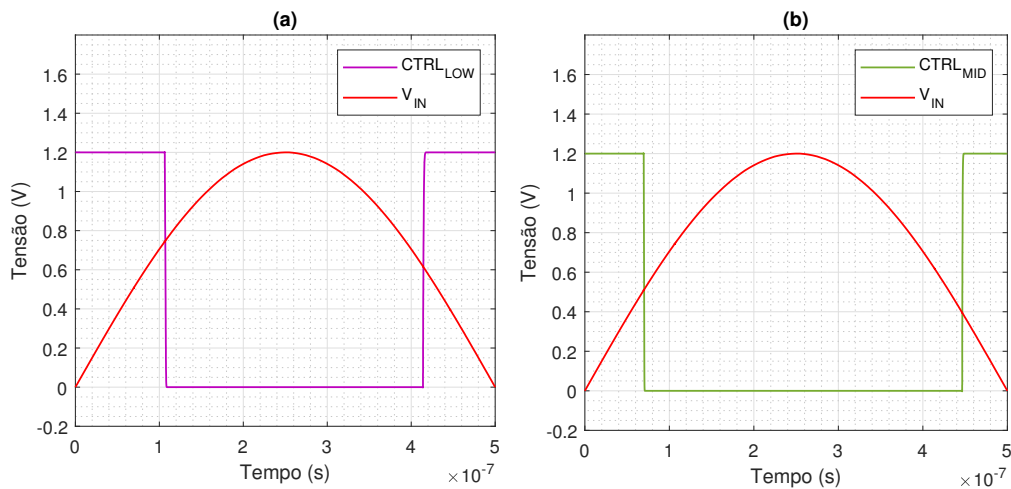


A simulação do funcionamento dos inversores pode ser visto nas figuras 5.9 e 5.10, sendo 5.9.(a) o funcionamento do inversor correspondente ao sinal de controle $CTRL_{LOW}$, já a figura 5.9.(b), corresponde ao inversor *schmitt-trigger* que gera o sinal $CTRL_{MID}$. A figura 5.10 apresenta a simulação transiente dos inversores ST.

5.3 RESULTADOS E DISCUSSÕES

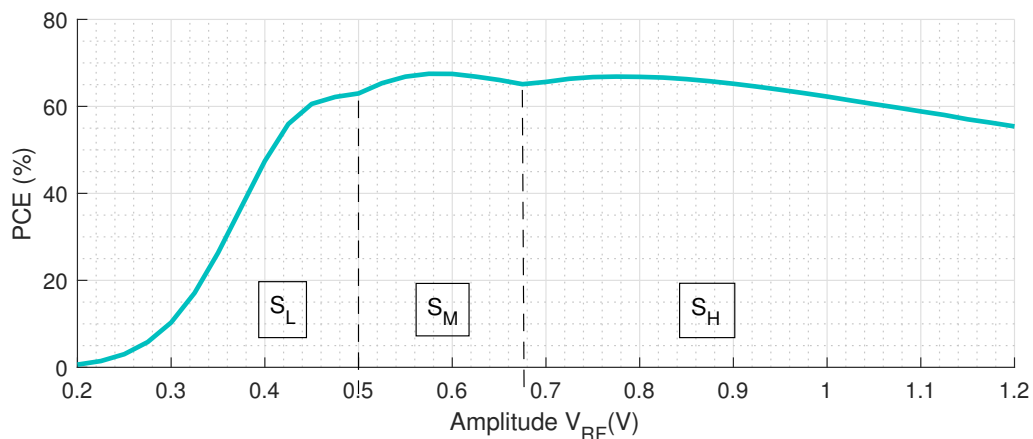
A fim de obter uma melhor resposta em eficiência na conversão de energia para uma gama maior de potências de entrada é proposto uma solução com 3 retificadores com dimensionamentos distintos conectados em paralelo e utilizando um bloco de controle para o acionamento dos blocos retificadores conforme a variação da potência de entrada.

Figura 5.10 – Simulação transiente dos inversores schmitt-trigger que geram os sinais de saída do bloco de controle. (a) Sinal $CTRL_{LOW}$. (b) Sinal $CTRL_{MID}$.



O sistema retificador proposto foi projetado para operar na frequência de 1GHz em uma carga de 20 K Ω . Além disso, cada bloco retificador é composto por um retificador multiestágios *differential drive*, com 4 estágios cada, projetados conforme apresentado no capítulo de projeto do retificador DD.

Figura 5.11 – Eficiência do bloco retificador versus V_{RF} utilizando sinais de controle para ajuste da eficiência.

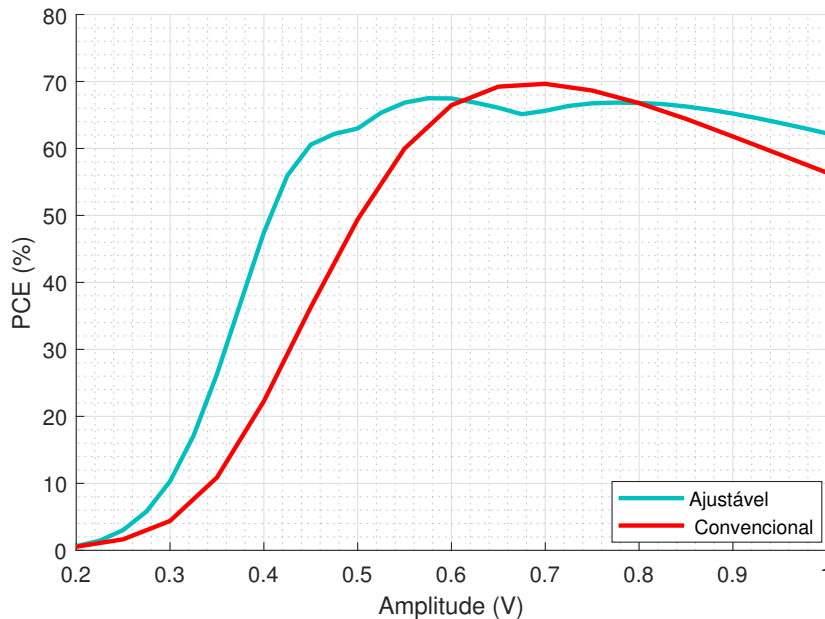


A figura 5.11 apresenta o resultado deste projeto. Nela observamos os três estados de retificação, onde está indicado pontos onde há intervenção do bloco de controle para modificar a eficiência resultante do sistema retificador.

O estado S_L é a região a qual os 3 retificadores estão em funcionamento, projetado para elevar a eficiência resultante da zona de baixa potência. Quando a amplitude da onda V_{RF} na entrada do retificador é 400 mV obtemos 48% de eficiência, e ainda, com o pico de eficiência neste estado ocorrendo próximo da região de transição de estado em 63% quando $V_{RF} = 500mV$.

No estado S_M , região entre $V_{RF} = 500mV$ e $V_{RF} = 675mV$, a eficiência ficou

Figura 5.12 – Comparativo entre eficiência do retificador ajustável (3 retificadores com 4 estágios cada) e o retificador DD convencional com 4 estágios projetado no capítulo 4.



maior que 63% tendo o pico de eficiência em 67% em 575 mV . Finalmente no estado S_H , quando $V_{RF} > 675\text{ mV}$, o pico de eficiência ocorre próximo a 800 mV com 66% neste ponto.

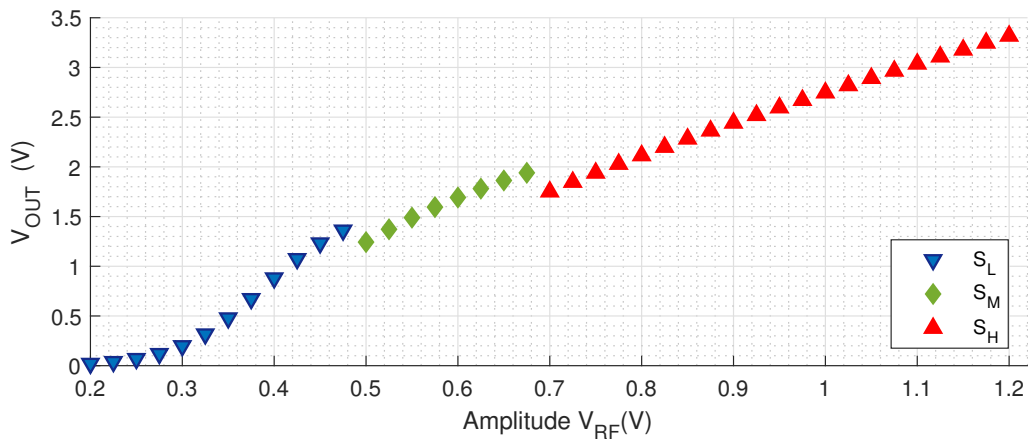
Comparando o retificador proposto, com o as eficiências obtidas na figura 5.4 podemos observar que a eficiência obtida nos estados S_M e S_H são bastante próximas com os eficiências dos retificadores convencionais projetados anteriormente. O mesmo não aconteceu no estado S_L , onde houve uma considerável queda na eficiência. Esta queda ocorre pelo fato de que para esses níveis de tensão o retificador 1 está operando em baixa eficiência, interferindo na eficiência resultante da combinação dos 3 retificadores. Simulações com apenas os retificadores 1 e 3 em funcionamento apresentaram queda na eficiência, sendo então descartado esta combinação neste trabalho.

O retificador ajustável obteve uma eficiência média 13% superior ao retificador DD convencional projetado no capítulo 4, ambos operando com $20\text{ K}\Omega$ de carga de saída, para uma tensão de entrada entre $V_{RF} = 200\text{ mV}$ a $V_{RF} = 1\text{ V}$. A figura 5.12 apresenta a eficiência dos dois retificadores para uma comparação gráfica. Aqui podemos observar que a eficiência máxima do retificador convencional foi 70% em $V_{RF} = 700\text{ mV}$, levemente superior a eficiência máxima do retificador ajustável 68 % em $V_{RF} = 575\text{ mV}$.

Em contrapartida, o retificador ajustável apresentou uma eficiência elevada em comparação ao retificador DD convencional quando $V_{RF} < 625\text{ mV}$ e $V_{RF} > 800\text{ mV}$. Destacamos quando $V_{RF} = 400\text{ mV}$ o retificador ajustável obteve a eficiência de 48%, já o retificador DD convencional obteve 23%.

As tensões médias em estado permanente na saída V_{OUT} versus a amplitude do

Figura 5.13 – Tensão média na saída V_{OUT} versus tensão V_{RF} na entrada do retificador. Tensão retificada na saída utilizando sinais de controle para ajuste do estágio retificador.



o sinal V_{RF} pode ser visto na figura 5.13. Sob uma carga de $20\text{ K}\Omega$ o retificador ajustável obteve uma tensão de saída em 900 mV para amplitude de entrada de 400 mV , quando todos os retificadores estão acionados (Estado S_L). Na região de transição para o estado S_M , há uma queda na tensão média V_{OUT} causada pelo corte do retificador 3. O mesmo efeito pode ser visualizado na próxima região de transição quando o retificador 2 entra em corte.

A tensão máxima obtida em regime permanente no estado S_H foi de 1.38 V , próximo a zona de transição para o estado S_M . O V_{OUT} para o estado S_M ficou entre o intervalo de 1.2 V até 1.95 V . Já no estado S_H , V_{OUT} se manteve superior a 1.7 V .

A tensão de saída de sistemas retificadores multiestágio são objetivos primordiais nos projetos de *energy harvesting*. Para obter níveis maiores de V_{OUT} é necessário fazer o dimensionamento dos blocos retificadores de forma a atingir este objetivo, ao custo de uma provável queda na eficiência. Os pontos de transição entre estados de retificação ficam de acordo com o objetivo, podendo ser ajustável conforme a tensão de saída. Em contrapartida, neste trabalho o objetivo principal foi alterar a curva de eficiência resultante, por esse motivo os pontos de transições foram escolhidos com base na eficiência e não na tensão de saída, conforme demonstrado na figura 5.11.

Finalmente, na figura 5.14 apresentamos uma simulação transiente do retificador ajustável ao variarmos a amplitude máxima do sinal de entrada V_{RF} do retificador ajustável entre 1.1 V e 300 mV . As mudanças bruscas na tensão de saída V_{OUT} correspondem aos pontos de transição de estados de retificação, que estão indicados no canto superior da figura.

Ainda podemos ver o efeito da histerese dos comparadores ST nas mudanças de estados de retificação, juntamente com a carga/descarga dos capacitores C_P dos estágios retificadores e no capacitor C_S na saída do retificador. O efeito "charge-pump" do retificador é evidente, pois a tensão de saída V_{OUT} é superior as amplitudes do sinal de entrada

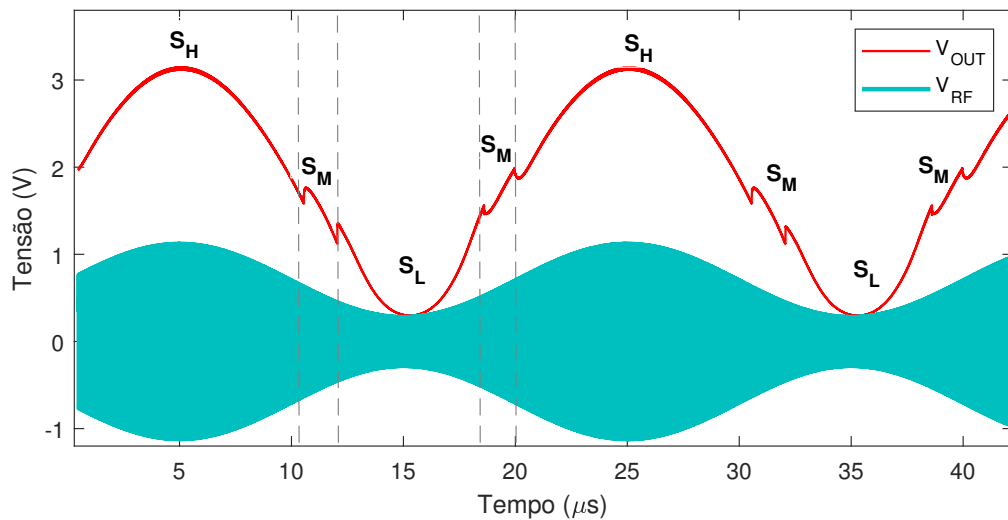


Figura 5.14 – Simulação transiente do retificador ajustável ao aplicarmos um sinal V_{RF} com amplitude modulada. Além disso, é indicado o estado de retificação que o retificador está operando.

V_{RF} . Quando $V_{RF} = 1.1$ a saída V_{OUT} obteve $3.2 V$ na carga $R_L = 20k\Omega$. A eficiência do retificador ajustável neste intervalo de operação foi de 60%.

Tabela 5.3 – Comparativo entre outros trabalhos encontrados na literatura.

	Este Trabalho	(Scorcioni et al., 2013)	(LU et al., 2016)	(KHAN et al., 2020)
Tecnologia	$0.13 \mu m$	$0.13 \mu m$	$65 nm$	$0.18 \mu m$
Frequência	$1 GHz$	$868 MHz$	$900 MHz$	$902 MHz$
Eff. Pico	67 %	60 %	36.5 %	33 %
Ajustes	3	2	2	2
Carga	$20 K\Omega$	<i>off-chip capacitor</i>	$147 K\Omega$	$200 K\Omega$

Na tabela 5.3 é feito o comparativo entre os resultados obtidos com outros trabalhos usando retificadores ajustáveis. O principal motivo da eficiência elevada comparada com os outros trabalhos é o fato de estarmos em um ambiente simulado, sem as perdas relacionadas ao acoplamento indutivo, caso dos trabalhos Lu et al. (2016) e Khan et al. (2020). Além disso, as medidas dos trabalhos comparados foram feitas após a fabricação do circuito integrado. A eficiência de 60% do trabalho de Scorcioni, Larcher e Bertacchini (2013) corresponde a eficiência do retificador fabricado. No nosso trabalho, a eficiência de 67 % corresponde ao retificador simulado a nível de esquemático elétrico.

6 CONCLUSÃO

Circuitos retificadores integrados são essenciais em aplicações que necessitam a transmissão ou captura de energia eletromagnética para um dispositivo móvel, sendo responsável pela transformação da forma de energia variante no tempo (AC) em energia contínua (DC) a fim de energizar as aplicações a que o dispositivo móvel se propõe. Estes circuitos retificadores devem operar em ótima eficiência e são blocos cruciais neste quesito, visto que a eficiência está diretamente atrelada ao projeto do retificador conforme os níveis de potência disponíveis e a quantidade de energia que deve ser entregue ao restante do circuito.

O trabalho apresentado demonstra uma metodologia de projeto baseada em simulação elétrica para o dimensionamento de uma célula retificadora do tipo *differential drive*, bem como a extensão do modelo para alcance de maiores tensões sob forma de cascadeamento de células, sempre explorando os espaços de projeto visando a melhor eficiência possível.

O mesmo também evidencia o comportamento da célula retificadora frente a variação da tensão de entrada e as dimensões dos transistores das células, demonstrando como a célula retificadora pode adaptar-se em termos de tamanho dos transistores para operar com a melhor eficiência. Os resultados obtidos para células individuais equiparam-se aos de resultados de outros trabalhos encontrados na literatura, porém com a composição de associação de retificadores estende-se a faixa útil e otimizada da operação do conjunto retificador.

Neste cenário, é proposto um sistema retificador ajustável capaz de adaptar-se as variações de potência em que ambientes de EH e WPT estão propensos. Também é proposto um circuito de controle para o ajuste destes conjuntos retificadores capaz de proporcionar um funcionamento dinâmico mais eficiente e robusto em termos de operação em um platô de eficiência máxima. Os resultados, demonstrados por simulação elétrica nos casos estudados, alcançam um nível médio de eficiência maior que 60% para tensões de entrada entre 450 mV e 1.1 V @ 1 GHz , para uma carga de $20\text{ K}\Omega$.

O retificador apresentado pode ser aplicado em situações onde o circuito a ser alimentado deverá operar a níveis ótimos de eficiência para diferentes níveis de potência disponível para retificação, ou ainda, para diferentes modos de operação em que valores variados de corrente entregue ao circuito sejam necessárias. O retificador ajustável também pode ser utilizado em situações onde for possível perceber um ganho no alcance de operação do sistema, e que este ganho seja benéfico levando em conta um maior custo de produção do circuito, pois o retificador ajustável possui área em silício evidentemente maior que retificadores DD convencionais.

O projeto do retificador parte do pressuposto que existe um casamento de impedân-

cias disponíveis para este retificador, mas para aplicações práticas técnicas de casamento de impedâncias variável, como apresentado em (STOOPMAN et al., 2014) por exemplo, devem ser avaliadas. O controle utilizando inversores ST devem ser aprimorados para operarem em baixos níveis de potência e com precisão em diferentes níveis de tensão VDD. Em futuros trabalhos, tendo como meta a realização do sistema WPT completo, ainda deverão ser consideradas outras implementações no projeto, como o casamento de impedância do acoplamento entre o transdutor e a entrada do retificador e um regulador de tensão para alimentação do circuito de controle.

REFERÊNCIAS BIBLIOGRÁFICAS

- BISDIKIAN, C. An overview of the bluetooth wireless technology. **IEEE Communications magazine**, IEEE, v. 39, n. 12, p. 86–94, 2001.
- BROWN, W. C. The history of wireless power transmission. **Solar energy**, Elsevier, v. 56, n. 1, p. 3–21, 1996.
- CHANG, Y.; CHOUHAN, S. S.; HALONEN, K. A scheme to improve pce of differential-drive cmos rectifier for low rf input power. **Analog Integrated Circuits and Signal Processing**, Springer, v. 90, n. 1, p. 113–124, 2017.
- DAI, H. et al. A review and design of the on-chip rectifiers for rf energy harvesting. In: IEEE. **Wireless Symposium (IWS), 2015 IEEE International**. [S.l.], 2015. p. 1–4.
- DICKSON, J. F. On-chip high-voltage generation in mnos integrated circuits using an improved voltage multiplier technique. **IEEE Journal of solid-state circuits**, IEEE, v. 11, n. 3, p. 374–378, 1976.
- ESKIYERLI, M. **Differential Drive CMOS Rectifiers for RF Energy Harvesting**. [S.l.], 2016. 29 p.
- FILANOVSKY, I.; BALTES, H. Cmos schmitt trigger design. **IEEE Transactions on Circuits and Systems I: Fundamental Theory and Applications**, IEEE, v. 41, n. 1, p. 46–49, 1994.
- GRASSO, L. et al. Codesign of differential-drive cmos rectifier and inductively coupled antenna for rf harvesting. **IEEE Transactions on Microwave Theory and Techniques**, IEEE, v. 68, n. 1, p. 365–376, 2019.
- GU, X. et al. Environment-aware adaptive energy harvesters for iot applications. In: **Proc. 2019 MTT-S Int. Wireless Symp.** [S.l.: s.n.], 2019.
- GULER, U.; GHOVANLOO, M. Power management in wireless power-sipping devices: A survey. **IEEE circuits and systems magazine**, IEEE, v. 17, n. 4, p. 64–82, 2017.
- GULER, U.; JIA, Y.; GHOVANLOO, M. A reconfigurable passive rf-to-dc converter for wireless iot applications. **IEEE Transactions on Circuits and Systems II: Express Briefs**, IEEE, v. 66, n. 11, p. 1800–1804, 2019.
- HADDAD, P.-A.; RASKIN, J.-P.; FLANDRE, D. Automated design of a 13.56 mhz corner-robust efficient differential drive rectifier for 10 μ a load. In: IEEE. **2016 IEEE International Symposium on Circuits and Systems (ISCAS)**. [S.l.], 2016. p. 1822–1825.
- HUANG, J. et al. Wireless power transfer and energy harvesting: Current status and future prospects. **IEEE wireless communications**, IEEE, v. 26, n. 4, p. 163–169, 2019.
- KHAN, D. et al. An efficient reconfigurable rf-dc converter with wide input power range for rf energy harvesting. **IEEE Access**, IEEE, v. 8, p. 79310–79318, 2020.
- KURS, A. et al. Wireless power transfer via strongly coupled magnetic resonances. **science**, American Association for the Advancement of Science, v. 317, n. 5834, p. 83–86, 2007.
- LU, X. et al. Wireless networks with rf energy harvesting: A contemporary survey. **IEEE Communications Surveys & Tutorials**, IEEE, v. 17, n. 2, p. 757–789, 2014.

LU, Y. et al. A wide input range dual-path cmos rectifier for rf energy harvesting. **IEEE Transactions on Circuits and Systems II: Express Briefs**, IEEE, v. 64, n. 2, p. 166–170, 2016.

LU, Y.; KI, W.-H. **CMOS Integrated Circuit Design for Wireless Power Transfer**. [S.l.]: Springer, 2018.

MANDAL, S.; SARPESHKAR, R. Low-power cmos rectifier design for rfid applications. **IEEE Transactions on Circuits and Systems I: Regular Papers**, IEEE, v. 54, n. 6, p. 1177–1188, 2007.

RIAÑO, F. L. C. et al. **Contribuições à otimização da eficiência na transferência de energia sem-fio para dispositivos eletrônicos miniaturizados**. 2016. Tese (Doutorado) — UFSC, 2016.

SASAKI, A.; KOTANI, K.; ITO, T. Differential-drive cmos rectifier for uhf rfids with 66% pce at-12 dbm input. In: IEEE. **2008 IEEE Asian Solid-State Circuits Conference**. [S.l.], 2008. p. 105–108.

SCORCIONI, S.; LARCHER, L.; BERTACCHINI, A. A reconfigurable differential cmos rf energy scavenger with 60% peak efficiency and-21 dbm sensitivity. **IEEE Microwave and Wireless Components Letters**, IEEE, v. 23, n. 3, p. 155–157, 2013.

SHADID, R.; NOGHANIAN, S.; NEJADPAK, A. A literature survey of wireless power transfer. In: IEEE. **2016 IEEE International Conference on Electro Information Technology (EIT)**. [S.l.], 2016. p. 0782–0787.

SHINOHARA, N. History and innovation of wireless power transfer via microwaves. **IEEE Journal of Microwaves**, IEEE, v. 1, n. 1, p. 218–228, 2021.

SINGH, J.; KAUR, R.; SINGH, D. Energy harvesting in wireless sensor networks: A taxonomic survey. **International Journal of Energy Research**, Wiley Online Library, v. 45, n. 1, p. 118–140, 2021.

STOOPMAN, M. et al. Co-design of a cmos rectifier and small loop antenna for highly sensitive rf energy harvesters. **IEEE Journal of Solid-State Circuits**, IEEE, v. 49, n. 3, p. 622–634, 2014.

TESLA, N. The transmission of electrical energy without wires. **Electrical World and Engineer**, McGraw Publishing Company New York, NY, USA, v. 1, p. 21–24, 1904.

WILLIAMS, A. J. et al. Survey of energy harvesting technologies for wireless sensor networks. **IEEE Access**, IEEE, 2021.