

**UNIVERSIDADE FEDERAL DE SANTA MARIA
CENTRO DE TECNOLOGIA
ENGENHARIA DE COMPUTAÇÃO**

**PROJETO E ANÁLISE DE MODULADORES
SIGMA-DELTA EM TEMPO CONTÍNUO EM
TECNOLOGIAS CMOS**

TRABALHO DE CONCLUSÃO DE CURSO

Raphael Andreoni Camponogara Viera

Santa Maria, RS, Brasil

2014

PROJETO E ANÁLISE DE MODULADORES SIGMA-DELTA EM TEMPO CONTÍNUO EM TECNOLOGIAS CMOS

Raphael Andreoni Camponogara Viera

Trabalho de Conclusão de Curso apresentado ao curso de Engenharia de
Computação da Universidade Federal de Santa Maria (UFSM, RS), como
requisito parcial para a obtenção do grau de
Engenheiro de Computação

Orientador: Prof. Dr. César Augusto Prior

Santa Maria, RS, Brasil

2014

Camponogara Viera, Raphael Andreoni

Projeto e análise de moduladores sigma-delta em tempo contínuo em tecnologias CMOS / por Raphael Andreoni Camponogara Viera. – 2014.

92 f.: il.; 30 cm.

Orientador: César Augusto Prior

Monografia (Graduação) - Universidade Federal de Santa Maria, Centro de Tecnologia, curso de Engenharia de Computação, RS, 2014.

1. Conversão AD. 2. Modulador Sigma-Delta em Tempo Contínuo. 3. Análise de Estabilidade. I. Prior, César Augusto. II. Título.

© 2014

Todos os direitos autorais reservados a Raphael Andreoni Camponogara Viera. A reprodução de partes ou do todo deste trabalho só poderá ser feita mediante a citação da fonte.

E-mail: raphael@ieee.org

**Universidade Federal de Santa Maria
Centro de Tecnologia
Engenharia de Computação**

A Comissão Examinadora, abaixo assinada,
aprova o Trabalho de Conclusão de Curso

**PROJETO E ANÁLISE DE MODULADORES SIGMA-DELTA EM
TEMPO CONTÍNUO EM TECNOLOGIAS CMOS**

elaborado por
Raphael Andreoni Camponogara Viera

como requisito parcial para obtenção do grau de
Engenheiro de Computação

COMISSÃO EXAMINADORA:

César Augusto Prior, Dr.
(Presidente/Orientador)

César Ramos Rodrigues, Dr. (UFSM)

Paulo César Comassetto de Aguirre, Me. (UNIPAMPA)

Santa Maria, 05 de Dezembro de 2014.

Aos meus pais.

AGRADECIMENTOS

Aos meus pais, Cecília Camponogara Viera e Edison Roberto Costa Viera pelo amor fraternal e incondicional, pelo apoio, confiança e incentivo.

À minha mais cara companheira e amiga Suzane Franciscatto de Paula pela compreensão e suporte. E à sua família pela excelente acolhida e convívio.

Ao colega de laboratório (Gmicro) Jorge de La Cruz pelas valiosas dicas e disposição para auxiliar.

Ao professor João Baptista pela amizade e por ter proporcionado o contato com o projeto de moduladores Sigma-Delta.

Aos Professores Cesar Augusto Prior pela colaboração e sugestões durante o projeto e também pela amizade fora do ambiente acadêmico.

Aos professores Paulo César Comassetto e César Ramos Rodrigues pela análise do trabalho, e trocas de informações ao longo do projeto.

Ao professor André Luiz Aita pela colaboração e críticas sempre construtivas.

Aos professores Marcelino Bicho dos Santos e Jorge Fernandes do Instituto Superior Técnico de Lisboa que mostraram de uma forma bastante interessante o caminho para o projeto de circuitos analógicos.

Ao meu mais caro amigo Alonso Aymone de Almeida Schmidt pela amizade incondicional. E à sua família pela amizade desde a infância.

Aos demais que porventura fizeram parte da minha formação acadêmica.

“Só se pode alcançar um grande êxito quando nos mantemos fiéis a nós mesmos.”

— FRIEDRICH WILHELM NIETZSCHE

RESUMO

Trabalho de Conclusão de Curso
Engenharia de Computação
Universidade Federal de Santa Maria

PROJETO E ANÁLISE DE MODULADORES SIGMA-DELTA EM TEMPO CONTÍNUO EM TECNOLOGIAS CMOS

AUTOR: RAPHAEL ANDREONI CAMPONOGARA VIERA

ORIENTADOR: CÉSAR AUGUSTO PRIOR

Local da Defesa e Data: Santa Maria, 05 de Dezembro de 2014.

Este trabalho apresenta o projeto de moduladores sigma-delta ($\Sigma\Delta M$) em tempo contínuo para sinais com largura de banda do sinal de 0,2 MHz e razão sinal ruído (SNR) de 78 dB, os quais são as especificações para o padrão GSM. São implementados três moduladores *single-bit* de laço único com filtro do tipo passa-baixa, onde um dos moduladores é de segunda ordem e dois de terceira ordem, sendo que um dos moduladores de ordem superior terá uma função de transferência do ruído (NTF) mais agressiva, desta forma, é feita uma análise sobre a estabilidade e a real performance dos moduladores quando comparados à sua performance ideal. A análise sobre a estabilidade poderá ser aplicada para moduladores sigma-delta em tempo contínuo ou tempo discreto de modo que será utilizada teoria de controle e de filtros. Simulações no nível de abstração do sistema mostram que a arquitetura de segunda ordem apresenta uma razão sinal ruído equivalente ao de terceira ordem quando a estabilidade é considerada. Além disso, várias não idealidades são analisadas de modo a confirmar a robustez do modulador de segunda ordem. Os resultados da implementação elétrica mostram que o modulador de segunda ordem atinge uma SNR superior a dos moduladores de alta ordem devido a outras não idealidades presentes no projeto de circuitos CMOS. Os resultados finais representam uma redução significativa na complexidade do projeto do modulador assim como no consumo de energia. Portanto, este trabalho enfatiza que o projetista deverá avaliar o sistema antes de partir para a implementação baseando-se apenas na equação que prediz a SNR ideal de um modulador sigma-delta, de modo que a implementação de um modulador mais simples poderá resultar em uma performance semelhante.

Palavras-chave: Conversão AD. Modulador Sigma-Delta em Tempo Contínuo. Análise de Estabilidade.

ABSTRACT

Undergraduate Final Work
Computer Engineering
Federal University of Santa Maria

DESIGN AND ANALYSIS OF SIGMA-DELTA MODULATORS IN CONTINUOUS TIME IN CMOS TECHNOLOGIES

AUTHOR: RAPHAEL ANDREONI CAMPONOGARA VIERA

ADVISOR: CÉSAR AUGUSTO PRIOR

Defense Place and Date: Santa Maria, December 05th, 2014.

This work presents the design of a continuous time sigma-delta modulator with a 0.2 MHz signal bandwidth and 78 dB signal-to-noise ratio (SNR), which are the specifications for the GSM standard. Three single-loop, single-bit, low-pass modulators are implemented, being one of second order and two of third order, where the one with higher order has a more aggressive noise transfer function. A stability analysis is performed together with the real modulators performance when compared with the ideal one. The stability analysis can be applied for continuous or discrete time modulators since control and filter theory are used. System level results show that the second and third order architectures have equivalent signal-to-noise ratios when stability is considered. Besides, several non-idealities are compared in order to verify the second order modulator robustness. Results from the electrical implementation show that the modulator achieves a superior signal-to-noise ratio than the counterparts due to other non-idealities present in CMOS circuits. Final results reveals a significant reduction in the modulator design and power consumption. Therefore, this work emphasizes that the designer should perform a thorough system analysis before implement the modulator resorting only in the ideal equation that predict the sigma-delta modulator performance in order to verify if a simple architecture could result in a similar performance than a more complex system.

Keywords: Analog-to-Digital Converter. Continuous Time Sigma-Delta Modulator. Stability Analysis.

LISTA DE FIGURAS

Figura 2.1 – Diagrama de blocos generalizado de um conversor A/D do tipo Nyquist.	20
Figura 2.2 – Filtro anti-alias para ADC do tipo Nyquist.	21
Figura 2.3 – Filtro anti-alias para ADC sobreamostrado.	21
Figura 2.4 – Diagrama de blocos de um quantizador <i>single-bit</i>	22
Figura 2.5 – Processo de quantização <i>single-bit</i>	22
Figura 2.6 – Erro de quantização <i>single-bit</i>	23
Figura 2.7 – Modelo linear de um quantizador com ruído branco.	23
Figura 2.8 – Ruído de quantização (a) função densidade de probabilidade (b) densidade de potência espectral.	24
Figura 2.9 – Efeito de <i>noise-shaping</i>	25
Figura 2.10 – Modulador $\Sigma\Delta$. (a) Diagrama de blocos (b) modelo com aproximação linear.	26
Figura 2.11 – Métricas de performance de um $\Sigma\Delta M$	29
Figura 2.12 – Efeito do <i>noise-shaping</i> para $\Sigma\Delta M$ com ordem até 5.	30
Figura 2.13 – Efeito da sobreamostragem para $\Sigma\Delta M$ com ordem até 5.	31
Figura 3.1 – Diagrama de blocos de um modulador $\Sigma\Delta$ em tempo contínuo.	32
Figura 4.1 – Diagrama de blocos do modulador. (a) Segunda ordem (b) Terceira ordem.	38
Figura 5.1 – Efeito do <i>jitter</i> no sinal do DAC.	41
Figura 5.2 – Modelagem do <i>jitter</i> em Matlab/Simulink®.	41
Figura 5.3 – Efeito do <i>jitter</i> na performance do modulador.	41
Figura 5.4 – Efeito do ELD no sinal de realimentação do sistema.	42
Figura 5.5 – Modelagem do ELD em Matlab/Simulink®.	42
Figura 5.6 – Efeito do ELD na performance do modulador.	43
Figura 5.7 – Modelo do integrador RC ativo.	43
Figura 5.8 – Efeito do ganho na performance do modulador. (a) Primeiro integrador. (b) Segundo integrador.	44
Figura 5.9 – Efeito do GBW na performance do modulador. (a) Primeiro integrador (b) segundo integrador.	45
Figura 5.10 – Modelagem do integrador em Matlab/Simulink®.	46
Figura 5.11 – Efeito do SR na performance do modulador. (a) Primeiro integrador (b) segundo integrador.	47
Figura 5.12 – Efeito do erro da constante de tempo. (a) Histograma do modulador de ordem 2 com $\ H\ _{\infty} = 1,5$ (b) histograma do modulador de ordem 3 com $\ H\ _{\infty} = 1,5$ (c) histograma do modulador de ordem 3 com $\ H\ _{\infty} = 1,16$ (d) distribuição gaussiana normal.	48
Figura 5.13 – SNR versus amplitude do sinal de entrada. Performance no nível de abstração do sistema.	51
Figura 6.1 – Máxima amplitude estável do sinal.	53
Figura 6.2 – <i>Root Locus</i>	54
Figura 6.3 – Modulador $\Sigma\Delta$ (a) NTF (b) STF.	55
Figura 6.4 – Critério de estabilidade.	56
Figura 7.1 – Esquemático do modulador $\Sigma\Delta$ em nível elétrico. (a) Segunda ordem (b) terceira ordem.	57
Figura 7.2 – Esquemático amplificador.	60
Figura 7.3 – Esquemático do circuito de modo comum.	60
Figura 7.4 – Resposta em frequência. (a) Primeiro amplificador (b) segundo amplificador.	61

Figura 7.5 – Esquemático. (a) Comparador dinâmico (b) Latch.	63
Figura 7.6 – Resultados de simulação do comparador.	64
Figura 7.7 – Esquemático do DAC.	65
Figura 7.8 – Resultados de simulação DAC.	66
Figura 8.1 – Histogramas. (a) 1° e 2° integrador (Ordem 2, $H_{inf} = 1, 5$) (b) 1° a 3° integrador (Ordem 3, $H_{inf} = 1, 5$) (c) 1° a 3° integrador (Ordem 3, $H_{inf} = 1, 16$).	67
Figura 8.2 – Spectra do modulador $\Sigma\Delta$. (a) Ordem 2, $H_{inf} = 1, 5$ (b) Ordem 3, $H_{inf} = 1, 5$ (c) Ordem 3, $H_{inf} = 1, 16$	68
Figura 8.3 – SNR versus amplitude do sinal de entrada. Performance a nível de circuito. .	69
Figura A.1 – Janela de configuração do quantizador no Simulink.	81
Figura B.1 – Janela de configuração do DAC no Simulink.	85
Figura C.1 – Diagrama de blocos do modulador de terceira ordem no Simulink.	88
Figura D.1 – Diagrama de blocos do modulador de segunda ordem no Simulink.	89

LISTA DE TABELAS

Tabela 1.1 – Performance de moduladores.....	18
Tabela 3.1 – Vantagens de moduladores $\Sigma\Delta$ em CT e DT.....	33
Tabela 4.1 – Especificações de projeto.	37
Tabela 4.2 – Parâmetros dos moduladores $\Sigma\Delta$	38
Tabela 4.3 – Coeficientes dos moduladores $\Sigma\Delta$ em CT.....	39
Tabela 5.1 – Especificações de algumas não-idealidades.	50
Tabela 5.2 – Performance no nível de abstração do sistema.....	51
Tabela 7.1 – Dimensão dos dispositivos RC.	58
Tabela 7.2 – Dimensão dos dispositivos dos amplificadores.	62
Tabela 7.3 – Dimensão dos dispositivos do CMFB.....	62
Tabela 7.4 – Dimensão dos dispositivos do quantizador.	64
Tabela 7.5 – Dimensão dos dispositivos do DAC.....	66
Tabela 8.1 – Performance no nível de abstração do circuito.....	70

LISTA DE APÊNDICES

APÊNDICE A – Código C do quantizador	81
APÊNDICE B – Código C do DAC	85
APÊNDICE C – Diagrama de blocos do modulador de terceira ordem	88
APÊNDICE D – Diagrama de blocos do modulador de segunda ordem	89
APÊNDICE E – Comparador ideal em VHDL-AMS	90
APÊNDICE F – DAC (com slew rate e excess loop delay) em VHDL-AMS	91
APÊNDICE G – Amplificador (com ganho e GBW) em VHDL-AMS	92

LISTA DE ABREVIATURAS E SIGLAS

AD	Analógico-Digital
ADC	<i>Analog-to-Digital Converter</i> , Conversor Analógico-Digital
CIFF	<i>Cascade of Integrators in Feed-Forward</i> , Cascata de Integradores com Alimentação em Avanço
CIFB	<i>Cascade of Integrators Feedback</i> , Cascata de Integradores com Realimentação
CMFB	<i>Common Mode Feedback</i> , Realimentação de Modo Comum
CMOS	<i>Complementary Metal Oxide Semiconductor</i> , Semicondutor Metal-Óxido Complementar
CT	<i>Continuous Time</i> , Tempo Contínuo
DAC	<i>Digital-to-Analog Converter</i> , Conversor Digital-Analógico
DR	<i>Dynamic Range</i> , Faixa Dinâmica
DT	<i>Discrete Time</i> , Tempo Discreto
ELD	<i>Excess Loop Delay</i> , Atraso Excessivo do Laço de Realimentação
ENOB	<i>Effective Number of Bits</i> , Número efetivo de bits
FOM	<i>Figure of Merit</i> , Figura de Mérito
GBW	<i>Gain Bandwidth Product</i> , Produto Ganho-Banda
IBN	<i>In Band Noise</i> , Ruído Dentro da Banda de Interesse
LHP	<i>Left Half-Plane</i> , Semi-Plano Esquerdo
MASH	<i>Multi-Stage Noise-Shaping</i> , <i>Noise-Shaping</i> de Múltiplos Estágios
NRZ	<i>Non Return-to-Zero</i> , Não Retorna para Zero
NTF	<i>Noise Transfer Function</i> , Função de Transferência do Ruído
OSR	<i>Oversampling Ratio</i> , Taxa de Sobreamostragem
PSD	<i>Power Spectrum Density</i> , Densidade Espectral de Potência
RHP	<i>Right Half-Plane</i> , Semi-Plano Direito
RZ	<i>Return-to-zero</i> , Retorna para Zero
SC	<i>Switched-Capacitor</i> , Capacitor Chaveado
SD	Sigma-Delta
SDM	Modulador Sigma-Delta
SFDR	<i>Spurious Free Dynamic Range</i> , Faixa Dinâmica Livre de Espúrios
SNDR	<i>Signal to Noise plus Distortion Ratio</i> , Razão Sinal-Ruído mais Distorção
SNR	<i>Signal to Noise Ratio</i> , Razão Sinal Ruído
SQNR	<i>Signal to Quantization Noise Ratio</i> , Razão-Sinal Ruído de Quantização
STF	<i>Signal Transfer Function</i> , Função de Transferência do Sinal

SUMÁRIO

1 INTRODUÇÃO	17
1.1 Motivação	18
1.2 Objetivos	19
1.3 Organização do Trabalho	19
2 PRINCÍPIOS DA CONVERSÃO A/D	20
2.0.1 Amostragem	20
2.0.2 Quantização	21
2.0.3 Ruído de quantização	23
2.0.3.1 Limitações do modelo linear com ruído branco	24
2.0.4 <i>Noise-shapping</i>	25
2.1 Princípios de moduladores $\Sigma\Delta$	26
2.2 Métricas de performance	27
2.2.1 Métricas espectrais	27
2.2.2 Métricas de potência e ruído	28
2.3 Aumento da performance	29
2.3.1 Moduladores $\Sigma\Delta$ de ordem superior	30
2.3.2 Moduladores $\Sigma\Delta$ com alta taxa de sobreamostragem	31
2.3.3 Moduladores $\Sigma\Delta$ <i>multi-bit</i>	31
3 MODULADORES $\Sigma\Delta$ EM CT	32
3.1 Vantagens de moduladores $\Sigma\Delta$ em CT e DT	33
3.2 Escolhas de projeto	33
3.2.1 Taxa de sobreamostragem	33
3.2.2 Ordem do filtro de laço e quantizadores <i>multi-bit</i>	33
3.2.3 Topologia de laço único ou cascata	34
3.2.4 Topologia <i>feedforward</i> versus <i>feedback</i>	34
3.3 Metodologia de projeto	35
4 PROJETO DO MODULADOR NO NÍVEL DE ABSTRAÇÃO DO SISTEMA	37
4.1 Especificações	37
4.2 Parâmetros	37
4.3 Topologia	38
4.4 Projeto do laço	38
5 ANÁLISE, MODELAGEM E EFEITOS DAS NÃO-IDEALIDADES DE MODULADORES $\Sigma\Delta$ EM CT	40
5.1 <i>Clock Jitter</i>	40
5.2 <i>Excess loop delay</i>	42
5.3 Ganho finito dos amplificadores	43
5.4 Produto ganho banda finito dos amplificadores	45
5.5 <i>Slew rate</i> finito dos amplificadores	46
5.6 <i>Output swing</i> limitado	46
5.7 DAC e Quantizador	47
5.8 Erro da constante de tempo	48
5.9 Ruído térmico	49
5.10Especificações das não-idealidades	49
5.11Performance no nível de abstração do sistema	50

6 ESTABILIDADE	52
6.1 Máximo sinal de entrada estável	52
6.2 <i>Root Locus</i>	53
6.3 Agressividade da NTF.....	54
6.4 Critério de estabilidade	56
7 PROJETO DO MODULADOR NO NÍVEL DE ABSTRAÇÃO DO CIRCUITO ...	57
7.1 Esquemático do modulador $\Sigma\Delta$ no nível de abstração elétrica	57
7.2 Implementação dos coeficientes	58
7.3 Projeto em tecnologia CMOS	59
7.3.1 Projeto dos amplificadores	59
7.3.2 Projeto do quantizador	62
7.3.3 Projeto do DAC	65
8 RESULTADOS DE PERFORMANCE DO MODULADOR	67
8.1 Histogramas das saídas dos integradores	67
8.2 Resposta em frequência dos moduladores	68
8.3 SNR.....	69
9 CONCLUSÕES	72
REFERÊNCIAS	74
APÊNDICES	80

1 INTRODUÇÃO

O conversor analógico digital sigma-delta ($\Sigma\Delta$ ADC) é uma das arquiteturas de ADCs mais adequadas para uma grande variedade de aplicações, principalmente para aplicação em circuitos eletrônicos de comunicação sem fio. Um ADC $\Sigma\Delta$ é composto basicamente por um modulador sigma-delta ($\Sigma\Delta M$) e um filtro digital. O $\Sigma\Delta M$ emprega técnicas de sobreamostragem e *noise-shaping* para obter alta razão sinal ruído (SNR) utilizando quantizadores de baixa resolução. De modo a aumentar a resolução do modulador, há três parâmetros que geralmente são incrementados, i.e., taxa de sobreamostragem (M), número de bits do quantizador (B) e ordem do filtro (L), no entanto, o incremento de cada parâmetro implica no aumento da complexidade de projeto em nível de circuito. Arquiteturas que utilizam quantizadores *multi-bit* tem a linearidade degradada, a taxa de sobreamostragem é limitada pela tecnologia e consumo de energia, e a ordem do filtro é limitada principalmente pela estabilidade do sistema. Uma alternativa para arquiteturas com alta ordem é utilizar o sistema em cascata, no entanto, a complexidade do projeto se dará de forma a manter a correlação entre ambos os estágios. Assim, moduladores com baixa ordem e com quantizadores *single-bit* são mais lineares e menos complexos de serem projetados, além disso, consomem menos energia.

A busca por ADCs com maior velocidade e resolução cresce de modo que aumentam as especificações dos padrões de comunicação sem fio. Em tais sistemas, geralmente são empregados ADCs do tipo pipeline. No entanto, $\Sigma\Delta M$ s em tempo contínuo (CT) têm sido cada vez mais utilizados. A maioria dos moduladores reportados na literatura são projetados em tempo discreto (DT) (ROSA, 2011), isto se deve principalmente à maturidade das metodologias de projeto e à robustez do circuito perante as variações de processo (VLEUGELS; RABII; WOOLLEY, 2001) e (OLIAEI; CLEMENT; GORISSE, 2002). Apesar dos ADCs em tempo discreto oferecerem um grau de precisão elevado, a velocidade do circuito é limitada pelo *settling* do integrador projetado com capacitor chaveado. Comparando com o ADC tradicional em DT, ADCs em CT têm a vantagem de possuir maior velocidade e ao mesmo tempo, menor consumo de energia. Além disso, moduladores em CT tem filtro anti-alias implícito, reduzindo ainda mais a complexidade de projeto. Apesar de moduladores em CT não terem problemas de injeção de carga, *settling time* e outros problemas característicos de moduladores em DT, moduladores em CT sofrem de várias não-idealidades como *clock jitter*, *excess loop delay* e variação dos coeficientes devido a variações de processo de fabricação dos componentes ativos e

passivos (MALOBERTI, 2007). Todas essas e outras não-idealidades somadas exercem grande efeito sobre a performance do modulador.

1.1 Motivação

Este trabalho surgiu da necessidade de se implementar um $\Sigma\Delta M$ em tempo contínuo capaz de suprir as especificações para o padrão GSM. Desta forma, foi estudada uma metodologia de projeto (ROSA; RÍO, 2013), onde percebeu-se que os resultados obtidos estavam muito abaixo do estimado pela equação da SNR ideal quando fazia-se uso de moduladores *single-bit* com ordem superior a 2. Sendo assim, procurou-se referências de autores que projetaram moduladores similares, ou seja, moduladores *single-bit* com ordem superior a 2. Com isso, a Tabela 1.1 resume algumas implementações de $\Sigma\Delta M$ em tempo contínuo *single-bit* de ordem 2 e 3. Percebe-se na Tabela 1.1 que os moduladores de terceira ordem ($L=3$) têm uma maior perda de faixa dinâmica (DR_{perda}) em relação à faixa dinâmica ideal (DR_{ideal}) quando comparados aos moduladores de segunda ordem ($L=2$). Portanto, com estas informações, percebeu-se que moduladores de segunda ordem poderiam obter uma performance semelhante ou superior aos moduladores de terceira ordem quando considerados, além da resolução do modulador, o consumo de energia e a complexidade de projeto.

Tabela 1.1: Performance de moduladores.

Autor	DR (dB)	DR_{ideal} (dB)	DR_{perda} (dB)	B_w (MHz)	M	L	B
[1]	90,9	127,9	37,0	0,024	128	3	1
[2]	78,5	260,4	181,9	0,010	10000	3	1
[3]	68,0	113,6	45,6	0,002	80	3	1
[4]	77,0	96,2	19,2	1,000	140	2	1
[5]	70,0	84,4	14,4	1,920	81	2	1
[6]	72,0	91,1	19,1	0,000256	111	2	1

[1] - (PAVAN; SANKAR, 2010). [2] - (ZARE-HOSEINI; KALE; RICHARD, 2010).
 [3] - (GARCIA; RODRIGUEZ; RUSU, 2013). [4] - (PUTTER, 2004). [5] - (ANDERSON;
 SUNDSTROM, 2009). [6] - (CANNILLO et al., 2011)

1.2 Objetivos

Existem várias técnicas propostas na literatura visando a redução do consumo de energia em $\Sigma\Delta M$ no nível de abstração do circuito (CHAE; HAN, 2009)(PENA-PEREZ; BONIZONI; MALOBERTI, 2012) e até mesmo no nível de abstração do sistema, onde (MARQUES et al., 1998) apresenta coeficientes otimizados para implementação de moduladores de laço único, no entanto é apenas válido para moduladores em tempo discreto (DT). Este trabalho apresenta o projeto de $\Sigma\Delta M$ de alta performance considerando a estabilidade e a ordem do modulador. Uma relação entre taxa de sobreamostragem, ordem do filtro e máxima amplitude do sinal de entrada serão analisadas de modo a encontrar a NTF apropriada, implicando diretamente na redução da complexidade de projeto. A abordagem sobre a estabilidade proposta neste trabalho baseia-se em teoria de controle, sendo assim, é válida para moduladores em tempo discreto e contínuo. Também é feita neste trabalho uma análise e modelagem das principais não-idealidades no nível de abstração do sistema de modo que a performance do modulador seja garantida dentro dos limites impostos. Por fim, para validar o estudo feito, são implementados três moduladores em tecnologia CMOS de 130nm com as especificações obtidas no nível de abstração do sistema.

1.3 Organização do Trabalho

Este trabalho está organizado em 9 capítulos. O capítulo a seguir apresenta os principais conceitos sobre ADCs, enquanto o Capítulo 3 apresenta os conceitos sobre $\Sigma\Delta Ms$. O Capítulo 4 apresenta as especificações e o projeto dos $\Sigma\Delta Ms$ no nível de abstração do sistema. O Capítulo 5 apresenta a modelagem e análise das principais não-idealidades presentes nos $\Sigma\Delta Ms$ em tempo contínuo. No Capítulo 6 é feita uma análise sobre a estabilidade do sistema. O Capítulo 7 apresenta em detalhes o projeto elétrico em tecnologia CMOS de 130 nm dos $\Sigma\Delta Ms$ projetados. Os resultados obtidos e discussões referentes ao projeto e simulação no nível de abstração do circuito dos moduladores são apresentados no Capítulo 8. Finalmente, no Capítulo 9 são apresentadas e discutidas as principais conclusões do trabalho.

2 PRINCÍPIOS DA CONVERSÃO A/D

Um ADC efetua a transformação de sinais analógicos (contínuos) em sinais digitais (discretos). A Figura 2.1 mostra o diagrama de blocos generalizado de um conversor A/D que consiste basicamente de um filtro anti-alias (AAF), um amostrador (*sample & hold*) e um quantizador. Seu funcionamento dá-se da seguinte forma:

1. O sinal de entrada analógico $X_a(t)$ passa pelo filtro anti-alias que neste caso é representado como um filtro do tipo passa-baixa (LP);
2. O sinal $X(t)$ que passou pelo filtro é amostrado a uma taxa de amostragem f_s pelo bloco S/H resultando no sinal $Q(n)$ discreto;
3. Os valores de $Q(n)$ são quantizados usando N bits de modo que cada valor contínuo seja mapeado em um valor discreto resultando no sinal $Y_d(n)$.

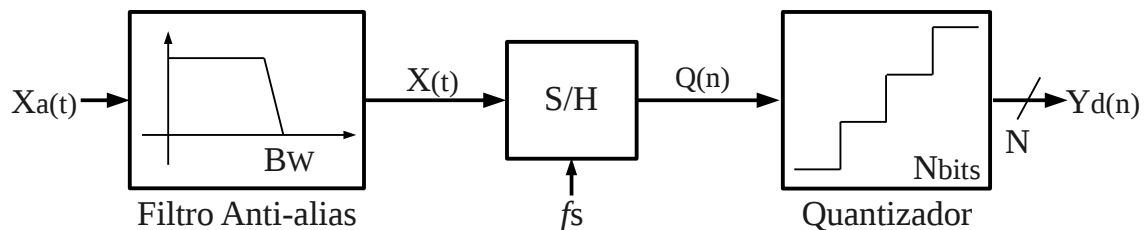


Figura 2.1: Diagrama de blocos generalizado de um conversor A/D do tipo Nyquist.

O funcionamento dos blocos ilustrados na Figura 2.1 serão analisados nas próximas seções.

2.0.1 Amostragem

De acordo com o teorema de Nyquist, para que não haja perda da informação, $X(t)$ na Figura 2.1 deve ser amostrado a uma frequência $f_N \geq 2 \times B_W$ onde f_N é a frequência de Nyquist e B_W é a largura de banda do sinal. Sendo assim, ADCs nos quais o sinal de entrada é amostrado a uma frequência $f_s = f_N$ são denominados ADCs do tipo Nyquist, enquanto que ADCs na qual o sinal de entrada é amostrado a uma frequência $f_s > f_N$ são denominados ADCs sobreamostrados (MALOBERTI, 2007). O valor da sobreamostragem (M) em que o sinal de entrada é amostrado acima da frequência de Nyquist pode ser definido como

$$M = \frac{f_s}{2 \times B_W} \quad (2.1)$$

A Figura 2.2 mostra o espectro de um ADC do tipo Nyquist, onde o sinal de entrada $x(t)$ está entre $\{DC, \frac{f_s}{2}\}$ com o ruído de quantização distribuído uniformemente dentro da banda do sinal.

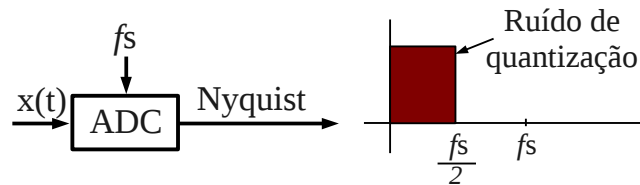


Figura 2.2: Filtro anti-alias para ADC do tipo Nyquist.

Na Figura 2.3 a frequência de amostragem foi aumentada pelo fator M , no entanto, o sinal de entrada continua imutável, desta forma, o ruído de quantização é distribuído no intervalo $\{DC, \frac{M \times f_s}{2}\}$ DC. O ruído presente fora da banda do sinal é então removido com um filtro digital. Após, o sinal de saída passa pelo decimador (DEC) que reduz a frequência deste sinal novamente para f_s .

Este processo de sobreamostragem, seguido da remoção do ruído pelo filtro digital e logo após a decimação, faz com que a razão sinal-ruído (SNR) aumente a uma taxa de 3 dB a cada duplicação de M .

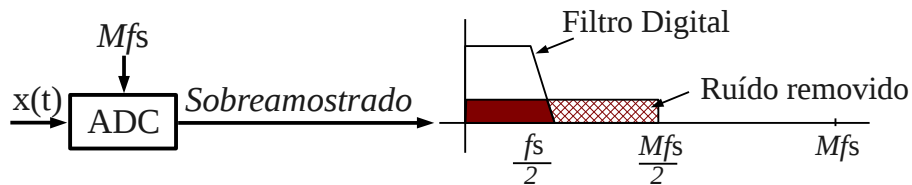


Figura 2.3: Filtro anti-alias para ADC sobreamostrado.

2.0.2 Quantização

Em princípio, o processo de amostragem não resulta em nenhuma perda de informação, desde que a condição $f_N \geq 2B_W$ seja satisfeita. No entanto, isto não acontece para a quantização do sinal amostrado, pois, neste processo irreversível, um intervalo contínuo de amplitudes é mapeado em um conjunto de valores finitos que resultarão em códigos discretos. Desta forma, mesmo o processo de quantização ideal introduz limitação na performance do ADC e este erro

denominado erro de quantização. O diagrama de blocos de um quantizador *single-bit* é mostrado na Figura 2.4.

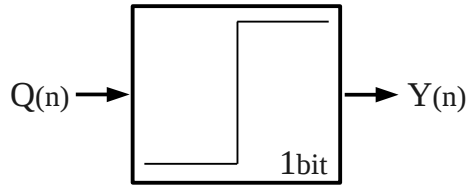


Figura 2.4: Diagrama de blocos de um quantizador *single-bit*.

A característica predominante de um quantizador é o número de bits (N), sendo que quantizadores com $N = 1$ são denominados *single-bit* e para $N > 1$ *multi-bit*. A Figura 2.5 ilustra a curva de transferência do processo de quantização para um quantizador *single-bit*, de modo que a saída do quantizador é determinada apenas pelo sinal (positivo ou negativo) da entrada, independente da sua magnitude. Sendo assim, o ganho k_q pode ser escolhido arbitrariamente e geralmente é definido como unitário.

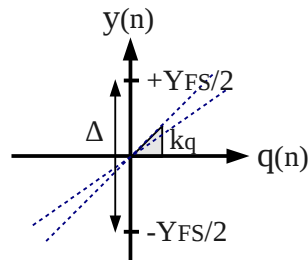


Figura 2.5: Processo de quantização *singe-bit*.

O espaçamento uniforme entre dois níveis de quantização (Δ) é definido como o passo de quantização

$$\Delta = \frac{Y_{FS}}{2^N - 1} \quad (2.2)$$

onde Y_{FS} é a faixa *full-scale* de saída do quantizador.

Como o sinal na entrada do quantizador está entre $-Y_{FS}$ e $+Y_{FS}$, a saída é quantizada em um destes valores, resultando em um sinal discreto. O erro de quantização resultante desta operação é definido como a diferença entre sinal de entrada e o sinal de saída do quantizador. Este erro pode ser observado na Figura 2.6 onde o erro de quantização é limitado por $-\Delta/2$ e $+\Delta/2$.

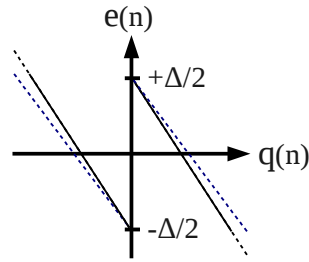


Figura 2.6: Erro de quantização *singe-bit*.

2.0.3 Ruído de quantização

De modo a analisar o ruído de quantização, a saída do quantizador pode ser escrita como a soma do sinal de entrada $Q(n)$, com o erro de quantização $e(n)$, na qual é o resultado de uma operação não linear $q\{\cdot\}$ em $Q(n)$:

$$Y_d(n) = Q(n) + e(n) = Q(n) + q\{Q(n)\} \quad (2.3)$$

Entretanto, torna-se difícil analisar o efeito do quantizador usando (2.3) devido à natureza não linear e dependente de sinal do erro de quantização. Para simplificar a análise, este erro de quantização $e(n) = q\{Q(n)\}$ pode ser aproximado como um ruído aditivo. Sendo assim, o quantizador é analisado usando métodos estatísticos. Apesar na natureza determinística do erro de quantização, a aproximação utilizando ruído branco como ilustra a Figura 2.7 é válida se as seguintes condições forem satisfeitas (GERFERS; ORTMANN, 2010):

- O sinal de entrada não pode exceder Y_{FS} ;
- O quantizador tem níveis suficientes de quantização;
- O sinal de entrada percorre vários níveis de quantização.

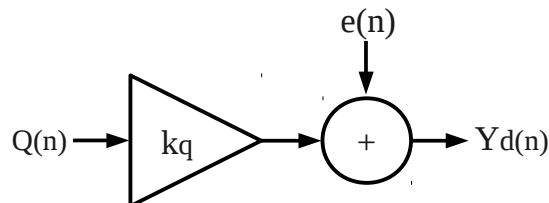


Figura 2.7: Modelo linear de um quantizador com ruído branco.

Dentro das condições listadas acima, é aceitável assumir que o erro de quantização, $e(n)$, é distribuído uniformemente dentro do intervalo $-\Delta/2$ e $+\Delta/2$ com a função densidade de probabilidade ilustrada na Figura 2.8a.

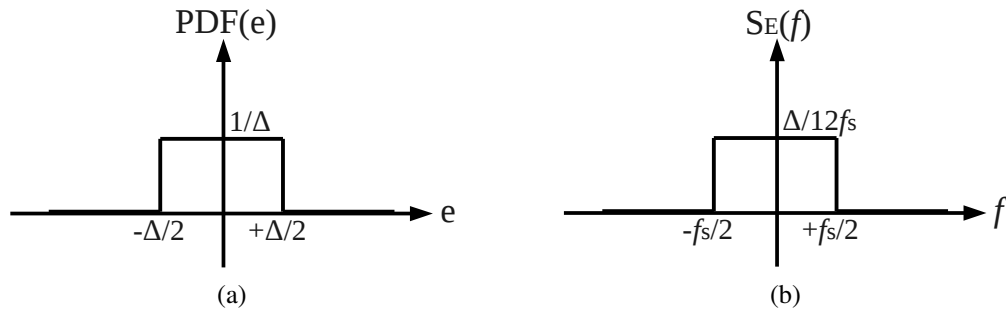


Figura 2.8: Ruído de quantização (a) função densidade de probabilidade (b) densidade de potência espectral.

A potência do erro de quantização é expressa por

$$\overline{e^2} = \sigma_e^2 = \frac{1}{\Delta} \int_{-\frac{\Delta}{2}}^{+\frac{\Delta}{2}} e^2 de = \frac{\Delta^2}{12} \quad (2.4)$$

O pressuposto acima implica que, como ilustra a Figura 2.8b, a potência do ruído também será distribuída uniformemente no intervalo $-fs/2$ e $+fs/2$, sendo assim,

$$\overline{e^2} = \int_{-\frac{fs}{2}}^{+\frac{fs}{2}} df = \frac{\Delta^2}{12} \quad (2.5)$$

logo, a densidade de potência espectral do erro de quantização no intervalo $-fs/2$ e $+fs/2$ é dada por

$$S_E = \frac{\overline{e^2}}{fs} = \frac{\Delta^2}{12fs} \quad (2.6)$$

2.0.3.1 Limitações do modelo linear com ruído branco

Devido ao fato de que o ruído de quantização é correlacionado com o sinal de entrada, o espectro da saída do quantizador pode obter pulsos discretos que não são preditos pelo modelo linear (GERFERS; ORTMANN, 2010). Esta correlação é mais acentuada no caso de quantizadores *single-bit* (SCHREIER; TEMES, 2004). Entretanto, a modelagem do quantizador desta maneira é bastante vantajosa. Mesmo que o quantizador *single-bit* viole as condições do modelo, este ainda permite uma estimativa bastante precisa da performance do ADC que poderá ser confirmada através de simulações.

2.0.4 Noise-shapping

Para aumentar a performance do ADC, é incluído um laço de realimentação na malha para que o ruído dentro da banda de interesse seja reduzido, no entanto o ruído fora da banda será aumentado, o que não é preocupante, de modo que este ruído será removido posteriormente pelo filtro digital.

A Figura 2.9 ilustra um diagrama de blocos semelhante à Figura 2.3, no entanto, o ADC convencional foi substituído por um modulador $\Sigma\Delta$. O modulador exerce o efeito de modelar o ruído de quantização (*noise shaping*) para que este fique em sua maior parte fora da banda de interesse, aumentando a performance do ADC no intervalo $\{DC, \frac{f_s}{2}\}$.

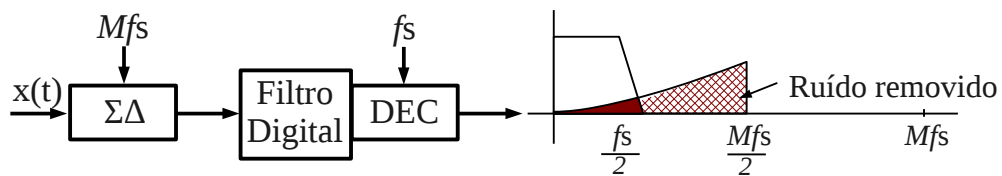


Figura 2.9: Efeito de *noise-shaping*.

A função de transferência criada neste laço de realimentação é usualmente denominada *noise transfer function* (NTF) e a ordem desta função indica a ordem no modulador (L), neste caso, quanto maior a ordem, maior será a redução do ruído dentro da banda de interesse. A NTF ideal no domínio discreto é dada por (ROSA; RÍO, 2013)

$$NTF(z) = (1 - z^{-1})^L \quad (2.7)$$

Considerando $z = e^{j2\pi/f_s}$, M maior ou igual a 1 e Δ modelado como ruído branco, neste caso, a potência do ruído dentro da banda passa a ser (ROSA; RÍO, 2013)

$$P_Q = \frac{\Delta^2}{12} \frac{\pi^{2L}}{(2L + 1)M^{2L+1}} \quad (2.8)$$

Sendo assim, se a sobreamostragem é utilizada em conjunto com *noise-shapping*, a performance do modulador aumenta a uma taxa aproximada de $6L \text{ dB/oitava}$ (ROSA; RÍO, 2013).

2.1 Princípios de moduladores $\Sigma\Delta$

Conversores $\Sigma\Delta$ usam um caminho de realimentação de modo a fechar a malha do sistema e desta forma controlar o erro de quantização.

O diagrama de blocos básico de um $\Sigma\Delta$ M é ilustrado na Figura 2.10a e consiste de uma função de transferência do laço $H(z)$ e um quantizador em um sistema de malha fechada.

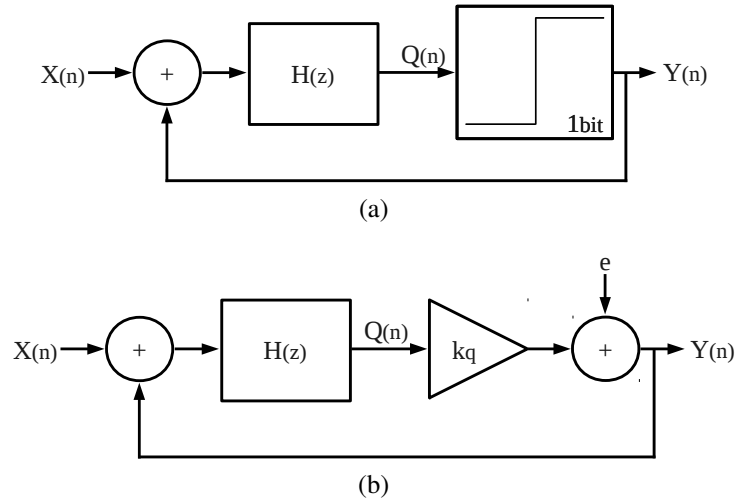


Figura 2.10: Modulador $\Sigma\Delta$. (a) Diagrama de blocos (b) modelo com aproximação linear.

Utilizando o modelo linear para o quantizador, o $\Sigma\Delta$ M da Figura 2.10b pode ser modelado por um sistema linear representado no domínio discreto por:

$$Y(z) = STF(z)X(z) + NTF(z)E(z) \quad (2.9)$$

onde STF e NTF são a função de transferência do sinal e função de transferência do ruído, respectivamente, e podem ser representadas por

$$STF(z) = \frac{k_q H(z)}{1 + k_q H(z)}, \quad NTF(z) = \frac{1}{1 + k_q H(z)} \quad (2.10)$$

Uma configuração ideal para STF e NTF seria a completa remoção do ruído dentro da banda do sinal $[0, BW]$ para um conversor passa-baixa. Fora da banda do sinal o ganho da NTF poderá ser elevado, enquanto o ganho da STF poderá ser baixo. Assim, pode-se então afirmar que uma NTF ideal é o inverso da STF, ou seja,

$$NTF_{ideal} = \overline{STF_{ideal}} = \begin{cases} 0 & \text{se } BW \leq f \leq BW \\ 1 & \text{do contrário.} \end{cases} \quad (2.11)$$

Em um $\Sigma\Delta\text{M}$ do tipo passa-baixas, a função de transferência do laço $H(z)$ pode ser descrita como um integrador, i.e.,

$$ITF(z) = \frac{z^{-1}}{1 - z^{-1}}. \quad (2.12)$$

Onde $ITF(z)$ é a função de transferência do integrador. Sendo assim, em combinação com o quantizador, a saída do $\Sigma\Delta\text{M}$ de primeira ordem no tempo discreto é dada por

$$Y(z) = z^{-1}X(z) + (1 - z^{-1})E(z). \quad (2.13)$$

2.2 Métricas de performance

As métricas de performance dos conversores AD podem ser divididas em duas categorias: métricas de performance estática e dinâmica. A primeira inclui monotonicidade, *offset*, erro de ganho, não-linearidade diferencial (DNL) e não-linearidade integral (INL). Já as métricas de performance dinâmicas incluem ruído dentro da banda do sinal (IBN), SNR, razão sinal-ruído mais distorção (SNDR), distorção harmônica total (THD), faixa dinâmica (DR), faixa dinâmica livre de espúrios (SFDR), razão sinal-ruído de quantização (SQNR), número efetivo de bits (ENOB) e *overload level* (OL).

Uma introdução a respeito das características estáticas é dada por (GERFERS; ORTMANNNS, 2010), no entanto, a performance de um $\Sigma\Delta\text{M}$ geralmente é definida pelas características dinâmicas e estas podem ainda ser divididas em métricas espectrais e de potência.

2.2.1 Métricas espectrais

Basicamente dois aspectos devem ser considerados para as métricas de performance espectrais em $\Sigma\Delta\text{M}$:

- Distorção harmônica total é a razão entre a soma de todas as frequências harmônicas acima da frequência fundamental pela potência desta.
- Faixa dinâmica livre de distorção é a razão da potência do sinal pela potência do tom spectral mais intenso dentro da banda do sinal (GERFERS; ORTMANNNS, 2010).

2.2.2 Métricas de potência e ruído

As métricas de potência e ruído são as mais utilizadas em $\Sigma\Delta M$. Estas métricas geralmente são obtidas por integração ou inspeção. Sendo elas:

- Ruído dentro da banda do sinal é uma métrica de performance obtida por integração que mensura o ruído e distorção na saída do modulador presente dentro da banda de interesse. Proporciona uma visão direta sobre a influência de determinada arquitetura, comportamento não ideal dos blocos (GERFERS; ORTMANN, 2010).

$$IBN(dB) = \frac{\Delta^2}{12M} \quad (2.14)$$

- Razão sinal-ruído é a razão entre a potência do sinal pela potência do ruído na saída do conversor, e é específica para determinada amplitude de sinal. Matematicamente, o SNR pode ser representado como

$$SNR(dB) = 10 \log_{10} \left(\frac{P_{\text{signal, sada}}}{IBN} \right). \quad (2.15)$$

- Razão sinal-ruído mais distorção é a razão entre a potência do sinal pela potência do ruído mais as distorções presentes dentro da banda do sinal.
- Faixa dinâmica é definida como a razão do valor rms do máximo sinal de entrada para o qual o modulador opera estável pelo valor rms do menor sinal de entrada.

$$DR(dB) = 10 \log_{10} \left(\frac{(Y_{FS}/2)^2}{2IBN} \right) \quad (2.16)$$

- Razão sinal-ruído de quantização é definida similarmente como o SNR, no entanto, o SQNR considera o ruído de quantização e pode ser definido como

$$SQNR(dB) = 6,02N + 10 \log_{10}(M) + 1,76. \quad (2.17)$$

- Número efetivo de bits é definido como o número de bits necessários para que um conversor do tipo Nyquist ideal atinja a mesma DR que um conversor $\Sigma\Delta$, desta forma, a performance de ADCs do tipo Nyquist e $\Sigma\Delta$ podem ser facilmente comparadas. Também pode-se utilizar o SNDR no lugar da DR para expressar a precisão da conversão A/D em bits de um $\Sigma\Delta$ M (BOSER; WOOLEY, 1988). Considerando que o sinal de entrada esteja na máxima amplitude suportada pelo conversor, ENOB pode então, ser matematicamente descrito como

$$ENOB(bit) = \frac{DR(dB) - 1,76}{6,02} \quad (2.18)$$

- *overload level* define a máxima amplitude do sinal de modo que o modulador ainda opere com estabilidade. OL é geralmente considerado como 6dB abaixo do SNR de pico.

A maioria das métricas de performance podem ser observadas através da Figura 2.11 (GERFERS; ORTMANN, 2010).

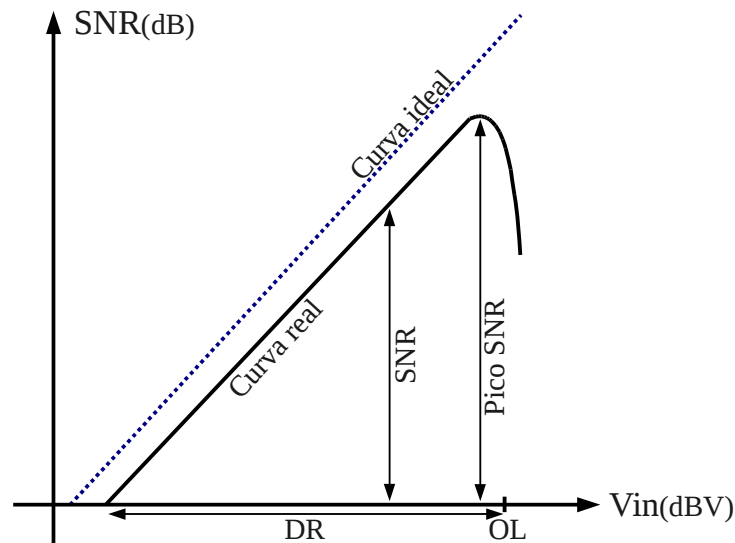


Figura 2.11: Métricas de performance de um $\Sigma\Delta$ M.

2.3 Aumento da performance

A saída de um $\Sigma\Delta$ M do tipo passa-baixas com ordem L pode ser representado no domínio discreto como (ROSA; RÍO, 2013)

$$Y(z) = z^{-L}X(z) + (1 - z^{-1})^L E(z). \quad (2.19)$$

Se um quantizador com B bits é empregado e tendo em conta que $Y_{FS} = (2b - 1)\Delta$ e que o ruído de quantização é a única fonte de ruído, a DR do $\Sigma\Delta$ poder ser definida como (ROSA; RÍO, 2013)

$$DR(dB) \approx 10 \log_{10} \left[\frac{3}{2} (2^B - 1)^2 \frac{(2L + 1) M^{(2L+1)}}{\pi^{2L}} \right] \quad (2.20)$$

Note que a partir de (2.20), a DR de um $\Sigma\Delta$ é determinada pelos valores de L , M e B . Desta forma, pode-se afirmar que estes três parâmetros são os necessários para determinar a performance ideal de um $\Sigma\Delta$. Os prós e contras em relação ao aumento de cada parâmetro é discutido em (ROSA; RÍO, 2013), (GERFERS; ORTMANN, 2010), (SCHREIER; TEMES, 2004) e (MALOBERTI, 2007).

2.3.1 Moduladores $\Sigma\Delta$ de ordem superior

Moduladores $\Sigma\Delta$ têm o princípio de operação baseado em *noise-shaping*, i.e., o ruído de quantização é retirado da banda do sinal para frequências superiores, sendo assim, quanto maior a ordem do modulador, mais ruído será removido da banda de interesse e, conseqüentemente, maior será o SNR resultante. A Figura 2.12 ilustra as funções de *noise-shaping* para moduladores até a quinta ordem.

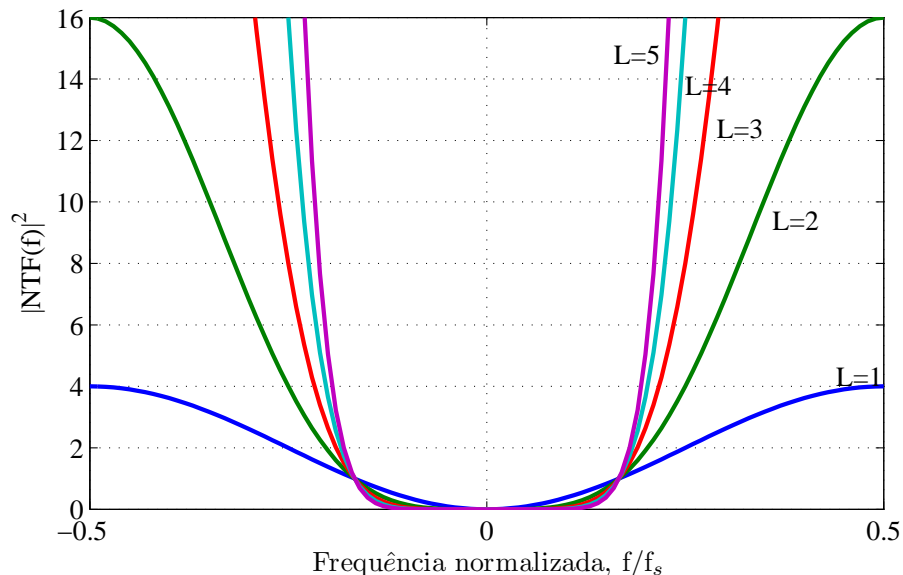


Figura 2.12: Efeito do *noise-shaping* para $\Sigma\Delta$ com ordem até 5.

2.3.2 Moduladores $\Sigma\Delta$ com alta taxa de sobreamostragem

A Figura 2.13 ilustra o SQNR máximo de um $\Sigma\Delta$ M *single-bit* com ordem variando de 1 a 5 e taxa de sobreamostragem de 8 a 512. Como pode ser verificado, a combinação da sobreamostragem com a ordem do modulador aumenta significativamente a resolução deste.

2.3.3 Moduladores $\Sigma\Delta$ *multi-bit*

Um aumento na resolução do quantizador, significa uma redução no passo Δ , desta forma, reduzindo o ruído de quantização. Para cada bit adicional no quantizador, haverá tipicamente um aumento de 6dB na DR do modulador.

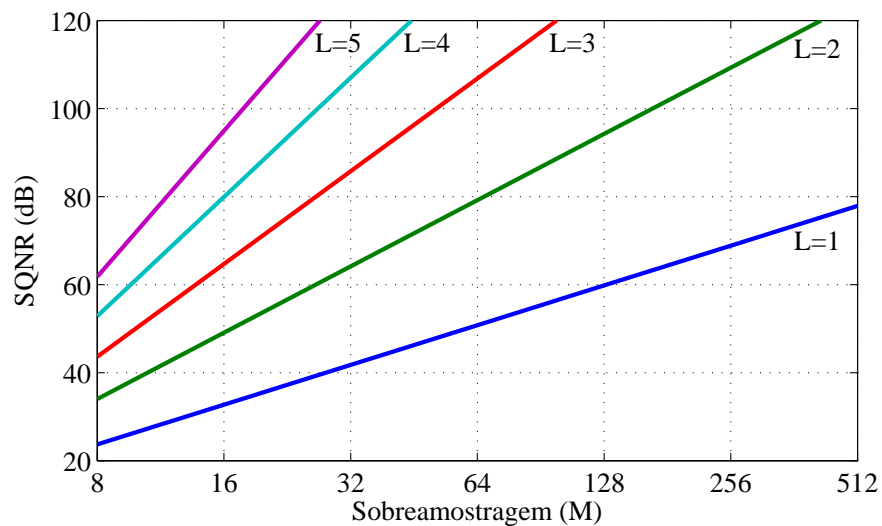


Figura 2.13: Efeito da sobreamostragem para $\Sigma\Delta$ M com ordem até 5.

3 MODULADORES $\Sigma\Delta$ EM CT

Tipicamente, moduladores $\Sigma\Delta$ reportados na literatura são implementados em tempo discreto, i.e., baseados em circuitos chaveados (SC). Isto se deve ao fato de que circuitos SC podem ser projetados com alta linearidade. No entanto, a B_W de um modulador $\Sigma\Delta$ em tempo discreto é limitada a poucos MHz devido as especificações necessárias dos componentes, como frequência de ganho unitário (UGF) e *slew rate* (SR) dos amplificadores empregados nos moduladores (RISBO; SØRENSEN, 1995). Na demanda de soluções com consumo de energia reduzido, moduladores $\Sigma\Delta$ em tempo contínuo têm emergido devido às especificações mais relaxadas dos blocos, desta forma o sistema como um todo pode ser projetado de maneira mais simples (CHERRY; SNELGROVE; GAO, 2000) e (CHAO et al., 1990). A Figura 3.1 ilustra o diagrama de blocos de um modulador $\Sigma\Delta$ em tempo contínuo para sinais do tipo passa-baixas.

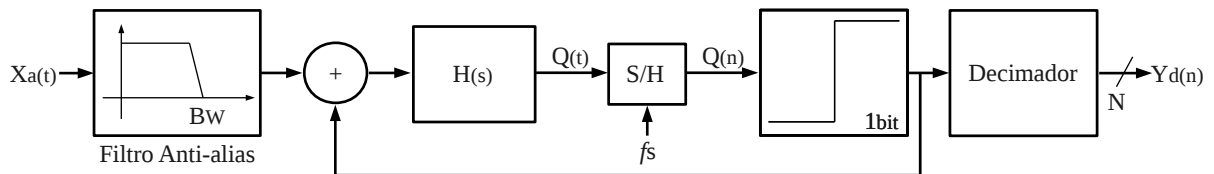


Figura 3.1: Diagrama de blocos de um modulador $\Sigma\Delta$ em tempo contínuo.

A diferença mais significativa entre moduladores $\Sigma\Delta$ em DT e CT é relacionada com a localização da operação de amostragem. Em CT, a operação é realizada imediatamente antes do quantizador e para DT a operação é realizada logo na entrada do modulador. Desta forma, a saída do modulador será um sinal discreto, enquanto a entrada será um sinal contínuo. Sendo assim, faz-se necessário o uso de um conversor digital-analógico (DAC). A reconstrução deste sinal é crítica para o desempenho do modulador e existem várias formas de onda que poderão ser utilizadas (BREEMS; HUIJSING, 2001). Dentre várias, as mais utilizadas são as retangulares e são basicamente divididas em três partes: *nonreturn-to-zero* (NRZ), *return-to-zero* (RZ) e *half-delay return-to-zero* (HRZ). A resposta ao impulso destas formas de onda pode ser expressa por

$$r_{DAC}(t) = \begin{cases} 1 & \text{se } \alpha Ts \leq t < \beta Ts \\ 0 & \text{do contrário.} \end{cases} \quad (3.1)$$

onde (α, β) é $(0, 1)$, $(0, 1/2)$, e $(1/2, 1)$ para NRZ, RZ, e HRZ, respectivamente.

3.1 Vantagens de moduladores $\Sigma\Delta$ em CT e DT

A Tabela 3.1 resume as principais vantagens de moduladores $\Sigma\Delta$ em tempo contínuo e discreto (GERFERS; ORTMANN, 2010)

Tabela 3.1: Vantagens de moduladores $\Sigma\Delta$ em CT e DT

Tempo contínuo	Tempo discreto
Filtro anti-alias implícito	Baixa sensibilidade a clock jitter
Erros de S/H atenuados (<i>noise shaping</i>)	Baixa sensibilidade a excess loop delay
Maior f_s possível (mais rápido)	Insensibilidade à forma de onda do DAC
UGF dos OpAmps relaxados	Precisão da função de transferência
Operação em altas temperaturas	Ganho dos integradores precisos
Menos sensível a <i>glitch</i>	Alta linearidade do integrador SC
Menos ruído de chaveamento	Apenas carga capacitiva
Possível prototipar em <i>breadboard</i>	Compatível com processos VLSI CMOS
Menor tempo de simulação (nível de circuito)	Menor tempo de simulação (alto nível)
SNR não é limitado pelo tamanho do capacitor	STF não tem pico fora da banda

3.2 Escolhas de projeto

3.2.1 Taxa de amostragem

Para moduladores $\Sigma\Delta$ com banda do sinal em megahertz, a frequência do clock é limitada pela tecnologia, além disso, deve-se levar em conta o quanto o modulador poderá dissipar de potência, pois aumentando a taxa de amostragem, aumenta-se a frequência de amostragem f_s que, por consequência aumentará o requerimento de UGF dos amplificadores, assim, dissipando mais potência. Desta forma, estes fatores devem ser levados em conta na hora de escolher o parâmetro M .

3.2.2 Ordem do filtro de laço e quantizadores *multi-bit*

Para moduladores com baixa taxa de amostragem, a resolução poderá ser garantida aumentando-se a ordem do filtro de laço ou aumentando a resolução do quantizador (YAN; SANCHEZ-SINENCIO, 2004). De fato haverá melhora na performance do modulador, i.e., aumento da SNR se o filtro de laço for de ordem superior, no entanto, quanto maior a ordem,

o modulador tenderá à instabilidade mais precocemente, ou seja, terá a máxima amplitude do sinal de entrada reduzida, além de ser mais sensível a variações dos coeficientes (SCHREIER; TEMES, 2004).

Outro modo de atingir as especificações do modulador sem utilizar uma alta taxa de sobreamostragem é aumentando a resolução do quantizador. De fato há vários benefícios decorrentes disto, principalmente em relação à estabilidade. Além disso, o aumento da resolução relaxará as especificações de alguns blocos (e.g., *slew rate* dos amplificadores) e, de modo que a estabilidade será beneficiada, o uso de ordens superiores para o filtro de laço poderão ser utilizadas sem tanta restrição. No entanto, assim como o quantizador será *multi-bit*, o DAC também deverá ser projetado *multi-bit* e a sua linearidade definirá a linearidade do modulador, e técnicas para linearização serão necessárias para o projeto do DAC (ROSA; RÍO, 2013).

3.2.3 Topologia de laço único ou cascata

Para aumentar a ordem do filtro de laço sem aumentar a resolução do quantizador e sem prejudicar a estabilidade, também pode-se utilizar topologias em cascata, com dois ou mais estágios contendo laço único, tipicamente de primeira, segunda ou terceira ordem. A ideia básica da topologia em cascata, tendo um modulador com dois estágios como exemplo, é alimentar o segundo estágio com o erro de quantização do primeiro estágio. As saídas digitais de ambos estágios serão combinadas através do cancelamento digital de modo que o erro de quantização do primeiro estágio seja removido e apenas o ruído de quantização do segundo estágio esteja presente na saída (YAN; SANCHEZ-SINENCIO, 2004).

Em topologias em cascata, o casamento perfeito entre a função de transferência NTF e o cancelamento digital faz-se necessário. Sendo assim, topologias em cascata são mais apropriadas para moduladores em tempo discreto implementados com capacitor chaveado. Enquanto que, para tempo contínuo, grandes variações na constante de tempo introduzem descasamento e portanto, degradações bastante significativas na performance do modulador. De outra forma, topologias de laço único são mais tolerantes às variações na constante de tempo, sendo assim, são mais apropriadas para moduladores em tempo contínuo.

3.2.4 Topologia *feedforward* versus *feedback*

Há duas topologias que são geralmente utilizadas para moduladores $\Sigma\Delta$ com laço único, são elas, cascata de integradores com alimentação em avanço (CIFF) e cascata de integrado-

res com realimentação (CIFB) (SCHREIER; TEMES, 2004). A topologia CIFB requer vários DACs, i.e., um DAC para cada realimentação. Na estrutura CIFF, apenas um DAC é necessário, desta forma, ocupa menos área, no entanto, esta topologia requer um somador antes do quantizador. Outra vantagem da topologia CIFF é o pequeno sinal de excursão de saída do primeiro integrador. Com um determinado intervalo de saída, o primeiro integrador permite um ganho no laço maior, e, assim, o requerimento de performance dos outros integradores ficarão mais relaxados (ROSA; RÍO, 2013).

Geralmente a STF de uma topologia CIFF tem um pico fora da banda do sinal. Isto implica que na frequência em que ocorre o pico, a amplitude do sinal de entrada é reduzida pelo ganho do pico. Como resultado, a SNR é reduzida. A topologia CIFB não apresenta este problema pois o seu pico fora da banda é praticamente insignificante (RANJBAR; OLIAEI; JACKSON, 2010).

Além das topologias básicas, pode-se ainda adicionar realimentação local para otimizar os zeros da NTF, de modo a mover o ganho DC dos integradores para um frequência ressonante. Assim, o ganho poderá ser espalhado dentro da banda do sinal, suprimindo o ruído contido dentro desta banda e conseqüentemente aumentando a performance do modulador. Para implementar a NTF com realimentação local geralmente sintetiza-se o filtro com aproximação de Chebyshev, enquanto que tradicionalmente utiliza-se Butterworth quando não é necessário otimizar os zeros da NTF (BREEMS; HUIJSING, 2001).

3.3 Metodologia de projeto

O fluxograma de projeto do tipo *top-down* foi utilizado neste trabalho. Far-se-á uma breve descrição do procedimento, no entanto, o leitor poderá referir-se a (ROSA; RÍO, 2013) para uma leitura mais aprofundada.

Primeiramente as especificações do modulador deverão estar bem definidas, uma vez que não será possível modificá-las posteriormente sem alterar os blocos projetados. Nesta fase são definidos parâmetros como frequência de amostragem f_s de modo a obter a taxa de amostragem M , a ordem do filtro L e resolução do quantizador B .

Posteriormente faz-se o projeto das funções de transferência, i.e., da NTF e STF. Neste trabalho foi utilizada a metodologia de síntese direta do filtro reportada em (VIERA et al., 2014). A partir da implementação da NTF e STF, faz-se então uma análise detalhada sobre estabilidade que será apresentada no Capítulo 6.

A NTF e STF poderão, então, ser traduzidas para uma determinada topologia, onde os coeficientes serão obtidos e posteriormente escalonados de modo a garantir a não saturação dos integradores. Novamente, a estabilidade poderá ser verificada através das métricas de performance. Várias simulações são feitas de modo a incluir o comportamento não ideal dos blocos que compõem o modulador (e.g., frequência de ganho unitário dos amplificadores), sendo que, a performance e estabilidade devem ser levadas em consideração.

O modulador é então, implementado utilizando descrição comportamental (e.g., VHDL-AMS) em um ambiente de projeto (e.g., Cadence). Após a validação dos modelos comportamentais, inicia-se o projeto dos circuitos. Para este trabalho foi utilizada a tecnologia CMOS 130nm com tensão de alimentação de 1.2V (UMC-130nm). Após o projeto dos circuitos é feita novamente uma verificação utilizando as métricas de performance para garantir que as especificações estão sendo atingidas. Finalmente faz-se o *layout* do circuito e, faz-se novamente uma verificação para garantir a performance. Pode-se observar que, a cada etapa é feita uma verificação de performance e estabilidade do modulador, de modo que seria muito mais difícil resolver qualquer eventual problema caso a etapa de verificação fosse feita apenas no final do projeto.

4 PROJETO DO MODULADOR NO NÍVEL DE ABSTRAÇÃO DO SISTEMA

O projeto no nível de abstração do sistema de três moduladores $\Sigma\Delta$ em tempo contínuo será apresentado neste capítulo que servirá de base para a análise das não-idealidades, apresentadas no Capítulo 5 e de estabilidade apresentada no Capítulo 6.

4.1 Especificações

Os moduladores serão projetados para suprir os requisitos para o padrão GSM (JOSE et al., 2007). As especificações são sumarizadas na Tabela 4.1.

Tabela 4.1: Especificações de projeto.

Padrão Wireless	Banda do sinal	SNR de pico	DR
GSM	0,2 MHz	78 dB	80 dB

4.2 Parâmetros

Definir os parâmetros no nível de abstração do sistema é o primeiro passo quando do projeto do modulador. Como o objetivo deste trabalho é a comparação entre moduladores de segunda e terceira ordem ($L=2,3$) com quantizador single bit ($B=1$), resta apenas definir a taxa de amostragem M . Utilizando a Figura 2.13 e levando em conta a norma infinita ($\|H\|_\infty$), pode-se então definir o parâmetro M . $\|H\|_\infty$ será bastante utilizado neste trabalho, desta forma, faz-se necessário defini-lo de modo que o leitor consiga compreender a sua importância durante a análise dos moduladores a serem projetados. Sendo assim, $\|H\|_\infty$ pode ser definido como o valor da atenuação da banda de rejeição (*stopband attenuation*) quando da síntese do filtro por uma aproximação de Chebyshev ou Butterworth. Em outras palavras, pode-se definir $\|H\|_\infty$ como sendo o ganho fora da banda do sinal da NTF que é derivada a partir da função de transferência do filtro (L_F) obtida pela síntese do filtro. Neste trabalho, o $\|H\|_\infty$ de um dos moduladores de terceira ordem ($\|H\|_\infty = 1, 16$) é escolhido de modo a obter o mesmo *overload* que o modulador de segunda ordem.

Os parâmetros resultantes são apresentados na Tabela 4.2.

Tabela 4.2: Parâmetros dos moduladores $\Sigma\Delta$

Ordem (L)	Sobreamostragem (M)	Bits do quantizador (B)	$\ H\ _{\infty}$
2	128	1	1,5
3	80	1	1,5
3	120	1	1,16

4.3 Topologia

Considerando as vantagens das topologias CIFB e CIFF mencionadas na Seção 3.2.4, escolheu-se a topologia CIFF de modo que esta requer uma menor excursão do sinal de saída do primeiro integrador, facilitando o projeto dos amplificadores no nível de abstração do circuito para baixas tensões de alimentação (GERFERS; ORTMANN, 2010). As Figuras 4.1a e 4.1b ilustram o diagrama de blocos da topologia CIFF para os moduladores de segunda e terceira ordem, respectivamente.

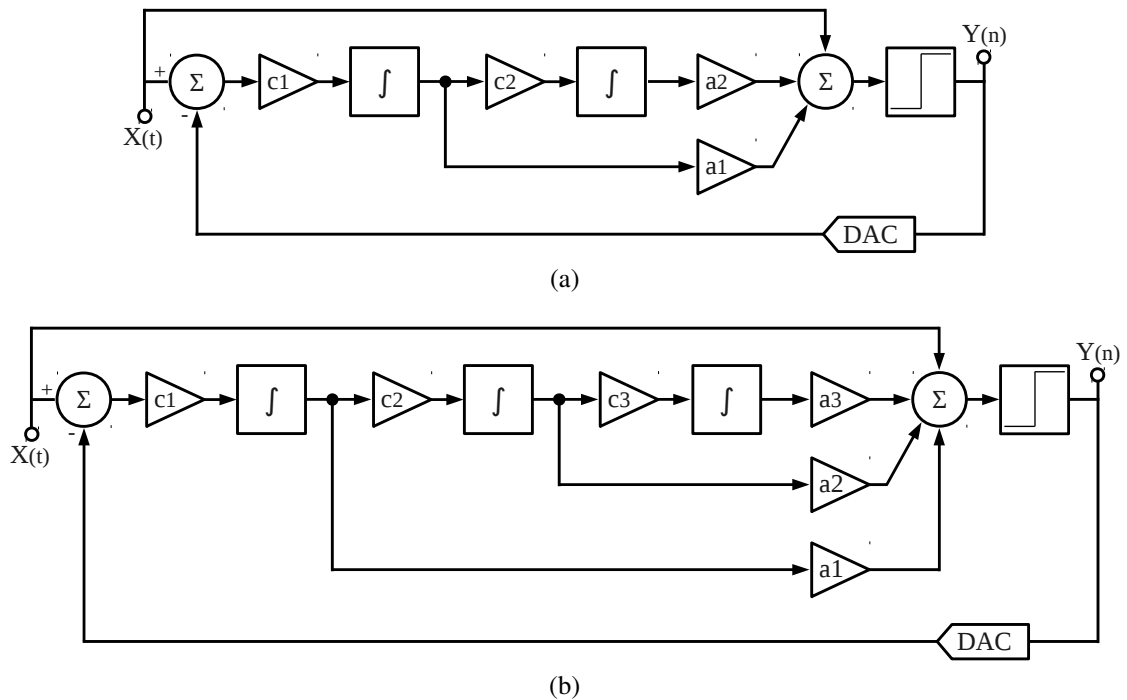


Figura 4.1: Diagrama de blocos do modulador. (a) Segunda ordem (b) Terceira ordem.

4.4 Projeto do laço

O laço do filtro foi diretamente sintetizado em tempo contínuo. As funções de transferência dos laços são definidas como um protótipo no domínio contínuo (VIERA et al., 2014):

$$L_F(s) = \frac{B(s) - A(s)}{A(s)} \quad (4.1)$$

onde $B(s)$ e $A(s)$ são as funções de transferência do filtro de ordem arbitrária.

Então, um filtro do tipo Butterworth ou Chebyshev é sintetizado utilizando tabelas normalizadas de projeto de filtros (WILLIAMS; TAYLOR, 2006) ou algum software como *Matlab*® ou *Octave*. Desta forma encontram-se as funções de transferência dos laços dos filtros:

$$LF_{2,\|H\|_\infty=1,5} = \frac{0.66667(s + 0,3246)}{s^2} \quad (4.2)$$

$$LF_{3,\|H\|_\infty=1,5} = \frac{0.67033(s^2 + 0,3642s + 0,06561)}{s^3} \quad (4.3)$$

$$LF_{3,\|H\|_\infty=1,16} = \frac{0.2761(s^2 + 0,1429s + 0,01019)}{s^3} \quad (4.4)$$

A NTF para um quantizador com ganho unitário poderá então ser descrita como o inverso da função de transferência dos laços (4.2), (4.3) e (4.4), i.e.,

$$NTF(s) = \frac{1}{1 + L_F(s)} \quad (4.5)$$

onde especificamente, para uma topologia CIFF, a NTF e STF podem ser descritas como (GERFERS; ORTMANN, 2010):

$$NTF(s) = \frac{1}{1 + \sum_{i=1}^N a_{N-i+1} L_F^i(s)} \quad (4.6)$$

$$STF(s) = \frac{\sum_{i=1}^N a_{N-i+1} L_F^i(s)}{1 + \sum_{i=1}^N a_{N-i+1} L_F^i(s)} \quad (4.7)$$

Utilizando (4.6) e (4.7), pode-se então encontrar os coeficientes para a topologia CIFF. A Tabela 4.3 mostra os coeficientes resultantes para os três moduladores tendo em vista que esses já foram escalonados de modo a garantir que os integradores não saturem.

Tabela 4.3: Coeficientes dos moduladores $\Sigma\Delta$ em CT.

Ordem (L)	\mathbf{a}_1	\mathbf{a}_2	\mathbf{a}_3	\mathbf{c}_1	\mathbf{c}_2	\mathbf{c}_3
$2_{\ H\ _\infty=1,5}$	1,31	3,75	-	0,51	0,11	-
$3_{\ H\ _\infty=1,5}$	2,82	4,56	6,61	0,24	0,23	0,12
$3_{\ H\ _\infty=1,16}$	1,22	2,33	3,97	0,23	0,07	0,04

5 ANÁLISE, MODELAGEM E EFEITOS DAS NÃO-IDEALIDADES DE MODULADORES $\Sigma\Delta$ EM CT

Neste capítulo serão apresentadas as não-idealidades que afetam $\Sigma\Delta M$ em tempo contínuo de modo a garantir que a performance do modulador seja garantida. Estas serão modeladas em Matlab/Simulink® e VHDL-AMS. A partir das não-idealidades, as especificações dos blocos são obtidas e utilizadas para o projeto no nível de abstração do circuito.

As simulações efetuadas neste capítulo levam em conta as especificações da Tabela 4.1. Note que a SNR das simulações será de aproximadamente 90 dB e não 80 dB como está nas especificações, isto ocorre pois provavelmente haverá perda na performance do modulador quando este for implementado eletricamente e, portanto, de modo a garantir que as especificações sejam cumpridas, neste trabalho os moduladores no nível de abstração do sistema serão projetados com ≈ 10 dB a mais que a especificação.

5.1 Clock Jitter

Clock jitter causa uma pequena variação randômica na quantidade de carga realimentada por ciclo de clock, ou seja, uma variação estatística da forma de onda do sinal de realimentação resulta em um erro de integração também estatístico, sendo assim, o *noise floor* irá aumentar e a resolução do modulador diminuirá.

No sistema existem duas fontes de *clock jitter*, uma na entrada do ADC e outra que é gerada através do erro de timing do DAC de realimentação no laço principal. O *jitter* presente no DAC de realimentação é mais crítico, desta forma, apenas este será considerado. O erro causado pelo *jitter* é o erro na área do sinal de pulso na realimentação para cada período de amostragem (CHERRY; SNELGROVE, 2000). A razão disto é que o pulso na realimentação é integrado ao menos uma vez no laço de filtro. Este valor integrado corresponde com a área do pulso, e assim, apenas a área é significativa nos instantes da amostragem e não o formato do pulso. Em (GERFERS; ORTMANN, 2010) é feita uma análise detalhada sobre o efeito do *clock jitter* na performance do $\Sigma\Delta M$ em tempo contínuo e discreto.

A Figura 5.1 ilustra o efeito do *jitter* no sinal do laço de realimentação do modulador considerando um pulso do tipo NRZ. Pode-se observar na figura o defasamento (incerteza) do sinal na borda de transição deste. Esta incerteza de largura Δt , é, justamente o efeito do *jitter* sobre o sinal.

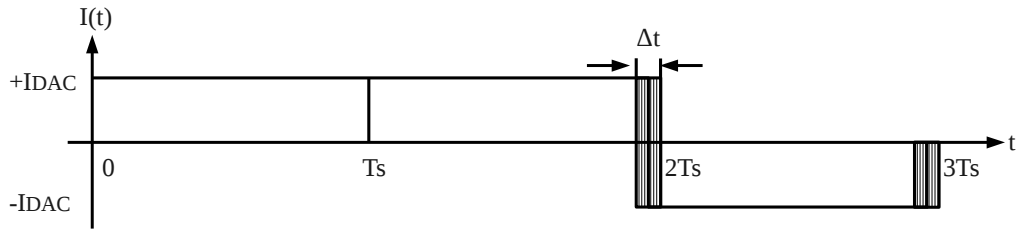


Figura 5.1: Efeito do *jitter* no sinal do DAC.

A Figura 5.2 ilustra o modelo do *jitter* que é introduzido no laço de realimentação do modulador. A variação do sinal é gerada através de uma fonte de ruído *Random Number*.

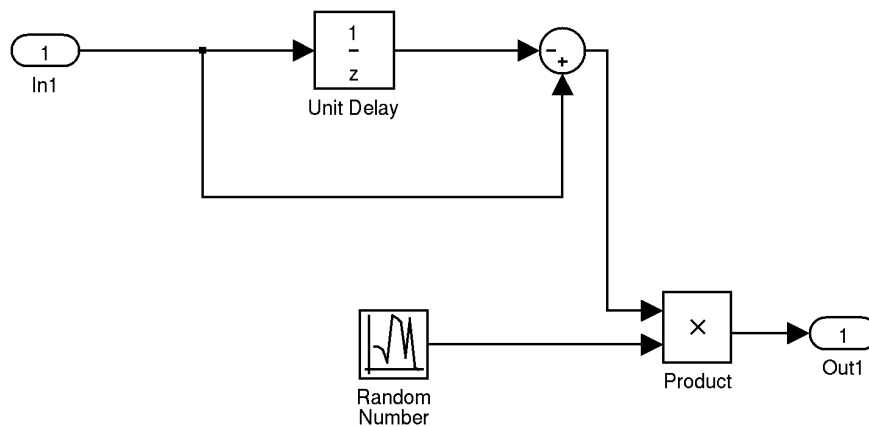


Figura 5.2: Modelagem do *jitter* em Matlab/Simulink®.

A Figura 5.3 ilustra o efeito do *clock jitter* na performance do modulador. Pode ser observado que os moduladores de terceira ordem sofrem mais perda de SNR com o *clock jitter* que o modulador de segunda ordem.

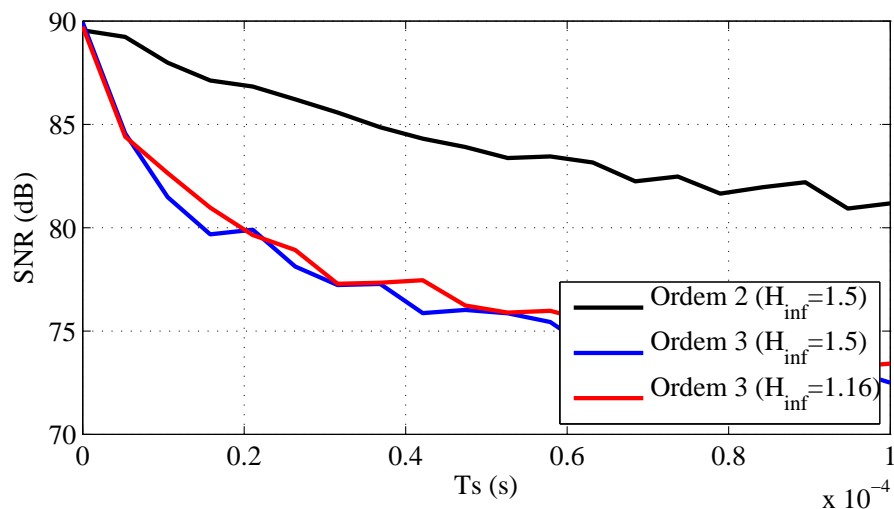


Figura 5.3: Efeito do *jitter* na performance do modulador.

5.2 Excess loop delay

O *Excess loop delay* (ELD) decorre do fato de o tempo de chaveamento do transistor não ser nulo, o que faz com que a borda de transição do pulso do DAC comece depois da borda de transição do *clock*, além disso, comparadores reais tem um certo tempo para gerar a saída correta do sinal que será realimentado. O atraso gerado pode ser determinado pelo projeto do quantizador no nível de abstração do circuito, juntamente com o tempo finito para o DAC responder, mais o atraso entre a borda de transição do clock do quantizador e uma saída válida do DAC. Desta forma, faz-se necessário que a tolerância que o modulador terá ao ELD seja determinada. Se o atraso suportado for menor que o atraso gerado, então deverá ser empregada alguma técnica para compensação ao ELD. Uma compensação clássica é adicionar um caminho de realimentação extra da saída do modulador à entrada do quantizador (ROSA; RÍO, 2013).

A Figura 5.4 ilustra o efeito do ELD no sinal do laço de realimentação considerando uma fração da forma de onda da Figura 5.1.

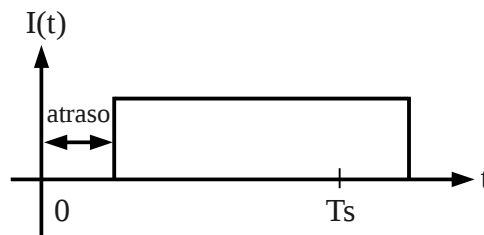


Figura 5.4: Efeito do ELD no sinal de realimentação do sistema.

O ELD pode ser modelado com um bloco do tipo *Transport Delay* inserido na malha de realimentação do modulador, i.e., entre a saída do quantizador e a entrada do modulador. A Figura 5.5 ilustra o bloco utilizado para modelar o ELD a nível de sistema.

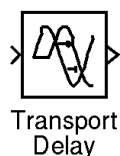


Figura 5.5: Modelagem do ELD em Matlab/Simulink®.

O principal problema causado pelo ELD refere-se à instabilidade do modulador. O ELD em um sistema com uma NTF mais agressiva fará com que o modulador fique instável mais facilmente. A Figura 5.6 ilustra a tolerância ao ELD para os três moduladores. Percebe-se nesta figura que para o modulador de terceira ordem com a NTF mais agressiva, o sistema é menos

tolerante ao ELD, enquanto a NTF com ganho moderado e o modulador de segunda ordem atingem a especificação mesmo com um ELD de ao menos 30% do período do relógio, na qual sobra margem suficiente para outras não-idealidades e não-linearidades inerentes ao circuito.

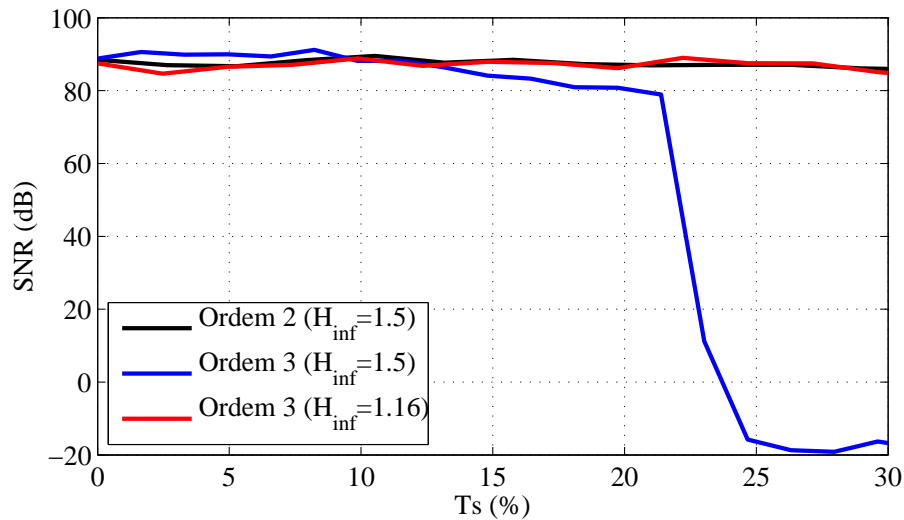


Figura 5.6: Efeito do ELD na performance do modulador.

5.3 Ganho finito dos amplificadores

O ganho finito do amplificador afeta a função de transferência do integrador. O principal bloco para moduladores sigma delta é um filtro passa baixa ou integrador, na qual implementa a função de transferência com seu pólo em DC. Para implementar esta função, um integrador RC ativo pode ser utilizado como o mostrado na Figura 5.7.

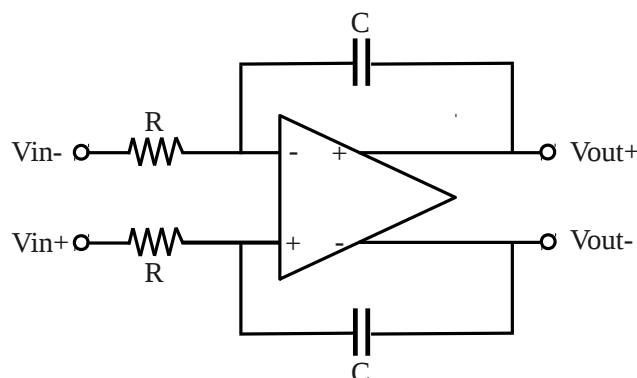


Figura 5.7: Modelo do integrador RC ativo.

A função de transferência do integrador ideal pode ser definida como (GERFERS; ORTMANN, 2010):

$$H(s) = \frac{1}{sRC} \quad (5.1)$$

onde R é o valor do resistor de entrada e C é o valor do capacitor de integração. Quando o ganho finito do amplificador é levado em conta, a função de transferência do integrador muda para (AGUIRRE et al., 2013):

$$H(s) = \frac{1}{\frac{1}{A_{DC}} + sRC} \quad (5.2)$$

onde A_{DC} é o ganho do amplificador. Esta equação mostra que além do ganho DC, o pólo do integrador também é afetado.

As Figuras 5.8a e 5.8b ilustram o efeito do ganho do amplificador sobre a performance dos moduladores. A Figura 5.8a ilustra o efeito sobre o primeiro integrador e a Figura 5.8b ilustra o efeito sobre o segundo integrador. O efeito sobre o terceiro integrador para o modulador de terceira ordem não é mostrado de modo que este exerce um efeito muito similar ao segundo integrador.

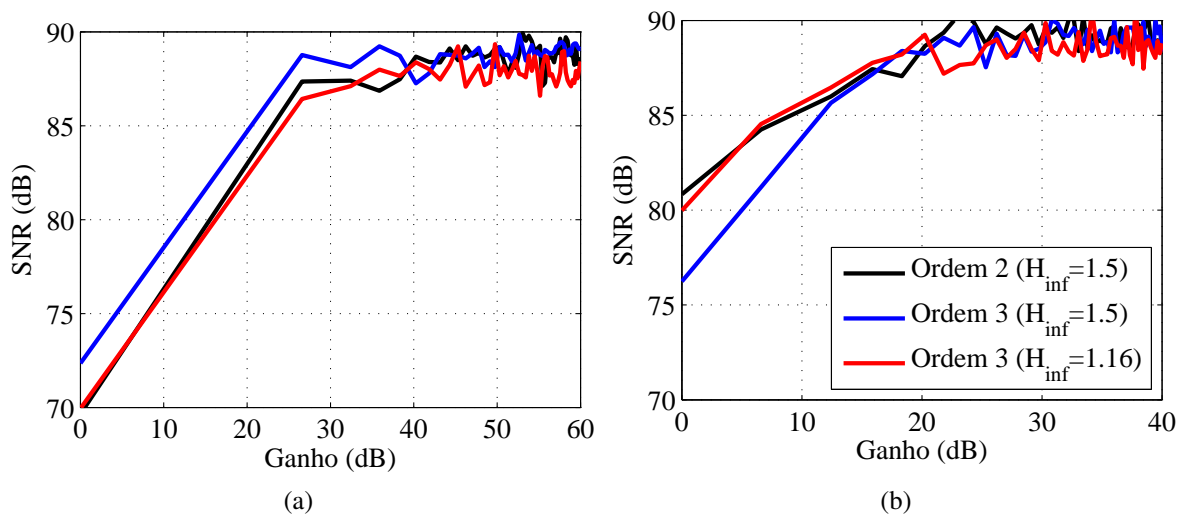


Figura 5.8: Efeito do ganho na performance do modulador. (a) Primeiro integrador. (b) Segundo integrador.

Mesmo que o modulador possa beneficiar-se de um ganho DC alto, pode ser observado nas Figuras 5.8a e 5.8b que moduladores em CT requerem que o ganho seja de ao menos 20 dB.

5.4 Produto ganho banda finito dos amplificadores

Para um modulador em CT, o produto ganho banda (GBW) dos amplificadores afetam a potência do ruído de quantização através de uma alteração da forma da NTF. Esta não-idealidade introduz um erro de ganho e um pólo adicional na função de transferência ideal do integrador. De modo a considerar a influência do GBW, o integrador ideal com uma função de transferência dada por (5.1) é substituída por um amplificador de um pólo descrita por:

$$A(s) = \frac{A_{DC}}{1 + \frac{sA_{DC}}{\omega_A}} \quad (5.3)$$

e

$$GBW = A_{DC}\omega_A \text{ [rad/s]}. \quad (5.4)$$

Desta forma, a função de transferência do integrador poderá ser descrita como:

$$H(s) = \frac{1}{sRC} \frac{\frac{GBW}{GBW + \frac{1}{RC}}}{1 + \frac{s}{\omega_2}} \quad (5.5)$$

e

$$\omega_2 = GBW + \frac{1}{RC} \quad (5.6)$$

onde ω_2 é o segundo pólo. As Figuras 5.9a e 5.9b ilustram o efeito de GBW sobre a performance do modulador. Foi considerada a influência sobre o primeiro e segundo integrador.

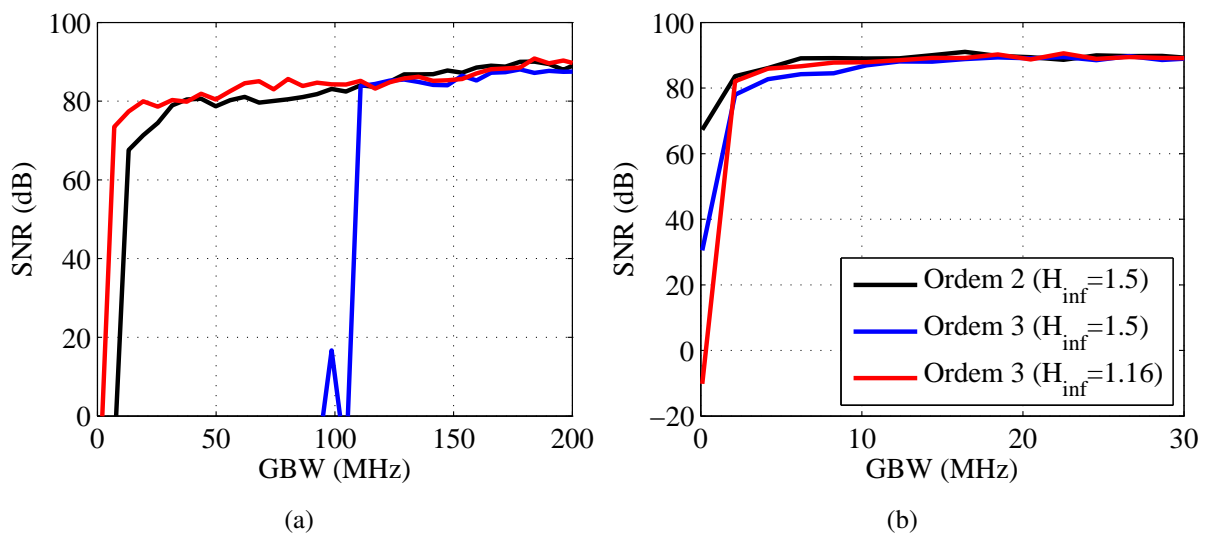


Figura 5.9: Efeito do GBW na performance do modulador. (a) Primeiro integrador (b) segundo integrador.

Pode ser observado nas Figuras 5.9a e 5.9b que o modulador de terceira ordem com a NTF mais agressiva demora mais tempo para atingir a performance desejada, já o modulador com NTF menos agressiva e o modulador de segunda ordem, atingem a performance muito mais precocemente na frequência.

5.5 Slew rate finito dos amplificadores

Outra não-idealidade relacionada ao integrador é o slew rate finito do sinal de saída causado pela limitação de corrente, na qual é responsável por carregar o capacitor de integração. *Slew rate* finito é um efeito puramente não linear (opostamente ao efeito de GBW), causando distorção e aumento do *noise floor* (MEDEIRO et al., 1994).

O *slew rate* pode ser modelado no nível de abstração do sistema com o auxílio do bloco *Rate Limiter*. A Figura 5.10 ilustra o modelo do integrador RC ativo considerando as não-idealidades abordadas até então.

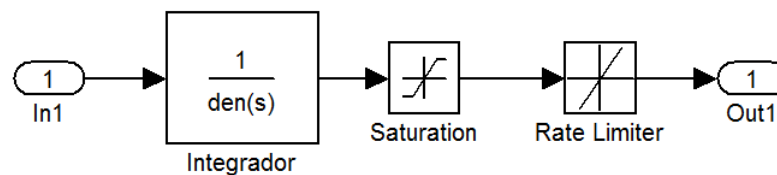


Figura 5.10: Modelagem do integrador em Matlab/Simulink®.

As Figuras 5.11a e 5.11b ilustram o efeito do SR sobre o primeiro e segundo integrador. Pode-se notar que para modulares implementados em CT, a especificação de SR é bastante reduzida quando comparada com a implementação DT onde faz-se necessário o chaveamento de capacitores a cada ciclo de clock.

5.6 Output swing limitado

A limitação imposta na saída dos integradores, também conhecida como *clipping*, é um tipo de variação dos valores ideais dos estados do sistema. Um $\Sigma\Delta M$ de ordem L tem L estados cujos valores nos instantes da amostragem determinam o comportamento do modulador. As tensões de saída dos integradores são precisamente os estados do sistema. Desta forma o *output swing* dos amplificadores devem acomodar as tensões de saída para que os estados sejam elaborados corretamente, caso contrário, o comportamento do modulador irá ser alterado. Esta limitação resulta num aumento severo da IBN, além disso, aparecerá distorção no sinal.

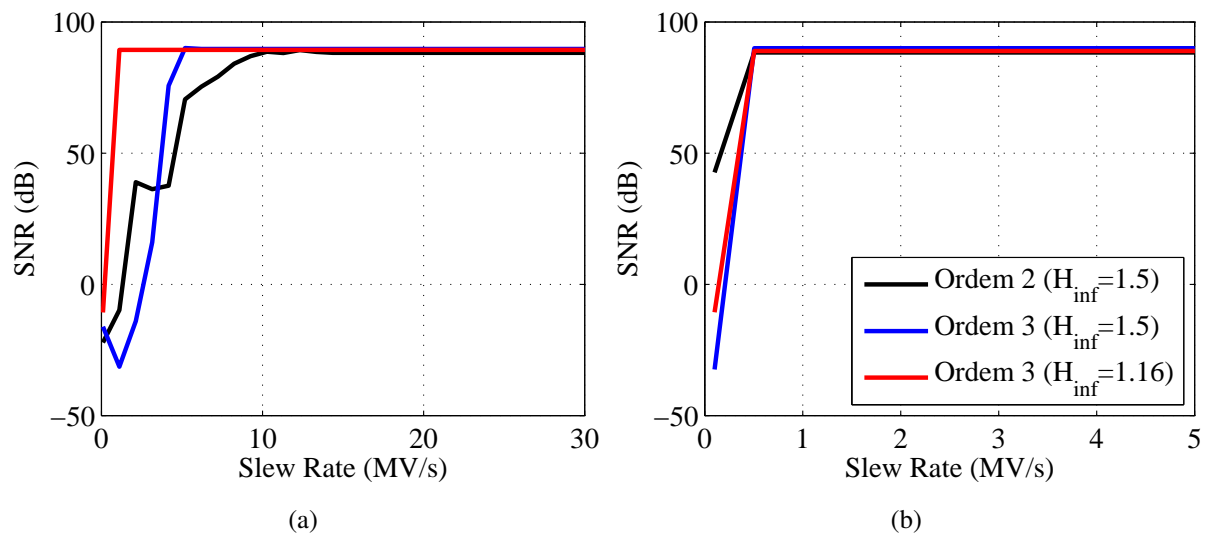


Figura 5.11: Efeito do SR na performance do modulador. (a) Primeiro integrador (b) segundo integrador.

O *Clipping* pode ser evitado através do escalonamento correto dos coeficientes. De modo a diminuir os requerimentos de *output swing*, um caminho de alimentação em avanço poderá ser adicionado entre o sinal de entrada e a entrada do quantizador, de outra forma, a amplitude do sinal de entrada poderá ser reduzida, no entanto, esta última alternativa não é muito viável pois resultará na redução da resolução do modulador.

O *output swing* dos amplificadores pode ser modelado a nível de sistema como um bloco de saturação como mostrado na Figura 5.10. Todas as simulações das não-idealidades feitas até agora foram simuladas considerando que o output swing dos amplificadores é de $\pm 0,8$ V. Na Seção 8.1, histogramas são plotados de modo a verificar que as tensões na saída dos integradores não estão saturando.

5.7 DAC e Quantizador

A não-idealidades impostas pelo quantizador e DAC *single-bit* é basicamente *offset* devido a sua alta linearidade. Mesmo assim, *offset* de um quantizador *single-bit* é praticamente irrelevante e, desta forma não será analisado (GUNTURK; LAGARIAS; VAISHAMPAYAN, 2001). Apesar disso, para fins de estudo, o modelo em linguagem de programação *C* utilizada para compilar a *S-function* no *Simulink* do quantizador e DAC são mostrados nos Apêndices A e B, respectivamente.

5.8 Erro da constante de tempo

Em um $\Sigma\Delta M$ em tempo contínuo, a função de transferência depende dos valores absolutos dos resistores e capacitores, os quais variam de acordo com o processo, tensão de alimentação, temperatura, etc. A variação dos componentes pode chegar até 20%, fazendo com que a variação do produto RC seja maior que 30% (ROSA; RÍO, 2013). Desta forma, a análise do erro da constante de tempo se faz necessária em moduladores em tempo contínuo. Um modo bastante utilizado para controlar estas variações é calibrar os resistores, capacitores e ainda outros parâmetros, como a transcondutância dos amplificadores etc. Se os integradores forem projetados como RC ativo, um esquema de trimming poderá ser empregado para manter constante o produto RC.

Para a análise no nível de abstração do sistema, a função de transferência do integrador mostrada em (5.5) foi modificada de modo a adicionar o termo ΔRC . As Figuras 5.12a, 5.12b e 5.12c mostram o efeito da variação da constante de tempo sobre SNR. A variação foi feita com uma simulação Monte Carlo com um desvio padrão de 20%. A Figura 5.12d ilustra a distribuição gaussiana normal dos histogramas das figuras mencionadas acima.

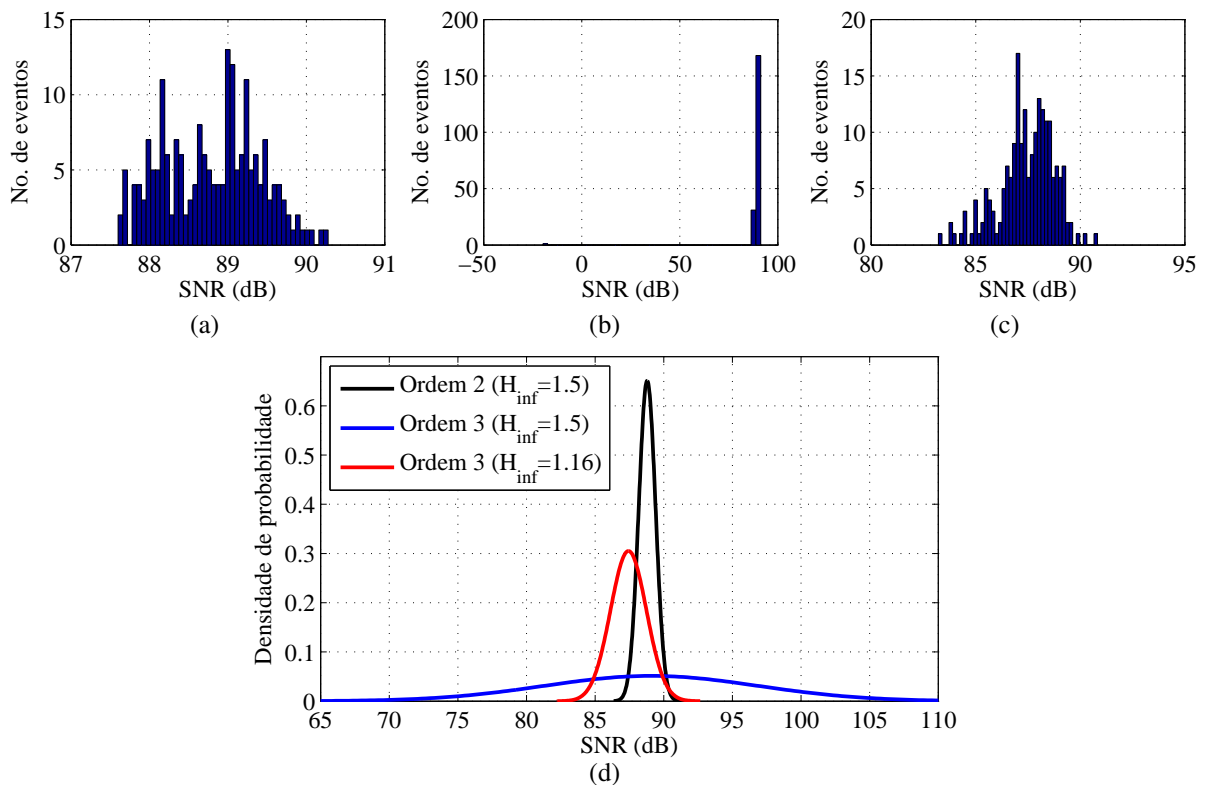


Figura 5.12: Efeito do erro da constante de tempo. (a) Histograma do modulador de ordem 2 com $\|H\|_{\infty} = 1,5$ (b) histograma do modulador de ordem 3 com $\|H\|_{\infty} = 1,5$ (c) histograma do modulador de ordem 3 com $\|H\|_{\infty} = 1,16$ (d) distribuição gaussiana normal.

Percebe-se nas figuras acima que apenas o modulador de segunda ordem e o modulador de terceira ordem com agressividade moderada da NTF se mantém dentro das especificações enquanto que o sistema de terceira ordem com NTF mais agressiva não consegue manter-se dentro das especificações para um desvio padrão de 20%.

A análise da variação da constante de tempo RC pode ser dividida basicamente em duas partes. Primeiramente considera-se que a variação é positiva, nesta variação os valores simulados estão bastante próximos dos valores calculados e haverá uma redução no ganho do integrador, aumentando o IBN e degradando o SNR, pois esta variação do ganho do integrador faz com que os pólos da NTF variem pouco e, os zeros fiquem inalterados. A segunda parte da análise se refere à parte negativa da variação, onde a variação do ganho do integrador resulta em uma NTF mais agressiva, sendo assim, a SNR poderá aumentar, no entanto, quando a variação for grande o suficiente, o modulador ficará instável, diminuindo drasticamente a SNR. Neste caso diz-se que o quantizador entrará na região de *overload*.

5.9 Ruído térmico

O ruído térmico é um fator que deve ser levado em conta em $\Sigma\Delta M$ em tempo contínuo, de fato, a performance pode ser mais afetada pelo ruído térmico que pelo ruído de quantização. O ruído térmico do primeiro amplificador deverá ser mantido pequeno suficiente de modo que a soma deste com os resistores (para um modulador implementado com filtro RC) de entrada e de realimentação não afetem a performance do modulador (GERFERS; ORTMANNNS, 2010). Para dimensionar os resistores e a transcondutância do primeiro amplificador de modo a manter o ruído térmico menor que IBN necessário e assim alcançar as especificações, faz-se necessário levar alguns parâmetros em consideração. No entanto, neste trabalho a metodologia para encontrar tais parâmetros não será abordada e o leitor poderá referir-se a (AGUIRRE, 2014) e (GERFERS; ORTMANNNS, 2010) para uma análise detalhada sobre o assunto.

5.10 Especificações das não-idealidades

A Tabela 5.1 resume as especificações das não-idealidades para os blocos analógicos, onde $Ganho_1$ e $Ganho_2$, GBW_1 e GBW_2 , SR_1 e SR_2 referem-se ao primeiro e segundo amplificador respectivamente. As especificações do terceiro amplificador para os moduladores de terceira ordem são as mesmas que do segundo amplificador. Além disso, os valores de T_s são

referentes aos diferentes moduladores, e, de modo que cada modulador tem o parâmetro M distinto, T_s também será distinto.

Tabela 5.1: Especificações de algumas não-idealidades.

Parâmetros	2 ^a ordem	3 ^a ordem	3 ^a ordem
H_{inf}	1,5	1,5	1,16
Ganho ₁	> 30 dB	> 30 dB	> 30 dB
Ganho ₂	> 20 dB	> 20 dB	> 20 dB
GBW ₁	> 150 MHz	> 150 MHz	> 150 MHz
GBW ₂	> 10 MHz	> 10 MHz	> 10 MHz
<i>Slew Rate</i> ₁	> 10 MV/seg.	> 6 MV/seg.	> 2 MV/seg.
<i>Slew Rate</i> ₂	> 1 MV/seg.	> 1 MV/seg.	> 1 MV/seg.
ELD	<30% T_s	<20% T_s	<30% T_s
<i>Jitter</i>	$1 \times 10^{-4} T_s$	$0,17 \times 10^{-4} T_s$	$0,2 \times 10^{-4} T_s$

Deve-se ressaltar que além das não-idealidades listadas neste capítulo, um $\Sigma\Delta M$ ainda sofre com algumas outras não-linearidades que são mais acentuadas quando o quantizador é implementado com vários bits, e.g., *offset* do quantizador. No entanto, as não-idealidades listadas são suficientes para o projeto de um $\Sigma\Delta M$ *single bit* em tempo contínuo.

5.11 Performance no nível de abstração do sistema

A Figura 5.13 ilustra a SNR versus a amplitude do sinal de entrada. As linhas tracejadas na figura representam as curvas ideais baseadas em (2.20), note que esta equação não leva em conta o parâmetro $\|H\|_\infty$ nem condições de estabilidade. Já as linhas contínuas representam a SNR simulada no nível de abstração do sistema tendo em consideração o parâmetro $\|H\|_\infty$ e as não-idealidades presentes nos moduladores, ou seja, os blocos que compõem o modulador foram dimensionados de modo que as não-idealidades não afetem a performance desejada. Pode ser claramente observado que para o modulador de segunda ordem, a diferença entre a curva ideal e a curva simulada é pequena, no entanto para o caso dos moduladores de terceira ordem, a diferença é substancial. Percebe-se também o que o modulador de terceira ordem com $\|H\|_\infty = 1,5$ tem o overload mais precipitado que os demais, desta forma, o projetista deve levar em consideração que a performance real de um modulador de ordem superior é geralmente menor que a predita por (2.20).

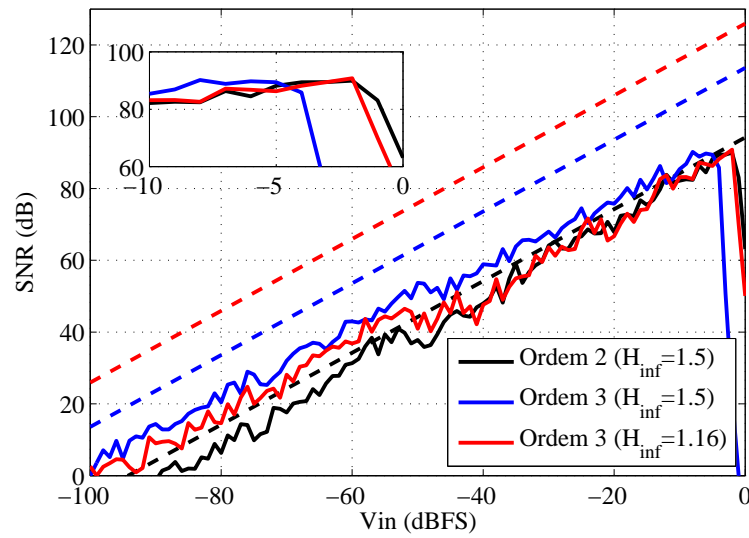


Figura 5.13: SNR versus amplitude do sinal de entrada. Performance no nível de abstração do sistema.

A Tabela 5.2 resume os resultados da performance do modulador no nível de abstração do sistema considerando as não-idealidades.

Tabela 5.2: Performance no nível de abstração do sistema.

Ordem (L)	SNR de pico	DR	Overload	B_w	f_s
$2_{\ H\ _{\infty}=1,5}$	90 dB	90 dB	-0,5 dB	0,2 MHz	51,2 MHz
$3_{\ H\ _{\infty}=1,5}$	90 dB	96 dB	-3,1 dB	0,2 MHz	32 MHz
$3_{\ H\ _{\infty}=1,16}$	90 dB	98 dB	-0,5 dB	0,2 MHz	48 MHz

6 ESTABILIDADE

O projeto de um modulador $\Sigma\Delta$ só estará completo se a estabilidade deste for analisada. Muitos investigadores tentaram encontrar um critério confiável para a estabilidade de um modulador $\Sigma\Delta$ de ordem superior, no entanto, mesmo que vários critérios existam, estes não fornecem a garantia de que o sistema será estável, além disso, esses critérios por muitas vezes são muito conservativos. A razão para este problema é o fato de o modulador $\Sigma\Delta$ ser um sistema não-linear devido a presença do quantizador. A análise de sistemas não-lineares sempre foi um problema significativo para a teoria de controle (ATHERTON, 1981). O que se faz então, é aproximar o sistema por um modelo linear de modo a alcançar uma solução que possa prever a resposta do sistema linear até um certo ponto. Outro fator que compromete a aproximação é que o comportamento dos sinais na entrada do quantizador e o ruído de quantização são estocásticos. Este fato restringe ainda mais o uso da teoria de controle em moduladores $\Sigma\Delta$, visto que seria necessário uma análise de um sistema linear com um processo de excitação randômico complicando imensamente a análise.

Entretanto, uma percepção bastante válida pode ser obtida utilizando a teoria clássica de controle através da plotagem do círculo unitário. Além disso, de modo a encontrar uma metodologia para deixar o sistema estável, simulações com a análise da agressividade da NTF, máximo sinal de entrada estável (MSA) e SNR serão analisadas a seguir.

6.1 Máximo sinal de entrada estável

A hipótese de uma função de densidade de potência (PDF) para uma entrada no quantizador e o valor de $\|H\|_\infty$ para um sistema específico define a MSA na qual é o maior valor médio da saída do quantizador que proporciona um ponto de equilíbrio estável (RISBO; SØRENSEN, 1995). Resultados empíricos mostram que a MSA derivada de uma PDF gaussiana é bastante precisa. Neste caso, a MSA poderá ser descrita como

$$A_{GAUSS}(MSA) = \|H\|_\infty. \quad (6.1)$$

É difícil justificar este critério de estabilidade de modo que as entradas em moduladores reais estão longe de serem gaussianas. No entanto, investigações apresentadas em (RISBO; SØRENSEN, 1995) indicam que o critério gaussiano tem uma precisão bastante elevada para

moduladores de ordem superior.

Comparando com o modulador de segunda ordem onde a estabilidade depende basicamente dos coeficientes do modulador, a estabilidade em moduladores de ordem superior depende além dos coeficientes, da amplitude do sinal de entrada (GREEN; HARRIS; WILSON, 1992). Sendo assim, a faixa de sinal útil para moduladores de ordem superior será reduzida. Esta faixa pode ser encontrada por simulação como ilustrado na Figura 6.1.

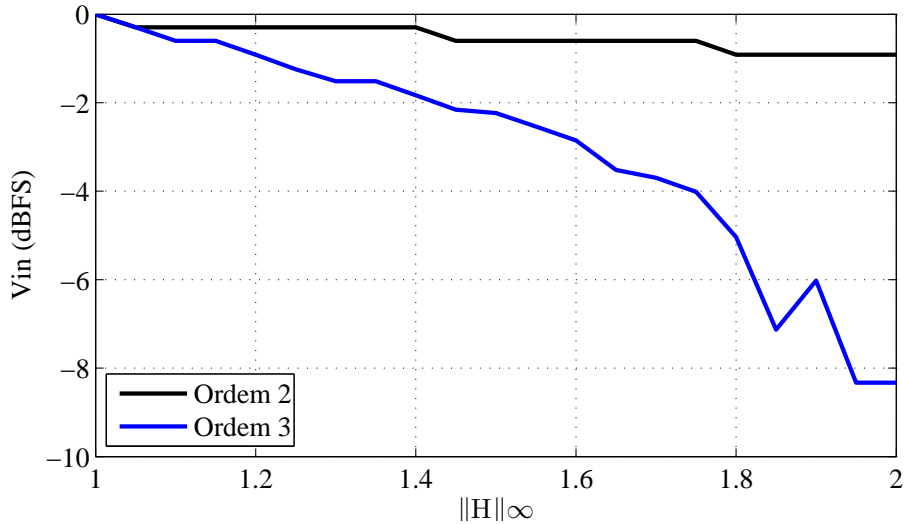


Figura 6.1: Máxima amplitude estável do sinal.

6.2 Root Locus

Root locus é uma abordagem clássica para determinar a estabilidade em um sistema de controle, de fato, é bastante visível devido ao efeito da localização de zeros e pólos. Para efetuar a análise, o método descrito em (YANG et al., 2002) foi utilizado, desta forma, foi preciso fazer a conversão de CT para DT da NTF. As NTFs para os três moduladores em questão são apresentadas.

$$NTF_{L=2, \|H\|_\infty=1,5} = \frac{(z-1)^2}{(z^2 - 1,225z + 0,4415)} \quad (6.2)$$

$$NTF_{L=3, \|H\|_\infty=1,5} = \frac{(z-1)^3}{(z-0,6694)(z^2 - 1,531z + 0,6639)} \quad (6.3)$$

$$NTF_{L=3, \|H\|_\infty=1,16} = \frac{(z-1)^3}{(z-0,8622)(z^2 - 1,841z + 0,8619)} \quad (6.4)$$

O plot da *root locus* de (6.2), (6.3) e (6.4) é mostrado na Figura 6.2. Esta figura mostra que os pólos do sistema iniciam em dc ($z = \{1, 0\}$) e os pólos reais tendem a $-\infty$, de fato,

estes estarão sempre no eixo real dentro do círculo unitário devido ao efeito de limite do ciclo estável, na qual é descrito em (GEERTS; STEYAERT; SANSEN, 2002). A possibilidade de instabilidade parte dos pólos conjugados que deixam o círculo unitário para pequenos ganhos do quantizador e, entram no chamado ganho crítico. Para pequenas escalas, os ramos do *root locus* são curvados em direção ao círculo unitário e uma condição de estabilidade é então determinada. Desta forma, o modulador provavelmente será:

- Completamente instável se o ganho do quantizador para um sinal de entrada nulo mover os pólos para fora do círculo unitário;
- Incondicionalmente estável se os pólos ficarem dentro do círculo unitário para todos os sinais de entrada com amplitude acima de zero;
- Condicionamente estável se para um aumento na amplitude do sinal de entrada ao menos um pólo saia do círculo unitário.

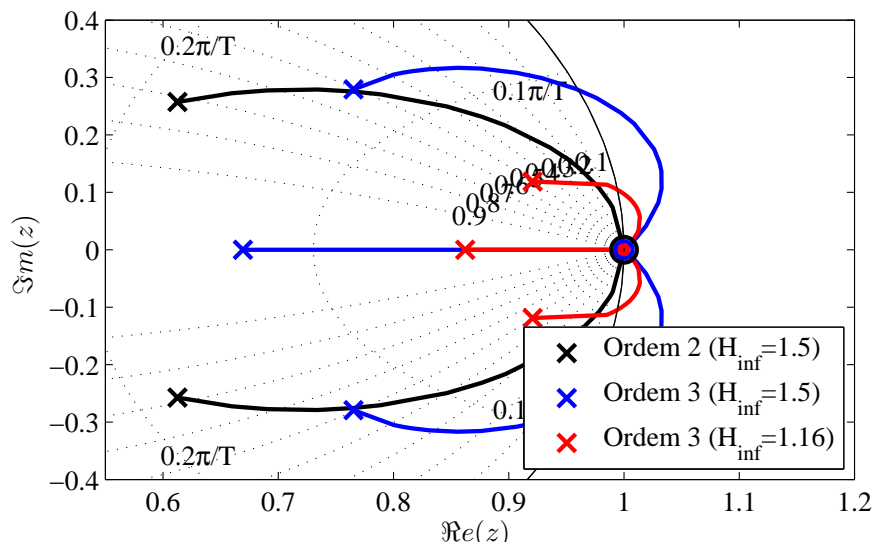


Figura 6.2: *Root Locus*.

O método de verificação por root locus é uma abordagem linear para um sistema não linear, sendo assim, as condições de estabilidade devem ser comprovadas através de simulações para a análise da performance do modulador (EYNDE; SANSEN, 1993).

6.3 Agressividade da NTF

A estabilidade é o custo pago pela agressividade da NTF, ou seja, por um $\|H\|_{\infty}$ maior. No entanto, esta afirmação é válida para moduladores de segunda ordem e não necessaria-

mente para moduladores de ordem superior que possuem vários pares de pólos. Uma NTF mais agressiva significa mover mais IBN para fora da banda de interesse, desta forma, uma $\|H\|_\infty$ maior poderá suprimir ainda mais o *noise floor*. Ajustando adequadamente os pólos da NTF, esta poderá ser plana na banda de atenuação, e assim, colaborar com a estabilidade do modulador. Se a $\|H\|_\infty$ for incrementada para um sistema de mesma ordem, e.g., terceira ordem com $\|H\|_\infty = 1.5$ e outro com $\|H\|_\infty = 1.16$, o sistema com um maior ganho fora de banda irá deixar o ponto de limiar da banda de passagem para a banda de transição mais acentuado e, conseqüente, irá aumentar a SNR do modulador. A Figura 6.3a ilustra as NTFs dos moduladores em estudo.

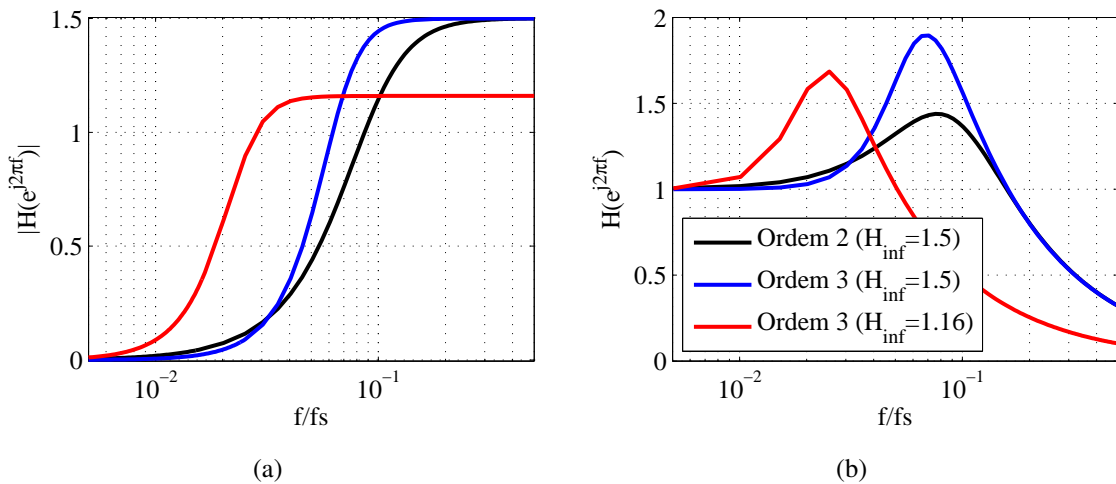


Figura 6.3: Modulador $\Sigma\Delta$ (a) NTF (b) STF.

Pode-se notar nitidamente na Figura 6.3a os diferentes ganhos das NTFs para os moduladores de segunda e terceira ordem e que o limiar da banda passante para a banda de transição do modulador de terceira ordem com $\|H\|_\infty = 1.16$ é mais suave que o respectivo modulador com $\|H\|_\infty = 1.5$, desta forma espera-se ter um maior SNR para este último para uma mesma largura de banda.

A Figura 6.3b mostra a STF dos três moduladores em questão. Geralmente, uma STF para arquiteturas do tipo CIFF apresentam um pico fora da banda. Isto implica que na frequência em que o pico ocorre, a máxima amplitude do sinal de entrada diminui na ordem do ganho do pico, portanto, a faixa dinâmica será reduzida. O pico mais elevado também influenciará na sensibilidade do sistema em relação às variações dos componentes como pode ser comprovado pela Figura 5.12d. (DELIYANNIS; SUN; FIDLER, 1998) afirma que quanto menos sensível o sistema for às variações dos componentes, mais estáveis as suas características serão e, assim,

mais provavelmente que as especificações serão mantidas apesar das variações.

6.4 Critério de estabilidade

Uma outra análise bastante relevante é a análise do aumento da SNR em função de $\|H\|_\infty$. De fato, o desejo para uma SNR maior é a motivação para projetar moduladores de ordem superior e assim, confrontar os perigos impostos pela estabilidade. Para o propósito de determinar o pico da SNR do modulador, um tom cuja amplitude é 1 dB abaixo do limite da entrada dc será utilizado, e, como a SNR é praticamente constante para amplitudes perto de dc, o erro do pico da SNR será aceitável. A Figura 6.4 ilustra a SNR em função de $\|H\|_\infty$. A partir desta figura, pode ser observado que o pico da SNR aumenta com um aumento de $\|H\|_\infty$ (os pólos estão se movendo para longe dos zeros enquanto a frequência de corte de Butterworth está aumentando) até que o modulador se torna instável para $\|H\|_\infty \approx 2$ para o modulador de terceira ordem. Para uma melhor performance, os pólos deverão estar longe dos zeros, mas não tão longe de modo que cause a instabilidade no modulador.

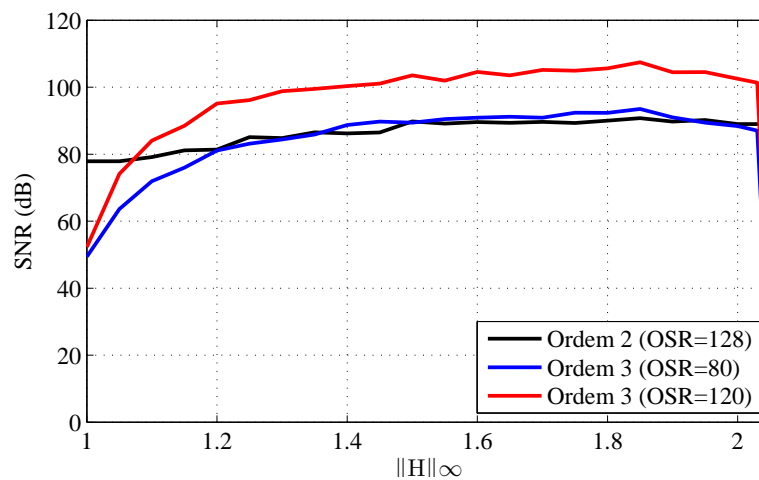


Figura 6.4: Critério de estabilidade.

Vários pesquisadores sugerem o uso de um critério para estabilidade, (CHAO et al., 1990) defende que para $\|H\|_\infty < 2$ o modulador será estável, enquanto (AGRAWAL; SHENOI, 1983) defendem o critério de $\|H\|_\infty < 3$. Entretanto, como pode ser visto na Figura 6.4, o modulador torna-se instável utilizando o critério de (CHAO et al., 1990) sendo que a SNR cai abruptamente com $\|H\|_\infty$ levemente superior a 2.

7 PROJETO DO MODULADOR NO NÍVEL DE ABSTRAÇÃO DO CIRCUITO

Neste capítulo, o projeto do modulador no nível de abstração do circuito será descrito. Os desafios em se projetar amplificadores com alto ganho e alto GBW será discutido, assim como o restante dos blocos que compõem o modulador. A tecnologia utilizada neste trabalho é CMOS de 130nm (UMC 130nm) com tensão de alimentação de 1,2V. As especificações dos blocos a serem projetados foram listadas na Tabela 5.1 da Seção 5.10.

7.1 Esquemático do modulador $\Sigma\Delta$ no nível de abstração elétrica

As Figuras 7.1a e 7.1b ilustram o diagrama de blocos da topologia C1FF para os moduladores de segunda e terceira ordem no nível de abstração elétrica.

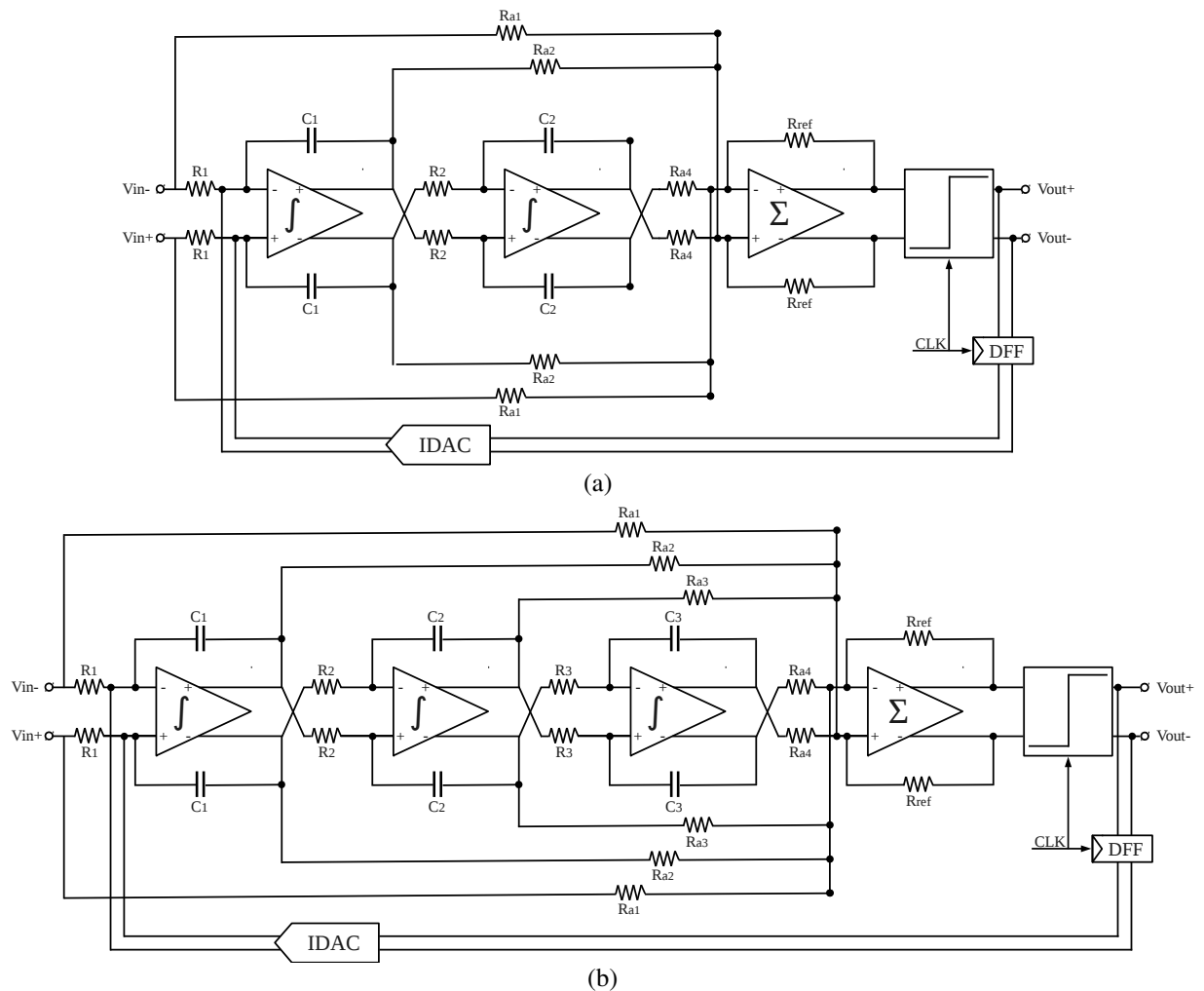


Figura 7.1: Esquemático do modulador $\Sigma\Delta$ em nível elétrico. (a) Segunda ordem (b) terceira ordem.

7.2 Implementação dos coeficientes

O projeto de um modulador $\Sigma\Delta$ é um processo iterativo entre o nível de sistema e nível de circuito. O circuito projetado deve possuir os mesmos coeficientes obtidos no nível de abstração do sistema, além disso, as tensões na saída dos integradores deverão ser similares tanto no nível de abstração do sistema e circuito. De modo a implementar os coeficientes c_i mostrados na Tabela 4.3 da Seção 4.4, a seguinte relação deve ser seguida

$$f_s = \frac{1}{R_i C_i a_i} \quad (7.1)$$

onde C_i é o capacitor do integrador i , R_i é o resistor do integrador i e a_i é o coeficiente de alimentação em avanço referente ao integrador i . A escolha do capacitor e do resistor dependem basicamente de dois fatores, o primeiro refere-se à área em silício. Como a área de um capacitor é geralmente maior que a de um resistor, geralmente escolhe-se o menor capacitor possível, no entanto, a escolha de um capacitor pequeno pode acarretar em um resistor muito grande, e como foi descrito na Seção 5.9, o ruído térmico depende do tamanho dos resistores do primeiro integrador. Sendo assim, deve-se mensurar ambos os fatores na hora de escolher a dimensão dos dispositivos.

A Tabela 7.1 mostra os valores dos capacitores e resistores utilizados para implementar os coeficientes a nível de circuito. Os coeficientes a_i foram implementados como relação do resistor de referência R_{ref} do somador ativo.

Tabela 7.1: Dimensão dos dispositivos RC.

Dispositivo	Ordem = 2 _{H ∞=1,5}		Ordem = 3 _{H ∞=1,5}		Ordem = 3 _{H ∞=1,16}	
	R ($k\Omega$)	C (pF)	R ($k\Omega$)	C (pF)	R ($k\Omega$)	C (pF)
C_1	-	3	-	3	-	3
C_2	-	1	-	1	-	1
C_3	-	-	-	2	-	1
R_1	18,21	-	43,80	-	30,63	-
R_2	173,00	-	138,6	-	93,15	-
R_3	-	-	125,90	-	165,71	-
R_{ref}	6,51	-	10,41	-	6,94	-
R_{a1}	6,51	-	10,41	-	6,94	-
R_{a2}	3,49	-	3,69	-	5,70	-
R_{a3}	1,21	-	2,28	-	2,97	-
R_{a4}	-	-	1,57	-	1,74	-

7.3 Projeto em tecnologia CMOS

7.3.1 Projeto dos amplificadores

Um amplificador de alta performance deve ter alta velocidade e ao mesmo tempo alto ganho, entretanto, é difícil projetar um amplificador que tenha essas duas qualidades. Amplificadores de alto ganho geralmente usam vários estágios, transistores com comprimento de canal elevado e são polarizados com pouca corrente. Amplificadores de alta velocidade geralmente usam topologias de apenas um estágio com comprimento de canal reduzido e são polarizados com elevada corrente (BULT; GEELEN, 1990). Na literatura são apresentados diversos tipos de topologias de amplificadores, no entanto, como os moduladores em estudo são projetados com integradores RC ativos, amplificadores de um estágio são descartados devido às cargas resistivas. Sendo assim, neste trabalho amplificadores de dois estágios são utilizados.

Um amplificador com cascata de estágios individuais faz com que se tenha um alto ganho, mas cada estágio introduzirá um pólo de baixa frequência que produzirá um deslocamento negativo na fase e degradará a margem de fase resultante. Vários esquemas de compensação para amplificadores com vários estágios são propostos na literatura (LEUNG et al., 2000), (NG; ZIAZADEH; ALLSTOT, 1999). Os esquemas citados são uma variação da compensação Miller para um amplificador de dois estágios. Em um esquema de compensação Miller, o pólo dominante é trazido para baixas frequências devido ao efeito Miller (*pole splitting*), resultando em topologias com baixo GBW. Além disso, um *right-half-plane zero* (RHP) é criado na qual degrada a fase. Desta forma, um resistor é geralmente utilizado para cancelar o efeito RHP. Outros esquemas de compensação usam deslocamento de fase positivo com inserção de um zero (*left-half-plane zero* ou simplesmente LHP) criado por um caminho de compensação em avanço para melhorar a margem de fase (ESCHAUZIER; HUIJSING, 2011), (YOU; EMBABI; SANCHEZ-SINENCIO, 1997), no entanto, o inconveniente destas propostas é que todas usam capacitores Miller. Nos últimos anos, técnicas de compensação em avanço ativas, ou seja, sem uso de capacitores tem sido exploradas. Em (SCHLARMANN; LEE; GEIGER, 1999) é feita uma análise teórica detalhada sobre os efeitos da compensação em avanço. O esquema de compensação utilizado neste trabalho emprega compensação em avanço para criar LHP sem a utilização de capacitores Miller. Desta forma, o pólo dominante não é trazido para baixas frequências, resultando em um amplificador com maior GBW e ao mesmo tempo com elevado ganho e baixa impedância de saída por ser uma topologia de dois estágios. A Figura 7.2 ilustra

o esquemático do amplificador. O esquemático do circuito de polarização não é mostrado, pois consiste de um bloco básico, no entanto, deve-se salientar que a corrente fornecida é de $1\mu A$ e que este circuito foi projetado baseando-se na arquitetura *Wide Swing Cascode* detalhadamente descrita em (BAKER et al., 2008).

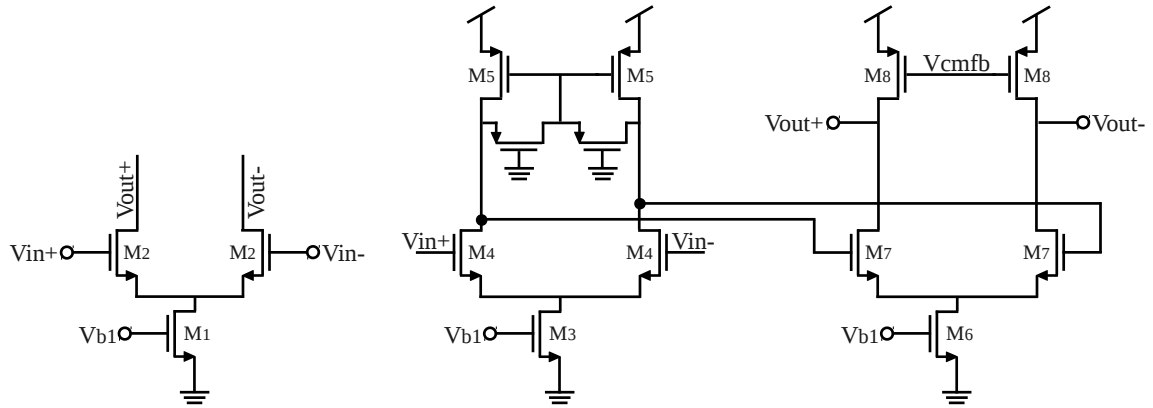


Figura 7.2: Esquemático amplificador.

Como pode ser visto na Figura 7.2, o amplificador necessita de dois circuitos de compensação de modo comum (CMFB), onde o primeiro estágio utiliza um circuito de modo comum local. Para um circuito CMFB local, geralmente utilizam-se resistores com valores nas casas das dezenas a centenas de $k\Omega$. Entretanto, implementar resistores com valores elevados demandam muita área em silício, desta forma, utilizou-se a implementação de PMOS na região linear. Além disso, o CMFB local tende a evitar a necessidade de compensação e problemas com *latch-up*. No entanto, o CMFB global oferece um controle mais preciso da tensão de modo comum, sendo assim, foi projetado um circuito CMFB global para o segundo estágio. A Figura 7.3 ilustra o esquemático do circuito CMFB em tempo contínuo utilizado no estágio de saída.

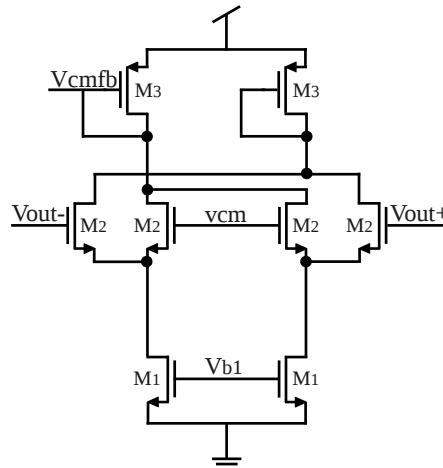


Figura 7.3: Esquemático do circuito de modo comum.

O circuito de CMFB é projetado de modo a setar corretamente a tensão de modo comum, para isso, o circuito faz o sensoriamento dos sinais positivo e negativo, compara o valor com a tensão de referência v_{cm} e retorna a tensão $V_{cm,fb}$ polarizando a fonte de corrente.

As Figuras 7.4a e 7.4b ilustram a resposta em frequência do primeiro amplificador e segundo amplificador, respectivamente. Ressalta-se que ambos os amplificadores foram utilizados para os três moduladores em estudo de modo que a comparação de performance dos moduladores seja justa. Além disso, garante-se que as cargas resistivas não afetaram a performance dos moduladores.

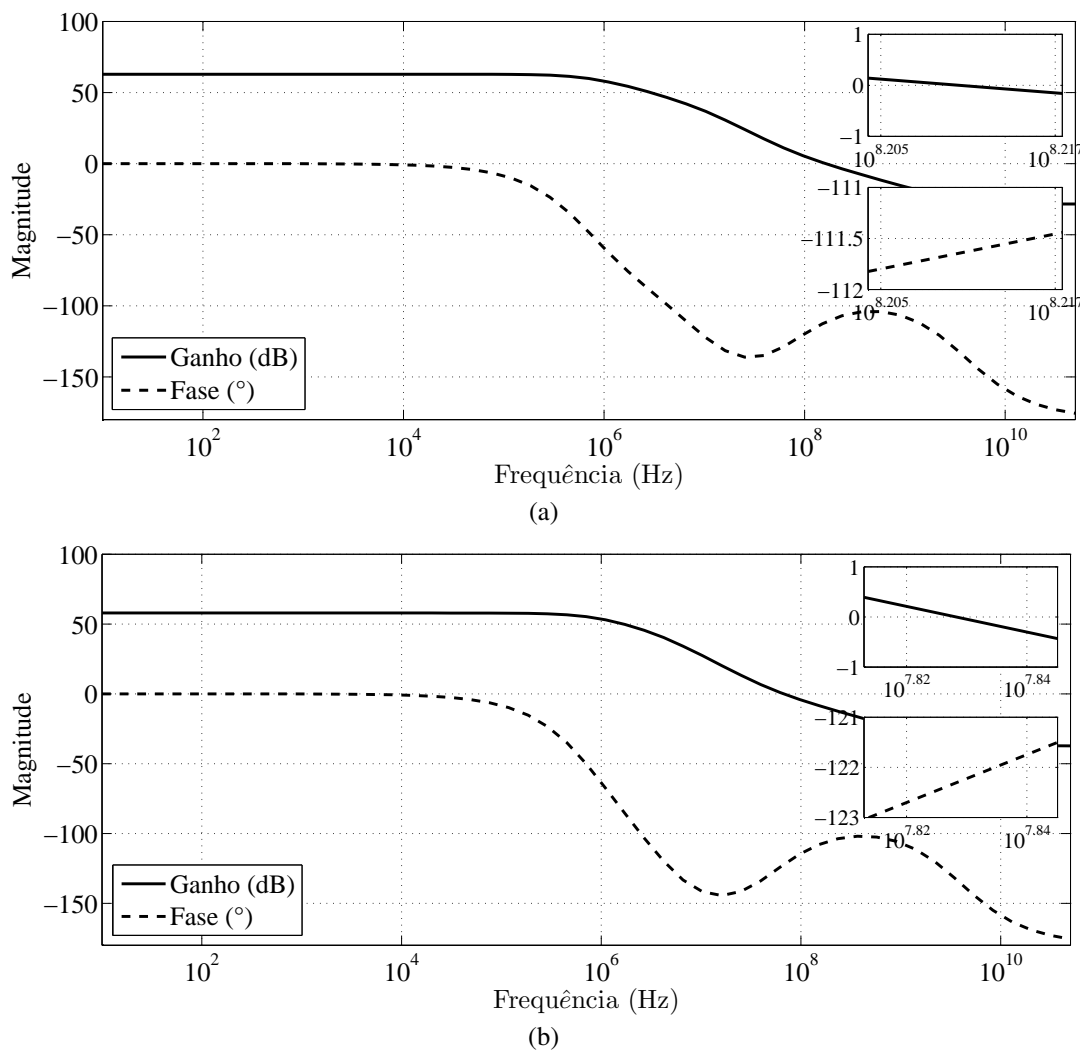


Figura 7.4: Resposta em frequência. (a) Primeiro amplificador (b) segundo amplificador.

O amplificador com resposta em frequência mostrada na Figura 7.4a obteve um GBW de 167 MHz, ganho de 62 dB, margem de fase de 62° , *slew rate* de 28 MV/s e consome 680 μA considerando, além do amplificador, o circuito CMFB e de polarização. Já o segundo amplificador com a resposta ilustrada na Figura 7.4b obteve um GBW de 70 MHz, ganho de 58

dB, margem de fase de 56° , slew rate de 8 MV/s e consumo de $204 \mu A$ também considerando o circuito CMFB e de polarização. As cargas capacitivas foram de 3 pF para o primeiro amplificador e 1 pF para o segundo amplificador e a carga resistiva foi variada de 500Ω a $10 k\Omega$ de modo a verificar que o ganho não foi afetado consideravelmente.

A Tabela 7.2 mostra a dimensão dos dispositivos utilizados nos amplificadores. A notação a ser utilizada é baseada no índice vetorial utilizado no ambiente Cadence, e.g., o nome do transistor seguido de $\langle 0:1 \rangle$ indica que há 2 transistores em paralelo.

Tabela 7.2: Dimensão dos dispositivos dos amplificadores.

Primeiro amplificador			Segundo amplificador		
Dispositivo	W(μm)	L(μm)	Dispositivo	W(μm)	L(μm)
$M_1\langle 0:49 \rangle$	2	1	$M_1\langle 0:15 \rangle$	2	1
$M_2\langle 0:49 \rangle$	10	0,5	$M_2\langle 0:15 \rangle$	10	0,5
$M_3\langle 0:11 \rangle$	2	1	$M_3\langle 0:3 \rangle$	2	1
$M_4\langle 0:11 \rangle$	20	1	$M_4\langle 0:3 \rangle$	20	1
$M_5\langle 0:11 \rangle$	0,5	1	$M_5\langle 0:3 \rangle$	0,5	1
$M_6\langle 0:17 \rangle$	2	1	$M_6\langle 0:4 \rangle$	2	1
$M_7\langle 0:17 \rangle$	15	0,64	$M_7\langle 0:4 \rangle$	15	0,64
$M_8\langle 0:33 \rangle$	4	0,75	$M_8\langle 0:9 \rangle$	4	0,75

A Tabela 7.3 mostra a dimensão dos dispositivos utilizados nos circuitos de modo comum, sendo que o primeiro CMFB refere-se ao circuito utilizado no primeiro amplificador e o segundo CMFB refere-se ao circuito utilizado no segundo amplificador.

Tabela 7.3: Dimensão dos dispositivos do CMFB.

Primeiro CMFB			Segundo CMFB		
Dispositivo	W (μm)	L(μm)	Dispositivo	W (μm)	L(μm)
$M_1\langle 0:17 \rangle$	2	1	$M_1\langle 0:5 \rangle$	2	1
$M_2\langle 0:31 \rangle$	1,5	0,25	$M_2\langle 0:15 \rangle$	1,5	0,25
$M_3\langle 0:17 \rangle$	4	0,75	$M_3\langle 0:5 \rangle$	4	0,75

7.3.2 Projeto do quantizador

A topologia dinâmica foi escolhida para o projeto do comparador, no entanto, esta topologia sofre com algumas não-idealidades como tensão de *offset* e ruído *kickback* (ENZ; TE-

MES, 1996). A tensão de *offset* pode ser minimizada utilizando técnicas de Auto-Zero e o ruído *kickback* pode ser minimizado com um estágio de pré-amplificação (CARUSONE; JOHNS; MARTIN, 2011), porém, o comparador a ser projetado neste trabalho tem suas especificações bastante relaxadas devido a este ser *single-bit* e, desta forma, como a tensão de *offset* e o ruído *kickback* não afetaram a performance do modulador, estes não serão avaliados.

O quantizador consiste de um comparador dinâmico e um *latch* SR, essa topologia é denominada *track and latch*. As Figuras 7.5a e 7.5b ilustram o esquemático do comparador dinâmico e do *latch*. O comparador dinâmico é composto de uma entrada diferencial NMOS M_2 , inversores M_3 e M_4 em uma configuração de realimentação positiva, transistores de pré-carga M_5 e pela fonte de corrente M_1 , enquanto que os transistores M_6 a M_9 formam o *latch* na saída. Esta topologia tem a vantagem de dissipar pouca potência, pois o consumo dá-se apenas na borda de subida do clock CLK .

Seu funcionamento é explicado a seguir: Na borda de subida do *clock* os transistores de pré-carga M_5 estarão abertos e o par diferencial será ativado, iniciando a comparação. Na fase de pré-carga, a corrente de M_5 é cortada e as saídas V_{o+} e V_{o-} vão a VDD. A velocidade do comparador é altamente dependente da corrente que passa por M_1 (CORTES; GIRARDI; BAMPI, 2006), sendo assim, a fonte de corrente e o par diferencial devem ser projetados de modo que a velocidade de comparação seja rápida o suficiente para não afetar a performance do modulador. Para uma explicação mais detalhada, o leitor poderá referir-se a (AGUIRRE, 2014) e (CRUZ MARTIN, 2013)

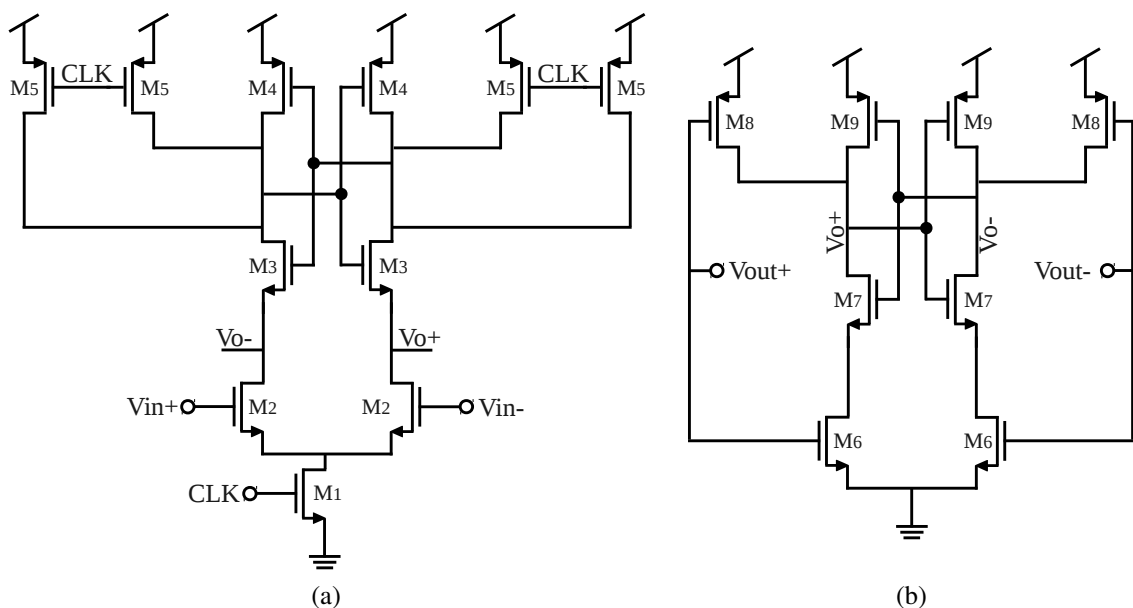


Figura 7.5: Esquemático. (a) Comparador dinâmico (b) Latch.

A Figura 7.6 ilustra os resultados de simulação para os três moduladores em estudo.

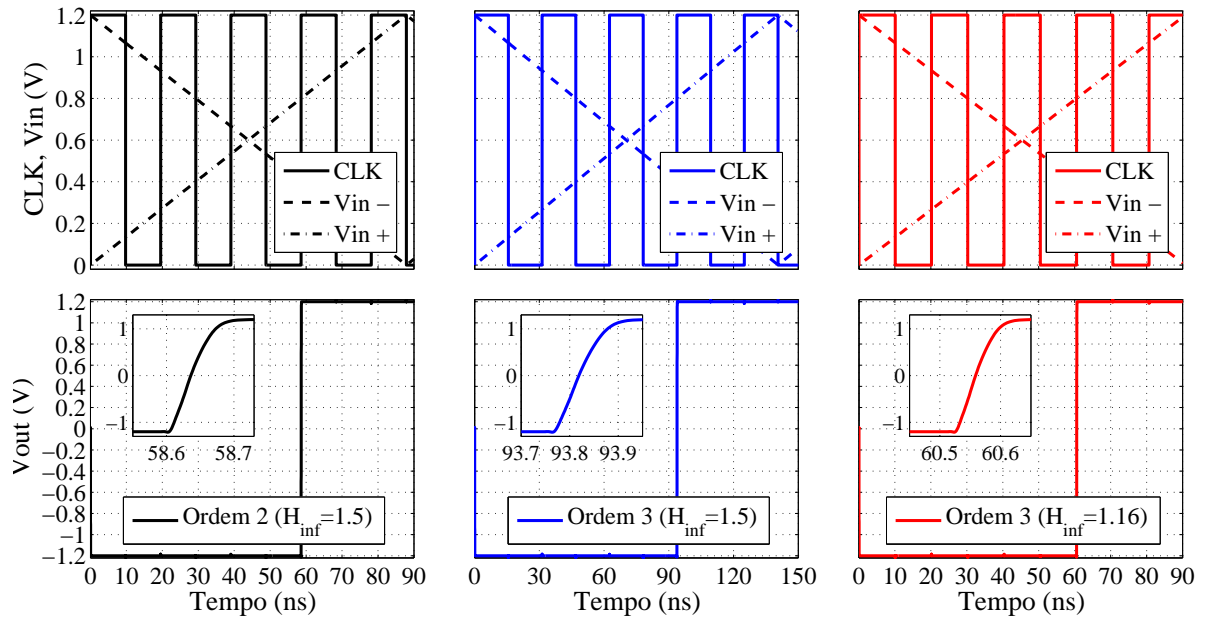


Figura 7.6: Resultados de simulação do comparador.

A Tabela 7.4 mostra a dimensão dos dispositivos, note que foi utilizado o mesmo quantizador para os três moduladores pois verificou-se que a performance do modulador não foi afetada, desta forma, não foi preciso projetar quantizadores distintos. Entretanto, na Figura 7.6 há vários resultados de simulação pois os moduladores foram testados com a frequência de amostragem característica de cada modulador. Sendo assim, o tempo de comparação aproximado foi de 60 ps para o modulador de segunda ordem, 100 ps para o modulador de terceira ordem com $\|H\|_{\infty} = 1,5$ e 70 ps para o modulador de terceira ordem com $\|H\|_{\infty} = 1,16$.

Tabela 7.4: Dimensão dos dispositivos do quantizador.

Dispositivo	W (μm)	L (μm)
$M_1<0:9>$	8	0,24
$M_2<0:9>$	3	0,24
$M_3<0:1>$	3	0,24
$M_4<0:1>$	6	0,24
$M_5<0:1>$	6	0,24
$M_6<0:1>$	3	0,24
$M_7<0:1>$	3	0,24
$M_8<0:1>$	6	0,24
$M_9<0:1>$	6	0,24

7.3.3 Projeto do DAC

O projeto do DAC com pulso do tipo NRZ pode ser elaborado utilizando tensões de referência com o auxílio dos resistores R_{DAC} , no entanto, sabe-se que estes são suscetíveis à variação de até 20%. Outra opção é projetar o DAC de forma que a sua saída seja em corrente, assim, a saída sofrerá pouca variação. Neste trabalho, o DAC foi projetado de modo a ter a saída em corrente com pulso do tipo NRZ, consistindo basicamente de fonte de corrente controlada por chaves MOS. A fonte de corrente foi projetada em cascode de modo a se obter uma corrente mais precisa e menos suscetível a variações de processo. A Figura 7.7 ilustra o esquemático do DAC implementado para os três moduladores em estudo. O esquemático do circuito de polarização não é mostrado pelo mesmo motivo citado na Seção 7.3.1 de modo que este foi projetado semelhantemente. A corrente fornecida ao DAC é de $1\mu A$ e a corrente que o DAC fornecerá é obtida da seguinte forma:

$$I_{DAC} = \frac{V_{ref}}{2^B - 1} \frac{V_{ref}}{R_{DAC}} \quad (\text{para } B = 1) \quad (7.2)$$

onde V_{ref} é a tensão de referência e R_{DAC} é utilizado apenas para fins de cálculo. As chaves MOS são dimensionadas de modo que a fonte de corrente permaneça na região de saturação quando a chave está ligada.

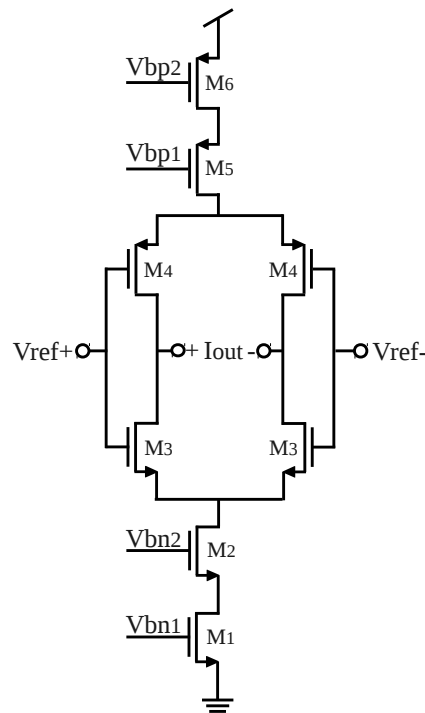


Figura 7.7: Esquemático do DAC.

A Figura 7.8 ilustra os resultados de simulação para os três moduladores em estudo. Note que para cada modulador a frequência de amostragem e o valor de R_{DAC} são distintos. Desta forma, a frequência da entrada V_{in} e a amplitude da saída I_{out} para cada modulador será diferente. Sendo assim, as correntes obtidas na saída do DAC são aproximadamente $41 \mu A$ para o modulador de segunda ordem, $29 \mu A$ para o modulador de terceira ordem com $\|H\|_{\infty} = 1,5$ e $39 \mu A$ para o modulador de terceira ordem com $\|H\|_{\infty} = 1,16$.

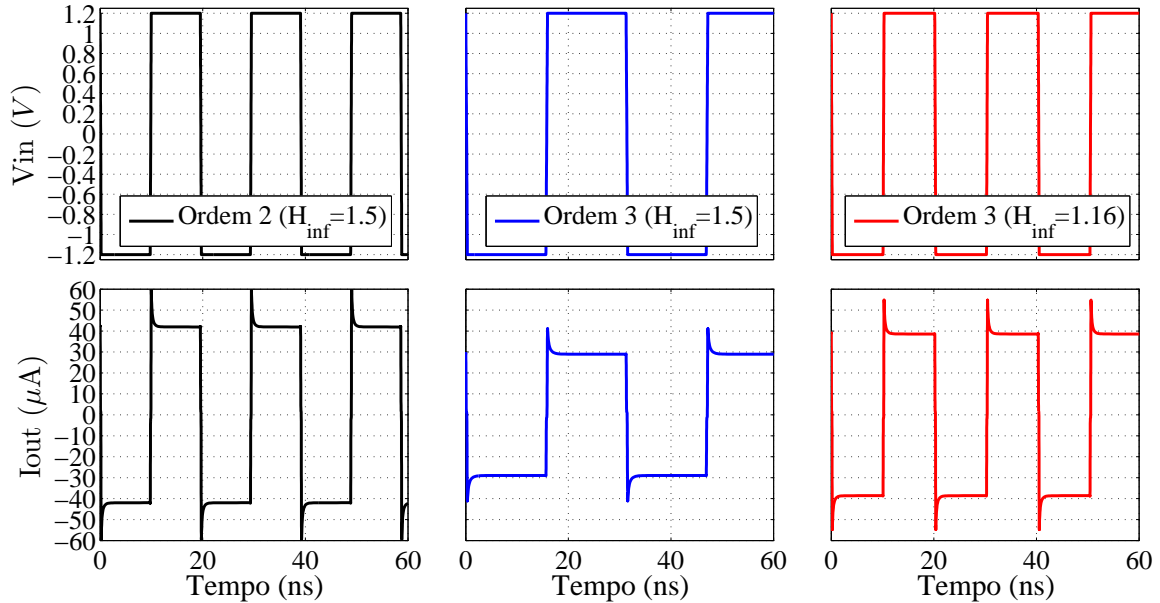


Figura 7.8: Resultados de simulação DAC.

A Tabela 7.5 mostra o dimensionamento dos transistores do DAC para os três moduladores.

Tabela 7.5: Dimensão dos dispositivos do DAC.

Ordem = 2 $\ H\ _{\infty}=1,5$	Ordem = 3 $\ H\ _{\infty}=1,5$	Ordem = 3 $\ H\ _{\infty}=1,16$		
Dispositivo			W(μm)	L(μm)
$M_1<0:79>$	$M_1<0:29>$	$M_1<0:77>$	0,5	1,5
$M_2<0:79>$	$M_2<0:29>$	$M_2<0:77>$	2,5	0,5
$M_3<0:1>$	$M_3<0:1>$	$M_3<0:1>$	0,36	0,12
$M_4<0:1>$	$M_4<0:1>$	$M_4<0:1>$	0,36	0,12
$M_5<0:79>$	$M_5<0:29>$	$M_5<0:77>$	10	1
$M_6<0:79>$	$M_6<0:29>$	$M_6<0:77>$	1	1

8 RESULTADOS DE PERFORMANCE DO MODULADOR

Neste capítulo serão apresentados e discutidos os resultados de performance dos $\Sigma\Delta M$ projetados em nível elétrico.

8.1 Histogramas das saídas dos integradores

Antes de ilustrar as figuras que resultam nos indicadores de performance do modulador, é interessante verificar que as tensões na saída dos integradores não estão saturando. Sendo assim, as Figuras 8.1a e 8.1b ilustram as tensões nos integradores do modulador de segunda ordem. As Figuras 8.1c a 8.1e referem-se ao modulador de terceira ordem com NTF mais agressiva e as Figuras 8.1f a 8.1h referem-se ao modulador de terceira ordem com NTF moderada.

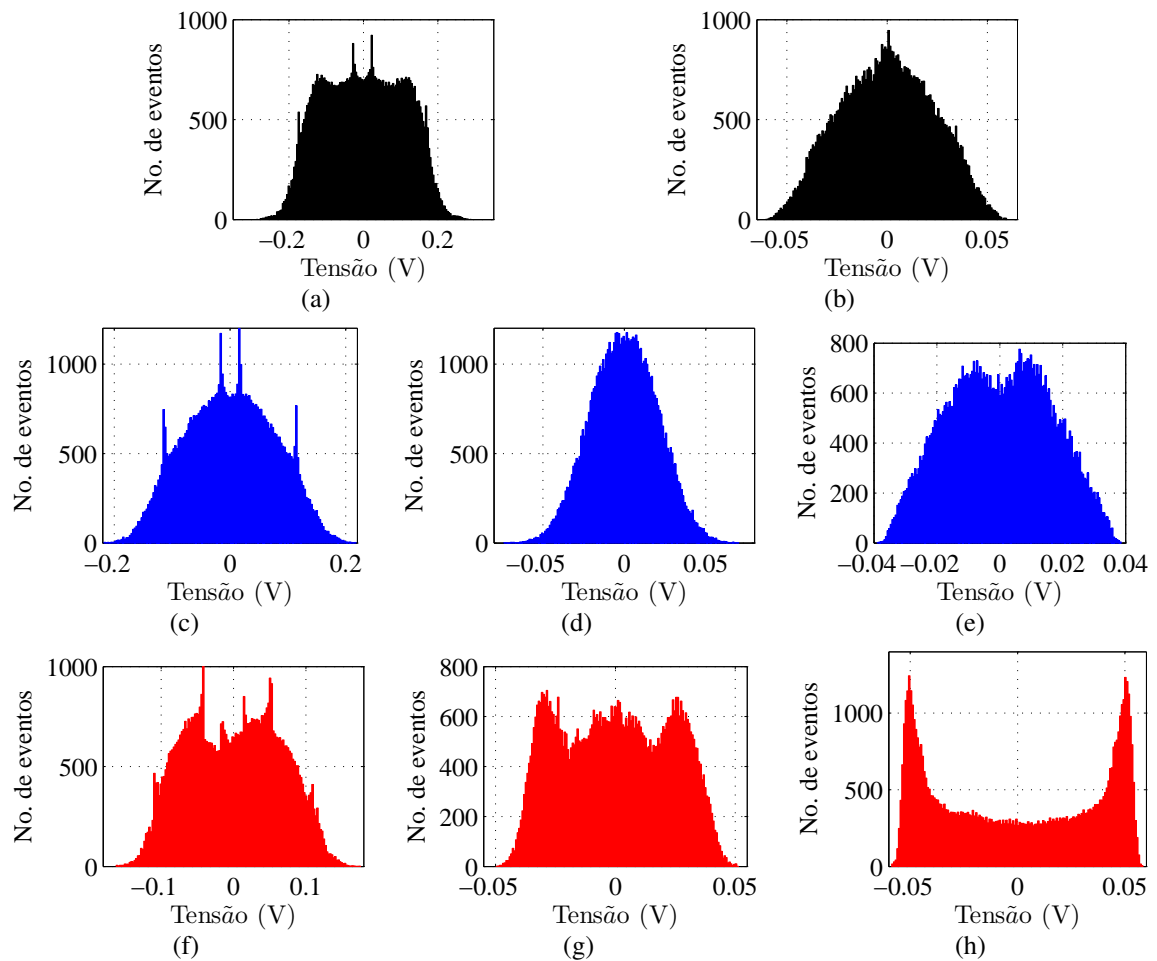


Figura 8.1: Histogramas. (a) 1° e 2° integrador (Ordem 2, $H_{inf} = 1, 5$) (b) 1° a 3° integrador (Ordem 3, $H_{inf} = 1, 5$) (c) 1° a 3° integrador (Ordem 3, $H_{inf} = 1, 16$).

Analisando as figuras percebe-se que nenhum dos integradores atingem a tensão de alimentação de 1,2 V, ou seja, estes não saturam. Esta primeira análise é feita devido ao fato de que a performance do modulador com o integrador saturado diminuiria consideravelmente, e as análises a serem feitas nas próximas seções seriam incoerentes.

8.2 Resposta em frequência dos moduladores

As Figuras 8.2a, 8.2b e 8.2c ilustram o espectro de saída dos moduladores $\Sigma\Delta$ de segunda ordem, terceira ordem com $H_{inf} = 1,5$ e terceira ordem com $H_{inf} = 1,16$, respectivamente.

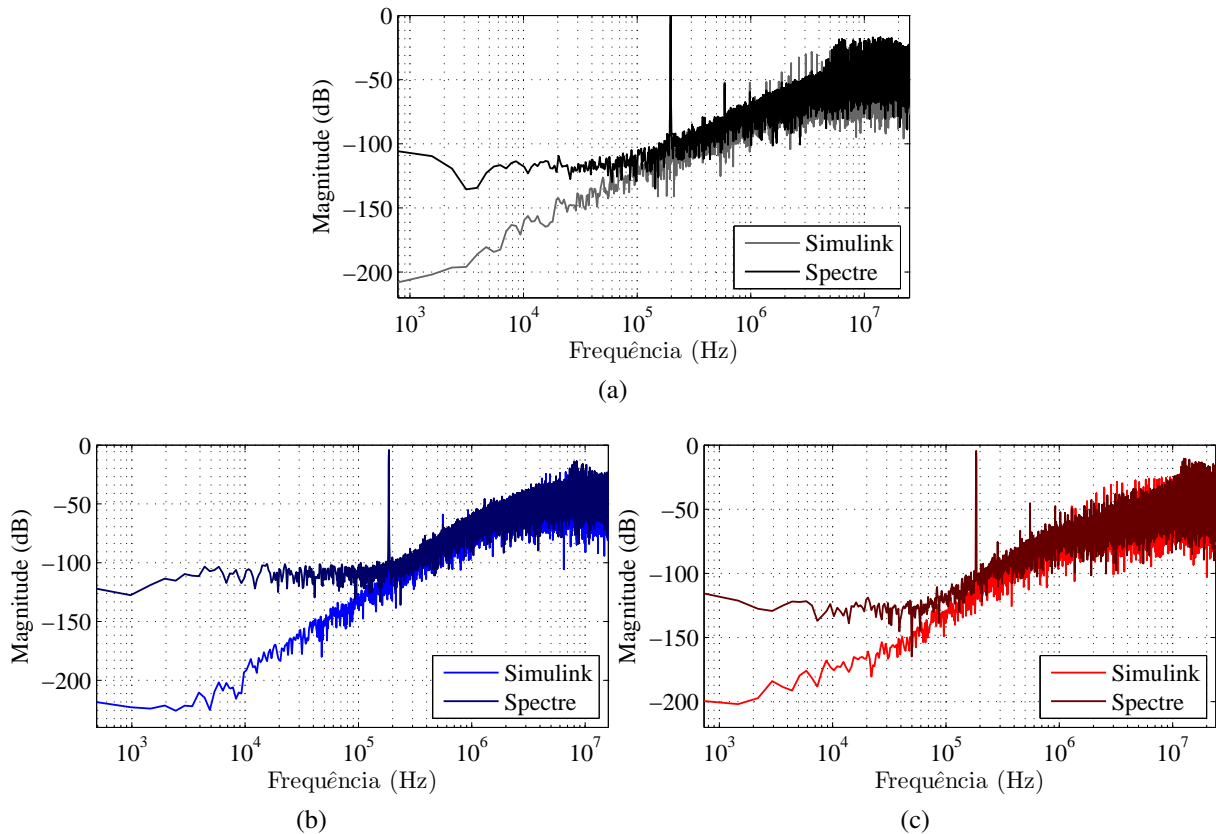


Figura 8.2: Spectra do modulador $\Sigma\Delta$. (a) Ordem 2, $H_{inf} = 1,5$ (b) Ordem 3, $H_{inf} = 1,5$ (c) Ordem 3, $H_{inf} = 1,16$.

Pode-se observar na Figura 8.2b que o *noise floor* dentro da banda para a simulação *Spectre* é mais alto que o da Figura 8.2c, desta forma, espera-se que o modulador de terceira ordem com a NTF mais agressiva tenha uma resolução menor que o modulador de terceira ordem com NTF moderada. Esta afirmação contradiz a análise feita em alto nível e, de fato o *noise floor* do modulador de terceira ordem com $H_{inf} = 1,5$ é mais baixo quando simulado no nível de abstração do sistema, i.e., no simulink. Este fato ocorre devido às várias não-

idealidades presentes no circuito, no entanto a mais agravante é o GBW dos amplificadores. Apesar do GBW requerido ser de 150 MHz, de acordo com a Tabela 5.10, percebeu-se ao longo do projeto dos moduladores que os modelos utilizados no nível de abstração do sistema não levam em conta a agressividade da NTF. Desta forma, para moduladores de ordem superior com NTF mais agressiva, deve-se esperar resultados inferiores no nível de abstração do circuito em relação aos obtidos no nível de abstração do sistema.

8.3 SNR

A Figura 8.3 ilustra a SNR versus a amplitude do sinal de entrada para os três moduladores. Esta figura é muito semelhante à Figura 5.13 que ilustra a performance do modulador no nível de abstração do sistema considerando as não-idealidades. Comparando ambas as figuras, percebe-se que o modulador de segunda ordem foi o que sofreu menos perda de SNR e DR como esperado devido a sua linearidade. O modulador de terceira ordem com a NTF mais agressiva foi o que mais sofreu perda de performance e o modulador de terceira ordem com a SNR moderada teve performance similar ao de segunda ordem.

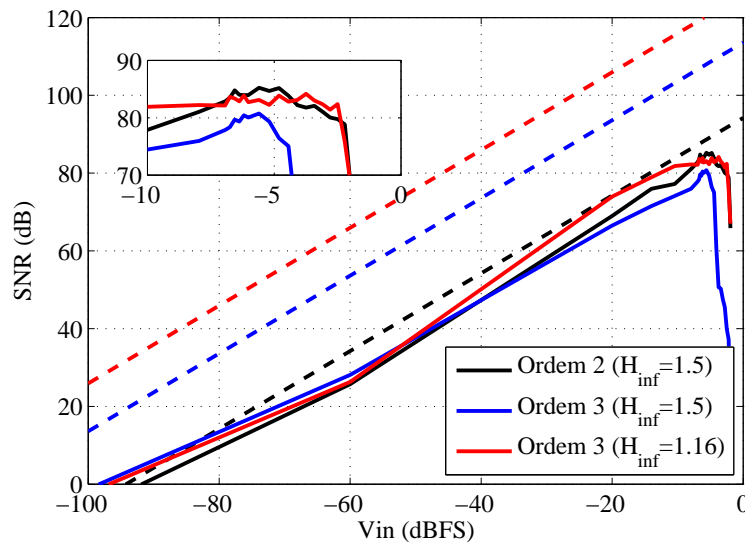


Figura 8.3: SNR versus amplitude do sinal de entrada. Performance a nível de circuito.

A Tabela 8.1 faz a comparação de performance entre os três moduladores implementados e mais dois encontrados na literatura. O modulador de segunda ordem é denominado MOD2, o modulador de terceira ordem com $H_{inf} = 1,5$ é denominado MOD3 e o modulador de terceira ordem com $H_{inf} = 1,16$ é denominado MOD3a. Para efeito de comparação será utilizada a figura de mérito (FOM) proposta por (SCHREIER; TEMES, 2004)

$$FOM = \frac{Pot\acute{e}ncia}{2 \times BW \times 2^{\frac{SNDR-1,76}{6,02}}} \quad (8.1)$$

Esta figura de m3rito enfatiza a pot3ncia do modulador, neste caso, quanto menor a FOM, "melhor" ser3 o modulador $\Sigma\Delta$.

Tabela 8.1: Performance no n3vel de abstra3o do circuito.

Par3metros	MOD2*	MOD3*	MOD3a*	1**	2**
Tecnologia	130 nm	130 nm	130 nm	90 nm	65 nm
Tens3o	1,2 V	1,2 V	1,2 V	1 V	1,2 V
Ordem	2	3	3	2	2
f_s	51,2 MHz	32 MHz	48 MHz	51,2 MHz	26 MHz
BW	0,2 MHz	0,2 MHz	0,2 MHz	0,2 MHz	0,13 MHz
OSR	128	80	120	128	160
$SNDR_{pico}$	85 dB	80 dB	84 dB	82 dB	78,5 dB
DR	89 dB	94 dB	95 dB	85 dB	82
ENOB	13,83 bits	13 bits	13,66 bits	13,33 bits	12,75 bits
Overload	-2 dB	-4.4 dB	-2 dB	-	-
Pot3ncia	1,98 mW	2,22 mW	2,34 mW	2,8 mW	1,74 mW
FOM	0,34 pJ/conv.	0,61 pJ/conv.	0,45 pJ/conv.	0,68 pJ/conv.	0,94 pJ/conv.
FOM_{f3sico}	0,48 pJ/conv.	0,96 pJ/conv.	0,64 pJ/conv.	0,68 pJ/conv.	0,94 pJ/conv.

* Resultado de simula3o no n3vel de abstra3o do circuito. ** Resultado de medida no n3vel de abstra3o f3sica.

1 - (KE et al., 2010). 2 - (JABBOUR, 2010)

Analisando a tabela percebe-se que o modulador de segunda ordem tem a menor FOM entre os tr3s moduladores projetados apesar de ter a f_s maior. Como o modulador 3 em tempo cont3nuo, o tempo gasto em termos de chaveamento 3 bastante reduzido e o consumo fica praticamente limitado ao consumo dos amplificadores. Sendo assim, como o modulador de segunda ordem possui apenas dois integradores mais um somador ativo, ou seja, tr3s amplificadores no total, j3 era de se esperar que este consumisse menos. O modulador de terceira ordem com $H_{inf} = 1,5$ foi o que teve a pior performance, apesar de ter a mesma quantidade de amplificadores e consumir um pouco menos que o modulador de terceira ordem com $H_{inf} = 1,16$, esse teve a pior $SNDR_{pico}$, o que 3 fator relevante para o c3lculo da FOM.

Os moduladores projetados por (KE et al., 2010) e (JABBOUR, 2010) utilizam topo-

logias de amplificadores com compensação Miller que consomem mais que os amplificadores projetados neste trabalho, além disso, os resultados destas referências foram obtidos no nível de abstração física, i.e., os circuitos foram fabricados. Logo é de se esperar que os moduladores projetados neste trabalho aumentem um pouco a FOM após a fabricação. Apesar disso, é de se esperar que a FOM do modulador de segunda ordem deste trabalho seja superior à figura de mérito das referências. De modo a comparar a performance no nível de abstração física, foi estimada uma $FOM_{físico}$. Nela considera-se que o consumo a nível elétrico é o mesmo, mas com uma degradação de $SNDR_{pico}$ de 3dB ($\approx 1/2$ bit) na qual é o valor obtido em (AGUIRRE, 2014). Mesmo considerando um aumento na potência após a fabricação devido a corrente de fuga e outros fatores, este aumento será de aproximadamente 35% do valor obtido no nível elétrico, ou seja, a potência do modulador de segunda ordem deverá passar de 1,98 mW para 2,64 mW para que sua FOM seja idêntica à obtida em (KE et al., 2010).

9 CONCLUSÕES

Neste trabalho foi apresentado o projeto de três $\Sigma\Delta M$ *single-bit* em tempo contínuo capaz de suprir os requisitos para o padrão GSM, sendo um modulador de segunda ordem, e dois de terceira ordem, onde um dos moduladores de ordem superior tem uma NTF mais agressiva. As funções de transferência dos moduladores foram sintetizadas diretamente em tempo contínuo, e a partir das implementações dos moduladores fez-se uma análise sobre a estabilidade e a real performance dos moduladores quando comparados à sua performance ideal. Desta forma, foi proposta uma metodologia de análise sobre a estabilidade que consiga estimar com uma certa precisão a performance de moduladores de ordem superior *single-bit*.

Além da análise sobre a estabilidade, fez-se a análise dos efeitos das principais não-idealidades que afetam a performance de moduladores *sigma delta* em tempo contínuo. Para isso as não-idealidades foram modeladas no nível de abstração do sistema. Verificou-se que o modulador de ordem superior com NTF mais agressiva tem os requerimentos de *jitter*, *excess loop delay*, produto ganho banda e erro da constante de tempo mais rigorosos. Para reduzir a sensibilidade ao *clock jitter*, optou-se por utilizar um DAC com forma de onda do tipo NRZ. A partir das simulações das não-idealidades, as especificações para os blocos analógicos foram obtidas.

Os moduladores foram projetados de modo a obter o mesmo SNR no nível de abstração do sistema, para isso definiu-se diferentes taxas de sobreamostragem. O resultado da performance no nível de abstração do sistema mostrou que os três moduladores atingem igualmente a mesma SNR de aproximadamente 90 dB apesar de terem diferentes faixas dinâmicas. A partir deste resultado verificou-se que o modulador de segunda ordem obteve a performance similar à predita por (2.20) devido a sua linearidade. Os moduladores de ordem superior obtiveram a performance muito inferior à predita pela mesma equação. Além disso, o modulador de terceira ordem com NTF mais agressiva teve o *overload* mais prematuro, reduzindo a faixa dinâmica. Esta redução de performance em relação à equação ideal ocorre pois esta não leva em consideração a estabilidade do sistema. É justamente neste aspecto que muitos projetistas equivocam-se escolhendo um modulador de ordem superior esperando que a performance será semelhante à predita pela equação ideal e, desta forma, ignorando outros aspectos de projeto, como a análise da estabilidade.

No nível de abstração do circuito foram apresentadas as topologias dos moduladores de

segunda e terceira ordem com integradores RC ativos e DAC em corrente. Foram discutidos os desafios de se projetar amplificadores com alto ganho e alto GBW. Para isso adaptou-se uma topologia de amplificador de dois estágios que emprega compensação em avanço sem utilizar resistores e capacitores, sendo assim, conseguiu-se obter uma relação entre ganho e produto ganho banda satisfatórias. Também foram apresentadas e discutidas as topologias do quantizador e DAC em corrente.

Foram apresentados e comparados os resultados no nível de abstração do circuito dos moduladores. Primeiramente foram analisadas as tensões nas saídas dos integradores de modo a verificar se estes não saturam. Posteriormente analisou-se o *noise floor* do espectro de saída dos moduladores, comparando-as no nível de abstração do sistema (Simulink) e no nível de abstração do circuito (Spectre). A figura da SNR versus a amplitude do sinal também foi analisada, pois desta figura foram obtidos os principais resultados de performance do modulador. Verificou-se que todos os moduladores projetados cumprem com as especificações, no entanto, o modulador de segunda ordem obteve melhor performance em termos de SNR (85 dB) e potência (1,98 mW). Utilizou-se uma figura de mérito para fazer uma comparação mais imediata de performance entre os três moduladores e mais duas referências encontradas na literatura. As figuras de mérito obtidas são bastante promissoras devido ao baixo consumo dos moduladores que utilizam a topologia de amplificador citada anteriormente. Apesar dos moduladores projetados neste trabalho serem implementados apenas até o nível de circuito, adicionou-se uma nova figura de mérito ($FOM_{físico}$) de modo a tentar fazer uma comparação mais justa com as referências que utilizaram resultados baseados em medidas físicas.

À vista do que foi exposto até agora, o leitor deverá ter em mente que, apesar de um modulador de segunda ordem *single-bit* de laço único ser muitas vezes superior ao de terceira ordem *single-bit* de laço único, tendo em conta os argumentos vistos neste trabalho, inevitavelmente moduladores de ordem superior se tornam necessários a partir de uma certa banda de sinal para uma determinada resolução, desta forma, quando o modulador de segunda ordem não for mais uma opção, geralmente utilizam-se moduladores de ordem superior com quantizador *multi-bit* para manter as condições de estabilidade análogas a um modulador de segunda ordem *single-bit* e assim, obter uma figura de mérito equivalente.

REFERÊNCIAS

- AGRAWAL, B.; SHENOI, K. Design Methodology for SDM. **Communications, IEEE Transactions on**, [S.l.], v.31, n.3, p.360–370, Mar 1983.
- AGUIRRE, P. C. C. de. **Projeto e Análise de Moduladores Sigma-Delta em Tempo Contínuo Aplicados à Conversão AD**. 2014. Dissertação (Mestrado em Ciência da Computação) — Universidade Federal do Rio Grande do Sul, Porto Alegre.
- AGUIRRE, P. et al. Behavioral modeling of continuous-time SD modulators in matlab/simulink. In: **CIRCUITS AND SYSTEMS (LASCAS), 2013 IEEE FOURTH LATIN AMERICAN SYMPOSIUM ON. Anais...** [S.l.: s.n.], 2013. p.1–4.
- ANDERSON, M.; SUNDSTROM, L. Design and Measurement of a CT $\Delta\Sigma$ ADC With Switched-Capacitor Switched-Resistor Feedback. **Solid-State Circuits, IEEE Journal of**, [S.l.], v.44, n.2, p.473–483, Feb 2009.
- ATHERTON, D. Analysis and design of nonlinear feedback systems. **Control Theory and Applications, IEE Proceedings D**, [S.l.], v.128, n.5, p.173–180, September 1981.
- BAKER, R. et al. **CMOS: circuit design, layout, and simulation**. [S.l.]: Wiley, 2008. (IEEE Press Series on Microelectronic Systems).
- BOSER, B.; WOOLEY, B. The design of sigma-delta modulation analog-to-digital converters. **Solid-State Circuits, IEEE Journal of**, [S.l.], v.23, n.6, p.1298–1308, Dec 1988.
- BREEMS, L.; HUIJSING, J. **Continuous-Time Sigma-Delta Modulation for A/D Conversion in Radio Receivers**. [S.l.]: Springer, 2001. (Operations Research/Computer Science Interfaces Series).
- BULT, K.; GEELLEN, G. A fast-settling CMOS op amp for SC circuits with 90-dB DC gain. **Solid-State Circuits, IEEE Journal of**, [S.l.], v.25, n.6, p.1379–1384, Dec 1990.
- CANNILLO, F. et al. 1.4V 13 mW 83dB DR CT- SD; modulator with Dual-Slope quantizer and PWM DAC for biopotential signal acquisition. In: **ESSCIRC (ESSCIRC), 2011 PROCEEDINGS OF THE. Anais...** [S.l.: s.n.], 2011. p.267–270.

CARUSONE, T.; JOHNS, D.; MARTIN, K. **Analog Integrated Circuit Design, 2nd Edition**. [S.l.]: Wiley Global Education, 2011.

CHAE, Y.; HAN, G. Low Voltage, Low Power, Inverter-Based Switched-Capacitor Delta-Sigma Modulator. **Solid-State Circuits, IEEE Journal of**, [S.l.], v.44, n.2, p.458–472, Feb 2009.

CHAO, K.-H. et al. A higher order topology for interpolative modulators for oversampling A/D converters. **Circuits and Systems, IEEE Transactions on**, [S.l.], v.37, n.3, p.309–318, Mar 1990.

CHERRY, J.; SNELGROVE, W. **Continuous-Time Delta-Sigma Modulators for High-Speed A/D Conversion: theory, practice and fundamental performance limits**. [S.l.]: Springer, 2000. (Kluwer international series in engineering and computer science: Analog circuits and signal processing).

CHERRY, J.; SNELGROVE, W.; GAO, W. On the design of a fourth-order continuous-time LC delta-sigma modulator for UHF A/D conversion. **Circuits and Systems II: Analog and Digital Signal Processing, IEEE Transactions on**, [S.l.], v.47, n.6, p.518–530, Jun 2000.

CORTES, F.; GIRARDI, A.; BAMPI, S. Track-and-Latch Comparator Design Using Associations of MOS Transistors and Characterization. In: **ELECTRONICS, CIRCUITS AND SYSTEMS, 2006. ICECS '06. 13TH IEEE INTERNATIONAL CONFERENCE ON. Anais...** [S.l.: s.n.], 2006. p.1164–1167.

CRUZ MARTIN, J. V. D. la. **Integrated Circuit Design of Sigma-Delta Modulator for Electric Energy Measurement Applications**. 2013. Dissertação (Mestrado em Ciência da Computação) — Universidade Federal do Rio de Janeiro, Rio de Janeiro.

DELIYANNIS, T.; SUN, Y.; FIDLER, J. **Continuous-Time Active Filter Design**. [S.l.]: Taylor & Francis, 1998. (Electronic Engineering Systems).

ENZ, C.; TEMES, G. Circuit techniques for reducing the effects of op-amp imperfections: autozeroing, correlated double sampling, and chopper stabilization. **Proceedings of the IEEE**, [S.l.], v.84, n.11, p.1584–1614, Nov 1996.

ESCHAUZIER, R.; HUIJSING, J. **Frequency Compensation Techniques for Low-Power Operational Amplifiers**. [S.l.]: Springer US, 2011. (The Springer International Series in Engineering and Computer Science).

EYNDE, F.; SANSEN, W. **Analog Interfaces for Digital Signal Processing Systems**. [S.l.]: Springer US, 1993. (Analog circuits and signal processing).

GARCIA, J.; RODRIGUEZ, S.; RUSU, A. A Low-Power CT Incremental 3rd Order $\Sigma\Delta$ ADC for Biosensor Applications. **Circuits and Systems I: Regular Papers, IEEE Transactions on**, [S.l.], v.60, n.1, p.25–36, Jan 2013.

GEERTS, Y.; STEYAERT, M.; SANSEN, W. **Design of Multi-Bit Delta-Sigma A/D Converters**. [S.l.]: Springer, 2002. (The Springer International Series in Engineering and Computer Science).

GERFERS, F.; ORTMANN, M. **Continuous-Time Sigma-Delta A/D Conversion: fundamentals, performance limits and robust implementations**. [S.l.]: Springer Berlin Heidelberg, 2010. (Springer Series in Advanced Microelectronics).

GREEN, S. R.; HARRIS, S.; WILSON, B. **An 18-Bit Delta-Sigma D/A Processor System Achieving Full-Scale THD+100 dB**. 1992.

GUNTURK, C.; LAGARIAS, J. C.; VAISHAMPAYAN, V. On the robustness of single-loop sigma-delta modulation. **Information Theory, IEEE Transactions on**, [S.l.], v.47, n.5, p.1735–1744, Jul 2001.

JABBOUR, C. **Conversion Analogique Numérique Sigma Delta Reconfigurable À Entrelacement Temporel**. [S.l.: s.n.], 2010.

JOSE, B. et al. A triple-mode feed-forward sigma-delta modulator design for GSM / WCDMA / WLAN applications. In: SOC CONFERENCE, 2007 IEEE INTERNATIONAL. **Anais...** [S.l.: s.n.], 2007. p.309–312.

KE, Y. et al. A 2.8-to-8.5mW GSM/bluetooth/UMTS/DVB-H/WLAN fully reconfigurable CT SD; with 200kHz to 20MHz BW for 4G radios in 90nm digital CMOS. In: VLSI CIRCUITS (VLSIC), 2010 IEEE SYMPOSIUM ON. **Anais...** [S.l.: s.n.], 2010. p.153–154.

LEUNG, K. N. et al. Three-stage large capacitive load amplifier with damping-factor-control frequency compensation. **Solid-State Circuits, IEEE Journal of**, [S.l.], v.35, n.2, p.221–230, Feb 2000.

MALOBERTI, F. **Data Converters**. [S.l.]: Springer, 2007.

MARQUES, A. et al. Optimal parameters for Delta; Sigma; modulator topologies. **Circuits and Systems II: Analog and Digital Signal Processing, IEEE Transactions on**, [S.l.], v.45, n.9, p.1232–1241, Sep 1998.

MEDEIRO, F. et al. Modeling opamp-induced harmonic distortion for switched-capacitor Sigma; Delta; modulator design. In: **CIRCUITS AND SYSTEMS, 1994. ISCAS '94., 1994 IEEE INTERNATIONAL SYMPOSIUM ON. Anais...** [S.l.: s.n.], 1994. v.5, p.445–448 vol.5.

NG, H.-T.; ZIAZADEH, R.; ALLSTOT, D. A multistage amplifier technique with embedded frequency compensation. **Solid-State Circuits, IEEE Journal of**, [S.l.], v.34, n.3, p.339–347, Mar 1999.

OLIAEI, O.; CLEMENT, P.; GORISSE, P. A 5-mW sigma-delta modulator with 84-dB dynamic range for GSM/EDGE. **Solid-State Circuits, IEEE Journal of**, [S.l.], v.37, n.1, p.2–10, Jan 2002.

PAVAN, S.; SANKAR, P. Power Reduction in Continuous-Time Delta-Sigma Modulators Using the Assisted Opamp Technique. **Solid-State Circuits, IEEE Journal of**, [S.l.], v.45, n.7, p.1365–1379, July 2010.

PENA-PEREZ, A.; BONIZZONI, E.; MALOBERTI, F. A 88-dB DR, 84-dB SNDR Very Low-Power Single Op-Amp Third-Order $\Sigma\Delta$ Modulator. **Solid-State Circuits, IEEE Journal of**, [S.l.], v.47, n.9, p.2107–2118, Sept 2012.

PUTTER, B. Sigma; Delta; ADC with finite impulse response feedback DAC. In: **SOLID-STATE CIRCUITS CONFERENCE, 2004. DIGEST OF TECHNICAL PAPERS. ISSCC. 2004 IEEE INTERNATIONAL. Anais...** [S.l.: s.n.], 2004. p.76–77 Vol.1.

RANJBAR, M.; OLIAEI, O.; JACKSON, R. A robust STF 6mW CT SD modulator with 76dB dynamic range and 5MHz bandwidth. In: **CUSTOM INTEGRATED CIRCUITS CONFERENCE (CICC), 2010 IEEE. Anais...** [S.l.: s.n.], 2010. p.1–4.

RISBO, L.; SØRENSEN, J. **Sigma-Delta Modulators - Stability Analysis and Optimization**. 1995. Tese (Doutorado em Ciência da Computação) — .

ROSA, J. de la. Sigma-Delta Modulators: tutorial overview, design guide, and state-of-the-art survey. **Circuits and Systems I: Regular Papers, IEEE Transactions on**, [S.l.], v.58, n.1, p.1–21, Jan 2011.

ROSA, J. de la; RÍO, R. **CMOS Sigma-Delta Converters: practical design guide**. [S.l.]: Wiley, 2013. (Wiley - IEEE).

SCHLARMANN, M.; LEE, E.; GEIGER, R. A new multipath amplifier design technique for enhancing gain without sacrificing bandwidth. In: **CIRCUITS AND SYSTEMS, 1999. ISCAS '99. PROCEEDINGS OF THE 1999 IEEE INTERNATIONAL SYMPOSIUM ON. Anais...** [S.l.: s.n.], 1999. v.2, p.610–615 vol.2.

SCHREIER, R.; TEMES, G. **Understanding Delta-Sigma Data Converters**. [S.l.]: Wiley, 2004.

VIERA, R. A. C. et al. System-Level Design of a Reconfigurable CT SD Modulator for Multi-Standard Wireless Applications. In: **SYMPOSIUM ON INTEGRATED CIRCUITS AND SYSTEMS DESIGN, 27.**, New York, NY, USA. **Proceedings...** ACM, 2014. p.9:1–9:6. (SBCCI '14).

VLEUGELS, K.; RABII, S.; WOOLEY, B. A 2.5-V sigma-delta modulator for broadband communications applications. **Solid-State Circuits, IEEE Journal of**, [S.l.], v.36, n.12, p.1887–1899, Dec 2001.

WILLIAMS, A.; TAYLOR, F. J. **Electronic Filter Design Handbook, Fourth Edition (McGraw-Hill Handbooks)**. [S.l.]: McGraw-Hill Professional, 2006.

YAN, S.; SANCHEZ-SINENCIO, E. A continuous-time sigma-delta modulator with 88-dB dynamic range and 1.1-MHz signal bandwidth. **Solid-State Circuits, IEEE Journal of**, [S.l.], v.39, n.1, p.75–86, Jan 2004.

YANG, C.-C. et al. Transfer function design of stable high-order sigma-delta modulators with root locus inside unit circle. In: **ASIC, 2002. PROCEEDINGS. 2002 IEEE ASIA-PACIFIC CONFERENCE ON. Anais...** [S.l.: s.n.], 2002. p.5–8.

YOU, F.; EMBABI, S.; SANCHEZ-SINENCIO, E. A multistage amplifier topology with nested Gm-C compensation for low-voltage application. In: **SOLID-STATE CIRCUITS CONFERENCE, 1997. DIGEST OF TECHNICAL PAPERS. 43RD ISSCC., 1997 IEEE INTERNATIONAL. Anais...** [S.l.: s.n.], 1997. p.348–349.

ZARE-HOSEINI, H.; KALE, I.; RICHARD, C. A low-power continuous-time SD modulator for Electret microphone applications. In: SOLID STATE CIRCUITS CONFERENCE (ASSCC), 2010 IEEE ASIAN. **Anais...** [S.l.: s.n.], 2010. p.1-4.

APÊNDICES

APÊNDICE A – Código C do quantizador

Quantizador Multibit (mask)
Quantizador Multibit com offset.

Parameters

Vref+:

Vref-:

Níveis de quantização:

XFS:

Offset:

Fase:

Período de amostragem:

Identificador:

Figura A.1: Janela de configuração do quantizador no Simulink.

```
#define S_FUNCTION_NAME QuantizadorMultibit
#define S_FUNCTION_LEVEL 2

#include "tmwtypes.h"
#include "simstruc.h"
#include <math.h>
#include <string.h>
#define Vrep(S) ssGetSFcnParam(S,0)
#define Vrefm(S) ssGetSFcnParam(S,1)
#define phi(S) ssGetSFcnParam(S,2)
#define ts(S) ssGetSFcnParam(S,3)
#define niveis(S) ssGetSFcnParam(S,4)
#define Xfs(S) ssGetSFcnParam(S,5)
```

```

#define epsilong_param(S) ssGetSFcnParam(S,6)
#define epsilonoff_param(S) ssGetSFcnParam(S,7)
#define NPARAM 8

static void mdlInitializeSizes(SimStruct *S)
{...}

static void mdlInitializeSampleTimes(SimStruct *S)
{
    double PHI, TS;
    TS = *mxGetPr(ts(S));
    PHI = *mxGetPr(phi(S));
    if(PHI == 1){
        ssSetSampleTime(S,0,TS);
        ssSetOffsetTime(S,0,0);}
    else{
        ssSetSampleTime(S,0,TS);
        ssSetOffsetTime(S,0,(PHI-1)/2 * TS);}
}

static void mdlOutputs(SimStruct *S, int_T tid)
{
    InputRealPtrsType uPtrs = ssGetInputPortRealSignalPtrs(S,0);
    real_T *y = ssGetOutputPortRealSignal(S,0);
    int_T yWidth = ssGetOutputPortWidth(S,0);
    double U, analog_out, delta, Xlsb, INL, gain;
    double epsilong, epsilonoff;
    int niveis, n_steps, i, dig_level;
    double in_range, fsr, vin, vrefp vrefm, n, epsilon;
    double A, l1, off, gamma, wa, ya;
    U = *uPtrs[0];
    vrefp = *mxGetPr(Vrefp(S));
    vrefm = *mxGetPr(Vrefm(S));
    niveis = *mxGetPr(niveis(S));
    fsr = vrep - vrefm;
    in_range = *mxGetPr(Xfs(S));
    epsilong = *mxGetPr(epsilong_param(S));
    epsilonoff = *mxGetPr(epsilonoff_param(S));
    n_steps = niveis - 1;
    delta = (fsr/n_steps);
    Xlsb = (in_range/n_steps);
    gain = fsr / in_range;

    if (niveis <=2)
    {
        epsilon=0;
    }
    else

```

```

{ epsilon =(sqrt(27)*INL)/(niveis -2);}
A =(niveis -1)*Xlsb;
l1 =(-fsr/(2* gain ))+(Xlsb/2);
gamma =1/(1+(Xlsb*epsilon_g ));
off =((l1*epsilon_g ) - epsilon_off) * Xlsb;
wa = gamma*(U+off);
ya = (1-epsilon)*wa + (epsilon/pow(A,2))* pow(wa,3);

vin = fabs(ya) - Xlsb;

if ((niveis%2)==0)
{
    if (fabs(ya) < Xlsb)
    {
        analog_out = (delta/2)*(ya>=0 ? 1: -1);
    }

    if (( fabs(ya) >= (in_range/2)-(Xlsb/2)))
    {
        analog_out = fsr/2*(ya>0 ? 1: -1);
    }

    if((fabs( ya )<(in_range/2)-(Xlsb/2)) && (fabs(ya)>Xlsb))
    {
        n = floor(vin/Xlsb);
        analog_out = ((delta/2) + (n+1)*delta)*(ya>0 ? 1: -1);
    }
}
else
{
    analog_out = delta * floor(fabs(ya/delta) + 0.5) *
                (ya >= 0.0 ? 1.0 : -1.0);
    if (analog_out>vrefp) analog_out=vrefp;
    if (analog_out<vrefm) analog_out=vrefm;
}

for (i=0; i<=yWidth; i++)
{
    dig_level=(int)((analog_out-vrefm)/delta);
    if (i==dig_level)
        y[i]=1;
    else
        y[i]=0;
}
}
static void mdlTerminate(SimStruct *S)
{}

```

```
#ifdef MATLAB_MEX_FILE
#include "simulink.c"
#else
#include "cg_sfund.h"
#endif
```

APÊNDICE B – Código C do DAC

DAC (mask)
DAC single/multi bit com Jitter, offset e INL.

Parameters

[Vref+,Vref-]:
[vrefp,vrefm]

Bits:
bits

XFS:
xfs_max-xfs_min

INL:
inl

Offset:
offset

Jitter:
jitter

Fase:

Período de Amostragem:
Ts

Identificador:
dac1

Figura B.1: Janela de configuração do DAC no Simulink.

```

static void mdlInitializeSampleTimes (SimStruct *S)
{
    ssSetSampleTime(S, 0, PERIODO_AMOSTRAGEM);
    ssSetOffsetTime (S, 0, 0.0);
}
#define MDL_GET_TIME_OF_NEXT_VAR_HIT // CRIA MODELO
static void mdlGetTimeOfNextVarHit (SimStruct *S)
{
    t_atraso = *mxGetPr(t_atraso(S));
    Ts = *mxGetPr(ts(S));
}

```

```

phi= *mxGetPr(phi(S));
codigo = *mxGetPr(codigo(S));
atraso = *mxGetPr(atraso(S));
if (phi==2){
    atraso=atraso+Ts/2;}
n_amostra=work[0];
acao=work[1];
flag=work[4];
if ((atraso+(*uPtrs1[0]))<=0 || (atraso+(*uPtrs2[0]))<=0){
    ssSetErrorStatus(S, "Error_message");}
else{
    if (acao==0){
        if ((atraso+(*uPtrs1[0]))>=Ts ||
            (atraso+(*uPtrs2[0]))>= Ts ){
            ssSetErrorStatus(S, "Erro");}
        acao=1;
        if(codigo == 1)
            {ssSetTNext(S, n_amostra*Ts + atraso + (*uPtrs1[0]));}
        else{
            if ((atraso+(*uPtrs1[0]))>=Ts/2 ||
                (atraso+(*uPtrs2[0]))>= Ts/2){
                ssSetErrorStatus(S, "Erro");}
            if (flag==0){
                ssSetTNext(S, n_amostra*Ts/2 + atraso +(*uPtrs1[0]));}
            else{
                ssSetTNext(S, n_amostra*Ts/2 + atraso +(*uPtrs2[0]));
                }}}
        else{
            acao=0;
            n_amostra=n_amostra+1;
            if(codigo == 1){
                ssSetTNext(S, n_amostra*Ts);
                }
            else{
                ssSetTNext(S, n_amostra*Ts/2);
                if (flag==0){
                    flag=1;
                    }
                else {flag=0;}
                }
            }
        }
    work[0]=n_amostra;
    work[1]=acao;
    work[2]=atraso;
    work[4]=flag;
}
static void mdlOutputs(SimStruct *S, int_T tid)

```

```

{
  vin = fabs(U) - INL;
  if (fabs(U) < INL){
    if (U>=0)
      xa = (delta/2);
    else if (U < 0)
      xa = -(delta/2);
  }
  if (U >= ((range/2)-(INL/2)) || U <= -(range/2)+ (INL/2)){
    if (U>0)
      xa = fsr/2;
    else xa = -fsr/2;
  }
  if (fabs(U) < ((range/2)-(INL/2)) && fabs(U)>INL){
    if (U>0){
      n = floor(vin/INL);
      xa = (delta/2) + (n+1)*delta;
    } else {n = floor(vin/INL);
      xa = -(delta/2) - (n+1)*delta;}
  }
  y[0]=out;}
}

```

APÊNDICE C – Diagrama de blocos do modulador de terceira ordem

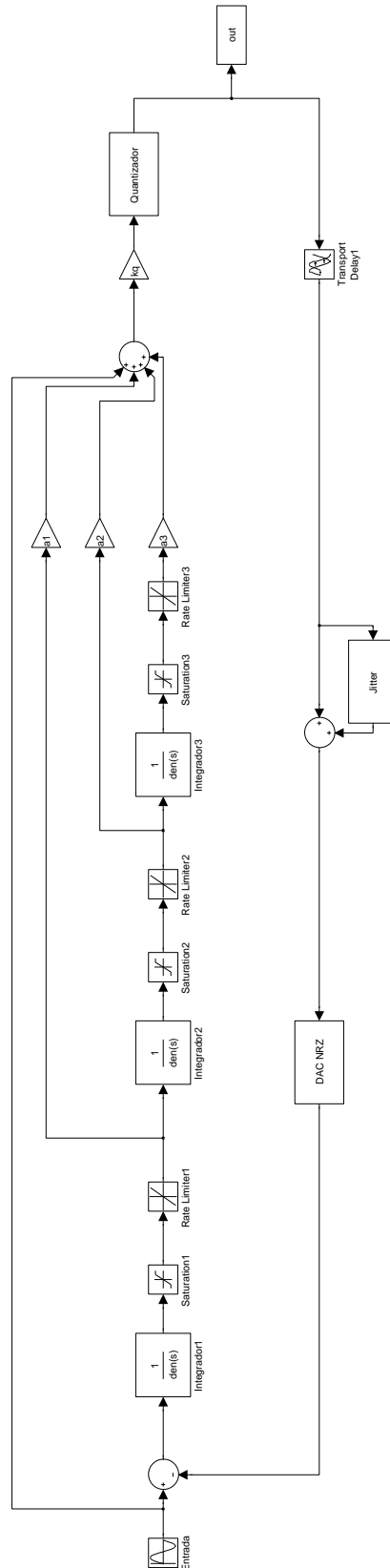


Figura C.1: Diagrama de blocos do modulador de terceira ordem no Simulink.

APÊNDICE D – Diagrama de blocos do modulador de segunda ordem

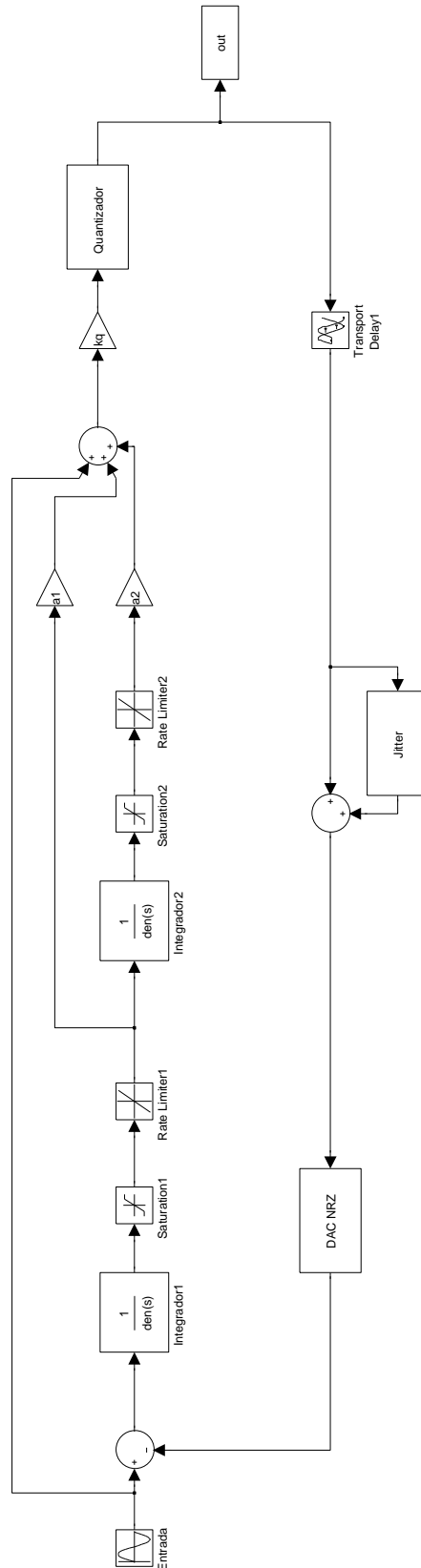


Figura D.1: Diagrama de blocos do modulador de segunda ordem no Simulink.

APÊNDICE E – Comparador ideal em VHDL-AMS

```

library IEEE;
use IEEE.MATHREAL.all;
use IEEE.std_logic_1164.all ;
library iee proposed ;
use iee proposed.electricalsystems.ALL;

entity quantizador is

generic(
  treshold : real := 0.6 ) ;

port(
  terminal inpp : electrical;
  terminal inpn : electrical;
  signal output : out std_logic;
  signal clk : in std_logic);
end entity quantizador;

architecture behavioral of quantizador is
  quantity vinp across sinpp to electricalref;
  quantity vinn across sinpn to electricalref;
  quantity vdiff : voltage := 0.0;
begin
  vdiff == vinp-vinn;
  process (clk) is
  begin
    if clk'event and clk = '1' then
      if vdiff>treshold then
        output <= '1';
      else
        output <= '0';
      end if ;
    end if ;
  end process;
end architecture behavioral;

```

APÊNDICE F – DAC (com slew rate e excess loop delay) em VHDL-AMS

```

library IEEE;
use IEEE.MATHREAL.all;
use IEEE.std_logic_1164.all;
library ieeeproposed;
use ieeeproposed.electricalsystems.ALL;

entity dac is

  generic(
    vrefp : real := 1.2;
    vrefn : real := 0.0;
    tempo_subida : real := 1.0 ps;
    tempo_descida : real := 1.0 ps;
    ELD : time := 0.0 ns);

  port(
    signal input : in std_logic;
    signal clk : in std_logic;
    terminal output : electrical);

end entity dac;

architecture ideal of dac is
  quantity vout across iout through output to electricalref;
  signal tensaointerna : real := 0.0;
  begin
    process (clk) is
      begin
        if clk ' event and clk = '1' then
          if input = '1' then
            tensaointerna <= vrefp after ELD;
          else
            tensaointerna <= vrefn after ELD;
          end if;
        end if;
      end process;

    vout == tensaointerna 'slew(tempo_subida, tempo_descida);

  end architecture ideal;

```

APÊNDICE G – Amplificador (com ganho e GBW) em VHDL-AMS

```

library IEEE;
use IEEE.MATHREAL.all;
use IEEE.std_logic_1164.all ;
library iee proposed ;
use iee proposed.electricalsystems.ALL;

entity amplificador is

  generic(
    ganho : real := 1.0;
    GBW : real := 1.0;
    vcm : real := 0.6) ;
  port (
    terminal inpp : electrical;
    terminal inpn : electrical;
    terminal outpp : electrical;
    terminal outpn : electrical) ;

end entity amplificador;

architecture behavioral of diffOTA is
  quantity vinp across inpp to electricalref;
  quantity vinn across inpn to electricalref;
  quantity voutp across ioutp through outpp to electricalref;
  quantity voutn across ioutn through outpn to electricalref;

  constant wA : real := (math_2_pi+GBW/ganho);
  constant num : real_vector := (0 => ganho);
  constant den : real_vector := (1.0,1.0/wA);
  quantity vdiff_metade : voltage := 0.0;

  begin
    vdiff_metade == ( vinp-vinn )/2.0;
    voutp == vcm+vdiff_metade ' ltf(num,den);
    voutn == vcm-vdiff_metade ' ltf(num,den);

end architecture behavioral;

```