

**UNIVERSIDADE FEDERAL DE SANTA MARIA
CENTRO DE TECNOLOGIA
PROGRAMA DE PÓS-GRADUAÇÃO
EM ENGENHARIA ELÉTRICA**

Wilmar Armando Pineda Castiblanco

**DESENVOLVIMENTO DE CONVERSORES DE CINCO
NÍVEIS COM CAPACITOR CHAVEADO E
GRAMPEAMENTO ATIVO DO PONTO NEUTRO**

Santa Maria, RS
2022

Wilmar Armando Pineda Castiblanco

**DESENVOLVIMENTO DE CONVERSORES DE CINCO NÍVEIS
COM CAPACITOR CHAVEADO E GRAMPEAMENTO ATIVO
DO PONTO NEUTRO**

Tese apresentada ao Curso de Doutorado do Programa de Pós-Graduação em Engenharia Elétrica, Área de Concentração em Processamento de Energia Elétrica, da Universidade Federal de Santa Maria (UFSM-RS), como requisito parcial para obtenção do grau de **Doutor em Engenharia Elétrica**.

Orientador: Prof. Dr. Cassiano Rech

Santa Maria, RS
2022

This study was financed in part by the Coordenação de Aperfeiçoamento de Pessoal de Nível Superior - Brasil (CAPES) - Finance Code 001

Castiblanco, Wilmar
Desenvolvimento de conversores de cinco níveis com capacitor chaveado e grampeamento ativo do ponto neutro / Wilmar Castiblanco.- 2022.
156 p.; 30 cm

Orientador: Cassiano Rech
Tese (doutorado) - Universidade Federal de Santa Maria, Centro de Tecnologia, Programa de Pós-Graduação em Engenharia Elétrica, RS, 2022

1. Engenharia elétrica 2. Eletrônica de potência 3. Conversores cinco níveis 4. Grampeamento ativo do ponto neutro 5. Capacitor chaveado I. Rech, Cassiano II. Título.

Sistema de geração automática de ficha catalográfica da UFSM. Dados fornecidos pelo autor(a). Sob supervisão da Direção da Divisão de Processos Técnicos da Biblioteca Central. Bibliotecária responsável Paula Schoenfeldt Patta CRB 10/1728.

Declaro, WILMAR CASTIBLANCO, para os devidos fins e sob as penas da lei, que a pesquisa constante neste trabalho de conclusão de curso (Tese) foi por mim elaborada e que as informações necessárias objeto de consulta em literatura e outras fontes estão devidamente referenciadas. Declaro, ainda, que este trabalho ou parte dele não foi apresentado anteriormente para obtenção de qualquer outro grau acadêmico, estando ciente de que a inveracidade da presente declaração poderá resultar na anulação da titulação pela Universidade, entre outras consequências legais.

Wilmar Armando Pineda Castiblanco

**DESENVOLVIMENTO DE CONVERSORES DE CINCO NÍVEIS
COM CAPACITOR CHAVEADO E GRAMPEAMENTO ATIVO DO
PONTO NEUTRO**

Tese apresentada ao Curso de Doutorado do Programa de Pós-Graduação em Engenharia Elétrica, Área de Concentração em Processamento de Energia Elétrica, da Universidade Federal de Santa Maria (UFSM-RS), como requisito parcial para obtenção do grau de **Doutor em Engenharia Elétrica**.

Aprovado em 28 de Junho de 2022:

Cassiano Rech, Dr. (UFSM)

(Presidente/ Orientador)

Fernanda de Moraes Carnielutti, Dr. (UFSM)

Marcelo Lobo Heldwein, Dr. (UTM)

(participação por videoconferência)

Marco Antonio Dalla Costa, Dr. (UFSM)

Telles Brunelli Lazzarin, Dr. (UFSC)

(participação por videoconferência)

Santa Maria, RS

2022

*Dedico este trabalho a Deus, pois "Os céus declaram sua glória,...
E, noite após noite, revelam conhecimento." Salmo 19: 1-2.*

*Para Cindy, pelo seu amor e pelos ótimos momentos juntos, neste
caminho e em tantos outros.*

AGRADECIMENTOS

À Deus pela vida.

À minha namorada Cindy, pelo carinho, paciência, compreensão, confiança e companheirismo, estando sempre ao meu lado. Aos meus familiares, em especial aos meus pais, Aydee e Armando, pelo carinho e apoio.

Ao meu orientador, professor Cassiano Rech, pela formidável orientação, pelas ideias e conselhos técnicos e, sobre todo, pela amizade.

Aos professores Marcelo Lobo, Telles Brunelli Lazzarin, Fernanda de Moraes Carnielutti e Marco Antônio Dalla Costa, pelas sugestões que contribuíram na melhoria deste trabalho. Aos professores do Grupo de Eletrônica de Potência e Controle (GEPOC) pelos ensinamentos, comprometimento e profissionalismo.

A todos os colegas do GEPOC pelo acolhimento e convivência durante estes anos.

Agradeço ao INCT-GD e aos órgãos financiadores (CNPq processo 465640/2014-1, CAPES processo no. 23038.000776/2017-54 e FAPERGS 17/2551-0000517-1) pelo apoio financeiro fornecido para esta pesquisa. Além disso, agradecimento ao apoio da Coordenação de Aperfeiçoamento de Pessoal de Nível Superior - Brasil (CAPES/PROEX) - Código de Financiamento 001.

À Universidade Federal de Santa Maria (UFSM), que forneceu a infraestrutura para o desenvolvimento do trabalho.

À Universidad Tecnológica del Uruguay (UTEC), campus ITR norte, por oportunizar os laboratórios para realização das atividades da tese durante o período da pandemia.

Ao professor Martín Pomar Garcia (*in memoriam*), pela amizade e apoio.

“Existem muitas hipóteses na ciência que são erradas. Isso é perfeitamente correto; elas são a abertura para descobrir o que é certo. A ciência é um processo auto-corretivo.”

Carl Sagan

RESUMO

DESENVOLVIMENTO DE CONVERSORES DE CINCO NÍVEIS COM CAPACITOR CHAVEADO E GRAMPEAMENTO ATIVO DO PONTO NEUTRO

AUTOR: WILMAR ARMANDO PINEDA CASTIBLANCO

ORIENTADOR: CASSIANO RECH

Este trabalho propõe uma topologia de conversor capaz de sintetizar cinco níveis de tensão. O conversor proposto incorpora o conceito de capacitor chaveado em uma estrutura com grampeamento ativo do ponto neutro, com um capacitor flutuante por fase e um único barramento CC, mesmo em sistemas trifásicos. Quando operado como inversor, o conversor proposto sintetiza tensões de saída com especificações similares se comparado com inversores cinco níveis tradicionais, porém com redução da tensão de entrada CC pela metade. Essa redução de tensão traz alguns benefícios, como por exemplo: redução dos esforços de tensão nos semicondutores e capacitores da estrutura e, conseqüentemente, minimização da tensão de bloqueio total do circuito. De modo a facilitar o controle de tensão nos capacitores flutuantes, uma estratégia de modulação baseada no princípio do capacitor chaveado é também explorada. Com isso, a regulação de tensão ocorre de modo automático sem estratégias de controle e/ou uso de circuitos e sensores adicionais. A regulação de tensão, embora mais simples, causa elevação das correntes nos componentes da estrutura, inerente de circuitos que empregam a técnica de capacitor chaveado, de modo que uma análise das correntes é introduzida. Adicionalmente, o conversor proposto também é analisado para operação como retificador unidirecional. Neste caso, o número de semicondutores ativos e circuitos de acionamento associados podem ser reduzidos pela metade. A estratégia de modulação também possibilita a regulação automática das tensões nos capacitores flutuantes, o que contribui a simplificar a operação do sistema conectado a rede trifásica. Resultados de simulação e experimentais são incluídos para mostrar a funcionalidade do conversor proposto.

Palavras-chave: Conversores multiníveis, conversores com grampeamento ativo do ponto neutro, capacitor chaveado, topologias cinco níveis.

ABSTRACT

DESIGN A FIVE-LEVEL SWITCHED CAPACITOR ACTIVE NEUTRAL POINT CLAMPED CONVERTER

AUTHOR: WILMAR ARMANDO PINEDA CASTIBLANCO

ADVISOR: CASSIANO RECH

This work aims to propose a five-level converter topology. The proposed converter uses the switched capacitor concept with an active neutral point clamped structure, with one floating capacitor per phase and only one dc-link, even in three-phase systems. When operated as an inverter, the proposed converter synthesizes similar output voltages compared to traditional five-level inverters, but with a reduction of the input dc-link voltage at half. Some benefits can be highlighted, such as: reduction of voltage specification in the semiconductors and capacitors and, consequently, minimization of the total standing voltage of the circuit. In order to facilitate the floating capacitor voltage control, a modulation strategy based on the switched capacitor principle is also explored. Thus, voltage regulation occurs automatically without any control strategies and/or the use of additional circuits and sensors. However, although the complexity of the voltage balance is reduced, it increases the currents stress in the components, usual in switched capacitor based circuits, so a current analysis is introduced. Additionally, the proposed converter is operated as a unidirectional rectifier. In this case, the number of active semiconductors and associated drive circuits can be reduced by half. The modulation strategy also allows the automatic voltage balance in the floating capacitors, which simplifies the operation of the system connected to the three-phase grid. Simulation and experimental results are included to show the functionality of the proposed converter.

Keywords: Multilevel converters, active neutral point clamped converters, switched-capacitor, five-level topologies.

LISTA DE FIGURAS

Figura 1.1 – Comparação na síntese de dois, três e cinco níveis.	32
Figura 1.2 – Características de entrada/saída em inversores convencionais. (a) Inversor 5L-ANPC, (b) tensão de fase e (c) tensão de linha.	34
Figura 2.1 – Classificação das topologias consideradas.	37
Figura 2.2 – Inversor 5L-CHB.	38
Figura 2.3 – Inversor 5L-NPC.	40
Figura 2.4 – Topologias três níveis com estrutura de ponto neutro grampeado: (a) com diodos de grampeamento, (b) com grampeamento ativo e (c) com interruptores redundantes.	41
Figura 2.5 – Inversor 5L-FC.	42
Figura 2.6 – Inversor cinco níveis em ponte completa 5L-HNPC.	44
Figura 2.7 – Inversor 5L-FB.	45
Figura 2.8 – Topologia 5L-ANPC-I.	47
Figura 2.9 – Uma fase do inversor 5L-ANPC-II.	48
Figura 2.10 – Esforços de tensão no inversor 5L-ANPC-II durante os níveis 1 pu e -1 pu. (a) $v_{CA_n} = 1$ pu e (c) $v_{CA_n} = -1$ pu.	49
Figura 2.11 – Uma fase do inversor 5L-ANPC-III. (a) Circuito. (b) Esforços de tensão durante o nível $v_{CA_n} = 1$ pu e (c) $v_{CA_n} = -1$ pu.	50
Figura 2.12 – Inversores cinco níveis baseados no 5L-ANPC-III. (a) Circuito do 5L-ANPC-III, (b) 5L-ANPC-IV e (c) 5L-ANPC-V.	51
Figura 2.13 – Inversores 5L-ANPC apresentados em (SOEIRO et al., 2013). (a) 5L-ANPC-VI, (b) 5L-ANPC-VII, (c) 5L-ANPC-VIII e (d) 5L-ANPC-IX.	52
Figura 2.14 – Inversor 5L-ANPC-X. Inclusão de célula três níveis.	53
Figura 2.15 – Inversor 5L-ANPC com estágio em conexão cruzada. (a) Circuito do CCS e (b) inversor 5L-ANPC-CCS.	54
Figura 2.16 – Operação de um circuito SC. (a) Carga de C_{FC} , (b) descarga de C_{FC}	55
Figura 2.17 – Comportamento da corrente i_{FC} no capacitor: modos de operação. ...	56
Figura 2.18 – Inversor 3L-NPC com uso de circuito SC. Equalização de C_{FC} pela tensão de: (a) C_1 e (b) C_2 . (c) e (d) conexão à carga.	57
Figura 2.19 – Inversor 5L-P2 proposto em (PENG, 2001).	58
Figura 2.20 – Inversor 5L-BFB-I e estados de operação. (a) Uma fase do 5L-BFB-I, (b) $v_{AB} = 0,5$ pu e (c) $v_{AB} = 1$ pu.	59
Figura 2.21 – Inversor 5L-BFB-II e estados de operação. (a) Circuito, (b) $v_{CA_n} = 0$ pu, (c) - (d) $v_{CA_n} = 0,5$ pu e (e) $v_{CA_n} = 1$ pu.	60
Figura 2.22 – Inversor cinco níveis proposto em (SAEEDIAN; HOSSEINI; ADABI, 2018).	61
Figura 2.23 – Inversor 5L-BANPC-I proposto em (SIWAKOTI, 2018).	62
Figura 2.24 – Etapas de operação do inversor 5L-BANPC-I.	63
Figura 2.25 – Inversores cinco níveis derivados do inversor 5L-BANPC-I. (a) 5L-BANPC-II e (b) 5L-BANPC-III.	64

Figura 2.26 – Inversor 5L-BANPC-IV (LEE et al., 2019). (a) Topologia. Estados dos semicondutores na síntese de (b) 0 pu, (c) 0,5 pu e (d) 1 pu.	65
Figura 2.27 – Sínteses das topologias analisadas.	70
Figura 3.1 – Estrutura generalizada P2 (PENG, 2001).	74
Figura 3.2 – Derivação de topologias 5L-ANPC.	75
Figura 3.3 – Derivação do inversor 5L-ANPC-I.	76
Figura 3.4 – Derivação do inversor 5L-ANPC-II.	77
Figura 3.5 – Redução na tensão de entrada na estrutura 5L-P2.	78
Figura 3.6 – Derivação do inversor 5L-BANPC-II.	79
Figura 3.7 – Topologia proposta 5L-SCANPC. (a) Derivação e (b) circuito resultante.	81
Figura 3.8 – Inversores cinco níveis (a) 5L-SCANPC proposto e (b) 5L-ANPC-I com níveis de tensão de fase e neutro de $\{v_{DC}, 0,5v_{DC}, 0, -0,5v_{DC}$ e $-v_{DC}\}$	82
Figura 3.9 – Características do inversor proposto 5L-SCANPC.	83
Figura 3.10 – Estados de condução do inversor 5L-SCANPC. (a) Estado A : v_{DC} , (b) estado B : $0,5v_{DC}$, (c) estado C : 0, (d) estado D : $0p.u.$, (e) estado E : $-0,5v_{DC}$ e (f) estado F : $-v_{DC}$	84
Figura 3.11 – Estratégia de modulação. (a) Sequência de comutação proposta, (b) comparação com portadoras e (c) sinais de comando para os interruptores.	87
Figura 3.12 – Circuito combinacional empregado para a geração dos sinais de comando.	87
Figura 3.13 – Efeito do tempo morto na sequência de comutação.	88
Figura 3.14 – Duração dos estados em cada nível de tensão para a sequência de comutação adotada. $j = A, B, C$ e $\beta_A = 0, \beta_B = -2\pi/3$ e $\beta_C = 2\pi/3$	90
Figura 3.15 – Circuitos equivalentes simplificados: (a) estado B e (b) estado A	91
Figura 3.16 – Comportamento da corrente em C_{FC} durante a equalização e seu valor médio de tensão para diversos valores de Δv_{FC} . $i_{out} = 7A$, $M = 0,77$, $f_S = 45$ kHz.	94
Figura 3.17 – Formas de onda de saída simuladas para os inversores 5L-ANPC-I e 5L-SCANPC. (a) tensão de fase, (b) espectro harmônico da tensão de fase (c) tensão de linha e (d) espectro harmônico da tensão de linha.	97
Figura 3.18 – Tensão e corrente no capacitor flutuante e esforço de corrente resultante nos interruptores. (a) Corrente em C_{FC} e (b) tensão em C_{FC} . (c) Corrente em T_1 , (d) corrente em T_2 , (e) corrente em T_5 e (f) corrente em T_6	98
Figura 3.19 – Tensão e corrente de saída e tensões nos capacitores com distintas condições de carga. $M = 0,45$. (a) $\phi = 0^\circ$, (b) $\phi = -45^\circ$, (c) $\phi = -135^\circ$ e (d) $\phi = -180^\circ$	99
Figura 3.20 – Tensão e corrente de saída e tensões nos capacitores com distintas condições de carga. $M = 0,77$. (a) $\phi = 0^\circ$, (b) $\phi = -45^\circ$, (c) $\phi = -135^\circ$ e (d) $\phi = -180^\circ$	100

Figura 3.21 – Uma fase dos inversores 5L-ANPC: (a) 5L-ANPC-I, (b) 5L-ANPC-II, (c) 5L-ANPC-III, (d) 5L-ANPC-IV, (e) 5L-BANPC-II e (f) 5L-BANPC-IV.....	102
Figura 3.22 – Valor máximo de k_{FC} em função do índice de modulação M e do ângulo de fase da corrente de carga ϕ . (a) 5L-SCANPC e (b) 5L-ANPC-I (KASHIHARA; ITOH, 2011).	104
Figura 3.23 – Dependência da carga normalizada Q_N com o índice de modulação M e o ângulo de fase da corrente de carga ϕ	105
Figura 3.24 – Energia armazenada na configuração trifásica dos inversores 5L-ANPC e 5L-SCANPC.	106
Figura 3.25 – Esquema conceitual da avaliação experimental do <i>double pulsed test</i> . .	107
Figura 3.26 – Formas de onda para obtenção das características dinâmicas dos semicondutores com $R_G = 5 \Omega$, $v_{DS} = 200 \text{ V}$, $L_S = 930 \mu\text{H}$, $i_{DS} = 10, 5 \text{ A}$. (a) Comutação para condução e (b) comutação para bloqueio.	108
Figura 3.27 – Esforços de corrente nos interruptores do circuito nos inversores 5L-ANPC-I, 5L-BANPC-II e 5L-SCANPC.....	109
Figura 3.28 – Distribuição de perdas nos semicondutores para os inversores 5L-ANPC-I, 5L-BANPC-II e 5L-SCANPC.....	109
Figura 3.29 – Eficiência simulada para os inversores analisados com $\phi = 0^\circ$	110
Figura 3.30 – Resultados experimentais com $M \approx 0,77$: tensão do capacitor flutuante $v_{FC,A}$, tensão de fase v_{An} , corrente de saída $i_{out,A}$ e tensão de linha v_{AB} . Tensões medidas: $v_{An} \approx 228 \text{ Vrms}$, $v_{AB} \approx 379 \text{ Vrms}$	113
Figura 3.31 – Resultados experimentais com $M \approx 0,77$. Tensão do capacitor flutuante $v_{FC,A}$, corrente no capacitor flutuante $i_{FC,A}$, corrente de entrada i_{in} e corrente de saída $i_{out,A}$	114
Figura 3.32 – Resultados experimentais: comportamento das tensões sobre os capacitores diante um degrau de carga de 0% – 100%.	114
Figura 3.33 – Resultados experimentais: esforços de tensão nos interruptores. (a) Tensão em T_1, T_2, T_3, T_4 e (b) tensão reversa em T_5, T_6, T_7 e T_8	115
Figura 3.34 – Eficiência medida e simulada no inversor trifásico proposto para diferentes potências de saída.	116
Figura 4.1 – Topologias cinco níveis. (a) Inversor 5L-NPC em (PENG et al., 1995), (b) e (c) topologias apresentadas em (CORZINE; BAKER, 2002; ZHAO; LI; LIPO, 1995) e (d) topologia apresentada em (GRBOVIC et al., 2016).	118
Figura 4.2 – Retificadores cinco níveis unidirecionais. (a) Retificador apresentado em (GATEAU; MEYNARD; FOCH, 2002), (b) e (c) retificadores apresentados em (WANG et al., 2017a; YUAN, 2014), (d) retificador apresentado em (MUKHERJEE; KASTHA, 2019b), e (e) e (f) retificadores apresentados em (MUKHERJEE; KASTHA, 2019a; KOHLER; CORTEZ, 2020).	119
Figura 4.3 – Retificador proposto. (a) Retificador bidirecional 5L-SCANPC e (b) retificador proposto.	121
Figura 4.4 – Comparação das características dos retificador proposto.	122
Figura 4.5 – Estados de condução do retificador proposto. (a) Estado A ; (b) estado B ; (c) estado C ; (d) estado D ; (e) estado E e (f) estado F	123

Figura 4.6 – Estrutura de controle adotada.	124
Figura 4.7 – Modelo de correntes para o retificador proposto. (a) Representação do circuito equivalente em coordenadas abc , (b) e (c) modelos do eixo direto e em quadratura em coordenadas dqo	126
Figura 4.8 – Diagrama de blocos do sistema de controle de correntes.	128
Figura 4.9 – Circuito equivalente para obtenção do modelo CC.	129
Figura 4.10 – Protótipo para validação experimental do retificador.	135
Figura 4.11 – Pré-carga. (a) Esquema conceitual do circuito de pré-carga dos capacitores flutuantes e do barramento CC. (b) Procedimento de pré-carga.	136
Figura 4.12 – Resultados experimentais: procedimento de pré-carga.	136
Figura 4.13 – Resultados experimentais: variação de carga.	137
Figura 4.14 – Resultados de simulação: regulação das tensões parciais de saída $v_{DC,1}$ e $v_{DC,2}$ e da tensão total do barramento v_{DC}	137
Figura 4.15 – Resultados de simulação. (a) Tensões de entrada e saída e (b) corrente drenada e esforços de corrente nos semicondutores. Tensão de linha sintetizada v_{AB} , tensão de fase sintetizada v_{An} , tensão de saída v_{DC} , tensões parciais $v_{DC,1}$ e $v_{DC,2}$, tensão de fase de entrada v_{AN} , corrente de fase i_A , corrente dos diodos D_1 , D_3 e correntes dos interruptores T_1 e T_3	139
Figura 4.16 – Resultados experimentais: tensão de saída v_{DC} , tensão de fase sintetizada v_{An} , tensão de linha sintetizada v_{AB} , corrente de fase i_A	140
Figura 4.17 – Resultados experimentais: tensão de saída v_{DC} , tensões parciais $v_{DC,1}$ e $v_{DC,2}$ e corrente de fase i_A	140
Figura 4.18 – Resultados experimentais: tensão de fase na rede v_{AN} , corrente de fase i_A , tensão de fase sintetizada na entrada v_{An} e tensão total de saída v_{DC}	141
Figura 4.19 – Resultados de simulação: Esforços de corrente.	141
Figura 4.20 – Resultado experimental: Eficiência.	142

LISTA DE TABELAS

Tabela 2.1 – Estados de operação do inversor 5L-FB.	45
Tabela 2.2 – Estados de operação do inversor 5L-ANPC-I.	47
Tabela 2.3 – Características dos inversores cinco níveis apresentados.	67
Tabela 2.4 – Características dos inversores cinco níveis apresentados (continuação).	68
Tabela 2.5 – Características dos inversores cinco níveis apresentados (continuação).	68
Tabela 3.1 – Características do inversor 5L-SCANPC proposto e inversor 5L-ANPC.	82
Tabela 3.2 – Operação do inversor 5L-SCANPC.	85
Tabela 3.3 – Parâmetros de simulação.	96
Tabela 3.4 – Comparação preliminar dos inversores 5L-ANPC.	101
Tabela 3.5 – Comparativo da tensão de bloqueio e frequência de comutação dos semicondutores.	103
Tabela 3.6 – Especificações do inversor trifásico.	111
Tabela 3.7 – Especificações dos componentes.	112
Tabela 4.1 – Síntese dos retificadores cinco níveis apresentados.	121
Tabela 4.2 – Parâmetros do retificador.	134
Tabela 4.3 – Especificações dos componentes.	135

LISTA DE SIGLAS E ABREVIATURAS

ANPC	<i>Active Neutral Point Clamped</i> (Grampeamento Ativo do Ponto Neutro)
BFB	<i>Boost Full-bridge</i> (Ponte Completa Elevador de Tensão)
BANPC	<i>Boost ANPC</i> (ANPC Elevador de Tensão)
CA	Corrente Alternada
CC	Corrente Contínua
CCS	<i>Cross-Connected Stage</i> (Estágio em conexão cruzada)
CHB	<i>Cascade H-Bridge</i> (Ponte Completa em Cascata)
CM	<i>Cascaded Multilevel</i> (Multinível em Cascata)
ESR	<i>Equivalent Series Resistance</i> (Resistência Série Equivalente)
FC	<i>Flying Capacitor</i> (Capacitor Flutuante)
H-NPC	<i>Hybrid-NPC</i> (NPC Híbrido)
Modo CC	<i>Complete Charge</i> (Modo de Carga Completa)
Modo NC	<i>No Charge</i> (Modo de Carga Constante)
Modo PC	<i>Partial Charge</i> (Modo de Carga Parcial)
MOSFET	<i>Metal-Oxide-Semiconductor Field-Effect Transistor</i> (Transistor de Efeito de Campo com Semicondutor e isolamento de Óxido-Metal)
NPC	<i>Neutral Point Clamped</i> (Ponto Neutro Grampeado)
PD	<i>Phase Disposition</i> (Disposto em fase)
PWM	<i>Pulse Width Modulation</i> (Modulação por largura de pulso)
p.u	<i>Per Unit System</i> (Sistema Normalizado por Unidade)
SC	<i>Switched Capacitor</i> (Capacitor Chaveado)
SCANPC	<i>Switched Capacitor ANPC</i> (ANPC com Capacitor Chaveado)
SMC	<i>Stacked Multicell Converter</i> (Conversor com Células Empilhadas)
TSV	<i>Total Standing Voltage</i> (Tensão de Bloqueio Total)
THD	<i>Total Harmonic Distortion</i> (Distorção Harmônica Total)
UPS	<i>Uninterruptible Power Supplies</i> (Fontes Ininterruptas de Energia)

LISTA DE SÍMBOLOS

ΔQ_{FC}	Variação da carga no capacitor flutuante
Δv_{FC}	Ondulação de tensão no capacitor flutuante
Δv_n	Ondulação de tensão no ponto central do barramento CC
β_j	Defase do sinal modulante da fase $j = A, B$ ou C
c_i	i -ésimo sinal portadora da modulação PD-PWM
$C_{1,2}$	Capacitores do barramento CC
C_{FC}	Capacitor flutuante da estrutura ANPC
$d_{i,j}$	Razão cíclica do i -ésimo interruptor da fase $j = A, B$ ou C
ϕ	Ângulo de fase da corrente da carga
E_{FC}	Energia armazenada no capacitor flutuante
E_{DC}	Energia armazenada no capacitor do barramento CC
f_A	Frequência de amostragem na implementação dos controladores
f_S	Frequência de comutação dos interruptores
f_{line}	Frequência fundamental das tesões sintetizadas
I_{pk}	Valor de pico da corrente da carga
$i_{FC,A}$	Corrente instantânea do capacitor flutuante no estado A
$i_{FC,B}$	Corrente instantânea do capacitor flutuante no estado B
i_d^*	Sinal de referência da corrente do eixo direto
i_q^*	Sinal de referência da corrente do eixo em quadratura
i_n	Valor instantâneo da corrente do ponto central do barramento CC
i_{out}	Valor instantâneo da corrente de saída
k_{FC}	Coefficiente adimensional para determinação da capacitância do conversor
M	Índice de modulação de amplitude
N	Número de camadas da estrutura P2 generalizada
N_C	Número de capacitores da topologia
N_D	Número de diodos da topologia
N_I	Número de interruptores da topologia
θ	Ângulo do sinal modulante
P_{in}	Potência ativa de entrada na operação como retificador
P_o	Potência de saída para a carga na operação como retificador
Q_{in}	Potência reativa de entrada na operação como retificador

Q_N	Carga injetada ou drenada do ponto central do barramento CC
R_{on}	Resistência em condução dos interruptores
R_{ESR}	Resistência série equivalente do capacitor flutuante
R_o	Resistência de carga conectada ao barramento CC de saída
σ	Variável de ponderação dos limites do sinal de modo comum
T_{ch}	Intervalo de carga/descarga do capacitor flutuante
TSV_C	Tensão de bloqueio total calculada para os capacitores
TSV_D	Tensão de bloqueio total calculada para os diodos
TSV_I	Tensão de bloqueio total calculada para os interruptores
τ	Constante de tempo do circuito na operação com capacitor chaveado
δ	Fator de ondulação de tensão do capacitor em questão
v_{Mj}	Sinal modulante da fase $j = A, B$ ou C
$v_{FC,A}$	Tensão instantânea do capacitor flutuante no estado A
$v_{FC,B}$	Tensão instantânea do capacitor flutuante no estado B
$V_{FC,A}^{0-}$	Tensão instantânea do capacitor flutuante no início estado A
$V_{FC,B}^{0-}$	Tensão instantânea do capacitor flutuante no início estado B
v_{SCd}	Tensão de eixo direto sintetizada pelo conversor
v_{SCq}	Tensão de eixo em quadratura sintetizada pelo conversor
v_{Sd}	Tensão da rede de eixo direto no sistema de coordenadas síncronas
v_{Sq}	Tensão da rede de eixo em quadratura no sistema de coordenadas síncronas
v_{nN}	Tensão de modo comum
v_o	Sinal de modo comum
V_p	Valor de pico da tensão da rede elétrica
V_o	Valor da tensão de saída no barramento CC na operação como retificador
V_{rms}	Tensão RMS de uma forma de onda

SUMÁRIO

1 INTRODUÇÃO	29
1.1 MOTIVAÇÃO DO TRABALHO	31
1.2 JUSTIFICATIVA	35
1.3 OBJETIVOS	35
1.4 ORGANIZAÇÃO DO DOCUMENTO	36
2 ESTADO DA ARTE	37
2.1 TOPOLOGIAS CINCO NÍVEIS CLÁSSICAS	38
2.1.1 Inversor multinível com células em ponte completa em série	38
2.1.2 Inversor multinível utilizando diodos de grampeamento	39
2.1.3 Inversor multinível utilizando capacitores flutuantes	42
2.2 TOPOLOGIAS CINCO NÍVEIS HÍBRIDAS	43
2.2.1 Inversores em ponte completa	44
2.2.2 Inversores com grampeamento ativo do ponto neutro	46
2.2.3 Inversores com capacitor chaveado	55
2.3 SÍNTESE DAS TOPOLOGIAS ANALISADAS	65
3 DESCRIÇÃO DA TOPOLOGIA PROPOSTA	73
3.1 DERIVAÇÃO DE TOPOLOGIAS	73
3.1.1 Derivação dos inversores 5L-ANPC-I e 5L-ANPC-II	74
3.1.2 Inversor 5L-BANPC-II e derivação da topologia proposta	78
3.1.2.1 Inversor 5L-BANPC-II	79
3.1.2.2 Inversor proposto 5L-SCANPC	80
3.1.3 Características do inversor 5L-SCANPC	81
3.2 OPERAÇÃO DO INVERSOR 5L-SCANPC	83
3.2.1 Estados de operação	83
3.2.2 Estratégia de modulação	86
3.2.3 Projeto dos capacitores	89
3.2.3.1 Capacitor flutuante	89
3.2.3.2 Capacitores do barramento CC	94
3.2.4 Resultados de simulação	96
3.3 ANÁLISE COMPARATIVA	101
3.3.1 Tensão de bloqueio e frequência de operação dos interruptores	102
3.3.2 Requisito de capacitância	103
3.3.3 Energia armazenada	105
3.3.4 Perdas de energia	107

3.4 RESULTADOS EXPERIMENTAIS	111
4 RETIFICADOR UNIDIRECIONAL 5L-SCANPC	117
4.1 RETIFICADORES CINCO NÍVEIS E RETIFICADOR PROPOSTO	117
4.1.1 Retificadores unidirecionais cinco níveis	117
4.1.2 Retificador 5L-SCANPC proposto	120
4.2 ESTRATÉGIA DE MODULAÇÃO E CONTROLE	122
4.2.1 Estratégia de modulação	122
4.2.2 Estratégia de controle	124
<i>4.2.2.1 Controle de corrente</i>	<i>125</i>
<i>4.2.2.2 Controle de tensão CC</i>	<i>129</i>
<i>4.2.2.3 Controle de desbalanço das tensões</i>	<i>131</i>
4.3 RESULTADOS EXPERIMENTAIS	134
4.3.1 Operação em regime transitório	134
4.3.2 Operação em regime permanente	138
5 CONSIDERAÇÕES FINAIS	143
5.1 PUBLICAÇÕES REALIZADAS	144
5.2 SUGESTÕES PARA INVESTIGAÇÕES FUTURAS	145
REFERÊNCIAS	147

1 INTRODUÇÃO

Conversores estáticos, compostos por dispositivos semicondutores de potência operando de forma chaveada, são crescentemente utilizados no processamento de energia elétrica em aplicações de baixa e média tensão que vão desde algumas unidades de Watts até MWs. Dentre estes, conversores CC-CA (inversores) são extensivamente requeridos há várias décadas em distintas aplicações, tais como no acionamento de motores. Nesse cenário, a introdução de inversores com topologias multiníveis permitiu estender a tensão de operação dos inversores convencionais e simultaneamente obter melhor desempenho harmônico (ABU-RUB et al., 2016; PENG; QIAN; CAO, 2010; RODRIGUEZ et al., 2009; LAI; PENG, 1996). Hoje, a aceitação comercial de conversores CC-CA multiníveis é cada vez maior em média tensão e média e alta potência (MARZOUGHFI et al., 2018; RODRIGUEZ et al., 2009). Paralelamente, no mercado de baixas tensões, soluções multiníveis têm ganhado participação progressiva, pois permitem atender requerimentos normativos, reduzir o volume e peso dos filtros e incrementar a eficiência do sistema. Nesse sentido, inversores multiníveis estão sendo gradualmente empregados na integração de fontes de energia renováveis, fontes ininterruptas de energia (*Uninterruptible Power Supplies* - UPS), e veículos elétricos ou híbridos (SAFAYATULLAH et al., 2022; ZHANG et al., 2018; KOURO et al., 2015; FRANQUELO et al., 2008).

A aplicação de topologias multiníveis permite reduzir as limitações dos inversores convencionais quando operados em tensões elevadas, uma vez que a tensão de operação dos inversores convencionais é restrita pela capacidade de tensão dos interruptores disponíveis atualmente. Mesmo assim, caso sejam usados interruptores com especificações de tensão maiores, usualmente não é possível operá-los em altas frequências, pois o dv/dt e as perdas por comutação são significativas. Como resultado, é necessário reduzir a frequência de comutação em detrimento do desempenho harmônico do inversor. Alternativamente, os projetistas podem fazer combinações série e/ou paralelo de interruptores com baixos limites de tensão para obter o equivalente de um interruptor de maior tensão e/ou corrente. Contudo, o chaveamento sincronizado dos mesmos é problemático, e as características físicas dos componentes fazem com que as tensões não sejam igualmente distribuídas, de tal forma que o balanço dinâmico e estático das tensões requer o uso de circuitos adicionais (WU; NARIMANI, 2017).

Por outro lado, topologias multiníveis são formadas pela conexão de interruptores em uma estrutura conveniente em que usualmente uma fração da tensão total de operação é aplicada a cada interruptor (LAI; PENG, 1996). Desse modo, quando utilizados interruptores semelhantes em ambas configurações, inversores multiníveis podem alcançar tensões maiores do que inversores convencionais. Essa característica tem permitido produtos comerciais em campos de aplicação que incluem as indústrias de petróleo, gás, química e geração de energia (SIEMENS, 2021; MALINOWSKI et al., 2010).

Além de operar em tensões elevadas fazendo uso de semicondutores com baixos limites de tensão, topologias multiníveis geram formas de onda que permitem reduzir o conteúdo harmônico do inversor. Sabe-se que na conversão CC-CA é desejável converter a tensão de entrada contínua em uma tensão de saída alternada, idealmente com formato senoidal (LEON; VAZQUEZ; FRANQUELO, 2017; LEON et al., 2016). Inversores convencionais fazem uma primeira aproximação da senoide com dois níveis de tensão, portanto, precisam de grandes filtros passivos para obter formas de onda com baixa distorção harmônica total (*Total Harmonic Distortion* - THD). Alternativamente, aproximações superiores podem ser obtidas pelo uso de topologias multiníveis, que sintetizam formas de onda com múltiplos níveis de tensão, mais próximas de um sinal senoidal quanto maior for o número de níveis. Consequentemente, topologias multiníveis geram menor conteúdo harmônico, e possibilitam reduzir o volume, peso e custo dos elementos passivos de filtragem.

Mais recentemente, a possibilidade de sintetizar formas de onda com menor conteúdo harmônico tem causado a incursão de inversores multiníveis também no mercado de baixas tensões (até 1 kV), particularmente, em sistemas de conversão de energia fotovoltaica e eólica, UPS e estações de carga para veículos elétricos (SAFAYATULLAH et al., 2022; TEODORESCU; LISERRE; RODRÍGUEZ, 2011; FRANQUELO et al., 2008; TOLBERT et al., 2002). Visto que as especificações de tensão dos semicondutores não são mais um problema para esses níveis de tensão, nesse contexto, alguns dos desafios concentram-se na redução do tamanho dos elementos de filtragem, incremento da eficiência e cumprimento dos requisitos de qualidade demandados pelas normas de conexão com a rede. Todos estes associados, direta ou indiretamente, com a síntese de formas de onda multiníveis.

Adicionalmente, a evolução tecnológica tem contribuído para superar barreiras técnicas e estimular esforços na concepção de topologias multiníveis alternativas. É usual que estruturas multiníveis derivem em topologias difíceis de serem construídas e operadas, pois à medida que o número de níveis aumenta, o número de semicondutores de potência e sinais de comando também aumentam, logo o circuito (conexões, dissipador, circuitos de acionamento, capacitores) e as estratégias de modulação e controle tornam o sistema complexo. Entretanto, apesar da maior complexidade das estruturas multiníveis, as plataformas modernas de processamento digital permitem implementar estratégias de controle sofisticadas a uma alta velocidade de processamento. Ainda, as aplicações emergentes e o desenvolvimento de novas tecnologias na fabricação de semicondutores podem tornar viáveis topologias que, até hoje, unicamente possuem valor acadêmico. Portanto, desde as primeiras topologias multiníveis reportadas, o estudo detalhado e comparativo das estruturas multiníveis existentes, a proposta de topologias alternativas e o controle das mesmas, têm sido de interesse tanto na academia quanto na indústria (YUAN, 2017).

1.1 MOTIVAÇÃO DO TRABALHO

Topologias multiníveis eram usualmente classificadas em três estruturas clássicas: multiníveis em cascata (*Cascaded Multilevel* - CM) (MCMURRAY, 1971; BAKER; BANISTER, 1975), com ponto neutro grampeado (*Neutral Point Clamped* - NPC) (BAKER, 1980) e com capacitores de grampeamento ou capacitores flutuantes (*Flying Capacitor* - FC) (MEYNARD; FOCH, 1992). Uma vez que o desempenho do inversor é fortemente dependente da topologia utilizada, diversas variações das topologias clássicas e combinações dessas estruturas têm sido apresentadas com a finalidade de atingir índices de desempenho em aplicações particulares ou melhorar suas características. Algumas topologias posteriormente reportadas incluem: o inversor três níveis com grampeamento ativo do ponto neutro (*Active Neutral Point Clamped* - 3L-ANPC) (BRUCKNER; BERNET; GULDNER, 2005); inversor ANPC cinco níveis (5L-ANPC) (BARBOSA et al., 2005), inversor NPC em ponte completa (*H-Bridge NPC*) (BAKER, 1981); inversor tipo T (*T-Type*) (NABAE; TAKAHASHI; AKAGI, 1981); inversor com células empilhadas (*Stacked Multicell Converter* - SMC) (GATEAU; MEYNARD; FOCH, 2002); e conversor multinível modular (*Modular Multilevel Converter* - MMC) (NAMI et al., 2015), entre muitas outras.

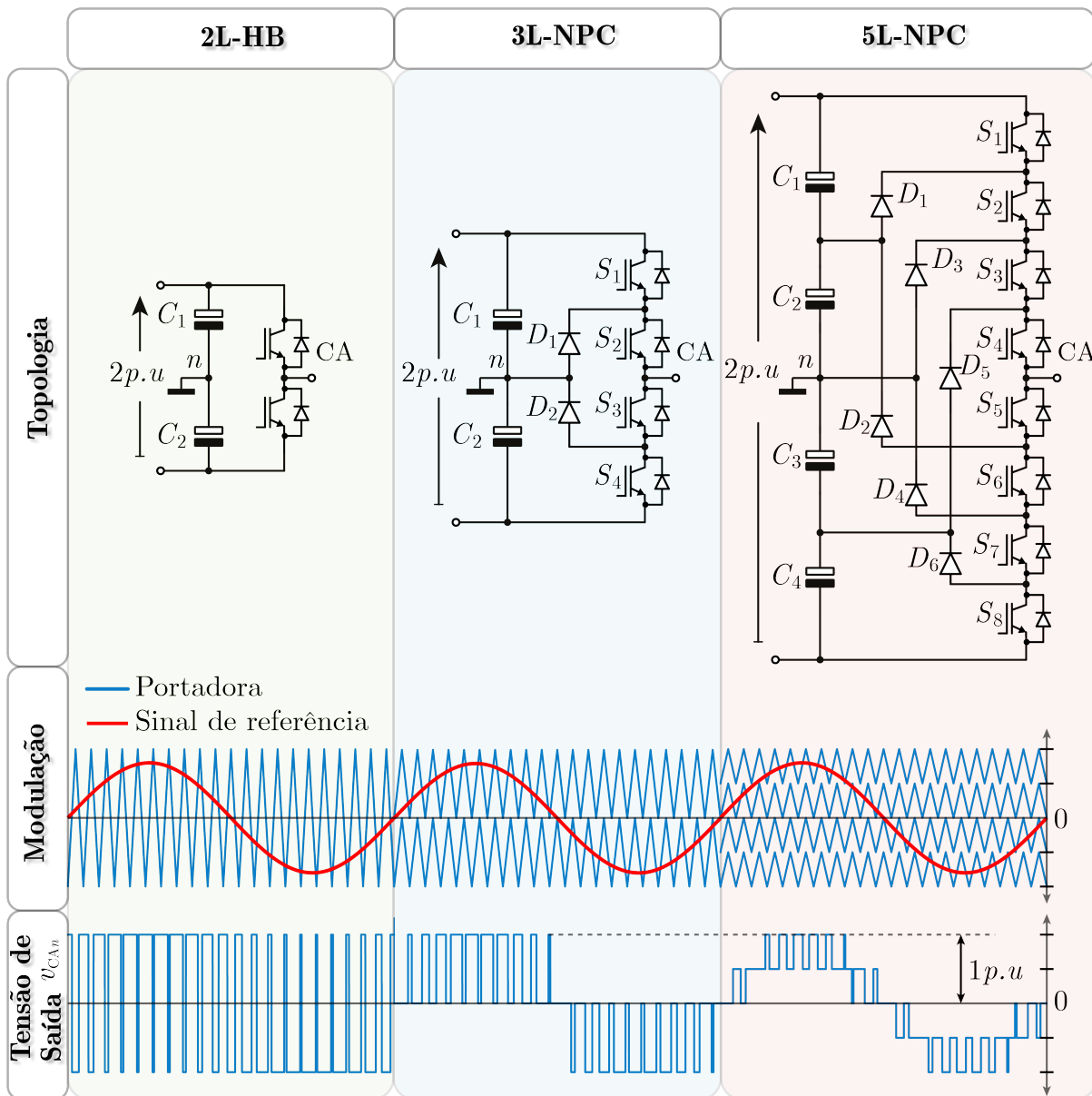
Atualmente, as topologias multiníveis são empregadas em um extenso campo de aplicações em distintas faixas de tensões e potências. No entanto, deve-se destacar que cada topologia possui características intrínsecas e, dessa forma, uma topologia adequada em alguns casos, contrariamente, pode ser inadequada em outros. Como exemplo pode-se citar as topologias 3L-NPC e *T-Type*, ambas com características de entrada/saída semelhantes, mas que exibem benefícios em contextos distintos (SCHWEIZER; FRIEDLI; KOLAR, 2013). Para citar, o conversor 3L-NPC é usualmente aplicado em média tensão pois divide os esforços de tensão nos semicondutores e permite operar com dispositivos de menor tensão. Contudo, em níveis de tensão menores, em que as especificações dos semicondutores não são um limitante, a aplicação do conversor *T-Type* resulta em menor número de componentes e maior eficiência (SCHWEIZER; KOLAR, 2013). Portanto, a escolha de uma solução satisfatória é fortemente dependente da aplicação e critérios de avaliação definidos. Alguns aspectos usualmente considerados na literatura são:

1. Número de componentes passivos e ativos: capacitores, diodos de potência e interruptores.
2. Tensão de bloqueio total (*Total Standing Voltage* - TSV): definido como o somatório da tensão de bloqueio reversa em cada semicondutor dentro do circuito (ARIF et al., 2021).

3. Realização do barramento CC de entrada: inclui os valores de tensão, a implementação de um barramento comum para as três fases ou múltiplos barramentos independentes por fase.
4. Operação da topologia: frequência de operação dos semicondutores, capacidade para efetuar o balanço das tensões nos capacitores flutuantes e do barramento, possibilidade de drenar potência ativa e reativa, entre outras características.

Abordar simultaneamente todos esses critérios não é uma tarefa fácil, uma vez que a melhoria em algum aspecto pode resultar no detrimento de outro. Além disso, estes

Figura 1.1 – Comparação na síntese de dois, três e cinco níveis.



aspectos são fortemente influenciados com o incremento do número de níveis. Para exemplificar, a Figura 1.1 compara uma fase dos inversores meia ponte dois níveis (*Half-Bridge* - 2L-HB), 3L-NPC e 5L-NPC. Como pode ser observado, as três topologias apresentam a mesma tensão de pico de saída e requerem a mesma tensão CC de entrada. Não obstante, o inversor 5L-NPC exibe uma estrutura mais complexa que envolve maior número de componentes. Por outro lado, esse incremento de componentes permite dividir os esforços de tensão nos semicondutores, resultando assim, em uma redução de até 75% da tensão de bloqueio reversa dos interruptores ativos no inversor 5L-NPC e de 50% no inversor 3L-NPC, em comparação com o inversor dois níveis. No entanto, o uso de diodos de grampeamento adicionais nos inversores 3L-NPC e 5L-NPC também incrementam o TSV, o que é traduzido em maior quantidade de silício necessária e, de algum modo, isso reflete no custo do circuito (FRIEDLI; KOLAR, 2009). Ainda, por mais que o inversor 5L-NPC também empregue uma única fonte CC de entrada, o número de pontos intermediários requeridos no barramento CC penaliza sua operação para alguns índices de modulação e fatores de potência, o que também acaba limitando sua aplicabilidade (PENG et al., 1995). Por outro lado, embora também a estratégia de modulação seja mais complexa para o inversor 5L-NPC, uma solução cinco níveis sempre será a melhor alternativa em termos da forma de onda sintetizada e desempenho harmônico se comparada com topologias de dois e três níveis. Resumindo, pode-se dizer que uma topologia capaz de sintetizar cinco níveis, mais do que uma solução absoluta, resulta em uma alternativa de bom custo-compromisso entre vários aspectos topológicos e de operação. Esse fato resulta em diferentes enfoques de estudo e abre inúmeras possibilidades na concepção e projeto de topologias cinco níveis (WANG et al., 2017a; BURGUETE; LOPEZ; ZABALETA, 2016; SOEIRO et al., 2013; CHAUDHURI; RUFER, 2010; RUIZ-CABALLERO et al., 2010).

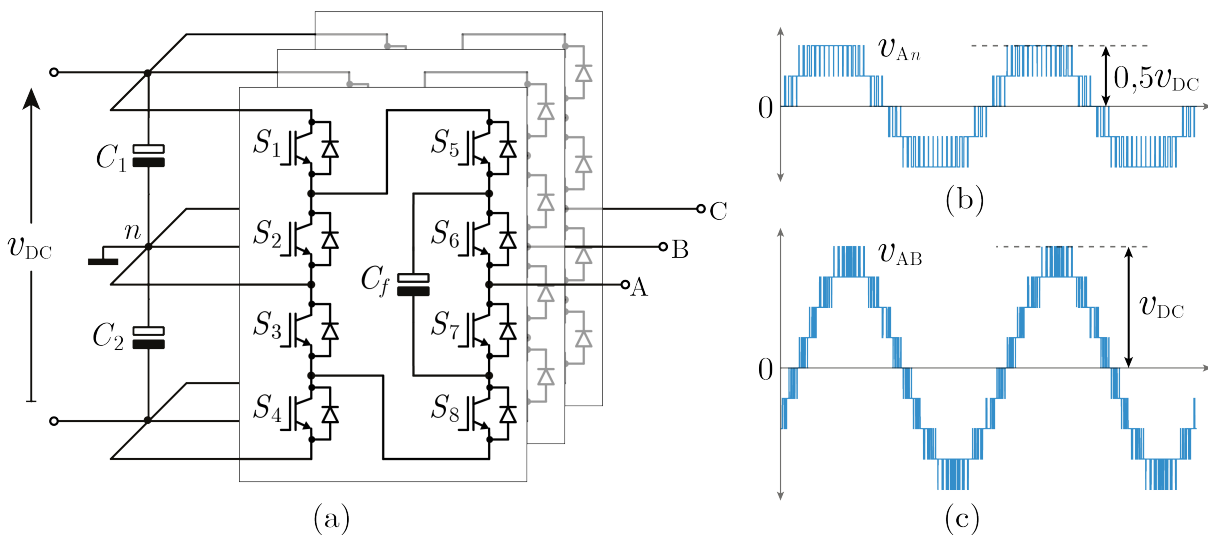
Além do inversor 5L-NPC, a análise do estado da arte apresentada no Capítulo 2 deste trabalho mostra outras topologias cinco níveis reportadas na literatura. Apesar de muitas ainda não serem comercialmente consolidadas, todas compõem uma família de topologias cinco níveis que evidenciam tendências e características interessantes para o desenvolvimento de estruturas alternativas. Dentre estas, destaca-se também o interesse crescente em estruturas multiníveis que envolvem o conceito de capacitor chaveado (*Switched Capacitor* - SC) (SIWAKOTI et al., 2020; ROY; SADHU, 2021; KIM; HAN; MOON, 2021; CHEN et al., 2021; JAHAN; ABAPOUR; ZARE, 2019; SATHIK et al., 2019; SIWAKOTI, 2018; TAGHVAIE; ADABI; REZANEJAD, 2018; SAEEDIAN; HOSSEINI; ADABI, 2018; SAEEDIAN et al., 2018; ALISHAH et al., 2017; ROZLAN; A, 2017; BARZEGARKHOO et al., 2016; SAMANBAKHSH; TAHERI, 2016; YE et al., 2014; PENG, 2001).

A aplicação do capacitor chaveado resulta em circuitos que fazem uso somente de capacitores e interruptores, dispensando assim elementos magnéticos. Estas topologias têm sido usadas há vários anos em produtos comerciais como circuitos integrados, na

adequação de níveis de tensão em protocolos de comunicação (transmissão RS232), no acionamento de LEDs e fontes para microprocessadores (SEEMAN, 2009). Mais recentemente, estes circuitos também passaram a ser empregados em conversores multiníveis. Algumas vantagens que podem ser citadas são ganhos estáticos elevados e balanceamento automático das tensões nos capacitores da estrutura. Em contraste, o uso de circuitos a capacitor chaveado pode resultar em elevadas correntes pulsantes que podem implicar em significativa interferência eletromagnética (*Electromagnetic Interference* - EMI) e baixa eficiência. Contudo, existem trabalhos que apresentam maneiras de minimizar esses efeitos e aumentar o rendimento do conversor, inclusive em potências maiores (SANTOS, 2017; WU et al., 2016; CORTEZ, 2015; FRIEDLI; KOLAR, 2009; ZHANG et al., 2008).

As considerações até aqui mencionadas orientam o presente trabalho de pesquisa. O autor acredita que embora seja requerido mais do que o simples desenvolvimento de uma nova topologia para a sua aplicação, do ponto de vista técnico e acadêmico sempre é importante contribuir com o desenvolvimento de topologias alternativas e o estudo de suas propriedades. Além disso, mesmo que algumas topologias não encontrem aplicação imediata, estas podem ganhar popularidade em função das aplicações emergentes e o desenvolvimento de novas tecnologias. Estes fatos descrevem a maior motivação deste trabalho e também norteiam sua justificativa.

Figura 1.2 – Características de entrada/saída em inversores convencionais. (a) Inversor 5L-ANPC, (b) tensão de fase e (c) tensão de linha.



Fonte: Autor.

1.2 JUSTIFICATIVA

Normalmente, inversores alimentados em tensão exibem uma característica abaixadora, sendo este também o caso da maioria dos inversores multiníveis. Como exemplo, a Figura 1.2(a) mostra o inversor 5L-ANPC, que apresenta um compromisso satisfatório entre número de componentes, operação relativamente simples e que é comercialmente consolidado (BARBOSA et al., 2005). Contudo, como ocorre na maioria dos inversores com estrutura meia-ponte, o valor máximo da tensão de fase medida entre os terminais A, B ou C, e o terminal n é a metade do valor total do barramento CC, conforme mostra a Figura 1.2(b). Já nas tensões de linha é observado que o valor máximo medido entre fases (A, B ou C) é igual ao valor da tensão de entrada CC, como ilustrado na Figura 1.2(c). Em outras palavras, o valor máximo da tensão de saída não pode exceder a tensão de entrada CC.

Em muitas situações, o projeto requer que a tensão de entrada seja elevada a fim de atender as especificações da aplicação. Nesses casos, quando se deseja operar com níveis menores de tensão de barramento CC, como no caso de painéis fotovoltaicos (*Photovoltaic Panels - PV*), baterias ou células a combustível (*Fuel cells*), um estágio adicional de entrada composto por um conversor CC-CC elevador ou alternativamente um transformador de saída devem ser empregados para aumentar a tensão (KOURO et al., 2015). Contudo, as soluções com múltiplos estágios de potência podem resultar em menor eficiência e confiabilidade, e maior custo e volume do sistema. Nesses casos, inversores multiníveis de único estágio e característica elevadora são uma alternativa atraente e que simultaneamente resultam em melhor qualidade da energia quando comparados com soluções de dois e três níveis (ABDELHAKIM; MATTAVELLI; SPIAZZI, 2017).

Nesse contexto, as topologias cinco níveis emergentes que contemplam o uso de circuitos com capacitor chaveado, como o que propõe este trabalho, permitem obter benefícios atraentes em relação ao ganho estático de tensão e, ainda, um desempenho harmônico satisfatório (YE et al., 2022; SIWAKOTI et al., 2020; SIWAKOTI, 2018; SAEEDIAN; HOSSEINI; ADABI, 2018; SAEEDIAN et al., 2018; SANDEEP et al., 2018). Dessa forma, é possível exibir uma característica elevadora evitando o uso de múltiplos estágios de conversão de potência e, ao mesmo tempo, reduzir as especificações dos elementos de filtragem. Também, uma vez que o valor de tensão no barramento CC de entrada é reduzido, os problemas de isolamento, segurança e requisitos de espaço são também diminuídos.

1.3 OBJETIVOS

Este trabalho tem como objetivo principal a proposta de uma topologia de conversor cinco níveis alternativa. Para tal fim, é integrado o conceito de capacitor chaveado em

uma estrutura cinco níveis com grampeamento ativo do ponto neutro. Pretende-se com este novo conversor obter benefícios em relação as topologias cinco níveis já reportadas, tal como o inversor 5L-ANPC convencional (BARBOSA et al., 2005). Além desse objetivo principal, podem-se destacar alguns objetivos específicos:

- Desenvolvimento da estratégia de modulação para o conversor proposto;
- Análise comparativa com outras topologias de conversores cinco níveis;
- Verificação experimental do funcionamento e análises dos resultados, tanto na operação como inversor quanto como retificador

1.4 ORGANIZAÇÃO DO DOCUMENTO

O documento referente a esta Tese de Doutorado encontra-se organizada em cinco capítulos destinados à proposta e estudo de um conversor de cinco níveis.

No capítulo 1 foi apresentada a introdução, motivação e objetivos do trabalho.

No capítulo 2 é abordado o estado da arte dos inversores cinco níveis. Nesse capítulo são considerados os inversores cinco níveis obtidos como uma extensão das estruturas clássicas três níveis e os inversores com estruturas em ponte completa. No mesmo capítulo também estão inclusos os inversores com grampeamento ativo do ponto neutro 5L-ANPC e os inversores cinco níveis com capacitor chaveado. O capítulo finaliza com uma síntese das características dos inversores referidos.

No capítulo 3 é apresentada a topologia proposta. Inicialmente, é mostrado um método em que as topologias convencionais de cinco níveis com grampeamento ativo do ponto neutro podem ser derivadas. Em seguida, esse método é usado para explicar a derivação da topologia proposta neste trabalho. Nesse capítulo é também apresentada a estratégia de modulação adotada. Finalmente, uma comparação com outras topologias similares e resultados de simulação e experimentais são apresentados.

O capítulo 4 trata da operação como retificador unidirecional conectado a rede. A estratégia de modulação e controle são expostas nesse capítulo. O capítulo conclui com os resultados de simulação e a verificação experimental.

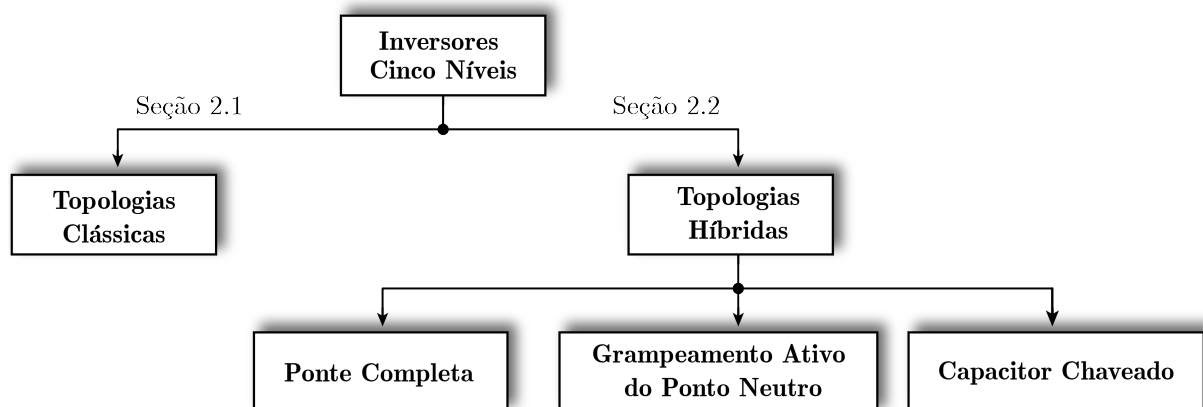
Por fim, o capítulo 5 apresenta as considerações finais do trabalho.

2 ESTADO DA ARTE

Os inversores cinco níveis, que são o tema principal de estudo neste trabalho, podem ser organizados em topologias clássicas e híbridas. Os inversores cinco níveis derivados a partir das topologias consideradas clássicas são baseados em estruturas NPC, FC e CHB, enquanto que as topologias híbridas são usualmente formadas por alguma combinação entre as estruturas clássicas. Estas últimas são divididas neste trabalho em três grupos de inversores, a saber: em ponte completa, com grampeamento ativo do ponto neutro e inversores que utilizam o conceito de capacitor chaveado. Os inversores em ponte completa cinco níveis são caracterizados por ser de natureza monofásica, enquanto que os inversores com grampeamento ativo do ponto neutro possuem um único barramento CC que pode ser compartilhado pelas três fases, sendo assim de natureza trifásica. Mais recentemente, existem topologias emergentes que incorporam o conceito de capacitor chaveado tão popularizado na conversão CC-CC, mas que também manifestam características atraentes na conversão CC-CA, como é o caso dos inversores cinco níveis com capacitor chaveado. A Figura 2.1 mostra uma classificação das topologias consideradas.

Dessa forma, este capítulo apresenta uma revisão de topologias cinco níveis e em seguida faz uma comparação das topologias abordadas. Esta revisão considera que todas as topologias sintetizam uma forma de onda alternada com cinco níveis de tensão e valor base máximo normalizado de 1 pu no sistema por unidade (*per unit* - pu) e, a partir desse valor, são identificados os requerimentos de tensão para o barramento de entrada assim como dos interruptores e capacitores do circuito. Destaca-se que devido a quantidade de topologias existentes a classificação apresentada não engloba todas as possibilidades, mas é suficiente para estabelecer o embasamento teórico da proposta deste trabalho.

Figura 2.1 – Classificação das topologias consideradas.



Fonte: Autor.

2.1 TOPOLOGIAS CINCO NÍVEIS CLÁSSICAS

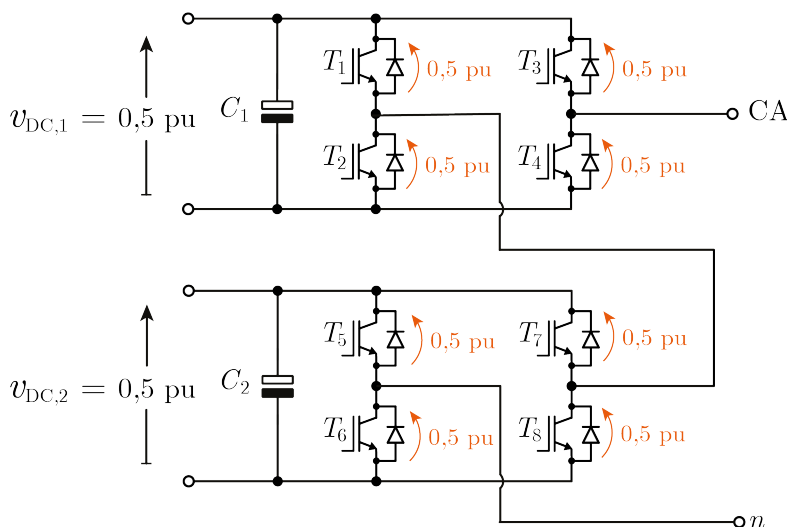
2.1.1 Inversor multinível com células em ponte completa em série

O conceito de utilizar múltiplos níveis de tensão para realizar o processo de conversão CC-CA foi patentado em 1971 (MCMURRAY, 1971). A topologia apresentada sintetiza uma forma de onda multinível utilizando fontes de tensão isoladas. Para tanto, a estrutura consiste da conexão série de inversores monofásicos, que inicialmente foram células em ponte completa três níveis. Hoje, essa topologia é chamada de inversor multinível com células em ponte completa em cascata (*Cascade H-bridge - CHB*) e é um caso particular de um grupo maior de topologias com a mesma estrutura, denominado de inversores multiníveis em cascata.

O inversor CHB em uma configuração cinco níveis (5L-CHB) é mostrado na Figura 2.2. Por simplicidade, somente uma fase é destacada. A tensão de saída v_{CA_n} , dada pela soma das tensões geradas por cada célula, é medida entre o terminal CA e o terminal n . Uma vez que cada fase é formada pela conexão série de duas células em ponte completa, são então utilizados oito interruptores de potência por fase. Nessa topologia, cada interruptor é submetido ao valor da tensão CC da respectiva célula. Logo, para tensões CC iguais em todas as células, semicondutores com as mesmas especificações de tensão podem ser empregados. Nesse caso, o inversor é dito simétrico.

O inversor CHB na sua configuração simétrica é utilizado como uma solução em aplicações de alta potência devido a sua modularidade e facilidade de expansão. Para

Figura 2.2 – Inversor 5L-CHB.



Fonte: Autor.

exemplificar, quando uma tensão de saída v_{CA_n} com valor máximo de 1 pu é requerido, na configuração simétrica as tensões de entrada devem ser $v_{DC,1} = v_{DC,2} = 0,5$ pu conforme na Figura 2.2. Com essa configuração os níveis $\{-1$ pu, $-0,5$ pu, 0 pu, $0,5$ pu, 1 pu $\}$ são gerados na carga, e todos os interruptores são submetidos a $0,5$ pu. Como todas as células exibem projetos similares, é relativamente fácil incrementar o número de níveis e tensão de operação do inversor pela inclusão de mais células em série, isto sem incrementar os esforços de tensão nos interruptores. Conseqüentemente, é usual encontrar inversores CHB em aplicações de média tensão e altas potências com mais de cinco células por fase (SIEMENS, 2018).

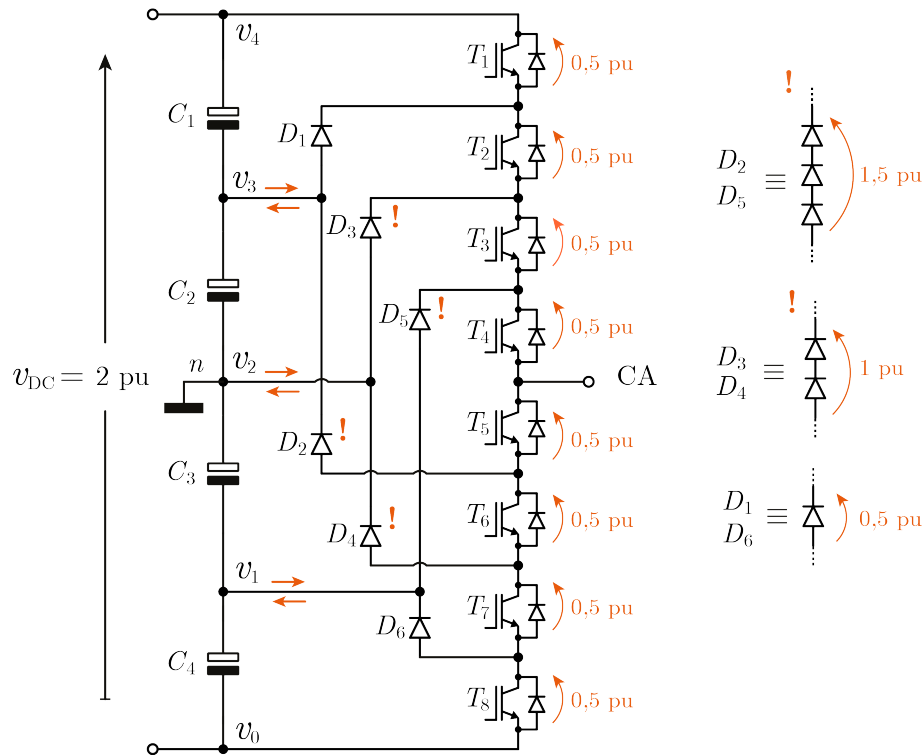
Em aplicações com transferência de potência ativa, o CHB requer o uso de fontes de tensão isoladas a fim de evitar curtos-circuitos durante alguns estados de comutação. Isto é uma desvantagem, pois usualmente as fontes são implementadas a partir de múltiplos enrolamentos secundários de um transformador de baixa/média frequência com incremento do volume, peso e custo, além de circuitos mais complexos, principalmente quando requerido fluxo bidirecional de energia. Ainda, valores de capacitâncias maiores devem ser projetados para limitar as ondulações em baixa frequência próprias dos inversores de natureza monofásica. Por outro lado, o CHB tem uma implementação atraente em aplicações com transferência de potência reativa e em situações que naturalmente garantem a isolamento das tensões em cada célula como em filtros ativos, compensação de reativos, conexão de sistemas de armazenamento de energia em baterias, integração de energia fotovoltaica (FRANQUELO et al., 2008).

2.1.2 Inversor multinível utilizando diodos de grampeamento

Em 1980, foi apresentada uma topologia três níveis com uso de uma única fonte de entrada, comum a todas as fases do inversor (BAKER, 1980). Sua estrutura foi constituída por um barramento CC dividido através de dois capacitores. A tensão intermediária disponível no barramento CC era grampeada na saída pela atuação conjunta de interruptores e diodos de grampeamento. Esta topologia, cuja uma fase já foi mostrada na Figura 1.1, é comumente conhecida como inversor três níveis com ponto neutro grampeado (*Neutral Point clamped* - 3L-NPC) e pode ser estendida para um maior número de níveis (BAKER, 1981). Pouco depois, em 1981, foi apresentada sua operação utilizando uma estratégia de modulação por largura de pulso (*Pulsed Width Modulation* - PWM) (NABAE; TAKAHASHI; AKAGI, 1981).

Uma fase do inversor NPC cinco níveis (5L-NPC) é mostrada na Figura 2.3. Esta topologia requer oito interruptores e seis diodos de grampeamento por fase. A tensão total de entrada é distribuída nos capacitores do barramento, que disponibilizam cinco níveis de tensão $\{v_0, v_1, v_2, v_3, v_4\}$ para serem conectados no terminal de saída. A tensão de saída

Figura 2.3 – Inversor 5L-NPC.

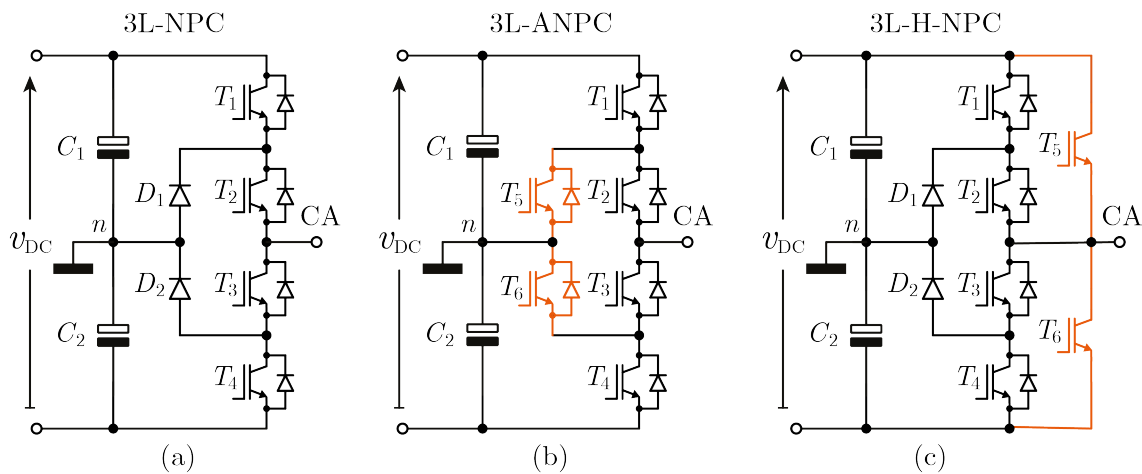


Fonte: Autor.

é medida entre o terminal CA e o terminal n . A existência de um barramento comum às três fases permite utilizar uma única fonte de tensão, o que representa uma vantagem em relação às estruturas em cascata. Nesta topologia, a tensão nos interruptores é grampeada pela tensão de algum capacitor, enquanto que os diodos de grampeamento são submetidos a tensões reversas distintas.

Assumindo que é requerida uma tensão máxima de saída de 1 pu, o barramento CC de entrada deve ser regulado em 2 pu. Logo, idealmente, cada capacitor apresenta uma tensão de 0,5 pu, ou seja, um quarto do valor total do barramento CC. Nesta topologia os interruptores $T_1 - T_8$ podem ser especificados com tensões de bloqueio de 0,5 pu. Por outro lado, caso deseje-se utilizar diodos com a mesma tensão de bloqueio dos interruptores, é necessário implementar a conexão série de vários diodos de 0,5 pu, como destacado na Figura 2.3. Dessa forma, a queda de tensão desigual sobre os diodos e as perdas introduzidas pela recuperação reversa torna o sistema menos atraente. Adicionalmente, os pontos intermediários do barramento CC de entrada demandam estratégias de controle ou circuitos adicionais para o balanceamento das tensões dos capacitores, o que acaba aumentando a complexidade. Este é um desafio inerente das topologias multiníveis que utilizam estruturas com barramento dividido por capacitores.

Figura 2.4 – Topologias três níveis com estrutura de ponto neutro grampeado: (a) com diodos de grampeamento, (b) com grampeamento ativo e (c) com interruptores redundantes.

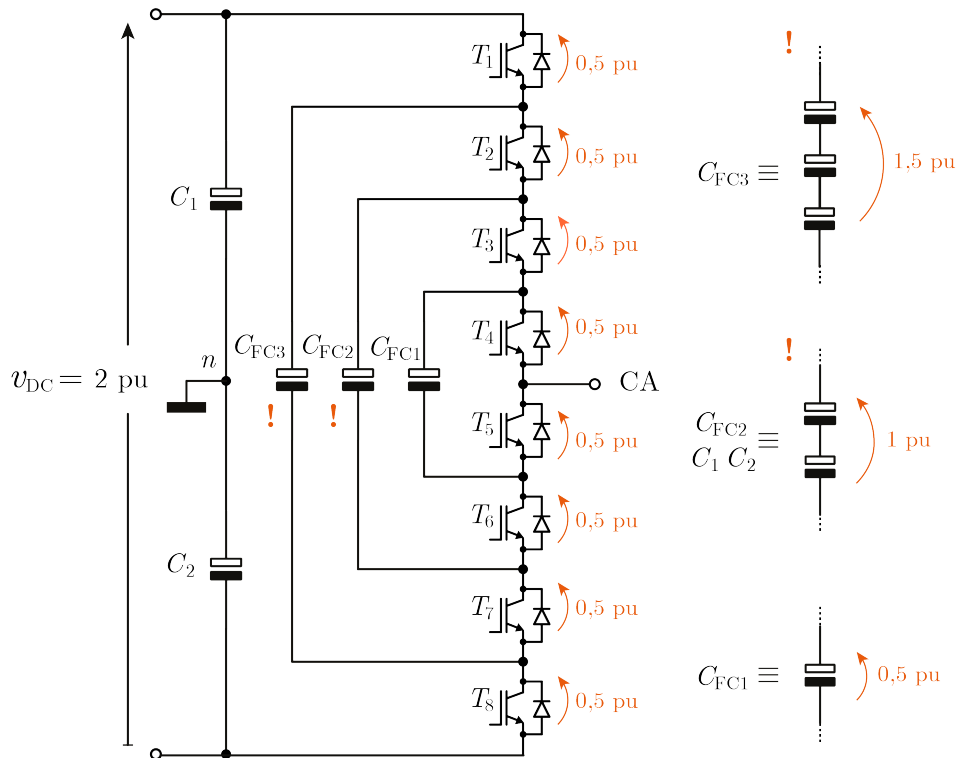


Fonte: Autor.

As limitações mencionadas têm restringido o uso prático do inversor NPC principalmente para configurações três níveis, pois nessa configuração todos os semicondutores são submetidos a níveis de tensão similares (inclusive os diodos de grampeamento), e uma vez que somente dois capacitores de barramento são necessários, o balanceamento das tensões dos capacitores pode ser simplificado se comparado com o inversor 5L-NPC (PENG et al., 1995).

Topologias baseadas na estrutura do inversor 3L-NPC (Figura 2.4(a)) propõem mudanças na forma como o barramento capacitivo é acessado, e alguns benefícios são obtidos. Em (BRUCKNER; BERNET; GULDNER, 2005), os diodos de grampeamento são substituídos por interruptores ativos para adicionar flexibilidade nas comutações. Se operado adequadamente, as temperaturas de junção dos semicondutores podem ser redistribuídas em benefício do acréscimo da potência total que o inversor pode processar. O circuito resultante é conhecido como inversor 3L-ANPC e é mostrado na Figura 2.4(b). Um arranjo distinto de diodos de grampeamento é também proposto em (YUAN; BARBI, 1999) a fim de utilizar semicondutores de tecnologias similares e evitar a conexão série de diodos de grampeamento. Ainda, em (SOEIRO; KOLAR, 2013), interruptores redundantes são utilizados para aumentar a eficiência do inversor quando operado com índices de modulação elevados, a topologia resultante foi chamada de inversor 3L-H-NPC (3L-Hybrid-NPC) e é ilustrada na Figura 2.4(c).

Figura 2.5 – Inversor 5L-FC.



Fonte: Autor.

2.1.3 Inversor multinível utilizando capacitores flutuantes

Em 1992, Meynard e Foch apresentam uma estrutura multinível diferente dos inversores CHB e NPC. A topologia conserva um barramento CC único tal como no inversor NPC, mas os diodos de grampeamento foram substituídos por capacitores de grampeamento, também chamados de capacitores flutuantes. Essa mudança elimina os pontos intermediários do barramento CC e resulta em uma operação totalmente diferente, em que cada nível de tensão na saída é gerado pela combinação entre a tensão do barramento CC com as tensões dos capacitores flutuantes. A topologia usualmente recebe o nome de inversor multinível com capacitores flutuantes (*Flying capacitor* - FC) (MEYNARD; FOCH, 1992).

Uma fase do inversor FC cinco níveis (5L-FC) é apresentada na Figura 2.5. Nessa estrutura são requeridos oito interruptores e três capacitores flutuantes por fase. Da mesma forma como no inversor NPC, o barramento é comum a todas as fases, e somente uma fonte de tensão é necessária. Embora a tensão de fase seja medida entre os terminais CA e n , na configuração trifásica o terminal n pode ser dispensado. Portanto, ao contrário do inversor NPC, não existem pontos intermediários do barramento CC que possam ser acessados por alguma fase, evitando desbalanços nas tensões do barramento.

Além disso, existem estados distintos dos interruptores que sintetizam a mesma tensão de fase, denominados estados redundantes, que permitem inverter o sentido da corrente nos capacitores flutuantes para um mesmo nível de tensão sintetizado na saída. Portanto, a carga/descarga dos capacitores flutuantes da estrutura pode ser realizado pela seleção adequada dos estados redundantes a fim de balancear as tensões (WILKINSON; MEYNARD; MOUTON, 2006a; WILKINSON; MEYNARD; MOUTON, 2006b).

Nas estruturas FC, as tensões nos interruptores são efetivamente grampeadas pela diferença das tensões dos capacitores adjacentes. Dessa forma, sempre que uma escolha adequada das tensões dos capacitores flutuantes seja efetuada, é possível utilizar interruptores com especificações de tensão semelhantes. No inversor 5L-FC da Figura 2.5, quando uma tensão máxima de saída de 1 pu é demandada, o barramento CC deve ser configurado em 2 pu, e as tensões nos capacitores podem ser selecionadas como $\{v_{FC1} = 0,5 \text{ pu}, v_{FC2} = 1 \text{ pu}, v_{FC3} = 1,5 \text{ pu}\}$. Nesse caso, todos os interruptores são submetidos a mesma especificação de tensão, 0,5 pu, e a configuração é dita simétrica.

Os principais desafios do inversor FC concentram-se no uso dos capacitores flutuantes. Quando capacitores com a mesma tensão de bloqueio dos interruptores são empregados, é necessário utilizar vários capacitores em série, como destacado na Figura 2.5. Durante a partida, esses capacitores requerem um procedimento de pré-carga adequado que demanda estratégias de controle e/ou circuitos adicionais. Além disso, a vida útil do inversor é influenciada pela operação dos capacitores, uma vez que constantemente estão sendo conectados em série com a carga e elevadas correntes causam aquecimento interno que reduz a vida útil dos capacitores. Ainda, devido às ondulações de tensão causadas pela corrente através dos capacitores, grandes capacitâncias devem ser projetadas quando o inversor opera com baixas frequências de comutação. Esse é o caso das aplicações em média tensão e alta potência em que os interruptores são operados em algumas centenas de Hz. Portanto, inversores FC normalmente estão associados a aplicações que permitem sua operação em maiores frequências. Essas dificuldades têm causado com que o inversor 5L-FC tenha menos penetração em aplicações industriais do que estruturas CHB e NPC. Contudo, em (ALSTOM, 2001) é mostrada uma solução comercial de quatro níveis em 4,16 kV.

2.2 TOPOLOGIAS CINCO NÍVEIS HÍBRIDAS

É possível obter topologias cinco níveis pela combinação das estruturas clássicas NPC, FC e CHB. Esse procedimento resulta em inúmeras possibilidades comumente conhecidas como inversores híbridos. Este trabalho adota uma divisão em três grupos: inversores em ponte completa, inversores com grampeamento ativo do ponto neutro e inversores baseados no conceito de capacitor chaveado.

2.2.1 Inversores em ponte completa

Inversores em ponte completa cinco níveis apresentam uma saída dada pela diferença entre as tensões de cada braço. Dentre os inversores reportados, destaca-se o inversor 3L-NPC em ponte completa introduzido inicialmente em (BAKER, 1981) e comumente conhecido como inversor 5L-HNPC. A Figura 2.6 mostra uma fase do circuito, sendo a tensão de saída medida entre os terminais CA e n . Quando uma tensão máxima de 1 pu é demandada, a tensão CC de entrada é também configurada em 1 pu. Com essa configuração, tensões de $\{-1 \text{ pu}, -0,5 \text{ pu}, 0 \text{ pu}, 0,5 \text{ pu}, 1 \text{ pu}\}$ podem ser sintetizadas. Além disso, todos os interruptores e diodos de grampeamento são submetidos à mesma tensão reversa, que com os valores da Figura 2.6 resulta em 0,5 pu.

Da mesma forma que no inversor 5L-CHB, o inversor 5L-HNPC não apresenta um barramento CC comum às três fases, portanto, na sua configuração trifásica, três inversores 5L-HNPC devem ser empregados. Há que destacar que, devido à estrutura em ponte completa nessa configuração, tensões de até 2 pu podem ser sintetizadas entre fases, mesmo com tensões dos barramentos CC de 1 pu. Também, uma vantagem que pode ser citada em relação ao inversor 5L-CHB é que o circuito da Figura 2.6 requer uma fonte de tensão isolada por fase, reduzindo pela metade o número de fontes necessárias. Contudo, cada fase do inversor 5L-HNPC apresenta um barramento dividido por dois capacitores, o que também demanda circuitos para o balanceamento das tensões. Diversas topologias baseadas na estrutura em ponte completa podem ser também derivadas ao utilizar braços com topologias multiníveis diferentes.

Um conceito diferente de topologia monofásica cinco níveis foi apresentado em (RUIZ-CABALLERO et al., 2010). O inversor resultante é denominado neste trabalho de inversor 5L-FB (*Five-Level Full-Bridge*), sendo uma fase do mesmo mostrada na Fi-

Figura 2.6 – Inversor cinco níveis em ponte completa 5L-HNPC.

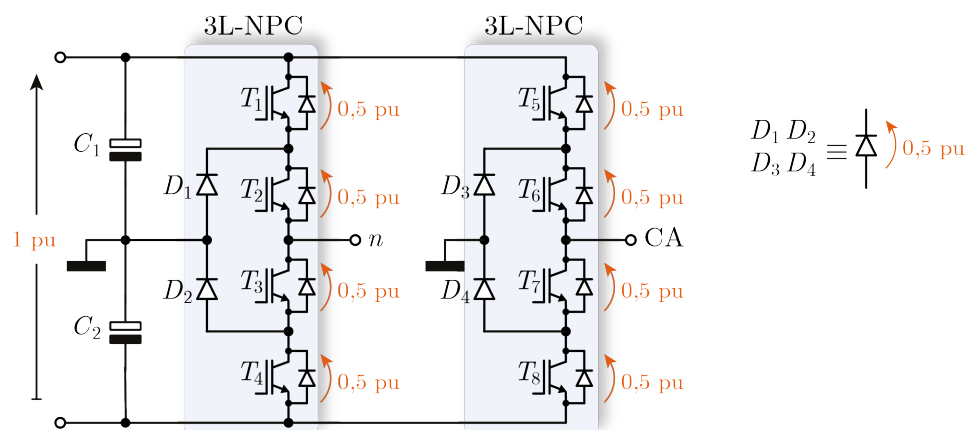
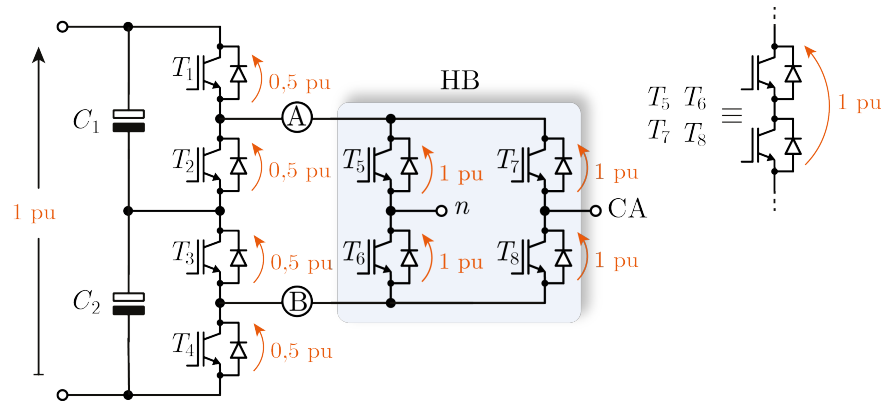


Figura 2.7 – Inversor 5L-FB.



Fonte: Autor.

Tabela 2.1 – Estados de operação do inversor 5L-FB.

	T_1	T_2	T_3	T_4	T_5	T_6	T_7	T_8	v_{CA_n}
A	1	0	0	1	0	1	1	0	1 pu
B	1	0	1	0	0	1	1	0	0,5 pu
C	0	1	0	1	0	1	1	0	0,5 pu
D	0	1	1	0	0	1	1	0	0 pu
E	0	1	1	1	1	0	0	1	0 pu
F	0	1	0	1	1	0	0	1	-0,5 pu
G	1	0	1	0	1	0	0	1	-0,5 pu
H	1	0	0	1	1	0	0	1	-1 pu

gura 2.7. De maneira similar ao inversor 3L-NPC, o circuito da Figura 2.7 emprega um barramento CC dividido por dois capacitores, porém também combina uma célula três níveis em ponte completa do lado da saída. A operação do inversor 5L-FB pode ser dividida em duas partes: primeiro, quando uma tensão de 1 pu é configurada no barramento conforme a Figura 2.7, a operação adequada dos interruptores T_1 , T_2 , T_3 e T_4 permite impor as tensões de $\{0 \text{ pu}, 0,5 \text{ pu} \text{ e } 1 \text{ pu}\}$ entre os pontos **A** e **B**. Posteriormente, essas tensões são fornecidas para uma célula em ponte completa que possibilita sintetizar tanto o semiciclo positivo quanto o semiciclo negativo da forma de onda multinível entre os terminais CA e n . Pode-se dizer então que o circuito da Figura 2.7 utiliza um barramento CC multinível de maneira semelhante ao analisado em (SU, 2005). A Tabela 2.1 detalha os estados de operação dos interruptores.

O inversor 5L-FB utiliza oito interruptores por fase, o que representa uma vantagem em relação ao inversor 5L-HNPC, que requer quatro diodos de grampeamento adicionais. Embora o número de componentes seja reduzido, quatro interruptores são submetidos a 0,5 pu e quatro a 1 pu, o que demanda a utilização de semicondutores com especificações de tensão diferentes ou a conexão série de interruptores de 0,5 pu conforme destacado

na Figura 2.7. No entanto, em (RUIZ-CABALLERO et al., 2010) uma estratégia de modulação PWM com portadoras deslocadas em amplitude e dispostas em fase (PD - *Phase Disposition*) foi empregada, de tal forma que os interruptores T_5 , T_6 , T_7 e T_8 podem operar na frequência fundamental do sinal de referência, permitindo reduzir as perdas introduzidas pela comutação desses interruptores.

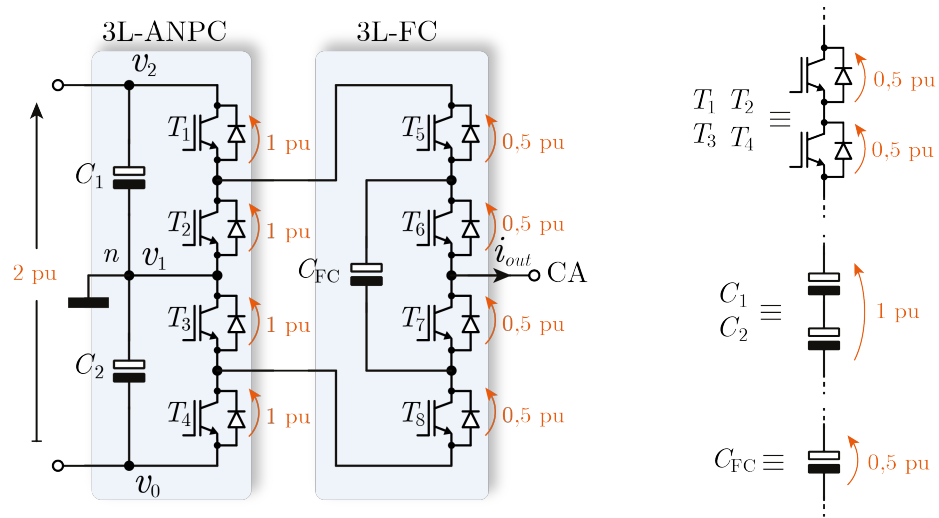
Como desvantagem das topologias cinco níveis baseadas nas estruturas das Figuras 2.6 e 2.7 pode ser citado o uso de três barramentos CC de entrada isolados na configuração trifásica. Além disso, o uso de barramentos CC divididos por capacitores requer que o balanço das respectivas tensões em cada célula deva ser garantido. Portanto, alternativas cinco níveis operando com uma única fonte CC de entrada têm sido constantemente apresentadas, pois um único barramento de entrada pode ser implementado e a complexidade associada à realização das fontes pode ser também reduzida.

2.2.2 Inversores com grampeamento ativo do ponto neutro

Inversores cinco níveis com grampeamento ativo do ponto neutro são caracterizados por utilizar um barramento CC de entrada que disponibiliza um ponto intermediário chamado de ponto neutro. A Figura 2.8 mostra uma fase do inversor cinco níveis ANPC proposto em (BARBOSA et al., 2005), que será referido ao longo deste trabalho como 5L-ANPC-I. Como pode ser notado, o inversor 5L-ANPC-I combina tanto uma estrutura 3L-FC na saída, quanto uma estrutura 3L-ANPC junto ao barramento CC na entrada. Dessa forma, o circuito utiliza um único capacitor flutuante por fase e o barramento CC pode ser acessado simultaneamente pelas três fases, habilitando assim o funcionamento com uma única fonte de tensão na entrada.

A operação do circuito da Figura 2.8 permite sintetizar na saída as tensões v_0 , v_1 e v_2 disponíveis no barramento CC, além de fazer uma combinação das mesmas com a tensão do capacitor flutuante C_{FC} . Desse modo, pela seleção adequada das tensões do barramento e do capacitor flutuante é possível não somente obter na saída as tensões v_0 , v_1 e v_2 mas também acrescentar níveis extras associados à tensão em C_{FC} . Assim, quando uma forma de onda multinível com valor máximo de 1 pu é requerida, os capacitores do barramento CC devem ser configurados em 1 pu, enquanto que o capacitor flutuante é mantido em uma tensão de 0,5 pu. Nessa configuração, uma forma de onda com cinco níveis $\{-1 \text{ pu}, -0,5 \text{ pu}, 0 \text{ pu}, 0,5 \text{ pu}, 1 \text{ pu}\}$ pode ser sintetizada entre os terminais CA e n . Com essas tensões nas fases, o máximo valor medido entre fases do inversor é de 2 pu, sendo igual ao valor total configurado no barramento de entrada. Portanto, pode-se afirmar que o inversor 5L-ANPC-I apresenta uma natureza abaixadora, ou seja, a tensão de saída (medida entre fases na configuração trifásica) é menor ou igual que a tensão CC de entrada.

Figura 2.8 – Topologia 5L-ANPC-I.



Fonte: Autor.

Tabela 2.2 – Estados de operação do inversor 5L-ANPC-I.

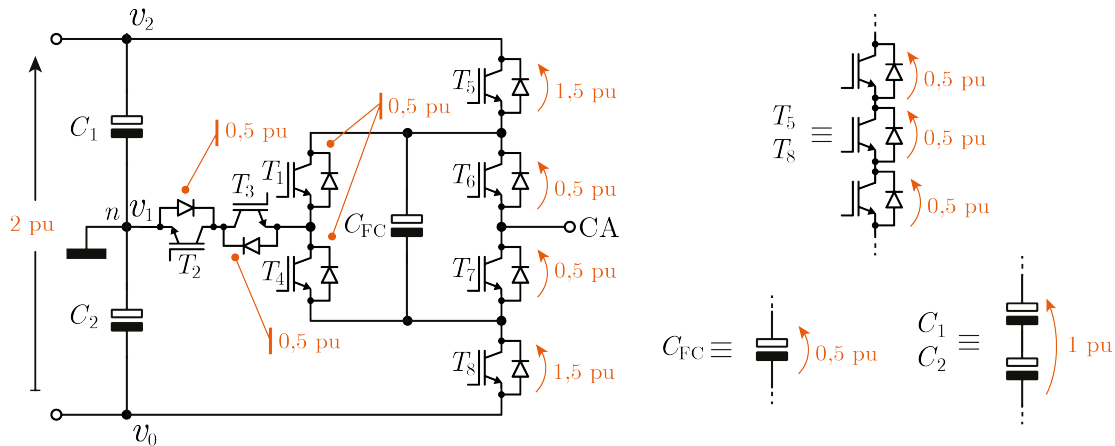
	Estados de operação								Tensão em C_{FC}		
	T_1	T_2	T_3	T_4	T_5	T_6	T_7	T_8	v_{CAN}	$i_{out} > 0$	$i_{out} < 0$
A	1	0	1	0	1	1	0	0	1 pu	–	–
B	1	0	1	0	1	0	1	0	0,5 pu	↑	↓
C	1	0	1	0	0	1	0	1	0,5 pu	↓	↑
D	1	0	1	0	0	0	1	1	0 pu	–	–
E	0	1	0	1	1	1	0	0	0 pu	–	–
F	0	1	0	1	1	0	1	0	–0,5 pu	↑	↓
G	0	1	0	1	0	1	0	1	–0,5 pu	↓	↑
H	0	1	0	1	0	0	1	1	–1 pu	–	–

↑ Incremento, ↓ Decremento

A forma de onda cinco níveis do inversor 5L-ANPC-I é gerada a partir de oito estados diferentes tal como detalhado na Tabela 2.2. Há que se destacar que o nível 0,5 pu pode ser obtido através dos estados **B** e **C**, de maneira similar que o nível –0,5 pu é obtido através dos estados **F** e **G**. Embora esses estados sintetizem a mesma tensão, eles também impõem um sentido diferente da corrente através de C_{FC} . Logo, pela escolha adequada de **B** ou **C** durante o nível 0,5 pu e **F** ou **G** durante –0,5 pu, é possível ter o controle do incremento (↑) ou decremento (↓) da carga no capacitor flutuante, sendo esses estados indispensáveis para o balanceamento da tensão em C_{FC} .

No que se refere as especificações dos componentes, os interruptores T_1 a T_4 são submetidos a esforços de tensão de 1 pu, enquanto que os interruptores T_5 a T_8 são submetidos a 0,5 pu. Dessa forma, interruptores com o dobro de tensão devem ser empregados

Figura 2.9 – Uma fase do inversor 5L-ANPC-II.



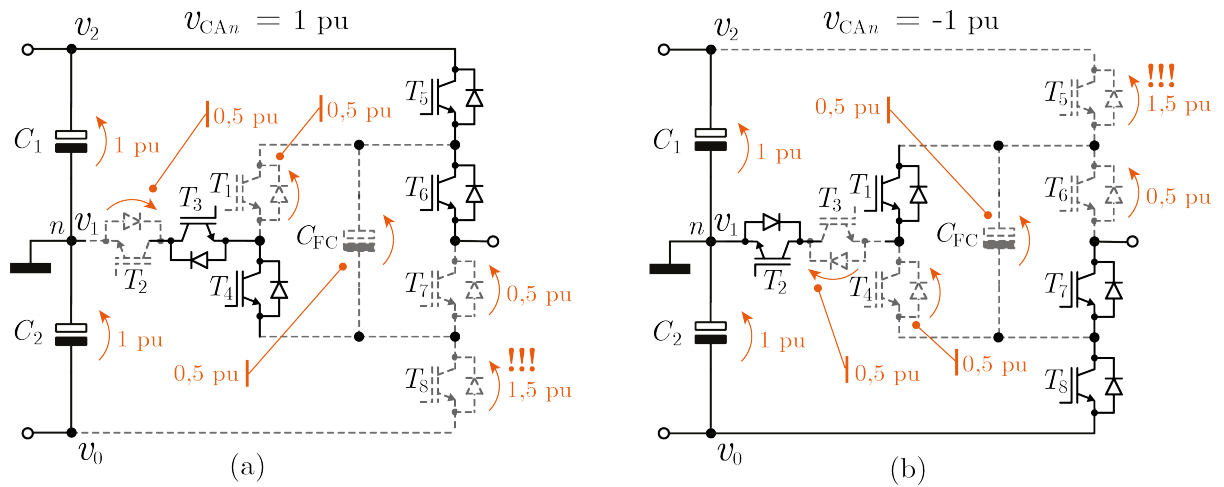
Fonte: Autor.

para T_1 a T_4 , ou como destacado na Figura 2.8, dois interruptores em série com especificações de 0,5 pu devem ser utilizados. Assim, são necessários então 12 interruptores de 0,5 pu. Contudo, é importante mencionar que embora T_1 a T_4 sejam submetidos a tensões maiores, os mesmos podem operar na frequência fundamental do sinal de referência, conforme demonstrado em (BARBOSA et al., 2005). Isso permite limitar as perdas introduzidas pela comutação dos interruptores de maior tensão e ainda permite sintetizar uma forma de onda PWM na carga, pois os interruptores T_5 a T_8 continuam a operar na frequência de comutação. Ainda, se também utilizados capacitores com a mesma especificação de tensão, é necessário conectar dois capacitores de 0,5 pu em série para cada capacitor do barramento CC. Algumas vantagens do inversor 5L-ANPC-I incluem:

- operação com uma única fonte de entrada;
- redução do número de pontos intermediários do barramento se comparado com o inversor 5L-NPC, o que simplifica a estratégia de balanceamento das tensões do barramento CC;
- menor número de capacitores flutuantes se comparado com o inversor 5L-FC;
- o investimento inicial em capacitores é amortecido e a vida útil de todo o sistema pode ser estendida (GONZALEZ; VALLA; CHRISTIANSEN, 2010; CHAUDHURI, 2008).

Outros inversores ANPC cinco níveis fazem uso de um único capacitor flutuante por fase e um barramento CC comum com grampeamento ativo do ponto neutro, tal como o inversor 5L-ANPC-I. Esse é o caso do inversor 5L-ANPC-II mostrado na Figura 2.9 (WANG et al., 2017b; SOEIRO et al., 2013). De maneira similar ao inversor 5L-ANPC-I, o inversor 5L-ANPC-II possui estados redundantes para o balanceamento da tensão em

Figura 2.10 – Esforços de tensão no inversor 5L-ANPC-II durante os níveis 1 pu e -1 pu.
 (a) $v_{CA_n} = 1$ pu e (c) $v_{CA_n} = -1$ pu.



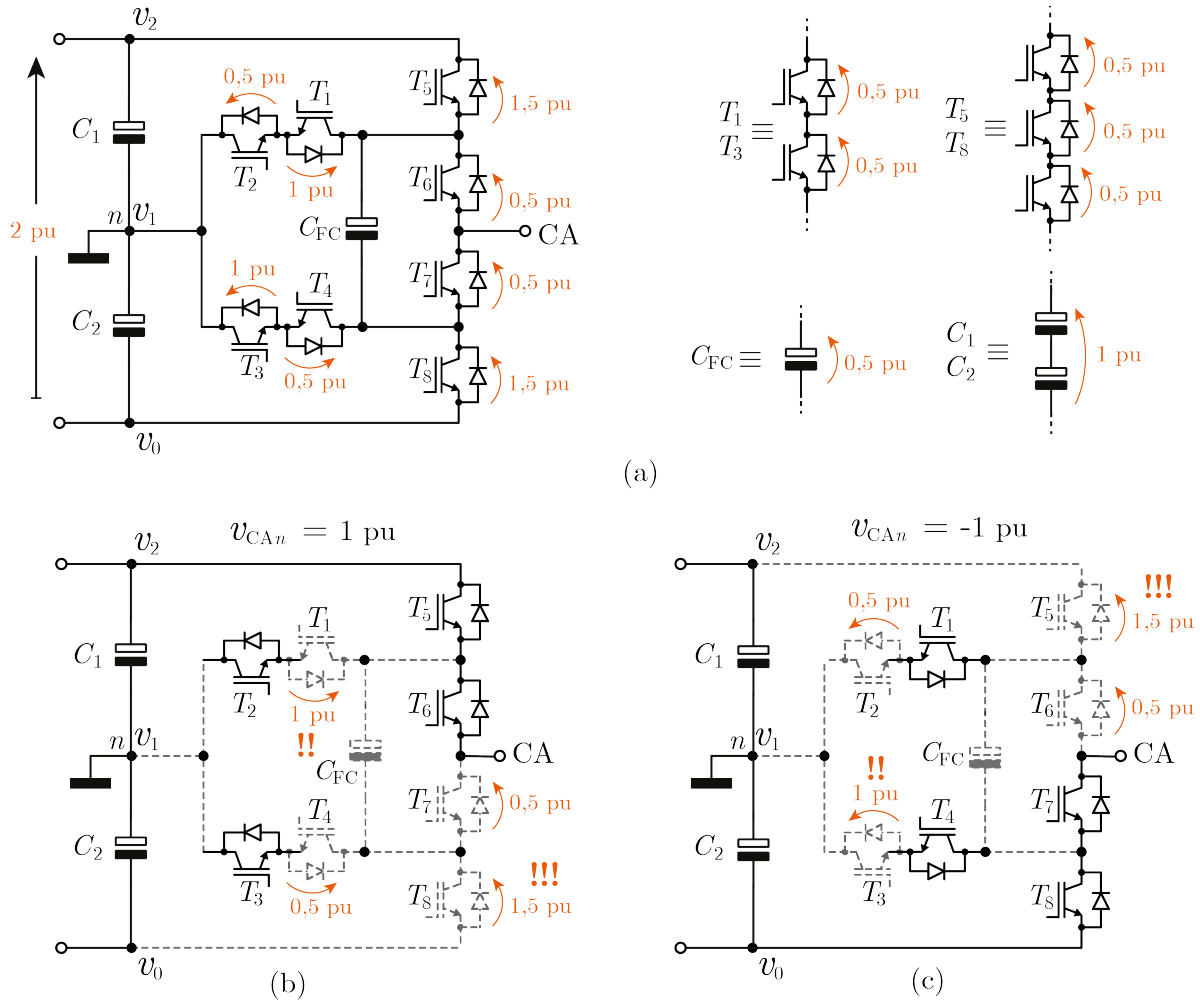
Fonte: Autor.

C_{FC} . Quanto à realização dos capacitores, desde que tensões similares sejam sintetizadas, o número de capacitores e a forma como são implementados continuam sem modificações. Apesar das grandes semelhanças, o acesso às tensões do barramento é realizado de forma distinta e isso reflete em uma distribuição diferente das tensões nos semicondutores.

No circuito do inversor 5L-ANPC-II ilustrado na Figura 2.9, quatro interruptores (T_1 a T_4) estão configurados para acessar o ponto neutro e conectar exclusivamente a tensão v_1 no terminal CA de saída. Esta é uma grande diferença estrutural em relação ao inversor 5L-ANPC-I, pois o circuito da Figura 2.8 somente emprega dois interruptores para o grampeamento do ponto neutro, porém de maior tensão. Devido a essa mudança, quando T_5 e T_6 no inversor 5L-ANPC-II são acionados para sintetizar 1 pu, tal como mostra a Figura 2.10(a), a diferença entre a tensão total do barramento e a tensão do capacitor flutuante C_{FC} é imposta sobre o interruptor T_8 , que resulta em 1,5 pu. Também, uma situação similar ocorre para o interruptor T_5 no instante em que T_7 e T_8 são acionados a fim de obter -1 pu entre os terminais CA e n , como ilustrado na Figura 2.10(b). Dessa forma, os interruptores externos são submetidos a três vezes (1,5 pu) os esforços de tensão dos interruptores restantes do circuito. Contudo, sempre que interruptores de 0,5 pu sejam utilizados, ainda um total de 12 interruptores são necessários no inversor 5L-ANPC-II.

O inversor 5L-ANPC-III mostrado na Figura 2.11 (SOEIRO et al., 2013) é outra alternativa cinco níveis que concentra quatro interruptores para acessar ao ponto neutro tal como no inversor 5L-ANPC-II, porém com um posicionamento dos interruptores que também resulta em uma distribuição distinta dos esforços de tensão. Como pode ser visto, de forma semelhante aos inversores 5L-ANPC-I e 5L-ANPC-II, o circuito do inversor 5L-

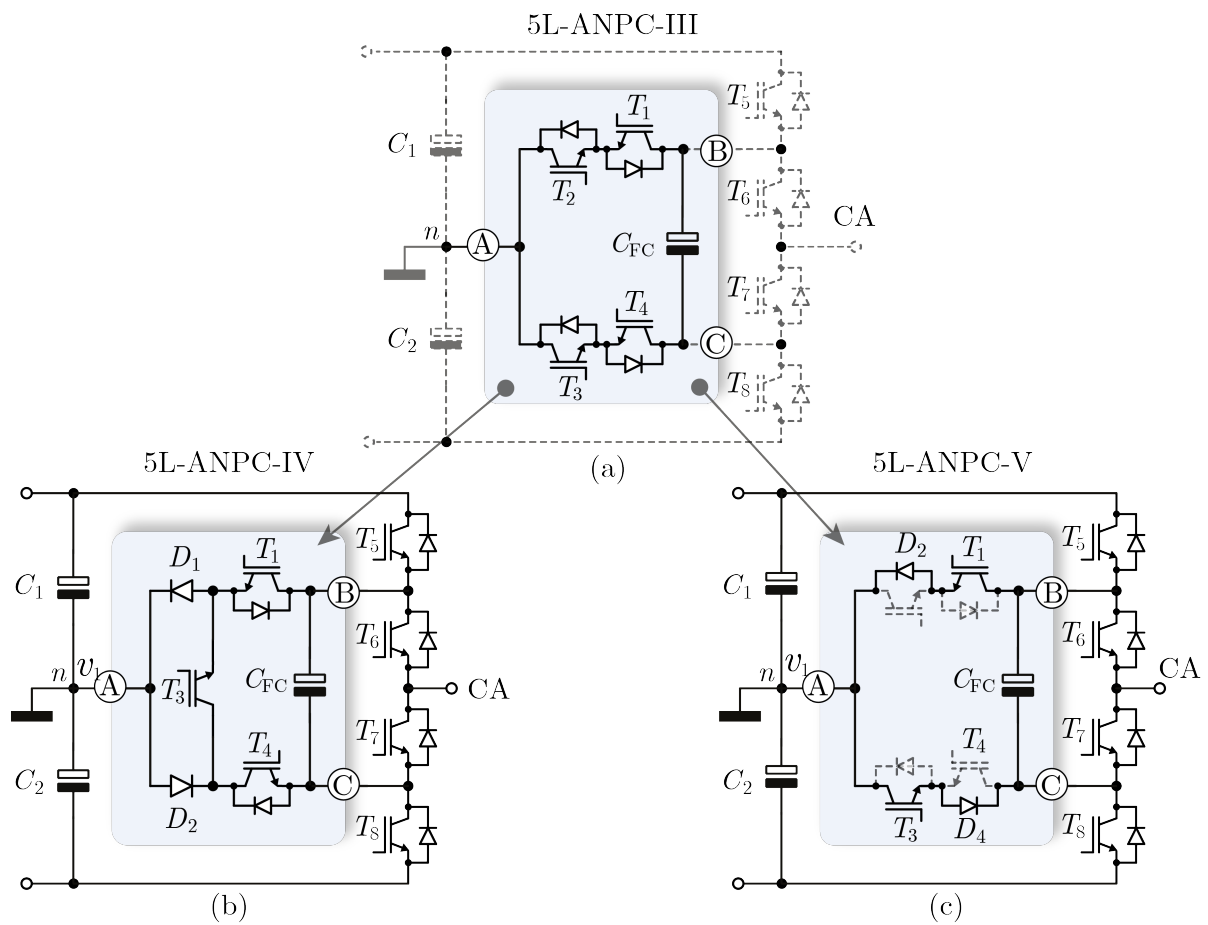
Figura 2.11 – Uma fase do inversor 5L-ANPC-III. (a) Circuito. (b) Esforços de tensão durante o nível $v_{CAN} = 1$ pu e (c) $v_{CAN} = -1$ pu.



Fonte: Autor.

ANPC-III utiliza um capacitor por fase e um barramento com ponto neutro que pode ser compartilhado pelas três fases. Ainda, a regulação de tensão do capacitor flutuante também pode ser feita pela escolha adequada entre estados redundantes durante os níveis de tensão 0, 5 pu e -0.5 pu. Por outro lado, a principal diferença do inversor 5L-ANPC-III em relação ao inversor 5L-ANPC-II é que utiliza uma disposição distinta dos interruptores T_1 a T_4 , usados para acessar o ponto neutro. Dessa forma, quando uma tensão de 1 pu é gerada, a ativação de T_5 e T_6 continuam a forçar uma tensão reversa de 1,5 pu em T_8 tal como no inversor 5L-ANPC-II. Porém, o interruptor T_1 deve suportar uma tensão de 1 pu correspondente ao capacitor C_{FC} , conforme mostrado na Figura 2.11(b). Uma situação semelhante ocorre na Figura 2.11(c) quando uma tensão de -1 pu é gerada, contudo são os interruptores T_5 e T_3 que devem suportar as tensões de 1,5 pu e 1 pu respectivamente. Já o restante dos interruptores T_2 , T_4 , T_6 e T_7 são submetidos a tensões de 0,5 pu. Em síntese, a proposta do inversor 5L-ANPC-III impõe tensões de 0,5 p.u.,

Figura 2.12 – Inversores cinco níveis baseados no 5L-ANPC-III. (a) Circuito do 5L-ANPC-III, (b) 5L-ANPC-IV e (c) 5L-ANPC-V.

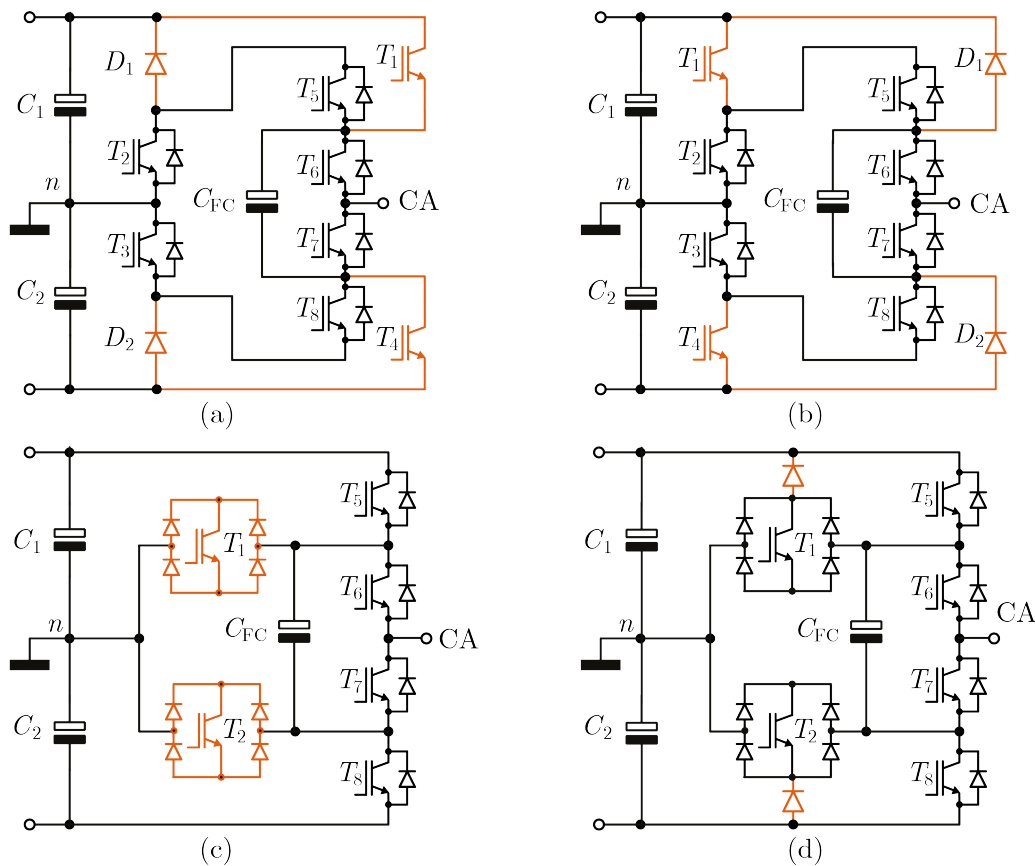


Fonte: Autor.

1 pu e 1,5 pu nos semicondutores, o que exige uma maior quantidade de interruptores quando realizados com especificações de 0,5 pu, com um total 14 interruptores. Por outro lado, embora o inversor 5L-ANPC-III faça uso de semicondutores com três valores diferentes de tensão, essa estrutura tem servido como base para concepção de topologias cinco níveis com reduzido número de semicondutores e circuitos de acionamento.

A Figura 2.12(a) mostra novamente o inversor 5L-ANPC-III e em destaque a conexão dos interruptores utilizada para acessar o ponto neutro. Já as Figuras 2.12(b) e (c) mostram os inversores 5L-ANPC-IV e 5L-ANPC-V respectivamente, ambos derivados do 5L-ANPC-III através de uma realização diferente do circuito entre os pontos **A**, **B** e **C**. O inversor 5L-ANPC-IV apresentado em (WANG et al., 2017b) propõe uma disposição diferente de interruptores em relação ao inversor 5L-ANPC-III na qual três interruptores ativos são necessários para acessar o ponto neutro em vez de quatro. Como resultado, o inversor 5L-ANPC-IV emprega um total de sete interruptores, um a menos que as topologias cinco níveis convencionais. Em seguida, a Figura 2.12(c) mostra o inversor 5L-

Figura 2.13 – Inversores 5L-ANPC apresentados em (SOEIRO et al., 2013). (a) 5L-ANPC-VI, (b) 5L-ANPC-VII, (c) 5L-ANPC-VIII e (d) 5L-ANPC-IX.

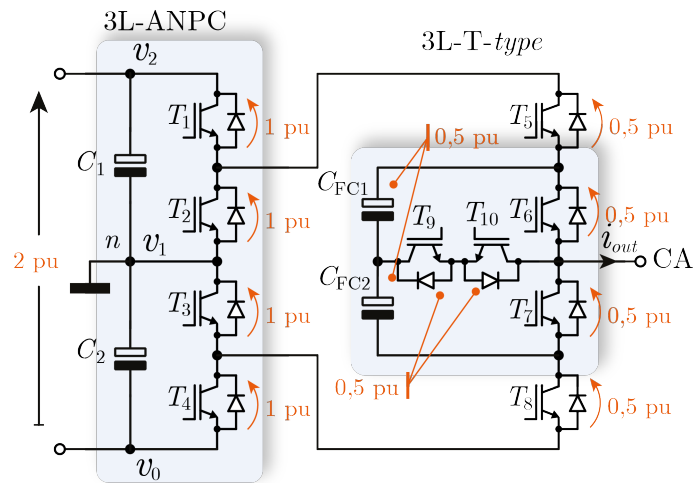


Fonte: Autor.

ANPC-V proposto em (WANG et al., 2017a) que utiliza seis interruptores ativos, dois a menos do que as topologias cinco níveis convencionais. Contudo, sua operação é limitada a aplicações com altos fatores de potência uma vez que os diodos D_1 e D_2 restringem o controle da tensão no capacitor flutuante. No que se refere à implementação das topologias, quando utilizados unicamente semicondutores de 0,5 pu, o inversor 5L-ANPC-IV requer 13 interruptores e dois diodos de potência enquanto que o 5L-ANPC-V emprega 12 interruptores e dois diodos de potência.

Outro aspecto abordado em topologias cinco níveis é a diminuição do número de semicondutores em série que transportam corrente para a carga, pois este parâmetro está diretamente associado à expectativa de perdas por condução do inversor. As Figuras 2.13(a) e (b) mostram os inversores 5L-ANPC-VI e 5L-ANPC-VII respectivamente (SOEIRO et al., 2013). Ambas topologias apresentam uma estrutura semelhante ao inversor 5L-ANPC-I, porém fazem uma realização diferente dos interruptores T_1 e T_4 . Dessa forma, na Figura 2.13(a), para cargas com elevado fator de potência, unicamente T_1 e T_6 entram em condução para obter uma tensão de 1 pu na saída. De forma similar, unica-

Figura 2.14 – Inversor 5L-ANPC-X. Inclusão de célula três níveis.



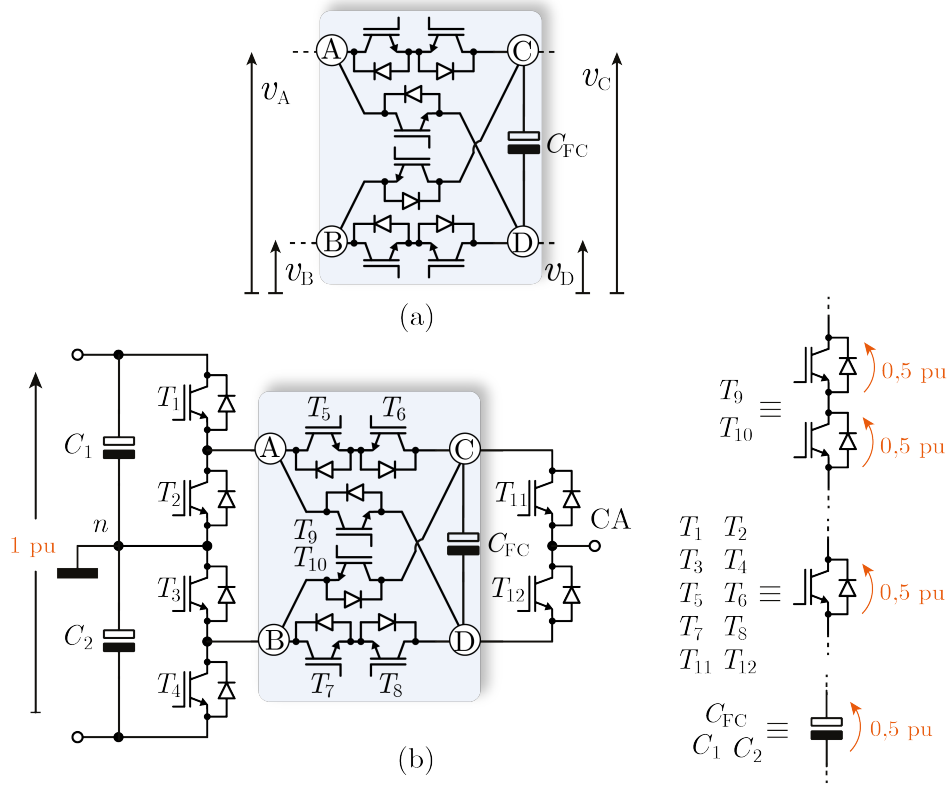
Fonte: Autor.

mente T_7 e T_4 entram em condução para obter -1 pu. Portanto, em relação ao inversor 5L-ANPC-I, existe uma redução de um semicondutor em condução nessas situações. Contudo, quando utilizados interruptores de $0,5$ pu, T_1 e T_6 devem ser realizados pela conexão série de três interruptores. Um cenário semelhante ocorre com o inversor 5L-ANPC-VII na Figura 2.13(b), porém, para cargas altamente indutivas ou operação como retificador. Nesse caso, D_1 e D_2 devem ser realizados pela conexão série de três diodos de potência com tensão de $0,5$ pu.

A Figura 2.13(c) mostra o inversor 5L-ANPC-VIII, que pode ser visto como uma realização diferente do 5L-ANPC-III (Figura 2.11(a)). A partir dessa configuração é possível obter o inversor 5L-ANPC-IX da Figura 2.13(d), porém nessa configuração não é possível reduzir o número de semicondutores em condução (SOEIRO et al., 2013). Ainda, o uso de um estágio ANPC, como no 5L-ANPC-I, com a inclusão de células multiníveis do lado da saída tem sido explorado. Um exemplo é o inversor cinco níveis proposto em (XU et al., 2017), em que é adicionada uma célula 3L-T-*Type* do lado da saída, como mostrado na Figura 2.14.

Outro exemplo é o uso de uma estrutura ANPC com estágios em conexão cruzada (*Cross-Connected Stage - CCS*) (BARBOSA; STEIMER; CHAUDHURI, 2010). Este tem sido um tópico de interesse devido as diversas conexões que podem ser realizadas entre os terminais de entrada e saída do estágio CCS. A Figura 2.15(a) mostra o diagrama de uma célula CCS. Essa configuração de interruptores permite obter tensões nos terminais de saída **C** e **D** em função das tensões nos terminais de entrada **A** e **B** e da tensão no capacitor C_{FC} . Desse modo, $v_C = [v_A; v_B; v_A + v_{FC}; v_B + v_{FC}]$ e $v_D = [v_A; v_B; v_A - v_{FC}; v_B - v_{FC}]$. Convém destacar que a célula CCS possibilita adicionar ou subtrair a tensão do capacitor C_f das tensões presentes nos terminais de entrada. Assim, quando utilizada

Figura 2.15 – Inversor 5L-ANPC com estágio em conexão cruzada. (a) Circuito do CCS e (b) inversor 5L-ANPC-CCS.



Fonte: Autor.

adequadamente, uma tensão de saída CA maior do que a tensão CC de entrada pode ser gerada.

Em (CHAUDHURI; RUFER, 2010) o uso da célula CCS em uma topologia cinco níveis foi proposto. A Figura 2.15(b) mostra o inversor 5L-ANPC-I com inclusão da célula CCS, denominado aqui de inversor 5L-ANPC-CCS. A inclusão da célula CCS permite adicionar a tensão entre os terminais **A** e **B** com a tensão do capacitor. Dessa forma, a tensão de saída pode ser aumentada além do que os inversores 5L-ANPC anteriormente apresentados permitem. Alternativamente, a tensão de entrada pode ser reduzida para as mesmas especificações de tensão de saída. Por exemplo, um barramento de apenas 1 pu é requerido para gerar uma tensão de 1 pu na saída, pois o estágio CCS permite adicionar as tensões dos capacitores do barramento CC com a tensão 0,5 pu no capacitor flutuante.

Em relação ao número de componentes, o circuito do inversor 5L-ANPC-CCS na Figura 2.15(b) requer 14 interruptores com especificações de 0,5 pu, mas somente três capacitores de 0,5 pu são necessários. Contudo, a partir da Figura 2.15(b), com tensões de 0,5 pu nos capacitores da estrutura, pode ser demonstrado que não existem estados redundantes adequados para controlar o sentido da corrente que garante o balanceamento da tensão em C_{FC} . Desse modo, em condições de carga similares como nos inversores

5L-ANPC apresentados anteriormente, o índice de modulação no inversor 5L-ANPC-CCS é limitado.

Por outro lado, os inversores abordados a seguir têm característica elevadora e, ainda, não apresentam limitações do índice de modulação. Esse é o caso dos inversores multiníveis que fazem uso de circuitos com capacitor chaveado.

2.2.3 Inversores com capacitor chaveado

O conceito de capacitor chaveado (*Switched Capacitor* - SC), altamente popularizado na conversão CC-CC, tem sido crescentemente incorporado na conversão CC-CA e também em inversores multiníveis. O uso de circuitos SC tem como objetivo equipar as topologias existentes com algumas características tais como: capacidade de elevar a tensão de saída (conversor elevador), minimizar os esforços de tensão nos semicondutores (menor tensão de bloqueio total) e a regulação automática das tensões nos capacitores da estrutura (controle relativamente simples). Além disso, os circuitos SC unicamente fazem uso de capacitores e interruptores, dispensando elementos magnéticos como indutores ou transformadores e, portanto, sua implementação resulta em circuitos mais compactos.

A operação de um circuito SC pode ser exemplificada através da Figura 2.16. Esse exemplo consta de um capacitor C_{FC} , uma chave Q e um resistor R_T associado à resistência série equivalente (ESR) do capacitor. Além disso, a realização da chave Q pode contemplar vários semicondutores, portanto R_T também concentra a resistência em condução desses semicondutores. Com isso, quando Q é operada na frequência f_S , o circuito comuta entre dois possíveis estados: o primeiro, de duração t_A na Figura 2.16(a), quando C_{FC} armazena energia a partir da fonte de entrada, correspondente ao estado em que o capacitor é conectado no terminal **A**; e o segundo, durante o intervalo t_B na Figura 2.16(b), onde C_{FC} é conectado no terminal **B** e fornece energia à carga.

Dependendo da relação entre o intervalo de comutação t_A e o produto $R_T C_{FC}$, o comportamento da corrente i_{FC} no capacitor pode assumir três possíveis cenários, como

Figura 2.16 – Operação de um circuito SC. (a) Carga de C_{FC} , (b) descarga de C_{FC} .

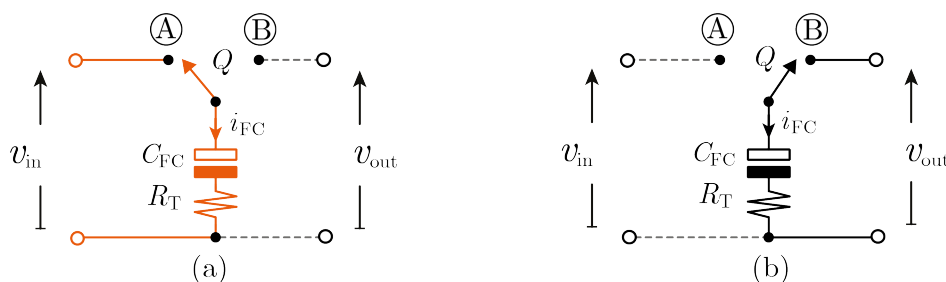
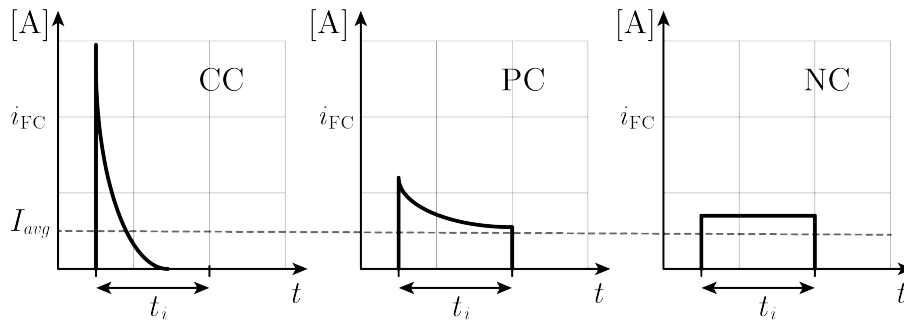


Figura 2.17 – Comportamento da corrente i_{FC} no capacitor: modos de operação.



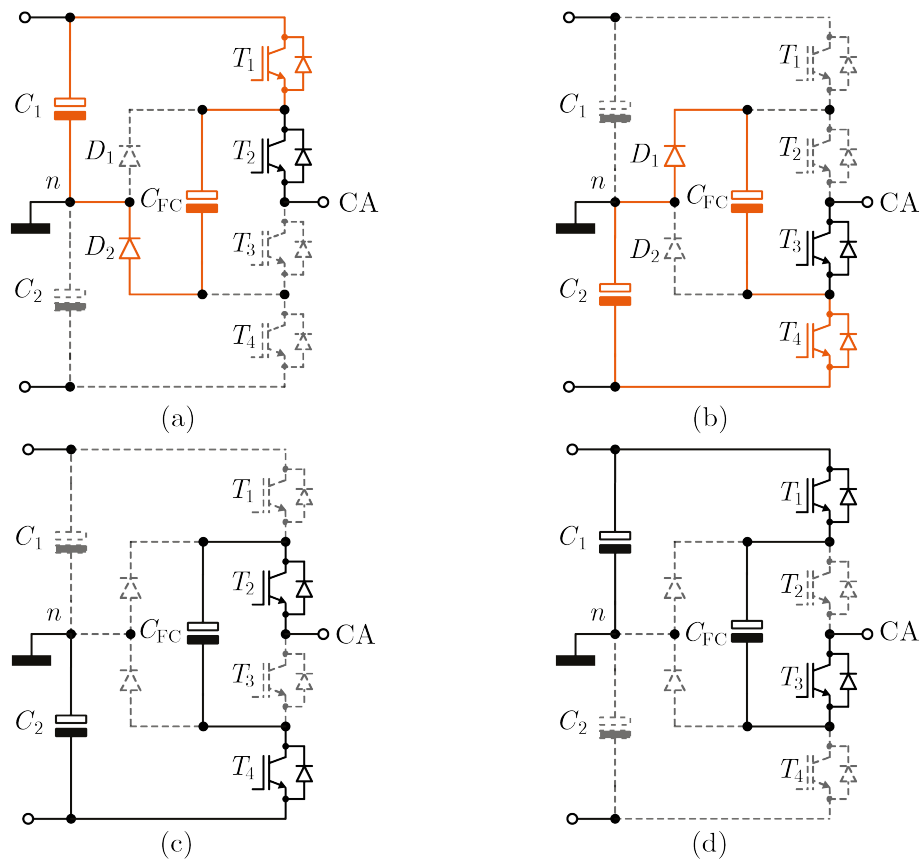
Fonte: Autor.

detalhado na Figura 2.17 (BEN-YAAKOV, 2012). Para $t_A \gg R_T C_{FC}$, a carga do capacitor C_{FC} é completada em t_A e a corrente i_{FC} exibe valores elevados, sendo denominado de Modo CC ou *Complete-Charge*. Para valores $t_A \cong R_T C_{FC}$, a carga do capacitor C_{FC} é parcial e dá-se o nome de Modo PC ou *Partial-Charge*. Finalmente, para $t_A \ll R_T C_{FC}$, a carga de C_{FC} é praticamente nula e a corrente i_{FC} permanece constante, obtendo-se o Modo NC ou *No-Charge*.

Baseado nos modos de carga da Figura 2.17, a constante $R_T C_{FC}$ deve ser projetada adequadamente a fim de limitar valores muito elevados de corrente que causam incremento das perdas nos elementos resistivos do circuito. Assim, conforme o produto $R_T C_{FC}$ é incrementado, os picos de corrente no capacitor (com seu valor eficaz) diminuem e o comportamento tende ao modo NC. Portanto, obter um valor adequado da corrente dependerá do capacitor C_{FC} e do valor de R_T , que é dependente da ESR e da resistência em condução dos semicondutores. Conforme explorado em (ZHANG et al., 2008), valores muito elevados da ESR levam a excessivas perdas, enquanto que capacitâncias elevadas permitem minimizar a ESR mas também incrementam o volume e custo do sistema. Além disso, outro aspecto que influencia o modo de operação da corrente no capacitor é a frequência de chaveamento f_S , pois frequências maiores permitem reduzir os intervalos de comutação. Contudo, o incremento da frequência de operação dos semicondutores também leva a um aumento das perdas introduzidas por comutação.

Com as considerações anteriores, operar no modo NC contribui para reduzir as correntes do circuito, mas também demanda um custo maior ou implementação em frequências elevadas. Por outro lado, operar no modo CC pode ser mais barato, porém, as perdas introduzidas pelas elevadas correntes podem fazer com que o sistema seja impraticável. Finalmente, o modo PC exibe correntes moderadas, mas é necessário fazer uma escolha adequada de capacitância, componentes parasitas ESR e frequência de comutação a fim de resultar na opção com melhor compromisso entre custo, volume e perdas (SANTOS, 2017; CORTEZ, 2015).

Figura 2.18 – Inversor 3L-NPC com uso de circuito SC. Equalização de C_{FC} pela tensão de: (a) C_1 e (b) C_2 . (c) e (d) conexão à carga.

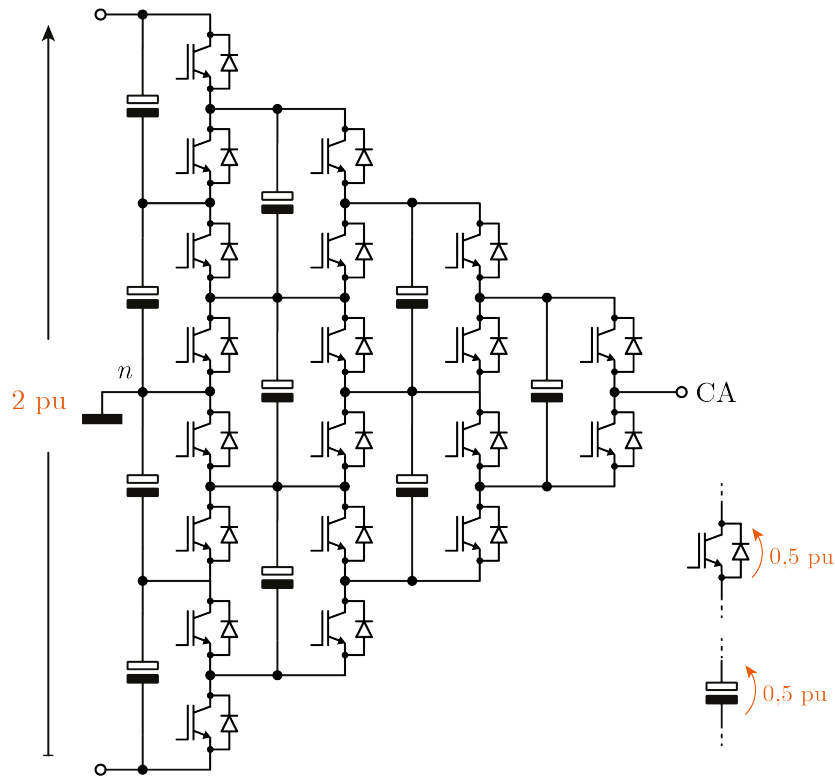


Fonte: Autor.

No que diz respeito ao uso de circuitos SC em inversores multiníveis, pode-se citar o inversor 3L-NPC com inclusão do capacitor C_{FC} como ilustrado na Figura 2.18 (KIM; SEO; HYUN, 1993). Nessa proposta, a tensão em C_{FC} pode ser equalizada pela tensão do capacitor C_1 como na Figura 2.18(a) ou pela tensão do capacitor C_2 como na Figura 2.18(b). Já nas Figuras 2.18(c) e (d) o capacitor é conectado na carga. Nesse trabalho, a inclusão de C_{FC} pretende auxiliar no grampeamento efetivo dos interruptores internos e contribuir com o balanço das tensões dos capacitores do barramento CC.

Em relação aos inversores cinco níveis com capacitor chaveado, em (PENG, 2001) foi apresentado o inversor multinível P2 que também utiliza o princípio do circuito SC. A Figura 2.19 mostra uma fase do inversor P2 em uma configuração cinco níveis denominado neste trabalho de 5L-P2. Embora essa topologia faça uso de vários capacitores, não há necessidade de utilizar esquemas complexos de controle, circuitos e/ou sensores adicionais para o balanceamento das tensões, pois cada capacitor é equalizado com a tensão dos capacitores que conformam o barramento, de maneira similar ao circuito SC básico apresentado na Figura 2.16. Desse modo, a forma de onda multinível entre os terminais CA e n é sintetizada e, simultaneamente, as tensões dos capacitores são também balanceadas.

Figura 2.19 – Inversor 5L-P2 proposto em (PENG, 2001).

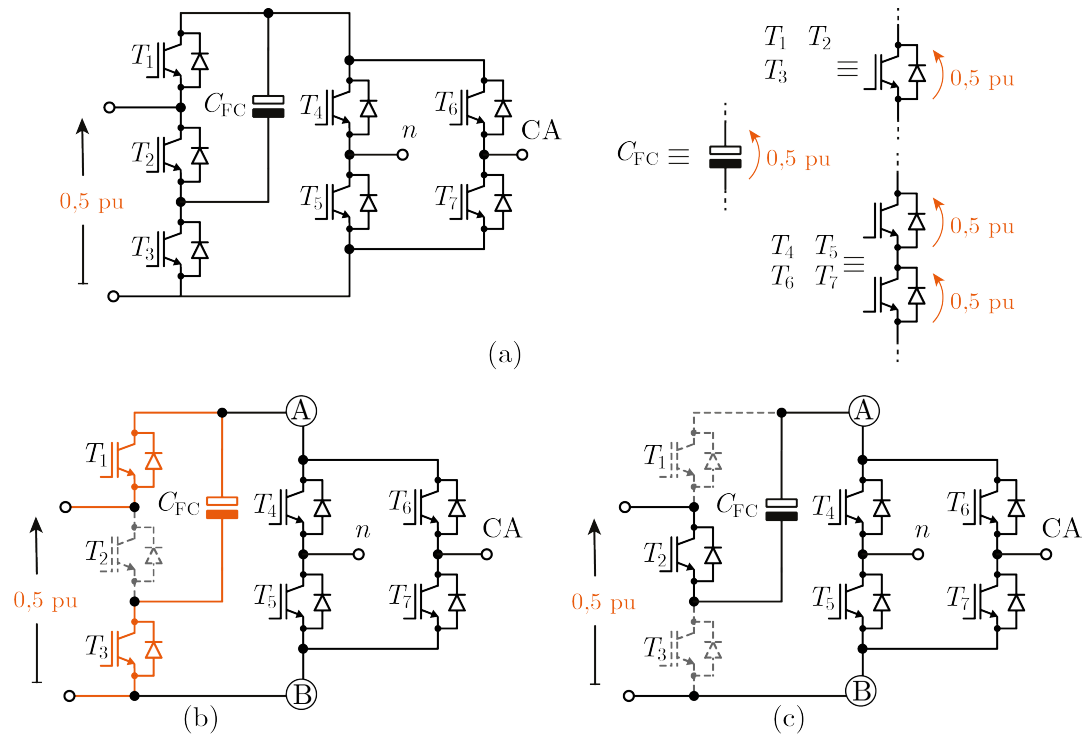


Fonte: Autor.

Como desvantagem dessa topologia pode-se citar uma quantidade maior de componentes requeridos se comparada com outras topologias cinco níveis. Mesmo assim, a proposta do conversor P2 é altamente importante por servir como uma estrutura generalizada da qual é possível derivar outras topologias multiníveis, inclusive a topologia proposta neste trabalho.

Além de garantir o balanço das tensões nos capacitores da estrutura, o uso de circuitos SC permite obter maiores ganhos estáticos de tensão e, quando aplicado adequadamente em topologias multiníveis, é possível gerar uma tensão CA de valor máximo maior do que a tensão CC de entrada. Como exemplo, a Figura 2.20(a) mostra o inversor monofásico apresentado em (HINAGO; KOIZUMI, 2012), denominado neste trabalho de 5L-BFB-I (*5L Boost Full-bridge Type I*). Nesse inversor, a tensão do capacitor C_{FC} é equalizada em um valor de 0,5 pu através da conexão em paralelo com a fonte de entrada, tal como mostrado na Figura 2.20(b). Nessa etapa de operação, a tensão entre os pontos **A** e **B** é de 0,5 pu, e pela atuação da célula em ponte completa do lado da saída é possível obter os níveis 0,5 pu e $-0,5$ pu entre os terminais CA e n . Em seguida, o capacitor C_{FC} é conectado em série com a fonte de entrada, o que possibilita elevar a tensão entre os pontos **A** e **B** para um valor de 1 pu, conforme mostra a Figura 2.20(c). Nessa etapa os níveis de saída 1 pu e -1 pu podem ser obtidos. Por fim, o nível zero é gerado

Figura 2.20 – Inversor 5L-BFB-I e estados de operação. (a) Uma fase do 5L-BFB-I, (b) $v_{AB} = 0,5$ pu e (c) $v_{AB} = 1$ pu.

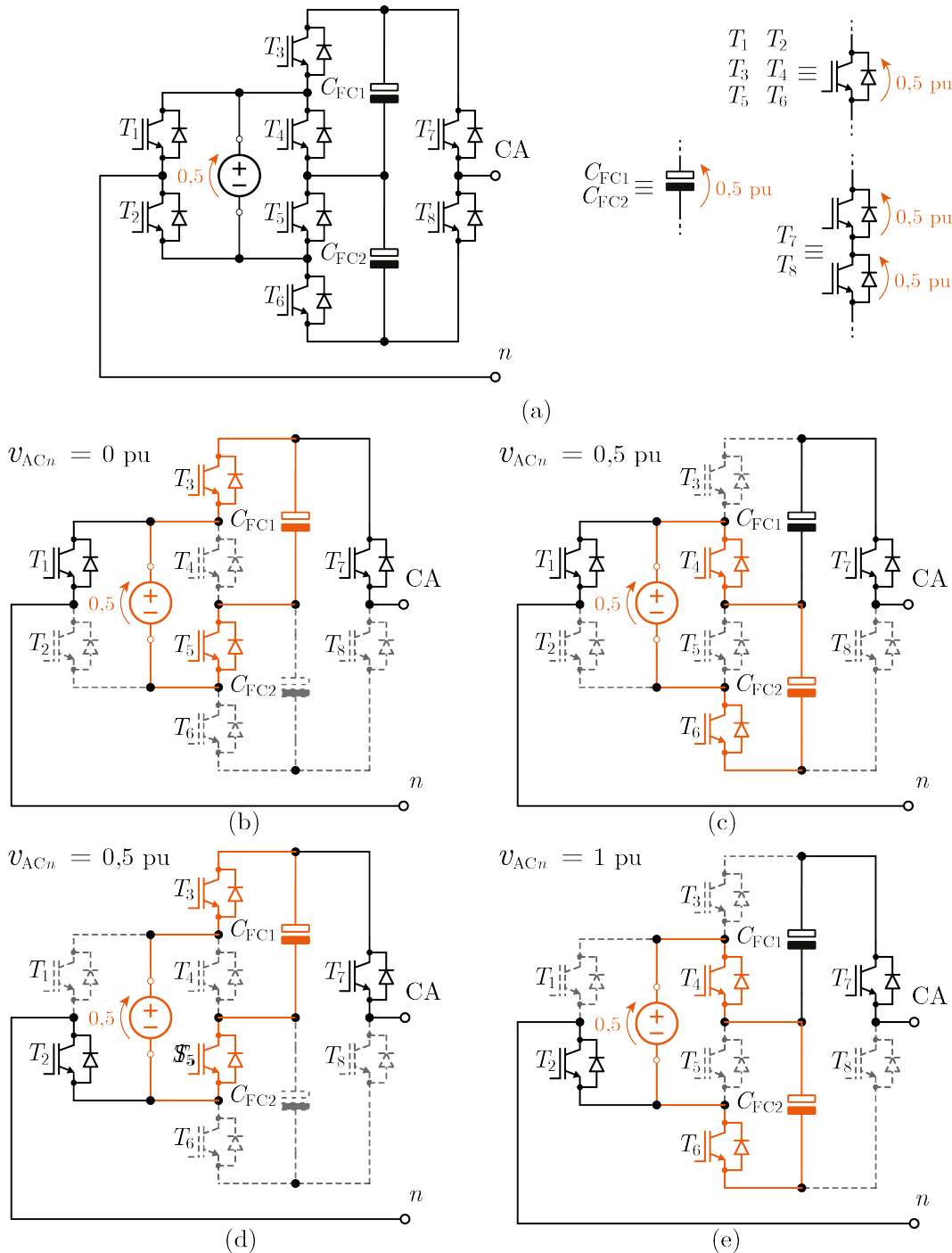


Fonte: Autor.

pela atuação dos interruptores T_4 e T_6 , ou T_5 e T_7 . Portanto, o inversor 5L-BFB-I da Figura 2.20(a) pode ser alimentado por uma fonte de tensão com valor de 0,5 pu quando requerida uma tensão máxima de 1 pu na saída. Outro aspecto interessante do inversor 5L-BFB-I é que utiliza unicamente sete interruptores e um capacitor. Além disso, com os valores de tensão ilustrados na Figura 2.20 e empregando componentes com especificações de 0,5 pu, somente 11 interruptores e um capacitor são requeridos.

Outro inversor que apresenta uma tensão de saída maior do que a tensão de entrada é mostrado na Figura 2.21(a) (CHENG; HE, 2016; MUNIZ et al., 2015) e denominado aqui de 5L-BFB-II (*5L Boost Full-bridge Type II*). Nesse caso são utilizados dois capacitores C_{FC1} e C_{FC2} para obter uma tensão de saída duas vezes maior que a tensão de entrada. Para tal propósito, ambos capacitores são equalizados com a tensão de entrada através do circuito SC. As Figuras 2.21(b) - (e) detalham os estados de operação para o semiciclo positivo da forma de onda cinco níveis gerada entre os terminais de saída CA e n. Como pode ser observado, durante o nível zero na Figura 2.21(b) o capacitor C_{FC1} é equalizado pela fonte de entrada com um valor de 0,5 pu. Em seguida, o nível de tensão 0,5 pu pode ser gerado através de dois estados distintos: o estado da Figura 2.21(c) em que o capacitor C_{FC2} é equalizado na mesma tensão da fonte de entrada, e o estado da Figura 2.21(d) em que o capacitor C_{FC1} é equalizado. Finalmente, C_{FC1} e C_{FC2} são conectados em série

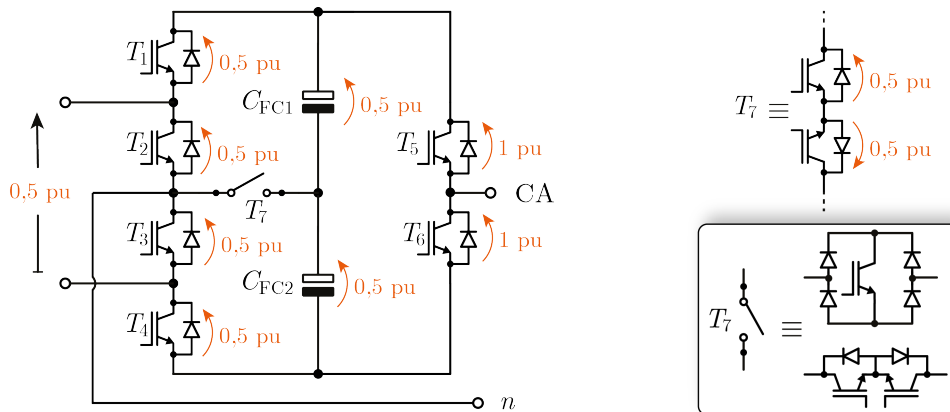
Figura 2.21 – Inversor 5L-BFB-II e estados de operação. (a) Circuito, (b) $v_{CA_n} = 0$ pu, (c) - (d) $v_{CA_n} = 0,5$ pu e (e) $v_{CA_n} = 1$ pu.



Fonte: Autor.

para obter uma tensão máxima de saída de 1 pu, conforme mostrado na Figura 2.21(e). Um cenário similar ocorre durante o semiciclo negativo de v_{CA_n} , de maneira tal que cinco níveis $\{-1$ pu, $-0,5$ pu, 0 pu, $0,5$ pu, 1 pu $\}$ podem ser obtidos na tensão de fase.

Figura 2.22 – Inversor cinco níveis proposto em (SAEEDIAN; HOSSEINI; ADABI, 2018).



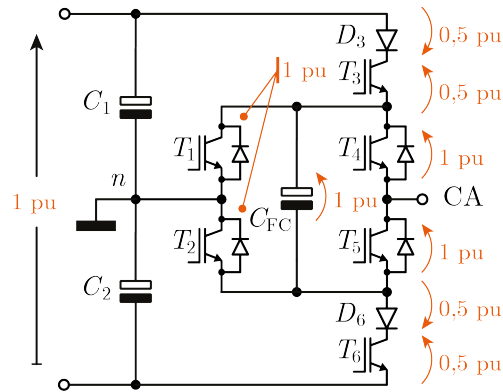
Fonte: Autor.

De forma similar ao inversor 5L-BFB-I, o inversor 5L-BFB-II utiliza um valor de tensão CC de apenas 0,5 pu para obter uma tensão de fase de até 1 pu. Por outro lado, quanto às tensões nos semicondutores, unicamente T_7 e T_8 são submetidos a 1 pu, enquanto que os interruptores restantes suportam tensões de apenas 0,5 pu. Portanto, quando utilizados componentes com especificações de 0,5 pu, 10 interruptores são necessários, ou seja, um a menos do que o inversor 5L-BFB-I. Entretanto, um capacitor a mais é requerido. É importante destacar que o inversor 5L-FBF-I requer sete sinais de comando, enquanto que o inversor 5L-BFB-II requer oito. Em (SAEEDIAN; HOSSEINI; ADABI, 2018), um inversor cinco níveis que também requer sete sinais de comando tal como no 5L-FBF-I mas que pode ser implementado com dez interruptores de 0,5 pu, tal como no inversor 5L-BFB-II foi proposto, sendo o circuito mostrado na Figura 2.22.

Outras topologias de inversores multiníveis com capacidade de elevar a tensão de saída têm sido apresentadas (KUMARI; N; VERMA, 2022; KIM; HAN; MOON, 2021; ROY; SADHU, 2021; BARZEGARKHOO et al., 2021; BHARATH; HOTA; AGARWAL, 2020; LEE et al., 2020; SUN; YE; WANG, 2020; MISSULA, 2020; ITO; TAKAHASHI; KOIZUMI, 2019), não obstante, sempre que requerido seu funcionamento em trifásico, são necessárias fontes de tensão isoladas por fase. Nesses casos, uma alternativa que tenha os benefícios dos inversores baseados no princípio de operação do circuito SC, mas que também seja realizada com um barramento CC comum às três fases, como o que será apresentado a seguir, se torna interessante.

Dentre as topologias multiníveis com capacitor chaveado, destaca-se o inversor mostrado na Figura 2.23, proposto em (SIWAKOTI, 2018), e denominado aqui de 5L-BANPC-I (*5L-Boost ANPC Type I*). O circuito é especialmente interessante por utilizar uma estrutura com grampeamento ativo do ponto neutro (ANPC), o que resulta em um barramento de entrada único que pode ser compartilhado nas três fases. Ainda, de forma similar às topologias 5L-ANPC expostas na Seção 2.2.2, dois capacitores de barramento e

Figura 2.23 – Inversor 5L-BANPC-I proposto em (SIWAKOTI, 2018).



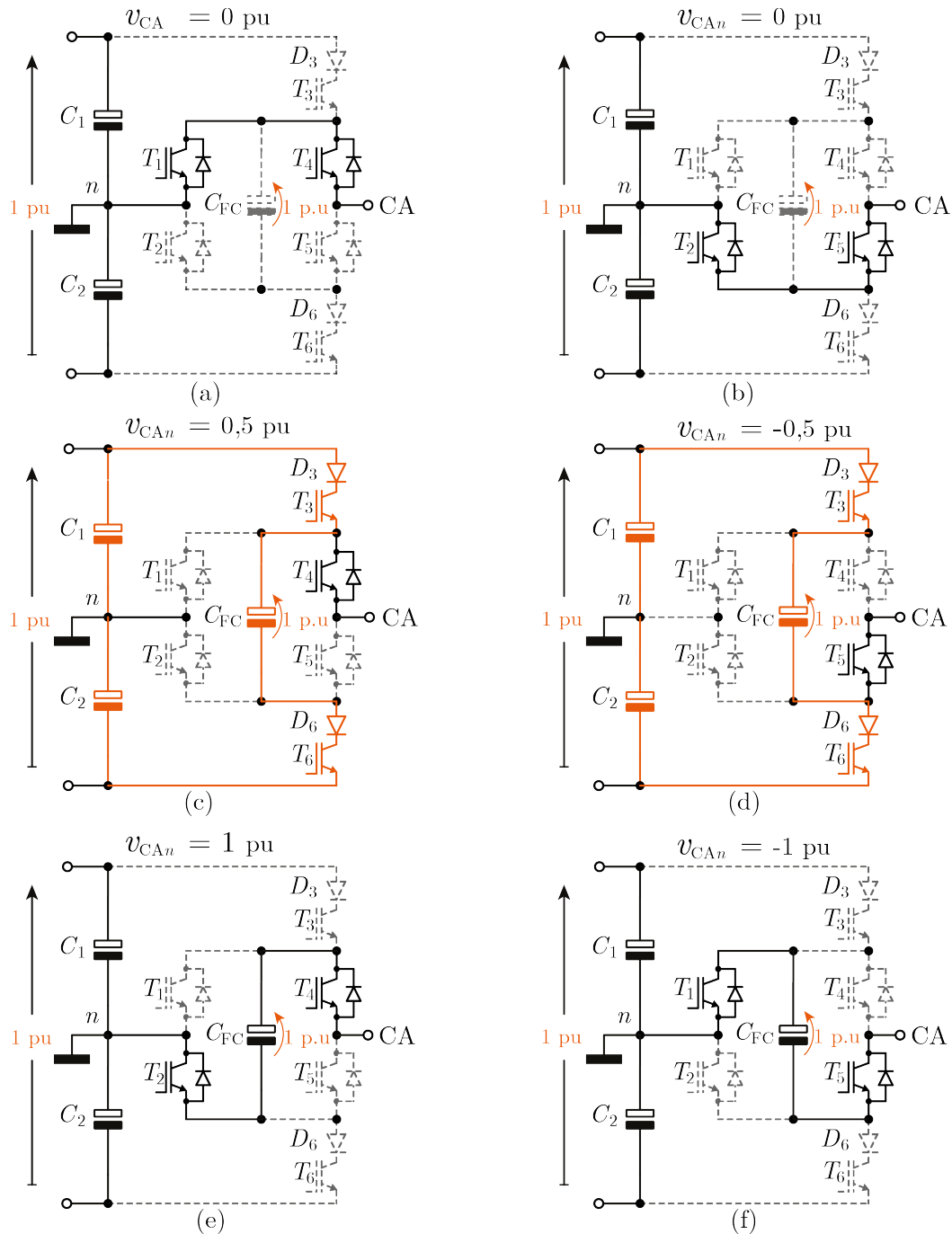
Fonte: Autor.

um único capacitor flutuante são requeridos. Uma característica atraente é que a tensão de saída, medida entre os pontos CA e n , apresenta cinco níveis com valor máximo de 1 pu, isto apenas utilizando uma fonte de 1 pu na entrada. Para atender essa especificação de tensão na saída, o inversor 5L-BANPC-I equaliza o valor da tensão total de entrada com a tensão do capacitor C_{FC} através do princípio do circuito SC. Como resultado, o valor do barramento CC é reduzido pela metade quando comparado com inversores 5L-ANPC convencionais, que demandam um barramento de 2 pu para as mesmas condições de tensão na saída.

A Figura 2.24 detalha os estados de operação do inversor 5L-BANPC-I. Primeiramente, as Figuras 2.24(a) e (b) mostram a realização do nível de tensão zero a partir de dois estados diferentes. Nas Figuras 2.24(c) e (d) os níveis 0,5 pu e $-0,5$ pu são obtidos e o capacitor C_{FC} é equalizado pela tensão total do barramento de entrada em 1 pu. Finalmente, nas Figuras 2.24(e) e (f) o capacitor C_{FC} é conectado na carga para gerar os níveis 1 pu e -1 pu respectivamente. Como pode ser visto na operação do inversor 5L-BANPC-I, unicamente seis interruptores ativos são requeridos. Contudo, quando utilizados componentes com especificações de tensão de 0,5 pu, então 10 interruptores e dois diodos devem ser empregados.

Outras variantes do inversor 5L-BANPC-I têm sido apresentadas. O uso dos diodos D_3 e D_6 na Figura 2.23 permite reduzir os sinais de comando necessários, mas também penaliza a operação do inversor para alguns fatores de potência da carga. Esses diodos podem ser substituídos por interruptores bidirecionais em corrente a fim de operar em toda faixa de fator de potência, drenando ou fornecendo potência ativa e reativa, como mostrado na Figura 2.25(a). Nesse caso, então 12 interruptores de 0,5 pu devem ser empregados. Ainda, uma realização diferente da forma como o ponto neutro é acessado no inversor 5L-BANPC-I tem sido também explorada. A Figura 2.25(b) mostra um circuito que tem estrutura similar ao inversor 5L-BANPC-I, mas que emprega três interruptores

Figura 2.24 – Etapas de operação do inversor 5L-BANPC-I.

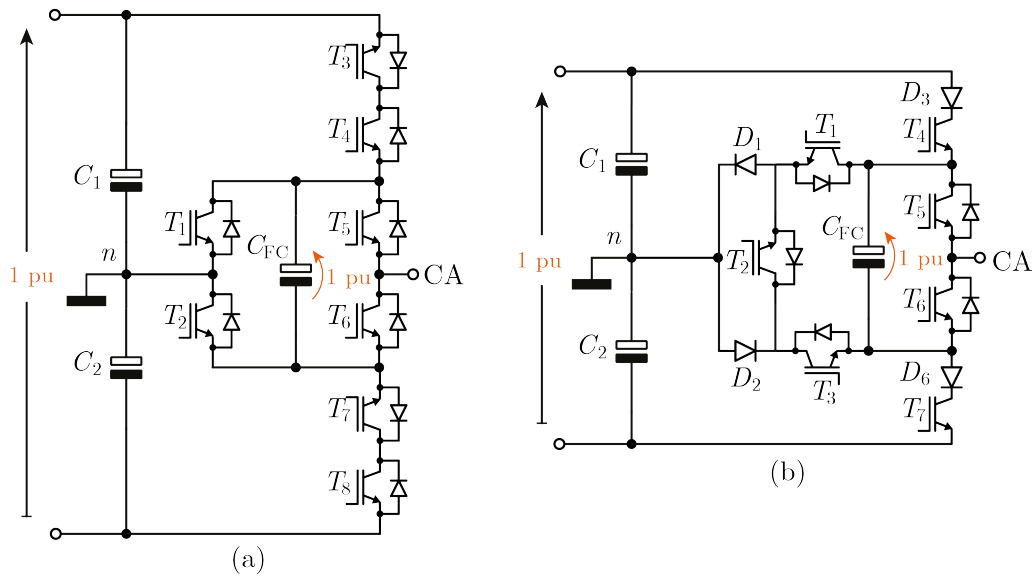


Fonte: Autor.

e dois diodos para realizar a conexão do ponto neutro com a saída. Nesse caso são necessários sete semicondutores ativos e quatro diodos para a implementação dessa topologia.

Como visto anteriormente, o balanceamento do capacitor flutuante nas topologias com estruturas ANPC utilizando o princípio do SC é dado pela equalização da tensão entre C_{FC} e o barramento CC de entrada. Alternativamente, é possível equalizar o capacitor flutuante com a metade da tensão de entrada, em cujo caso C_{FC} é conectado em paralelo

Figura 2.25 – Inversores cinco níveis derivados do inversor 5L-BANPC-I. (a) 5L-BANPC-II e (b) 5L-BANPC-III.

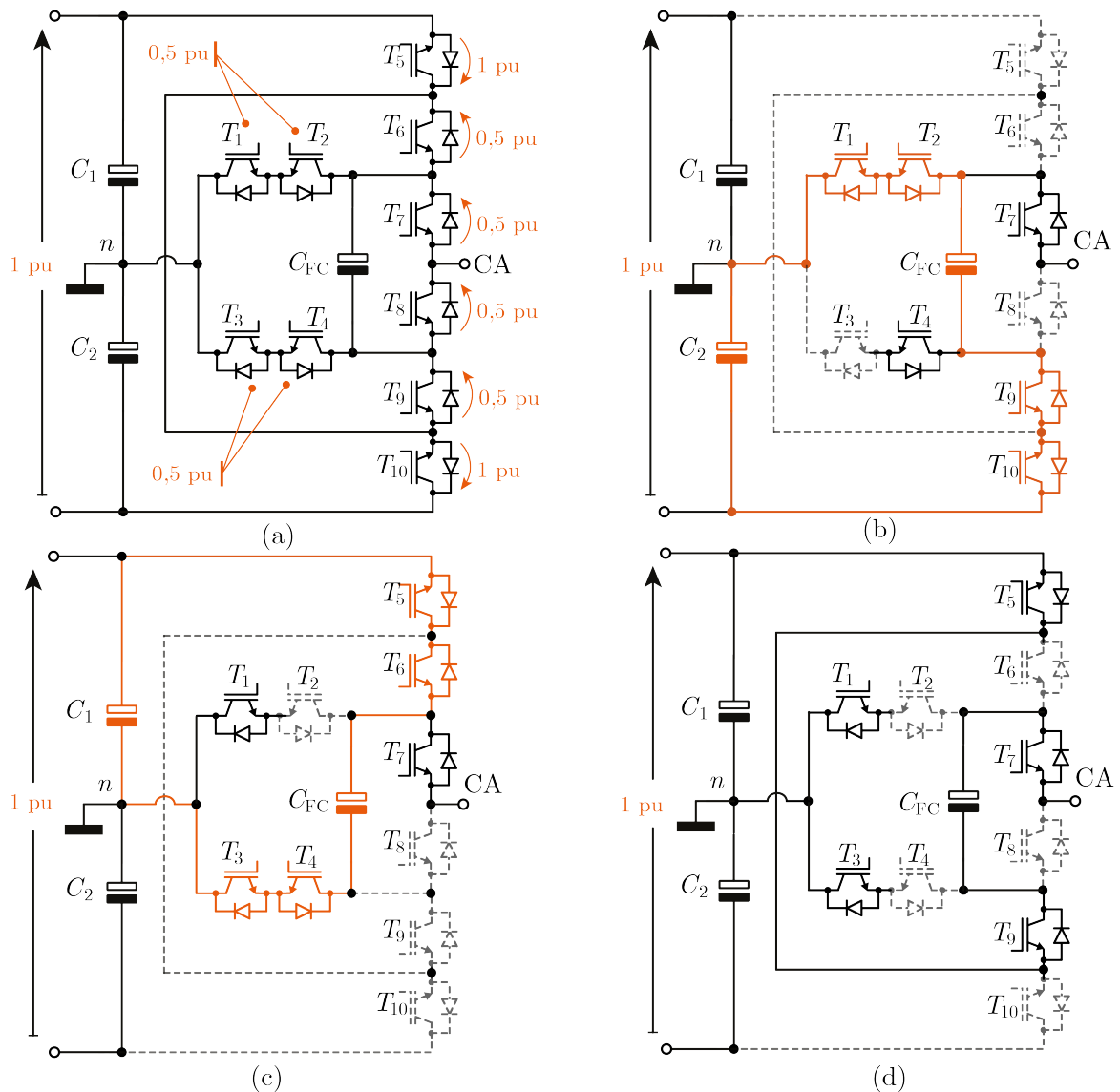


Fonte: Autor.

com algum dos capacitores que dividem a tensão do barramento CC da estrutura. A Figura 2.26(a) detalha a estrutura do inversor 5LANPC-IV, em que a tensão de saída máxima é igual a tensão de entrada CC, como nos inversores 5L-ANPC-I, II e III, mas neste caso o capacitor flutuante é carregado com a metade da tensão. Pode ser notado que durante a síntese de 0 pu e 0,5 pu, nas Figuras 2.26(b) e (c), o capacitor é sempre equalizado com a tensão de apenas um dos capacitores do barramento, 0,5 pu. Já durante o nível de tensão 1 pu, na Figura 2.26(d), o capacitor C_{FC} é conectado em série com C_1 e, portanto, descarregado. A operação no semiciclo negativo é complementar e não é mostrada.

Como vantagem do circuito na Figura 2.26(a), pode ser citada a redução de tensão no capacitor C_{FC} , o que resulta em menor quantidade de energia armazenada quando comparado com os inversores 5L-ANPC-I, II e III mostrados anteriormente. No que se refere ao número de dispositivos utilizados, quando tensões de 0,5 pu são requeridas para a realização de todos os interruptores, então 12 interruptores devem ser empregados.

Figura 2.26 – Inversor 5L-BANPC-IV (LEE et al., 2019). (a) Topologia. Estados dos semicondutores na síntese de (b) 0 pu, (c) 0,5 pu e (d) 1 pu.



Fonte: Autor.

2.3 SÍNTESE DAS TOPOLOGIAS ANALISADAS

Neste capítulo foi apresentada uma revisão de topologias multiníveis com foco em aquelas capazes de sintetizar cinco níveis de tensão. Nesta seção, algumas análises comparativas são realizadas a fim de identificar aspectos relevantes na proposta de topologias cinco níveis. Por simplicidade e sem perda de generalidade, uma única fase é considerada para todas as topologias, bem como uma tensão de saída máxima de 1 pu no sistema por unidade. Considera-se que com essa tensão máxima de saída, cinco níveis igualmente espaçados, correspondentes a $\{-1 \text{ pu}, -0,5 \text{ pu}, 0 \text{ pu}, 0,5 \text{ pu}, 1 \text{ pu}\}$, são gerados.

Diferentes aspectos de comparação têm sido propostos na literatura para avaliar topologias multiníveis. Pode ser citada a definição do *LSR* (*Level per Switch Ratio*) (HASAN; MEKHILEF; AHMED, 2014), que informa do número de interruptores ativos necessários para gerar um determinado número de níveis na saída. Em seguida, a definição do *LSR* foi estendida em (SALEM et al., 2015) para considerar não somente interruptores ativos (N_I) mas também outros componentes como o número diodos e diodos em antiparalelo (N_D), capacitores (N_C), indutores (N_L), transformadores (N_{TRF}), fontes CC (N_{CC}). Como descrito em (2.1), esse índice de comparação é denominado de *CLF* (*Component per Level Factor*) e pode ser usado para comparar topologias multiníveis baseado no número total de componentes.

$$CLF = \frac{N_I + N_D + N_C + N_L + N_{TRF} + N_{CC}}{N} \quad (2.1)$$

As topologias analisadas neste capítulo sintetizam um número de níveis similar na saída ($N = 5$) e, portanto, o denominador em (2.1) é igual para todos os casos. Dessa forma, este trabalho apenas compara o número de componentes individualmente e, de ser necessário avaliar outras topologias com número de níveis diferente, então o cálculo do *CLF* é relativamente simples. Em adição, é comparada também a tensão de bloqueio total para o tipo de componente em questão, sendo esse índice denominado de *TSV* (*Total Standing Voltage*). Nesse caso, o somatório da tensão máxima (v_{pk}) em cada componente no sistema por unidade (pu) é considerada, como descrito em (2.2), (2.3) e (2.4). Outro aspecto examinado é a realização do barramento CC de entrada, pois algumas topologias acrescentam complexidade pela implementação de fontes de tensão isoladas, enquanto que outras operam com uma única fonte de entrada CC, com um barramento comum às fases. Finalmente são também detalhados os valores de tensão CC de entrada requeridos para atender especificações similares de saída em todos os conversores.

$$TSV_I = \sum_{i=1}^{N_I} v_{pk,i}, \quad (2.2)$$

$$TSV_D = \sum_{i=1}^{N_D} v_{pk,i}, \quad (2.3)$$

$$TSV_C = \sum_{i=1}^{N_C} v_{pk,i}. \quad (2.4)$$

As Tabelas 2.3, 2.4 e 2.5 resumem as características dos inversores apresentados. Em relação ao número de interruptores, as alternativas 5L-ANPC-V, 5L-ANPC-VIII, 5L-ANPC-IX e 5L-BANPC-I utilizam apenas seis interruptores ativos. No entanto, é notado que a redução do número de interruptores nessas topologias é realizada através de duas maneiras: uso de diodos em vez de interruptores em algumas partes do circuito, o que acaba penalizando o fator de potência em que o inversor pode operar como nos inversores 5L-ANPC-V e 5L-BANPC-I; e uso de interruptores bidirecionais em tensão e corrente, que

podem ser uma alternativa promissora com o advento de novas tecnologias de semicondutores, mas que dependendo da realização as perdas por condução e chaveamento podem ser incrementadas. No outro extremo estão as topologias que utilizam maior número de interruptores, como os inversores 5L-ANPC-CCS (12 interruptores) e 5L-P2 (20 interruptores). Estes resultam interessantes em aplicações que demandam alta confiabilidade, em que é importante manter o funcionamento do circuito mesmo durante condições de falha, pois nesses casos o uso dos interruptores redundantes pode ser aproveitado (CHEN et al., 2004). Contudo, os inversores 5L-ANPC-CCS e 5L-P2 demandam uma construção complexa, maior número de circuitos de acionamento e, portanto, custos elevados. Já o restante das topologias cinco níveis estudadas, a maioria delas, são caracterizadas por fazer uso de oito interruptores, excetuando o caso dos inversores 5L-ANPC-IV, 5L-BFB-I e 5L-BANPC-III que empregam sete interruptores ativos.

Em relação ao TSV dos componentes, é evidenciada a superioridade do inversor 5L-CHB que utiliza oito interruptores tal como na maioria das topologias, mas que apresenta um TSV_I de apenas 4 pu sem utilizar componentes adicionais (capacitores). Também, destaca-se o inversor 5L-HNPC com TSV_I de 4 pu e diodos de grampeamento a mais do que o inversor 5L-CHB, mas que requer menor número de componentes se comparado com os inversores 5L-NPC e 5L-FC. Em seguida, as topologias 5L-BFB-I, 5L-BFB-II, 5L-BANPC-I e 5L-BANPC-III exibem um TSV_I de até 5, 5 pu, sendo essa uma característica da operação a capacitor chaveado que permite reduzir a tensão de entrada CC para uma mesma tensão de saída CA e, como consequência, a tensão reversa de alguns interruptores é também reduzida. Também, podem ser citados os inversores com um TSV_I de 6 pu, dentre esses é notado que os inversores 5L-FB, 5L-ANPC-I, 5L-ANPC-II, 5L-BANPC-II e 5L-BANPC-IV não requerem diodos extra. O restante das topologias apresenta um $TSV_I \geq 6$ pu e adiciona componentes extra (diodos e/ou capacitores) com incremento do TSV_C e TSV_D . Em algumas dessas topologias, é visto que mesmo que utilizem um número

Tabela 2.3 – Características dos inversores cinco níveis apresentados.

Parâmetro	CHB	NPC	FC	HNPC	5L-FB	5L-ANPC				
						I	II	III	IV	V
N_I	8	8	8	8	8	8	8	8	7	6
TSV_I	4 pu	4 pu	4 pu	4 pu	6 pu	6 pu	6 pu	7 pu	6,5 pu	6 pu
N_D	8	14	8	12	8	8	8	8	8	6
TSV_D	4 pu	10 pu	4 pu	6 pu	6 pu	6 pu	6 pu	7 pu	7 pu	5 pu
N_C	0	4	5	2	2	3	3	3	3	3
TSV_C	0 pu	2 pu	5 pu	1 pu	1 pu	2,5 pu	2,5 pu	2,5 pu	2,5 pu	2,5 pu
Tensão de entrada CC	2x 0,5 pu	2 pu	2 pu	1 pu	1 pu	2 pu	2 pu	2 pu	2 pu	2 pu
Barramento comum	Não	Sim	Sim	Não	Não	Sim	Sim	Sim	Sim	Sim

Tabela 2.4 – Características dos inversores cinco níveis apresentados (continuação).

Parâmetro	5L-ANPC						5L-P2	BFB-I	BFB-II
	VI	VII	VIII	IX	X	CCS			
N_I	8	8	6	6	10	12	20	7	8
TSV_I	7 pu	6 pu	6 pu	6 pu	7 pu	7 pu	10 pu	5,5 pu	5 pu
N_D	8	8	12	14	10	12	20	7	8
TSV_D	6 pu	7 pu	10 pu	12 pu	7 pu	7 pu	10 pu	5,5 pu	5 pu
N_C	3	3	3	3	3	3	10	1	2
TSV_C	2,5 pu	2,5 pu	2,5 pu	2,5 pu	3 pu	1,5 pu	5 pu	0,5 pu	1 pu
Tensão de entrada CC	2 pu	2 pu	2 pu	2 pu	2 pu	1 pu	2 pu	0,5 pu	0,5 pu
Barramento comum	Sim	Sim	Sim	Sim	Sim	Sim	Sim	Não	Não

Tabela 2.5 – Características dos inversores cinco níveis apresentados (continuação).

Parâmetro	5L-BANPC			
	I	II	III	IV
N_I	6	8	7	10
TSV_I	5 pu	6 pu	5,5 pu	6 pu
N_D	6	8	9	10
TSV_D	5 pu	6 pu	6,5 pu	6 pu
N_C	3	3	3	3
TSV_C	2 pu	2 pu	2 pu	2 pu
Tensão de entrada CC	1 pu	1 pu	1 pu	1 pu
Barramento comum	Sim	Sim	Sim	Sim

igual ou até menor de semicondutores (como no inversor 5L-ANPC-IV), a distribuição das tensões em cada semicondutor não é vantajosa.

No que diz respeito à realização do barramento, ou seja, sua especificação de tensão e se é ou não comum as três fases quando operado na sua configuração trifásica, pode ser notado que os inversores com menor tensão de entrada são os que usualmente não apresentam um barramento comum às fases. Portanto, mesmo que exibam vantagens em relação a outros aspectos, o número de fontes, a complexidade e custo associado são alguns dos fatores mencionados na literatura que fazem reconsiderar sua aplicação na configuração trifásica. Em contraste, é notado que as topologias com um barramento compartilhado por todas as fases usualmente necessitam de uma tensão CC de entrada maior do que a tensão de saída, ou seja, exibem uma natureza abaixadora. Vale a pena destacar que os inversores 5L-ANPC-CCS, 5L-BANPC-I, 5L-BANPC-II, 5L-BANPC-III e 5L-BANPC-IV são exceções, pois reduzem a tensão de entrada pela metade se comparado com outras

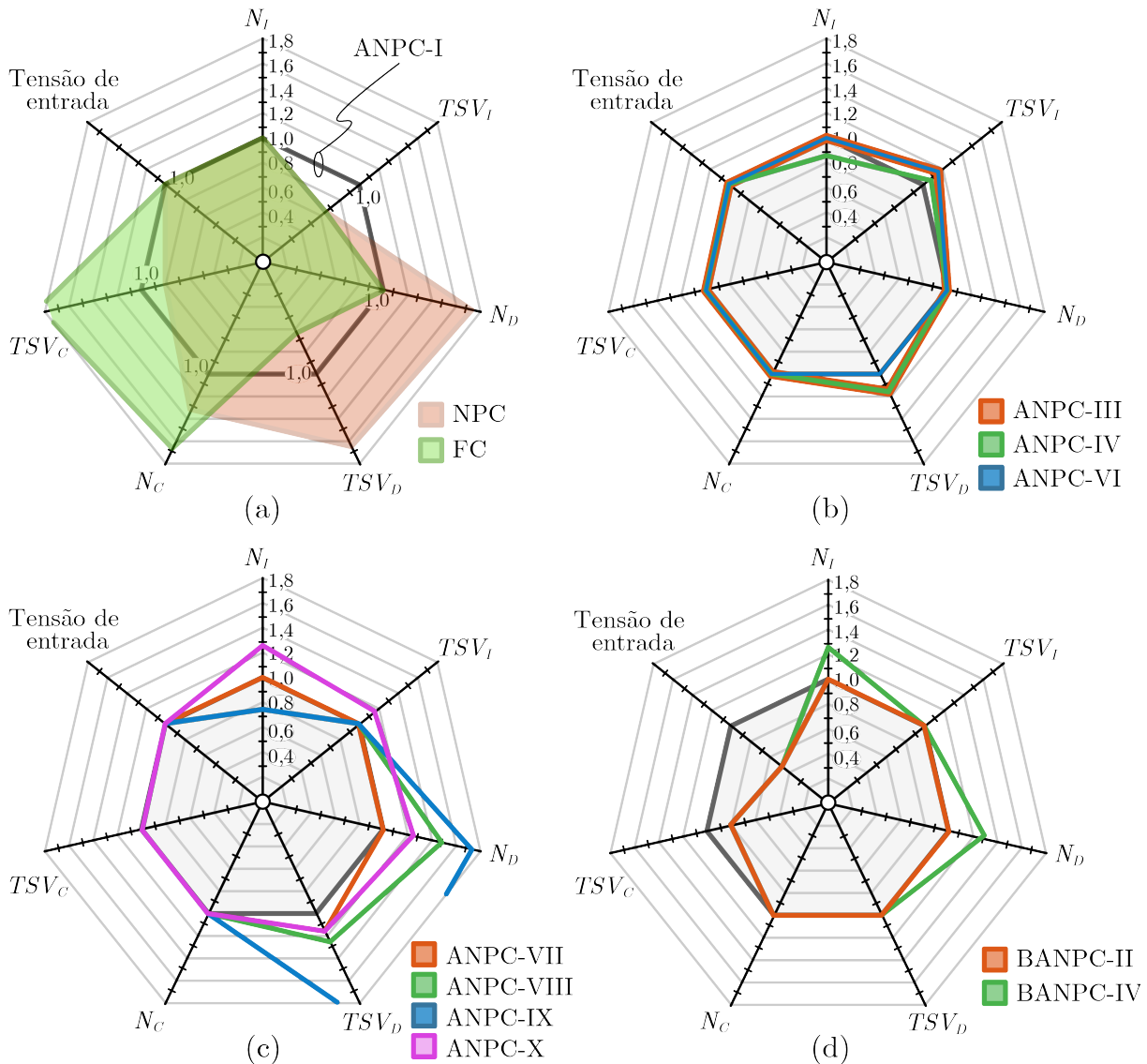
topologias de barramento comum. Porém, em condições de carga semelhantes, o inversor 5L-ANPC-CCS limita o índice de modulação, enquanto que os inversores 5L-BANPC-I e 5L-BANPC-III penalizam o fator de potência no qual pode operar devido ao uso de diodos no circuito.

Dentre as topologias com barramento comum as três fases, podem ser destacados os inversores 5L-ANPC-I e 5L-ANPC-II. Ambos exibem um bom compromisso entre número de componentes e TSV . Quando comparados com as topologias clássicas que apresentam um TSV_I de 4 pu, os inversores 5L-ANPC-I e 5L-ANPC-II utilizam, em compensação, menor número de componentes e exibem uma estrutura menos complexa. Além disso, quando comparados com o restante das topologias de barramento comum (excetuando-se o 5L-BANPC-I), os inversores 5L-ANPC-I e 5L-ANPC-II apresentam o menor TSV_I , TSV_D e TSV_C . Também, quando comparados com o inversor 5L-BANPC-I, este último ainda reduz a tensão de entrada pela metade e minimiza o TSV_I e TSV_C . Contudo, como mencionado antes, o inversor 5L-BANPC-I também utiliza diodos adicionais que penalizam o fator de potência no qual pode operar. Por outro lado, o inversor 5L-BANPC-II dispensa o uso de diodos e também apresenta uma redução de 50% na tensão de entrada. Portanto, soluções cinco níveis que apresentem uma estrutura ANPC tal como os inversores 5L-ANPC-I e 5L-ANPC-II, mas que também exibam benefícios na redução da tensão de entrada, como no inversor 5L-BANPC-II, podem ser atraentes.

Baseado nas informações anteriores, é possível identificar uma fronteira de características atraentes para os inversores sob estudo. É adotado então o inversor 5L-ANPC-I como ponto de partida para comparação das topologias abordadas. Desse modo, a Figura 2.27 mostra um gráfico em que as características dos inversores cinco níveis nas Tabelas 2.3, 2.4 e 2.5 são normalizadas pelos respectivos valores característicos do inversor 5L-ANPC-I. Portanto, uma topologia de conversor cinco níveis que apresente valores no interior do hexágono unitário irá demonstrar benefícios em relação ao inversor 5L-ANPC-I. É importante destacar que apenas são examinadas as topologias que implementam um único barramento CC de entrada na sua configuração trifásica, e que permitem fluxo de potência bidirecional. Portanto é notado que:

- Quando uma forma de onda de cinco níveis com tensão máxima de 1 pu é sintetizada, é atraente ter uma tensão de bloqueio total dos interruptores (TSV_I) de até 6 pu, como no inversor ANPC-I. No entanto, se valores menores de TSV_I são obtidos, pode ocorrer que o número de diodos e/ou capacitores seja aumentado, incrementando o TSV_D e TSV_C , como observado na Figura 2.27(a).
- Uma redução do número de interruptores menor do que oito pode também requerer que outros componentes sejam submetidos a tensões reversas maiores e/ou uso de capacitores/diodos a mais, incrementando o respectivo TSV . Esse é o caso dos

Figura 2.27 – Sínteses das topologias analisadas.



Fonte: Autor.

inversores ANPC-IV (Figura 2.27(b)) e ANPC-IX (Figura 2.27(c)). A derivação de uma topologia deve cuidar desses aspectos.

- As topologias 5L-ANPC examinadas utilizam três capacitores que resultam em TSV_C de 2,5 pu. Assim, soluções que minimizem esses parâmetros podem resultar em menor quantidade de energia armazenada e volume do inversor. Nesse aspecto, os inversores BANPC-II e BANPC-IV mostram ser topologias competitivas em relação ao inversor ANPC-I, pois reduzem o TSV_C (Figura 2.27(d)). Contudo, ainda deve ser avaliado o projeto dos capacitores, pois o valor da capacitância é também dependente da frequência de operação imposta pelo circuito.

- Finalmente, o inversor BANPC-II também possibilita reduzir a tensão de entrada, ainda ficando circunscrito no interior do hexágono unitário (Figura 2.27(d)), o que a torna uma topologia interessante para estudo.

As informações apresentadas neste capítulo foram levadas em consideração na obtenção e estudo da topologia proposta neste trabalho. Dessa forma, o seguinte capítulo tem por objetivo a derivação de uma topologia baseada na estrutura ANPC cinco níveis e também no conceito de capacitor chaveado, com benefícios em algum dos aspectos comparados.

3 DESCRIÇÃO DA TOPOLOGIA PROPOSTA

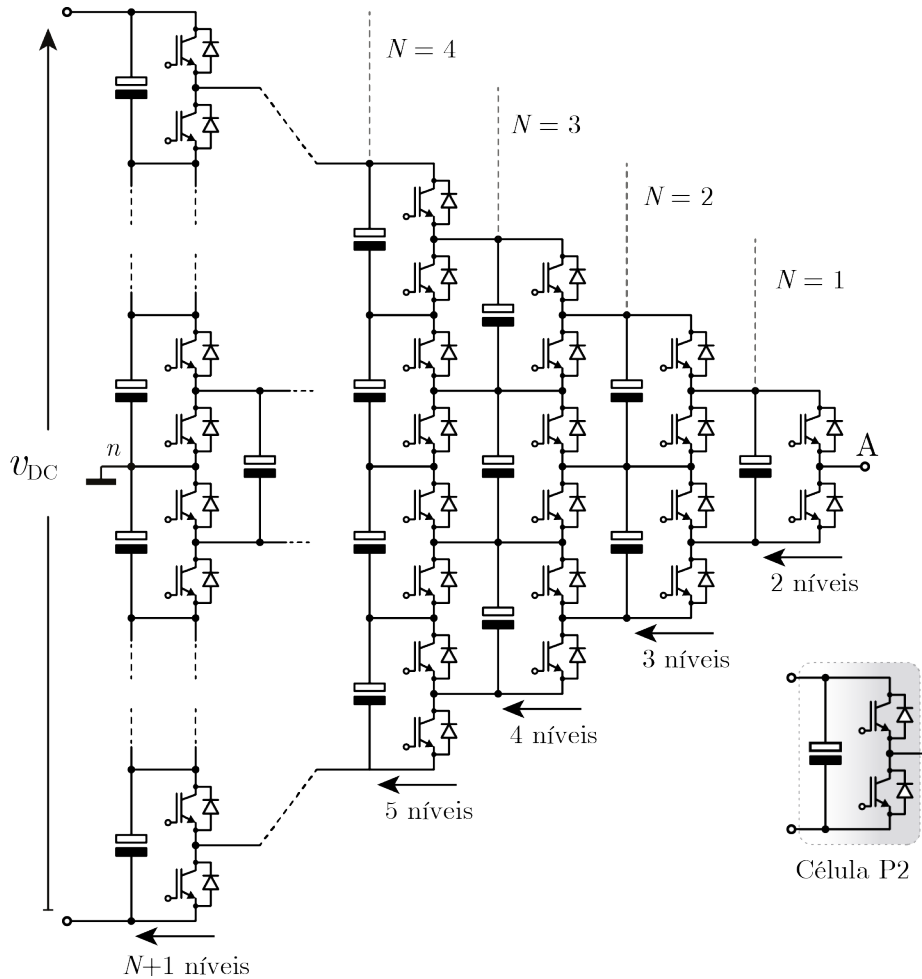
Baseado nas premissas apresentadas no capítulo anterior, um inversor cinco níveis com capacitor chaveado e grampeamento ativo do ponto neutro (5L-SCANPC) é proposto neste capítulo. Para tal propósito, a Seção 3.1 detalha o procedimento adotado para derivação da topologia proposta. Como será mostrado, o circuito resultante demanda uma operação totalmente distinta baseada no conceito de capacitor chaveado que permite obter uma tensão de saída CA maior do que a tensão CC de entrada. Em seguida, a operação do inversor 5L-SCANPC e a estratégia de modulação proposta são apresentados na Seção 3.2. A fim de identificar as principais características da topologia, a Seção 3.3 contém uma comparação da topologia proposta com outras topologias cinco níveis, tais como os inversores 5L-ANPC-I, 5L-ANPC-II e 5L-BANPC-II. Finalmente, a Seção 3.4 mostra resultados experimentais do inversor proposto.

3.1 DERIVAÇÃO DE TOPOLOGIAS

Existem diversas topologias generalizadas e blocos de construção que podem ser utilizados para derivar uma grande variedade de topologias multiníveis (YUAN, 2017; SANTOS; SILVA, 2013; PENG; QIAN; CAO, 2010; PENG, 2001). Este fato é importante uma vez que a concepção de topologias novas pode ser sustentada em um método que reduz o grau de aleatoriedade na busca de novos conversores. Dentre os métodos reportados para derivação de topologias, este trabalho adota o proposto por (PENG, 2001), em que células dois níveis são conectadas em uma estrutura piramidal chamada de P2 generalizada, mostrada na Figura 3.1. Nesse circuito, a tensão de entrada v_{DC} é dividida pelos capacitores que compõem o barramento CC, e a tensão resultante em cada capacitor grampeia efetivamente a tensão em todos os capacitores restantes e semicondutores da estrutura. Já o número de níveis é dado por $N + 1$, sendo N o número de camadas da estrutura, conforme destacado na Figura 3.1. O princípio para derivação de topologias é baseado na simplificação da estrutura inicial P2, eliminando componentes redundantes até chegar na topologia resultante. Não existe um procedimento generalizado a seguir, contudo, as regras para simplificação dadas em (WANG; LI, 2009) são úteis em muitos casos, que são:

1. Interruptores externos devem ser mantidos.
2. No mínimo deve ser garantido um caminho de corrente bidirecional para cada nível de tensão gerado entre os terminais A e n .
3. A remoção de componentes redundantes deve ser realizada avaliando a simetria entre a parte superior e a parte inferior da topologia resultante.

Figura 3.1 – Estrutura generalizada P2 (PENG, 2001).



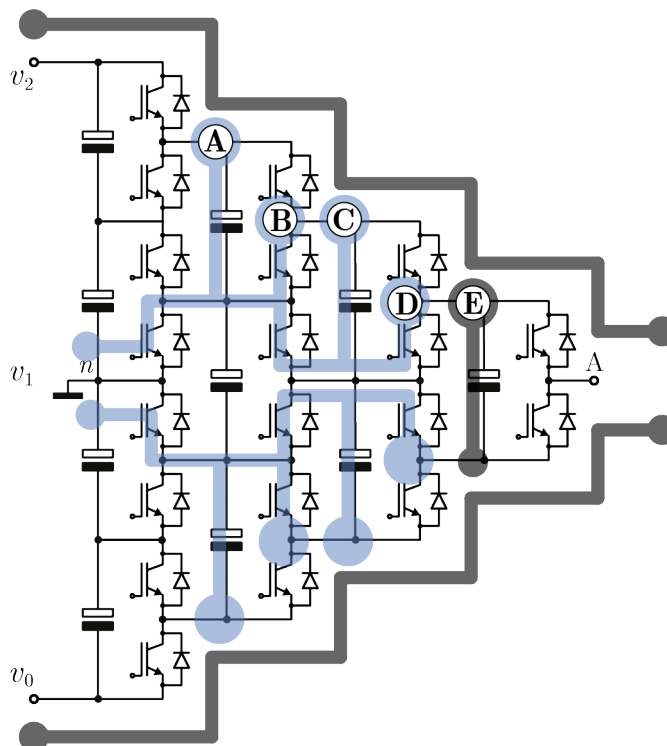
Fonte: Autor.

4. Quando o armazenamento de energia é um aspecto a minimizar, então os capacitores mais próximos do barramento deverão ser eliminados.
5. Finalmente, é necessário examinar os estados de operação a fim de garantir redundância para o balanço das tensões nos capacitores flutuantes e do barramento.

3.1.1 Derivação dos inversores 5L-ANPC-I e 5L-ANPC-II

A concepção de uma topologia 5L-ANPC baseada na estrutura P2 generalizada pode ser resumida da seguinte forma. Uma estrutura P2 com somente quatro camadas é necessária para sintetizar cinco níveis de tensão, como mostra a Figura 3.2. Devido a dificuldade de balancear as tensões intermediárias do barramento CC, apenas um ponto intermediário é mantido, que é o terminal n . Como resultado, quando uma fonte de tensão é conectada na entrada, as tensões v_0 , v_1 e v_2 estão disponíveis, como mostra a Figura 3.2.

Figura 3.2 – Derivação de topologias 5L-ANPC.

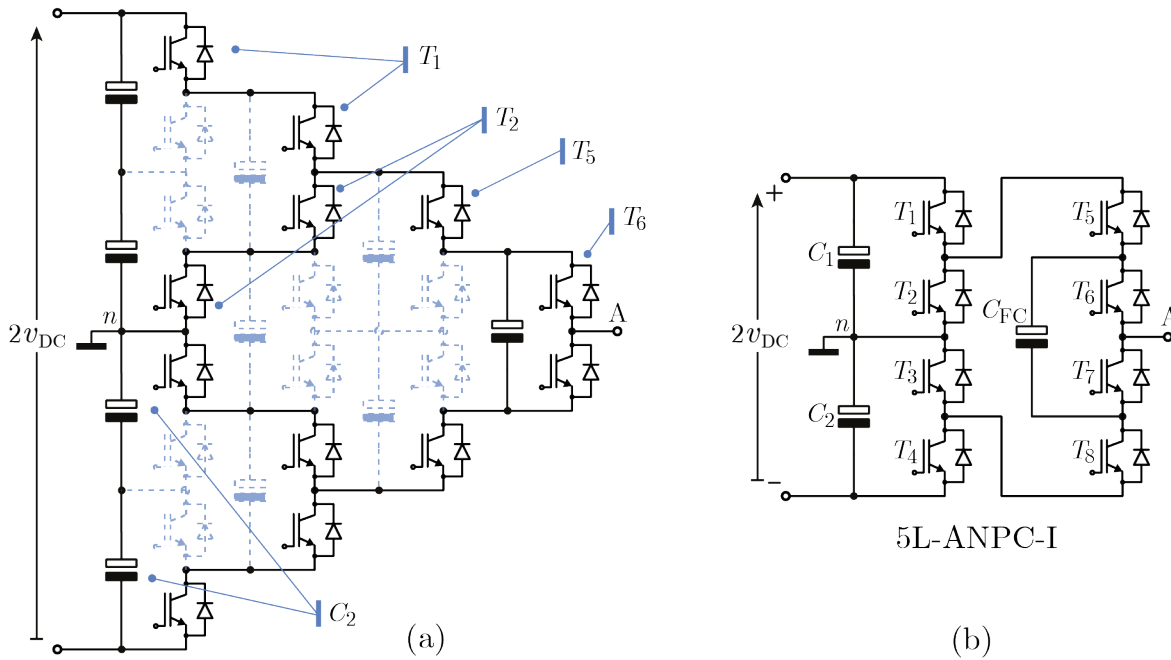


Fonte: Autor.

É então necessário estabelecer os caminhos de corrente bidirecional para conectar cada um desses níveis de tensão na saída. As linhas em destaque na Figura 3.2 associam possíveis caminhos de corrente bidirecional entre os três terminais de entrada e o terminal A de saída. Primeiramente, os interruptores nas linhas externas devem ser mantidos para sintetizar as tensões v_0 e v_2 na saída, gerando assim os níveis mínimo e máximo entre os terminais A e n , tal como demandado nos itens (1), (2) e (3) da Seção 3.1. Em seguida, as linhas internas **A**, **B**, **C** e **D** representam diversas alternativas que podem ser escolhidas para a síntese da tensão v_1 correspondente ao nível zero. Com isso, os níveis v_0 , v_1 e v_2 podem ser sintetizados na saída. Finalmente, uma vez que uma topologia cinco níveis é requerida, os níveis restantes devem ser obtidos pela combinação das tensões v_0 , v_1 e v_2 com a tensão de algum capacitor. Nessa situação é desejável manter o capacitor mais próximo da saída (linha **E**), pois é o único que não está em série com outro capacitor e pode ser implementado com a menor especificação de tensão de todos os componentes na estrutura (item (4)). Por fim, o item (5) deve ser considerado.

Como pode ser visto na Figura 3.2, existem diversas possibilidades para realizar o grampeamento do ponto neutro na saída, sendo que cada uma resulta em uma topologia 5L-ANPC alternativa. Uma vez que topologias 5L-ANPC utilizam um único capacitor por fase, as alternativas **A** e **C** serão descartadas pois envolvem mais do que um capacitor

Figura 3.3 – Derivação do inversor 5L-ANPC-I.



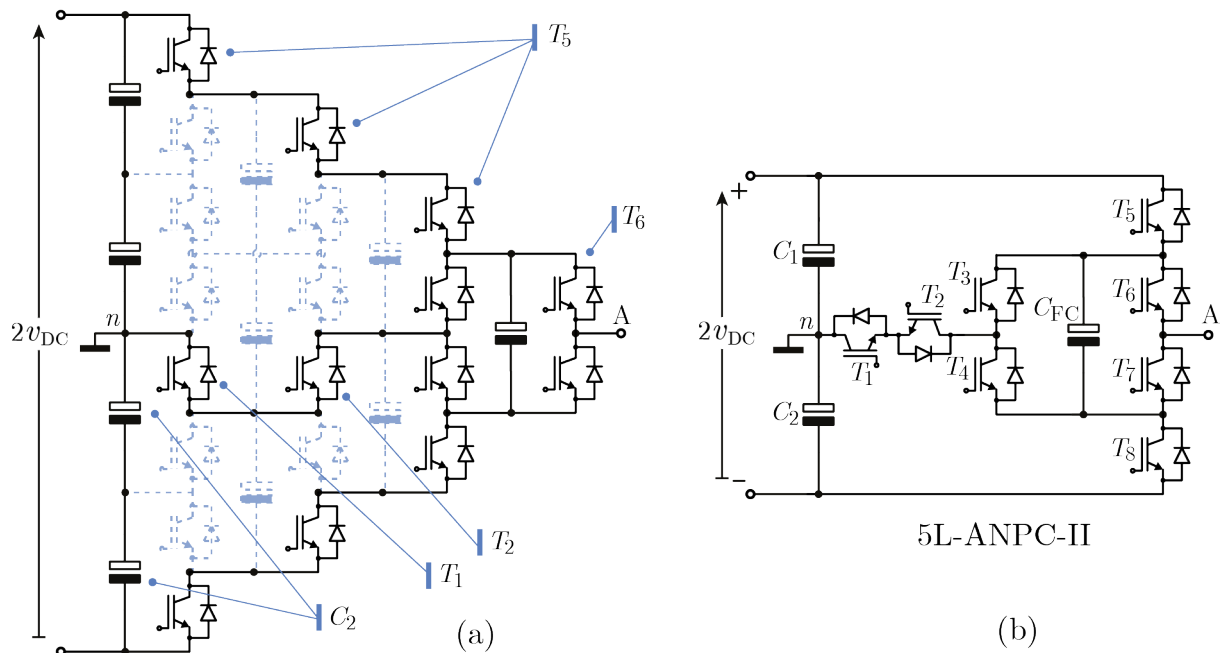
Fonte: Autor.

no caminho de corrente. Nesse caso, é mantido preferencialmente o capacitor da saída (alternativa **E**). Portanto, as alternativas restantes **B** e **D** serão consideradas.

Primeiramente, na Figura 3.3(a), os componentes que não compõem a alternativa **B** na Figura 3.2 são eliminados, tanto na parte superior quanto na parte inferior da estrutura. Como resultado, a nova topologia exhibe componentes que devem ser implementados pela serialização de componentes ou por um único componente com especificação de tensão equivalente. Dessa forma, quando uma tensão CC de entrada de $2v_{DC}$ é utilizada, os capacitores próximos ao barramento dividem a tensão fazendo com que todos os componentes da estrutura, interruptores e capacitores, sejam submetidos a tensões de $0,5v_{DC}$. É notado então que tanto os interruptores quanto os capacitores mais próximos ao barramento de entrada devem suportar tensões de v_{DC} , pois resultam da serialização de dois componentes com tensão de $0,5v_{DC}$ na estrutura P2 generalizada. Já o restante dos componentes podem ser implementados com especificações em tensão de $0,5v_{DC}$. A Figura 3.3(b) mostra o resultado final da simplificação, que corresponde ao inversor 5L-ANPC-I apresentado no Capítulo 2.

Em seguida, a Figura 3.4(a) apresenta o resultado quando o caminho de corrente bidirecional dado pela alternativa **D** na Figura 3.2 é priorizado. Neste caso, o inversor 5L-ANPC-II mostrado Figura 3.4(b) é obtido. Quando comparados os circuitos dos inversores 5L-ANPC-I e 5L-ANPC-II, é possível notar que ambos apresentam o mesmo número de interruptores assim como capacitores com tensões similares nas suas respectivas topologias P2 generalizadas. Portanto, é esperado que a tensão de bloqueio total e a quantidade de

Figura 3.4 – Derivação do inversor 5L-ANPC-II.

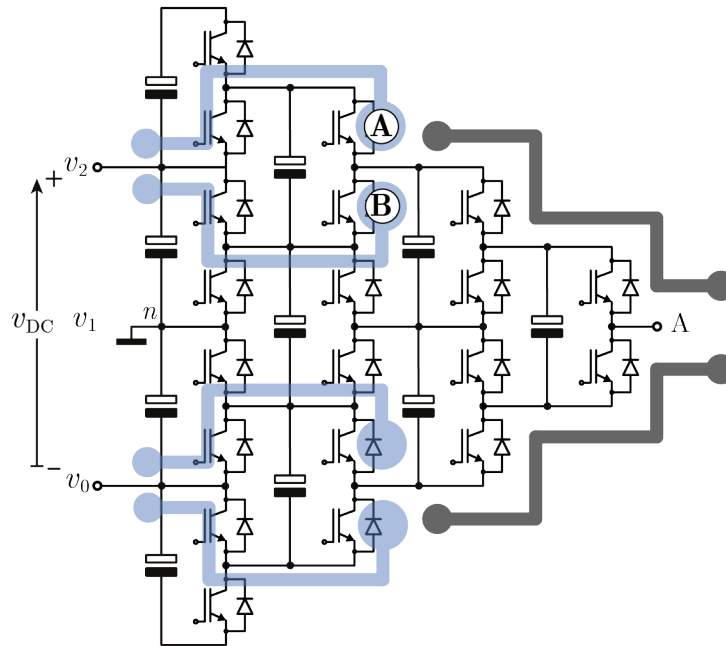


Fonte: Autor.

energia armazenada sejam semelhantes em ambos inversores. Por outro lado, o circuito da Figura 3.4(a) resulta na conexão de três semicondutores em série que conformam os interruptores T_5 e T_8 no circuito resultante do inversor 5L-ANPC-II na Figura 3.4(b), o que demanda interruptores com tensões reversas de até $1,5v_{DC}$.

Pode-se inferir então que os caminhos de corrente que envolvem maior número de componentes em série resultarão em aumento do custo da topologia, pois são traduzidos em interruptores e capacitores de maior tensão, que usualmente são também mais caros. Por outro lado, os caminhos de corrente que otimizam o número de componentes, independente da sua conexão (série ou não), resultarão em menor quantidade de energia armazenada, no caso de capacitores, e menor tensão de bloqueio total no caso de interruptores. Contudo, nem sempre uma topologia ótima nestes dois aspectos pode ser encontrada, pois usualmente quando otimizado o número de interruptores, o número de capacitores é incrementado, como ocorre com o inversor 5L-FC. Alternativamente, quando otimizado o número de capacitores, o número de semicondutores é incrementado, tal como ocorre com o inversor 5L-NPC. Portanto, os esforços são traduzidos mais em uma relação custo-compromisso do que na obtenção de uma topologia ótima em todos os aspectos. Dessa forma, a seguinte seção aborda a concepção de uma topologia com redução do número total de interruptores.

Figura 3.5 – Redução na tensão de entrada na estrutura 5L-P2.



Fonte: Autor.

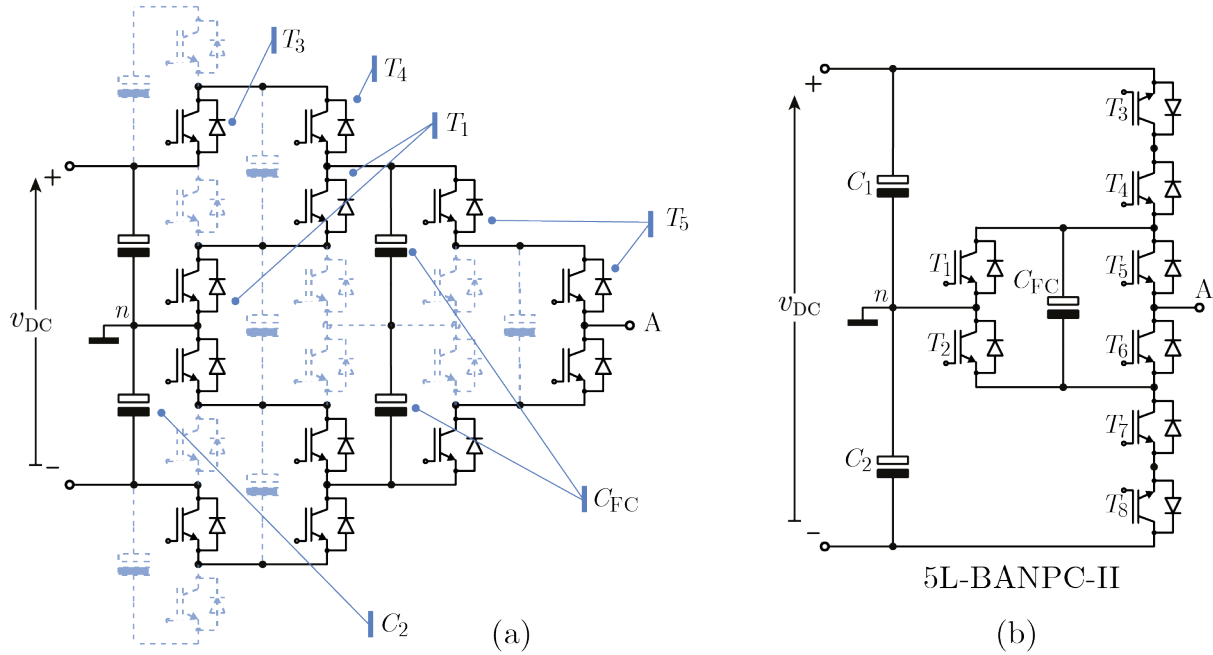
3.1.2 Inversor 5L-BANPC-II e derivação da topologia proposta

Como visto no procedimento de derivação da Figura 3.3, o número máximo de interruptores em série é dois para o inversor 5L-ANPC-I e três no caso do inversor 5L-ANPC-II. Um aspecto interessante é que estes interruptores são utilizados para conectar as tensões do barramento CC e conseqüentemente estão situados do lado do barramento, na entrada. Portanto, é válido considerar que uma redução na tensão CC também reflita em uma redução das especificações de tensão dos interruptores situados na entrada do inversor. Esta hipótese aborda diretamente uma das principais características dos inversores 5L-ANPC-I e 5L-ANPC-II, que é o número de interruptores em alta tensão para acessar às tensões disponíveis no barramento CC.

Portanto, a fim de reduzir a tensão de entrada mantendo a mesma especificação na tensão de saída, será então reduzido o número de capacitores que compõem o barramento CC, tal como mostra a Figura 3.5. Desse modo, uma vez que cada capacitor na estrutura é dimensionado com uma tensão de $0,5v_{DC}$ e o barramento CC emprega dois capacitores em vez de quatro, a tensão CC de entrada é agora apenas v_{DC} e não mais $2v_{DC}$, o que resulta em alternativas diferentes para a síntese das tensões v_0 e v_2 com respeito as topologias tradicionais 5L-ANPC-I e 5L-ANPC-II antes derivadas.

Como pode ser visto na Figura 3.5, existem distintos caminhos bidirecionais em corrente para conectar os níveis de tensão v_0 , v_1 e v_2 na saída. Assim, uma vez que

Figura 3.6 – Derivação do inversor 5L-BANPC-II.



Fonte: Autor.

não foram realizadas modificações em torno da tensão v_1 , correspondente ao nível zero, os caminhos de corrente associados a esse nível continuam sem mudanças, de maneira similar ao ilustrado na Figura 3.2. Por outro lado, a conexão das tensões externas v_0 e v_2 é diferente e pode ser realizada pela escolha das alternativas **A** ou **B** conforme a Figura 3.5. Estas alternativas resultam em duas topologias distintas que serão examinadas a seguir.

3.1.2.1 Inversor 5L-BANPC-II

A Figura 3.6(a) mostra o resultado de manter os interruptores que compõem a alternativa **A** na Figura 3.5. Com isso é possível conectar na saída as duas tensões nos terminais externos do barramento v_0 e v_2 , correspondentes aos níveis $-0,5v_{DC}$ e $0,5v_{DC}$. Em seguida, o nível zero (tensão v_1 no terminal n) é realizado em forma similar ao inversor 5L-ANPC-I, utilizando a linha **B** na Figura 3.2. Portanto, os níveis de tensão $-0,5v_{DC}$, 0 e $0,5v_{DC}$ podem ser sintetizados na saída. Já os níveis máximos $-v_{DC}$ e v_{DC} são realizados pela soma das tensões de dois capacitores, pois cada capacitor na estrutura está carregado com uma tensão de $0,5v_{DC}$. Para isso, os dois capacitores em série mais próximos do terminal A na saída são mantidos. A Figura 3.6(b) mostra a topologia que resulta das considerações mencionadas.

Pode-se observar que a topologia resultante corresponde com a estrutura do inversor 5L-BANPC-II apresentado no Capítulo 2. Nesta, a tensão de entrada CC é de v_{DC}

quando a tensão máxima demandada na saída é também de v_{DC} , o que demonstra que é possível obter um inversor com redução na tensão CC de entrada a partir da topologia generalizada P2. Por outro lado, essa redução na tensão de entrada não reflete em uma redução nas especificações de tensão dos interruptores, como no caso T_1 e T_2 que realizam a conexão do ponto neutro e que estão constituídos por dois interruptores em série na topologia P2. Ainda, os interruptores T_5 e T_6 também estão constituídos pela conexão série de dos interruptores na topologia P2. Dessa forma, como mostrado no Capítulo 2, quatro interruptores são submetidos a tensões de v_{DC} e os quatro restantes a tensões de $0,5v_{DC}$. Será então avaliada a segunda alternativa correspondente ao caminho **B** na Figura 3.5.

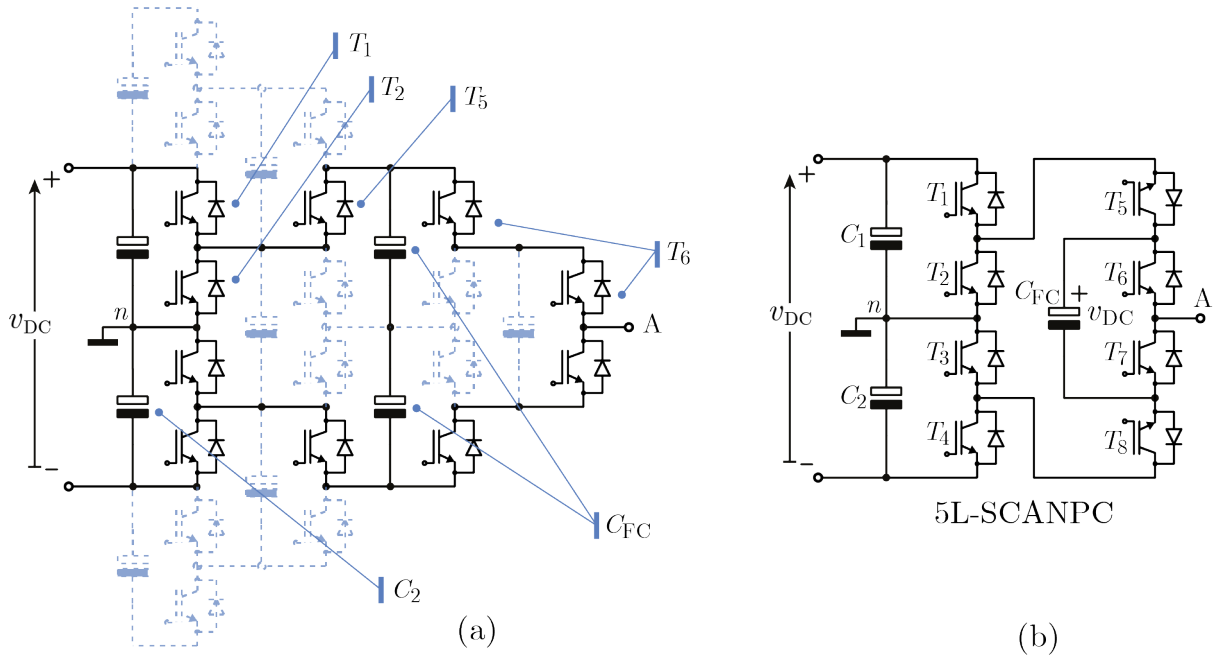
3.1.2.2 Inversor proposto 5L-SCANPC

A topologia que é proposta neste trabalho considera também a redução da tensão CC de entrada. Porém, a mesma é derivada ao contemplar a linha **B** na Figura 3.5, o que resulta em uma conexão alternativa das tensões v_0 e v_2 para a síntese dos níveis $-0,5v_{DC}$ e $0,5v_{DC}$ na saída. Já o nível zero é obtido de forma similar aos inversores 5L-ANPC-I e 5L-BANPC-II, utilizando a linha **B** na Figura 3.2. Finalmente, os níveis v_{DC} e $-v_{DC}$ são realizados pela conexão série de dois capacitores que estão posicionados mais próximos do terminal de saída. A Figura 3.7(a) mostra os componentes que são eliminados para este caso.

É notado que a escolha da alternativa **B** na Figura 3.2 não requer semicondutores em série para realizar a conexão do ponto neutro. Neste caso, a redução da tensão CC de entrada na topologia P2 contribui para reduzir o número de semicondutores com especificações de tensão superiores a $0,5v_{DC}$ no circuito resultante. A Figura 3.7(b) mostra a nova topologia com a realização dos interruptores. Pode ser visto que os interruptores T_1, T_2, T_3, T_4, T_5 e T_8 são submetidos a tensões de $0,5v_{DC}$, enquanto que apenas T_6 e T_7 , que estão constituídos pela conexão série de dois interruptores na topologia P2, são submetidos a tensões de v_{DC} . Portanto, apenas dois interruptores com tensões superiores a $0,5v_{DC}$ são requeridos, o que resulta em uma redução da tensão de bloqueio total do circuito quando comparado com os inversores cinco níveis derivados anteriormente.

A topologia resultante, denominada de inversor 5L-SCANPC, apresenta uma estrutura visualmente similar ao inversor 5L-ANPC-I, mas sua operação é baseada na célula com capacitor chaveado como no inversor 5L-BANPC-II, o que permite também reduzir a tensão CC de entrada para as mesmas especificações de tensão na saída. Para melhor destacar as diferenças, a seguinte seção aborda uma breve síntese das características do inversor proposto 5L-SCANPC. Posteriormente, neste capítulo, uma análise comparativa entre estruturas 5L-ANPC similares será apresentada.

Figura 3.7 – Topologia proposta 5L-SCANPC. (a) Derivação e (b) circuito resultante.



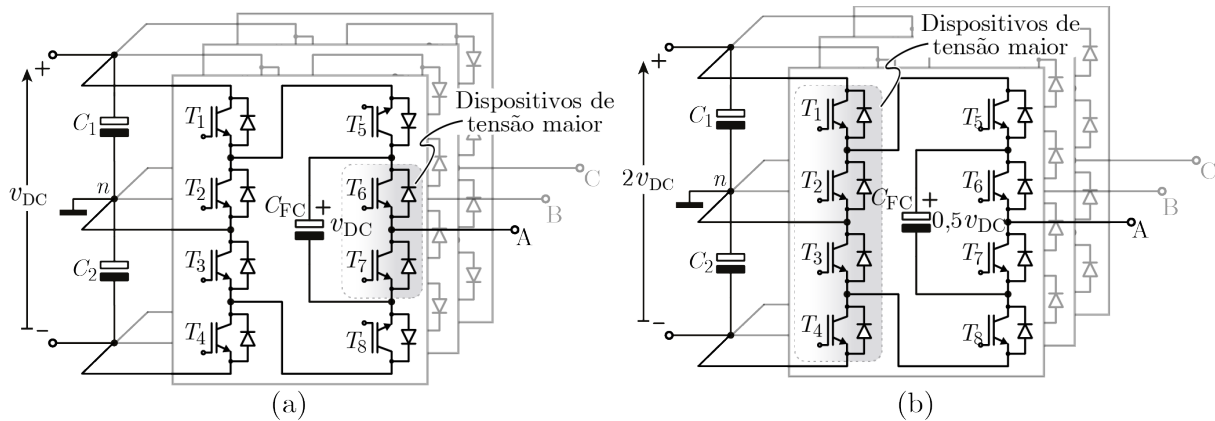
Fonte: Autor.

3.1.3 Características do inversor 5L-SCANPC

A Figura 3.8(a) mostra o inversor proposto 5L-SCANPC em sua configuração trifásica. Como visto anteriormente, com uma tensão de entrada CC de v_{DC} é possível então sintetizar tensões de fase v_{An} , v_{Bn} e v_{Cn} com cinco níveis diferentes que são: v_{DC} , $0,5v_{DC}$, 0 , $-0,5v_{DC}$ e $-v_{DC}$. Conseqüentemente, o valor da tensão máxima medida entre fases, tensões de linha v_{AB} , v_{BC} e v_{CA} , é de $2v_{DC}$. Pode ser notado que o inversor proposto 5L-SCANPC exibe uma estrutura similar, com o mesmo número de dispositivos e com os mesmos níveis de tensão sintetizados na saída como no 5L-ANPC-I, que é apresentado na Figura 3.8(b). Apesar das similaridades, as tensões tanto do capacitor flutuante quanto do barramento de entrada são distintas, o que determina diferenças topológicas e de operação importantes. A Tabela 3.1 apresenta uma comparação preliminar das características em ambos os inversores.

Para sintetizar os mesmo níveis de tensão na saída, o valor de tensão requerido no barramento de entrada do inversor 5L-SCANPC é a metade do valor configurado para o inversor 5L-ANPC-I. Conseqüentemente, para o inversor proposto, a tensão total do barramento CC de entrada é de v_{DC} , tal que as tensões de C_1 e C_2 devem ser balanceadas em $0,5v_{DC}$, e a tensão no capacitor flutuante C_{FC} deve ser regulada em v_{DC} . Com essas configurações de tensão, é possível sintetizar tensões máximas de linha na saída de $2v_{DC}$ apenas com uma tensão de entrada de v_{DC} .

Figura 3.8 – Inversores cinco níveis (a) 5L-SCANPC proposto e (b) 5L-ANPC-I com níveis de tensão de fase e neutro de $\{v_{DC}, 0, 5v_{DC}, 0, -0,5v_{DC}$ e $-v_{DC}\}$.



Fonte: Autor.

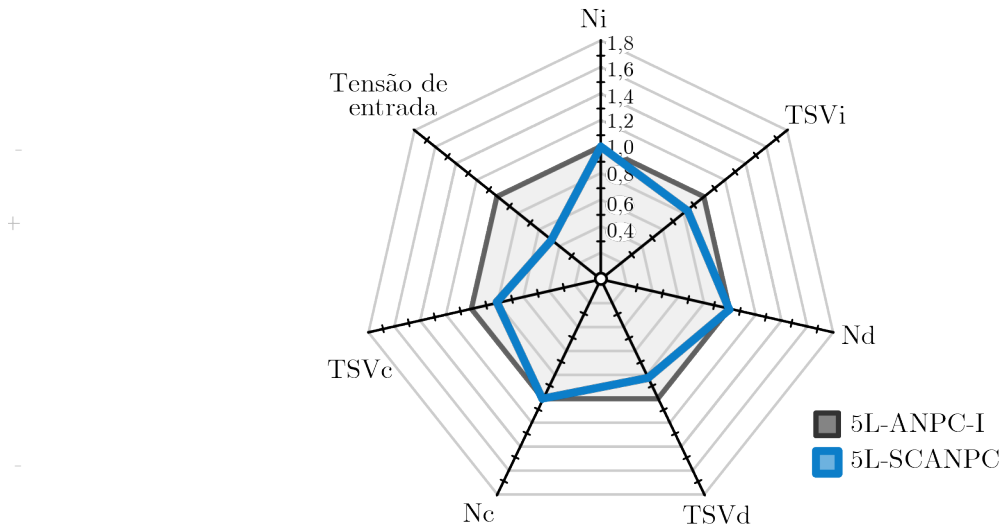
Tabela 3.1 – Características do inversor 5L-SCANPC proposto e inversor 5L-ANPC

Características	Topologia	
	5L-SCANPC	5L-ANPC
Tensão de fase máxima na saída	$\pm v_{DC}$.	$\pm v_{DC}$.
Tensão de linha máxima na saída	$\pm 2v_{DC}$.	$\pm 2v_{DC}$.
Tensão do barramento de entrada	v_{DC} .	$2v_{DC}$.
Tensão do capacitor flutuante	v_{DC} .	$0,5v_{DC}$.
Interruptores de maior tensão (v_{DC})	T_6, T_7 .	T_1, T_2, T_3, T_4 .
Interruptores de menor tensão ($0,5v_{DC}$)	$T_1, T_2, T_3, T_4, T_5, T_8$.	T_5, T_6, T_7, T_8 .

Devido que a tensão dos capacitores de entrada é reduzida e a tensão no capacitor flutuante C_{FC} é incrementada, a condução dos diodos em antiparalelo dos interruptores T_1, T_4, T_5 e T_8 deve ser evitada a fim de prevenir correntes elevadas. Portanto, os interruptores T_5 e T_8 no inversor 5L-SCANPC estão invertidos em relação ao inversor 5L-ANPC-I, como pode ser observado na Figura 3.8, assegurando o correto funcionamento do circuito proposto. Com esta configuração de interruptores, pode ser notado também que T_5 e T_1 têm os emissores em um nó comum de tal forma que uma mesma fonte de tensão do circuito de acionamento pode ser usada. Similarmente, T_7 e T_8 também estão conectados com emissor comum, tal que não há necessidade de implementar fontes de tensão isoladas para estes interruptores.

Como mencionado anteriormente, outra característica atraente do inversor proposto é que os interruptores T_1, T_2, T_3 e T_4 são submetidos a níveis de tensão reversa menores, especificamente a $0,5v_{DC}$. Ainda, como será mostrado na seguinte seção, os interruptores T_5 e T_8 são submetidos a $0,5v_{DC}$ se uma estratégia de modulação adequada é usada, enquanto que T_6 e T_7 são submetidos a v_{DC} . Dessa forma, seis interruptores de potência em

Figura 3.9 – Características do inversor proposto 5L-SCANPC.



Fonte: Autor.

cada fase podem ser implementados com dispositivos de menor tensão, enquanto que apenas dois interruptores de maior tensão são requeridos, como destacado na Figura 3.8(a).

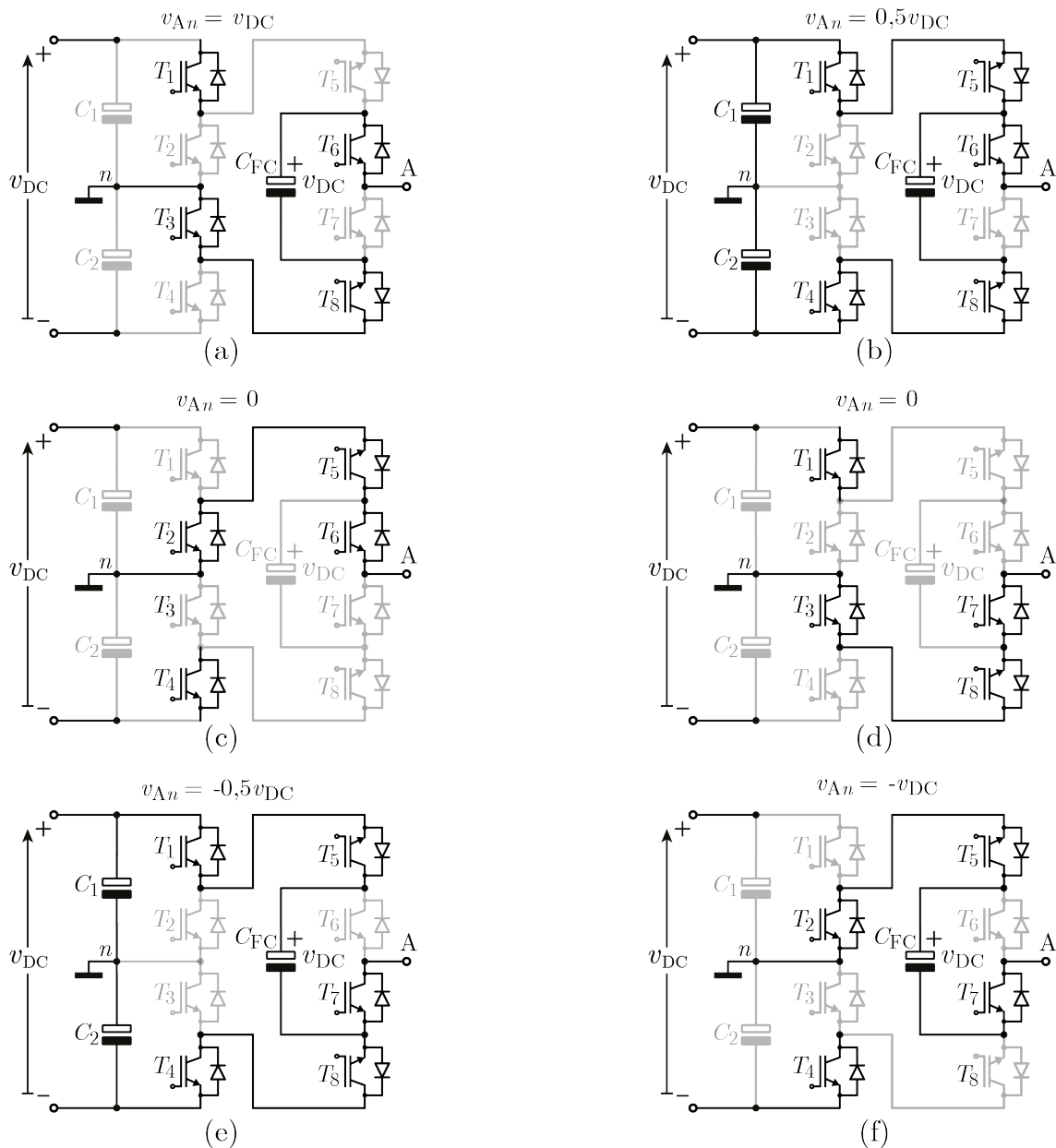
Por outro lado, quatro interruptores (T_1 , T_2 , T_3 e T_4) são submetidos a v_{DC} (interruptores de maior tensão) e quatro interruptores (T_5 , T_6 , T_7 e T_8) são submetidos a $0,5v_{DC}$ (interruptores de menor tensão) no inversor 5L-ANPC-I, para as mesmas especificação de tensão na saída. A Figura 3.9 apresenta a síntese das características do inversor proposto 5L-SCANPC normalizado pelas características do inversor 5L-ANPC-I.

3.2 OPERAÇÃO DO INVERSOR 5L-SCANPC

3.2.1 Estados de operação

A operação do inversor 5L-SCANPC é baseada em seis estados de condução dos interruptores, correspondentes a cinco níveis de tensão entre os terminais A e n , conforme detalhado na Figura 3.10. Cada estado (**A** a **F**) está associado a um caminho de corrente bidirecional, tal que o inversor pode operar para qualquer condição de carga, drenando ou fornecendo potência ativa e reativa. Durante os estados **A** e **F** o capacitor flutuante, que idealmente é carregado com uma tensão v_{DC} , é conectado em série com o terminal n do barramento para sintetizar os níveis v_{DC} e $-v_{DC}$ no terminal A, como mostrado nas Figura 3.10(a) e (f). Ainda, assumindo que C_1 e C_2 são idealmente carregados com a metade da tensão de entrada $0,5v_{DC}$, a Figura 3.10(b) e (e) detalha os estados de condução **B** e **E** que são empregados para gerar os níveis $0,5v_{DC}$ e $-0,5v_{DC}$, respectivamente. Por

Figura 3.10 – Estados de condução do inversor 5L-SCANPC. (a) Estado **A**: v_{DC} , (b) estado **B**: $0,5v_{DC}$, (c) estado **C**: 0, (d) estado **D**: $0p.u.$, (e) estado **E**: $-0,5v_{DC}$ e (f) estado **F**: $-v_{DC}$.



Fonte: Autor.

fim, existem dois estados de condução (**C** e **D**) para sintetizar o nível zero, como mostrado na Figura 3.10(c) e (d).

Da Figura 3.10 pode ser notado que os interruptores T_1 , T_2 , T_3 e T_4 são submetidos às respectivas tensões de C_1 e C_2 , as quais devem ser mantidas em $0,5v_{DC}$, enquanto que T_6 e T_7 são submetidos à tensão de C_{FC} que é regulada em v_{DC} . No entanto, a tensão reversa dos interruptores T_5 e T_8 depende dos estados de condução de $T_1 - T_4$. Embora T_1 não transporte corrente durante os estados **A** e **D**, assim como T_4 nos estados **C** e **F**,

Tabela 3.2 – Operação do inversor 5L-SCANPC.

	Estados de condução								v_{An}	Tensão em C_{FC}	
	T_1	T_2	T_3	T_4	T_5	T_6	T_7	T_8		$i_{out} > 0$	$i_{out} < 0$
A	1	0	1	0	0	1	0	1	v_{DC}	↓	↑
B	1	0	0	1	1	1	0	1	$0,5v_{DC}$	Equaliza	Equaliza
C	0	1	0	1	1	1	0	0	0	–	–
D	1	0	1	0	0	0	1	1	0	–	–
E	1	0	0	1	1	0	1	1	$-0,5v_{DC}$	Equaliza	Equaliza
F	0	1	0	1	1	0	0	1	$-1v_{DC}$	↑	↓

↑ Incremento, ↓ Decremento

a estratégia de modulação proposta deve acionar T_1 e T_4 unicamente com propósito de garantir o grampeamento efetivo dos interruptores T_5 e T_8 , de tal forma que estes possam ser implementados com especificações de tensão de $0,5p.u.$

O balanceamento da tensão no capacitor flutuante C_{FC} é realizado de maneira automática baseado na técnica do capacitor chaveado (JAHAN; ABAPOUR; ZARE, 2019; YANG et al., 2018; TAGHVAIE; ADABI; REZANEJAD, 2018; WU et al., 2016). Na Figura 3.10 pode ser notado que durante os estados **A** e **F** o capacitor flutuante C_{FC} é conectado na carga tal que sua tensão varia de acordo com a corrente de carga i_{out} . Já durante os estados **B** e **E**, C_{FC} é diretamente conectado em paralelo ao barramento de entrada ao acionar os interruptores T_1 , T_4 , T_5 e T_8 . Portanto, durante **B** e **E**, energia é transferida entre o barramento CC e o capacitor C_{FC} até ser equalizado na mesma tensão total de entrada, que corresponde a v_{DC} . Isto permite que a regulação da tensão em C_{FC} possa ser garantida independente das condições de carga, pois durante um estado a tensão de C_{FC} é restabelecida e está disponível para ser conectada na carga no seguinte estado. Assim, a estratégia de modulação deve implementar os estados **B** e **E** para sintetizar os níveis $0,5v_{DC}$ e $-0,5v_{DC}$ e simultaneamente regular a tensão em C_{FC} . Este método de regulação de tensão não requer sensores e/ou circuitos adicionais, representando uma redução na complexidade e custos de implementação (PENG, 2001). A Tabela 3.2 resume os estados de condução do inversor, a tensão de saída entre os terminais A e n (v_{An}), e o impacto na tensão do capacitor C_{FC} .

O funcionamento de C_{FC} como capacitor chaveado deve ser adequadamente projetado, pois resulta em uma operação não convencional em que durante um período de comutação dois componentes de natureza fonte de tensão são conectados em paralelo e, como resultado, dependendo da ondulação de tensão em C_{FC} uma corrente elevada pode ser experimentada pelos componentes envolvidos. Na prática, estas correntes são limitadas pelas não idealidades do circuito como a resistência série equivalente dos capacitores e resistência em condução dos interruptores (R_{on}). Mesmo assim, as correntes elevadas

podem impactar a eficiência do inversor e a vida útil dos componentes, de modo que o projeto antes mencionado na Seção 2.2.3 deve ser levado em consideração.

3.2.2 Estratégia de modulação

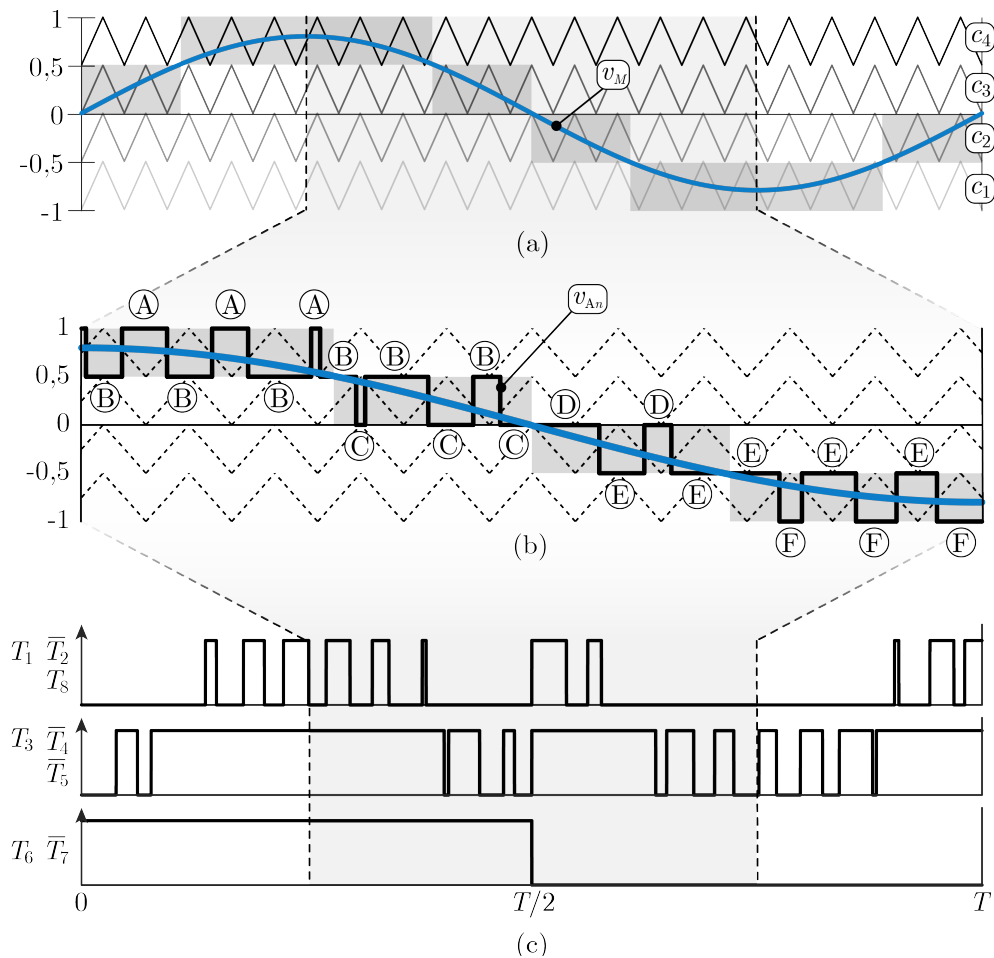
Para o funcionamento do inversor 5L-SCANPC é adotado um esquema de modulação por largura de pulso em que o sinal modulante é comparado com portadoras deslocadas em amplitude e dispostas em fase, comumente chamado de PD-PWM (*Phase Disposition* - PWM). No caso de uma forma de onda cinco níveis como sintetizada pelo inversor proposto, os sinais de comando para os interruptores são obtidos pela comparação do sinal modulante v_M com quatro portadoras c_1 , c_2 , c_3 e c_4 , como mostrado na Figura 3.11(a). Dessa forma, a Figura 3.11(b) mostra a sequência de estados proposta para a síntese dos cinco níveis de tensão. Em conformidade com a Figura 3.10 e a Tabela 3.2, a sequência proposta utiliza os estados **A**, **B** e **C** durante o semiciclo positivo da forma de onda cinco níveis, enquanto que os estados **D**, **E** e **F** são utilizados no semiciclo negativo.

Como pode ser notado na Figura 3.11(b), os estados **C** e **D** são usados para sintetizar o nível zero da tensão. Esta escolha garante que os interruptores T_6 e T_7 possam ser comutados uma única vez a cada cruzamento por zero do sinal de referência, pois apresentam os maiores esforços de tensão e, portanto, deseja-se evitar que os mesmos operem em alta frequência. Dessa forma, o nível zero na sequência proposta é realizado utilizando o estado **C** durante o semiciclo positivo do sinal de referência e o estado **D** durante o semiciclo negativo. Já o restante dos interruptores, que são submetidos a esforços de tensão menores, podem operar em PWM. Desse modo, os sinais de comando para os interruptores T_6 e T_7 , os quais são dispositivos submetidos a maior tensão e que operam na frequência da modulante, podem ser obtidos pela comparação direta do sinal modulante v_M com zero, enquanto que os sinais de comando para T_1 , T_2 , T_3 , T_4 , T_5 e T_8 são obtidos pela comparação de v_M com as portadoras c_1 até c_4 . Ainda, com a sequência de estados proposta, apenas três sinais PWM distintos e os sinais complementares são necessários para o comando dos interruptores, como pode ser observado na Figura 3.11(c).

Referente ao controle da tensão no capacitor flutuante C_{FC} , pode ser notado que a sequência de estados proposta assegura o nível da tensão em C_{FC} sempre que há uma transição de algum estado para os estados **B** e **E**, durante os níveis de tensão $0, 5v_{DC}$ e $-0, 5v_{DC}$. Dessa forma, a sequência de comutação proposta resulta na regulação automática da tensão no capacitor C_{FC} , o que permite dispensar técnicas de controle complexas com o uso de sensores e/ou circuitos adicionais.

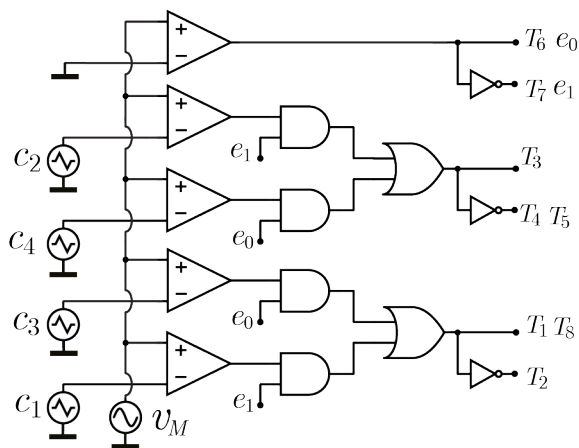
A sequência de estados pode ser implementada utilizando o circuito combinacional proposto na Figura 3.12. Neste, o sinal e_0 habilita a comparação com c_3 e c_4 durante

Figura 3.11 – Estratégia de modulação. (a) Sequência de comutação proposta, (b) comparação com portadoras e (c) sinais de comando para os interruptores.



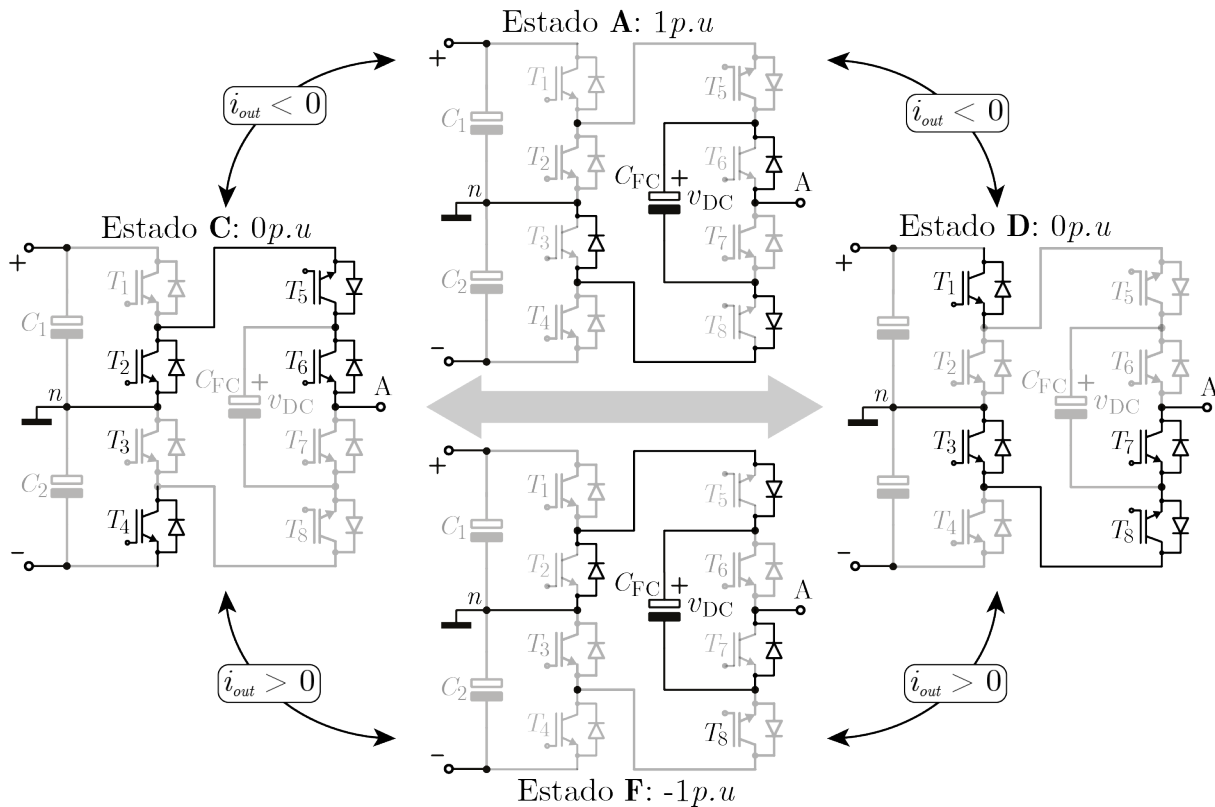
Fonte: Autor.

Figura 3.12 – Circuito combinacional empregado para a geração dos sinais de comando.



Fonte: Autor.

Figura 3.13 – Efeito do tempo morto na sequência de comutação.



Fonte: Autor.

o semiciclo positivo de v_M , enquanto que o sinal e_1 habilita a comparação de c_2 e c_1 durante o semiciclo negativo de v_M . Adicionalmente, o circuito na Figura 3.12 pode ser utilizado para estender a operação do inversor para sua configuração trifásica. Nesse caso, três sinais modulantes senoidais v_{Mj} ($j = a, b, c$) defasados de 120° , os quais servem como sinais de referência para cada fase do inversor, devem ser comparados com as portadoras c_1 até c_4 .

A fim de garantir a operabilidade da estratégia proposta, a sequência na Figura 3.11(b) deve ser avaliada considerando o efeito do tempo morto dos interruptores. Na prática, é requerido que interruptores apresentem um atraso durante uma comutação complementar a fim de evitar correntes elevadas que possam danificar os interruptores, sendo este atraso comumente denominado de tempo morto. Contudo, no tempo morto, os estados de condução dos diodos em antiparalelo dependerão do sentido da corrente de carga e, conseqüentemente, podem resultar em cenários distintos com sobretensões ou até mesmo curtos-circuitos. Dessa forma, uma análise das transições entre estados foi realizada considerando o tempo morto tanto para $i_{out} < 0$ quanto para $i_{out} > 0$. É importante destacar que em todas as transições entre estados a corrente de carga resulta em estados já definidos, contemplados pela Figura 3.10 e a Tabela 3.2.

Embora não ocorram sobretensões e/ou curtos-circuitos, durante a transição entre os estados **C** e **D**, aparecem os estados **A** ou **F** devido a entrada em condução dos diodos em antiparalelo dos interruptores T_5 ou T_8 , tal como detalhado na Figura 3.13. Estes estados introduzem um erro de tensão na forma de onda cinco níveis que depende do sentido da corrente. Por outro lado, é possível verificar que essa transição ocorre a cada cruzamento por zero do sinal de referência em um único pulso, portanto, a energia dos harmônicos resultantes não é significativa. Na prática, este efeito pode ser reduzido ao implementar um tempo morto menor a fim de minimizar a energia do pulso.

3.2.3 Projeto dos capacitores

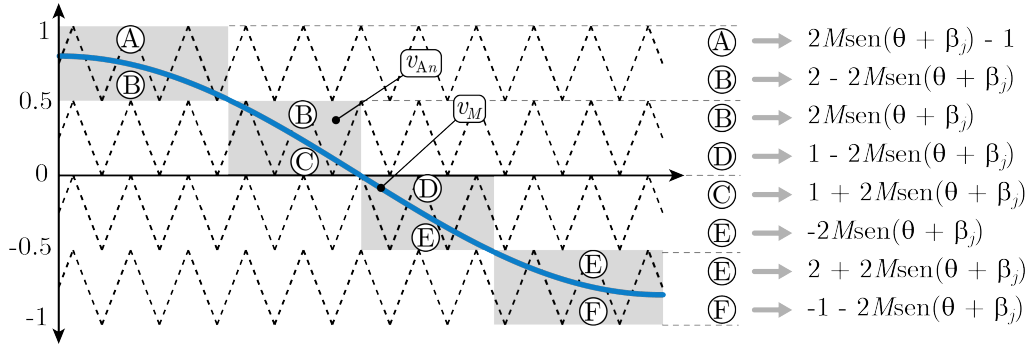
Esta seção aborda o projeto dos capacitores do inversor proposto, que envolve tanto o capacitor flutuante quanto os capacitores do barramento CC. Cada fase do inversor 5L-SCANPC requer um capacitor flutuante que é apenas influenciado pela corrente da respectiva fase, de tal forma que o valor da capacitância C_{FC} será calculado para uma fase e adotado também para as outras. Quanto às capacitâncias do barramento de entrada (C_1 e C_2), as mesmas serão escolhidas considerando a contribuição das correntes das fases, pois o inversor 5L-SCANPC apresenta um barramento que é comum as três fases em uma configuração trifásica.

3.2.3.1 Capacitor flutuante

Embora a sequência de comutação proposta habilite a regulagem automática do capacitor flutuante, esta pode também resultar em elevadas correntes pulsantes devido ao laço de carga capacitivo durante a equalização da tensão de C_{FC} nos níveis de tensão $0, 5v_{DC}$ e $-0, 5v_{DC}$ (estados **B** e **E**). A resistência em condução dos semicondutores (R_{on}) e a resistência série equivalente do capacitor (R_{ESR}) contribuem para limitar o pico de corrente máxima, mas deve ser mantido tão pequeno quanto possível a fim de evitar acréscimo nas perdas de energia. O pico de corrente pode também ser prevenido se a ondulação de tensão no capacitor flutuante é restrita a um valor aceitável durante os níveis de tensão v_{DC} e $-v_{DC}$ (estados **A** e **F** na Figura 3.14), que é quando ocorre a carga ou descarga de C_{FC} dependendo do sentido da corrente na carga.

O intervalo de carga/descarga (T_{ch}) é útil no cálculo da capacitância C_{FC} . A Figura 3.14 detalha a duração dos estados normalizada pelo período de comutação T_S para a sequência de comutação adotada. Considerando apenas uma fase do inversor, assumindo $\beta_j = 0$, e analisando apenas o semiciclo positivo da forma de onda cinco níveis,

Figura 3.14 – Duração dos estados em cada nível de tensão para a sequência de comutação adotada. $j = A, B, C$ e $\beta_A = 0$, $\beta_B = -2\pi/3$ e $\beta_C = 2\pi/3$.



Fonte: Autor.

a carga/descarga do capacitor ocorre durante o estado **A**. Nesse estado, o capacitor C_{FC} é conectado em série com a carga e o intervalo de carga/descarga T_{ch} é dado por:

$$T_{ch} = \frac{2M\text{sen}\theta - 1}{f_s} \quad (M\text{sen}\theta \geq 0,5) \quad (3.1)$$

em que M é o índice de modulação em amplitude, θ é o ângulo do sinal modulante e f_s é a frequência de comutação dada pela frequência das portadoras. Durante cada intervalo de carga/descarga, a variação da carga elétrica em C_{FC} pode ser expressa como:

$$\Delta Q_{FC} = T_{ch} I_{pk} \text{sen}(\theta - \phi) \quad (3.2)$$

em que I_{pk} é o valor de pico da corrente de carga e ϕ é o ângulo de fase da corrente. A ondulação de tensão Δv_{FC} sobre o capacitor C_{FC} é então obtida como:

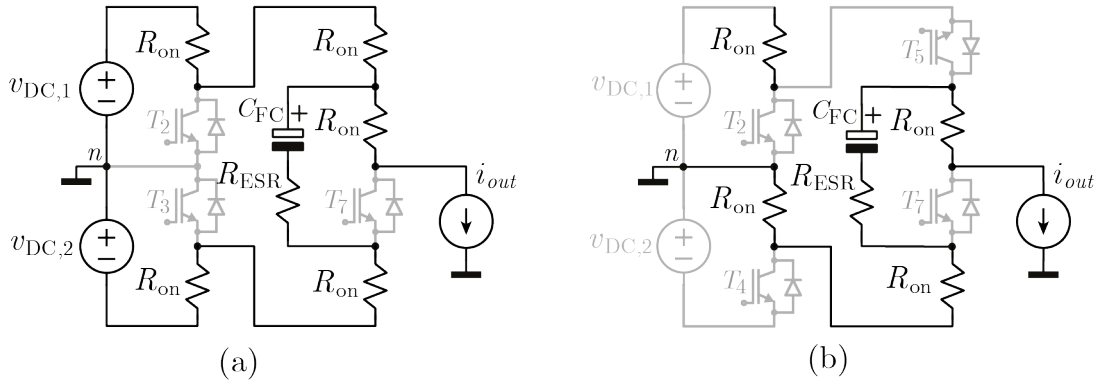
$$\Delta v_{FC} = \frac{\Delta Q_{FC}}{C_{FC}} = \frac{I_{pk}}{C_{FC} f_s} k_{FC} \quad (3.3)$$

em que k_{FC} é um coeficiente adimensional dependente do circuito em questão e da estratégia de modulação adotada. Para o circuito do inversor 5L-SCANPC, das equações (3.1)-(3.3), é então deduzido como:

$$k_{FC} = (2M\text{sen}\theta - 1)\text{sen}(\theta - \phi). \quad (3.4)$$

Dessa forma, através de (3.3) e (3.4), o valor da capacitância é encontrado para uma ondulação de tensão definida.

Para entender o impacto da escolha do capacitor flutuante na corrente resultante da equalização de tensão na operação com capacitor chaveado, é preciso analisar as etapas de operação dos circuitos que correspondem aos estados **B** e **A**. Quando o sinal modulante na Figura 3.11 incursiona a região correspondente aos níveis de $0,5v_{DC}$ e v_{DC} , existem transições entre os estados **B** e **A** que podem ser aproximados por duas etapas com

Figura 3.15 – Circuitos equivalentes simplificados: (a) estado **B** e (b) estado **A**.

Fonte: Autor.

circuitos distintos. Nessa análise é apenas considerado o semiciclo positivo da forma de onda cinco níveis, pois uma operação similar ocorre no semiciclo negativo durante os estados **E** e **F** com transições entre os níveis de $-0,5v_{DC}$ e $-v_{DC}$, respectivamente.

Considere os circuitos equivalentes para os estados sob análise, nas Figuras 3.15(a) e (b). Sem perda de generalidade, os interruptores em condução foram substituídos por elementos resistivos que pretendem modelar o comportamento das resistências em condução dos MOSFET, R_{on} . Já para o capacitor flutuante é adicionada uma resistência em série, R_{ESR} , que pretende modelar a sua resistência série equivalente. Adicionalmente, a ondulação da tensão nos capacitores C_1 e C_2 que formam o barramento CC foi considerada nula, podendo ser substituídos por fontes de tensão constantes $v_{DC,1}$ e $v_{DC,2}$, respectivamente. De forma semelhante, a corrente de carga foi assumida constante no período de comutação e, portanto, modelada com uma fonte de corrente constante, i_{out} .

No primeiro estado, na Figura 3.15(a), o capacitor C_{FC} é carregado pela energia das fontes de entrada em série, $v_{DC,1}$ e $v_{DC,2}$. A equação diferencial que descreve o comportamento da tensão no capacitor flutuante nesse estado é encontrada aplicando a lei de Kirchhoff das tensões (LKT) como:

$$k_1 \frac{dv_{FC,B}}{dt} + v_{FC,B} = k_2 \quad (3.5)$$

$$k_1 = (4R_{on} + R_{ESR}) C_{FC} \quad (3.6)$$

$$k_2 = v_{DC,1} + v_{DC,2} - 2R_{on}i_{out}, \quad (3.7)$$

onde $v_{FC,B}$ representa a tensão no capacitor flutuante no estado **B**.

Na seguinte etapa, o estado de operação **A**, que resulta no circuito da Figura 3.15(b), conecta o capacitor flutuante em série com a carga, caracterizando portanto a descarga de

C_{FC} . A equação que descreve o comportamento da tensão no capacitor flutuante nesse estado pode ser expressa como:

$$\frac{dv_{FC,A}}{dt} = -\frac{i_{out}}{C_{FC}} \quad (3.8)$$

onde $v_{FC,A}$ representa a tensão no capacitor flutuante no estado **A**.

As equações diferenciais (3.5) e (3.8) podem ser resolvidas, o que permite encontrar os valores iniciais da tensão no capacitor flutuante para cada etapa de operação, em particular, é de interesse a tensão inicial do capacitor logo antes que seja equalizado com a tensão do barramento de entrada, no estado **B**. Com isso, conhecendo os valores dos componentes resistivos no laço de carga, pode-se determinar a corrente máxima durante a equalização.

Assim, uma vez que as tensões nos capacitores do barramento foram assumidas constantes (ondulações nulas), C_{FC} representa o único estado dinâmico do circuito e, solucionando (3.5), obtém-se:

$$v_{FC,B}(t) = V_{CF,B}^{0-} \cdot e^{\frac{-t}{k_1}} + k_2 \left(1 - e^{\frac{-t}{k_1}}\right), \quad (3.9)$$

em que a condição inicial para a tensão em C_{FC} nessa etapa é representada por $V_{CF,B}^{0-}$. De forma semelhante, na seguinte etapa, solucionando (3.8) obtém-se:

$$v_{FC,A}(t) = V_{CF,A}^{0-} - \frac{i_{out}}{C_{FC}}t \quad (3.10)$$

em que a condição inicial para a tensão em C_{FC} nessa etapa é dada por $V_{CF,A}^{0-}$.

É importante ressaltar que quando é alcançada a operação em regime, em que a corrente média no capacitor em um período de comutação é nula, a tensão no capacitor flutuante no final do estado **B** deve coincidir com a tensão inicial do próximo estado, ou seja o estado **A**. De forma semelhante, com essa condição de operação, pode-se assumir que a tensão no capacitor flutuante no final do estado **A** será igual ao valor inicial da tensão no estado **B**. É dizer:

$$v_{FC,B}(DT_s) = V_{CF,A}^{0-} \quad (3.11)$$

$$v_{FC,A}(T_s) = V_{CF,B}^{0-} \quad (3.12)$$

onde D é a razão cíclica que define a duração da primeira etapa correspondente ao estado **B** da Figura 3.15(a). Para o inversor 5L-SCANPC, D pode ser obtida através da Figura 3.14. Seguindo esse raciocínio, no período de comutação, o estado **B** tem uma duração D , enquanto que o estado **A** tem uma duração $(1 - D)$. Em seguida, das equações (3.9) - (3.12), é possível definir um sistema de equações cuja solução permite determinar as condições iniciais da tensão em C_{FC} para cada estado de operação. Dessa forma, tem-se:

$$V_{CF,B}^{0-} = \frac{k_2 \left(1 - e^{-\frac{-DT_S}{k_1}}\right) - \frac{i_{out}}{C_{FC}} T_S (1 - D)}{1 - e^{-\frac{-DT_S}{k_1}}} \quad (3.13)$$

$$V_{CF,A}^{0-} = \frac{k_2 \left(1 - e^{-\frac{-DT_S}{k_1}}\right) - \frac{i_{out}}{C_{FC}} T_S (1 - D) e^{-\frac{-DT_S}{k_1}}}{1 - e^{-\frac{-DT_S}{k_1}}} \quad (3.14)$$

O valor da corrente no capacitor flutuante no início de ambos estados, **B** e **A**, pode então ser encontrado a partir do circuito na Figura 3.15(a). Aplicando LKT, obtém-se:

$$i_{FC,B} = \frac{k_2 - V_{CF,B}^{0-}}{4R_{on} + R_{ESR}} \quad (3.15)$$

$$i_{FC,A} = \frac{k_2 - V_{CF,A}^{0-}}{4R_{on} + R_{ESR}} \quad (3.16)$$

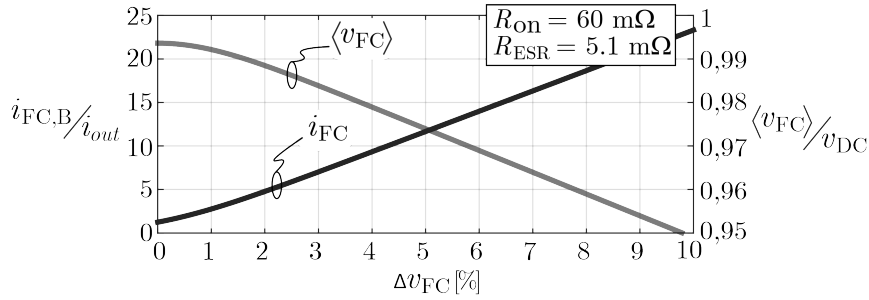
Adicionalmente, a partir das equações (3.13) e (3.14) é determinado o valor médio da tensão no capacitor flutuante no período de comutação como:

$$\langle v_{CF} \rangle_{T_S} = \frac{2k_2 \left(1 - e^{-\frac{-DT_S}{k_1}}\right) - \frac{i_{out}}{C_{FC}} T_S (1 - D) \left(1 + e^{-\frac{-DT_S}{k_1}}\right)}{2 \left(1 - e^{-\frac{-DT_S}{k_1}}\right)}. \quad (3.17)$$

É importante ressaltar que a corrente instantânea em (3.15) é de interesse para o dimensionamento do inversor, pois é resultado da equalização do capacitor flutuante e permite saber quais os níveis de corrente nesse instante. Adicionalmente, note que essa corrente é dependente dos parâmetros D , T_S , C_{FC} , i_{out} , que também determinam a ondulação de tensão definida em (3.3).

A Figura 3.16 mostra tanto o comportamento da corrente no instante da equalização, quanto sua tensão média para diversos valores da ondulação de tensão em C_{FC} . Nesse gráfico, foi considerado o pior caso, com o maior intervalo de descarga dado pela duração do estado **A**, quando $\text{sen}\theta = 1$ na Figura 3.14. Com isso, é determinado o valor de D e $1 - D$. Ainda, adota-se $i_{out} = I_{pk}$, em que o valor máximo da corrente coincide com o maior intervalo de descarga do capacitor. Dessa forma, pode ser notado que com aumento na ondulação de tensão, a corrente de pico no capacitor é incrementada, enquanto que a tensão média é reduzida. Portanto, é vantajoso garantir ondulações de tensão pequenas a fim de evitar acréscimo nas perdas de energia dadas pela corrente de equalização e simultaneamente manter uma regulação adequada da tensão em C_{FC} . Esse comportamento é característico da operação com a técnica de capacitor chaveado, pois os valores da ondulação de tensão na Figura 3.16 foram obtidos utilizando a equação (3.3)

Figura 3.16 – Comportamento da corrente em C_{FC} durante a equalização e seu valor médio de tensão para diversos valores de Δv_{FC} . $i_{out} = 7A$, $M = 0,77$, $f_S = 45$ kHz.



Fonte: Autor.

com apenas variação da capacitância C_{FC} , o que também impacta a constante de tempo do circuito que define o modo de operação da corrente no capacitor.

Dessa forma, dada a relação inversamente proporcional entre a capacitância C_{FC} e a ondulação da tensão Δv_{FC} em (3.3), pequenas capacitâncias resultam em aumentos da ondulação de tensão mas também diminuem a constante de tempo do circuito, identificada nessa análise como $\tau = k_1 = (4R_{on} + R_{ESR})C_{FC}$. Espera-se então que o comportamento da corrente de carga no capacitor se aproxime do modo *Complete Charge* (CC) ($T_i \gg \tau$), conduzindo aos maiores picos de corrente em (3.15). Aplicando o mesmo raciocínio com incremento de C_{FC} , conclui-se que o comportamento da corrente no capacitor se aproxima do modo *No Charge* (NC) ($T_i \ll \tau$) com os menores picos de corrente, como constatado na Figura 3.16. Assim, o dimensionamento do inversor deve garantir um ponto de operação com correntes toleráveis mas que também não resulte em custos elevados devido aos incrementos de capacitância, como mencionado no Capítulo 2. De forma semelhante, a constante de tempo também impacta a tensão média no capacitor flutuante, o que irá distorcer o nível de tensão sintetizado na saída (CORTEZ, 2015; MARTINS, 2013).

Neste trabalho, os parâmetros de projeto são primeiramente escolhidos para atender uma ondulação de tensão no capacitor flutuante e, em seguida, a corrente resultante da equalização em (3.15) é avaliada. Esse raciocínio de projeto é útil nas seções posteriores, pois permite estabelecer um ponto de comparação comum com inversores tradicionais que também baseiam o dimensionamento dos capacitores flutuantes na ondulação de tensão.

3.2.3.2 Capacitores do barramento CC

O valor dos capacitores que formam o barramento CC foi calculado para limitar a ondulação de tensão produzida pela corrente do ponto neutro n , a qual flui para o ponto central do barramento desde cada fase do inversor. No inversor 5L-SCANPC os

interruptores T_2 e T_3 fazem a conexão com o ponto neutro. O intervalo de condução destes interruptores, dado pela razão cíclica que resulta da estratégia de modulação adotada, pode ser usado para definir a corrente média do ponto neutro. Dessa forma, assumindo correntes de carga senoidais, o valor médio da corrente no ponto neutro durante um período de comutação $\langle i_n \rangle_{T_S}$ pode ser derivado como:

$$\langle i_n \rangle_{T_S} = \sum_{j=A,B,C} i_{ph,j} (d_{2,j} + d_{3,j}) \quad (3.18)$$

em que:

$$i_{ph,j} = I_{pk} \text{sen}((\theta - \phi) - \beta_j) \quad (3.19)$$

$$d_{2,j} = \varphi_{3,j} - \varphi_{1,j} - 2(\varphi_{3,j} + \varphi_{1,j}) M \text{sen}(\theta - \beta_j) \quad (3.20)$$

$$d_{3,j} = \varphi_{2,j} - \varphi_{4,j} - 2(\varphi_{2,j} + \varphi_{4,j}) M \text{sen}(\theta - \beta_j) \quad (3.21)$$

e $d_{2,j}$ e $d_{3,j}$, ($j = A, B, C$) são os intervalos de condução dos interruptores $T_{2,j}$ and $T_{3,j}$, respectivamente. Ainda:

$$\varphi_{1,j} = \begin{cases} 1 & (-1 \leq v_{Mj} < -0,5) \\ 0 & \text{em outro caso} \end{cases} \quad (3.22)$$

$$\varphi_{2,j} = \begin{cases} 1 & (-0,5 \leq v_{Mj} < -0) \\ 0 & \text{em outro caso} \end{cases} \quad (3.23)$$

$$\varphi_{3,j} = \begin{cases} 1 & (0 \leq v_{Mj} \leq 0,5) \\ 0 & \text{em outro caso} \end{cases} \quad (3.24)$$

$$\varphi_{4,j} = \begin{cases} 1 & (0,5 < v_{Mj} \leq 1) \\ 0 & \text{em outro caso} \end{cases} \quad (3.25)$$

Assim, de (3.18)-(3.25), é possível encontrar a ondulação de tensão no ponto neutro do barramento CC, como segue:

$$\Delta v_n = \frac{I_{pk}}{2C_{DC}} \int_{\theta_1}^{\theta_2} \langle i_n \rangle d\theta = \frac{I_{pk}}{2C_{DC}} Q_N. \quad (3.26)$$

A integral em (3.26), a qual representa a carga normalizada Q_N injetada ou drenada no ponto central do barramento, depende do circuito do conversor em questão assim como da estratégia de modulação adotada. Baseado em (3.26), a capacitância do barramento pode ser encontrada para um valor de ondulação de tensão definido.

3.2.4 Resultados de simulação

Simulações numéricas foram realizadas no PLECS para verificar o funcionamento do inversor proposto e da sua estratégia de modulação. Estes resultados são obtidos para uma configuração trifásica como na Figura 3.8. A fim de comparar as tensões de saída sintetizadas, alguns resultados de simulação do inversor 5L-ANPC-I são também incluídos.

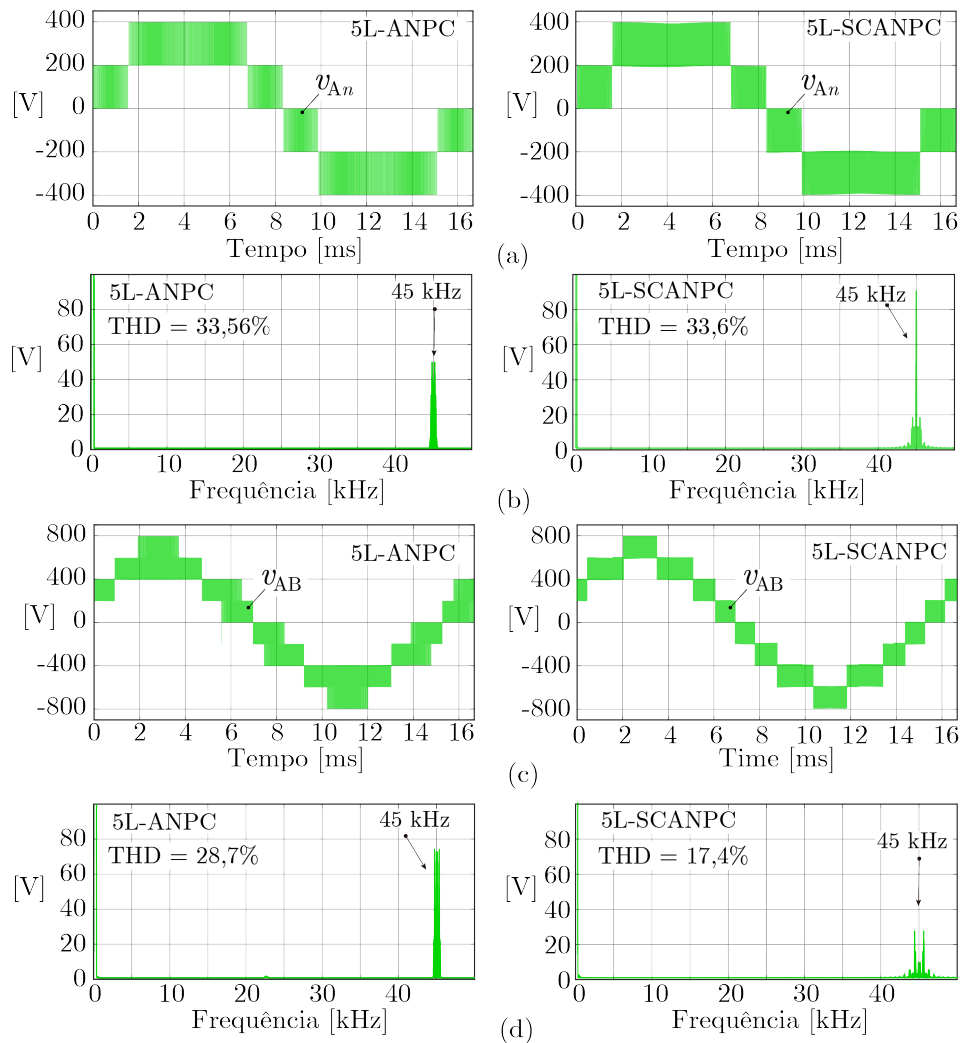
No que se refere a estratégia de modulação, os inversores sob estudo são operados de forma diferente. No caso do inversor 5L-ANPC-I, o grupo de interruptores que compõe a célula FC, como mostrado no Capítulo 2, é operado em PWM utilizando portadoras deslocadas em fase ou modulação *phase-shift* (PS-PWM) e, conseqüentemente, a forma de onda sintetizada nas fases exibe harmônicos dominantes nas bandas laterais em torno do dobro da frequência de comutação. Já no inversor 5L-SCANPC, os interruptores que atuam na frequência do PWM são comandados a partir de portadoras deslocadas em amplitude e dispostas em fase (PD-PWM) e, a tensão de saída concentra o harmônico mais significativo na frequência de comutação. Portanto, a fim de obter tensões de saída com características similares em ambas topologias, é priorizado que as formas de onda sintetizadas na saída exibam um espectro harmônico com bandas em torno de frequências próximas. Dessa forma, com uma frequência $f_S = 45$ kHz definida no inversor 5L-SCANPC, a frequência adotada para o inversor 5L-ANPC-I é de $f_S = 22,5$ kHz. Os principais parâmetros de simulação são descritos na Tabela 3.3.

As Figuras 3.17(a) e (b) mostram a tensão de fase sintetizada por ambas topologias e o espectro harmônico resultante. Como pode ser observado, o conteúdo harmônico das tensões cinco níveis nas saídas de ambas topologias exibem harmônicos significativos em torno de frequências próximas. É possível verificar que para atender especificações similares na tensão de fase, uma tensão de barramento de 800 V deve ser selecionada para o inversor 5L-ANPC-I, enquanto que o inversor 5L-SCANPC requer uma tensão CC nominal de apenas 400 V na entrada.

Tabela 3.3 – Parâmetros de simulação

Parâmetro	Símbolo	Valor	
		5L-ANPC	5L-SCANPC
Tensão de fase (RMS)	v_{An}	250 V	
Corrente de pico de saída	i_{pk}	7 A	
Frequência da fundamental	f_{line}	60 Hz	
Tensão do barramento de entrada	v_{DC}	800 V	400 V
Tensão do capacitor flutuante	v_{FC}	200 V	400 V
Frequência de comutação	f_S	22,5 kHz	45 kHz

Figura 3.17 – Formas de onda de saída simuladas para os inversores 5L-ANPC-I e 5L-SCANPC. (a) tensão de fase, (b) espectro harmônico da tensão de fase (c) tensão de linha e (d) espectro harmônico da tensão de linha.

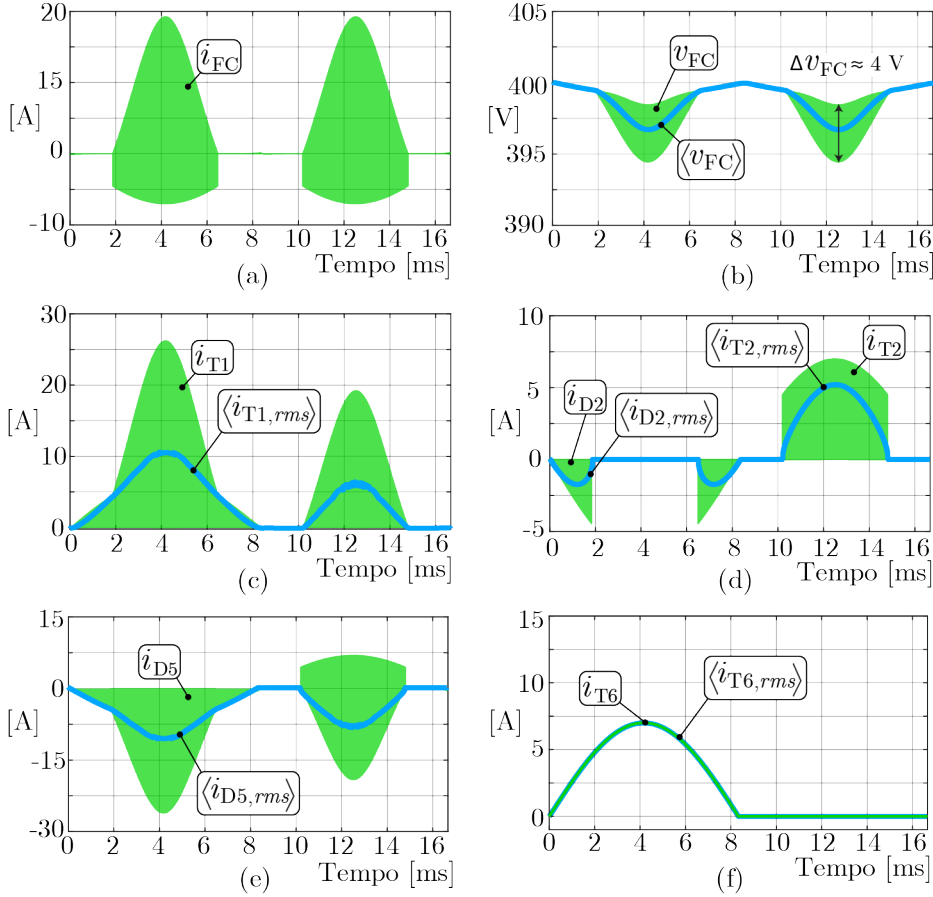


Fonte: Autor.

A Figura 3.17(c) mostra as tensões de linha sintetizadas por ambas topologias. Pode ser mencionado que a estratégia de modulação adotada no inversor proposto 5L-SCANPC demonstra desempenho superior quando considerada a configuração trifásica, pois o harmônico mais significativo aparece simultaneamente nas três fases e pode ser cancelado nas tensões de linha.

O capacitor flutuante foi selecionado conforme o procedimento da Seção 3.2.3.1, definindo uma ondulação de tensão máxima de $\Delta v_{FC} = 4$ V, com um índice de modulação em amplitude de $M = 0,77$ e considerando um ângulo de fase na carga de $\phi = 0^\circ$. Com isso, o valor máximo de k_{FC} encontrado é de 0,554. Dessa forma, aplicando (3.3), a capacitância calculada é $C_{FC} \approx 21 \mu\text{F}$.

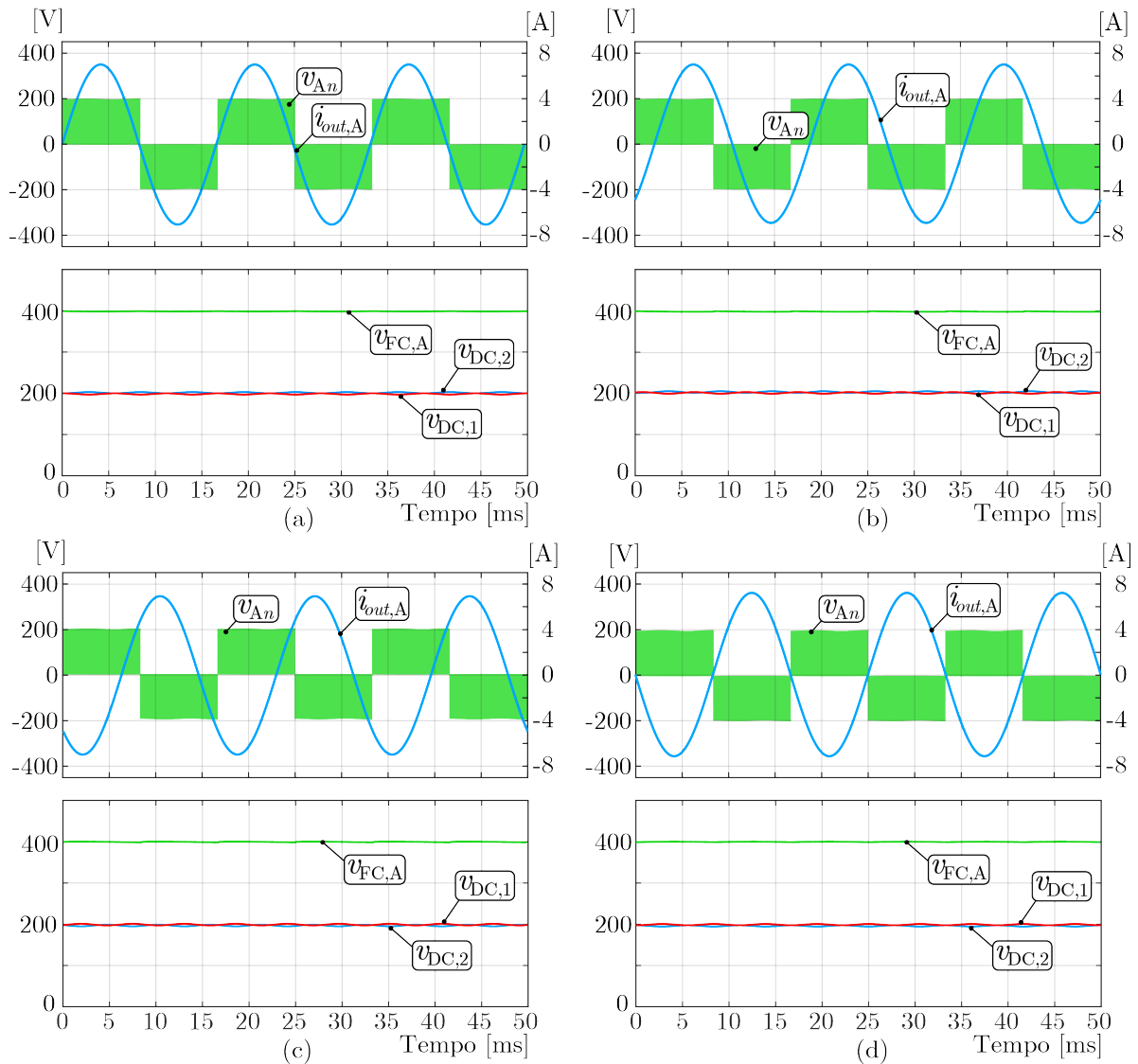
Figura 3.18 – Tensão e corrente no capacitor flutuante e esforço de corrente resultante nos interruptores. (a) Corrente em C_{FC} e (b) tensão em C_{FC} . (c) Corrente em T_1 , (d) corrente em T_2 , (e) corrente em T_5 e (f) corrente em T_6 .



Fonte: Autor.

Em seguida, é possível prever o pico de corrente durante a equalização de tensão assim como a tensão média no capacitor flutuante. Para esses cálculos, é escolhido um capacitor flutuante com resistência série equivalente $R_{ESR} \approx 5,1 \text{ m}\Omega$. Os semicondutores escolhidos são interruptores de potência comerciais do tipo MOSFETs, que posteriormente foram utilizados na implementação prática do circuito de potência. Esses interruptores possuem resistências em condução R_{on} em torno de $60 \text{ m}\Omega$. Como definido anteriormente, o valor da capacitância calculado irá resultar em uma ondulação de tensão de 4 V , que corresponde a 1% da tensão nominal em C_{FC} . Assim, através de (3.15) e da Figura 3.16, é possível calcular o pico de corrente durante a equalização de tensão, que resulta em $i_{FC} \approx 19,27 \text{ A}$. Já a tensão média no intervalo de comutação em que ocorre o pico de corrente é encontrada através de (3.17), o que resulta em $\langle v_{FC} \rangle_{T_5} \approx 396,43 \text{ V}$. Estes resultados podem ser verificados através de simulação nas Figuras 3.18(a) e (b), onde são mostradas a corrente e a tensão no capacitor flutuante, respectivamente.

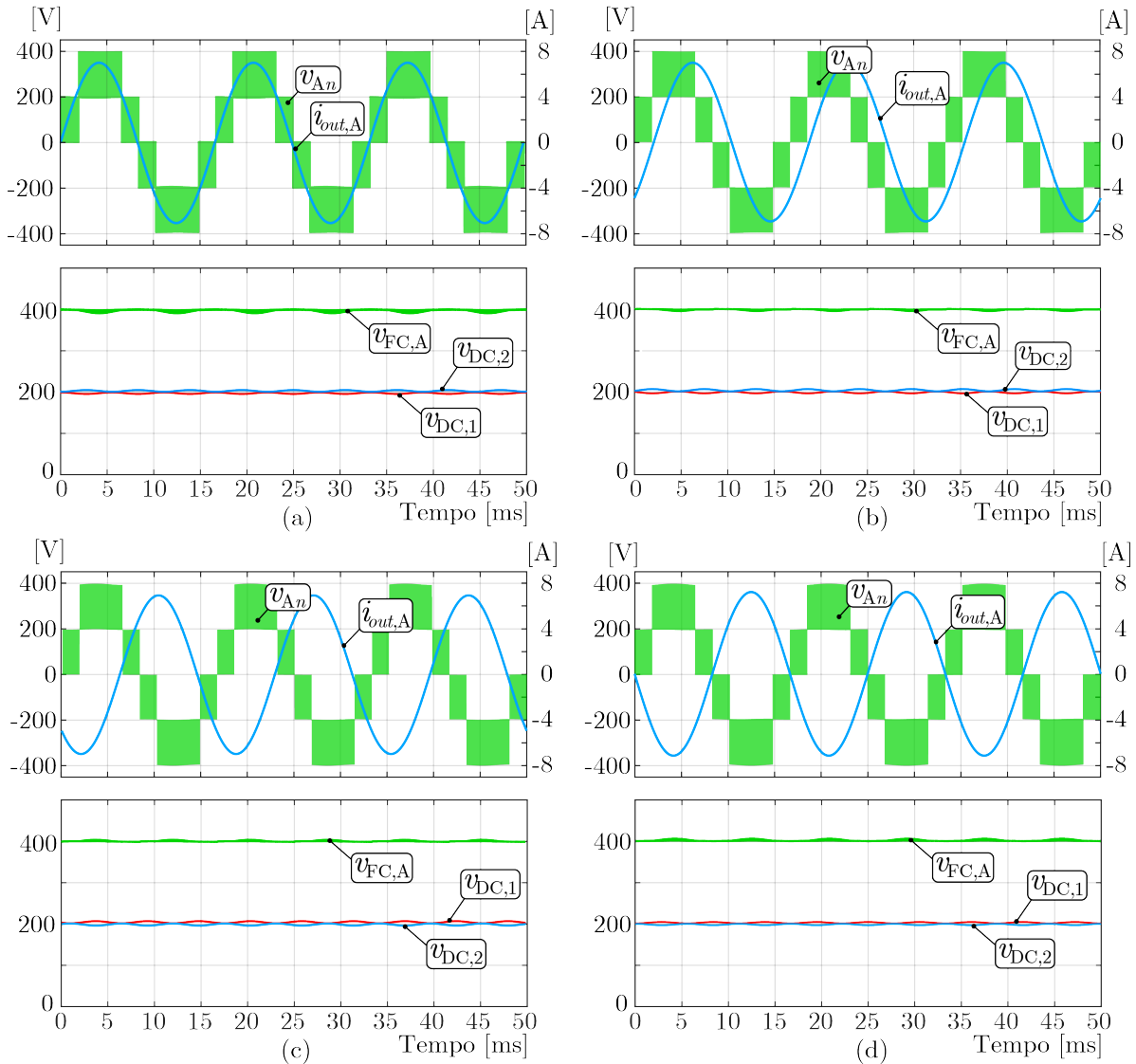
Figura 3.19 – Tensão e corrente de saída e tensões nos capacitores com distintas condições de carga. $M = 0,45$. (a) $\phi = 0^\circ$, (b) $\phi = -45^\circ$, (c) $\phi = -135^\circ$ e (d) $\phi = -180^\circ$.



Fonte: Autor.

As Figuras 3.18(c) - (f) mostram os esforços de corrente nos interruptores T_1 , T_2 , T_5 e T_6 , respectivamente. Cada interruptor bidirecional em corrente T_x é composto pela associação de um transistor MOSFET e seu respectivo diodo D_x em antiparalelo, com isso, correntes positivas correspondem à condução do MOSFET enquanto que correntes negativas correspondem à condução do diodo. Além disso, é visto que os pares $\{T_1, T_4\}$, $\{T_2, T_3\}$, $\{T_5, T_8\}$ e $\{T_6, T_7\}$ operam de forma semelhante e experimentam esforços de correntes similares. Desse modo apenas são mostrados resultados para um desses interruptores, assim como os diodos que exibem corrente diferente de zero nesse ponto de operação. É possível observar que os dispositivos T_1 e D_5 exibem os maiores esforços de

Figura 3.20 – Tensão e corrente de saída e tensões nos capacitores com distintas condições de carga. $M = 0,77$. (a) $\phi = 0^\circ$, (b) $\phi = -45^\circ$, (c) $\phi = -135^\circ$ e (d) $\phi = -180^\circ$.



Fonte: Autor.

corrente do circuito. Isto ocorre na região associada à equalização da tensão do capacitor flutuante, na operação a capacitor chaveado. Isso é esperado, uma vez que T_1 , T_5 , T_4 e T_8 formam o laço de carga para o capacitor C_{FC} . Contudo, é visto também que a evolução do valor eficaz quase instantâneo $\langle i_{Tx,rms} \rangle_{T_S}$ é menor e, conseqüentemente, quando o cálculo é expandido para um período do sinal de referência, então o valor eficaz é também menor. Uma vez que o valor eficaz está vinculado às perdas por condução introduzidas pelo circuito, será então considerado posteriormente para comparação com outros inversores.

As Figuras 3.19 e 3.20 mostram resultados de simulação na operação do inversor 5L-SCANPC com diferentes condições de carga, drenando ou fornecendo potência ativa e

reativa. Pode ser observado que a tensão do capacitor flutuante C_{FC} é regulada em torno do seu valor nominal, independentemente do fator de potência da carga e do índice de modulação. A regulação automática ocorre em cada fase do inversor durante os níveis de tensão máximo e mínimo, em v_{DC} e $-v_{DC}$. Isto demonstra a funcionalidade da sequência de estados proposta na síntese de uma forma de onda cinco níveis sem assistência de sensores e/ou circuitos externos para a regulação de tensão em C_{FC} . Adicionalmente, as tensões dos capacitores que formam o barramento permanecem balanceadas. Contudo, embora o comportamento seja satisfatório, as não idealidades do circuito na prática ou a corrente de carga podem fazer com que as tensões em C_1 e C_2 desequilibrem. Nesse caso, é importante utilizar alguma estratégia de equilíbrio, tal como o uso de estados redundantes na síntese das tensões de linha. Mesmo assim, os resultados experimentais mostrados posteriormente foram obtidos sem implementar técnicas de balanceamento para as tensões v_{C1} e v_{C2} .

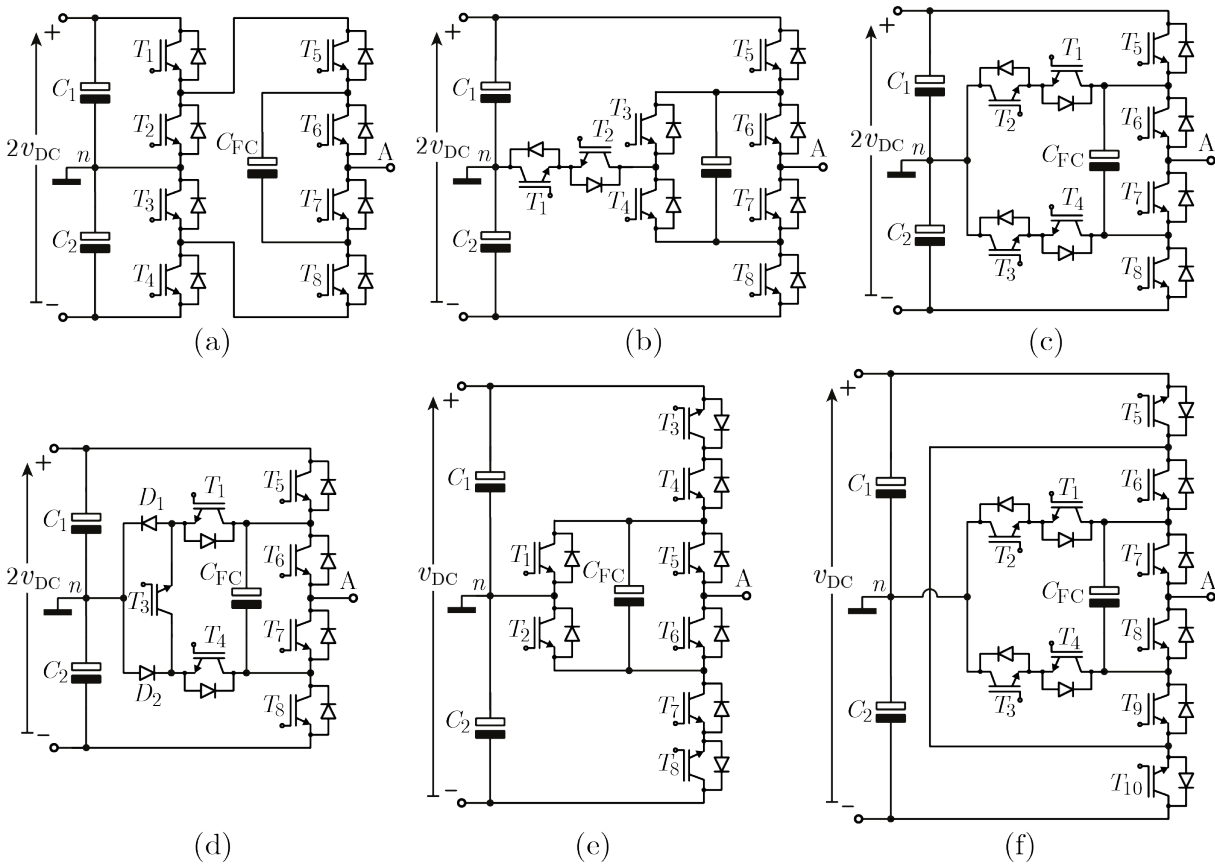
3.3 ANÁLISE COMPARATIVA

A fim de identificar as vantagens e desvantagens do inversor 5L-SCANPC proposto, esta seção realiza uma comparação com outros inversores similares, de barramento único e estrutura ANPC, mostrados na Figura 3.21. Todos os inversores considerados sintetizam uma tensão de fase, entre o terminal A e n , com cinco níveis e valor máximo de v_{DC} . A estrutura de uma fase dos circuitos mostrados nas Figuras 3.21(a) - (d) correspondem a inversores tradicionais com característica abaixadora, os quais requerem uma tensão de entrada de duas vezes a tensão de pico de saída, enquanto que os circuitos nas Figura 3.21(e) e (f) exibem capacidade elevadora e a tensão de entrada pode ser reduzida em até 50% em condições similares. A Tabela 3.4 apresenta uma comparação preliminar das características do inversor proposto. Posteriormente, esta comparação é expandida em termos de tensão de bloqueio dos dispositivos e frequência de operação, requisitos de capacitância, energia armazenada, e perdas de energia.

Tabela 3.4 – Comparação preliminar dos inversores 5L-ANPC.

Parâmetro	5L-ANPC				5L-BANPC		5L-SCANPC
	I	II	III	IV	II	IV	
N_I	8	8	8	7	8	10	8
TSV_I	$6v_{DC}$	$6v_{DC}$	$7v_{DC}$	$6,5v_{DC}$	$6v_{DC}$	$6v_{DC}$	$5v_{DC}$
N_D	8	8	8	8	8	10	8
TSV_D	$6v_{DC}$	$6v_{DC}$	$7v_{DC}$	$7v_{DC}$	$6v_{DC}$	$6v_{DC}$	$5v_{DC}$
N_C	3	3	3	3	3	3	3
TSV_C	$2,5v_{DC}$	$2,5v_{DC}$	$2,5v_{DC}$	$2,5v_{DC}$	$2v_{DC}$	$2v_{DC}$	$2v_{DC}$
V_{IN}	$2v_{DC}$	$2v_{DC}$	$2v_{DC}$	$2v_{DC}$	v_{DC}	v_{DC}	v_{DC}

Figura 3.21 – Uma fase dos inversores 5L-ANPC: (a) 5L-ANPC-I, (b) 5L-ANPC-II, (c) 5L-ANPC-III, (d) 5L-ANPC-IV, (e) 5L-BANPC-II e (f) 5L-BANPC-IV.



Fonte: Autor.

3.3.1 Tensão de bloqueio e frequência de operação dos interruptores

A Tabela 3.5 resume a tensão de bloqueio e frequência de operação dos interruptores para os inversores cinco níveis sob análise, em que f_{line} e f_S representam a frequência fundamental e de comutação, respectivamente, e $f_S^*/2$ representa a operação na frequência f_S durante a metade de um ciclo da fundamental. É importante mencionar que apenas inversores com fluxo de potência bidirecional, com não mais do que oito semicondutores ativos e que não requerem diodos discretos adicionais são considerados nesta análise. Estes correspondem a topologias com oito interruptores de potência na Tabela 3.4.

Pode ser notado da Tabela 3.5 que a soma da tensão de bloqueio de todos os interruptores de uma fase, definido como TSV_I , apresenta o menor valor para o inversor 5L-SCANPC proposto, igual à $5v_{DC}$. Este fato fornece uma imagem da área de silício requerida e reflete de alguma forma nos custos introduzidos pelo circuito (SCHWEIZER; FRIEDLI; KOLAR, 2013).

Tabela 3.5 – Comparativo da tensão de bloqueio e frequência de comutação dos semicondutores.

–	Figura 3.21(a)		Figura 3.21(b)		Figura 3.21(c)		Figura 3.21(e)		5L-SCANPC	
	Tensão	Freq.	Tensão	Freq.	Tensão	Freq.	Tensão	Freq.	Tensão	Freq.
T_1	v_{DC}	f_{line}	$0,5v_{DC}$	$f_S^*/2$	v_{DC}	f_{line}	v_{DC}	f_S	$0,5v_{DC}$	f_S
T_2	v_{DC}	f_{line}	$0,5v_{DC}$	$f_S^*/2$	$0,5v_{DC}$	$f_S^*/2$	v_{DC}	f_S	$0,5v_{DC}$	f_S
T_3	v_{DC}	f_{line}	$0,5v_{DC}$	f_{line}	$0,5v_{DC}$	$f_S^*/2$	$0,5v_{DC}$	f_S	$0,5v_{DC}$	f_S
T_4	v_{DC}	f_{line}	$0,5v_{DC}$	f_{line}	v_{DC}	f_{line}	$0,5v_{DC}$	f_S	$0,5v_{DC}$	f_S
T_5	$0,5v_{DC}$	$f_S/2$	$1,5v_{DC}$	$f_S^*/2$	$1,5v_{DC}$	$f_S^*/2$	v_{DC}	f_{line}	$0,5v_{DC}$	f_S
T_6	$0,5v_{DC}$	$f_S/2$	$0,5v_{DC}$	$f_S/2$	$0,5v_{DC}$	$f_S/2$	v_{DC}	f_{line}	v_{DC}	f_{line}
T_7	$0,5v_{DC}$	$f_S/2$	$0,5v_{DC}$	$f_S/2$	$0,5v_{DC}$	$f_S/2$	$0,5v_{DC}$	f_S	v_{DC}	f_{line}
T_8	$0,5v_{DC}$	$f_S/2$	$1,5v_{DC}$	$f_S^*/2$	$1,5v_{DC}$	$f_S^*/2$	$0,5v_{DC}$	f_S	$0,5v_{DC}$	f_S
TSV_I	$6v_{DC}$		$6v_{DC}$		$7v_{DC}$		$6v_{DC}$		$5v_{DC}$	

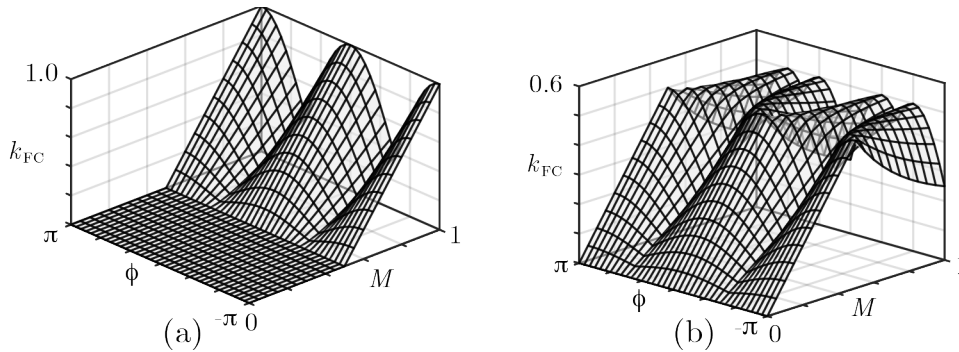
Adicionalmente, é observado que os inversores nas Figuras 3.21(a)-(d) apresentam uma frequência máxima nos interruptores de $f_S/2$, enquanto que o inversor da Figura 3.21(e) e o inversor proposto 5L-SCANPC operam com interruptores em f_S . Isto é consequência do desempenho harmônico buscado nas formas de onda sintetizadas, pois os inversores nas Figuras 3.21(a)-(d) operam na metade da frequência para sintetizar tensões de saída com primeiro grupo de harmônicos dominantes em torno de f_S .

Por outro lado, os requisitos de capacitância e armazenamento de energia também são diretamente influenciados pela diferença nas frequências de operação. Isso ocorre pois o intervalo de carga/descarga do capacitor flutuante depende da frequência dos interruptores que fazem a conexão do próprio capacitor e, portanto, a ondulação de tensão em C_{FC} é impactada. A seguinte seção aborda esse aspecto.

3.3.2 Requisito de capacitância

As expressões derivadas na Seção 3.2.3 podem ser usadas para comparar os requisitos de capacitância, tanto nos capacitores do barramento quanto no capacitor flutuante. Nesta comparação, é importante mencionar que não será feita nenhuma distinção entre os inversores das Figuras 3.21(a)-(d), pois estes apresentam as mesmas tensões nos capacitores, assim como conceitos de operação similares que resultam em estados de condução com intervalos de carga/descarga idênticos nos capacitores da estrutura. De forma semelhante, o inversor 5L-BANPC-II na Figura 3.21(e) e o inversor proposto 5L-SCANPC também apresentam características de operação similares, tal que exibem o mesmo comportamento de carga/descarga tanto no capacitor flutuante quanto nos capacitores do barramento de entrada.

Figura 3.22 – Valor máximo de k_{FC} em função do índice de modulação M e do ângulo de fase da corrente de carga ϕ . (a) 5L-SCANPC e (b) 5L-ANPC-I (KASHIHARA; ITOH, 2011).



Fonte: Autor.

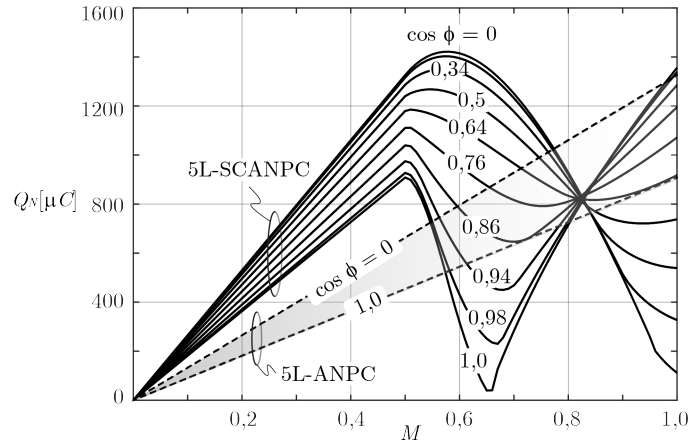
O cálculo da capacitância requerida para o capacitor flutuante é baseado em (3.3), em que o coeficiente k_{FC} é dado por (3.4) para o inversor proposto 5L-SCANPC e apresentado em (KASHIHARA; ITOH, 2011) para o inversor 5L-ANPC-I. A Figura 3.22 mostra uma comparação do coeficiente k_{FC} para ambos os inversores. Adicionalmente, visto que a ondulação de tensão é inversamente proporcional à frequência de comutação, e considerando que $f_{S,SCANPC} = 2f_{S,ANPC}$, o requisito de capacitância pode ser reduzido no inversor 5L-SCANPC.

Considere um exemplo com valores dados na Tabela 3.3, com índice de modulação $M = 0,77$, $\phi = 0$ e tensão do capacitor flutuante de $v_{FC,SCANPC} = 2v_{FC,ANPC} = 400$ V. Note que se é priorizada a mesma porcentagem de ondulação de tensão no capacitor, limitada em 1% em todos os inversores, então $C_{FC,SCANPC} \approx 21 \mu\text{F}$ e $C_{FC,ANPC} \approx 51 \mu\text{F}$. Portanto, a capacitância do inversor 5L-SCANPC pode ser reduzida em até 60% se comparado com o inversor 5L-ANPC-I para o ponto de operação escolhido.

O requisito de capacitância do barramento de entrada pode ser calculado através de (3.26) baseado na carga normalizada Q_N . Os valores máximos de Q_N foram calculados em diversos pontos de operação, variando o fator de potência da carga e o índice de modulação, para os inversores 5L-SCANPC e 5L-ANPC-I como mostrado na Figura 3.23. Nessa figura, todos os valores de Q_N são avaliados em condições de carga equilibrada e sem considerar ondulações de baixa frequência provenientes de algum circuito na entrada CC. Dessa forma, usando os parâmetros da Tabela 3.3, com índice de modulação $M = 0,77$, $\phi = 0$ e assumindo 1% na ondulação de tensão, então pode ser encontrado que $C_{DC,SCANPC} = 1000 \mu\text{F}$ e $C_{DC,ANPC} = 612 \mu\text{F}$. Desse modo, o inversor proposto 5L-SCANPC requer em torno de 63% mais capacitância que o inversor 5L-ANPC-I.

Contudo, não somente o valor da capacitância deve ser comparado, uma vez que os inversores apresentam níveis de tensão diferentes, tanto no capacitor flutuante quanto

Figura 3.23 – Dependência da carga normalizada Q_N com o índice de modulação M e o ângulo de fase da corrente de carga ϕ .



Fonte: Autor.

nos capacitores do barramento de entrada. Portanto, a energia armazenada nos inversores é também avaliada, a qual transmite uma ideia do volume e custo dos capacitores.

3.3.3 Energia armazenada

A energia total armazenada nas topologias sob análise é definida pelo número de capacitores, suas respectivas tensões e valores de capacitâncias. A energia armazenada em cada capacitor é calculada por:

$$E = \frac{1}{2} CV^2. \quad (3.27)$$

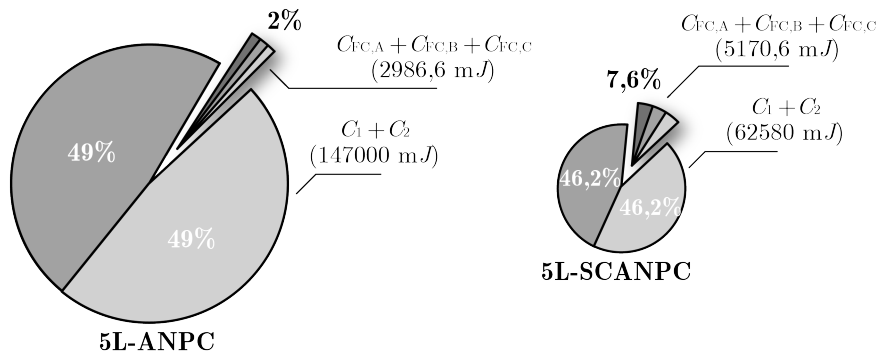
Como mostrado anteriormente, o capacitor flutuante pode ser calculado através de (3.3). Neste caso, será considerado um fator de ondulação de tensão permissível δ , tal que um 1% de ondulação de tensão conduz a $\delta = 0,01$. Portanto, definindo $\Delta v_{FC} = \delta v_{FC}$ em (3.3), em que v_{FC} é a tensão nominal do capacitor flutuante, e usando (3.3) e (3.27), a energia armazenada no capacitor flutuante tanto para o inversor 5L-ANPC-I quanto para o inversor 5L-SCANPC pode ser expressa como:

$$E_{FC,ANPC} = \frac{I_{pk} v_{FC,ANPC}}{2\delta f_{S,ANPC}} k_{FC,ANPC} \quad (3.28)$$

$$E_{FC,SCANPC} = \frac{I_{pk} (2v_{FC,ANPC})}{2\delta (2f_{S,ANPC})} k_{FC,SCANPC}. \quad (3.29)$$

É possível notar que embora o inversor 5L-SCANPC demande duas vezes a tensão do capacitor flutuante do 5L-ANPC-I, este também opera a duas vezes a frequência de

Figura 3.24 – Energia armazenada na configuração trifásica dos inversores 5L-ANPC e 5L-SCANPC.



Fonte: Autor.

comutação para obter um espectro harmônico similar na tensão sintetizada, tal que a energia armazenada dada por (3.29) difere essencialmente por k_{FC} dado na Figura 3.22.

De forma semelhante, a energia armazenada nos capacitores do barramento é determinada usando (3.26) e (3.27) considerando a ondulação de tensão no ponto neutro como $\Delta v_n = \delta v_{DC}$. Portanto, a energia do barramento CC de entrada para os inversores 5L-ANPC-I e 5L-SCANPC pode ser expressa como:

$$E_{DC,ANPC} = \frac{I_{pk} (2v_{DC,SCANPC})}{8\delta} Q_{N,ANPC} \quad (3.30)$$

$$E_{DC,SCANPC} = \frac{I_{pk} (v_{DC,SCANPC})}{8\delta} Q_{N,SCANPC} \quad (3.31)$$

No que se refere aos capacitores do barramento CC, sabe-se que o inversor proposto 5L-SCANPC usa a metade da tensão de entrada que no inversor 5L-ANPC-I, o que resulta em uma redução da energia armazenada para a topologia proposta, como mostra (3.31). Ainda, a carga normalizada Q_N é menor para o inversor 5L-SCANPC em alguns pontos de operação, como pode ser notado na Figura 3.23.

Assim, a energia total armazenada para cada topologia é então encontrada pela soma da energia em cada capacitor usando as expressões (3.28) - (3.31). A Figura 3.24 mostra uma comparação da energia total armazenada em ambos inversores. É possível notar que a energia total é predominantemente dominada pelos capacitores do barramento de entrada, os quais requerem uma tensão menor no inversor 5L-SCANPC. Como resultado, o inversor 5L-SCANPC requer uma energia de até 45% da energia total armazenada no inversor 5L-ANPC-I. Portanto, se o armazenamento de energia é um aspecto importante, então os inversores 5L-SCANPC e 5L-BANPC demandam uma menor capacitância para as mesmas especificações de energia que nos inversores 5L-ANPC tradicionais, o que contribui a reduzir requisitos de espaço e custos iniciais do sistema.

3.3.4 Perdas de energia

Uma comparação das perdas de potência nos semicondutores é incluída nesta seção. Nessa comparação, apenas os inversores 5L-ANPC-I, 5L-BANPC-II e o inversor proposto 5L-SCANPC são analisados. É assumido que os inversores são construídos com uma configuração mista de semicondutores de acordo com a frequência de operação, ou seja, para os interruptores de baixa frequência são usados IGBTs da INFINEON IKW75N60T de 600 V, e para os interruptores operando na frequência do PWM são usados MOSFETs da ROHM SCT3060AL de 600 V. A simulação foi realizada no PLECS, onde capacitores de filme da EPCOS B32774 com $22 \mu\text{F}/5,4 \text{ m}\Omega$ foram selecionados para os capacitores flutuantes com operação a capacitor chaveado. Por outro lado, capacitores de $50 \mu\text{F}$ foram selecionados para os inversores com operação tradicional, como no inversor 5L-ANPC-I. Os parâmetros adotados são os mesmos dados na Tabela 3.3, com uma tensão de fase com valor eficaz de 220 V, um índice de modulação em amplitude $M = 0,77$ e operação com processamento de potência ativa ($\phi = 0^\circ$) e reativa ($\phi = 90^\circ$).

Para o cálculo de perdas de energia nos semicondutores, as características dos interruptores usados foram inseridas no PLECS. Os parâmetros em condução foram extraídos das curvas fornecidas pelo fabricante. Por outro lado, uma vez que as características dinâmicas dos semicondutores são altamente dependentes do circuito impresso usado na prática, os parâmetros de comutação foram extraídos experimentalmente em laboratório usando o método do *double pulsed test*. Os testes foram realizados usando o protótipo construído em laboratório, sob o interruptor T_4 , como mostrado na Figura 3.25(a). A fim de obter resultados em operação nominal, a tensão de entrada foi configurada tal que o dispositivo sob teste (T_4) é submetido a 200 V. Uma indutância de carga L_S foi utilizada

Figura 3.25 – Esquema conceitual da avaliação experimental do *double pulsed test*.

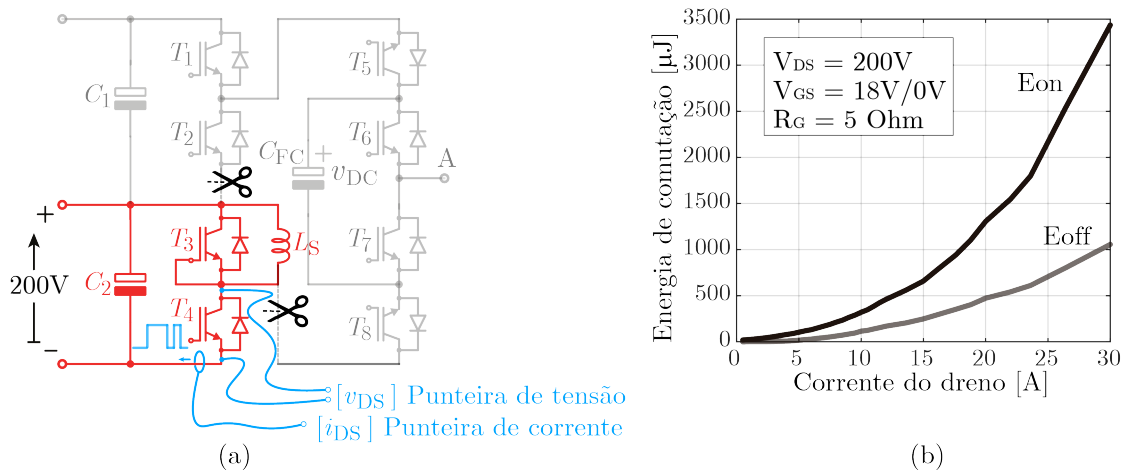
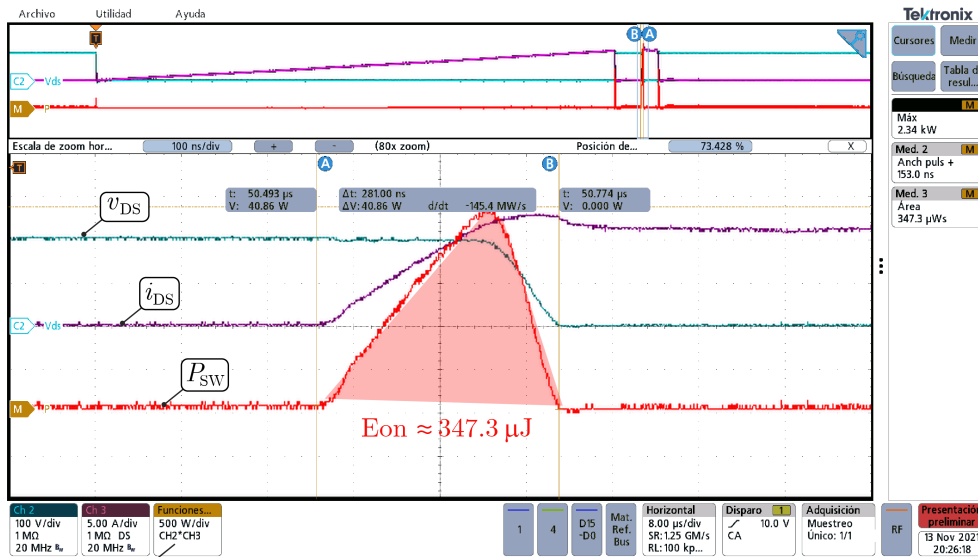
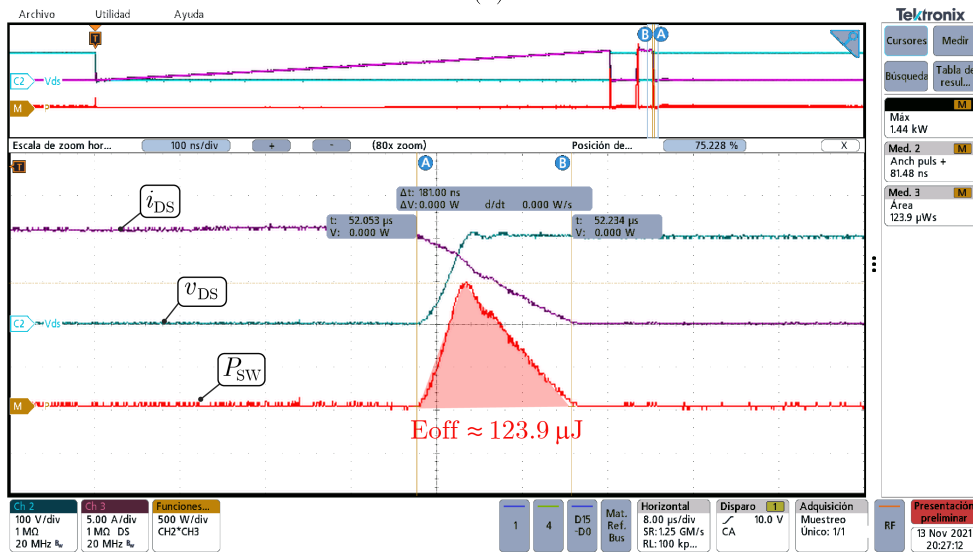


Figura 3.26 – Formas de onda para obtenção das características dinâmicas dos semicondutores com $R_G = 5 \Omega$, $v_{DS} = 200 \text{ V}$, $L_S = 930 \mu\text{H}$, $i_{DS} = 10,5 \text{ A}$. (a) Comutação para condução e (b) comutação para bloqueio.



(a)

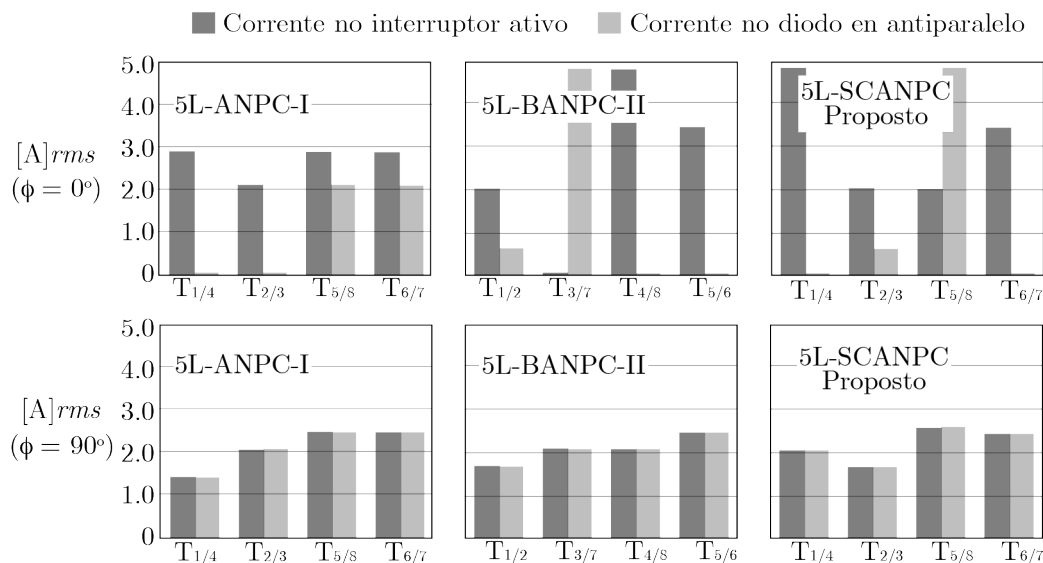


(b)

Fonte: Autor.

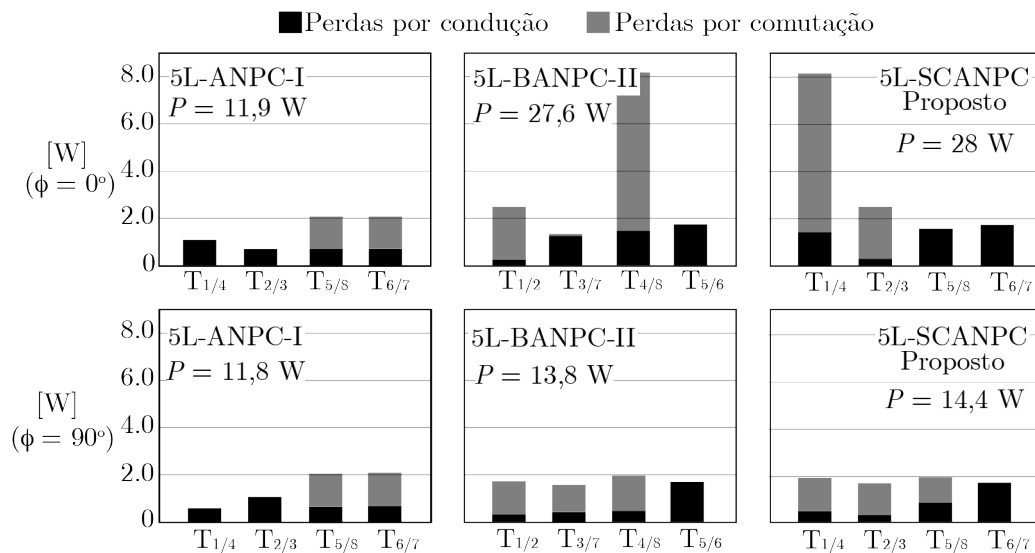
para obter diferentes níveis de corrente pela variação da largura do pulso aplicado. A corrente i_{DS} e a tensão v_{DS} do interruptor foram medidas e as energias E_{on} e E_{off} da comutação foi calculada e registrada como na Figura 3.25(b). Para isso, o canal com a função matemática do osciloscópio foi utilizada no cálculo da potência instantânea, e a área desse resultado foi calculado para obter a energia durante a comutação do interruptor. A Figura 3.26 mostra um resultado obtido para o cálculo das energias de comutação

Figura 3.27 – Esforços de corrente nos interruptores do circuito nos inversores 5L-ANPC-I, 5L-BANPC-II e 5L-SCANPC.



Fonte: Autor.

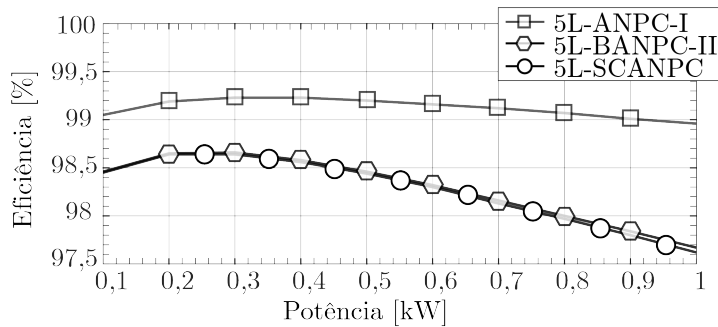
Figura 3.28 – Distribuição de perdas nos semicondutores para os inversores 5L-ANPC-I, 5L-BANPC-II e 5L-SCANPC.



Fonte: Autor.

dos interruptores utilizados por meio do *double pulse test*, para uma corrente de 10,5 A no interruptor T_4 .

Finalmente, as energias de comutação obtidas experimentalmente foram inseridas no PLECS, onde uma temperatura ambiente $T_{amb} = 25^\circ\text{C}$ e uma resistência térmica do dissipador $R_{th,h-a} = 1\text{ K/W}$ foram configuradas.

Figura 3.29 – Eficiência simulada para os inversores analisados com $\phi = 0^\circ$.

Fonte: Autor.

Primeiramente, os esforços de corrente para os inversores sob análise são comparados na Figura 3.27. Em seguida, a Figura 3.28 apresenta as perdas de energia por condução e comutação combinadas. Pode ser observado que as perdas no inversor 5L-ANPC-I apresentam uma melhor distribuição entre os dispositivos. Adicionalmente, é visto que as perdas por comutação são menores no inversor 5L-ANPC-I, uma vez que a frequência de comutação foi limitada na metade da frequência se comparado com os inversores 5L-BANPC-II e 5L-SCANPC. Além disso, os dispositivos que formam o caminho de corrente para a equalização de tensão, $T_{3/7}$ e $T_{4/8}$ no inversor 5L-BANPC-II e $T_{1/4}$ e $T_{5/8}$ no inversor proposto 5L-SCANPC, conduzem correntes elevadas na operação com potência ativa ($\phi = 0^\circ$), enquanto que na operação com potência reativa ($\phi = 90^\circ$), a equalização de tensão no capacitor flutuante ocorre com correntes de carga mínimas, tal que os esforços de corrente e as perdas são reduzidos para ambos inversores. Finalmente a Figura 3.29 mostra a eficiência simulada quando apenas considerados interruptores e capacitores flutuantes.

A partir das Figuras 3.28 e 3.29 pode ser verificado que o perfil de distribuição de perdas para o inversor proposto 5L-SCANPC, quando comparado com o inversor 5L-BANPC-II, é similar. Isto pode ser justificado uma vez que ambos inversores apresentam princípios de operação similares baseados na técnica do capacitor chaveado e requerem a mesma frequência de operação. Finalmente, se comparado com o inversor 5L-ANPC-I, o inversor proposto 5L-SCANPC apresenta perdas de energia maiores. Contudo, é importante ressaltar que ambos inversores requerem tensões de entrada distintas, e as perdas de energia introduzidas por um estágio com elevação de tensão no inversor 5L-ANPC-I não foram consideradas nesse análise, pois diferentes soluções de conversores podem ser utilizados para esse propósito. Portanto, se uma configuração com duas etapas de processamento de energia é usado no inversor 5L-ANPC-I, o inversor 5L-SCANPC proposto pode ser uma solução competitiva com tensão de bloqueio total nos semicondutores reduzida.

3.4 RESULTADOS EXPERIMENTAIS

A presente seção tem por objetivo a validação experimental do inversor proposto. O protótipo construído em laboratório corresponde a uma configuração trifásica. A estratégia de modulação proposta é verificada por meio das formas de onda obtidas na operação em regime permanente e também com variações de carga. Em seguida, o rendimento do inversor é obtido experimentalmente.

Os parâmetros do sistema utilizado para obtenção dos resultados experimentais são dados na Tabela 3.6. Dentre esses, o índice de modulação de amplitude M é definido como a razão entre o valor de pico da componente fundamental sintetizada e a máxima tensão que o conversor consegue gerar. Dessa forma, quando o inversor proposto sintetiza uma tensão eficaz de 220 V a partir de uma fonte CC de 400 V na entrada, o índice de modulação de amplitude resultante é $M \approx 0,77$. É importante destacar que para o mesmo índice de modulação de amplitude e condições similares na tensão de saída, inversores cinco níveis tradicionais como o 5L-ANPC-I demandam uma tensão CC de 800 V na entrada.

A verificação experimental foi realizada em um protótipo trifásico de 3 kW construído em laboratório. O processador digital de sinais TMS320F28335 da *Texas Instruments* foi utilizado para implementação da estratégia de modulação proposta que resulta nos sinais de comando para os interruptores. Uma carga resistiva-indutiva com $R_o = 50 \Omega$ e $L_o = 1,5 \text{ mH}$ é conectada nos terminais de saída do inversor em configuração Y. Os mesmos semicondutores considerados para o análise de perdas (Seção 3.3.4) foram utilizados. Capacitores de 1,5 mF foram utilizados no barramento de entrada. Já para os capacitores flutuantes, o valor da capacitância é encontrado a fim de aproximar a operação do inversor do modo PC ($T_i \cong \tau$). Dessa forma, de (3.6), tem-se:

$$T_i \leq (4R_{\text{on}} + R_{\text{ESR}}) C_{\text{FC}} \quad (3.32)$$

Tabela 3.6 – Especificações do inversor trifásico.

Parâmetro	Símbolo	Valor
Potência nominal	P_o	3 kW
Tensão de fase (RMS)	v_{An}	220 V
Tensão do barramento de entrada	v_{DC}	400 V
Tensão do capacitor flutuante	v_{FC}	400 V
Índice de modulação	M	0,77
Frequência da fundamental	f_{lin}	60 Hz
Frequência de comutação	f_s	45 kHz

Tabela 3.7 – Especificações dos componentes

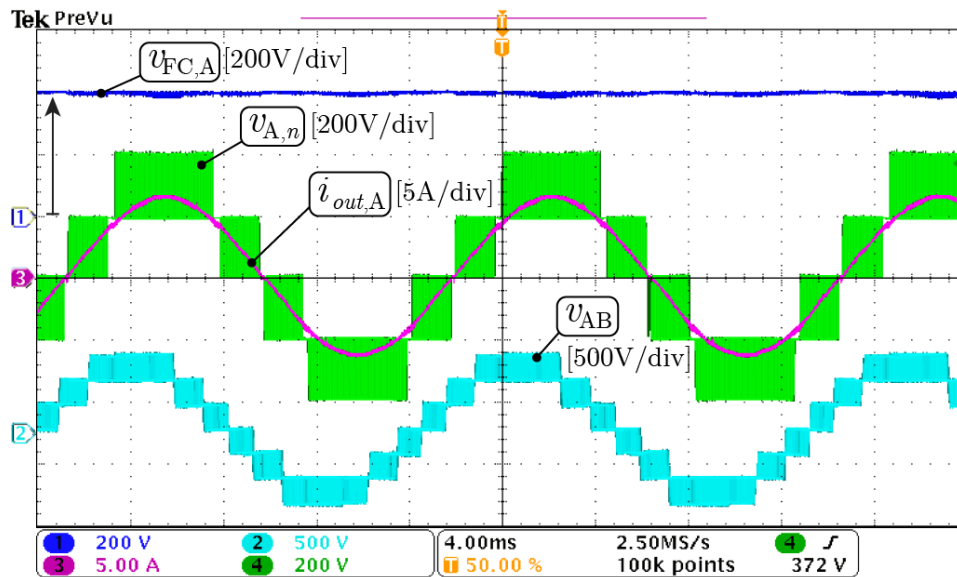
Componente	Símbolo	Valor
Interruptores	$T_1 - T_4, T_5$ e T_8	SCT3060AL 60m Ω /600 V MOSFET
Interruptores	T_6 e T_7	IKW75N60 600 V IGBT
Capacitores do barramento	C_1, C_2	1,5 mF/250 V
Capacitor flutuante	C_{FC}	60 μ F/5,1 m Ω /800 V
Resistência de carga	R_o	50 Ω
Indutância de carga	L_o	1,5 mH

onde T_i representa o intervalo de carga do capacitor flutuante durante a equalização no estado **B**. Para o cálculo de T_i foi considerado $\sin(\theta) = 1$ na Figura 3.14, pois corresponde com a maior descarga do capacitor no estado anterior, estado **A**. Com isso, o intervalo de carga T_i é de 9,9 μ s. Portanto, de (3.32), foi escolhido um capacitor com valor comercial de 60 μ F e resistência série equivalente de 5,1 m Ω , que resulta em um valor da constante de tempo τ de 14,7 μ s, maior do que o intervalo de carga T_i . É notado que esse valor de capacitância é maior do que projetado na Seção 3.3.2, portanto, são obtidos valores de ondulação menores do que 1% na tensão do capacitor flutuante. As especificações dos componentes utilizados são detalhadas na Tabela 3.7.

Primeiramente, durante a partida do inversor, o capacitor C_{FC} em cada fase necessita ser carregado. Uma vez que C_{FC} requer um valor de tensão igual à tensão do barramento de entrada, o mesmo pode ser carregado em todas as fases do inversor simultaneamente com os capacitores do barramento através dos estados **B** ou **E** que conectam de forma paralela a fonte de entrada. Dessa forma, a etapa de pré-carga é realizada sem implementar estratégias de controle e/ou circuitos externos. Esta é uma característica desejável, pois por razões de custo e confiabilidade é interessante evitar componentes adicionais.

Em seguida, a operação em regime permanente do inversor 5L-SCANPC com carga nominal é ilustrada nos resultados experimentais da Figura 3.30. Como pode ser visto, uma tensão de fase v_{An} com cinco níveis de tensão e 400 V de valor máximo é sintetizada. Com isso, tensões de linha com valor de pico maior que 400 V são geradas, isso apenas utilizando uma fonte CC de 400 V na entrada. A corrente da carga apresenta um formato senoidal com valor máximo em torno de 6,44 A. Adicionalmente, é visto também que as distorções de tensão no cruzamento por zero da forma de onda cinco níveis são quase imperceptíveis, para isso um tempo morto menor que 2 μ s foi implementado. Também, visto que os níveis de tensão sintetizados nas tensões de fase e linha são dependentes das tensões nos capacitores do barramento e capacitor flutuante em cada fase, é possível verificar que as respectivas tensões dos capacitores flutuantes são mantidas em torno aos seus valores nominais, como desejado. Isso demonstra a funcionalidade da estratégia de modulação proposta.

Figura 3.30 – Resultados experimentais com $M \approx 0,77$: tensão do capacitor flutuante $v_{FC,A}$, tensão de fase $v_{A,n}$, corrente de saída $i_{out,A}$ e tensão de linha v_{AB} . Tensões medidas: $v_{A,n} \approx 228 \text{ V}_{rms}$, $v_{AB} \approx 379 \text{ V}_{rms}$.

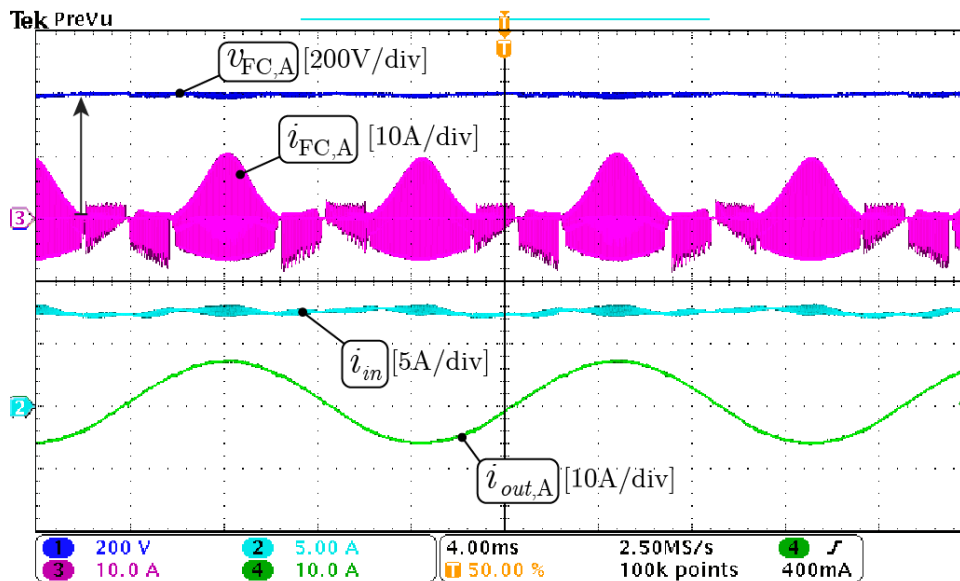


Fonte: Autor.

Os resultados na Figura 3.31 foram obtidos para examinar experimentalmente o valor da corrente no capacitor flutuante durante a equalização de tensão. Pode ser visto que, nessa condição de carga, com um fator de potência próximo da unidade ($FP \approx 0,99$), a equalização da tensão em C_{FC} também ocorre nos instantes em que a corrente da carga está no seus valores máximos. Portanto, essa situação representa o pior caso para os esforços de corrente nos componentes envolvidos no caminho de carga do capacitor flutuante. A ondulação de tensão Δv_{FC} e a corrente máxima resultante no capacitor podem ser antecipadas como no Capítulo 3, usando os valores das Tabelas 3.6 e 3.7. Dessa forma, uma ondulação de tensão de $\Delta v_{FC} \approx 1,29 \text{ V}$ e uma corrente máxima de $i_{FC,A} \approx 10,8 \text{ A}$ são encontradas. Ainda, pode ser visto que os valores de corrente pulsante em C_{FC} não são refletidos na corrente de entrada i_{in} . Inicialmente, atribui-se esse resultado ao barramento capacitivo de entrada e às componentes parasitas presentes na conexão do mesmo com a fonte CC.

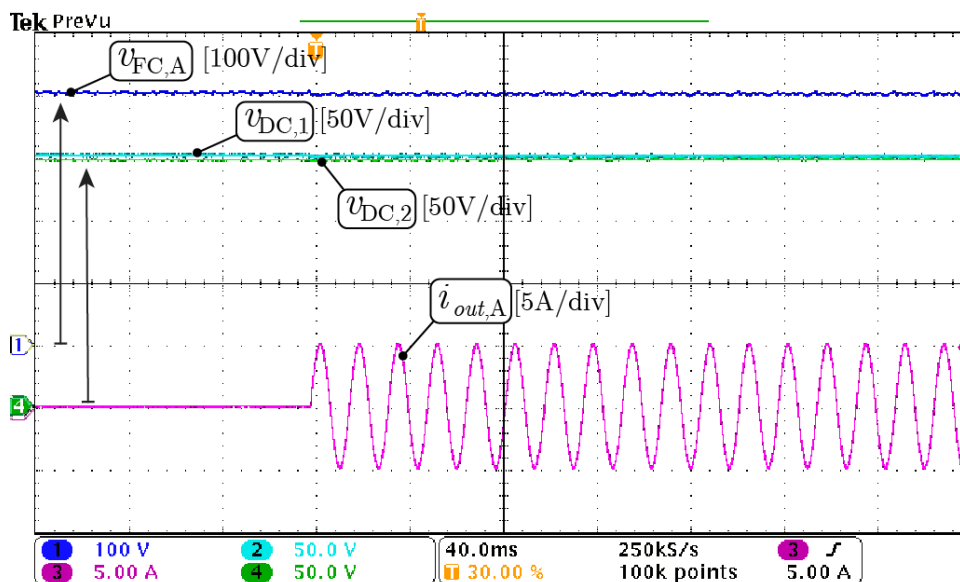
Em seguida, a Figura 3.32 apresenta testes do inversor durante transitórios de carga. Nesse ensaio, o inversor foi mantido em regime permanente, e em um instante de tempo um degrau na resistência de carga foi aplicado. Pode ser observado que as tensões dos capacitores são equilibradas em torno de 400 V para o capacitor flutuante de uma fase $C_{FC,A}$ e 200 V para os capacitores do barramento C_1 e C_2 . Nesse resultado observa-se que após a variação de carga, as tensões retomam seus respectivos valores nominais. Ainda, cabe destacar que não existe controle ativo sobre a tensão de cada capacitor, portanto, verifica-se a funcionalidade da estratégia de modulação exposta no capítulo anterior. A

Figura 3.31 – Resultados experimentais com $M \approx 0,77$. Tensão do capacitor flutuante $v_{FC,A}$, corrente no capacitor flutuante $i_{FC,A}$, corrente de entrada i_{in} e corrente de saída $i_{out,A}$.



Fonte: Autor.

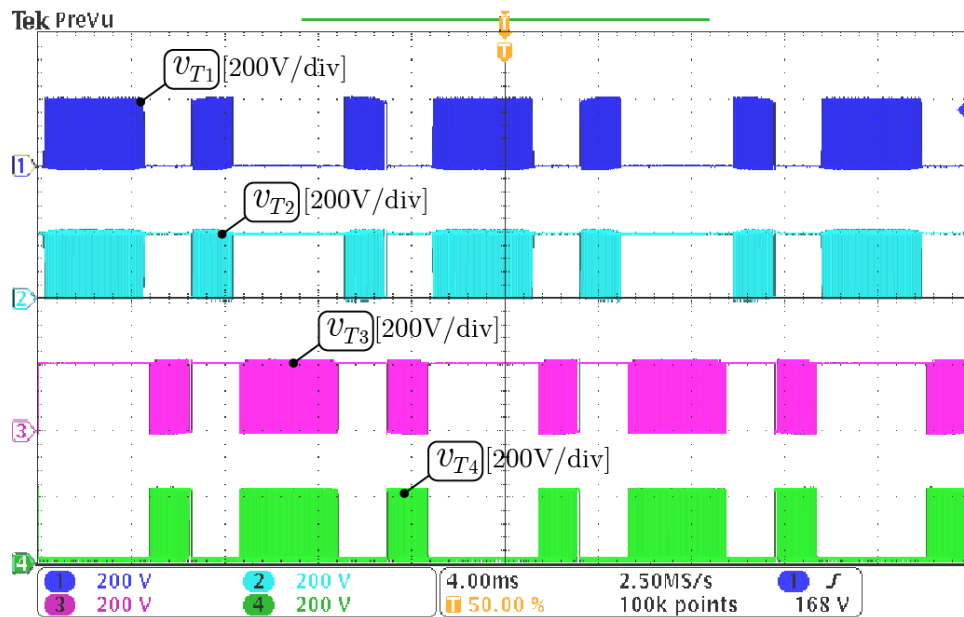
Figura 3.32 – Resultados experimentais: comportamento das tensões sobre os capacitores diante um degrau de carga de 0% – 100%.



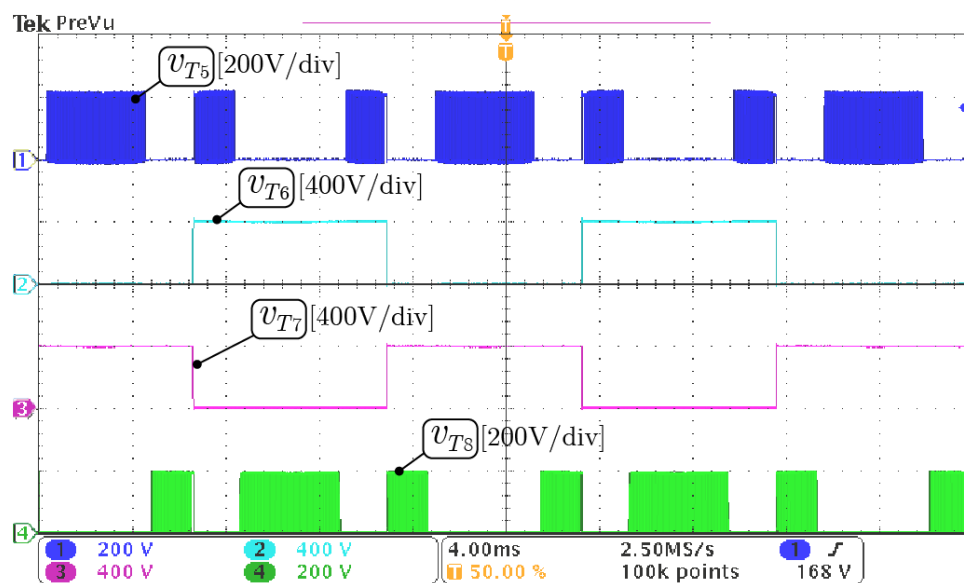
Fonte: Autor.

técnica proposta permite obter uma forma de onda cinco níveis e simultaneamente efetuar a regulação automática da tensão em C_{FC} sem o uso de circuitos adicionais, sensores ou estratégias de controle (PENG, 2001). Contudo, embora o comportamento seja satisfatório, as não idealidades do circuito ou a corrente de carga podem fazer com que as tensões

Figura 3.33 – Resultados experimentais: esforços de tensão nos interruptores. (a) Tensão em T_1, T_2, T_3, T_4 e (b) tensão reversa em T_5, T_6, T_7 e T_8 .



(a)



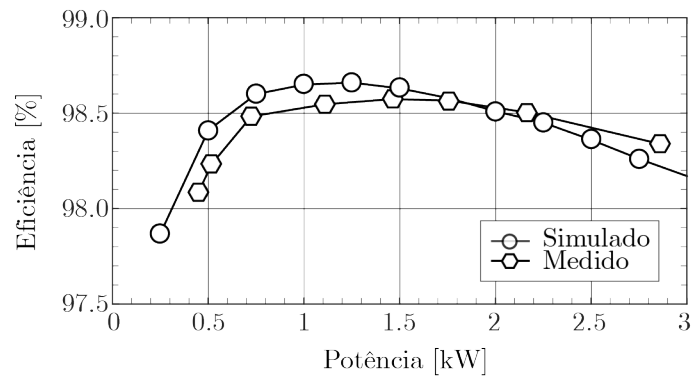
(b)

Fonte: Autor.

dos capacitores do barramento $v_{DC,1}$ e $v_{DC,2}$ desequilíbrem, de forma que uma estratégia de modulação e controle que permita minimizar esse efeito deve ser implementada.

Os esforços de tensão nos interruptores podem ser observados nos resultados experimentais da Figura 3.33. Verifica-se que seis interruptores, T_1, T_2, T_3, T_4, T_5 e T_8 são submetidos a tensões de 200 V, enquanto que somente dois interruptores, T_6 e T_7 , experimentam tensões reversas de 400 V. É confirmado também que os interruptores com

Figura 3.34 – Eficiência medida e simulada no inversor trifásico proposto para diferentes potências de saída.



Fonte: Autor.

maiores esforços de tensão atuam na frequência do sinal de referência, enquanto que os restantes de menor tensão operam na frequência do PWM.

A eficiência do inversor foi medida experimentalmente utilizando um analisador de energia WT1800. As medidas foram conduzidas fixando a indutância da carga (1,5 mH) e variando a resistência de carga R_o a fim de obter diferentes valores de corrente e potência entregue. Condições similares foram simuladas no PLECS. Para isso, foram utilizadas as características estáticas dos semicondutores das curvas fornecidas pelo fabricante, enquanto que as características dinâmicas foram obtidas experimentalmente como mencionado na Seção 3.3.4. Finalmente, os resultados de eficiência simulado e experimental são comparados na Figura 3.34.

4 RETIFICADOR UNIDIRECIONAL 5L-SCANPC

Em muitas aplicações o uso de retificadores PWM unidirecionais é preferido dada a natureza do processamento de energia, em que o fluxo de potência apenas ocorre desde a entrada CA para a saída CC. Usualmente essas situações incluem cargas com comportamento não regenerativo (CITTANTI; BOJOI, 2020; MONTEIRO et al., 2021). Nessas aplicações, o uso de retificadores multiníveis unidirecionais permite drenar correntes com reduzida distorção harmônica na entrada, do lado da rede, e manter a regulação de tensão CC na carga. Neste capítulo, a operação da topologia proposta como retificador unidirecional cinco níveis é também explorada. Como benefícios tem-se a regulação automática das tensões nos capacitores flutuantes e algumas simplificações associadas ao número de interruptores ativos.

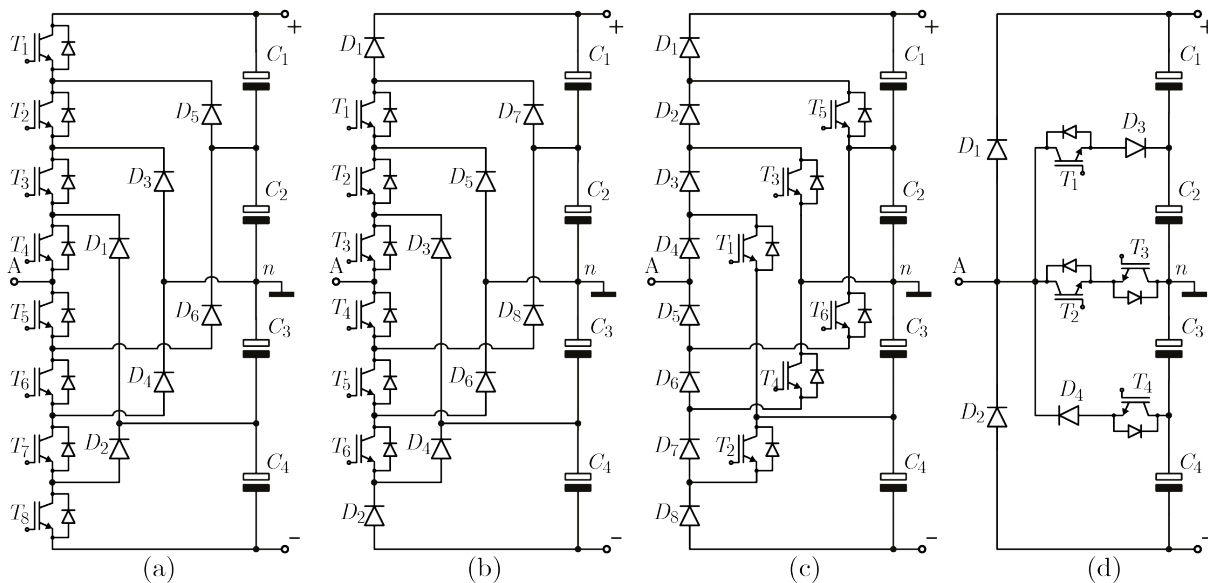
4.1 RETIFICADORES CINCO NÍVEIS E RETIFICADOR PROPOSTO

O uso de retificadores PWM unidirecionais é particularmente interessante em situações onde não há regeneração de energia, pois em alguns casos é possível operar com menor número de interruptores ativos. Diversas topologias têm sido reportadas na literatura, algumas delas derivadas de topologias bidirecionais considerando fluxo de potência unidirecional (HELDWEIN; MUSSA; BARBI, 2010; CORZINE; BAKER, 2002). Na sequência são apresentadas brevemente algumas topologias de retificadores unidirecionais cinco níveis e posteriormente, nesta seção, a topologia proposta.

4.1.1 Retificadores unidirecionais cinco níveis

Algumas topologias de retificadores unidirecionais cinco níveis podem ser derivadas das estruturas multiníveis clássicas. Nesses casos, quando considerado uma defasagem nula entre a tensão e corrente de entrada, alguns interruptores conduzem corrente unicamente em sentido reverso tal que diodos podem ser usados. Como exemplo pode ser citada a topologia da Figura 4.1(a) que corresponde com a estrutura do inversor 5L-NPC, na qual é possível substituir os interruptores externos por diodos em aplicações com fluxo unidirecional de energia, resultando na topologia da Figura 4.1(b). Alternativamente, na Figura 4.1(c), os interruptores $T_1 - T_8$ no inversor 5L-NPC são substituídos pelos diodos $D_1 - D_8$, enquanto que os diodos que fazem o grampeamento das tensões intermediárias dos capacitores são substituídos pelos interruptores $T_1 - T_6$. Outro exemplo é a topologia na Figura 4.1(d), que pode ser derivada do inversor *T-type* apresentado na Seção 2. Neste, os interruptores externos podem ser substituídos pelos diodos D_1 e D_2 , enquanto que para

Figura 4.1 – Topologias cinco níveis. (a) Inversor 5L-NPC em (PENG et al., 1995), (b) e (c) topologias apresentadas em (CORZINE; BAKER, 2002; ZHAO; LI; LIPO, 1995) e (d) topologia apresentada em (GRBOVIC et al., 2016).



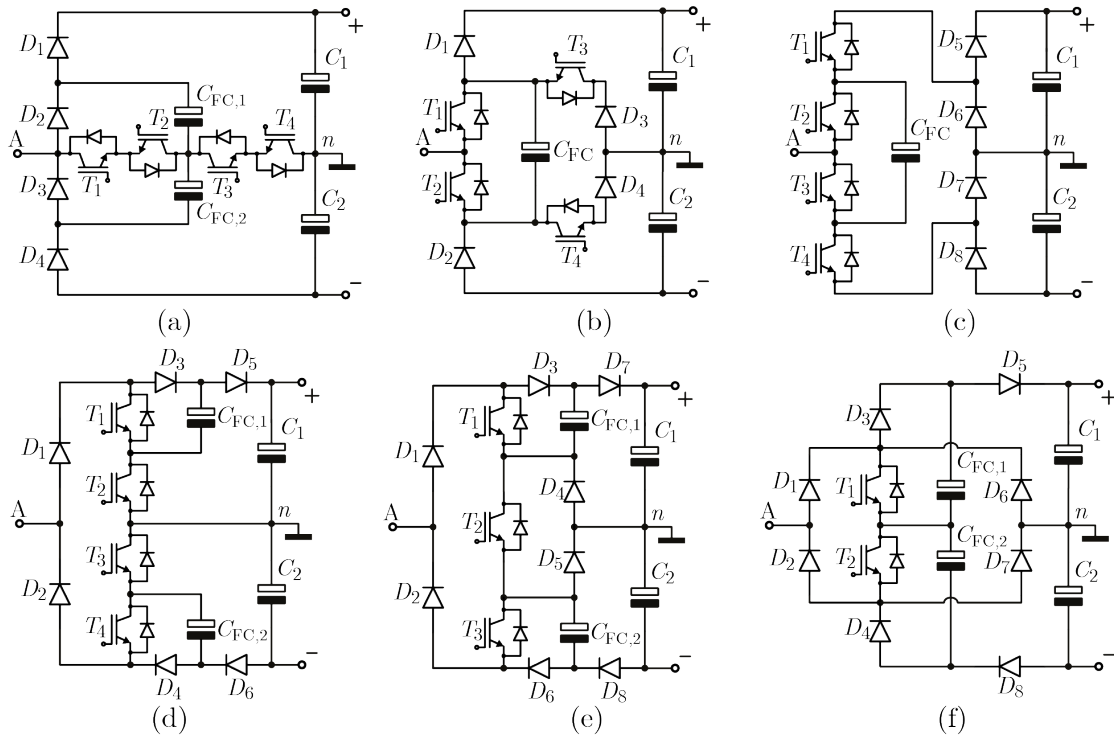
Fonte: Autor.

alguns interruptores que fazem a conexão dos pontos intermediários do barramento o uso de diodos é suficiente.

É possível ver que mesmo com as mudanças antes mencionadas, na operação com fatores de potência elevados e fluxo de potência unidirecional da entrada para os terminais de saída do barramento, os circuitos nas Figuras 4.1(b) - (d) ainda apresentam estados que resultam na síntese de cinco níveis de tensão do lado da entrada no terminal A. Assim, por exemplo, quando uma tensão máxima de v_{DC} é usada na entrada, então uma tensão CC de $2v_{DC}$ deve ser regulada nos terminais de saída, resultando em uma forma de onda com tensões de v_{DC} , 0 , $5v_{DC}$, 0 , -0 , $5v_{DC}$ e $-v_{DC}$ entre o terminal de entrada A e o terminal n .

Por outro lado, algumas diferenças quanto à especificação de tensão dos componentes podem ser observadas. Por exemplo, no circuito do inversor 5L-NPC os diodos que grampeiam as tensões intermediárias do barramento estão submetidos às maiores tensões e, portanto, devem ser usados diodos com especificações de tensão adequadas ou, de forma equivalente, a conexão série de diodos de menor tensão. Assim, uma vez que o circuito da Figura 4.1(b) é derivado do inversor 5L-NPC na Figura 4.1(a), as especificações desses diodos devem ser similares. Já no caso do circuito da Figura 4.1(c), esses diodos são substituídos por interruptores e conseqüentemente deverão ser utilizados interruptores com especificações maiores em tensão. De forma semelhante, por observar a operação do inversor *T-type* é possível determinar que com exceção dos diodos D_3 e D_4 na Figura 4.1(d), o restante dos semicondutores requer o uso de dispositivos em série ou dispositivos de maior tensão.

Figura 4.2 – Retificadores cinco níveis unidirecionais. (a) Retificador apresentado em (GATEAU; MEYNARD; FOCH, 2002), (b) e (c) retificadores apresentados em (WANG et al., 2017a; YUAN, 2014), (d) retificador apresentado em (MUKHERJEE; KASTHA, 2019b), e (e) e (f) retificadores apresentados em (MUKHERJEE; KASTHA, 2019a; KOHLER; CORTEZ, 2020).



Fonte: Autor.

Outras topologias de retificadores cinco níveis podem ser derivadas a partir das topologias clássicas (HELDWEIN; MUSSA; BARBI, 2010), entretanto, quando cinco níveis de tensão são sintetizados o número de componentes requerido torna a topologia pouco atraente para sua implementação prática. Portanto, topologias alternativas de retificadores unidirecionais têm sido apresentadas, dentre estas destaca-se as topologias derivadas de estruturas que apresentam oportunidade de reduzir o número de componentes, como as topologias mostradas na Figura 4.2. Por exemplo, quando comparado com a Figura 4.1, o retificador da Figura 4.2(a) (GATEAU; MEYNARD; FOCH, 2002) requer apenas quatro interruptores e quatro diodos. Entretanto, dois capacitores flutuantes devem ser utilizados o que também demanda uma estratégia de regulação de tensão nesses capacitores. Ainda, uma vez que os capacitores são independentes a cada fase, a estratégia de regulação de tensão deve ser estendida para todas as fases na configuração trifásica do retificador, o que incrementa a complexidade do sistema.

Em seguida, é possível notar que os circuitos das Figuras 4.2(b) e (c) (WANG et al., 2017a; YUAN, 2014) são derivados dos inversores 5L-ANPC-II e 5L-ANPC-I quando considerado operação com fluxo de energia unidirecional. Portanto, apenas um capacitor

flutuante por fase é requerido e os esforços de tensão nos componentes podem ser assumidos com valores similares ao analisado no Capítulo 2. Seguindo o mesmo raciocínio, o circuito da Figura 4.2(d) (MUKHERJEE; KASTHA, 2019b) pode ser derivado do inversor apresentado em (MEYNARD et al., 2006), o que também permite identificar as tensões dos componentes utilizados.

Outros retificadores, como os mostrados nas Figuras 4.2(e) e (f) (MUKHERJEE; KASTHA, 2019a; KOHLER; CORTEZ, 2020), têm sido apresentados como alternativas que permitem a redução do número de interruptores ativos e, em consequência, que permitem reduzir o número dos circuitos de acionamento necessários. É notado que no caso do retificador na Figura 4.2(f), apenas dois interruptores ativos são requeridos para sintetizar cinco níveis de tensão na entrada. No entanto, o número de diodos também é incrementado e ainda é requerida a regulação de tensão em dois capacitores flutuantes.

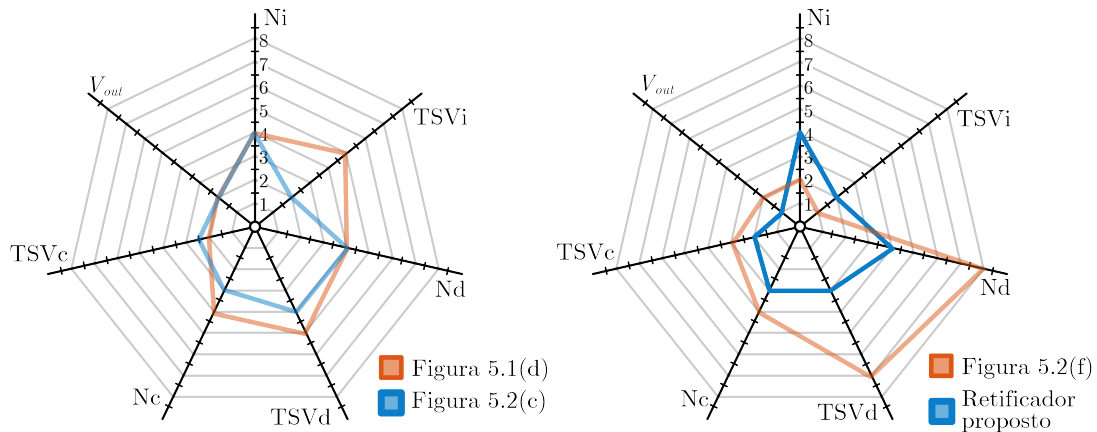
4.1.2 Retificador 5L-SCANPC proposto

A derivação do retificador proposto é baseada no circuito do inversor 5L-SCANPC, apresentado novamente na Figura 4.3(a). Para cada etapa de operação, o estado de condução dos semicondutores é analisado na condição com fator de potência elevado e fluxo de energia unidirecional da entrada para a saída. A corrente no terminal de entrada A é adotada positiva entrando ao terminal e negativa saindo do terminal, enquanto que a tensão nos terminais do barramento de saída é assumida constante. Assim, a operação com elevado fator de potência é dada quando o semiciclo positivo e negativos das formas de onda de tensão e corrente na entrada coincidem ou estão em fase. Com essas premissas, sempre que a condução em um dispositivo ocorre apenas em sentido reverso para os estados em que é acionado, então o mesmo pode ser substituído por um diodo. A Figura 4.3(b) mostra o circuito derivado quando assumida uma operação como retificador unidirecional.

Como pode ser observado, em uma fase do circuito proposto apenas quatro interruptores ativos (T_1 , T_2 , T_3 e T_4) são requeridos, sendo que para o resto dos dispositivos podem ser usados diodos (D_1 , D_2 , D_3 e D_4). Mesmo com essas simplificações, o circuito tem capacidade de sintetizar cinco níveis de tensão na entrada, entre o terminal A e n . Além disso, como será mostrado posteriormente, o capacitor flutuante C_{FC} é automaticamente regulado e, portanto, estratégias de controle e/ou circuitos de monitoramento da tensão ou corrente em C_{FC} não são necessários.

Os esforços de tensão podem ser determinados de forma similar ao analisado no Capítulo 3. Assim, quando uma tensão de v_{DC} é definida no barramento de saída, as tensões em C_1 e C_2 deverão ser reguladas em $0,5v_{DC}$. Já o capacitor flutuante é automaticamente regulado com tensão v_{DC} . Com essa configuração de tensões, apenas os diodos D_1 e D_2 são submetidos a v_{DC} , enquanto que os dispositivos restantes são submetidos a tensões

Figura 4.4 – Comparação das características dos retificador proposto.



Fonte: Autor.

máximo de v_{DC} entre o terminal A e o terminal n . O número de interruptores (N_I), número de diodos (N_D) e número de capacitores (N_C), assim como a respectiva tensão de bloqueio total (TSV) nos componentes, são comparadas. Adicionalmente, a tensão de saída (V_{out}) é também indicada. A Figura 4.4 resume as características do retificador proposto em comparação com algumas das topologias antes apresentadas.

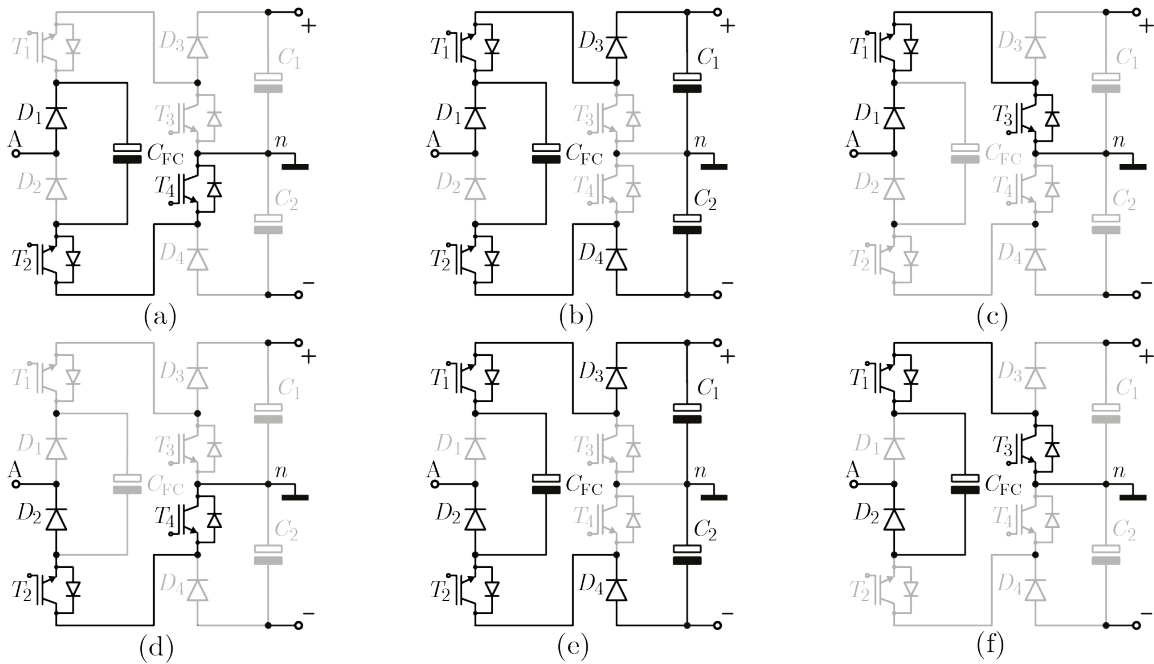
4.2 ESTRATÉGIA DE MODULAÇÃO E CONTROLE

4.2.1 Estratégia de modulação

A sequência de estados para operação do retificador proposto é similar á mostrada no Capítulo 3 para o inversor 5L-SCANPC. A Figura 4.5 detalha os estados topológicos para geração dos níveis de tensão na entrada. Primeiramente, durante os estados **A** e **F** o capacitor flutuante, que idealmente é carregado com uma tensão v_{DC} , é conectado em série com o terminal n do barramento para sintetizar os níveis v_{DC} e $-v_{DC}$ no terminal A, como mostrado nas Figura 4.5(a) e (f). Em seguida, as Figuras 4.5(b) e (e) detalham os estados de condução **B** e **E** que são empregados para gerar os níveis $0,5v_{DC}$ e $-0,5v_{DC}$, respectivamente. Por fim, existem dois estados de condução (**C** e **D**) para sintetizar o nível zero, como mostrado nas Figuras 4.5(c) e (d).

Assim, os estados **A**, **B** e **C** são utilizados durante o semiciclo positivo da forma de onda cinco níveis, entanto que os estados **D**, **E** e **F** são utilizados no semiciclo negativo. Adicionalmente, é observado na Figura 4.5 que os estados **C** e **D** sintetizam o mesmo nível de tensão no terminal de entrada, nível zero, portanto será selecionado o estado **C** durante o semiciclo positivo e o estado **D** durante o semiciclo negativo. Isto permite

Figura 4.5 – Estados de condução do retificador proposto. (a) Estado **A**; (b) estado **B**; (c) estado **C**; (d) estado **D**; (e) estado **E** e (f) estado **F**.



Fonte: Autor.

operar os diodos D_1 e D_2 na frequência da fundamental, pois eles são também submetidos aos maiores esforços de tensão, o que permite reduzir as perdas por comutação.

A regulação automática do capacitor flutuante C_{FC} ocorre durante os estados **B** e **E** na Figura 4.5. Note que se uma tensão nominal de v_{DC} é assumida em C_{FC} , então durante os estados **A** e **F** o capacitor flutuante é carregado pela corrente de entrada a um valor maior do que v_{DC} . Dessa forma, nos estados **B** e **E** (T_1 e T_2 acionados) os diodos D_3 e D_4 são diretamente polarizados, o que resulta na equalização de tensão em C_{FC} até atender o mesmo valor que a tensão no barramento CC. Portanto, sempre que a estratégia de modulação implemente a sequência de estados da Figura 4.5, a qual assegura uma transição para os estados **B** e **E**, a regulação automática da tensão pode ser realizada sem requerer circuitos ou estratégias de controle adicionais.

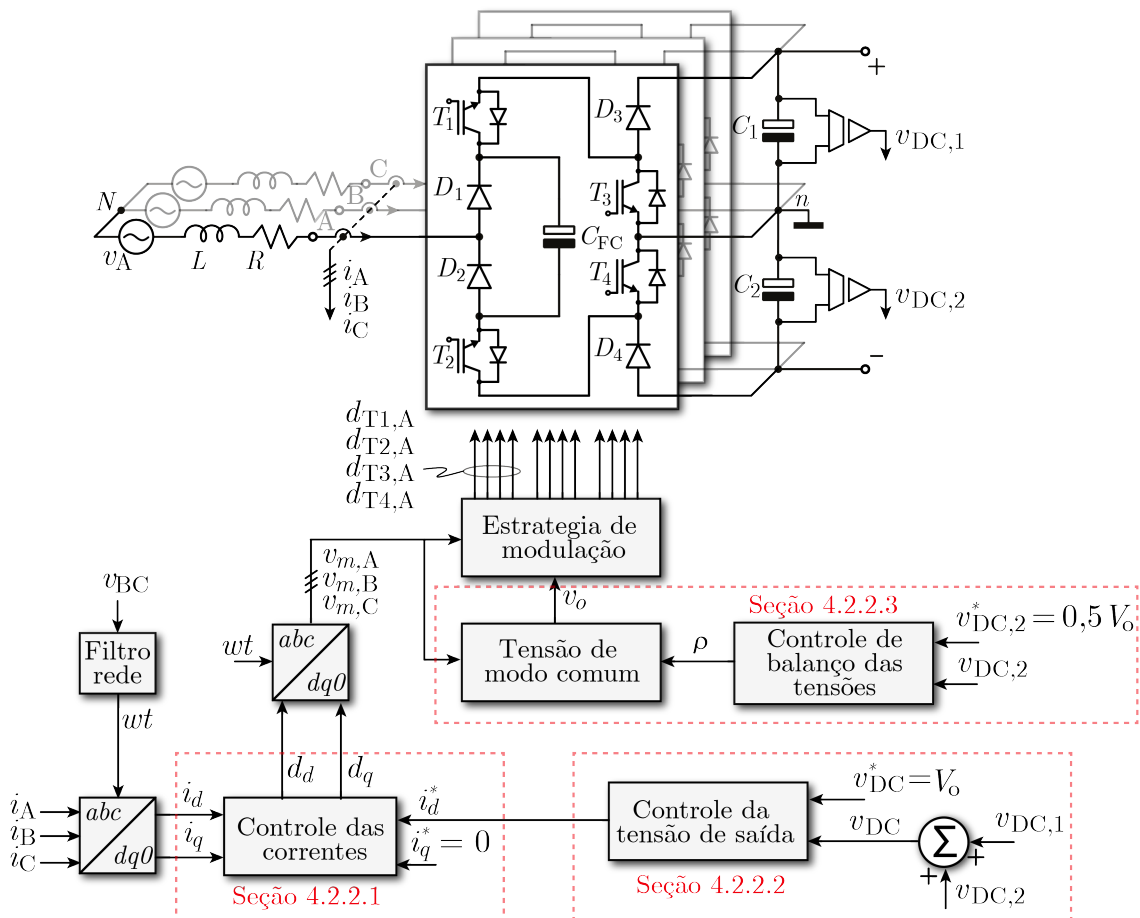
Deforma semelhante a operação do inversor 5L-SCANPC, os estados mostrados na Figura 4.5 são gerados em cada fase do retificador para sintetizar cinco níveis de tensão na entrada. Isto é conseguido por meio da comparação de três sinais modulantes $v_{M,j}$ ($j = a, b, c$) com quatro portadoras deslocadas em amplitude e dispostas em fase (c_1, c_2, c_3 e c_4), resultando em um padrão PWM para os sinais de acionamento que irão comandar os quatro interruptores da respectiva fase, $T_{1,j}$, $T_{2,j}$, $T_{3,j}$ e $T_{4,j}$. Com isso, a mesma lógica combinacional na operação como inversor, apresentada no Capítulo 3, pode ser usada na operação como retificador unidirecional.

4.2.2 Estratégia de controle

Para o correto funcionamento do retificador proposto é necessário adotar uma estratégia de controle. Basicamente, tem-se por objetivo drenar correntes de entrada com a menor distorção possível e fator de potência elevado. Além disso, busca-se que a tensão de saída seja regulada no seu valor nominal V_o independente de variações de carga, bem como manter o equilíbrio das tensões parciais ($0,5V_o$) do barramento CC de saída. A Figura 4.6 apresenta a estrutura de controle adotada.

A estratégia de controle é baseada no sistema de coordenadas síncronas $dq0$, em que o uso de controladores do tipo PI é suficiente para rastreamento da referência das correntes (TEODORESCU; LISERRE; RODRÍGUEZ, 2011). A transformação das grandezas de interesse no sistema de coordenadas estacionário abc para $dq0$, e sua transformação inversa $dq0$ para abc , são sincronizadas com o ângulo da rede (wt) que é extraído utilizando um algoritmo do filtro de Kalman (CARDOSO et al., 2006). Como pode ser observado, existe

Figura 4.6 – Estrutura de controle adotada.



Fonte: Autor.

uma malha interna de controle das correntes e uma malha externa para controle da tensão de saída. A malha interna de corrente de eixo direto (i_d), responsável pelo processamento de potência ativa, tem sua referência i_d^* imposta pela malha externa, que por sua vez objetiva a regulação da tensão de saída. Dessa forma, a tensão de saída v_{DC} é controlada pelo aumento/diminuição da potência ativa entregue ao barramento CC e a carga. Já a malha de controle de corrente de eixo em quadratura (i_q), deve ter uma referência i_q^* nula a fim de assegurar que as correntes drenadas estejam em fase com as respectivas tensões. Em seguida, os sinais de saída das malhas de controle d_d e d_q , são transformadas para o sistema de coordenadas abc a fim de obter os sinais modulantes de cada fase $v_{m,A}$, $v_{m,B}$ e $v_{m,C}$.

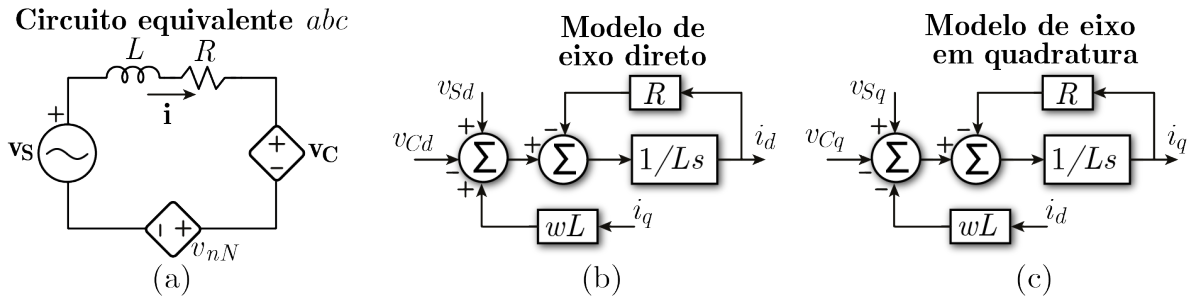
Adicionalmente, uma malha de controle de balanço das tensões parciais no barramento é necessária, pois a diferença de valores nos parâmetros dos componentes do circuito tende a causar desequilíbrios de tensão em C_1 e C_2 . Desse modo, a fim de assegurar que as tensões parciais do barramento não se afastem dos seus valores nominais, o valor médio da corrente no ponto central do barramento é então controlada. Para tal propósito, uma tensão de modo comum v_0 é calculada pela malha de controle e adicionada aos sinais modulantes. É importante destacar que não são projetadas malhas de controle de tensão para os capacitores flutuantes. Como mencionado anteriormente, a estratégia de modulação efetua a regulação de tensão uma vez que implementa os estados **B** e **E** na sequência de comutação. Dessa maneira é possível reduzir a complexidade na operação do retificador, pois a regulação de C_{FC} é realizada de forma automática e independentemente nas três fases.

Finalmente, os sinais de comando para acionamento dos interruptores de cada fase $d_{T1,j}$, $d_{T2,j}$, $d_{T3,j}$, $d_{T4,j}$ ($j = A, B, C$), são obtidos por meio da estratégia de modulação exposta anteriormente. A seção seguinte aborda os modelos para projeto dos controladores, assim como o sistema de controle adotado.

4.2.2.1 Controle de corrente

O conhecimento dos modelos que relacionam as correntes, tanto no eixo direto quanto no eixo em quadratura, com as tensões geradas pelo retificador são necessários para o projeto dos controladores de corrente. Nesse sentido, considerando o valor médio das tensões e correntes em um período de comutação e assumindo que os capacitores se comportam como fontes de tensão constantes, o retificador trifásico da Figura 4.6 é representado pelo circuito médio equivalente da Figura 4.7(a). A indutância e resistência de interface com a rede são modelados por L e R , enquanto que \mathbf{v}_S e \mathbf{v}_C modelam a tensão da rede e a tensão nos terminais do retificador, respectivamente. Ainda, a fonte

Figura 4.7 – Modelo de correntes para o retificador proposto. (a) Representação do circuito equivalente em coordenadas abc , (b) e (c) modelos do eixo direto e em quadratura em coordenadas $dq0$.



Fonte: Autor.

de tensão v_{nN} modela a tensão de modo comum do sistema. Portanto, as principais grandezas envolvidas no circuito equivalente do retificador são expressas como:

$$\mathbf{v}_S = [v_A \ v_B \ v_C]^T, \quad (4.1)$$

$$\mathbf{v}_C = [v_{An} \ v_{Bn} \ v_{Cn}]^T, \quad (4.2)$$

$$\mathbf{i} = [i_A \ i_B \ i_C]^T, \quad (4.3)$$

onde o termo $[]^T$ indica o transposto do vetor. Dessa forma, o modelo dinâmico do retificador pode ser obtido a partir do circuito equivalente na Figura 4.7(a), aplicando a lei de Kirchhoff das tensões, como segue:

$$L \frac{d\mathbf{i}}{dt} + R\mathbf{i} = \mathbf{v}_S - \mathbf{v}_C - \mathbf{I}v_{nN}, \quad (4.4)$$

onde \mathbf{I} representa a matriz identidade de dimensão 3×3 . Ainda, v_{nN} na equação (4.4) é encontrado assumindo um sistema a três fios, em que o somatório tanto das correntes de fase como suas respectivas derivadas são nulas. Com isso, a tensão de modo comum é dada por:

$$v_{nN} = \frac{1}{3}(v_A - v_{An} + v_B - v_{Bn} + v_C - v_{Cn}) \quad (4.5)$$

Em seguida, o modelo de corrente é obtido através da transformação de tensões e correntes em coordenadas estacionárias abc para coordenadas síncronas $dq0$. Para tal propósito, é útil o uso da matriz de transformação \mathbf{T} , também conhecida como transformada de Park, dada por (TEODORESCU; LISERRE; RODRÍGUEZ, 2011):

$$\mathbf{T} = \sqrt{\frac{2}{3}} \begin{bmatrix} \cos(\omega t) & \cos(\omega t - 2\pi/3) & \cos(\omega t + 2\pi/3) \\ -\sin(\omega t) & -\sin(\omega t - 2\pi/3) & -\sin(\omega t + 2\pi/3) \\ 1/\sqrt{2} & 1/\sqrt{2} & 1/\sqrt{2} \end{bmatrix} \quad (4.6)$$

Portanto, aplicando a matriz inversa \mathbf{T}^{-1} aos vetores no plano $dq0$, tem-se:

$$\mathbf{v}_S = \mathbf{T}^{-1} [v_{Sd} \ v_{Sq} \ v_{S0}]^T \quad (4.7)$$

$$\mathbf{v}_C = \mathbf{T}^{-1} [v_{Cd} \ v_{Cq} \ v_{C0}]^T \quad (4.8)$$

$$\mathbf{i} = \mathbf{T}^{-1} [i_d \ i_q \ i_0]^T \quad (4.9)$$

Substituindo (4.7), (4.8) e (4.9) em (4.4), e desprezando a corrente de sequência zero, pois o sistema opera a três fios, se obtém a expressão:

$$L \frac{d}{dt} \begin{bmatrix} i_d \\ i_q \end{bmatrix} + Lw \begin{bmatrix} -i_q \\ i_d \end{bmatrix} + R \begin{bmatrix} i_d \\ i_q \end{bmatrix} = \begin{bmatrix} v_{Sd} - v_{Cd} \\ v_{Sq} - v_{Cq} \end{bmatrix} \quad (4.10)$$

Aplicando a Transformada de Laplace em (4.10), o diagrama de blocos do modelo dinâmico das correntes de eixo direto e quadratura pode ser encontrado, como ilustrado na Figura 4.7(b) e (c) (PENG; LAI, 1997).

Como pode ser observado, o modelo em coordenadas síncronas é acoplado, ou seja, uma perturbação em v_{Cd} , ou em v_{Cq} , afeta tanto a corrente i_d quanto a corrente i_q . Contudo, esse efeito é proporcional ao valor da indutância de interface com a rede e, portanto, pode ser minimizado ao utilizar um valor de L pequeno. Alternativamente, o sinal de acoplamento pode ser realimentado na saída do controlador a fim de minimizar seu impacto no sistema de controle em malha fechada.

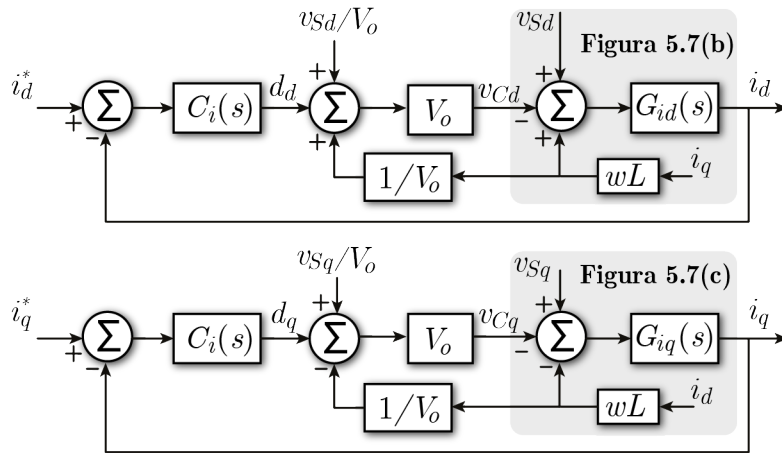
A partir da Figura 4.7(b) e (c) é possível encontrar as funções de transferência que relacionam as tensões geradas pelo retificador com as correntes drenadas da rede. Considera-se que não existe acoplamento entre eixos e que a tensão da rede $[v_{Sd} \ v_{Sq}]^T$ adota valores constantes em um período de comutação, podendo ser desprezada no modelo de pequenos sinais. Com isso, as funções de transferência usadas para projeto dos controladores são obtidas como:

$$G_{id}(s) = \frac{i_d(s)}{v_{Cd}(s)} = \frac{1}{Ls + R} \quad (4.11)$$

$$G_{iq}(s) = \frac{i_q(s)}{v_{Cq}(s)} = \frac{1}{Ls + R} \quad (4.12)$$

As funções de transferência em (4.11) e (4.12) consideram que a entrada do modelo é a própria tensão sintetizada pelo retificador. Contudo, sabe-se que a tensão sintetizada pelo retificador é dependente das razões cíclicas de cada fase e, portanto, ainda é possível representar o modelo de correntes em termos da razão cíclica em coordenadas $dq0$. Diante disto, as tensões médias sintetizadas em cada fase do retificador na equação (4.2) são definidas novamente como:

Figura 4.8 – Diagrama de blocos do sistema de controle de correntes.



Fonte: Autor.

$$\mathbf{v}_C = V_o \cdot \mathbf{d}, \quad (4.13)$$

onde \mathbf{d} é o vetor de razões cíclicas $[d_A \ d_B \ d_C]^T$, enquanto que V_o é a tensão CC de saída do retificador. Em seguida, transformando (4.13) para o sistema de coordenadas $dq0$, chega-se a expressão:

$$\begin{bmatrix} v_{Cd} \\ v_{Cq} \end{bmatrix} = V_o \begin{bmatrix} d_d \\ d_q \end{bmatrix}. \quad (4.14)$$

As equações (4.11), (4.12) e (4.14) podem ser usadas para o projeto dos controladores de corrente. O diagrama de blocos do sistema de controle de correntes em $dq0$ é apresentado na Figura 4.8. Nesta figura, os sinais da tensão da rede, assim como de acoplamento entre eixos, são realimentados com objetivo de rejeitar as perturbações e reduzir os esforços dos controladores. Ainda, como não há diferença entre as funções de transferência em (4.11) e (4.12), o controlador projetado ($C_i(s)$) pode ser usado para o controle de corrente de eixo direto e quadratura.

De acordo com (TEODORESCU; LISERRE; RODRÍGUEZ, 2011), sempre que o eixo direto do sistema de coordenadas síncrono $dq0$ seja alinhado com o vetor de referência das tensões da rede (v_S), o controle da potência ativa (P) e reativa (Q) pode ser feito de forma independente. Nesse caso, a relação da potência processada pelo sistema com as correntes é dada por:

$$\begin{aligned} P_{in} &= v_{Sd} \cdot i_d \\ Q_{in} &= v_{Sq} \cdot i_q \end{aligned} \quad (4.15)$$

Portanto, o rastreamento das referências de corrente na Figura 4.8 também permite o controle da potência ativa e reativa drenada da rede. No caso de operação como

retificador unidirecional, objetiva-se ter um fator de potência elevado e, portanto, a potência drenada da rede deve ser essencialmente potência ativa. Dessa forma, é usual que a referência de corrente do eixo em quadratura seja escolhida nula. Por outro lado, a referência de corrente do eixo direto pode ser ajustada para aumentar/diminuir a potência ativa entregue a carga ou, alternativamente, regular de forma dinâmica a tensão CC do barramento de saída, como será mostrado a seguir.

4.2.2.2 Controle de tensão CC

A regulação da tensão CC de saída do retificador trifásico é baseada em (4.15), ajustando a referência de corrente do eixo direto para controlar a quantidade de energia entregue ao barramento. Dessa forma, é necessário encontrar o modelo que relaciona a corrente com a tensão de saída.

Para obtenção do modelo médio desconsidera-se a corrente no ponto central dos capacitores que formam o barramento, o que permite aproximar a capacitância de saída pela associação em série de C_1 e C_2 . O circuito equivalente com uma carga resistiva conectada na saída é mostrado na Figura 4.9(a). Ainda, como mostrado em (BORGONOVO, 2001), o circuito pode ser representado no sistema de coordenadas síncrono $dq0$, resultando no circuito equivalente da Figura 4.9(b).

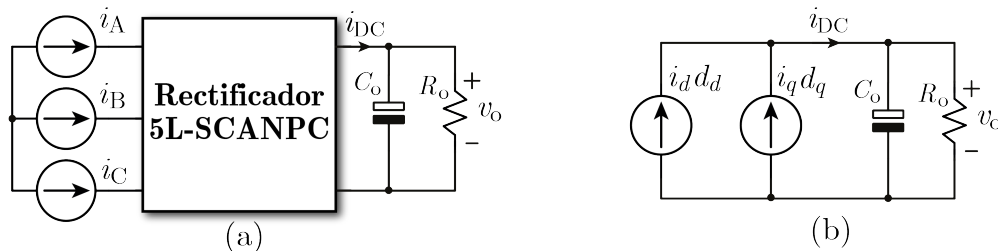
Portanto, a corrente média i_{DC} pode ser descrita em função das correntes e das razões cíclicas em coordenadas síncronas, como:

$$i_{DC} = i_d d_d + i_q d_q. \quad (4.16)$$

Logo, a função de transferência que relaciona a tensão de saída v_{DC} com a corrente i_{DC} , é obtida como:

$$G_v(s) = \frac{v_o(s)}{i_{DC}(s)} = \frac{R_o}{C_o R_o s + 1}. \quad (4.17)$$

Figura 4.9 – Circuito equivalente para obtenção do modelo CC.



Em seguida, de (4.16) e (4.17) pode ser encontrado o modelo de pequenos sinais que relaciona a tensão de saída com as correntes de eixo direto e em quadratura. Dessa forma, aplicando uma pequena perturbação em (4.16) em torno do ponto de operação e aplicando a transformada de Laplace, mantendo somente os termos de primeira ordem, tem-se:

$$\tilde{i}_{\text{DC}}(s) = I_d \tilde{d}_d(s) + D_d \tilde{i}_d(s) + I_q \tilde{d}_q(s) + D_q \tilde{i}_q(s), \quad (4.18)$$

onde I_d , I_q , D_d e D_q representam as respectivas correntes e razões cíclicas nominais do ponto de operação. Ainda, a partir do modelo na Figura 4.7(b) e (c), desprezando a tensão da rede, e usando (4.14), tem-se:

$$\tilde{d}_d(s) = -\frac{L}{V_o} (s + R/L) \tilde{i}_d(s) + \frac{Lw}{V_o} \tilde{i}_q(s), \quad (4.19)$$

$$\tilde{d}_q(s) = -\frac{Lw}{V_o} \tilde{i}_d(s) - \frac{L}{V_o} (s + R/L) \tilde{i}_q(s). \quad (4.20)$$

Além disso, para o ponto de operação em regime permanente, as correntes i_d e i_q são constantes enquanto que suas respectivas derivadas são nulas. Dessa forma, a partir de (4.10), considerando $v_{sd} = V_p \sqrt{3/2}$ e $v_{sq} = 0$:

$$D_d = \frac{Lw}{V_o} I_q + \frac{V_p}{V_o} \sqrt{\frac{3}{2}} - \frac{R}{V_o} I_d, \quad (4.21)$$

$$D_q = -\frac{Lw}{V_o} I_d - \frac{R}{V_o} I_d. \quad (4.22)$$

Por outro lado, de (4.15) tem-se:

$$I_d = \frac{P_{in}}{v_{sd}} = \frac{P_o}{\eta V_p} \sqrt{\frac{2}{3}}, \quad (4.23)$$

$$I_q = \frac{Q_{in}}{\eta V_p} \sqrt{\frac{2}{3}}. \quad (4.24)$$

Então, substituindo (4.19) - (4.24) em (4.18), e assumindo potência reativa nula para garantir fator de potência elevado na entrada, tem-se o seguinte:

$$\tilde{i}_{\text{DC}}(s) = \left[\frac{V_p}{V_o} \sqrt{\frac{3}{2}} - (Ls + 2R) \frac{P_o}{\eta V_p V_o} \sqrt{\frac{2}{3}} \right] \tilde{i}_d(s). \quad (4.25)$$

Finalmente, substituindo (4.25) em (4.17), chega-se na função de transferência que relaciona a tensão de saída com a corrente de eixo direto, como:

$$G_v(s) = \frac{\tilde{v}_o(s)}{\tilde{i}_d(s)} = \sqrt{\frac{3}{2}} \frac{V_p}{V_o} R_o \frac{1 - (Ls + 2R) \frac{2}{3} \frac{P_o}{\eta V_p^2}}{R_o C_o s + 1}. \quad (4.26)$$

A função de transferência em (4.26) pode ser usada para o projeto do controlador de tensão de saída. Como pode ser notado, a malha de tensão deve resultar na geração do sinal de referência para a malha de controle de corrente de eixo direto. Dessa forma, para que não haja distorções na corrente de entrada, o projeto do controlador $C_v(s)$ deve considerar que a dinâmica do sistema de controle de corrente é desacoplada do sistema de controle de tensão, ou seja, o controle de tensão é significativamente mais lento do que o controle de corrente.

4.2.2.3 Controle de desbalanço das tensões

Em conversores que utilizam divisor capacitivo no barramento CC, a tensão do ponto intermediário não é usualmente mantida pela operação natural do circuito, pois não há garantia que as capacitâncias e/ou resistências série equivalentes dos componentes, assim como tempos mortos e tempos de subida/descida, sejam idênticos e, portanto, podem ocorrer desequilíbrios de tensão. Dessa forma, um controle ativo para estabilização das tensões parciais de saída é necessário.

O nível CC das tensões nos capacitores de saída pode ser garantido sempre que o valor médio da corrente injetada ou drenada no ponto intermediário do barramento CC for zero em um período da rede elétrica. Com isso, a seguinte condição deve ser satisfeita:

$$\langle i_n \rangle_T = \frac{1}{T} \int_0^T i_n \cdot dt = 0, \quad (4.27)$$

onde $\langle i_n \rangle_T$ é o valor médio da corrente no divisor capacitivo em um período T da rede elétrica. Alternativamente, um valor médio diferente de zero em (4.27) pode ser usado para regular o nível CC das tensões nos capacitores e compensar eventuais desequilíbrios de tensão.

Assumindo que a tensão de saída se mantenha constante com valor de V_o , e que $C_1 = C_2 = C$, pode-se escrever que:

$$C \frac{dV_o}{dt} = C \frac{dv_{DC,1}(t)}{dt} + C \frac{v_{DC,2}(t)}{dt} = 0. \quad (4.28)$$

Aplicando a transformada de Laplace:

$$sCv_{DC,1}(s) + sCv_{DC,2}(s) = 0. \quad (4.29)$$

Por outra parte, equacionando as correntes no divisor capacitivo e aplicando transformada de Laplace, tem-se:

$$i_n(s) = sCv_{DC,2}(s) - sCv_{DC,1}(s). \quad (4.30)$$

Uma vez que a soma das tensões nos capacitores é igual à tensão de saída, que é assumida constante, o equilíbrio da tensão em um capacitor conseqüentemente também compensa desequilíbrios de tensão no outro capacitor. Portanto, apenas é necessário encontrar a relação dinâmica entre a tensão em um capacitor com a corrente do ponto intermediário no divisor capacitivo. Substituindo (4.29) em (4.30) e mantendo a tensão em C_2 , chega-se na função de transferência seguinte:

$$\frac{v_{DC,2}(s)}{i_n(s)} = \frac{1}{2sC}. \quad (4.31)$$

A função de transferência em (4.31) pode ser utilizada para realizar o balanço das tensões do lado CC. Antes disso, o valor médio de i_n pode ser ajustado pela adição de um sinal de modo comum nos sinais de referência a cada fase do retificador (GIACOMINI, 2015).

Primeiramente, define-se uma matriz de transformação que relaciona o espaço das tensões de linha do retificador com o espaço das tensões de fase (VIEIRA et al., 2012; RYAN; LORENZ; DONCKER, 1999), dada por:

$$\begin{bmatrix} v_{An} \\ v_{Bn} \\ v_{Cn} \end{bmatrix} = \frac{1}{3} \begin{bmatrix} 2 & 1 & 1 \\ -1 & 1 & 1 \\ -1 & -2 & 1 \end{bmatrix} \begin{bmatrix} v_{AB} \\ v_{BC} \\ v_o \end{bmatrix}, \quad (4.32)$$

onde a variável v_o , denominada de sinal de modo comum, é definida como o somatório das tensões sintetizadas nas fases do retificador. Em seguida, para um conjunto dado de tensões de linha a serem sintetizadas na entrada do retificador, é necessário identificar as restrições que limitam a escolha de v_o .

Para o retificador sob estudo, o valor médio das tensões de fase em um período de comutação deve obedecer as seguintes desigualdades:

$$\begin{cases} -V_o \leq \langle v_{An} \rangle_{T_S} \leq V_o \\ -V_o \leq \langle v_{Bn} \rangle_{T_S} \leq V_o \\ -V_o \leq \langle v_{Cn} \rangle_{T_S} \leq V_o \end{cases}, \quad (4.33)$$

Logo, substituindo as tensões de fase definidas em (4.32) nas respectivas desigualdades de (4.33), chega-se nas seguintes condições:

$$-3V_o + \max(\delta_1, \delta_2, \delta_3) \leq \langle v_o \rangle_{T_S} \leq 3V_o + \min(\delta_1, \delta_2, \delta_3), \quad (4.34)$$

onde:

$$\begin{cases} \delta_1 = -2 \langle v_{AB} \rangle_{T_S} - \langle v_{BC} \rangle_{T_S} \\ \delta_2 = \langle v_{AB} \rangle_{T_S} - \langle v_{BC} \rangle_{T_S} \\ \delta_3 = \langle v_{AB} \rangle_{T_S} + 2 \langle v_{BC} \rangle_{T_S} \end{cases}. \quad (4.35)$$

Portanto, sempre que a escolha de uma tensão de modo comum fique dentro dos limites impostos por (4.34), a adição dessa tensão nas tensões de fase não resulta em distorções nas tensões de linha sintetizadas pelo retificador. Neste trabalho, a tensão de modo comum será definida como uma ponderação dos limites mínimo e máximo em (4.34), como segue:

$$\langle v_o \rangle_{T_S} = \sigma [-3V_o + \text{máx}(\delta_1, \delta_2, \delta_3)] + (1 - \sigma) [3V_o + \text{mín}(\delta_1, \delta_2, \delta_3)], \quad (4.36)$$

onde $0 \leq \sigma \leq 1$. Dessa forma, uma vez decididas as tensões de linha que o retificador irá sintetizar, a tensão de modo comum pode ser encontrada a partir de (4.36). Em seguida, a matriz de transformação em (4.32) é aplicada para encontrar as tensões correspondentes que devem ser sintetizadas em cada fase do retificador e os respectivos sinais modulantes.

Por outro lado, diversas escolhas podem ser feitas para a variável σ que define a tensão de modo comum. Como analisado em (GIACOMINI, 2015), a corrente do ponto central do divisor capacitivo, que é causa os desequilíbrios de tensão, está relacionada com a tensão de modo comum. Por exemplo, adotando $\sigma = 0,5$ em (4.36), o grampeamento ativo do ponto central ocorre em intervalos iguais no semiciclo positivo e negativo da forma de onda cinco níveis, o que contribuí com uma corrente media nula no divisor capacitivo. Por outro lado, para valores de $\sigma \neq 0,5$, o grampeamento ocorre a intervalos desiguais, resultando em correntes médias diferentes de zero. Portanto, o valor de σ pode ser utilizado para controlar o valor médio da corrente no ponto central do barramento a fim de garantir o equilíbrio de tensão nos capacitores.

Dessa forma, a corrente média no ponto intermediário do divisor capacitivo pode ser escrita como (GIACOMINI, 2015):

$$\langle i_n \rangle_{T_S} = \rho(M, I_p, \alpha)\sigma \quad (4.37)$$

onde ρ é uma constante que depende do índice de modulação de amplitude M , da corrente de pico I_p e da fase da corrente α . Com isso, a função de transferência em (4.31) pode ser escrita como:

$$G_{v2}(s) = \frac{v_{DC,2}(s)}{\sigma(s)} = \frac{\rho}{2sC}. \quad (4.38)$$

A partir da função de transferência em (4.38) é projetado o controlador para compensar eventuais desbalanços de tensão nos capacitores do barramento CC. Para isso, a tensão no capacitor C_2 e controlada na metade da tensão total do barramento, garantindo indiretamente a regulação de tensão em C_1 uma vez que a tensão total do barramento já é assegurada pelo controle de tensão de saída.

4.3 RESULTADOS EXPERIMENTAIS

Nesta seção são apresentados resultados tanto de simulação quanto experimentais do retificador trifásico cinco níveis proposto. Os resultados foram obtidos com o retificador conectado na rede trifásica do lado CA e com fluxo de energia unidirecional para o lado CC. O protótipo utilizado para avaliar a operação como retificador é mostrado na Figura 4.10.

O retificador é operado com a estratégia de controle apresentada na Seção 4.2.2, com controle das correntes drenadas da rede e controle das tensões na saída do retificador. Para obtenção dos resultados adota-se as especificações da Tabela 4.2. Uma vez que o retificador opera com fluxo de energia unidirecional da entrada para a saída, somente quatro interruptores ativos foram utilizados a cada fase do retificador, em quanto que o restante dos dispositivos foram implementados com diodos. A fim de reduzir as perdas por condução, para os diodos externos D_3 e D_4 que são submetidos aos maiores níveis de corrente devido a carga do capacitor flutuante, são selecionados diodos com baixa quedas de tensão. A especificação dos componentes utilizados são detalhados na Tabela 4.3. A verificação experimental é realizada por meio de mudanças do resistor de carga conectado na saída, no barramento CC.

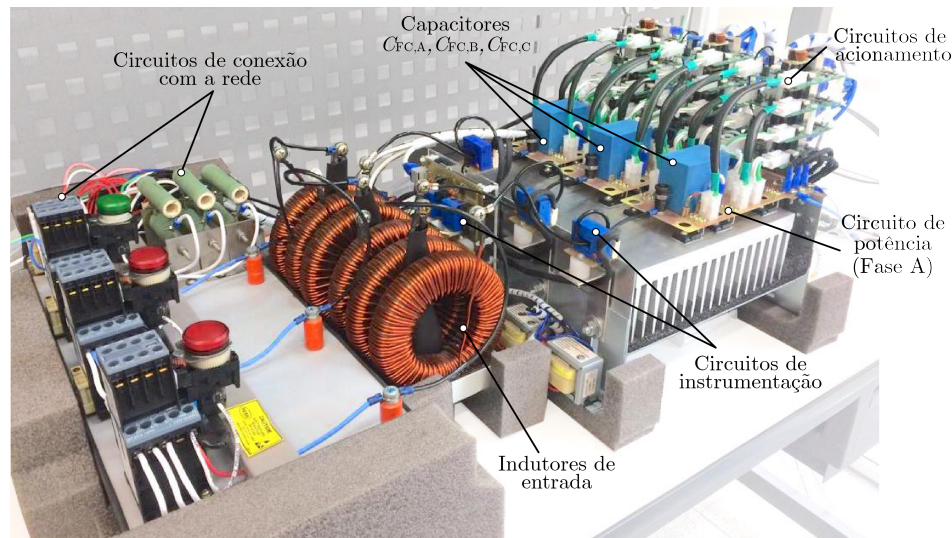
4.3.1 Operação em regime transitório

A operação em regime transitório envolve a partida do retificador e conexão com a rede elétrica. Inicialmente existe a necessidade de implementar um procedimento de pré-carga dos capacitores da estrutura a fim de evitar correntes elevadas no instante de conexão com a rede. É importante destacar que os capacitores flutuantes são carregados simultaneamente com a tensão do barramento sem uso de circuitos adicionais. Isso é garantido naturalmente sempre que o retificador sintetize uma forma de onda cinco níveis conforme a sequência de comutação adotada na Seção 4.2.1. A Figura 4.11(a) mostra

Tabela 4.2 – Parâmetros do retificador

Parâmetro	Símbolo	Valor
Tensão de fase (RMS)	v_{An}	220 V
Potência de saída	P_o	3 kW
Tensão do barramento de saída	v_{DC}	400 V
Tensão do capacitor flutuante	v_{FC}	400 V
Frequência da fundamental	f_{line}	60 Hz
Frequência de comutação	f_S	45 kHz
Frequência de amostragem	f_A	22,5 kHz

Figura 4.10 – Protótipo para validação experimental do retificador.



Fonte: Autor.

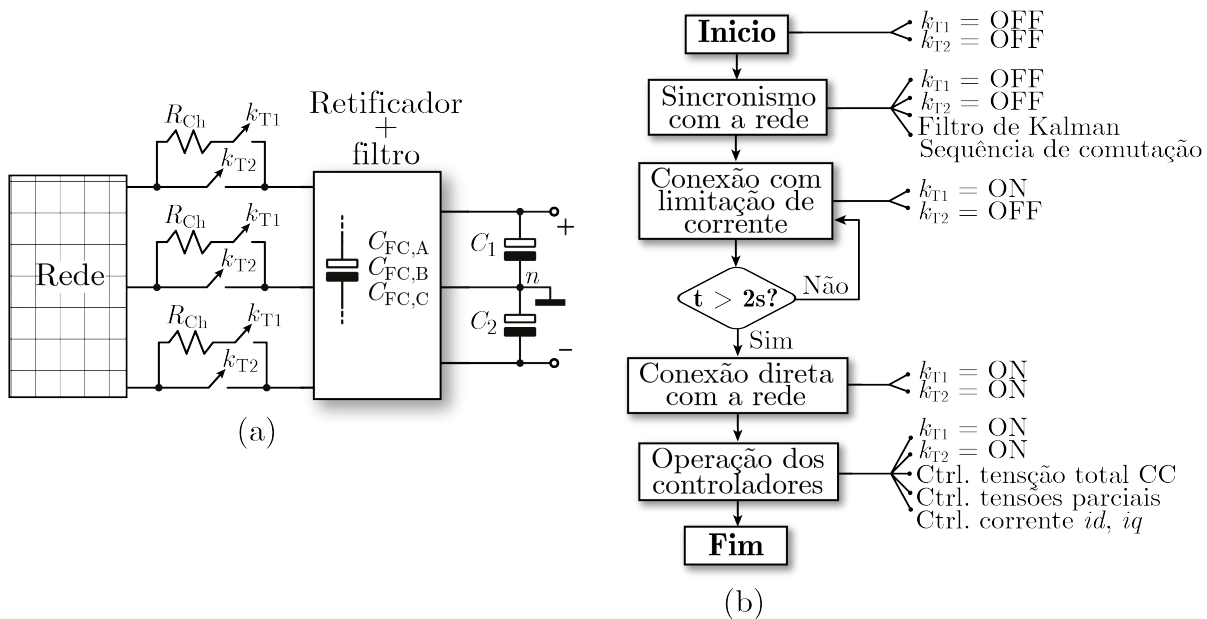
Tabela 4.3 – Especificações dos componentes

Componente	Símbolo	Valor
Interruptores	T_1, T_2, T_3 e T_4	UJ4C075044K3S 44mΩ/750 V/SiC FET
Diodos/alta frequência	D_3 e D_4	FFSH2065A 650 V/Diodo SiC
Diodos/baixa frequência	D_1 e D_2	FEP30JP 600 V/Diodo Retificador
Capacitores do barramento	C_1, C_2	1,5 mF/250 V
Capacitor flutuante	C_{FC}	60 μF/5,1 mΩ/800 V
Indutância de entrada	L_f	1,5 mH
Resistência de entrada	R_f	0,15 Ω

o esquema conceitual empregado durante a partida do retificador, e a Figura 4.11(b) apresenta o diagrama de fluxo para o procedimento de pré-carga implementado.

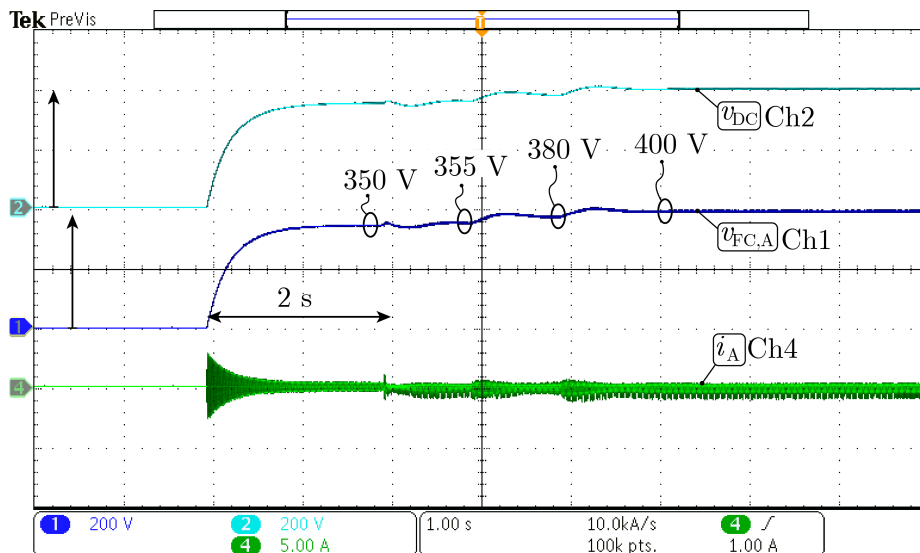
Inicialmente, com os capacitores descarregados cada fase do retificador é comandada para acionar os interruptores conforme a sequência de comutação, com um sinal modulante em sincronismo com as tensões de fase da rede elétrica. Seguidamente, a rede elétrica é conectada nos terminais de entrada do retificador mediante o accionamento da contatora k_{T1} , que coloca em série os resistores R_{Ch} para limitar o valor máximo das correntes drenadas. Essas correntes ocasionam os capacitores do barramento CC de saída incrementam sua tensão até valores próximos das tensões nominais, entorno de 350 V. À medida que os capacitores do barramento de saída são carregados, a sequência de comutação adotada naturalmente garante a regulação automática dos capacitores flutuantes, no mesmo valor da tensão total de saída. Em seguida, logo das tensões nos capacitores alcançar valores constantes, entorno de dois (2) segundos depois, o retificador é conectado na rede mediante o acionamento da contatora k_{T2} . Por fim, as malhas de controle de

Figura 4.11 – Pré-carga. (a) Esquema conceitual do circuito de pré-carga dos capacitores flutuantes e do barramento CC. (b) Procedimento de pré-carga.



Fonte: Autor.

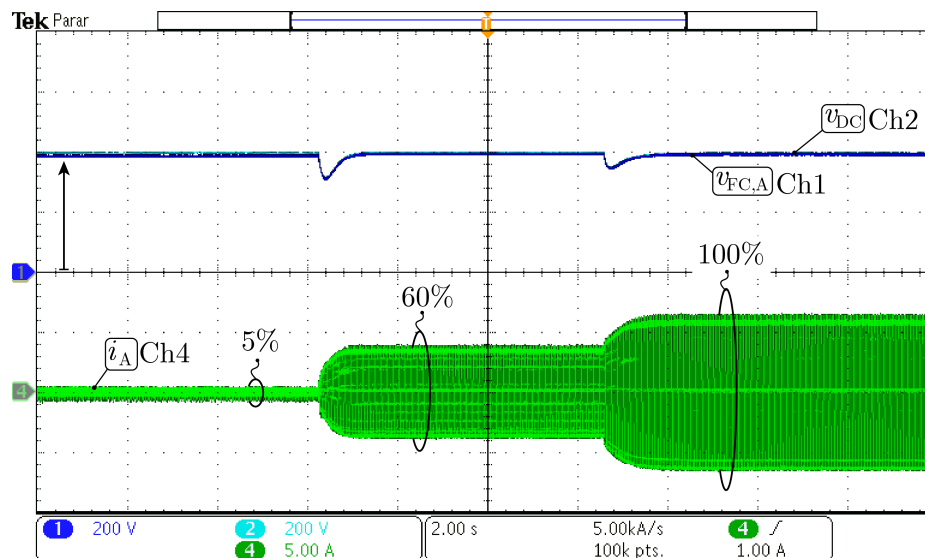
Figura 4.12 – Resultados experimentais: procedimento de pré-carga.



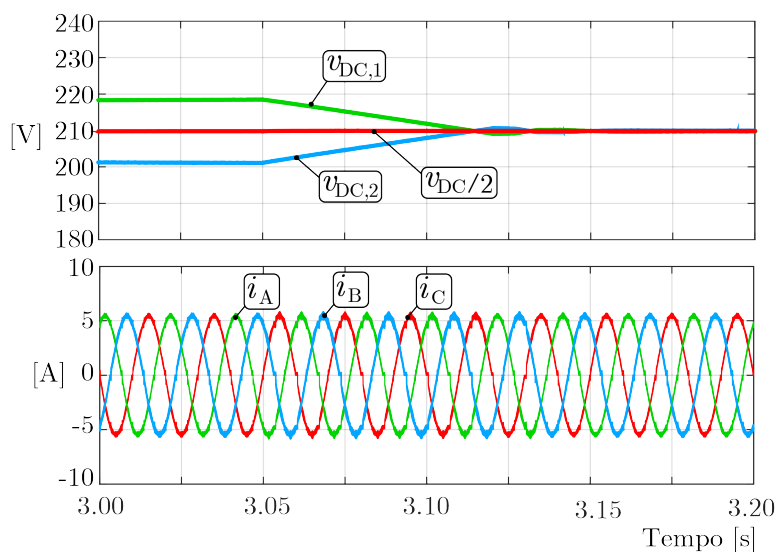
Fonte: Autor.

corrente e tensão entram em operação para levar as tensões a seus respectivos valores em regime permanente. Isso ocorre pela mudança de referência no controlador da tensão CC de saída, inicialmente com degrau de referência de 350 V para 355 V, depois para 380 V e finalmente 400 V. A Figura 4.12 apresenta os resultados experimentais obtidos durante a pré-carga dos capacitores.

Figura 4.13 – Resultados experimentais: variação de carga.



Fonte: Autor.

Figura 4.14 – Resultados de simulação: regulação das tensões parciais de saída $v_{DC,1}$ e $v_{DC,2}$ e da tensão total do barramento v_{DC} 

Fonte: Autor.

Na operação em regime transitório também foi avaliado o comportamento dinâmico do controle das tensões de saída do retificador com variações de carga. A Figura 4.13 apresenta resultados experimentais com variação de carga de 5% para 60% e, finalmente, para 100%. Como pode ser observado, a tensão CC de saída e a tensão do capacitor flutuante retomam seus valores nominais, o que constata o funcionamento das malhas de controle de tensão diante perturbações de carga.

A Figura 4.14 apresenta resultados de simulação forçando um desequilíbrio na malha de balanço das tensões de saída. Inicialmente, as tensões parciais de saída possuem valores médios distintos e depois de um determinado instante a malha de balanço de tensão é ativada. Como pode ser observado, após a ativação da malha de controle, a diferença dos valores médios das tensões nos capacitores $v_{DC,1}$ e $v_{DC,2}$ tende a zero. Adicionalmente, é visto que a regulação da tensão total de saída v_{DC} e as correntes drenadas da entrada não são influenciadas pela atuação da malha de balanço das tensões.

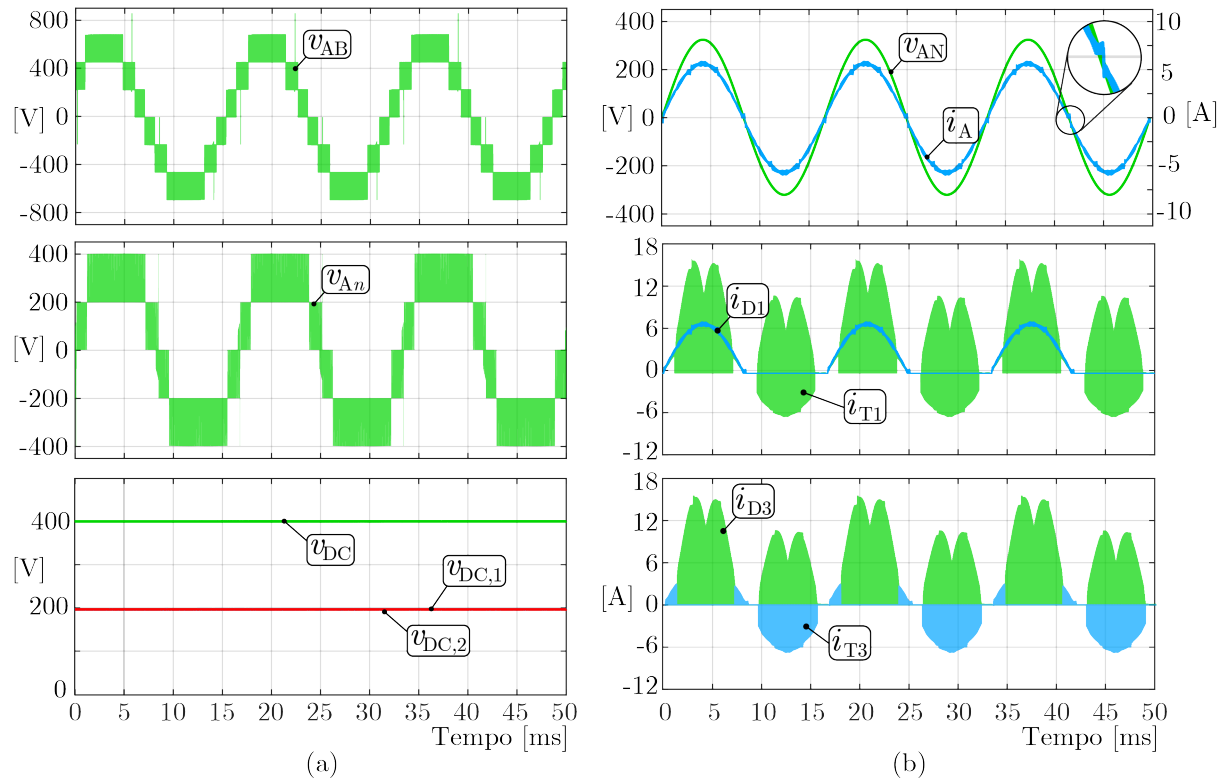
4.3.2 Operação em regime permanente

A operação em regime do retificador foi avaliada primeiramente com auxílio do *software* PLECS. A Figura 4.15(a) apresenta o resultado das tensões impostas pelo retificador na entrada CA e as tensões de saída CC. Observa-se que as tensões sintetizadas nas fases do retificador apresentam níveis igualmente espaçados e as tensões de saída CC são mantidas em seus respectivos valores nominais. Na Figura 4.15(b) pode ser observado que o retificador drena correntes próximas da senoide e com alto fator de potência na entrada, nesse caso, o resultado da fase A é mostrado. É observado também que as correntes drenadas da rede apresentam distorções no cruzamento por zero, esse é um comportamento usual em retificadores unidirecionais com correção do fator de potência, como será mostrado posteriormente. Na mesma figura são mostrados os esforços de corrente dos interruptores T_1 e T_3 e dos diodos D_1 e D_3 . O restante dos semicondutores apresentam um comportamento complementar e não são mostrados. Ressalta-se que os maiores níveis de corrente ocorrem devido a estratégia de modulação adotada, nos instantes da equalização do capacitor flutuante em cada fase.

A Figura 4.16 apresenta resultados experimentais obtidos em regime. Como pode ser visto, o retificador sintetiza formas de onda multinível de fase e de linha que resultam em correntes com formato próximo da senoide como esperado. Isso valida uns dos objetivos das malhas de controle de corrente, a saber baixa distorção das correntes drenadas. Em seguida, observa-se que as formas de onda multinível apresentam níveis de tensão igualmente espaçados, o que permite concluir que as tensões em todos os capacitores da estrutura são mantidas entorno de seus valores nominais. Para verificar isso, a Figura 4.17 mostra o resultado experimental das tensões nos capacitores do barramento e do capacitor flutuante. Observa-se que as tensões parciais são reguladas entorno de 200 V enquanto que a tensão total de saída é mantida em 400 V. Adicionalmente, é importante destacar que a sequência de comutação adotada garante a regulação do capacitor flutuante entorno de 400 V, sem implementação de estratégias de controle e/ou circuitos adicionais.

Também é verificado que as correntes drenadas na entrada do retificador estão em fase com as respectivas tensões de fase, como pode ser observado na Figura 4.18. Isso

Figura 4.15 – Resultados de simulação. (a) Tensões de entrada e saída e (b) corrente drenada e esforços de corrente nos semicondutores. Tensão de linha sintetizada v_{AB} , tensão de fase sintetizada v_{An} , tensão de saída v_{DC} , tensões parciais $v_{DC,1}$ e $v_{DC,2}$, tensão de fase de entrada v_{AN} , corrente de fase i_A , corrente dos diodos D_1 , D_3 e correntes dos interruptores T_1 e T_3 .

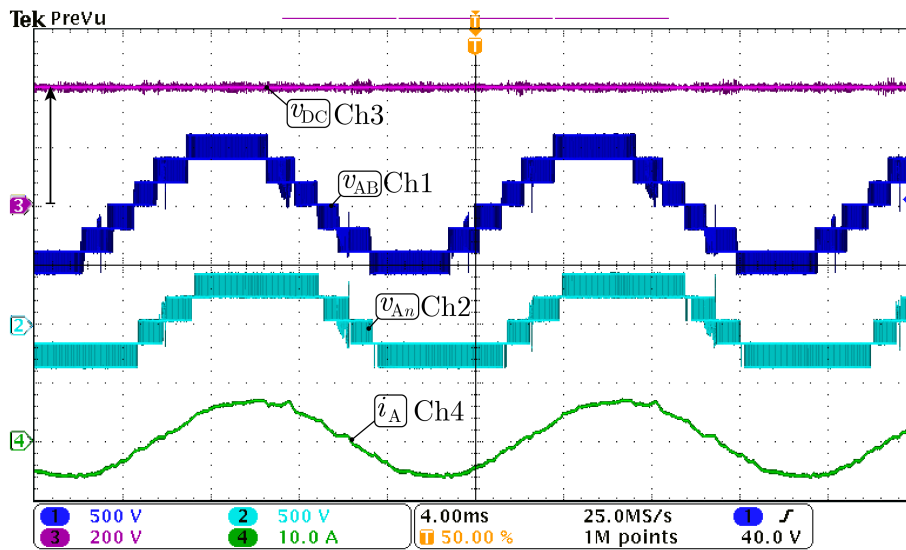


Fonte: Autor.

valida uns dos objetivos buscados pelas malhas de controle de corrente, a operação com elevado fator de potência. Observa-se também que as correntes drenadas apresentam distorções nos cruzamentos por zero. Esse comportamento ocorre com altos fatores de potência, em que a tensão da rede e as correntes drenadas nos terminais de entrada estão em fase. No entanto, os sinais de referência não são gerados em fase com as correntes de entrada pois existe queda de tensão na impedância do filtro. Com isso, a polaridade das correntes e a respectiva referência são diferentes nas proximidades do cruzamento por zero. Como resultado, a característica unidirecional dos diodos nos terminais de entrada do retificador criam regiões não controláveis dos sinais de referência, com distorção das correntes (WANG et al., 2016; CHENG et al., 2019; JOHNSON; ALIPRANTIS, 2014).

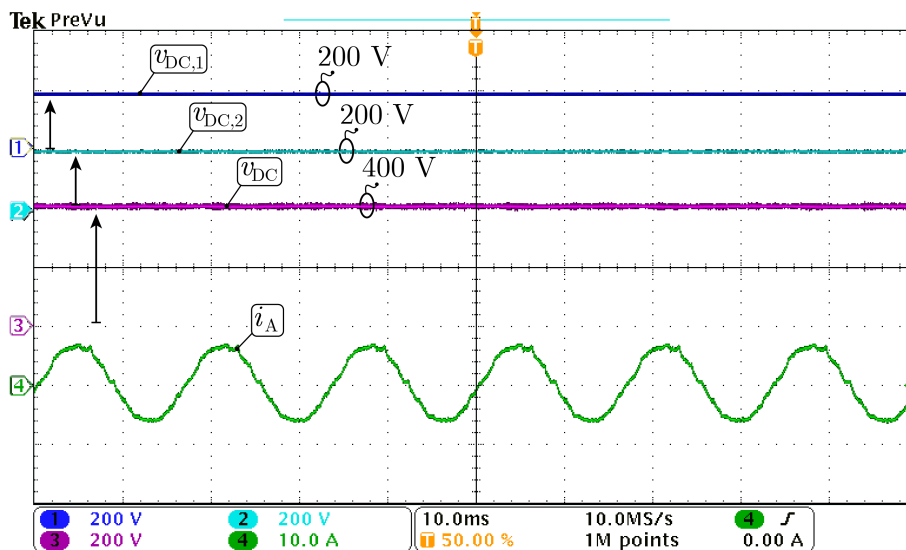
Resultados de simulação foram obtidos para avaliar os esforços de corrente nos semicondutores. Os parâmetros adotados são os mesmos da Tabela 4.2. A Figura 4.19 mostra os esforços de corrente dos semicondutores. Como pode ser notado, os maiores níveis de corrente eficaz são obtidos em T_1 , T_2 , D_3 e D_4 . Isso é esperado, pois são esses

Figura 4.16 – Resultados experimentais: tensão de saída v_{DC} , tensão de fase sintetizada v_{An} , tensão de linha sintetizada v_{AB} , corrente de fase i_A .



Fonte: Autor.

Figura 4.17 – Resultados experimentais: tensão de saída v_{DC} , tensões parciais $v_{DC,1}$ e $v_{DC,2}$ e corrente de fase i_A .

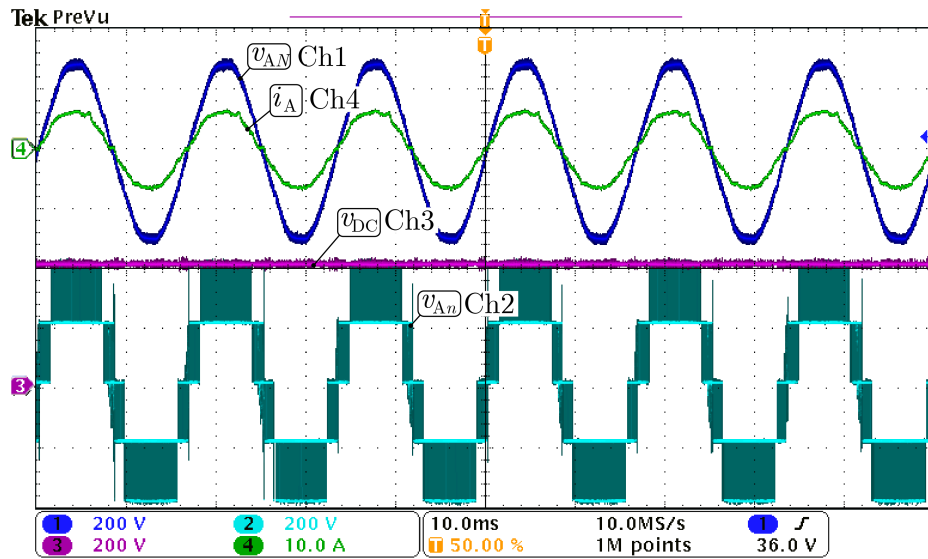


Fonte: Autor.

semicondutores que realizam a equalização do capacitor flutuante segundo a estratégia de modulação adotada e a operação com capacitor chaveado.

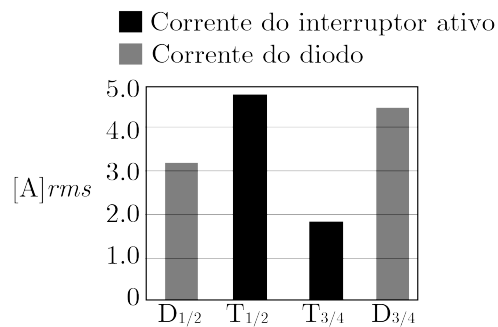
Em seguida, a eficiência do retificador foi medida experimentalmente utilizando o analisador de energia Yokowaga WT1800. Nesses resultados, um filtro com banda passante de 500 Hz foi configurado para a medição das tensões sintetizadas pelo retificador

Figura 4.18 – Resultados experimentais: tensão de fase na rede v_{AN} , corrente de fase i_A , tensão de fase sintetizada na entrada v_{An} e tensão total de saída v_{DC} .



Fonte: Autor.

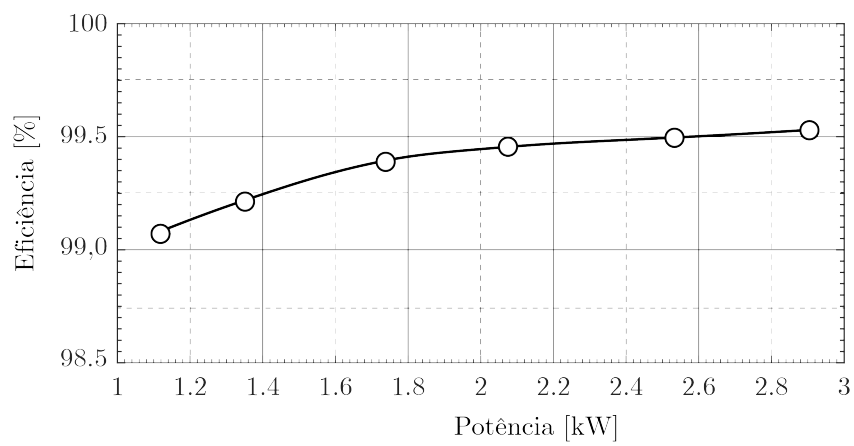
Figura 4.19 – Resultados de simulação: Esforços de corrente.



Fonte: Autor.

na entrada. As medições foram conduzidas desconsiderando as perdas de energia no filtro indutivo de interface com a rede. Os níveis de potência foram obtidos pela variação da resistência de carga conectada no barramento CC. Uma eficiência de 99,5% foi obtida para uma potência entorno de 3 kW. A Figura 4.20 apresenta a eficiência experimental do retificador trifásico.

Figura 4.20 – Resultado experimental: Eficiência.



Fonte: Autor.

5 CONSIDERAÇÕES FINAIS

Sabe-se que topologias de conversores cinco níveis de barramento único na configuração trifásica apresentam dificuldades de aplicação prática, porém também exibem características atraentes que têm motivado a proposta de novas topologias. Quando comparados com conversores multiníveis de menor número de níveis, a literatura repetidamente menciona aumento do número de capacitores e/ou semicondutores, circuitos de acionamento associados, dificuldade de regulação dos capacitores da estrutura, complexidade do controle e complexidade do layout. Mesmo assim, é também mostrado que as formas de onda com cinco níveis de tensão permitem melhorar o desempenho harmônico e moderar as especificações nos componentes passivos do filtro para atender os requerimentos da aplicação. Ainda, topologias cinco níveis possibilitam aliviar esforços de tensão nos componentes do circuito. Esses são alguns dos fatos que têm motivado a grande variedade de topologias cinco níveis na literatura.

A observação de topologias cinco níveis permitiu identificar que as estruturas 5L-ANPC, as quais fazem grampeamento ativo do ponto neutro, são atraentes para aplicação na configuração trifásica. Essas estruturas possibilitam implementar um único barramento CC que é comum às três fases, o que viabiliza o uso de uma única fonte CC. Adicionalmente, o barramento CC é formado por dois capacitores que resultam em apenas um ponto intermediário, o que favorece o controle das tensões parciais. Dentre as topologias com estrutura 5L-ANPC, foi identificada a superioridade do inversor 5L-ANPC-I proposto em (BARBOSA et al., 2005). Nessa topologia, o número de componentes empregados, seus esforços de tensão e operação relativamente simples, são algumas das características que a tornam atraente. Outras topologias com estruturas 5L-ANPC foram comparadas, porém, não é possível identificar uma alternativa melhor do que o 5L-ANPC-I, pois mesmo que apresentem características próximas, a frequência de operação dos interruptores e sua distribuição das tensões não é conveniente.

Foi também identificado um crescente interesse na proposta de estruturas 5L-ANPC, tal como o inversor 5L-ANPC-I, mas também com capacidade de obter uma tensão de saída maior. Alternativamente, quando operados em condições de carga semelhantes, a tensão de entrada pode ser reduzida. Dentre essas topologias, foi notado que o inversor 5L-BANPC-II exibe características atraentes em relação ao inversor 5L-ANPC-I. Além das especificações de tensão menor na entrada, pode-se destacar a regulação automática da tensão no capacitor flutuante a cada fase do inversor 5L-BANPC-II. A operação destes inversores é baseada no princípio do capacitor chaveado. A topologia cinco níveis proposta neste trabalho, denominado de 5L-SCANPC, conserva uma estrutura com grampeamento ativo do ponto neutro tal como no inversor 5L-ANPC-I, mas também possibilita a redução da tensão de entrada e opera com o princípio do capacitor chaveado, como no inversor 5L-BANPC-II.

Uma análise comparativa permitiu identificar que o conversor proposto requer menor tensão de bloqueio total dentre os inversores 5L-ANPC e 5L-BANPC analisados. Adicionalmente, a energia armazenada na estrutura é menor se comparado com estruturas 5L-ANPC. Quanto ao desempenho, os resultados de simulação e experimentais mostraram que o inversor proposto apresenta rendimento menor e assimetria na distribuição de perdas de energia em comparação com o inversor 5L-ANPC-I, o que é atribuído à operação com capacitor chaveado. No entanto, é importante ressaltar que o inversor proposto requer menor tensão de entrada, e as perdas de energia introduzidas por um estágio com elevação de tensão no inversor 5L-ANPC-I não foi considerado nessa análise, pois diferentes soluções de conversores podem ser utilizados para esse propósito. Portanto, se uma configuração com duas etapas de processamento de energia é usada no inversor 5L-ANPC-I, o inversor proposto 5L-SCANPC pode ser uma solução competitiva com menor tensão de bloqueio total nos semicondutores e operação relativamente simples, pois dispensa o uso de estratégias de controle na regulação de tensão nos capacitores flutuantes da estrutura.

O conversor proposto foi também avaliado na operação como retificador unidirecional conectado a rede elétrica CA. Nesse caso, além da redução de tensão reversa nos semicondutores, a topologia resultante permite reduzir pela metade o número de semicondutores ativos, o que favorece a operação do conversor, pois reflete no número de circuitos de acionamento e sinais de comando associados. Outro benefício identificado é a operação relativamente simples, uma vez que o balanceamento de tensão nos capacitores flutuantes é realizado de forma automática em cada fase do retificador. Resultados de simulação e experimentais verificaram o funcionamento do retificador proposto.

No que diz respeito às aplicações do conversor proposto, o mesmo pode ser atraente na operação como inversor conectado à rede elétrica pois favorece o estágio elevador de tensão na entrada, com redução de isolamento, segurança e requisitos de espaço. Destaca-se que eventuais desbalanços de tensão na entrada CC não refletem em distorções na forma de onda cinco níveis na saída, pois os capacitores flutuantes são equalizados na mesma tensão de entrada, o que garante a sínteses de tensões com cinco níveis igualmente espaçados. Ainda, o fato de requerer apenas um barramento CC, possibilita a operação em um estágio de entrada do retificador unidirecional conectado ao estágio inversor de saída no acionamento de cargas não regenerativas.

5.1 PUBLICAÇÕES REALIZADAS

No decorrer do curso de doutorado foram publicados os seguintes trabalhos relacionados com o tema da tese.

- W. A. Pineda C. and C. Rech, "Modified Five-Level ANPC Inverter with Output Voltage Boosting Capability," *IECON 2019 - 45th Annual Conference of the IEEE Industrial Electronics Society*, 2019, pp. 3355-3360, doi: 10.1109/IECON.2019.8927473.
- Bach, Leonardo Cassol.; Castiblanco, Wilmar Armando Pineda.; Rech, Cassiano.; Analysis and Design of an Interleaved Switched-Capacitor Multilevel ANPC Converter. *Proceedings of the 13th Seminar on Power Electronics and Control (SEPOC 2021)*.
- C. Rech and W. A. P. Castiblanco, "Five-level switched-capacitor ANPC inverter with output voltage boosting capability," in *IEEE Transactions on Industrial Electronics*, doi: 10.1109/TIE.2022.3148756.
- Castiblanco, Wilmar Armando Pineda.; Rech, Cassiano.; Retificador unidirecional multinível com regulação automática das tensões. *IX Simpósio Brasileiro de Sistemas Elétricos (SBSE 2022)*.

5.2 SUGESTÕES PARA INVESTIGAÇÕES FUTURAS

Algumas sugestões para trabalhos futuros são listadas a seguir:

- O funcionamento do conversor proposto é baseado no princípio do capacitor chaveado e, portanto, o projeto deve levar em consideração os esforços de corrente resultante nos semicondutores. Nesse sentido, uma análise na tentativa de reduzir esses esforços pela inclusão de indutâncias no caminho de carga do capacitor poderia ser realizada.
- Investigar tecnologias de semicondutores adequadas com a operação do conversor que favoreçam as perdas de energia devido à operação com capacitor chaveado.
- A operação com capacitor chaveado ocorre nos instantes em que é gerado o nível de tensão máximo na saída do conversor proposto. No funcionamento como inversor com altos fatores de potência, a operação com capacitor chaveado coincide com as maiores correntes de carga, o que reduz o rendimento do conversor. Nesse sentido, estratégias de modulação podem ser investigadas, em que as tensões de fase sejam sintetizadas com redução da operação a capacitor chaveado, mas que as tensões de linha continuem bem comportadas e próximas da senoide.
- Na operação como retificador unidirecional, podem ser investigadas tecnologias de semicondutores adequadas para implementação dos diodos da estrutura.

- Uma das vantagens mencionadas na literatura dos conversores operando com o princípio do capacitor chaveado é a densidade de potência que pode ser atendida. Análises podem ser realizados para o conversor proposto, em que seja validado na comparação com outros conversores cinco níveis similares.

REFERÊNCIAS

ABDELHAKIM, A.; MATTAVELLI, P.; SPIAZZI, G. Three-Phase Three-Level Flying Capacitors Split-Source Inverters: Analysis and Modulation. **IEEE Transactions on Industrial Electronics**, v. 64, n. 6, p. 4571–4580, jun 2017. ISSN 0278-0046.

ABU-RUB, H. et al. Medium-Voltage Drives: Challenges and existing technology. **IEEE Power Electronics Magazine**, v. 3, n. 2, p. 29–41, jun 2016. ISSN 2329-9207.

ALISHAH, R. S. et al. New High Step-Up Multilevel Converter Topology With Self-Voltage Balancing Ability and Its Optimization Analysis. **IEEE Transactions on Industrial Electronics**, v. 64, n. 9, p. 7060–7070, sep 2017. ISSN 0278-0046.

ALSTOM. **ALSPA DRIVE RANGE Drive solutions for all applications**. [S.l.], 2001. Disponível em: <http://alsintec.com/documents/alstom-converteam/drives/alspadriverrange{_}drivesolutions.>

ARIF, M. S. B. et al. Asymmetrical 17-level inverter topology with reduced total standing voltage and device count. **IEEE Access**, v. 9, p. 69710–69723, 2021.

Richard H. Baker. **SWITCHING CIRCUIT**. 1980. 19. Disponível em: <<https://patents.google.com/patent/US4210826A/en>>.

Richard H. Baker. **BRIDGE CONVERTER CIRCUIT**. 1981. 19. Disponível em: <<https://patents.google.com/patent/US4270163>>.

Richard H. Baker e Lawrence H. Bannister. **ELECTRIC POWER CONVERTER**. 1975. 19. Disponível em: <<http://www.google.com/patents/US3867643>>.

Peter Barbosa, Peter Steimer e Toufann Chaudhuri. **CONVERTER CIRCUIT FOR SWITCHING A LARGE NUMBER OF SWITCHING VOLTAGE LEVELS**. 2010. USOO7755918B2. Disponível em: <<https://patents.google.com/patent/US7755918B2/en?q=US+7.755%2c918+B2>>.

BARBOSA, P. et al. Active-neutral-point-clamped (ANPC) multilevel converter technology. In: **2005 European Conference on Power Electronics and Applications**. [S.l.]: IEEE, 2005. p. 10 pp.–P.10. ISBN 90-75815-09-3.

BARZEGARKHOO, R. et al. Generalized structure for a single phase switched-capacitor multilevel inverter using a new multiple DC link producer with reduced number of switches. **IEEE Transactions on Power Electronics**, v. 31, n. 8, p. 5604–5617, 2016. ISSN 08858993.

_____. Six-switch step-up common-grounded five-level inverter with switched-capacitor cell for transformerless grid-tied pv applications. **IEEE Transactions on Industrial Electronics**, v. 68, n. 2, p. 1374–1387, 2021.

- BEN-YAAKOV, S. S. Behavioral average modeling and equivalent circuit simulation of switched capacitors converters. **IEEE Transactions on Power Electronics**, IEEE, v. 27, n. 2, p. 632–636, 2012. ISSN 08858993.
- BHARATH, G. V.; HOTA, A.; AGARWAL, V. A new family of 1-ph five-level transformerless inverters for solar pv applications. **IEEE Transactions on Industry Applications**, v. 56, n. 1, p. 561–569, 2020.
- BORGONOVO, D. **Modelagem e controle de retificadores PWM trifásicos empregando a transformação de Park**. 178 p. Dissertação (Mestrado) — Universidade Federal de Santa Catarina, 2001.
- BRUCKNER, T.; BERNET, S.; GULDNER, H. The Active NPC Converter and Its Loss-Balancing Control. **IEEE Transactions on Industrial Electronics**, v. 52, n. 3, p. 855–868, jun 2005. ISSN 0278-0046.
- BURGUETE, E.; LOPEZ, J.; ZABALETA, M. A New Five-Level Active Neutral-Point-Clamped Converter With Reduced Overvoltages. **IEEE Transactions on Industrial Electronics**, v. 63, n. 11, p. 7175–7183, nov 2016. ISSN 0278-0046.
- CARDOSO, R. et al. Kalman filter based synchronization methods. In: **2006 37th IEEE Power Electronics Specialists Conference**. [S.l.: s.n.], 2006. p. 1–7.
- CHAUDHURI, T. **Cross Connected Multilevel Voltage Source Inverter Topologies for Medium Voltage Applications**. 242 p. Tese (Doutorado) — ÉCOLE POLYTECHNIQUE FÉDÉRALE DE LAUSANNE, 2008.
- CHAUDHURI, T.; RUFER, A. Modeling and Control of the Cross-Connected Intermediate-Level Voltage Source Inverter. **IEEE Transactions on Industrial Electronics**, v. 57, n. 8, p. 2597–2604, aug 2010. ISSN 0278-0046.
- CHEN, A. et al. A multilevel converter topology with fault tolerant ability. In: **Nineteenth Annual IEEE Applied Power Electronics Conference and Exposition, 2004. APEC '04**. [S.l.]: IEEE, 2004. v. 3, n. 2, p. 1610–1616. ISBN 0-7803-8269-2. ISSN 0885-8993.
- CHEN, M. et al. A six-switch seven-level triple-boost inverter. **IEEE Transactions on Power Electronics**, v. 36, n. 2, p. 1225–1230, 2021.
- CHENG, C.; HE, L. Flying-capacitor-clamped five-level inverter based on switched-capacitor topology. **ECCE 2016 - IEEE Energy Conversion Congress and Exposition, Proceedings**, IEEE, p. 1–5, 2016.
- CHENG, H. et al. Hybrid control scheme for three-phase multilevel unidirectional rectifier under unbalanced input voltages. **IEEE Access**, v. 7, p. 29989–30001, 2019.

- CITTANTI, D.; BOJOI, R. Modulation strategy assessment for 3-level unidirectional rectifiers in electric vehicle ultra-fast charging applications. In: **2020 AEIT International Conference of Electrical and Electronic Technologies for Automotive (AEIT AUTOMOTIVE)**. [S.l.: s.n.], 2020. p. 1–6.
- CORTEZ, D. F. **Família de retificadores PWM unidirecionais três-níveis híbridos a capacitor chaveado com elevado fator de potência**. 253 p. Tese (Doutorado) — Universidade Federal de Santa Catarina, 2015. Disponível em: <<https://repositorio.ufsc.br/xmlui/handle/123456789/134944>>.
- CORZINE, K.; BAKER, J. Reduced-parts-count multilevel rectifiers. **IEEE Transactions on Industrial Electronics**, v. 49, n. 4, p. 766–774, 2002.
- FRANQUELO, L. et al. The age of multilevel converters arrives. **IEEE Industrial Electronics Magazine**, v. 2, n. 2, p. 28–39, jun 2008. ISSN 1932-4529.
- FRIEDLI, T.; KOLAR, J. W. A Semiconductor Area Based Assessment of AC Motor Drive Converter Topologies. In: **2009 Twenty-Fourth Annual IEEE Applied Power Electronics Conference and Exposition**. [S.l.]: IEEE, 2009. p. 336–342. ISBN 978-1-4244-2811-3. ISSN 1048-2334.
- GATEAU, G.; MEYNARD, T.; FOCH, H. Stacked multicell converter (SMC): properties and design. In: **2001 IEEE 32nd Annual Power Electronics Specialists Conference (IEEE Cat. No.01CH37230)**. [S.l.]: IEEE, 2002. v. 3, n. 2, p. 1583–1588. ISBN 0-7803-7067-8. ISSN 09398368.
- GIACOMINI, J. C. **Desenvolvimento de um inversor fotovoltaico trifásico não isolado conectado a rede elétrica**. 186 p. Dissertação (Mestrado) — Universidade Federal de Santa Maria, 2015.
- GONZALEZ, S.; VALLA, M.; CHRISTIANSEN, C. Five-level cascade asymmetric multilevel converter. **IET Power Electronics**, v. 3, n. 1, p. 120, 2010. ISSN 17554535.
- GRBOVIC, P. J. et al. Five-level unidirectional t-rectifier for high-speed gen-set applications. **IEEE Transactions on Industry Applications**, v. 52, n. 2, p. 1642–1651, 2016.
- HASAN, M. M.; MEKHILEF, S.; AHMED, M. E. Three-phase hybrid multilevel inverter with less power electronic components using space vector modulation. **Iet Power Electronics**, v. 7, p. 1256–1265, 2014.
- HELDWEIN, M. L.; MUSSA, S. A.; BARBI, I. Three-phase multilevel pwm rectifiers based on conventional bidirectional converters. **IEEE Transactions on Power Electronics**, v. 25, n. 3, p. 545–549, 2010.
- HINAGO, Y.; KOIZUMI, H. A switched-capacitor inverter using series/parallel conversion with inductive load. **IEEE Transactions on Industrial Electronics**, v. 59, n. 2, p. 878–887, 2012. ISSN 02780046.

- ITO, K.; TAKAHASHI, K.; KOIZUMI, H. A common ground five-level inverter using switched capacitor. In: **IECON 2019 - 45th Annual Conference of the IEEE Industrial Electronics Society**. [S.l.: s.n.], 2019. v. 1, p. 1485–1489.
- JAHAN, H. K.; ABAPOUR, M.; ZARE, K. Switched-Capacitor-Based Single-Source Cascaded H-Bridge Multilevel Inverter Featuring Boosting Ability. **IEEE Transactions on Power Electronics**, IEEE, v. 34, n. 2, p. 1113–1124, feb 2019. ISSN 0885-8993.
- JOHNSON, M. H.; ALIPRANTIS, D. C. Analysis and control of pmsg-based wind turbine with vienna rectifier near current zero crossings. In: **2014 Power and Energy Conference at Illinois (PECI)**. [S.l.: s.n.], 2014. p. 1–8.
- KASHIHARA, Y.; ITOH, J.-i. Parameter design of a five-level inverter for pv systems. In: **8th International Conference on Power Electronics - ECCE Asia**. [S.l.: s.n.], 2011. p. 1886–1893.
- KIM, K.-M.; HAN, J.-K.; MOON, G.-W. A high step-up switched-capacitor 13-level inverter with reduced number of switches. **IEEE Transactions on Power Electronics**, v. 36, n. 3, p. 2505–2509, 2021.
- KIM, Y.-S.; SEO, B.-S.; HYUN, D.-S. A novel structure of multi-level high voltage source inverter. In: **Proceedings of TENCON '93. IEEE Region 10 International Conference on Computers, Communications and Automation**. [S.l.]: IEEE, 1993. p. 503–508 vol.5. ISBN 0-7803-1233-3.
- KOHLER, M. Andrey Freitas de S.; CORTEZ, D. F. Single-phase five-level flying-capacitor rectifier using three switches. **IEEE Open Journal of Power Electronics**, v. 1, p. 383–392, 2020.
- KOURO, S. et al. Grid-Connected Photovoltaic Systems: An Overview of Recent Research and Emerging PV Converter Technology. **IEEE Industrial Electronics Magazine**, v. 9, n. 1, p. 47–61, mar 2015. ISSN 1932-4529.
- KUMARI, S.; N, S.; VERMA, A. K. Switched-capacitor based five-level inverter with ground connection. In: **2022 IEEE International Conference on Power Electronics, Smart Grid, and Renewable Energy (PESGRE)**. [S.l.: s.n.], 2022. p. 1–5.
- LAI, J.-S.; PENG, F. Z. Multilevel converters-a new breed of power converters. **IEEE Transactions on Industry Applications**, IEEE, v. 32, n. 3, p. 509–517, 1996. ISSN 00939994.
- LEE, S. S. et al. A new unity-gain 5-level active neutral-point-clamped (ug-5l-anpc) inverter. In: **2019 IEEE Conference on Energy Conversion (CENCON)**. [S.l.: s.n.], 2019. p. 213–217.
- _____. Dual-t-type five-level cascaded multilevel inverter with double voltage boosting gain. **IEEE Transactions on Power Electronics**, v. 35, n. 9, p. 9522–9529, 2020.

LEON, J. I. et al. The Essential Role and the Continuous Evolution of Modulation Techniques for Voltage-Source Inverters in the Past, Present, and Future Power Electronics. **IEEE Transactions on Industrial Electronics**, v. 63, n. 5, p. 2688–2701, may 2016. ISSN 0278-0046.

LEON, J. I.; VAZQUEZ, S.; FRANQUELO, L. G. Multilevel Converters: Control and Modulation Techniques for Their Operation and Industrial Applications. **Proceedings of the IEEE**, v. 105, n. 11, p. 2066–2081, nov 2017. ISSN 0018-9219.

MALINOWSKI, M. et al. A Survey on Cascaded Multilevel Inverters. **IEEE Transactions on Industrial Electronics**, v. 57, n. 7, p. 2197–2206, jul 2010. ISSN 0278-0046.

MARTINS, G. B. **Estudo de conversores a capacitores chaveados**. 161 p. Dissertação (Mestrado) — Universidade Federal de Santa Catarina, 2013.

MARZOUGH, A. et al. Design and Comparison of Cascaded H-Bridge, Modular Multilevel Converter, and 5-L Active Neutral Point Clamped Topologies for Motor Drive Applications. **IEEE Transactions on Industry Applications**, v. 54, n. 2, p. 1404–1413, mar 2018. ISSN 0093-9994.

William McMurray. **FAST RESPONSE STEPPED-WAVE SWITCHING POWER CONVERTER CIRCUIT**. 1971. Disponível em: <<https://patents.google.com/patent/US3581212A/en>>.

MEYNARD, T.; FOCH, H. Multi-level conversion: high voltage choppers and voltage-source inverters. In: **PESC '92 Record. 23rd Annual IEEE Power Electronics Specialists Conference**. [S.l.]: IEEE, 1992. p. 397–403. ISBN 0-7803-0695-3.

MEYNARD, T. et al. Flying capacitor multicell converters with reduced stored energy. In: **2006 IEEE International Symposium on Industrial Electronics**. [S.l.: s.n.], 2006. v. 2, p. 914–918.

MISSULA, J. V. Single-phase five-level boost inverter for stand-alone pv applications. In: **IECON 2020 The 46th Annual Conference of the IEEE Industrial Electronics Society**. [S.l.: s.n.], 2020. p. 1481–1486.

MONTEIRO, A. P. et al. Unidirectional five-level rectifiers for wecs applications. In: **2021 IEEE Energy Conversion Congress and Exposition (ECCE)**. [S.l.: s.n.], 2021. p. 2288–2294.

MUKHERJEE, D.; KASTHA, D. A minimum switch five-level unidirectional rectifier without any voltage balancing and pre-charging circuitry. **IEEE Transactions on Power Electronics**, v. 34, n. 12, p. 11605–11615, 2019.

_____. A reduced switch hybrid multilevel unidirectional rectifier. **IEEE Transactions on Power Electronics**, v. 34, n. 3, p. 2070–2081, 2019.

- MUNIZ, J. H. G. et al. A new five-level half-bridge based on a hybrid active neutral point clamped/flying dc-source inverter. In: **2015 IEEE Energy Conversion Congress and Exposition (ECCE)**. [S.l.]: IEEE, 2015. v. 1, p. 3601–3606. ISBN 978-1-4673-7151-3.
- NABAE, A.; TAKAHASHI, I.; AKAGI, H. A New Neutral-Point-Clamped PWM Inverter. **IEEE Transactions on Industry Applications**, IA-17, n. 5, p. 518–523, sep 1981. ISSN 0093-9994.
- NAMI, A. et al. Modular Multilevel Converters for HVDC Applications: Review on Converter Cells and Functionalities. **IEEE Transactions on Power Electronics**, v. 30, n. 1, p. 18–36, jan 2015. ISSN 0885-8993.
- PENG, F. Z. A generalized multilevel inverter topology with self voltage balancing. **IEEE Transactions on Industry Applications**, v. 37, n. 2, p. 611–618, 2001. ISSN 00939994.
- PENG, F. Z.; LAI, J.-S. Dynamic performance and control of a static var generator using cascade multilevel inverters. **IEEE Transactions on Industry Applications**, v. 33, n. 3, p. 748–755, 1997.
- PENG, F. Z. et al. A multilevel voltage-source converter system with balanced DC voltages. In: **Proceedings of PESC '95 - Power Electronics Specialist Conference**. [S.l.]: IEEE, 1995. v. 2, p. 1144–1150. ISBN 0-7803-2730-6. ISSN 02759306.
- PENG, F. Z.; QIAN, W.; CAO, D. Recent advances in multilevel converter/inverter topologies and applications. In: **The 2010 International Power Electronics Conference - ECCE ASIA -**. [S.l.]: IEEE, 2010. p. 492–501. ISBN 978-1-4244-5394-8.
- RODRIGUEZ, J. et al. Multilevel Converters: An Enabling Technology for High-Power Applications. **Proceedings of the IEEE**, v. 97, n. 11, p. 1786–1817, nov 2009. ISSN 0018-9219.
- ROY, T.; SADHU, P. K. A step-up multilevel inverter topology using novel switched capacitor converters with reduced components. **IEEE Transactions on Industrial Electronics**, v. 68, n. 1, p. 236–247, 2021.
- ROZLAN, M. H. H. B. M.; A. **DC / AC Inverter based Switched Capacitor Topology**. 207 p. Tese (Doutorado) — Brunel University London, 2017.
- RUIZ-CABALLERO, D. A. et al. Symmetrical Hybrid Multilevel DC?AC Converters With Reduced Number of Insulated DC Supplies. **IEEE Transactions on Industrial Electronics**, v. 57, n. 7, p. 2307–2314, jul 2010. ISSN 0278-0046.
- RYAN, M.; LORENZ, R.; DONCKER, R. D. Modeling of multilevel sine-wave inverters: a geometric approach. **IEEE Transactions on Industrial Electronics**, v. 46, n. 6, p. 1183–1191, 1999.
- SAEEDIAN, M. et al. A Novel Step-Up Single Source Multilevel Inverter: Topology, Operating Principle and Modulation. **IEEE Transactions on Power Electronics**, IEEE, v. 34, n. 4, p. 1–1, 2018. ISSN 0885-8993.

- SAEEDIAN, M.; HOSSEINI, S. M.; ADABI, J. A Five-Level Step-Up Module for Multi-level Inverters: Topology, Modulation Strategy, and Implementation. **IEEE Journal of Emerging and Selected Topics in Power Electronics**, IEEE, v. 6, n. 4, p. 2215–2226, dec 2018. ISSN 2168-6777.
- SAFAYATULLAH, M. et al. A comprehensive review of power converter topologies and control methods for electric vehicle fast charging applications. **IEEE Access**, v. 10, p. 40753–40793, 2022.
- SALEM, A. et al. New three-phase symmetrical multilevel voltage source inverter. **IEEE Journal on Emerging and Selected Topics in Circuits and Systems**, v. 5, n. 3, p. 430–442, 2015.
- SAMANBAKHSR, R.; TAHERI, A. Reduction of Power Electronic Components in Multilevel Converters Using New Switched Capacitor-Diode Structure. **IEEE Transactions on Industrial Electronics**, v. 63, n. 11, p. 7204–7214, 2016. ISSN 02780046.
- SANDEEP, N. et al. A Self-Balancing Five-Level Boosting Inverter With Reduced Components. **IEEE Transactions on Power Electronics**, IEEE, PP, n. c, p. 1–1, 2018. ISSN 0885-8993.
- SANTOS, E. C. dos; SILVA, E. R. C. da. Power Block Geometry Applied to the Building of Power Electronics Converters. **IEEE Transactions on Education**, v. 56, n. 2, p. 191–198, may 2013. ISSN 0018-9359.
- SANTOS, R. d. S. **Inversores PWM Trifásicos Híbridos a Capacitor Chaveado para Aplicações com Reduzido Ganho de Tensão (High Step-Down)**. 381 p. Tese (Doutorado) — Universidade Federal de Santa Catarina, 2017. Disponível em: <<https://repositorio.ufsc.br/handle/123456789/189476>>.
- SATHIK, M. J. et al. An Improved Seven-Level PUC Inverter Topology with Voltage Boosting. **IEEE Transactions on Circuits and Systems II: Express Briefs**, IEEE, PP, n. c, p. 1–1, 2019. ISSN 1549-7747.
- SCHWEIZER, M.; FRIEDLI, T.; KOLAR, J. W. Comparative Evaluation of Advanced Three-Phase Three-Level Inverter/Converter Topologies Against Two-Level Systems. **IEEE Transactions on Industrial Electronics**, v. 60, n. 12, p. 5515–5527, dec 2013. ISSN 0278-0046.
- SCHWEIZER, M.; KOLAR, J. W. Design and Implementation of a Highly Efficient Three-Level T-Type Converter for Low-Voltage Applications. **IEEE Transactions on Power Electronics**, v. 28, n. 2, p. 899–907, feb 2013. ISSN 0885-8993.
- SEEMAN, M. D. **A Design Methodology for Switched-Capacitor DC-DC Converters**. Tese (Doutorado) — University of California at Berkeley, 2009. Disponível em: <<http://www2.eecs.berkeley.edu/Pubs/TechRpts/2009/EECS-2009-78.pdf>>.

- SIEMENS. **The benchmark for medium-voltage drive systems**. [S.l.], 2018. 14 p. Disponível em: <<https://w3.siemens.com/drives/global/en/converter/mv-drives/Pages/sinamics-gh180.aspx>>.
- SIEMENS, E. **HVDC - High-voltage direct current transmission**. [S.l.], 2021. 6 p. Disponível em: <<https://www.siemens-energy.com/global/en/offerings/power-transmission/portfolio/high-voltage-direct-current-transmission-solutions/hvdc-plus.html>>.
- SIWAKOTI, Y. P. A new six-switch five-level boost-active neutral point clamped (5L-Boost-ANPC) inverter. In: **2018 IEEE Applied Power Electronics Conference and Exposition (APEC)**. [S.l.]: IEEE, 2018. p. 2424–2430. ISBN 978-1-5386-1180-7.
- SIWAKOTI, Y. P. et al. Analysis and design of a novel six-switch five-level active boost neutral point clamped inverter. **IEEE Transactions on Industrial Electronics**, v. 67, n. 12, p. 10485–10496, 2020.
- SOEIRO, T. B. et al. Three-phase five-level active-neutral-point-clamped converters for medium voltage applications. In: **2013 Brazilian Power Electronics Conference**. [S.l.]: IEEE, 2013. v. 2, p. 85–91. ISBN 978-1-4799-0272-9. ISSN 2175-8603.
- SOEIRO, T. B.; KOLAR, J. W. The New High-Efficiency Hybrid Neutral-Point-Clamped Converter. **IEEE Transactions on Industrial Electronics**, v. 60, n. 5, p. 1919–1935, may 2013. ISSN 0278-0046.
- SU, G.-J. Multilevel DC-Link Inverter. **IEEE Transactions on Industry Applications**, v. 41, n. 3, p. 848–854, may 2005. ISSN 0093-9994.
- SUN, R.; YE, Y.; WANG, X. A novel five-level boosting inverter with self-balancing switched-capacitor for electric vehicles. In: **2020 8th International Conference on Power Electronics Systems and Applications (PESA)**. [S.l.: s.n.], 2020. p. 1–5.
- TAGHVAIE, A.; ADABI, J.; REZANEJAD, M. A Self-Balanced Step-Up Multilevel Inverter Based on Switched-Capacitor Structure. **IEEE Transactions on Power Electronics**, v. 33, n. 1, p. 199–209, jan 2018. ISSN 0885-8993.
- TEODORESCU, R.; LISERRE, M.; RODRÍGUEZ, P. **Grid Converters for Photovoltaic and Wind Power Systems**. Chichester, UK: John Wiley & Sons, Ltd, 2011. ISBN 9780470667057. Disponível em: <<http://doi.wiley.com/10.1002/9780470667057>>.
- TOLBERT, L. et al. Charge balance control schemes for cascade multilevel converter in hybrid electric vehicles. **IEEE Transactions on Industrial Electronics**, v. 49, n. 5, p. 1058–1064, oct 2002. ISSN 0278-0046.
- VIEIRA, R. P. et al. Abordagem Geométrica para Modulação de Conversores três Braços no Acionamento de Máquinas de Indução Bifásicas Simétricas e Assimétricas. **SBA CONTROLE E AUTOMAÇÃO**, IEEE, v. 23, n. 1, p. 14–24, 2012. ISSN 0103-1759.

WANG, C.; LI, Y. A survey on topologies of multilevel converters and study of two novel topologies. In: **2009 IEEE 6th International Power Electronics and Motion Control Conference**. [S.l.]: IEEE, 2009. v. 3, p. 860–865. ISBN 978-1-4244-3556-2.

WANG, F. et al. A maximum power factor of control algorithms of three-level Vienna Rectifier without current distortion at current zero-crossing point. In: **2016 IEEE 8th International Power Electronics and Motion Control Conference (IPEMC-ECCE Asia)**. [S.l.: s.n.], 2016. p. 2335–2331.

WANG, H. et al. A New Six-Switch Five-Level Active Neutral Point Clamped Inverter for PV Applications. **IEEE Transactions on Power Electronics**, v. 32, n. 9, p. 6700–6715, sep 2017. ISSN 0885-8993.

_____. A seven-switch five-level active-neutral-point-clamped converter and its optimal modulation strategy. **IEEE Transactions on Power Electronics**, v. 32, n. 7, p. 5146–5161, 2017. ISSN 08858993.

WILKINSON, R. H.; MEYNARD, T. A.; MOUTON, H. d. T. Natural balance of multicell converters: The two-cell case. **IEEE Transactions on Power Electronics**, v. 21, n. 6, p. 1649–1657, 2006. ISSN 08858993.

WILKINSON, R. H.; MEYNARD, T. A.; MOUTON, H. du T. Natural Balance of Multi-cell Converters: The General Case. **IEEE Transactions on Power Electronics**, v. 21, n. 6, p. 1658–1666, nov 2006. ISSN 0885-8993.

WU, B. et al. Analysis of High-Power Switched-Capacitor Converter Regulation Based on Charge-Balance Transient-Calculation Method. **IEEE Transactions on Power Electronics**, IEEE, v. 31, n. 5, p. 3482–3494, 2016. ISSN 08858993.

WU, B.; NARIMANI, M. **High-Power Converters and AC Drives**. Hoboken, NJ, USA: John Wiley & Sons, Inc., 2017. ISBN 9781119156079. Disponível em: <<http://doi.wiley.com/10.1002/9781119156079>>.

XU, S. et al. A novel hybrid five-level voltage-source converter based on t-type topology for high-efficiency applications. **IEEE Transactions on Industry Applications**, v. 53, n. 5, p. 4730–4743, 2017.

YANG, L. et al. Dynamic Capacitor Ampere-Second Balance Transient Calculation Modeling Method for Switched-Capacitor Converters. **IEEE Transactions on Power Electronics**, IEEE, v. 33, n. 10, p. 8916–8926, oct 2018. ISSN 0885-8993.

YE, Y. et al. A Step-Up Switched-Capacitor Multilevel Inverter With Self-Voltage Balancing. **IEEE Transactions on Industrial Electronics**, IEEE, v. 61, n. 12, p. 6672–6680, dec 2014. ISSN 0278-0046.

_____. Neutral-point-clamped five-level inverter with self-balanced switched capacitor. **IEEE Transactions on Industrial Electronics**, v. 69, n. 3, p. 2202–2215, 2022.

YUAN, X. A non-regenerative five-level rectifier. In: **2014 IEEE Energy Conversion Congress and Exposition (ECCE)**. [S.l.: s.n.], 2014. p. 5392–5398.

_____. Derivation of Voltage Source Multilevel Converter Topologies. **IEEE Transactions on Industrial Electronics**, v. 64, n. 2, p. 966–976, feb 2017. ISSN 0278-0046.

YUAN, X.; BARBI, I. A new diode clamping multilevel inverter. In: **APEC '99. Fourteenth Annual Applied Power Electronics Conference and Exposition. 1999 Conference Proceedings (Cat. No.99CH36285)**. [S.l.]: IEEE, 1999. p. 495–501 vol.1. ISBN 0-7803-5160-6.

ZHANG, F. et al. A New Design Method for High-Power High-Efficiency Switched-Capacitor DC-DC Converters. **IEEE Transactions on Power Electronics**, v. 23, n. 2, p. 832–840, mar 2008. ISSN 0885-8993.

ZHANG, X. et al. Multilevel inverters for grid-connected photovoltaic applications: Examining emerging trends. **IEEE Power Electronics Magazine**, v. 5, n. 4, p. 32–41, 2018.

ZHAO, Y.; LI, Y.; LIPO, T. A. Force commutated three level boost type rectifier. **IEEE Transactions on Industry Applications**, v. 31, n. 1, p. 155–161, 1995.