

UNIVERSIDADE FEDERAL DE SANTA MARIA  
CENTRO DE TECNOLOGIA  
PROGRAMA DE PÓS-GRADUAÇÃO EM ENGENHARIA ELÉTRICA

Catherine Marquioro de Freitas

**PLATAFORMA PARA TESTES DE LEIS DE CONTROLE DE  
INVERSORES CONECTADOS À REDE UTILIZANDO  
HARDWARE-IN-THE-LOOP**

Santa Maria, RS  
2023

Catherine Marquioro de Freitas

**PLATAFORMA PARA TESTES DE LEIS DE CONTROLE DE INVERSORES  
CONECTADOS À REDE UTILIZANDO HARDWARE-IN-THE-LOOP**

Dissertação de Mestrado apresentada ao Programa de Pós-Graduação em Engenharia Elétrica, Área de Concentração em Processamento de Energia Elétrica, da Universidade Federal de Santa Maria (UFSM, RS), como requisito parcial para obtenção do grau de **Mestre em Engenharia Elétrica**.

Orientador: Prof. Leandro Michels

Santa Maria, RS  
2023

Freitas, Catherine Marquioro de  
Plataforma para Testes de Leis de Controle de  
Inversores Conectados à Rede Utilizando Hardware-In-The  
Loop / Catherine Marquioro de Freitas.- 2023.  
104 p.; 30 cm

Orientador: Leandro Michels  
Dissertação (mestrado) - Universidade Federal de Santa  
Maria, Centro de Tecnologia, Programa de Pós-Graduação em  
Engenharia Elétrica, RS, 2023

1. Eletrônica de Potência 2. Energia Fotovoltaica 3.  
Firmware 4. Geração Distribuída 5. Inversor Conectado à  
Rede I. Michels, Leandro II. Título.

Sistema de geração automática de ficha catalográfica da UFSM. Dados fornecidos pelo autor(a). Sob supervisão da Direção da Divisão de Processos Técnicos da Biblioteca Central. Bibliotecária responsável Paula Schoenfeldt Patta CRB 10/1728.

Declaro, CATHERINE MARQUIORO DE FREITAS, para os devidos fins e sob as penas da lei, que a pesquisa constante neste trabalho de conclusão de curso (Dissertação) foi por mim elaborada e que as informações necessárias objeto de consulta em literatura e outras fontes estão devidamente referenciadas. Declaro, ainda, que este trabalho ou parte dele não foi apresentado anteriormente para obtenção de qualquer outro grau acadêmico, estando ciente de que a inveracidade da presente declaração poderá resultar na anulação da titulação pela Universidade, entre outras consequências legais.

**Catherine Marquioro de Freitas**

**PLATAFORMA PARA TESTES DE LEIS DE CONTROLE DE INVERSORES  
CONECTADOS À REDE UTILIZANDO HARDWARE-IN-THE-LOOP**

Dissertação de Mestrado apresentada ao Programa de Pós-Graduação em Engenharia Elétrica, Área de Concentração em Processamento de Energia Elétrica, da Universidade Federal de Santa Maria (UFSM, RS), como requisito parcial para obtenção do grau de **Mestre em Engenharia Elétrica**.

**Aprovado em 23 de agosto de 2023:**

---

**Leandro Michels, Dr. (UFSM)**  
**(Presidente/Orientador)**

---

**Bruno Wanderley França, Dr. (UFF)**

---

**Lucas Vizzotto Bellinaso, Dr. (UFSM)**

Santa Maria, RS  
2023

## **DEDICATÓRIA**

A minha família.

## AGRADECIMENTOS

Gostaria de deixar registrado a minha gratidão a todas as pessoas que, de alguma forma, contribuíram com este trabalho. O apoio e colaboração de vocês foi essencial para a realização desse trabalho.

Inicialmente agradeço a Deus.

Agradeço a toda minha família por todo amor incondicional e incentivo, em especial, à minha mãe Rosangela, ao meu pai Gilson e ao meu irmão Miguel. Ao meu namorado, e colega de profissão, Gustavo Eckhardt por todo o amor, incentivo e ajuda na elaboração desse trabalho.

Agradeço imensamente ao meu orientador, Leandro Michels pela oportunidade e pela orientação concedida durante todo o processo de pesquisa. Sua orientação e conhecimento foram fundamentais para o desenvolvimento dessa dissertação. Estendo meu agradecimento aos demais professores do Programa de Pós-Graduação em Engenharia Elétrica (PPGEE) por todo conhecimento transmitido.

Gostaria de expressar minha gratidão à Universidade Federal de Santa Maria (UFSM), ao PPGEE, bem como ao Grupo de Eletrônica de Potência e Controle (GEPOC) e ao Instituto de Redes Inteligentes (INRI) por fornecer um ambiente de pesquisa e recursos essenciais ao desenvolvimento do trabalho. Agradeço aos meus colegas e amigos do INRI pelo companheirismo e troca de conhecimento.

Agradeço ao INCT-GD, CAPES e EMBRAPPII pelo apoio financeiro.

Viver é melhor que sonhar.

(Belchior)

## RESUMO

### PLATAFORMA PARA TESTES DE LEIS DE CONTROLE DE INVERSORES CONECTADOS À REDE UTILIZANDO HARDWARE-IN-THE-LOOP

AUTORA: Catherine Marquioro de Freitas  
Orientador: Leandro Michels

O uso de inversores em sistemas de energia tem crescido rapidamente devido ao avanço das fontes de energia renovável. O aprimoramento desses equipamentos é essencial para garantir a compatibilidade e integração com outros sistemas, bem como assegurar a confiabilidade, eficiência e segurança da rede elétrica e dos equipamentos conectados a ela. Nesse sentido, esse trabalho propõe o desenvolvimento de um *firmware* que permite testar leis de controle de inversores fotovoltaicos. O *firmware* desenvolvido é responsável pelo controle e funcionamento adequado do inversor e tem a proposta de ser modular. Dessa forma, é possível substituir e ajustar diferentes módulos do controle, sem que ele interfira no restante do funcionamento do inversor, eliminando a necessidade de reescrever ou adaptar todo o código do *firmware*. Com isso, diferentes funcionalidades e leis de controle podem ser testadas e comparadas de maneira simples e independente, possibilitando um processo de desenvolvimento mais eficiente. A implementação desse *firmware* modular tem potencial para acelerar o processo de desenvolvimento e validação de novas leis de controle para inversores fotovoltaicos, além de adaptá-los a diferentes condições e requisitos que possam surgir. O *firmware* foi validado a partir de ensaios normatizados da portaria do INMETRO nº 140, utilizando Hardware-In-The-Loop (HIL). O HIL permite a troca de informações em tempo real entre o *firmware* real e o modelo virtual do inversor e da rede elétrica, garantindo uma simulação mais precisa. Além disso, é possível emular diferentes cenários de operação e avaliar o desempenho do inversor em um ambiente controlado, seguro e de forma ágil. Nesse sentido, a plataforma de *firmware* modular em conjunto com o HIL oferece uma abordagem flexível e eficiente para o desenvolvimento e validação de novas tecnologias, impulsionando o avanço de inversores fotovoltaicos.

**Palavras-chave:** Eletrônica de Potência. Energia Fotovoltaica. *firmware*. Geração Distribuída. Inversor Conectado à Rede.



## ABSTRACT

### PLATFORM FOR TESTING CONTROL LAWS OF GRID-CONNECTED INVERTERS USING HARDWARE-IN-THE-LOOP

AUTHOR: Catherine Marquioro de Freitas

ADVISOR: Leandro Michels

The use of inverters in power systems has experienced rapid growth due to the advancement of renewable energy sources. Improving these devices is essential to ensure compatibility and integration with other systems, as well as to guarantee the reliability, efficiency, and safety of the electrical grid and connected equipment. In this sense, this work proposes the development of firmware that allows testing control laws for photovoltaic inverters. The developed firmware is responsible for the proper control and functioning of the inverter and is designed to be modular. This allows for the replacement and adjustment of different control modules without interfering with the rest of the inverter's operation, eliminating the need to rewrite or adapt the entire firmware code. Consequently, different functionalities and control laws can be tested and compared in a simple and independent manner, enabling a more efficient development process. The implementation of this modular firmware has the potential to accelerate the development and validation of new control laws for photovoltaic inverters, as well as to adapt them to different conditions and requirements that may arise. The firmware was validated through standardized tests based on INMETRO Ordinance No. 140, using Hardware-In-The-Loop (HIL) simulation. HIL enables real-time information exchange between the actual firmware and the virtual models of the inverter and electrical grid, ensuring more precise simulation. Additionally, it allows for the emulation of different operating scenarios and the evaluation of the inverter's performance in a controlled, secure, and agile environment. Therefore, the combination of the modular firmware platform with HIL provides a flexible and efficient approach for the development and validation of new technologies, driving the advancement of photovoltaic inverters.

**Keywords:** Power Electronics. Photovoltaic Energy. Firmware. Distributed Generation. Grid-Connected Inverter.

## LISTA DE FIGURAS

Figura 1 – Estrutura de controle do conversor de dois estágios. ....	18
Figura 2 – Classificação dos inversores de acordo com o número de estágios de conversão (a) Estágio único (b) Múltiplos estágios. ....	19
Figura 3 – Estrutura de controle do conversor de dois estágios. ....	20
Figura 4 – Configuração clássica de um conversor <i>boost</i> . ....	21
Figura 5 – Modelo do inversor <i>full-bridge</i> . ....	22
Figura 6 – Topologias de inversores <i>full-bridge</i> modificadas. ....	23
Figura 7 – Topologias de inversor NPC (a) Topologia clássica (b) Topologia tipo T. ....	24
Figura 8 – Topologias de filtro de saída. ....	24
Figura 9 – Técnicas de amortecimento passivo. ....	25
Figura 10 – Representação da plataforma de testes em HIL. ....	28
Figura 11 – Topologia do circuito de potência utilizado. ....	29
Figura 12 – Circuito equivalente do conversor <i>boost</i> . ....	30
Figura 13 – Etapas de operação do conversor <i>boost</i> . (a) Primeira etapa de operação. (b) Segunda etapa de operação. ....	31
Figura 14 – Representação do fluxo de potência no barramento CC. ....	33
Figura 15 – Circuito composto pelo inversor e filtro de saída. ....	34
Figura 16 – Circuito equivalente para modelagem. ....	34
Figura 17 – Gráfico de variação da indutância ....	36
Figura 18 – Diagrama de bode para diferentes valores de $R_d$ . ....	39
Figura 19 – Estrutura básica do PLL. ....	39
Figura 20 – Estrutura do SOGI-PLL. ....	40
Figura 21 – Resposta em frequência do controle de corrente em malha aberta. ....	42
Figura 22 – Curvas características do painel de 460 W. ....	43
Figura 23 – Algoritmo de rastreamento de ponto de operação de potência. ....	44
Figura 24 – Algoritmo de LPPT. ....	44
Figura 25 – Algoritmo de MPPT. ....	46
Figura 26 – Estrutura de controle do <i>boost</i> . ....	47
Figura 27 – Resposta em frequência de malha aberta do controle de corrente do <i>boost</i> . ..	48
Figura 28 – Resposta em frequência de malha aberta do controle de tensão do <i>boost</i> . ....	49
Figura 29 – Estrutura de controle do barramento CC. ....	49
Figura 30 – Resposta em frequência de malha aberta do controle do barramento CC. ....	50
Figura 31 – Curva do fator de potência em função da potência ativa. ....	51
Figura 32 – Curva de potência por variação de frequência. ....	53
Figura 33 – Padronização para o nome das funções. ....	56
Figura 34 – Padronização para o nome das funções. ....	56

Figura 35 – Estrutura de entradas e saídas. ....	57
Figura 36 – Documentação das funções. ....	58
Figura 37 – Estrutura de controle implementada. ....	59
Figura 38 – Representação da função de sincronismo com a rede. ....	60
Figura 39 – Representação da função de de geração de corrente de referência. ....	62
Figura 40 – Representação da função de geração de corrente de referência. ....	63
Figura 41 – Representação da função de rastreamento de ponto de operação de potência. ....	64
Figura 42 – Representação da função de rastreamento de controle do conversor <i>boost</i> . ...	65
Figura 43 – Representação da função de controle do barramento CC. ....	66
Figura 44 – Representação da função de controle de FP. ....	67
Figura 45 – Representação da função de proteção contra variações de tensão. ....	68
Figura 46 – Representação da função de proteção contra variações de frequência. ....	70
Figura 47 – Representação da função de controle de potência em sobrefrequência. ....	71
Figura 48 – Potência do MPPT diante a variações de radiação. (a) Método de condutância Incremental. (b) Método Perturba e Observa. ....	72
Figura 49 – Potência do MPPT diante a variações de temperatura. (a) Método de condutância Incremental. (b) Método Perturba e Observa ....	72
Figura 50 – <i>Setup</i> de testes usando o Typhoon HIL. ....	74
Figura 51 – Circuito simulado no Typhoon HIL. ....	74
Figura 52 – Resultado do ensaio de fator de potência em relação a potência ativa. ....	79
Figura 53 – Resultado do teste de determinação do nível de desconexão por subtensão. ...	80
Figura 54 – Resultado do teste de determinação do tempo de desconexão por subtensão. .	80
Figura 55 – Resultado do teste de determinação do nível de desconexão por sobretensão. ....	81
Figura 56 – Resultado do teste de determinação do tempo de desconexão por sobretensão. ....	81
Figura 57 – Resultado do teste de determinação do nível de desconexão por subfrequência. ....	82
Figura 58 – Resultado do teste de determinação do tempo de desconexão por subfrequência. ....	83
Figura 59 – Resultado do testes de determinação do nível de desconexão por sobrefrequência. ....	83
Figura 60 – Tempo de desconexão por sobrefrequência. ....	84
Figura 61 – Resultado do teste de controle de potência subfrequência. ....	85
Figura 62 – Resultado do teste de controle de potência sobrefrequência. ....	86
Figura 63 – Resultado do teste de imunidade a variações de subfrequência (a) Valor de frequência que o inversor é submetido. (b) Comportamento da potência do inversor. (c) Comportamento da corrente do inversor. ....	87
Figura 64 – Resultado do teste de imunidade a variações de sobrefrequência (a) Valor de frequência que o inversor é submetido. (b) Comportamento da potência do inversor. (c) Comportamento da corrente do inversor. ....	88
Figura 65 – Resultado do teste de imunidade a variações de subtensão (a) Valor de tensão	

que o inversor é submetido. (b) Comportamento da potência do inversor. (c)  
Comportamento da corrente do inversor. .... 90

Figura 66 – Resultado do teste de imunidade a variações de sobretensão (a) Valor de tensão  
que o inversor é submetido. (b) Comportamento da potência do inversor. (c)  
Comportamento da corrente do inversor. .... 91

## LISTA DE TABELAS

Tabela 1 – Parâmetros do Sistema. ....	30
Tabela 2 – Parâmetros para projeto do conversor <i>boost</i> . ....	36
Tabela 3 – Parâmetros do módulo FV de 460 W. ....	43
Tabela 4 – Ajustes para a proteção de subtensão. ....	52
Tabela 5 – Ajustes para a proteção de sobretensão. ....	52
Tabela 6 – Ajustes para a proteção de subfrequência. ....	53
Tabela 7 – Ajustes para a proteção de sobrefrequência. ....	53
Tabela 8 – Nome padrão para variáveis. ....	58
Tabela 9 – Operação do fator de potência. ....	68
Tabela 10 – Resultado do ensaio de injeção de corrente CC. ....	75
Tabela 11 – Limites de distorção harmônica individual. ....	76
Tabela 12 – Resultado do ensaio de THD. ....	76
Tabela 13 – Resultado do ensaio de harmônicas individuais. ....	77
Tabela 14 – Resultado do ensaio de fator de potência fixo. ....	78
Tabela 15 – Resultado do ensaio de fator de potência em relação a potência ativa. ....	78
Tabela 16 – Requisitos para o ensaio de imunidade a variações de frequência. ....	86
Tabela 17 – Intervalos de tempo de aplicação dos níveis de subfrequência. ....	87
Tabela 18 – Intervalos de tempo de aplicação de níveis de sobrefrequência. ....	89
Tabela 19 – Requisitos para o ensaio de imunidade a variações de tensão. ....	89
Tabela 20 – Intervalos de tempo de aplicação de níveis de subtensão. ....	90
Tabela 21 – Intervalos de tempo de aplicação de níveis de subtensão. ....	91

## LISTA DE QUADROS

Quadro 1 – Variáveis utilizadas na função de sincronismo. ....	60
Quadro 2 – Variáveis utilizadas na função de geração de referência de corrente. ....	62
Quadro 3 – Variáveis utilizadas na função de controle de corrente do inversor. ....	63
Quadro 4 – Variáveis utilizadas na função de rastreamento de ponto de operação de potência. ....	64
Quadro 5 – Variáveis utilizadas na função de controle do conversor <i>boost</i> . ....	65
Quadro 6 – Variáveis utilizadas na função de controle do barramento CC. ....	66
Quadro 7 – Variáveis utilizadas na função de de FP. ....	67
Quadro 8 – Variáveis utilizadas na função de proteção contra variações de tensão. ....	69
Quadro 9 – Variáveis utilizadas na função de proteção contra variações de frequência. ...	70
Quadro 10 – Variáveis utilizadas na função de controle de potência em sobrefrequência. .	71

## SUMÁRIO

<b>1</b>	<b>INTRODUÇÃO</b> .....	<b>16</b>
1.1	OBJETIVO GERAL .....	18
1.2	OBJETIVOS ESPECÍFICOS .....	18
<b>2</b>	<b>REVISÃO BIBLIOGRÁFICA</b> .....	<b>19</b>
2.1	ESTRUTURA DE POTÊNCIA E CONTROLE DE INVERSORES CONECTADOS À REDE .....	19
2.2	CONVERSOR CC-CC .....	21
2.3	TOPOLOGIAS DE INVERSORES NÃO ISOLADOS .....	22
<b>2.3.1</b>	<b>Inversores <i>Full-Bridge</i></b> .....	<b>22</b>
<b>2.3.2</b>	<b>Inversores NPC</b> .....	<b>23</b>
2.4	FILTRO DE SAÍDA .....	24
2.5	RESOLUÇÕES BRASILEIRAS REFERENTES À CERTIFICAÇÃO DE INVERSORES .....	26
<b>2.5.1</b>	<b>INMETRO Portaria nº 140</b> .....	<b>26</b>
2.6	<i>HARDWARE-IN-THE-LOOP</i> .....	27
<b>3</b>	<b>ESTUDO DE CASO: <i>FIRMWARE</i> PARA INVERSOR FOTOVOLTAICO CONECTADO À REDE</b> .....	<b>29</b>
3.1	TOPOLOGIA .....	29
3.2	MODELOS DINÂMICOS DOS ESTÁGIOS DE CONVERSÃO .....	30
<b>3.2.1</b>	<b>Estágio de Entrada</b> .....	<b>30</b>
<b>3.2.2</b>	<b>Barramento CC</b> .....	<b>33</b>
<b>3.2.3</b>	<b>Estágio de Saída</b> .....	<b>33</b>
3.3	DIMENSIONAMENTO DOS ELEMENTOS PASSIVOS DOS CONVERSORES .....	36
<b>3.3.1</b>	<b>Estágio de entrada</b> .....	<b>36</b>
<b>3.3.2</b>	<b>Barramento CC</b> .....	<b>37</b>
<b>3.3.3</b>	<b>Estágio de saída</b> .....	<b>37</b>
3.4	SISTEMA DE CONTROLE, PROTEÇÃO E GERAÇÃO DE REFERÊNCIAS ...	39
<b>3.4.1</b>	<b>Geração de referências de sincronismo com a rede</b> .....	<b>39</b>
<b>3.4.2</b>	<b>Gerador de referência de corrente do estágio de saída</b> .....	<b>40</b>
<b>3.4.3</b>	<b>Controlador de corrente do estágio de saída</b> .....	<b>41</b>
<b>3.4.4</b>	<b>Gerador de referência para seguimento de ponto de máxima potência</b> .....	<b>42</b>
3.4.4.1	Método de LPPT .....	44
3.4.4.2	Método de MPPT .....	45
<b>3.4.5</b>	<b>Controlador de tensão do estágio de entrada</b> .....	<b>46</b>
3.4.5.1	Controlador da malha interna do estágio de entrada .....	47
3.4.5.2	Controlador da malha externa do estágio de entrada .....	48

<b>3.4.6</b>	<b>Controlador de tensão do barramento CC</b> .....	<b>49</b>
<b>3.4.7</b>	<b>Funções de Proteção e de Suporte à Rede</b> .....	<b>50</b>
3.4.7.1	Ajuste do Fator de Potência .....	50
3.4.7.2	Proteção de Sobretensão e Subtensão .....	52
3.4.7.3	Proteção de Sobrefrequência e Subfrequência .....	52
3.4.7.4	Controle de Potência em Sobrefrequência .....	53
3.5	CONSIDERAÇÕES FINAIS .....	54
<b>4</b>	<b>METODOLOGIA PROPOSTA PARA ESTRUTURAÇÃO DE <i>FIRMWARE</i></b> ..	<b>55</b>
4.1	PADRONIZAÇÃO DE ESTRUTURA DO PROGRAMA .....	55
4.2	PADRONIZAÇÃO PARA O NOME DAS FUNÇÕES .....	56
4.3	PADRONIZAÇÃO DE REPRESENTAÇÃO DE VARIÁVEIS DE ENTRADA E SAÍDA .....	57
4.4	METODOLOGIA PARA DOCUMENTAÇÃO DAS FUNÇÕES .....	58
4.5	APLICAÇÃO DA METODOLOGIA PROPOSTA PARA GERAÇÃO DE <i>FIRMWARE</i> DO ESTUDO DE CASO PROPOSTO .....	59
<b>4.5.1</b>	<b>Implementação da função de gerador de referências de sincronismo com a rede</b> .....	<b>60</b>
<b>4.5.2</b>	<b>Implementação da função de gerador de referência de corrente do estágio de saída</b> .....	<b>62</b>
<b>4.5.3</b>	<b>Implementação da função de controlador de corrente do estágio de saída</b> .....	<b>62</b>
<b>4.5.4</b>	<b>Implementação da Função de gerador de referência para seguimento de ponto de máxima potência</b> .....	<b>64</b>
<b>4.5.5</b>	<b>Implementação da Função do controlador de tensão do estágio de entrada</b> ...	<b>65</b>
<b>4.5.6</b>	<b>Implementação da função de controle do barramento CC</b> .....	<b>66</b>
<b>4.5.7</b>	<b>Implementação da Função de controle de fator de potência</b> .....	<b>67</b>
<b>4.5.8</b>	<b>Implementação da Função de Proteção contra Variação de Tensão</b> .....	<b>68</b>
<b>4.5.9</b>	<b>Implementação da Função de Proteção contra Variação de Frequência</b> .....	<b>69</b>
<b>4.5.10</b>	<b>Implementação da Função em Linguagem C - Controle de Potência em Sobrefrequência</b> .....	<b>70</b>
4.6	VALIDAÇÃO DA MODULARIDADE DAS FUNÇÕES .....	71
4.7	CONSIDERAÇÕES FINAIS .....	73
<b>5</b>	<b>RESULTADOS EXPERIMENTAIS</b> .....	<b>74</b>
5.1	TESTE 1: INJEÇÃO DE CORRENTE CC NA REDE ELÉTRICA .....	75
5.2	TESTE 2: LIMITE DE DISTORÇÃO HARMÔNICA DE CORRENTE .....	76
5.3	TESTE 3: FATOR DE POTÊNCIA .....	77
5.4	TESTE 4: RELAÇÃO POTÊNCIA ATIVA X FATOR DE POTÊNCIA .....	78
5.5	TESTE 5: DESCONEXÃO POR SUBTENSÃO E SOBRETENSÃO .....	79
<b>5.5.1</b>	<b>Desconexão por Subtensão</b> .....	<b>79</b>
<b>5.5.2</b>	<b>Desconexão por Sobretensão</b> .....	<b>81</b>



5.6	TESTE 6: DESCONEXÃO POR SUBFREQUÊNCIA E SOBREFREQUÊNCIA.	82
<b>5.6.1</b>	<b>Desconexão por Subfrequência</b> .....	<b>82</b>
<b>5.6.2</b>	<b>Desconexão por Sobrefrequência</b> .....	<b>83</b>
5.7	TESTE 7: CONTROLE EM SUBFREQUÊNCIA .....	84
5.8	TESTE 8: CONTROLE EM SOBREFREQUÊNCIA .....	85
5.9	TESTE 9: IMUNIDADE À VARIAÇÕES DE FREQUÊNCIA .....	86
<b>5.9.1</b>	<b>Imunidade à Variações de Subfrequência</b> .....	<b>87</b>
<b>5.9.2</b>	<b>Imunidade à Variações de Sobrefrequência</b> .....	<b>88</b>
5.10	TESTE 10: IMUNIDADE À VARIAÇÕES DE TENSÃO.....	89
<b>5.10.1</b>	<b>Imunidade à Variações de Subtensão</b> .....	<b>89</b>
<b>5.10.2</b>	<b>Imunidade à Variações de Sobretensão</b> .....	<b>90</b>
5.11	CONSIDERAÇÕES FINAIS .....	92
<b>6</b>	<b>CONCLUSÃO</b> .....	<b>93</b>
6.1	SUGESTÃO DE TRABALHOS FUTUROS.....	94
6.2	ARTIGOS PUBLICADOS.....	94
	<b>REFERÊNCIAS BIBLIOGRÁFICAS</b> .....	<b>95</b>
	<b>APÊNDICE A – DOCUMENTAÇÃO DA FUNÇÃO DE SINCRONISMO</b> ....	<b>99</b>

# 1 INTRODUÇÃO

Há quase 150 anos a energia elétrica é fornecida aos consumidores através de geradores síncronos localizados em grandes centrais geradoras. No entanto, a rede elétrica está passando por uma significativa transição. Nas últimas décadas, observou-se um aumento expressivo na utilização de inversores de potência, principalmente devido as fontes de energia renováveis que utilizam esses equipamentos para se conectarem à rede (TUCKEY; ROUND, 2022).

A integração das fontes de energia solar e eólica à matriz energética ocorre em parte através da geração distribuída (GD). A GD é caracterizada pela geração local de pequena escala, descentralizada e ocorre em grande parte, por meio de fontes de energia renováveis (SMIL, 2019). As vantagens desse tipo de geração incluem a redução dos impactos ambientais, a partir do uso de fontes renováveis, além de diversificar a matriz energética e diminuir as perdas de transmissão (SMIL, 2019) (KHAN et al., 2020).

A matriz elétrica brasileira é predominantemente renovável, em virtude da abundância de recursos naturais. De acordo com a Empresa de Pesquisa Energética (EPE) no ano de 2022, cerca de 86,1% da eletricidade utilizada no país foi gerada através de fontes renováveis. Dessa parcela 61,9% é referente a geração hidráulica, 11,8% eólica, 8,0% biomassa e 4,4% solar (EPE, 2023).

Ainda de acordo com a EPE a capacidade instalada de geração através da fonte solar em 2022 teve um aumento de 82,4% em relação ao ano de 2021. Sendo a fonte de energia elétrica que mais cresceu no último ano. Além disso, a micro e mini GD em 2022 aumentou 87,8% em relação a 2021, onde a energia solar fotovoltaica (FV) representou 94,3% da micro e mini GD instalada, sendo a principal fonte responsável pelo aumento da GD (EPE, 2023).

Em virtude desse alto nível de inserção de sistemas FV conectados à rede, a integração dos recursos baseados em inversores (RBI) no sistema de energia tem experimentado um rápido crescimento. O aprimoramento desses equipamentos é essencial para garantir a compatibilidade e integração com outros sistemas, bem como assegurar a confiabilidade, eficiência e segurança da rede elétrica e dos equipamentos conectados a ela.

Nesse sentido, há a necessidade de padronizar os inversores FV (FIGUEIRA et al., 2015). A Associação Brasileira de Normas Técnicas (ABNT), definiu os requisitos mínimos para sistemas FV interligados à rede, através da NBR 16149, que estabelece as exigências para a interface de conexão de inversores FV com o sistema elétrico de distribuição. De acordo com essa normativa, o inversor deve ser capaz de identificar desvios dos padrões de qualidade de energia e cessar o fornecimento em casos de desconformidade (ABNT, 2013b).

Ainda a ABNT estabelece, na NBR 16150, os procedimentos de ensaios que verificam se os inversores a serem conectados à rede estão em conformidade com os requisitos propostos pela NBR 16149 (ABNT, 2013a). No ano de 2014 foi publicada pelo Instituto Nacional de Metrologia, Qualidade e Tecnologia (INMETRO) a portaria nº 357, que tornava obrigatório

que todos os inversores conectados à rede com potência nominal de até 10 kW estivessem em conformidade com os limites das normas da ABNT NBR 16149 e NBR 16150.

Em março de 2022 foi publicada pelo INMETRO a portaria nº 140 que revogou a portaria nº 357, passando a regulamentar os requisitos de avaliação da conformidade para equipamentos de geração, condicionamento e armazenamento de energia elétrica em sistemas FV, tornando obrigatória a certificação de inversores FV conectados à rede com potência nominal de até 75 kW.

A atualização das regulamentações demonstra o compromisso das autoridades em garantir a integração eficiente e segura dos RBI na rede elétrica, diante do rápido avanço da tecnologia de inversores FV. Atualizações regulatórias permitem o aprimoramento de funcionalidades dos inversores, de forma que eles ofereçam suporte à rede, contribuindo para a estabilidade e segurança do sistema elétrico.

À medida que as regulamentações são atualizadas, os testes que estes equipamentos estão sujeitos, são atualizados. Sendo necessário o ajuste do *firmware* dos inversores para que o equipamento esteja em conformidade com a regulamentação atualizada.

Nesse sentido, esse trabalho propõe o desenvolvimento de um *firmware* que permite testar leis de controle de inversores FV. O *firmware* desenvolvido é responsável pelo controle e funcionamento adequado do inversor e tem a proposta de ser modular. Dessa forma, é possível substituir e ajustar diferentes módulos do controle, sem que ele interfira no restante do funcionamento do inversor, eliminando a necessidade de reescrever ou adaptar todo o código do *firmware*. Ao dividir o *firmware* em módulos independentes, diferentes funcionalidades e leis de controle podem ser testadas e comparadas de maneira simples e independente, possibilitando um processo de desenvolvimento mais eficiente.

Ainda, a estrutura modular facilita a manutenção do *firmware* a longo prazo. Quando for necessário a atualização de uma função específica, é possível alterar apenas o módulo em questão sem afetar outras partes do código. Além disso, essa abordagem permite a reutilização de módulos para futuros projetos ou atualizações.

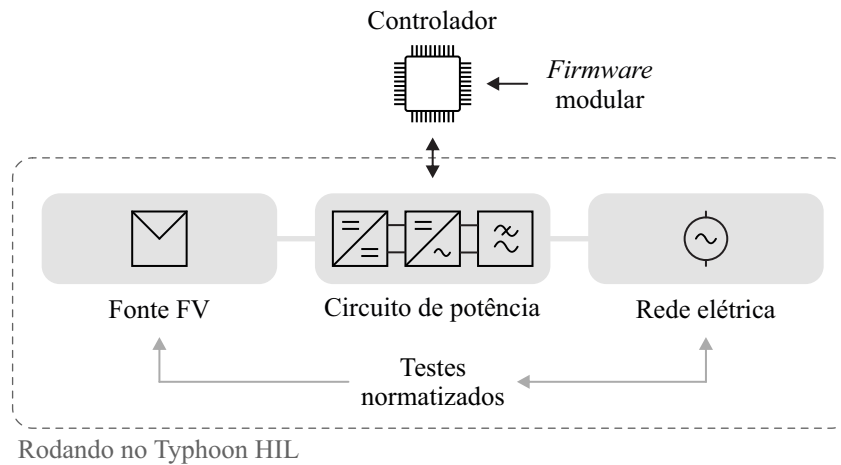
A implementação desse *firmware* modular tem potencial para acelerar o processo de desenvolvimento e validação de novas leis de controle para inversores FV, além de adaptá-los a diferentes condições e requisitos que possam surgir.

O *firmware* foi validado a partir de ensaios normatizados da portaria do INMETRO nº 140, utilizando *hardware-in-the-loop* (HIL). O HIL permite a troca de informações em tempo real entre o *firmware* real e o modelo virtual do inversor e da rede elétrica, garantindo uma simulação mais precisa. Além disso é possível emular diferentes cenários de operação e avaliar o desempenho do inversor em um ambiente controlado e seguro e de forma ágil.

A Figura 1 apresenta a plataforma de testes utilizadas nessa dissertação. A plataforma é composta pelo *firmware* modular que é inserido em um controlador físico. Esse conjunto de controlador e *firmware* conduzem a operação do circuito de potência do inversor. A avaliação da conformidade com a portaria do INMETRO nº 140 é feita a partir das rotinas de testes

desenvolvida por Menegazzo (2023).

Figura 1 – Estrutura de controle do conversor de dois estágios.



Fonte: Autora.

A proposta de *firmware* modular em conjunto com o HIL oferece uma abordagem flexível e eficiente para o desenvolvimento e validação de novas tecnologias, impulsionando o avanço de inversores FV.

## 1.1 OBJETIVO GERAL

O objetivo central dessa dissertação é criar um *firmware* modular para um inversor FV, de forma que cada função seja desenvolvida de forma independente do restante do código. A principal vantagem dessa abordagem é permitir que diferentes funcionalidades sejam testadas individualmente, sem comprometer o funcionamento geral do inversor.

## 1.2 OBJETIVOS ESPECÍFICOS

Para atingir o objetivo geral descrito são abordados os seguintes objetivos específicos:

- definir diretrizes para padronizar o uso dos módulos do *firmware*;
- projeto e dimensionamento de um inversor monofásico para realizar os testes do *firmware* desenvolvido;
- desenvolver as funcionalidades necessárias para conectar o inversor na rede;
- desenvolver os códigos do *firmware* modular; e
- avaliar o desempenho do *firmware* desenvolvido a partir de testes normalizados utilizando HIL.

## 2 REVISÃO BIBLIOGRÁFICA

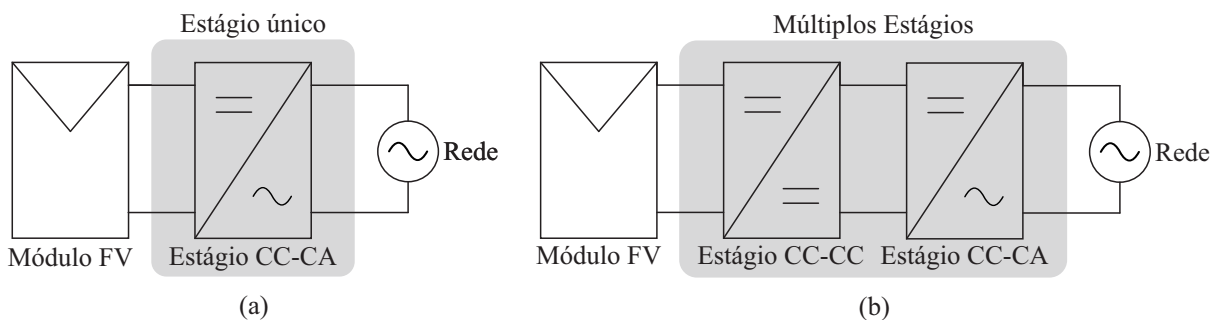
Este capítulo apresenta a revisão bibliográfica que abrange tópicos fundamentais para a compreensão do trabalho proposto. Inicialmente, na seção 2.1 é apresentada a estrutura de potência e de controle de inversores conectados à rede de dois estágios. Nas seções seguintes são abordados os dois estágios de conversão do inversor, o estágio CC-CC (seção 2.2) e o estágio CC-CA (seção 2.3), onde são destacadas as topologias mais utilizadas em sistemas conectados à rede. Na seção 2.4 são apresentadas as topologias de filtros de saída utilizadas para fazer a interface entre o inversor e a rede elétrica, utilizado para melhorar a qualidade da corrente produzida.

A seção 2.5 discorre sobre as regulamentações brasileiras referentes a certificação de inversores com foco na Portaria nº 140 do INMETRO. Por fim, a seção 2.6 apresenta o conceito referente a HIL e plataforma de teste utilizada para a validação do trabalho é apresentada.

### 2.1 ESTRUTURA DE POTÊNCIA E CONTROLE DE INVERSORES CONECTADOS À REDE

Os inversores conectados à rede podem ser classificados em duas categorias de acordo com o número de estágios de processamento de potência utilizados: inversores de estágio único, Figura 2 (a) e inversores de múltiplos estágios, Figura 2 (b) (ZEB et al., 2018).

Figura 2 – Classificação dos inversores de acordo com o número de estágios de conversão (a) Estágio único (b) Múltiplos estágios.



Fonte: Adaptado de Zeb et al. (2018).

Os inversores de estágio único apresentam a vantagem de possuir perdas de conversão reduzidas e menor custo, uma vez que todo o processo é concentrado em apenas um conversor (GONÇALVES, 2020). Eles são utilizados principalmente para elevadas potências em que é feita a associação de uma grande quantidade de painéis FV em série para elevar o nível de tensão.

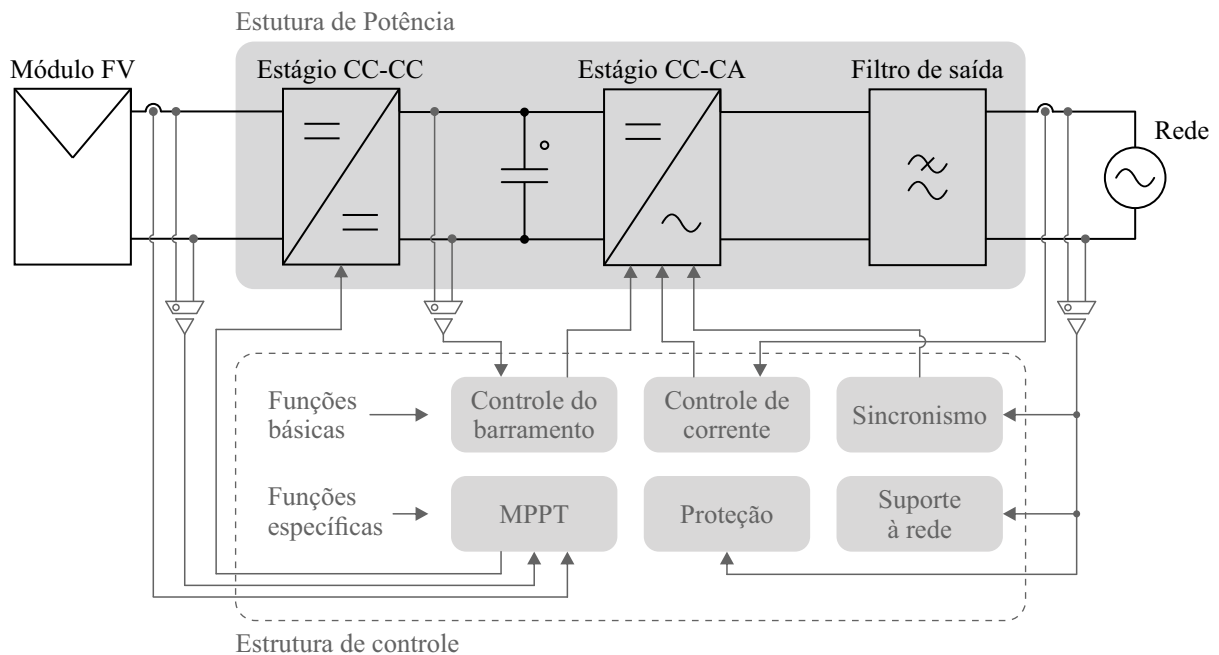
Nos inversores de estágio único todas as funções necessárias para a operação do inversor

são realizadas por um único conversor. Essas funções são: controle de corrente, controle do fluxo de potência, rastreamento do ponto de máxima potência (MPPT) e sincronismo com a rede (GONÇALVES, 2020). Isso faz com que a complexidade do sistema de controle seja alta e reduz o grau de liberdade (GONÇALVES, 2020).

Os inversores de múltiplos estágios são aplicados para potências mais baixas ou inversores de múltiplas *strings*, onde o número de painéis associados em série não é suficiente para assegurar o nível de tensão mínimo do barramento CC. Dessa forma o primeiro estágio é composto por um conversor CC-CC que faz a adequação da tensão do barramento e o segundo estágio é composto por um conversor que faz a inversão de corrente contínua para corrente alternada.

Com mais de um estágio de conversão as funções de operação do inversor são divididas entre os estágios, possibilitando uma maior flexibilidade de controle. A Figura 3 apresenta a estrutura de potência de um conversor de dois estágios, juntamente com a arquitetura de controle.

Figura 3 – Estrutura de controle do conversor de dois estágios.



Fonte: Autora.

O controlador inclui as funções básicas e específicas. As funções básicas são as necessárias para garantir a operação adequada do inversor, incluindo as funções de sincronismo com a rede, controle do barramento CC e o controle da corrente injetada. As funções específicas são implementadas visando atender os requisitos normativos referente a conexão com a rede e rastrear o ponto de máxima potência dos módulos FV.

## 2.2 CONVERSOR CC-CC

Os módulos FV são constantemente submetidos a diferentes níveis de radiação e temperatura. Para cada combinação desses fatores há um valor de corrente e tensão específico que gera a máxima potência do módulo. Com o objetivo de maximizar o potencial energético dos sistemas FV é necessário fazer o rastreamento do melhor ponto de operação. Esse rastreamento é, na maioria dos casos, realizados pelo conversor CC-CC empregado.

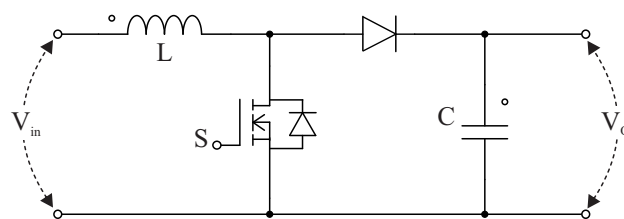
Adicionalmente, em sistemas de baixa potência, os arranjos FV produzem tensões reduzidas, tornando essencial o uso de conversores CC-CC elevadores para assegurar a tensão mínima requerida no barramento CC (GONÇALVES, 2020).

Entre as topologias de conversores isolados pode-se citar os conversores *flyback*, *forward* e *push-pull*. Essas topologias requerem o emprego de transformadores, que oferecem desvantagens como elevadas perdas no núcleo, alto estresse de tensão sobre os interruptores, problema de interferência eletromagnética além do elevado peso e volume (CARVALHO, 2018).

Dessa forma, em aplicações FV em que a isolamento galvânica não é necessária, os conversores não isolados se tornam alternativas mais vantajosas (CARVALHO, 2018). Eles conseguem alcançar elevado ganho de tensão com maior eficiência, além de serem mais compactos (JALILZADEH et al., 2018). Dentre as topologias de conversores elevadores de tensão não isolados, destacam-se o conversor *boost*, *buck-boost*, *sepic*, *cuk* e *zeta*.

Em aplicações de baixa potência, o conversor *boost* é utilizado, principalmente devido a simplicidade de modelagem, projeto e implementação, decorrentes ao baixo número de dispositivos empregados (FOROUZESH et al., 2017). A configuração clássica de um conversor *boost* é apresentada na Figura 4.

Figura 4 – Configuração clássica de um conversor *boost*.



Fonte: Autora.

O conversor *boost* possui característica de fonte de corrente na entrada e fonte de tensão na saída. Possuindo, teoricamente, ganho de tensão infinito quando o valor da razão cíclica se aproxima de 1. No entanto, em razão das perdas de condução dos componentes o ganho de tensão, bem como a eficiência do conversor são reduzidas (SCHMITZ et al., 2015). Nesse sentido, o conversor *boost* é uma boa solução para aplicações que não exijam um elevado ganho de tensão.

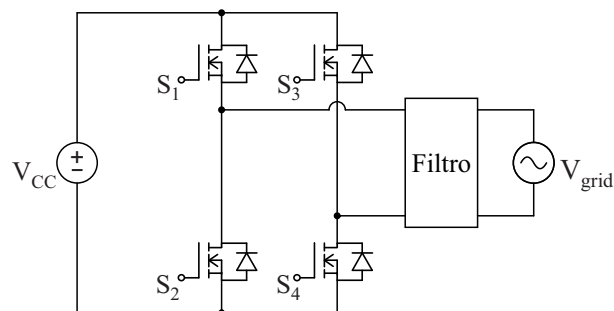
## 2.3 TOPOLOGIAS DE INVERSORES NÃO ISOLADOS

O inversor é o elemento principal dos sistemas de energia FV conectados à rede, cuja principal função é produzir uma corrente alternada compatível e sincronizada com a tensão da rede elétrica. O desenvolvimento das tecnologias para inversores busca principalmente o aumento da eficiência, bem como a redução de custos e o prolongamento da vida útil (TEODORESCU; LISERRE; RODRIGUEZ, 2011). Nesse sentido, há uma vasta quantidade de topologias utilizadas no mercado, sendo as principais delas baseadas nas topologias *full-bridge* e NPC (*Neutral Point Clamped*).

### 2.3.1 Inversores *Full-Bridge*

A estrutura do inversor *full-bridge* é mostrada na Figura 5. O circuito é formado por dois braços inversores compostos por um par de chaves que são comandadas de maneira complementar (MARTINS; BARBI, 2008).

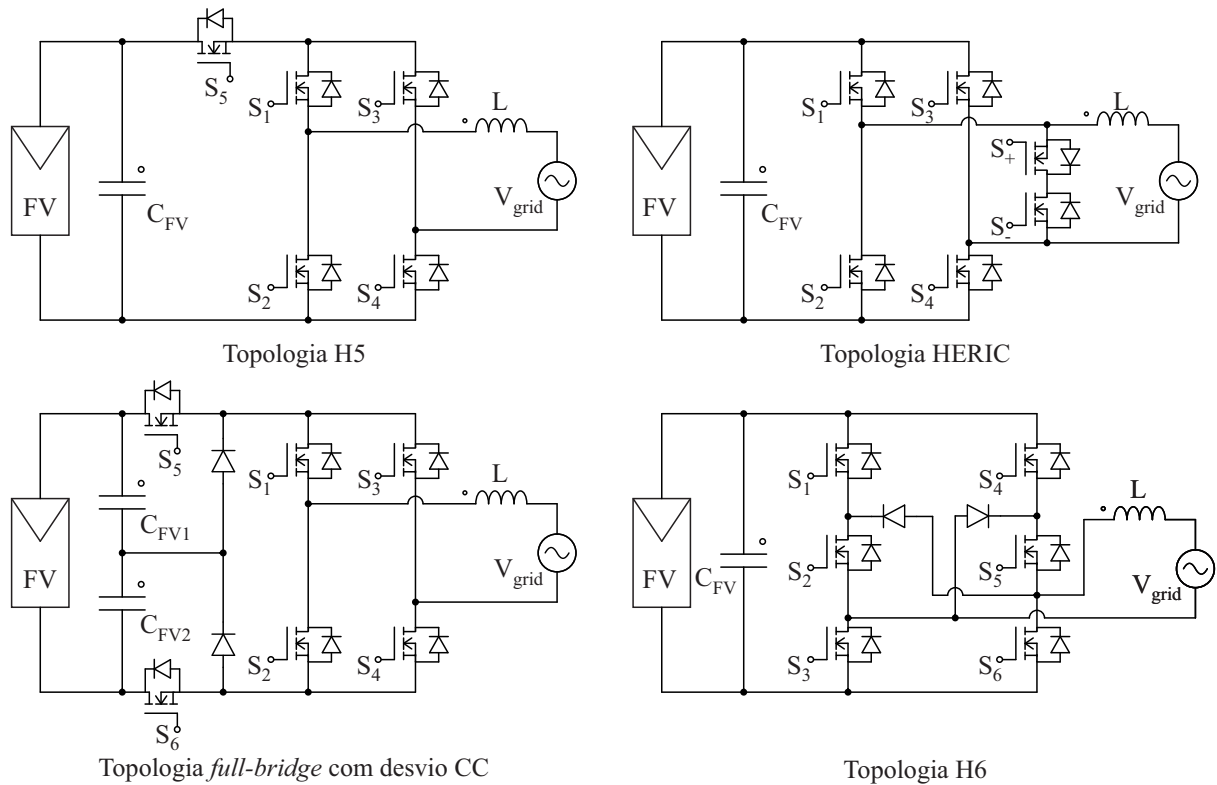
Figura 5 – Modelo do inversor *full-bridge*.



Fonte: Autora.

Com o intuito de melhorar a eficiência da topologia são feitas modificações, geralmente com a inclusão de uma ou duas chaves. Exemplos de topologias modificadas do inversor *full-bridge* são a topologia H5, H6, Heric e topologia *full-bridge* com desvio CC. As diferentes topologias são apresentadas na Figura 6.



Figura 6 – Topologias de inversores *full-bridge* modificadas.

Fonte: Autora.

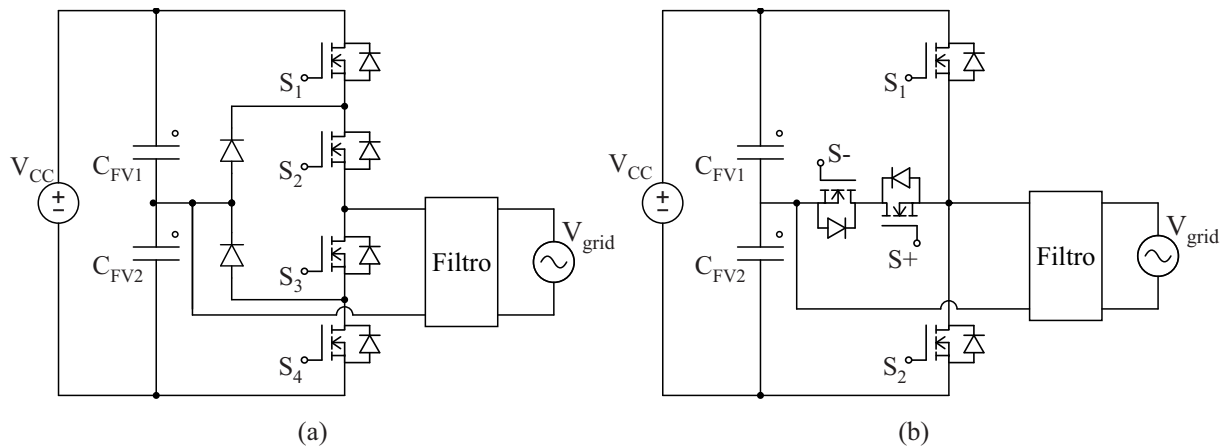
Essa inclusão tem o objetivo de desconectar o módulo FV da rede elétrica durante o estado de tensão zero, isso reduz as perdas geradas por eventuais correntes de fuga (SREYA; RAJESH, 2022).

### 2.3.2 Inversores NPC

O NPC é uma topologia de inversor multinível de alta eficiência. Com ele é possível produzir tensões com uma quantidade de níveis de tensão proporcional ao número de capacitores utilizados no barramento CC. As perdas nesse inversor são reduzidas, uma vez que, durante o estágio de tensão zero, não há conexão entre o módulo FV da rede elétrica (TEODORESCU; LISERRE; RODRIGUEZ, 2011). No entanto, requer o dobro da tensão de barramento em relação as topologias *full-bridge*.

A topologia NPC, na maioria dos casos, pode assumir duas diferentes configurações. A configuração clássica é mostrada na Figura 7 (a) e a configuração tipo T é mostrada na Figura 7 (b).

Figura 7 – Topologias de inversor NPC (a) Topologia clássica (b) Topologia tipo T.



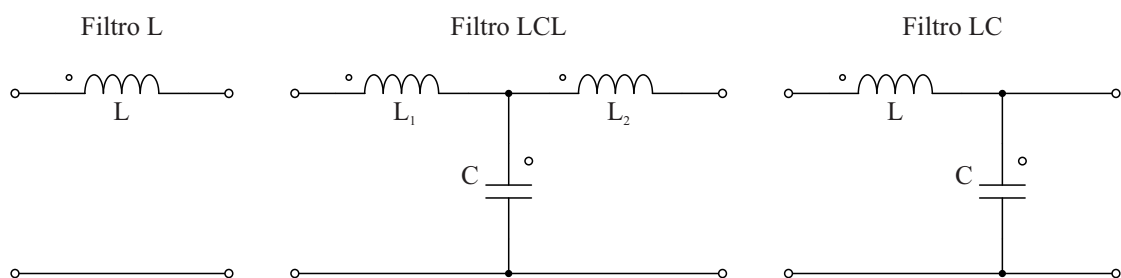
Fonte: Autora.

O conversor NPC possui performance similar comparado com as topologias H5 e Heric. Possuindo como desvantagem o desbalanceamento da perda entre os semicondutores. Essa desvantagem é contornada pelo conversor tipo T, que ainda possui perdas reduzidas em relação ao NPC clássico, uma vez que o conversor clássico apresenta dispositivos semicondutores em série em algumas etapas de operação (TEODORESCU; LISERRE; RODRIGUEZ, 2011).

## 2.4 FILTRO DE SAÍDA

O filtro de saída é o elemento responsável pela interface entre o inversor e a rede elétrica. Ele se torna necessário para minimizar o conteúdo harmônico gerado pelo PWM e, dessa forma, melhorar a qualidade da corrente injetada na rede (QIAN et al., 2021). De maneira geral, o filtro de saída deve possuir característica indutiva, uma vez que a saída do conversor e a rede elétrica tem características de fonte de tensão (WU et al., 2022). Nesse sentido, as topologias de filtros mais utilizadas estão o filtro L, composto apenas por um indutor, e o filtro LCL, composto por dois indutores e um capacitor (COSTA; PINTO; SILVA, 2022). Em alguns casos é considerado um filtro LC, em que, combinado com a impedância da rede, forma um filtro LCL. A Figura 8 mostra as três topologias de filtro citadas.

Figura 8 – Topologias de filtro de saída.



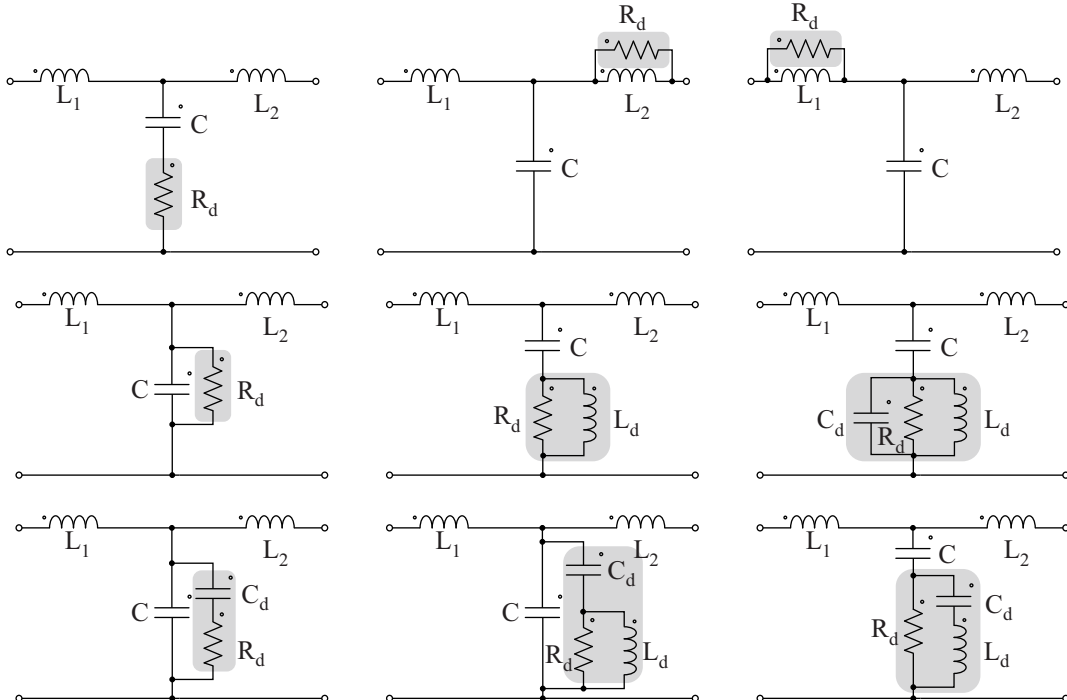
Fonte: Autora.

O filtro L é um filtro de primeira ordem, com uma atenuação de  $-20 \text{ dB/dec}$ . A vantagem dele está na simplicidade, tanto de modelagem como de implementação. No entanto, requer uma alta frequência de comutação das chaves para que a potência reativa seja pequena, caso contrário resulta em um indutor muito grande, aumentando o tamanho e custo do sistema (MARTINS et al., 2018).

O filtro LCL, por outro lado, proporciona uma atenuação de  $-60 \text{ dB/dec}$  em alta frequência, oferecendo uma maior atenuação das harmônicas sem haver o aumento da potência reativa (QIAN et al., 2021). Dessa forma, é possível produzir filtros de menores dimensões e peso, que refletem em um menor custo. Além disso, a indutância de saída garante uma maior robustez diante de variações da rede. Por estas razões, o filtro LCL se apresenta como uma opção mais interessante para inversores conectados à rede (HAN et al., 2019).

A interação entre os elementos indutivos e capacitivos gera um efeito de ressonância indesejada que causa instabilidade do sistema. Nesse sentido, a utilização do filtro LCL requer estratégias para atenuar a ressonância produzida pelo filtro, o que pode tornar a implementação do filtro mais complexa. As técnicas de atenuação de ressonância podem ser feitas de forma passiva ou ativa. As técnicas passivas envolvem a inserção de um elemento resistivo em série ou paralelo com algum dos elementos do filtro, conforme apresentado na Figura 9.

Figura 9 – Técnicas de amortecimento passivo.



Fonte: Adaptado de Gomes, Cupertino e Pereira (2018).

A vantagem da utilização da técnica de amortecimento passivo é a simplicidade de implementação, além de não requerer nenhuma modificação na estratégia de controle de corrente empregada. No entanto, o método altera a atenuação do filtro e insere perdas no sistema, reduzindo a eficiência de conversão (GOMES; CUPERTINO; PEREIRA, 2018).

Os métodos de amortecimento ativo realizam modificações na estratégia de controle, de forma a obter o amortecimento em malha fechada (GOMES; CUPERTINO; PEREIRA, 2018). Exemplos de técnicas de amortecimento ativo incluem: estratégias baseadas na realimentação da corrente ou tensão do capacitor; método fundamentado em filtro *notch*; e método de retroação parcial de estados. Entretanto, a desvantagem dessas abordagens reside no aumento da complexidade do controle e na necessidade, em alguns casos, de um sensor adicional.

## 2.5 RESOLUÇÕES BRASILEIRAS REFERENTES À CERTIFICAÇÃO DE INVERSORES

Diante do alto nível de inserção de sistemas FV conectados à rede no Brasil há a necessidade de realizar a padronização dos equipamentos, através de normas técnicas, de forma a manter a qualidade da energia gerada, bem como garantir a segurança do sistema elétrico.

No Brasil, as normas técnicas relacionadas aos sistemas de energia elétrica são elaboradas pela Agência Nacional de Energia Elétrica (ANEEL) e pela ABNT. A ANEEL é responsável pela normatização dos sistemas que abrangem a geração, transmissão e distribuição de energia, enquanto a ABNT se encarrega de normatizar a operação dos equipamentos utilizados nesses sistemas (BITENCOURT, 2021).

A ABNT publicou em 2012 a norma ABNT NBR IEC 62116 (ABNT, 2012), que aborda os procedimentos para ensaio de medidas de proteção contra ilhamento. Em 2013 foram publicadas as normas ABNT NBR 16149 (ABNT, 2013b) e ABNT NBR 16150 (ABNT, 2013a). A primeira define as exigências para a interface de conexão de inversores FV com o sistema elétrico de distribuição. Já a segunda contempla os procedimentos de ensaios que verificam se os inversores conectados à rede estão em conformidade com os requisitos propostos pela ABNT NBR 16149. Ainda o INMETRO publicou, em março de 2022, a portaria nº 140 (INMETRO, 2022), que regulamenta os requisitos de avaliação da conformidade para equipamentos de geração, condicionamento e armazenamento de energia elétrica em sistemas FV, tornando compulsória a certificação de inversores FV conectados à rede com potência nominal de até 75 kW.

### 2.5.1 INMETRO Portaria nº 140

A portaria nº 140 de 2022 do INMETRO possui o objetivo de estabelecer as diretrizes para a regulamentação da qualidade e conformidade dos equipamentos utilizados na geração, condicionamento e armazenamento de energia elétrica em sistemas FV. Foi o principal documento consultado para o desenvolvimento das funções de proteção e suporte à rede, mais especificamente o anexo I do documento. O anexo I é responsável por definir os requisitos obrigatórios relacionados à segurança e ao desempenho do produto (INMETRO, 2022).

O regulamento aplica-se, entre outros equipamentos, a inversores com potência nominal até 75 kW, de uso em sistemas FV conectados ou não na rede elétrica, e com ou sem armazenamento de energia (INMETRO, 2022). O anexo I, da portaria nº 140, é dividido em sete seções, sendo as primeiras destinadas a apresentar o objetivo do anexo, siglas e definições utilizadas no documento.

A seção 4 do anexo I aborda os requisitos gerais que todos os equipamentos abrangidos pela norma devem seguir. Os equipamentos fabricados devem oferecer segurança aos usuários e às instalações em relação aos riscos elétricos, mecânicos e de incêndios. A seção aborda também características construtivas, proibindo a presença de arestas, bordas, cantos, saliências ou pontas afiadas que possam expor os usuários a riscos de corte ou outros ferimentos. Além disso, os equipamentos devem cumprir os limites máximos de concentração de substâncias perigosas conforme a legislação nacional em vigor. E durante o funcionamento normal, os equipamentos não podem causar interferência de rádio em sistemas de radiodifusão ou radiocomunicação vizinhos (INMETRO, 2022).

A quinta seção do anexo I aborda os requisitos técnicos para os equipamentos de geração, condicionamento e armazenamento de maneira individual. Em relação aos inversores conectados à rede, são apresentados os requisitos técnicos relacionados a operação em condições nominais de frequência e tensão, apresentando os níveis de tolerância de potência, requisitos de injeção de corrente contínua, harmônicas e fator de potência. São apresentadas as proteções necessárias dos inversores como: falha de isolamento nas portas FV; corrente residual; proteção contra variações de frequência e tensão; e proteção contra ilhamento. Além disso, são descritas as funcionalidades de suporte a rede como: controle de potência em sobrefrequência; controle de potência em subfrequência; variação do fator de potência; e suportabilidade a variações de tensão e frequência.

## 2.6 *HARDWARE-IN-THE-LOOP*

O *firmware* desenvolvido nesse trabalho será validado através da simulação em HIL. A ferramenta HIL permite a simulação de circuitos de potência em tempo real, onde os dispositivos modelados são substituídos por componentes de hardware físicos reais, aumentando a precisão dos resultados da simulação (SPARN et al., 2018).

A metodologia HIL foi desenvolvida para a aplicação no setor automotivo e aeroespacial e se expandiu para a simulação em tempo real de componentes do sistema de energia, podendo ser utilizada para avaliar o desempenho do *hardware*, especialmente em condições específicas difíceis de reproduzir em um sistema físico (SPARN et al., 2018).

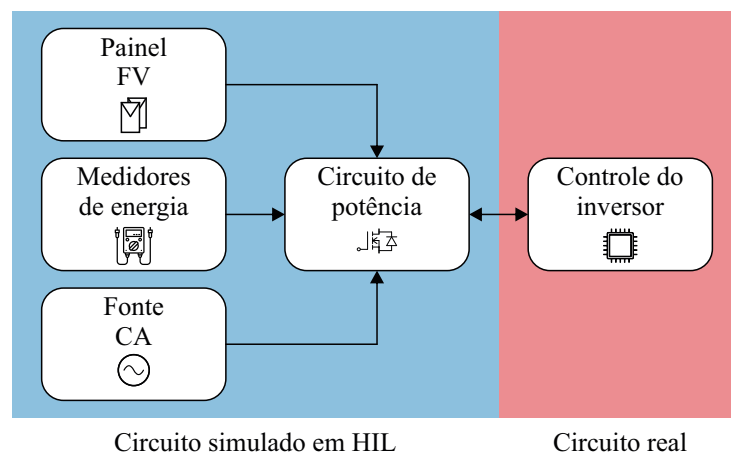
Nesse sentido, sistemas envolvendo plataformas HIL têm ganhado destaque em pesquisas relacionadas ao setor FV. Em González-Castaño et al. (2021) a técnica de HIL é utilizada para validar uma técnica de rastreamento de ponto de máxima potência (MPPT - *Maximum*

*Power Point Tracking*) desenvolvida, baseada em SVM (*support vector machines*). Brito et al. (2011) utiliza HIL para avaliar o comportamento dinâmico de um inversor solar FV durante mudanças de tensão e frequência, bem como condições de falha de curto circuito.

Em 2018, Johnson et al. (2018) apresentam a implementação da metodologia HIL como uma alternativa para os fornecedores de equipamentos FV a atender aos padrões da rede em evolução, validando o desempenho e promovendo melhorias em seus sistemas durante a fase de projeto. Em 2020, Menegazzo et al. (2020) mostram a implementação de uma bancada experimental para teste de *firmware* de inversor FV de acordo com as normas brasileiras de conexão com a rede elétrica de distribuição. A plataforma HIL desenvolvida possibilita o teste e desenvolvimento de inversores, em que o conversor estático de potência é emulado, enquanto o controle é realizado externamente pelo processador do inversor FV.

Nesse trabalho será utilizada a plataforma desenvolvida em (MENEGAZZO et al., 2020) para testar o *firmware* desenvolvido. Uma representação da plataforma de testes é mostrada na Figura 10.

Figura 10 – Representação da plataforma de testes em HIL.



Fonte: Autora.

O controlador físico será utilizado para controlar o modelo da planta simulado, trocando os sinais por meio de entradas e saídas do equipamento HIL.

### 3 ESTUDO DE CASO: *FIRMWARE* PARA INVERSOR FOTOVOLTAICO CONECTADO À REDE

Esse capítulo aborda o projeto de um inversor fotovoltaico conectado à rede, utilizado para validar a metodologia que será apresentada no Capítulo 4.

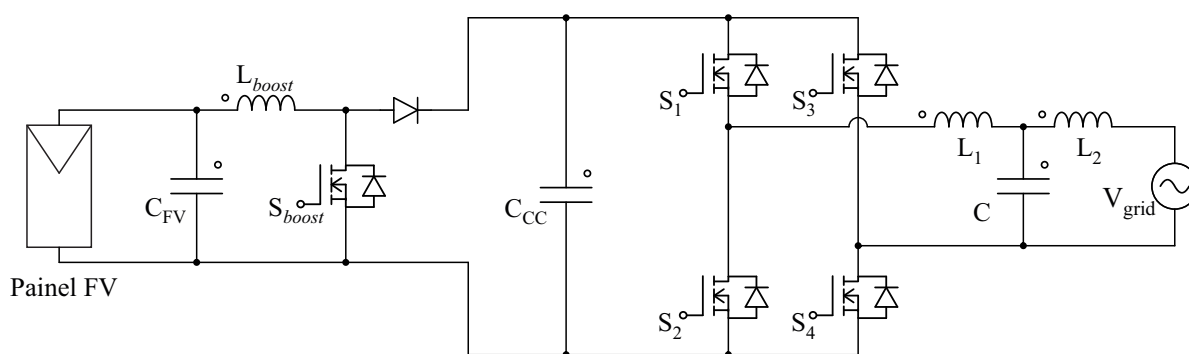
Inicialmente, na seção 3.1, é feita a escolha da topologia do inversor utilizado para a realização dos testes. Com a topologia definida, na seção 3.2 é feita a modelagem do estágio de entrada, do barramento CC e do estágio CC-CA, juntamente com o filtro de saída. Em seguida, na seção 3.3 é feito o projeto dos elementos passivos do circuito.

Na seção 3.4 é apresentada a implementação das funções necessárias para o funcionamento do inversor, sendo elas: função de sincronismo com a rede; geração de referência; controle da corrente do inversor; gerador de referência para seguidor de ponto de operação de potência; controle do conversor *boost*; controle do barramento CC; além das funções de proteção e suporte a rede.

#### 3.1 TOPOLOGIA

Para realizar os testes do *firmware* do inversor, foi definida a utilização de um inversor de 3,00 kW conectado a uma rede monofásica de 220  $V_{rms}$  e 60 Hz. A configuração escolhida é mostrada na Figura 11.

Figura 11 – Topologia do circuito de potência utilizado.



Fonte: Autora.

O estágio CC-CC é composto por um conversor elevador de tensão do tipo *boost*. A etapa de conversão CC-CA é realizada por um inversor *full-bridge* com modulação unipolar. A saída do inversor é conectada a um filtro de terceira ordem, LCL para fazer a interface com a rede. Os parâmetros do sistema proposto estão descritos na Tabela 1

Tabela 1 – Parâmetros do Sistema.

Parâmetro	Valor
Tensão RMS da rede ( $V_g$ )	220 V
Frequência nominal da rede ( $f_g$ )	60 Hz
Potência nominal ( $P$ )	3000 W
Tensão do barramento CC ( $V_{CC}$ )	400 V
Frequência de comutação ( $f_s$ )	21,60 kHz

Fonte: Autora.

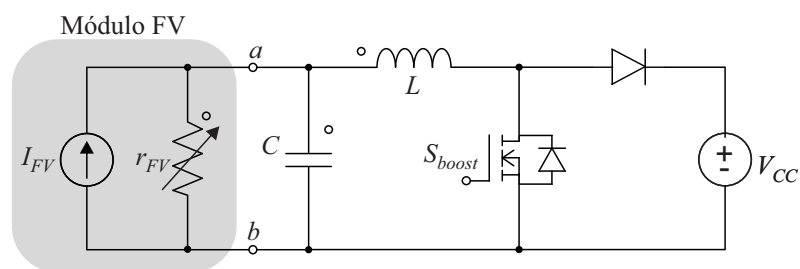
## 3.2 MODELOS DINÂMICOS DOS ESTÁGIOS DE CONVERSÃO

### 3.2.1 Estágio de Entrada

O estágio CC-CC é responsável por elevar a tensão, garantindo um valor adequado para o barramento CC, bem como fazer o rastreamento do ponto de operação de potência. Esse último funciona em dois modos de operação, o MPPT que faz o rastreamento de ponto de máxima potência, e o LPPT (*Limited Power Point Tracking*), que faz o rastreamento de potência limitada.

O circuito equivalente do conversor *boost* está representado na Figura 12.

Figura 12 – Circuito equivalente do conversor *boost*.



Fonte: Autora.

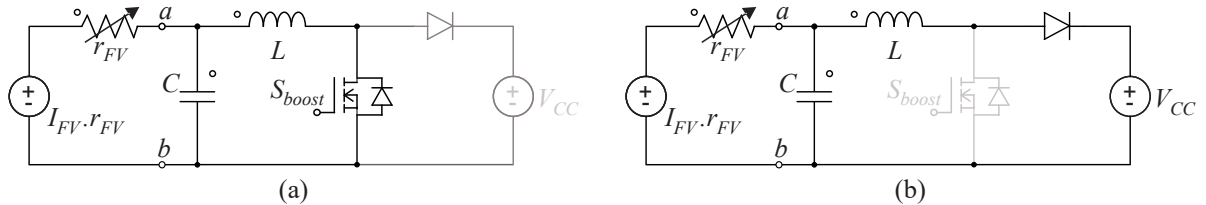
O circuito a esquerda dos terminais  $a$  e  $b$ , representa o circuito equivalente dos módulos FV. A fonte de corrente equivalente ( $I_{FV}$ ) é proporcional à irradiância, enquanto a resistência equivalente ( $r_{FV}$ ) está relacionada com ao quociente entre a tensão e a corrente, em um determinado ponto de operação da curva I-V do painel FV (FIGUEIRA et al., 2018).

Considerando a operação do conversor em modo de condução contínua, há duas etapas de operação. A primeira etapa ocorre enquanto o chave  $S_{boost}$  está conduzindo, durante o



período  $D \cdot T_s$ , sendo  $D$  a razão cíclica e  $T_s$  o período de comutação. A segunda etapa ocorre quando a chave  $S_{boost}$  é bloqueada, pelo período de  $(1 - D) \cdot T_s$ . As duas etapas de operação são apresentadas na Figura 13 (a) e (b), respectivamente.

Figura 13 – Etapas de operação do conversor *boost*. (a) Primeira etapa de operação. (b) Segunda etapa de operação.



Fonte: Autora.

Para a obtenção do modelo, as duas etapas de operação serão representadas em espaço de estados através das Equações 3.1 e 3.2.

$$\frac{d}{dt} \mathbf{x}(t) = \mathbf{A} \cdot \mathbf{x}(t) + \mathbf{B} \cdot \mathbf{u}(t), \quad (3.1)$$

$$\mathbf{y}(t) = \mathbf{C} \cdot \mathbf{x}(t), \quad (3.2)$$

onde,  $\mathbf{x}(t)$  é o vetor de estados sendo  $\mathbf{x}(t) = [v_C(t) \quad i_L(t)]^T$ ,  $\mathbf{u}(t)$  é a matriz de entrada, nesse caso sendo  $\mathbf{u}(t) = [v_{CC} \quad I_{FV}]^T$ . O vetor  $\mathbf{y}(t)$  representa as saídas do modelo. Para a realização do controle, é desejável ter como saída a corrente sobre o indutor e a tensão sobre o capacitor.

A partir da análise de circuitos são obtidas as seguintes matrizes de estado para a primeira etapa de operação:

$$\mathbf{A}_1 = \begin{bmatrix} -\frac{1}{r_{FV} \cdot C} & -\frac{1}{C} \\ \frac{1}{L} & 0 \end{bmatrix} \quad \mathbf{B}_1 = \begin{bmatrix} 0 & \frac{1}{C} \\ 0 & 0 \end{bmatrix} \quad \mathbf{C}_1 = \begin{bmatrix} 1 & 0 \\ 0 & 1 \end{bmatrix}. \quad (3.3)$$

Para a segunda etapa de operação são obtidas as seguintes matrizes:

$$\mathbf{A}_2 = \begin{bmatrix} -\frac{1}{r_{FV} \cdot C} & -\frac{1}{C} \\ \frac{1}{L} & 0 \end{bmatrix} \quad \mathbf{B}_2 = \begin{bmatrix} 0 & \frac{1}{C} \\ -\frac{1}{L} & 0 \end{bmatrix} \quad \mathbf{C}_2 = \begin{bmatrix} 1 & 0 \\ 0 & 1 \end{bmatrix}. \quad (3.4)$$

Para a obtenção do modelo, inicialmente é obtido o modelo médio, para isso é utilizada a aproximação de pequenas ondulações. Assim, assume-se que  $\mathbf{x}(t)$  e  $\mathbf{u}(t)$  não possuem grandes variações em um período de comutação. Dessa forma, o modelo médio em espaço de estados é resultado da média das matrizes para um período de comutação. Portanto, as equações médias em espaços de estados são dadas por:

$$\frac{d}{dt} \langle \mathbf{x}(t) \rangle_{T_s} = [d(t) \cdot \mathbf{A}_1 + d'(t) \cdot \mathbf{A}_2] \cdot \langle \mathbf{x}(t) \rangle_{T_s} + [d(t) \cdot \mathbf{B}_1 + d'(t) \cdot \mathbf{B}_2] \cdot \langle \mathbf{u}(t) \rangle_{T_s}, \quad (3.5)$$

$$\mathbf{y}(t) = [d(t) \cdot \mathbf{C}_1 + d'(t) \cdot \mathbf{C}_2] \cdot \langle \mathbf{x}(t) \rangle_{T_s}, \quad (3.6)$$

onde  $d'(t)$  é o complemento da razão cíclica dado por  $d'(t) = 1 - d(t)$ .

As matrizes médias obtidas são não-lineares, portanto é necessário fazer a linearização em torno de um ponto de operação, resultando em um modelo dinâmico de pequenos sinais. Para isso é necessário obter os valores dos estados e da saída em regime permanente,  $\mathbf{X}$  e  $\mathbf{Y}$ , dados por:

$$\mathbf{X} = -\mathbf{A}^{-1} \cdot \mathbf{B} \cdot \mathbf{U}, \quad (3.7)$$

$$\mathbf{Y} = (-\mathbf{C} \cdot \mathbf{A}^{-1} \cdot \mathbf{B}) \cdot \mathbf{U}, \quad (3.8)$$

onde  $\mathbf{A}$ ,  $\mathbf{B}$  e  $\mathbf{C}$  são as matrizes médias obtidas anteriormente para um ponto de operação de razão cíclica, e  $\mathbf{U}$  é o vetor de entrada em regime permanente.

A linearização é feita com o método de pequenas perturbações, assim, todas as variáveis médias e a razão cíclica são consideradas como sendo a soma dos valores em regime permanente com um pequeno valor de perturbação, dessa forma se tem:

$$\langle \mathbf{x}(t) \rangle_{T_s} = \mathbf{X} + \hat{\mathbf{x}}(t), \quad (3.9)$$

$$\langle \mathbf{u}(t) \rangle_{T_s} = \mathbf{U} + \hat{\mathbf{u}}(t), \quad (3.10)$$

$$\langle \mathbf{y}(t) \rangle_{T_s} = \mathbf{Y} + \hat{\mathbf{y}}(t), \quad (3.11)$$

$$d(t) = \mathbf{D} + \hat{\mathbf{d}}(t). \quad (3.12)$$

Substituindo as Equações 3.9, 3.10, 3.11 e 3.12 em 3.5, 3.6 e considerando  $d\mathbf{X}/dt$  igual a zero, desprezando os termos não-lineares de 2ª ordem e os termos em regime permanente, chega-se ao modelo dinâmico linearizado dado por:

$$\frac{d}{dt} \hat{\mathbf{x}}(t) = \mathbf{A} \cdot \hat{\mathbf{x}}(t) + \mathbf{B} \cdot \hat{\mathbf{u}}(t) + \{(\mathbf{A}_1 - \mathbf{A}_2) \cdot \mathbf{X} + (\mathbf{B}_1 - \mathbf{B}_2) \cdot \mathbf{U}\} \cdot \hat{\mathbf{d}}(t), \quad (3.13)$$

$$\hat{\mathbf{y}}(t) = \mathbf{C} \cdot \hat{\mathbf{x}}(t) + \{(\mathbf{C}_1 - \mathbf{C}_2) \cdot \mathbf{X}\} \cdot \hat{\mathbf{d}}(t). \quad (3.14)$$

Para fazer a representação em espaço de estados na forma padrão dada por 3.1 e 3.2 é necessário multiplexar o vetor de entradas, bem como a matriz  $\mathbf{B}$  que é associada ao vetor de entradas. Dessa forma chega-se a um novo vetor de entrada  $\hat{\mathbf{u}}_t(t)$  e a uma nova matriz  $\mathbf{B}_t$  dados por:

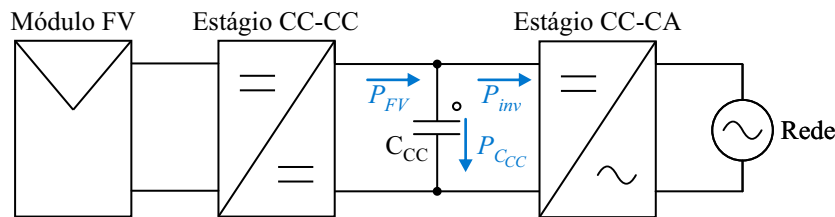
$$\hat{\mathbf{u}}_t(t) = \begin{bmatrix} \hat{\mathbf{u}}(t) \\ \hat{\mathbf{d}}(t) \end{bmatrix} \quad \mathbf{B}_t = \begin{bmatrix} \mathbf{B} & (\mathbf{A}_1 - \mathbf{A}_2) \cdot \mathbf{X} + (\mathbf{B}_1 - \mathbf{B}_2) \cdot \mathbf{U} \end{bmatrix}. \quad (3.15)$$

As matrizes  $\mathbf{A}$  e  $\mathbf{C}$  permanecem as mesmas.

### 3.2.2 Barramento CC

Entre o *boost* e o inversor há o barramento CC, o qual deve ter sua tensão controlada. O modelo do barramento CC, utilizado para o projeto do controlador, se fundamenta em relação ao somatório das potências envolvidas no processo de carga e descarga do banco de capacitores (TIBOLA, 2017), ilustrado na Figura 14.

Figura 14 – Representação do fluxo de potência no barramento CC.



Fonte: Autora.

Dessa forma, tem-se que:

$$P_{FV} = P_{inv} + P_{CC}, \quad (3.16)$$

onde:

$$P_{CC} = \frac{C}{2} \frac{d}{dt} V_{CC}^2. \quad (3.17)$$

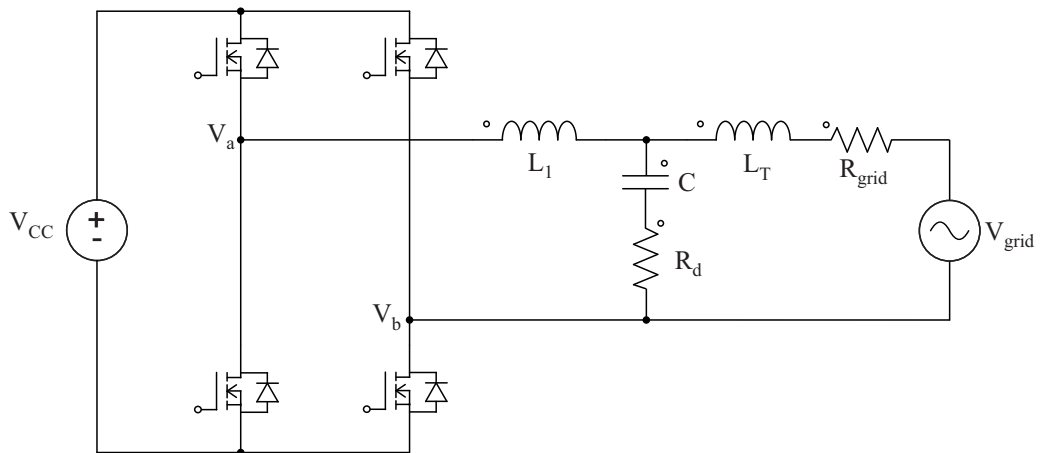
O controle do barramento é feito através da potência do inversor. Dessa forma, para a obtenção do modelo para controle, a potência proveniente do *boost*  $P_{FV}$  é considerado um distúrbio e é desconsiderada da função de transferência. Dessa forma, o modelo que relaciona a tensão do barramento com a potência de referência do inversor, é dado por:

$$G_v(s) = \frac{V_{CC}^2}{P_{inv}} = -\frac{2}{C \cdot s}. \quad (3.18)$$

### 3.2.3 Estágio de Saída

Para realizar a modelagem do inversor e do filtro de saída, o primeiro estágio de conversão composto pelo inversor CC-CC é simplificado para uma fonte de tensão fixa com tensão  $V_{CC}$ . Ainda, é adicionado em série com a rede uma resistência que compõe a impedância da rede. A indutância referente a rede é agrupada com o indutor  $L_2$  do filtro, resultando na indutância  $L_T$ . O circuito a ser modelado está apresentado na Figura 15. A modelagem é feita tendo como referência o trabalho de Enderle (2012).

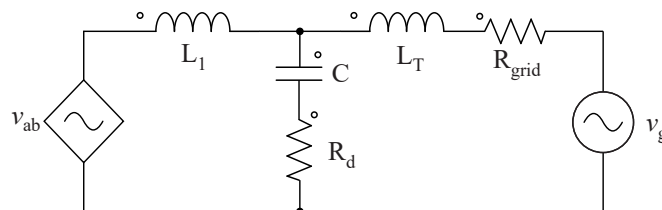
Figura 15 – Circuito composto pelo inversor e filtro de saída.



Fonte: Autora.

Inicialmente, o inversor é representado por uma fonte controlada cujo valor de tensão é  $v_{ab}(t)$ , que é a diferença de tensão entre os terminais  $a$  e  $b$  da Figura 15. O circuito equivalente é mostrado na Figura 16.

Figura 16 – Circuito equivalente para modelagem.



Fonte: Autora.

O modelo médio do circuito da Figura 16 é representado em espaço de estados através das Equações 3.19 e 3.20.

$$\frac{d}{dt}\mathbf{x}(t) = \mathbf{A} \cdot \mathbf{x}(t) + \mathbf{B} \cdot u(t) + \mathbf{B}_w \cdot w(t), \quad (3.19)$$

$$y(t) = \mathbf{C} \cdot \mathbf{x}(t). \quad (3.20)$$

Nesse caso,  $\mathbf{x}(t)$  é o vetor de estados onde  $\mathbf{x}(t) = [i_{L_1}(t) \ i_{L_2}(t) \ v_C(t)]^T$ ,  $u(t)$  é a entrada, nesse caso sendo  $u(t) = v_{ab}(t)$  e  $w(t)$  é um distúrbio onde  $w(t) = v_g(t)$ . A tensão da rede é considerada como sendo uma perturbação para a planta, uma vez que é uma entrada exógena ao circuito, a qual não se tem controle.

A partir da análise de circuitos se tem as seguintes matrizes de estado:

$$\mathbf{A} = \begin{bmatrix} -\frac{R_d}{L_1} & -\frac{R_d}{L_1} & -\frac{1}{L_1} \\ -\frac{R_d}{L_2+L_g} & -\frac{(R_d+R_g)}{L_2+L_g} & -\frac{1}{L_2+L_g} \\ \frac{1}{C} & \frac{1}{C} & 0 \end{bmatrix} \quad \mathbf{B} = \begin{bmatrix} \frac{1}{L_1} \\ 0 \\ 0 \end{bmatrix} \quad \mathbf{B}_w = \begin{bmatrix} 0 \\ \frac{1}{L_2+L_g} \\ 0 \end{bmatrix} \quad \mathbf{C} = [0 \ 1 \ 0]. \quad (3.21)$$

A tensão  $v_{ab}$  é definida como  $v_a(t) - v_b(t)$ , onde:

$$v_a(t) = d(t) \cdot V_{CC} \quad (3.22)$$

$$v_b(t) = [1 - d(t)] \cdot V_{CC} \quad (3.23)$$

onde  $d(t)$  é a razão cíclica variante no tempo, assim, obtém-se:

$$v_{ab}(t) = [(2 \cdot d(t) - 1)] \cdot V_{CC}, \quad (3.24)$$

desprezando a componente CC, chegamos à:

$$v_{ab}(t) = 2 \cdot d(t) \cdot V_{CC}. \quad (3.25)$$

Ainda, para obter o modelo do sistema em razão da ação de controle  $u(t)$ , é obtido o modelo dinâmico do modulador. As chaves do inversor são acionadas utilizando a técnica de modulação por largura de pulso (PWM - *Pulse Width Modulation*). A modulação unipolar é utilizada de forma que a tensão de saída varia entre 3 níveis:  $+V_{CC}$ , zero e  $-V_{CC}$ . Dessa forma, tem-se a relação dada pela Equação 3.26

$$d(t) = 0,5 + \frac{1}{V_M} \cdot u(t), \quad (3.26)$$

onde  $V_M$  é o valor de pico a pico da portadora triangular. Desprezando a componente CC se obtém:

$$d(t) = \frac{1}{V_M} \cdot u(t). \quad (3.27)$$

Utilizando a Equação 3.25 e 3.27 chega-se a expressão da tensão  $v_{ab}$ :

$$v_{ab} = 2 \cdot \frac{1}{V_M} \cdot u(t) \cdot V_{CC}. \quad (3.28)$$

Substituindo 3.28 nas matrizes de espaço de estados dadas na Equação 3.21, obtém-se a equação de estados que relaciona a corrente de saída do conversor, com o sinal de controle  $u(t)$ , dada pela Equação 3.29.

$$\begin{bmatrix} \dot{i}_{L_1}(t) \\ \dot{i}_{L_2}(t) \\ \dot{v}_C(t) \end{bmatrix} = \begin{bmatrix} -\frac{R_d}{L_1} & -\frac{R_d}{L_1} & -\frac{1}{L_1} \\ -\frac{R_d}{L_2+L_g} & -\frac{(R_d+R_g)}{L_2+L_g} & -\frac{1}{L_2+L_g} \\ \frac{1}{C} & \frac{1}{C} & 0 \end{bmatrix} \cdot \begin{bmatrix} i_{L_1}(t) \\ i_{L_2}(t) \\ v_C(t) \end{bmatrix} + \begin{bmatrix} \frac{2 \cdot V_{CC}}{L_1 \cdot V_M} \\ 0 \\ 0 \end{bmatrix} \cdot [u(t)] + \begin{bmatrix} 0 \\ \frac{1}{L_2+L_g} \\ 0 \end{bmatrix} \cdot [V_g(t)]. \quad (3.29)$$

### 3.3 DIMENSIONAMENTO DOS ELEMENTOS PASSIVOS DOS CONVERSORES

#### 3.3.1 Estágio de entrada

O dimensionamento dos elementos passivos do conversor *boost* considera os parâmetros da Tabela 2.

Tabela 2 – Parâmetros para projeto do conversor *boost*.

Parâmetro	Valor
Potência ativa ( $P$ )	3000 W
Frequência de comutação ( $f_s$ )	43,20 kHz
Ondulação de corrente ( $\Delta i_L$ )	10%
Ondulação de tensão ( $\Delta V_{FV}$ )	7%
Tensão de saída ( $V_{CC}$ )	400 V
Mínima tensão FV ( $V_{FV_{min}}$ )	100 V

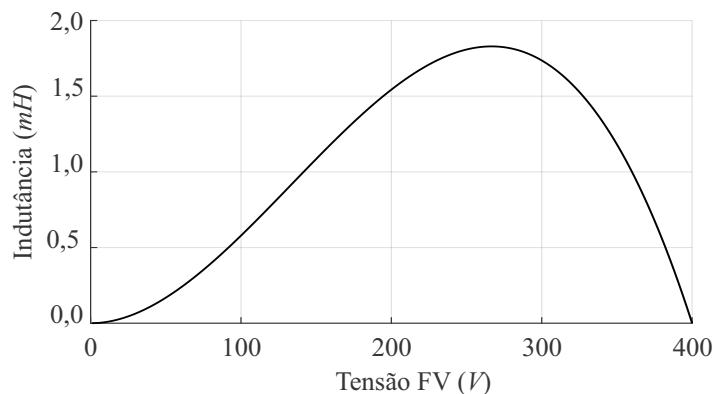
Fonte: Autora.

Para o cálculo do indutor é utilizado a Equação 3.30 (MARTINS; BARBI, 2006).

$$L = \frac{V_{FV} \cdot D}{\Delta i_L \cdot f_s} \quad (3.30)$$

O valor da tensão  $V_{FV}$  varia dependendo da radiação e da temperatura do módulo. Além disso, está associada com o modelo de painel FV utilizado. Nesse sentido a Equação 3.30 é aplicada para diferentes valores de  $V_{FV}$  variando de 0 V a 400 V, resultando no gráfico da Figura 17.

Figura 17 – Gráfico de variação da indutância



Fonte: Autora.

A partir da análise do gráfico, observa-se que para manter a ondulação de corrente dentro

do valor estabelecido, para todos os casos, o valor da indutância deve ser superior a  $1,83 \text{ mH}$ . Dessa forma é estabelecida uma indutância de  $2 \text{ mH}$  para o conversor *boost*.

O dimensionamento do capacitor de entrada é calculado pela Equação 3.31 (REIS, 2017).

$$C = \frac{P}{2 \cdot f_s \cdot V_{FV} \cdot \Delta V_{FV}} \quad (3.31)$$

Para o cálculo da capacitância é utilizado o valor mínimo de  $V_{FV}$ , que resulta na maior capacitância necessária. Assim, para manter a ondulação de tensão especificada, o capacitor deve ser maior que  $49,60 \mu F$ . Nesse sentido, é estabelecido um capacitor de  $50 \mu F$  para o conversor *boost*.

### 3.3.2 Barramento CC

O dimensionamento do capacitor do barramento CC é dado pela Equação 3.32 (MEMON; BHUTTO; BURIRO, 2020).

$$C_{CC} = \frac{S}{2 \cdot \pi \cdot f_g \cdot V_{CC} \cdot \Delta V_{CC}}, \quad (3.32)$$

onde  $S$  é a potência nominal aparente do inversor,  $f_g$  é a frequência da rede e  $\Delta V_{CC}$  é a ondulação de tensão sobre o barramento.

De acordo com Memon, Bhutto e Buriro (2020), o valor da ondulação de tensão deve ser mantido abaixo de  $8,5\%$ . Para o projeto do capacitor do barramento, é considerada uma ondulação de tensão permitida de  $5\%$ , que resultou em um capacitor de  $1000 \mu F$ .

### 3.3.3 Estágio de saída

O projeto do filtro de saída do inversor é feito utilizando os procedimentos demonstrados em Zhou et al. (2020). Inicialmente é realizada a escolha do indutor do lado do conversor  $L_1$ . O dimensionamento é feito a partir da análise de ondulação da corrente de saída do inversor. Quanto menor for a ondulação de corrente requerida, melhor será a qualidade da corrente gerada, todavia, gera elementos passivos demasiadamente grandes.

Para o projeto é definida uma ondulação de corrente de  $20\%$ . A Equação 3.33 é utilizada para determinar o valor da indutância.

$$\Delta I_{máx} = \frac{1}{8} \frac{V_{CC}}{L_1 \cdot f_s}, \quad (3.33)$$

onde  $V_{CC}$  é a tensão no barramento de entrada do inversor,  $f_s$  é a frequência de chaveamento, e  $\Delta I_{máx}$  é a ondulação de corrente definida. A partir da equação se obteve um valor de indutância

de  $1,20 \text{ mH}$ .

O dimensionamento do capacitor deve ponderar entre a qualidade da filtragem e a limitação de perdas. Dessa forma, determina-se que a potência reativa consumida pelo capacitor deve se limitar a 5% da potência nominal do sistema. Assim, a Equação 3.34 é utilizada para determinar o valor do capacitor do filtro.

$$C \leq 5\% \frac{P}{2 \cdot \pi \cdot f_g \cdot V_g^2}, \quad (3.34)$$

onde  $P$  é a potência de saída do inversor,  $f_g$  e  $V_g$  são a frequência e a tensão da rede, respectivamente. A partir da equação é determinada uma capacitância de  $8,00 \mu\text{F}$ .

Para o dimensionamento do indutor do lado da rede,  $L_2$ , é considerada a frequência de ressonância do filtro,  $f_{res}$ , que é dada pela Equação 3.35.

$$f_{res} = \frac{1}{2 \cdot \pi} \sqrt{\frac{L_1 + L_2}{L_1 \cdot L_2 \cdot C}}. \quad (3.35)$$

Tipicamente, a frequência de ressonância deve ser maior que 10 vezes a frequência fundamental da rede e menor que a metade da frequência de comutação. Frequências de ressonância muito próximas da frequência da rede dificultam o controle do inversor. No entanto, se esta for muito próxima da frequência de chaveamento, os ruídos de comutação não são atenuados. Além disso, quanto menor for a frequência de ressonância, melhor é a filtragem das harmônicas, mas maior serão os elementos passivos.

Considerando as restrições, é definida uma frequência de ressonância de  $3,00 \text{ kHz}$  que resulta em um indutor para o lado da rede de  $0,5 \text{ mH}$ . Para amortecer a ressonância é utilizada a técnica passiva de inserir um resistor em série com o capacitor. A técnica é escolhida devido a sua simplicidade, no entanto, a inserção do resistor gera perdas indesejáveis para o sistema. Dessa forma, para limitar as perdas, sugere-se que o resistor de amortecimento tenha o valor limitado pela Equação 3.36.

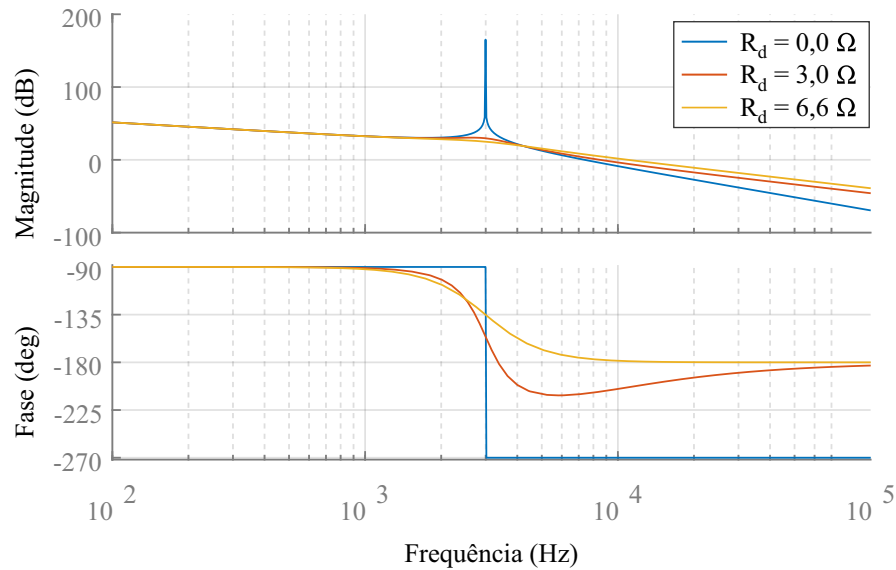
$$R_{d,máx} = \frac{1}{2 \cdot \pi \cdot f_{res} \cdot C}. \quad (3.36)$$

A partir da Equação 3.36 se obteve um resistor máximo de amortecimento de  $6,63 \Omega$ . No entanto para limitar mais ainda as perdas foi definido um  $R_d$  de  $3,00 \Omega$  que foi suficiente para deixar o controle estável.

A Figura 18 mostra o diagrama de bode do sistema sem o amortecimento, com  $R_d$  de  $3,0 \Omega$  e  $6,6 \Omega$ .

Através da figura é possível observar que a inserção da resistência de amortecimento faz com que o pico de ressonância seja eliminado. Além disso, avaliando o comportamento da fase, é possível observar que quanto maior for a resistência de amortecimento, melhor é a margem de fase aumentando a margem de estabilidade do sistema.



Figura 18 – Diagrama de bode para diferentes valores de  $R_d$ .

Fonte: Autora.

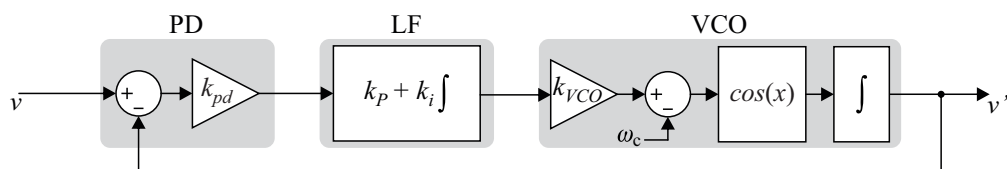
### 3.4 SISTEMA DE CONTROLE, PROTEÇÃO E GERAÇÃO DE REFERÊNCIAS

#### 3.4.1 Geração de referências de sincronismo com a rede

A corrente injetada pelo inversor deve operar em sincronismo com a rede elétrica (ABNT, 2013b). Portanto é necessário um algoritmo de sincronização para corrigir o ângulo de fase entre a tensão da rede e a corrente injetada. Tendo a magnitude e o ângulo de fase da tensão da rede é possível regular a potência ativa e reativa fornecida à rede (TEODORESCU; LISERRE; RODRIGUEZ, 2011). Além disso, o algoritmo fornece o valor da frequência, utilizada para as proteções de sobrefrequência e subfrequência além das funções de suporte a rede.

Dentre os métodos de sincronização, a estrutura PLL (*phase-locked loop*) é uma das mais populares (WU et al., 2022) e será o método implementado nessa dissertação. A Figura 19 ilustra a estrutura básica de um PLL (TEODORESCU; LISERRE; RODRIGUEZ, 2011).

Figura 19 – Estrutura básica do PLL.



Fonte: Adaptado de (TEODORESCU; LISERRE; RODRIGUEZ, 2011).

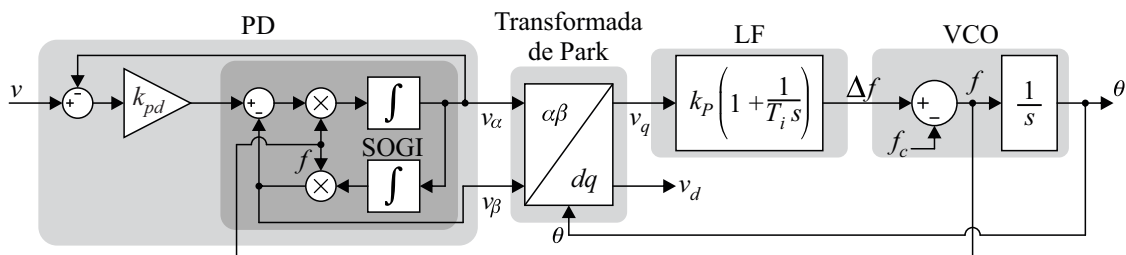
O PD (*phase detector*) gera um sinal proporcional à diferença de fase entre o sinal de entrada e o sinal gerado pelo oscilador. O LF (*loop filter*) faz a filtragem para atenuar componentes alternadas de alta frequência do sinal de saída do PD. O LF é usualmente constituído por um filtro passa-baixas de primeira ordem ou por um controlador PI. O VCO (*voltage-controlled*

*oscillator*) gera um sinal CA com frequência que varia em relação a uma frequência central dada,  $\omega_c$ .

Na literatura existem diversas formas de implementar o detector de fase. Exemplos são PLL baseado na transformada de Hilbert (FØYEN et al., 2020), PLL baseado na transformada inversa de Park (NAYAK; GURUNATH; RAJASEKAR, 2016), PLL com filtro *notch* adaptativo (BREZOVIĆ; KUDJÁK, 2010), PLL baseado em Integrador Generalizado de Segunda Ordem (SOGI-PLL) (TEODORESCU; LISERRE; RODRIGUEZ, 2011), etc.

Nesse trabalho, para realizar a sincronia da tensão da rede com a corrente injetada pelo inversor, é utilizado o SOGI-PLL. O diagrama do SOGI-PLL é apresentado na da Figura 20.

Figura 20 – Estrutura do SOGI-PLL.



Fonte: Adaptado de (TEODORESCU; LISERRE; RODRIGUEZ, 2011).

O PD gera dois sinais defasados em  $90^\circ$ ,  $v_\alpha$  e  $v_\beta$ , os quais são dados pelas equações:

$$\frac{v_\alpha}{v}(s) = \frac{k_{pd} \cdot \omega' \cdot s}{s^2 + k_{pd} \cdot \omega' \cdot s + \omega'^2}, \quad (3.37)$$

$$\frac{v_\beta}{v}(s) = \frac{k_{pd} \cdot \omega'^2}{s^2 + k_{pd} \cdot \omega' \cdot s + \omega'^2}. \quad (3.38)$$

É feita a transformada de Park dos sinais  $v_\alpha$  e  $v_\beta$ , resultando  $v_d$  e  $v_q$ . O módulo do sinal  $v_d$  resulta na amplitude do sinal de entrada. Já o sinal  $v_q$  passa pelo controlador PI, Equação 3.39, resultando no valor de desvio de frequência em relação a frequência nominal,  $\Delta f$ .

$$\frac{\Delta f}{v_q} = \frac{K_p \cdot s + K_i}{s} \quad (3.39)$$

Dessa forma, somando  $\Delta f$  com o valor da frequência nominal, tem-se a frequência de operação do sistema, em *Hz*. O valor da frequência é passado por um integrador que resulta no valor de fase da rede.

### 3.4.2 Gerador de referência de corrente do estágio de saída

O gerador de referência deve fornecer a referência adequada para o controlador de corrente de forma sincronizada com a rede, a partir das referências de potência ativa e reativa.

A referência de potência ativa é proveniente do controlador de tensão do barramento CC, e a referência de potência reativa vem a partir do controle de fator de potência.

A referência de corrente pode ser calculada a partir da Equação 3.40 apresentada por Liston et al. (2016).

$$I_{\alpha}^* = 2 \cdot \frac{v_{\alpha} \cdot P_{CC} - v_{\beta} \cdot Q^*}{v_{\alpha}^2 + v_{\beta}^2} \quad (3.40)$$

onde os valores de  $v_{\alpha}$  e  $v_{\beta}$  são sinais defasados em  $90^{\circ}$  vindos do detector de fase do PLL.

### 3.4.3 Controlador de corrente do estágio de saída

O controle da corrente do inversor atua para controlar o fluxo de potência ativa e reativa, transferido para a rede através da corrente injetada (TEODORESCU; LISERRE; RODRIGUEZ, 2011). Nessa dissertação é utilizado o controlador proporcional-ressonante (PR). Esse controlador é baseado no princípio do modelo interno (FRANCIS; WONHAM, 1975). O princípio demonstra que um sistema realimentado, assintoticamente estável, segue uma referência com erro nulo em regime permanente e/ou rejeita perturbações, caso o controlador contenha o modelo matemático que descreve a referência e/ou perturbação (FUKUDA; YODA, 2001).

Dessa forma o sistema seguirá uma determinada referência se no controlador houver um termo que garanta ganho infinito na frequência que se deseja rastrear. O conceito desse controlador se assemelha ao conceito de controlador proporcional-integral, o qual possui ganho infinito em  $0 \text{ Hz}$ , garantindo um erro nulo para uma referência contínua. Já o controlador ressonante possui um integrador duplo que atinge um ganho infinito em uma determinada frequência, que é denominada de frequência de ressonância (TEODORESCU; LISERRE; RODRIGUEZ, 2011).

Para o projeto do inversor, considerou-se que a corrente injetada pelo inversor deve seguir uma referência senoidal, o sistema de controle deve possuir um par de polos sobre o eixo imaginário na frequência de interesse, nesse caso de  $60 \text{ Hz}$ . No entanto, por vezes, a rede elétrica pode operar com frequência ligeiramente superior ou inferior à frequência nominal e é desejado que o controle continue operando de forma satisfatória. Por isso, se optou por alocar o polo com um pequeno coeficiente de amortecimento ( $\zeta$ ) deixando o controle menos seletivo e garantido elevado ganho nas frequências próximas de  $60 \text{ Hz}$ .

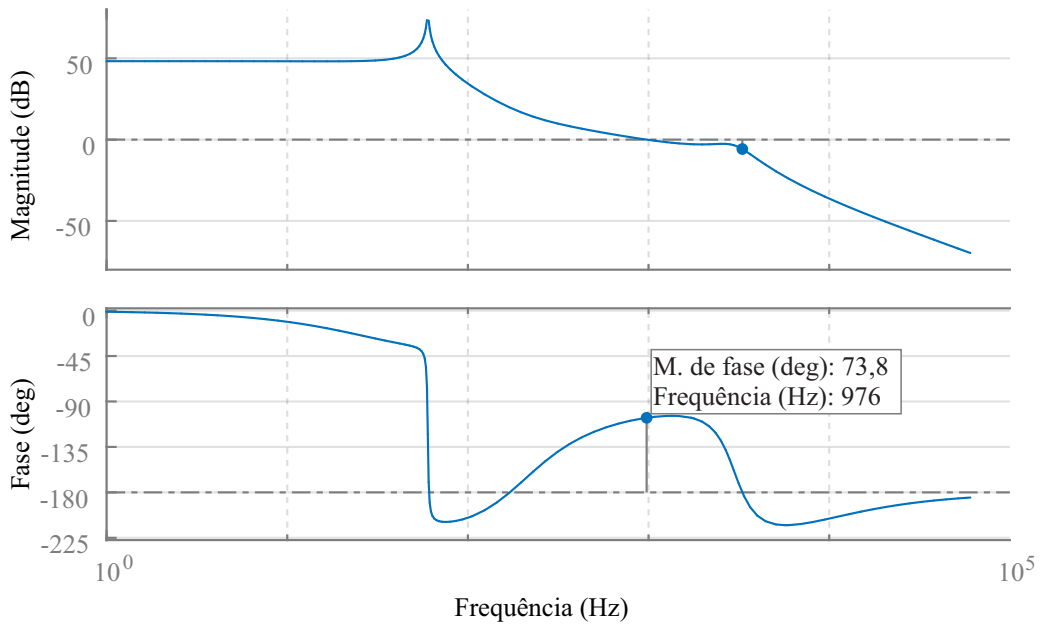
A frequência de cruzamento desejada é de  $2 \text{ kHz}$ , correspondente a uma década a baixo da frequência de chaveamento, assim, são inseridos dois zeros complexos conjugados em  $200 \text{ Hz}$  (uma década a baixo da frequência de cruzamento do ganho) e com um amortecimento de  $0,7$  de forma a não comprometer a margem de fase do sistema.

O ganho do controlador é ajustado através da ferramenta *sisotool* do Matlab. A Equação 3.41 traz a função de transferência do controlador e a Figura 21 apresenta a resposta em

frequência do sistema controlado em malha aberta.

$$C_i(s) = 0,023 \cdot \frac{s^2 + 1,777 \cdot 10^3 s + 1,579 \cdot 10^6}{s^2 + 0,754 s + 1,421 \cdot 10^5}. \quad (3.41)$$

Figura 21 – Resposta em frequência do controle de corrente em malha aberta.



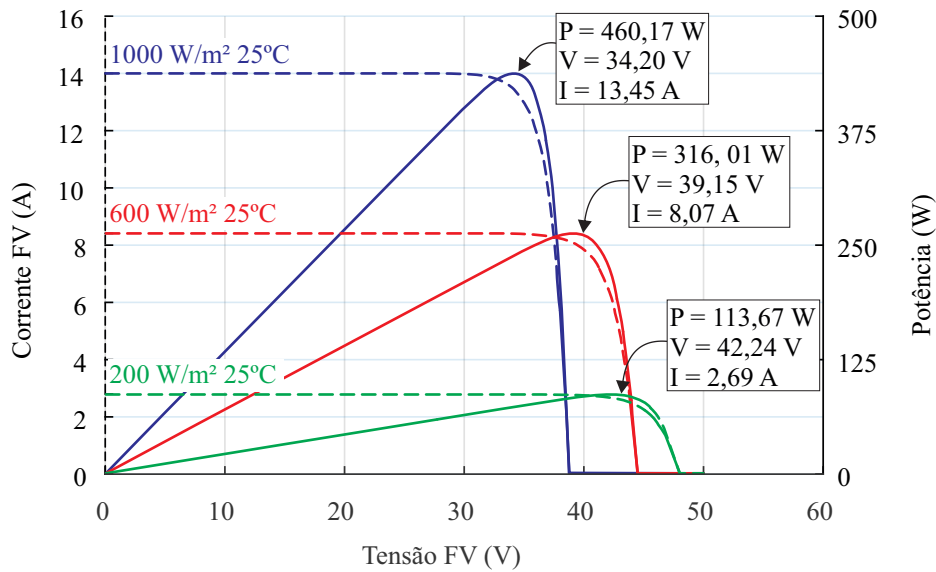
Fonte: Autora.

Através da imagem é possível observar que a margem de fase ficou em de  $73,8^\circ$  apresentando boa estabilidade, no entanto, devido ao problema da ressonância não foi possível obter a frequência de cruzamento do ganho no valor desejado, ficando  $976 \text{ Hz}$ .

#### 3.4.4 Gerador de referência para seguimento de ponto de máxima potência

A curva característica de um modulo FV, que relaciona a corrente com a tensão, possui característica não linear e depende da radiação e da temperatura a qual o modulo está exposto. Dessa forma, para diferentes temperaturas e radiações há diferentes pontos de máxima potência. A Figura 22 apresenta as curvas características para um painel monocristalino de  $460 \text{ W}$  da fabricante Jinko Solar (Jinko Solar Co., 2020). A Tabela 3 apresenta alguns dados do módulo em condições padrão de teste (radiação de  $1000 \text{ W}/\text{m}^2$  e temperatura de  $25^\circ\text{C}$ ).

Figura 22 – Curvas características do painel de 460 W.



Fonte: Autora.

Tabela 3 – Parâmetros do módulo FV de 460 W.

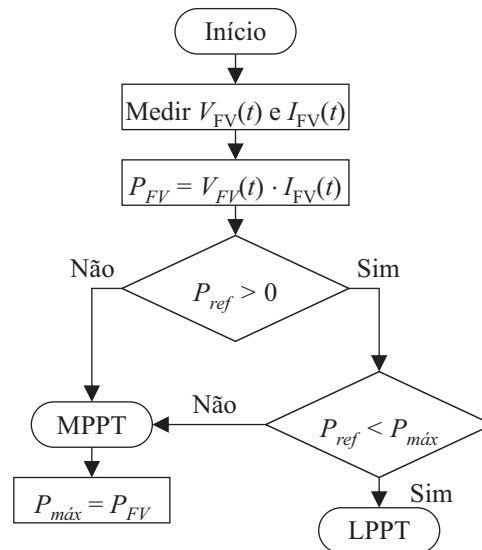
Parâmetro	Valor
Número de células	120
Potência máxima	460 W
Tensão de potência máxima	34,20 V
Corrente de potência máxima	13,45 A
Tensão de circuito aberto	41,48 V
Corrente de curto circuito	14,01 A
Eficiência	21,32%

Fonte: Autora.

Para maximizar a produção de energia é necessário fazer o rastreamento do melhor ponto de operação do módulo. Para isso são utilizados os algoritmos de rastreamento de ponto de máxima potência, MPPT, que buscam o ponto ótimo de operação para o sistema FV, o MPP (*Maximum power point*). Algumas vezes, no entanto, é necessário operar fora do ponto máximo, e para isso é necessário implementar um algoritmo de rastreamento de ponto de potência limitada, LPPT. Exemplos em que é necessário operar no LPP (*Limited power point*) é quando a potência gerada pelos módulos FV é superior a potência nominal de saída do inversor. Também é aplicado quando é feita a inicialização do inversor para que a potência suba de forma gradativa. Ainda, alguns requisitos normativos exigem que a potência seja limitada.

Para cumprir esses requisitos é implementado o algoritmo proposto em Santos et al. (2020) cujo fluxograma é apresentado na Figura 23.

Figura 23 – Algoritmo de rastreamento de ponto de operação de potência.



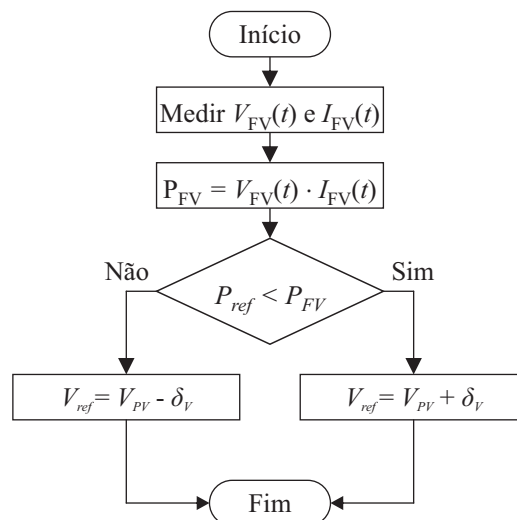
Fonte: Adaptado de (SANTOS et al., 2020).

Inicialmente é feita a aquisição dos dados da corrente e tensão sobre os terminais do módulo. Com esses valores é calculada a potência atual. Caso a potência de referência  $P_{ref}$  desejada seja inferior a potência máxima dos módulos FV é aplicado o algoritmo de LPPT. Quando  $P_{ref}$  é inferior a potência máxima dos módulos FV o sistema deve operar no MPP. Para isso é aplicado o algoritmo de condutância incremental, que faz o rastreamento desse ponto.

#### 3.4.4.1 Método de LPPT

O algoritmo de LPPT se baseia no algoritmo de perturba e observa, o fluxograma está apresentado na Figura 24.

Figura 24 – Algoritmo de LPPT.



Fonte: Adaptado de (SANTOS et al., 2020).

A cada período de tempo, é realizada uma perturbação de tensão e a potência gerada é verificada. É avaliado se a potência desejada é maior ou menor que a potência atual. Caso seja menor, a tensão FV deve ser acrescida de um valor de tensão determinado,  $\delta_v$ . Caso contrário a tensão deve ser reduzida.

#### 3.4.4.2 Método de MPPT

Os algoritmos de MPPT utilizam estratégias de tentativa e erro para fazer que o sistema opere na região do MPP (GONÇALVES, 2020). Na literatura existem diversas técnicas para a implementação do MPPT, que podem ser realizadas através do controle da corrente ou da tensão dos módulos FV (BRITO et al., 2011).

Esse trabalho aborda o método da condutância incremental (CI).

Este método se baseia no fato de que a derivada da curva de potência do painel é nula no MPP, positiva à esquerda e negativa à direita desse ponto. Como pode ser observado na Figura 22. A derivada da potência em relação a tensão é dada por:

$$\frac{dP}{dV} = I + V \frac{dI}{dV} \approx I + V \frac{\Delta I}{\Delta V}. \quad (3.42)$$

Dessa forma tem-se:

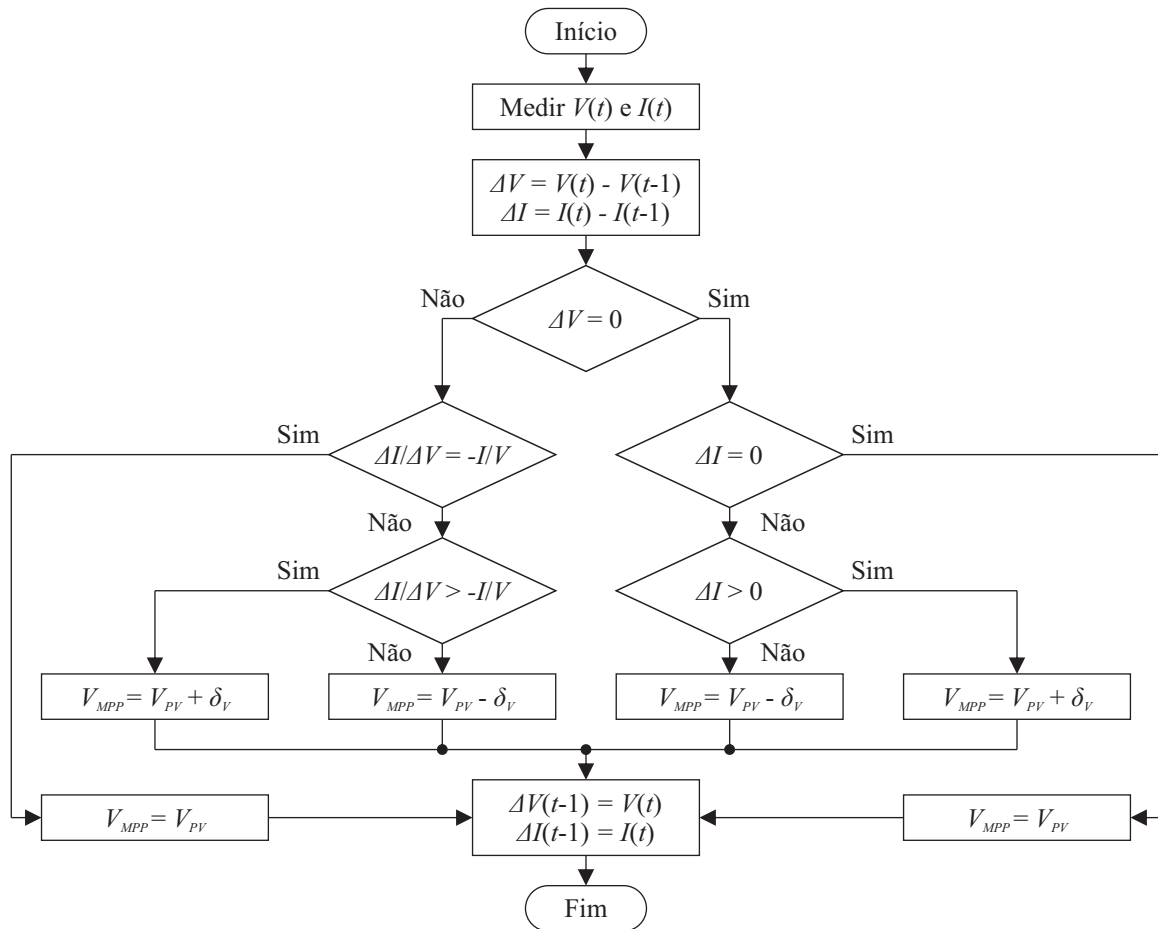
$$\frac{\Delta I}{\Delta V} = -\frac{I}{V}, \text{ no MPP} \quad (3.43)$$

$$\frac{\Delta I}{\Delta V} > -\frac{I}{V}, \text{ a esquerda do MPP} \quad (3.44)$$

$$\frac{\Delta I}{\Delta V} < -\frac{I}{V}, \text{ a direita do MPP.} \quad (3.45)$$

Deste modo, o MPP é rastreado a partir da comparação da condutância instantânea,  $I/V$ , com a condutância incremental,  $\Delta I/\Delta V$ , seguindo o fluxograma da Figura 25.

Figura 25 – Algoritmo de MPPT.



Fonte: Autora.

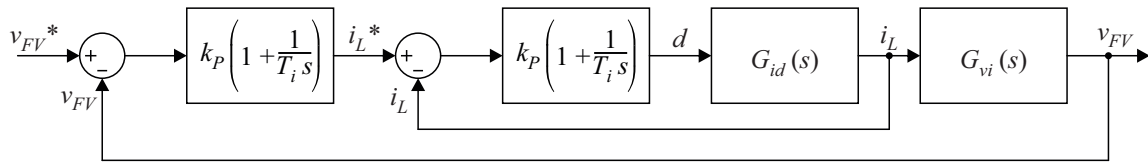
Os valores de tensão e corrente do módulo FV são medidos e subtraídos do valor anterior. Caso não haja variação na tensão e na corrente o sistema está operado no MPP e a tensão permanece constante. Caso haja uma variação na corrente, a tensão do módulo deve ser alterada, subtraindo ou somando um valor de tensão,  $\delta_V$ .

Caso haja uma variação de tensão os valores de condutância instantânea e incremental são comparadas de acordo com as Equações 3.43, 3.44 e 3.45, e a tensão é alterada, subtraindo ou somando  $\delta_V$ .

### 3.4.5 Controlador de tensão do estágio de entrada

Para fazer o controle da tensão de entrada do conversor *boost* é utilizada uma metodologia de controle com duas malhas de controle em cascata. A malha interna faz o controle da corrente sobre o indutor, e a malha externa faz o controle da tensão do capacitor de entrada. A estrutura do controle é apresentada da Figura 26.



Figura 26 – Estrutura de controle do *boost*.

Fonte: Autora.

Através do modelo obtido na seção 3.2.1 é possível extrair a função de transferência  $G_{id}(s)$ , que relaciona a corrente no indutor com a razão cíclica, e a função de transferência  $G_{vd}(s)$  que relaciona a tensão de entrada com a razão cíclica:

$$G_{id}(s) = \frac{i_L(s)}{d(s)} = \frac{\frac{V_{CC}}{L} \cdot s + \frac{V_{CC}}{C \cdot L \cdot r_{FV}}}{s^2 + \frac{1}{C \cdot r_{FV}} \cdot s + \frac{1}{C \cdot L}} \quad (3.46)$$

$$G_{vd}(s) = \frac{v_C(s)}{d(s)} = -\frac{\frac{V_{CC}}{C \cdot L}}{s^2 + \frac{1}{C \cdot r_{FV}} \cdot s + \frac{1}{C \cdot L}} \quad (3.47)$$

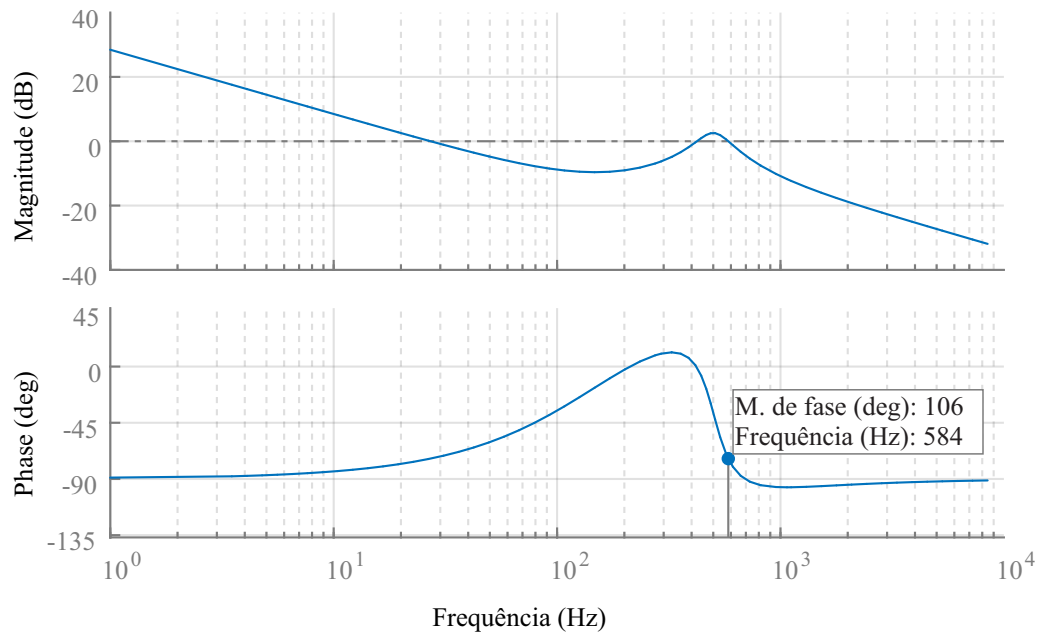
Todavia, para a malha de tensão é necessário obter a função de transferência  $G_{vi}(s)$ , onde a entrada deve ser a corrente sobre o indutor. Para isso é feita a divisão entre  $G_{id}(s)$  e  $G_{vd}(s)$ , obtendo assim  $G_{vi}(s)$  resultando em:

$$G_{vi}(s) = \frac{v_C(s)}{i_L(s)} = -\frac{\frac{1}{C}}{s + \frac{1}{C \cdot r_{FV}}} \quad (3.48)$$

#### 3.4.5.1 Controlador da malha interna do estágio de entrada

Inicialmente é feito o projeto da malha de controle interna. Os sinais de controle da malha são utilizados em valores absolutos. É utilizado um controlador PI, de forma que o polo do compensador seja alocado na origem, garantindo um elevado ganho CC. O zero é alocado em uma frequência de 175 Hz e o ganho do controlador é ajustado através da ferramenta *sisotool* do Matlab. O ganho integral do controlador ficou de 7,48 e o ganho proporcional de 0,00674. A Figura 27 apresenta a resposta em frequência do sistema controlado em malha aberta.

Figura 27 – Resposta em frequência de malha aberta do controle de corrente do *boost*.



Fonte: Autora.

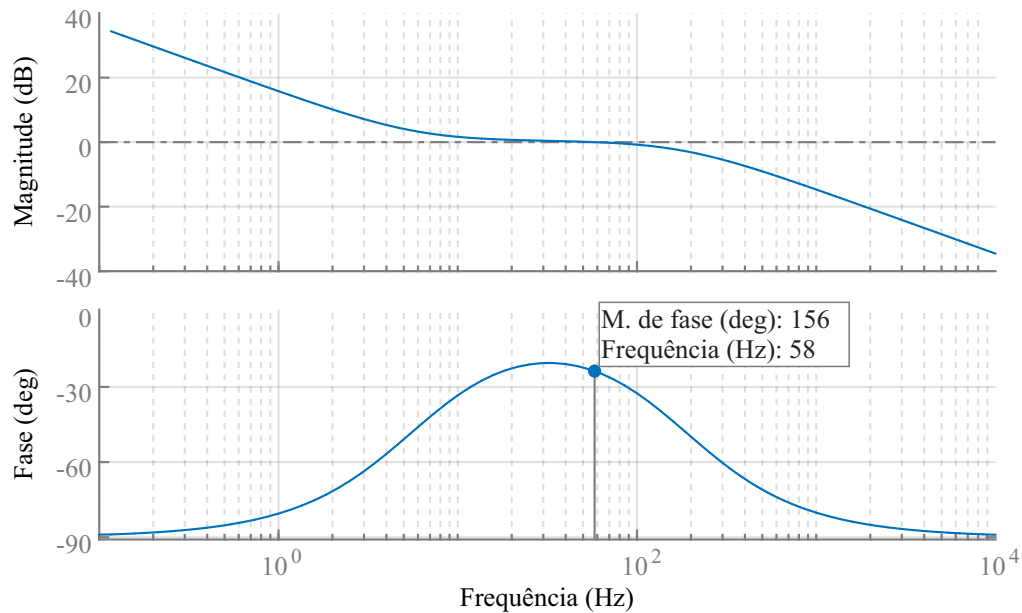
Como observado na Figura 27 a margem de fase ficou em de  $106^\circ$  apresentando boa estabilidade, e a frequência de cruzamento do ganho ficou em  $584 \text{ Hz}$ .

#### 3.4.5.2 Controlador da malha externa do estágio de entrada

A frequência de corte da malha externa deve ser suficientemente mais lenta que a malha interna, garantindo o desacoplamento entre as malhas. Tipicamente considera-se que a malha externa opera com uma frequência de uma década a baixo da frequência de operação da malha interna. A partir dessa consideração é possível desprezar a dinâmica da malha interna para o projeto do controlador de tensão.

É projetado um controlador PI para a malha externa. O polo do controlador é incluído na origem garantindo elevado ganho CC. A frequência de cruzamento de ganho definida em  $58 \text{ Hz}$ . Para isso o zero está alocado em uma frequência de  $5,8 \text{ Hz}$  e o ganho do controlador é ajustado através da ferramenta *sisotool* do Matlab. O ganho integral do controlador ficou de  $-2,14$  e o ganho proporcional de  $-0,0588$ . A Figura 28 apresenta a resposta em frequência do sistema controlado em malha aberta.

Figura 28 – Resposta em frequência de malha aberta do controle de tensão do *boost*.



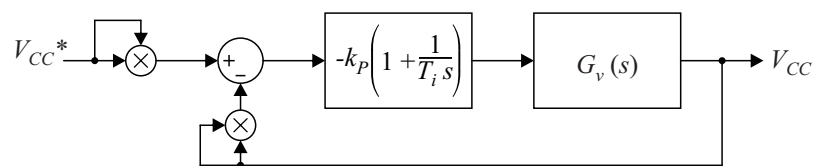
Fonte: Autora.

A margem de fase ficou em de  $156^\circ$  apresentando boa estabilidade, e a frequência de cruzamento do ganho ficou em  $58 \text{ Hz}$ , como foi estabelecido.

### 3.4.6 Controlador de tensão do barramento CC

A Figura 29 apresenta o diagrama de blocos da malha de controle de tensão. A malha de controle contém o controlador de tensão  $C_v(s)$  e o modelo do barramento CC  $G_v(s)$ .

Figura 29 – Estrutura de controle do barramento CC.



Fonte: Autora.

A dinâmica do controlador interno de corrente é desprezada uma vez que a malha de controle de tensão deve ser muito mais lenta que a malha de controle de corrente para evitar a interação entre os controladores.

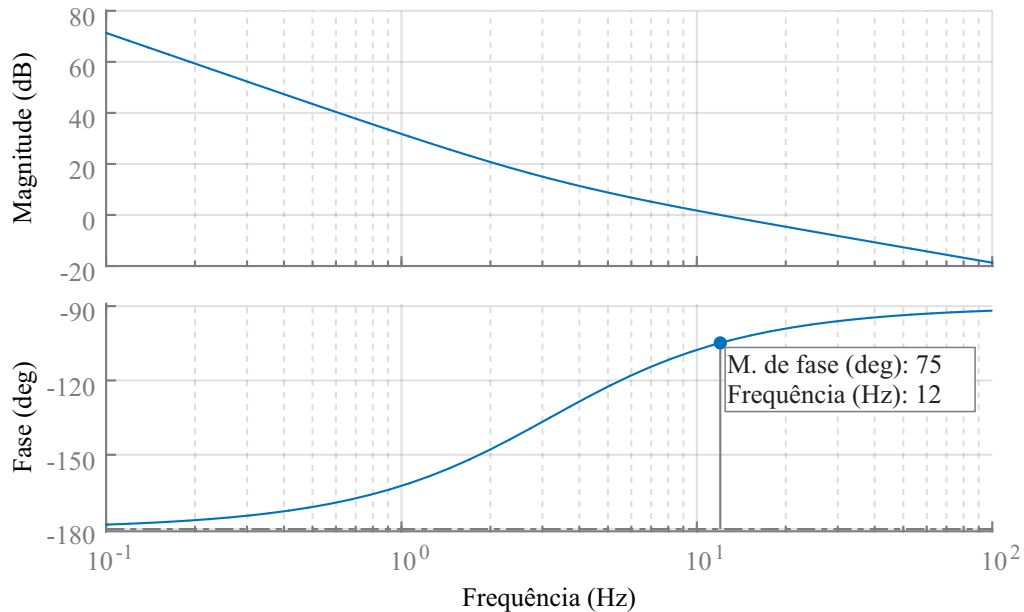
Para o controle da tensão é utilizado um controlador PI. A ondulação da tensão no barramento é o dobro da frequência fundamental ( $120 \text{ Hz}$ ). Nesse sentido, o controlador é projetado para ter uma frequência de corte de  $12 \text{ Hz}$ .

O polo do compensador é alocado na origem, aumentando o ganho CC e o zero foi adicionado em uma frequência bem baixa de forma a não comprometer a margem de fase.

Ainda, o ganho do controlador é ajustado através da ferramenta *sisotool* do Matlab. A Equação 3.49 apresenta a função de transferência obtida para o controlador de tensão. A Figura 30 apresenta a resposta em frequência do sistema controlado em malha aberta.

$$C_v(s) = -0,036 \cdot \frac{s + 20,000s}{s}. \quad (3.49)$$

Figura 30 – Resposta em frequência de malha aberta do controle do barramento CC.



Fonte: Autora.

Através da imagem é possível observar que a margem de fase ficou em de  $75^\circ$  apresentando boa estabilidade, e a frequência de cruzamento do ganho ficou em  $12\text{ Hz}$ .

### 3.4.7 Funções de Proteção e de Suporte à Rede

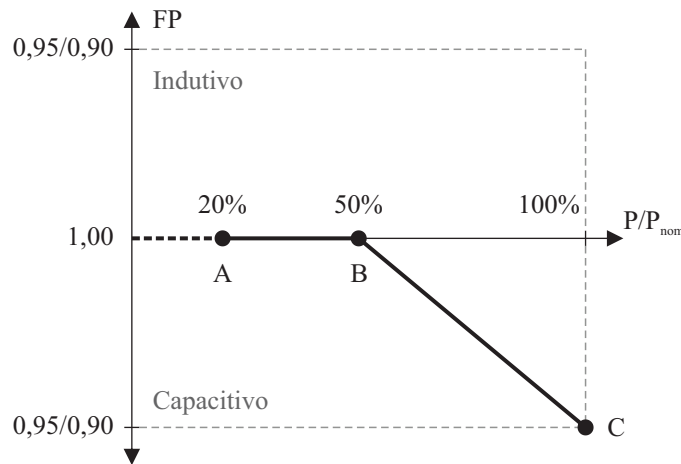
A portaria do INMETRO nº 140 estabelece os requisitos de avaliação da conformidade para equipamentos de geração, em sistemas FV (INMETRO, 2022). Esse documento aborda alguns requisitos de proteção e suporte a rede que devem ser implementados no *firmware*. Para eles também são implementadas funções que serão apresentadas nas subseções a seguir.

#### 3.4.7.1 Ajuste do Fator de Potência

No documento são abordados três funcionalidades que envolvem a variação do fator de potência, elas foram agrupadas em uma única função. As funcionalidades são:

1. Os inversores conectados à rede elétrica devem ter a capacidade de operar com um fator de potência unitário quando a potência ativa injetada na rede for superior a 20% da potência nominal do inversor (INMETRO, 2022). Ainda, inversores com potência nominal superior a 6 kW devem ser capazes de ajustar o fator de potência para 0,9 indutivo ou capacitivo (ABNT, 2013b). Apesar do inversor ter potência inferior a 6 kW, a funcionalidade de fator de potência diferente de 1,0 é implementada.
2. Os inversores conectados à rede elétrica, com potência nominal superior a 3 kW, devem oferecer, como recurso opcional, a capacidade de operar de acordo com a curva representada na Figura 31 (INMETRO, 2022).

Figura 31 – Curva do fator de potência em função da potência ativa.



Fonte: Adaptado de (INMETRO, 2022).

Essa operação deve ser ajustável de acordo com a faixa de potência nominal e fator de potência, onde (INMETRO, 2022):

$$3 \text{ kW} < P_{nom} < 6 \text{ kW} : 0,95 \text{ indutivo até } 0,95 \text{ capacitivo} \quad (3.50)$$

$$P_{nom} > 6 \text{ kW} : 0,90 \text{ indutivo até } 0,90 \text{ capacitivo} \quad (3.51)$$

Apesar dessa funcionalidade não ser aplicável para o inversor projetado, ela é implementada.

3. Os inversores com potência nominal superior a 6 kW, devem oferecer, como recurso opcional, a capacidade de operar com potência reativa fixa de até 48,43% (indutiva ou capacitiva) da potência ativa de ensaio (INMETRO, 2022). Apesar do inversor ter potência inferior a 6 kW, a funcionalidade de injeção de potência reativa é implementada.

### 3.4.7.2 Proteção de Sobretensão e Subtensão

Os inversores conectados à rede devem interromper o fornecimento de energia quando a tensão CA sair da faixa de operação estabelecida. Os valores de tensão bem como os tempos de atuação da proteção, são apresentados na Tabela 4 para casos de subtensão, e na Tabela 5 para casos de sobretensão (INMETRO, 2022).

Tabela 4 – Ajustes para a proteção de subtensão.

Estágio	Ajuste padrão		Faixa para possível variação dos ajustes	
	Tensão (pu)	Temporização (s)	Tensão (pu)	Temporização (s)
1	0,80	2,50	$0,50 < U \leq 0,80$	2,5 a 3,0
2	0,50	0,50	$0,20 < U \leq 0,50$	0,50 a ajuste do estágio 1
3	0,20	0,02	$00,00 < U \leq 0,20$	0,02 a ajuste do estágio 2

Fonte: (INMETRO, 2022).

Tabela 5 – Ajustes para a proteção de sobretensão.

Estágio	Ajuste padrão		Faixa para possível variação dos ajustes	
	Tensão (pu)	Temporização (s)	Tensão (pu)	Temporização (s)
1	1,12	1,00	$1,12 < U \leq 1,18$	1,00 a 1,50
2	1,18	0,02	$1,18 \leq U$	0,02

Fonte: (INMETRO, 2022).

### 3.4.7.3 Proteção de Sobrefrequência e Subfrequência

Os inversores conectados à rede devem interromper o fornecimento de energia quando a frequência da rede CA sair da faixa de operação estabelecida. Os valores de frequência bem como os tempos de atuação da proteção são apresentados na Tabela 6 para casos de subfrequência e na Tabela 7 para casos de sobrefrequência (INMETRO, 2022).

Tabela 6 – Ajustes para a proteção de subfrequência.

Estágio	Ajuste padrão		Faixa para possível variação dos ajustes	
	Frequência (Hz)	Temporização (s)	Frequência (Hz)	Temporização (s)
1	57,4	5,0	$56,9 < f \leq 57,4$	5,0 a 25,0
2	56,9	0,1	$0,0 < f \leq 56,9$	0,1 a ajuste do estágio 1

Fonte: (INMETRO, 2022).

Tabela 7 – Ajustes para a proteção de sobrefrequência.

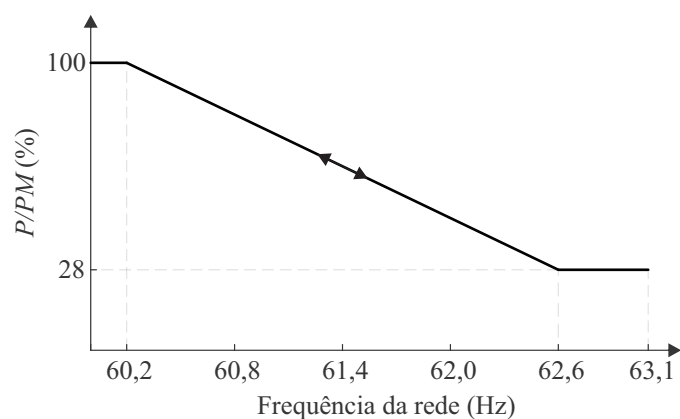
Estágio	Ajuste padrão		Faixa para possível variação dos ajustes	
	Frequência (Hz)	Temporização (s)	Frequência (Hz)	Temporização (s)
1	62,6	10,0	$62,6 < f \leq 63,1$	10,0 a 15,0
2	63,1	0,1	$63,1 \leq f$	0,1

Fonte: (INMETRO, 2022).

#### 3.4.7.4 Controle de Potência em Sobrefrequência

De acordo com (INMETRO, 2022), quando ocorrer a elevação da frequência da rede, o inversor deve controlar o nível de potência ativa injetada. Dessa forma quando a frequência da rede elétrica ultrapassar  $60,2 \text{ Hz}$  e permanecer abaixo de  $63,1 \text{ Hz}$ , os inversores conectados à rede devem controlar a potência ativa injetada de acordo com a curva da Figura 32 (INMETRO, 2022).

Figura 32 – Curva de potência por variação de frequência.



Fonte: Adaptado de (INMETRO, 2022).

Onde  $PM$  é potência ativa injetada no instante em que a frequência excede  $60,2 \text{ Hz}$ . A tolerância de potência é de  $\pm 2\%$ .

### 3.5 CONSIDERAÇÕES FINAIS

Nesse capítulo foi abordado o projeto de um inversor que será utilizado para validar a metodologia apresentada a seguir no capítulo 4.

Com o capítulo é possível estabelecer as funcionalidades essenciais, assim como o que o *firmware* deve ter para assegurar a correta operação do inversor. Além de fornecer os parâmetros necessários para as funções criadas, tornando possível a validação delas.

Foram apresentadas as modelagens dinâmicas dos estágios de conversão, bem como o dimensionamento dos elementos passivos. Também foram abordados os sistemas de controle, proteção e geração de referências envolvidos no processo de conversão.

No próximo capítulo será apresentada a criação das funções para cada uma das funcionalidades apresentadas.



## 4 METODOLOGIA PROPOSTA PARA ESTRUTURAÇÃO DE *FIRMWARE*

Esse capítulo apresenta a metodologia utilizada no desenvolvimento das funções modulares. São apresentadas as diretrizes para a implementação das funções em C visando a padronização delas. Além disso é demonstrada a aplicação da metodologia proposta através da geração de um *firmware* para o estudo de caso proposto no capítulo 3. Ao final do capítulo é utilizada uma das funções desenvolvidas para testar duas técnicas diferentes de controle MPPT a fim de validar a modularidade das funções desenvolvidas.

### 4.1 PADRONIZAÇÃO DE ESTRUTURA DO PROGRAMA

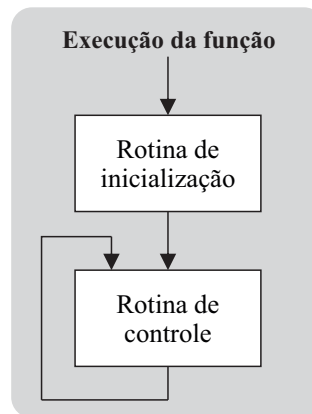
No trabalho, as seguintes premissas são consideradas:

- a forma de objeto orientado não é considerada;
- a função será usada em aplicações de controle em tempo real;
- deve ser de fácil interpretação mesmo para pessoas com baixo conhecimento de programação;
- deve haver a separação dos sinais de entrada e saída dos parâmetros e sinais de erro;
- as funções devem ser desenvolvidas de forma que sejam independentes do hardware e do processador utilizado;
- as variáveis de entrada da função devem ser globais, de forma que sejam acessíveis em todo o código; e
- todas as variáveis internas são variáveis locais, não acessíveis fora da função.

As funções devem ser separadas de acordo com sua funcionalidade (exemplo: controle, geração de referência, proteção, etc) de forma a possibilitar o teste de diferentes estratégias de controle sem ser necessário alterar as demais funções.

A implementação das funções deve possuir uma rotina de inicialização onde são inicializadas as variáveis internas seguida da rotina de controle que é executada continuamente. Conforme estrutura apresentada na Figura 33.

Figura 33 – Padronização para o nome das funções.



Fonte: Autora.

As funções devem ser do tipo *void* e a chamada da função é feita da seguinte forma:

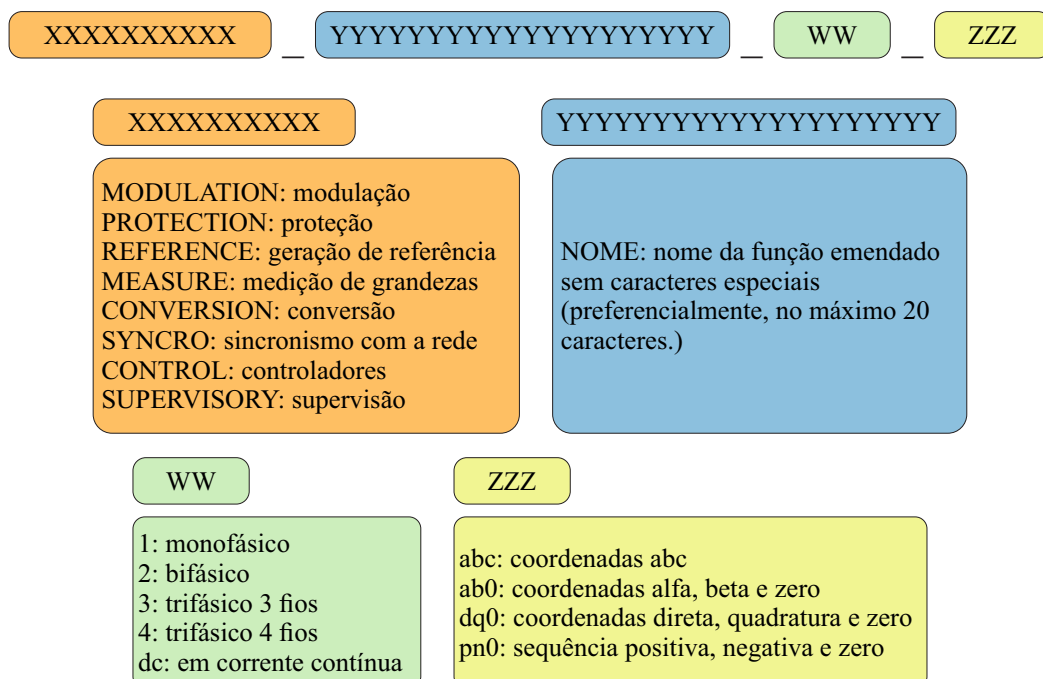
```
void nome_da_funcao (&sinais_entrada , &parametros_entrada);
```

O nome das funções, bem como as variáveis utilizadas devem ser padronizadas. Também deve ser elaborado uma documentação para a função com o propósito de facilitar a reutilização posterior. Essa padronização é apresentada nas seções a seguir.

#### 4.2 PADRONIZAÇÃO PARA O NOME DAS FUNÇÕES

O nome das funções deve ser padronizado de acordo com a Figura 34.

Figura 34 – Padronização para o nome das funções.



Fonte: Autora.

O nome da função deve ser iniciado indicando a funcionalidade principal da função. Por exemplo, se a função tem o objetivo de fazer o sincronismo com a rede, deve iniciar com a palavra SYNCRO.

Em seguida é atribuído o nome específico da função. Por exemplo, para a implementação do sincronismo, é utilizada a técnica de SOGI-PLL, dessa forma o nome da função é SYNCRO\_SOGIPLL.

O terceiro termo do nome indica se a função é desenvolvida para sistemas monofásicos, bifásicos, trifásicos ou se é aplicado em corrente contínua, como o caso do MPPT, por exemplo. Seguindo o exemplo, a função de sincronismo é aplicada a um inversor monofásico, assim o nome da função fica: SYNCRO\_SOGIPLL\_1.

Por fim, é estabelecido para qual tipo de referencial a função é desenvolvida. Indicando se é em coordenadas abc, alfa-beta, dq, sequência positiva, negativa, zero. Caso a função seja aplicada em CC, o último termo é suprimido. No exemplo da função de sincronismo, o referencial utilizado é o abc, dessa forma o nome completo da função é: SYNCRO\_SOGIPLL\_1\_abc.

#### 4.3 PADRONIZAÇÃO DE REPRESENTAÇÃO DE VARIÁVEIS DE ENTRADA E SAÍDA

As variáveis utilizadas como entradas e saídas das funções são divididas entre: sinais de entrada, parâmetros de entrada, sinais de saída e avisos de saída, conforme Figura 35. Quando houver mais de um sinal em alguma das divisões citadas, devem ser utilizadas estruturas para fazer a passagem de variáveis.

Figura 35 – Estrutura de entradas e saídas.



Fonte: Autora.

O nome das variáveis empregadas devem ser padronizadas de acordo com a Tabela 8.

Tabela 8 – Nome padrão para variáveis.

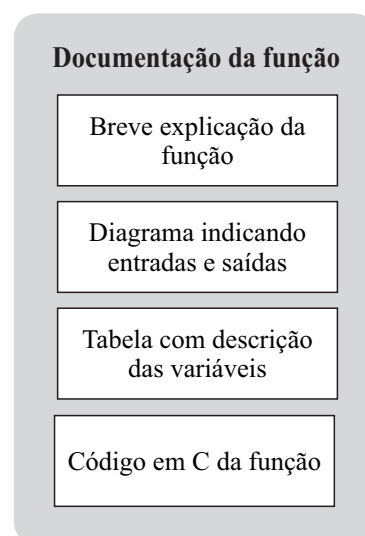
<b>Nome padronizado</b>	<b>Categoria</b>	<b>Exemplo</b>
r_descricao_unidade	Sinais de referência	r_iL2_A
ym_descricao_unidade	Sinais de medida	ym_acVoltage_V
u_descricao_unidade	Ação de controle	u_boost_pu
par_descricao_unidade	Parâmetro	par_fs_Hz
k_tipo_descricao	Ganho de controlador	k_prop_boost
y_descricao_unidade	Sinal de saída	y_frequency_Hz
warning_descricao	Sinal de aviso	warning_frequency
x_descricao_unidade	Sinal de entrada	x_Val_V
reset	Sinal de reset	reset

Fonte: Autora.

#### 4.4 METODOLOGIA PARA DOCUMENTAÇÃO DAS FUNÇÕES

As funções desenvolvidas devem ser adequadamente documentadas, visando a compreensão dos usuários para facilitar sua reutilização futura. Nesse sentido a documentação deve conter, no mínimo, os itens descritos na Figura 36.

Figura 36 – Documentação das funções.



Fonte: Autora.

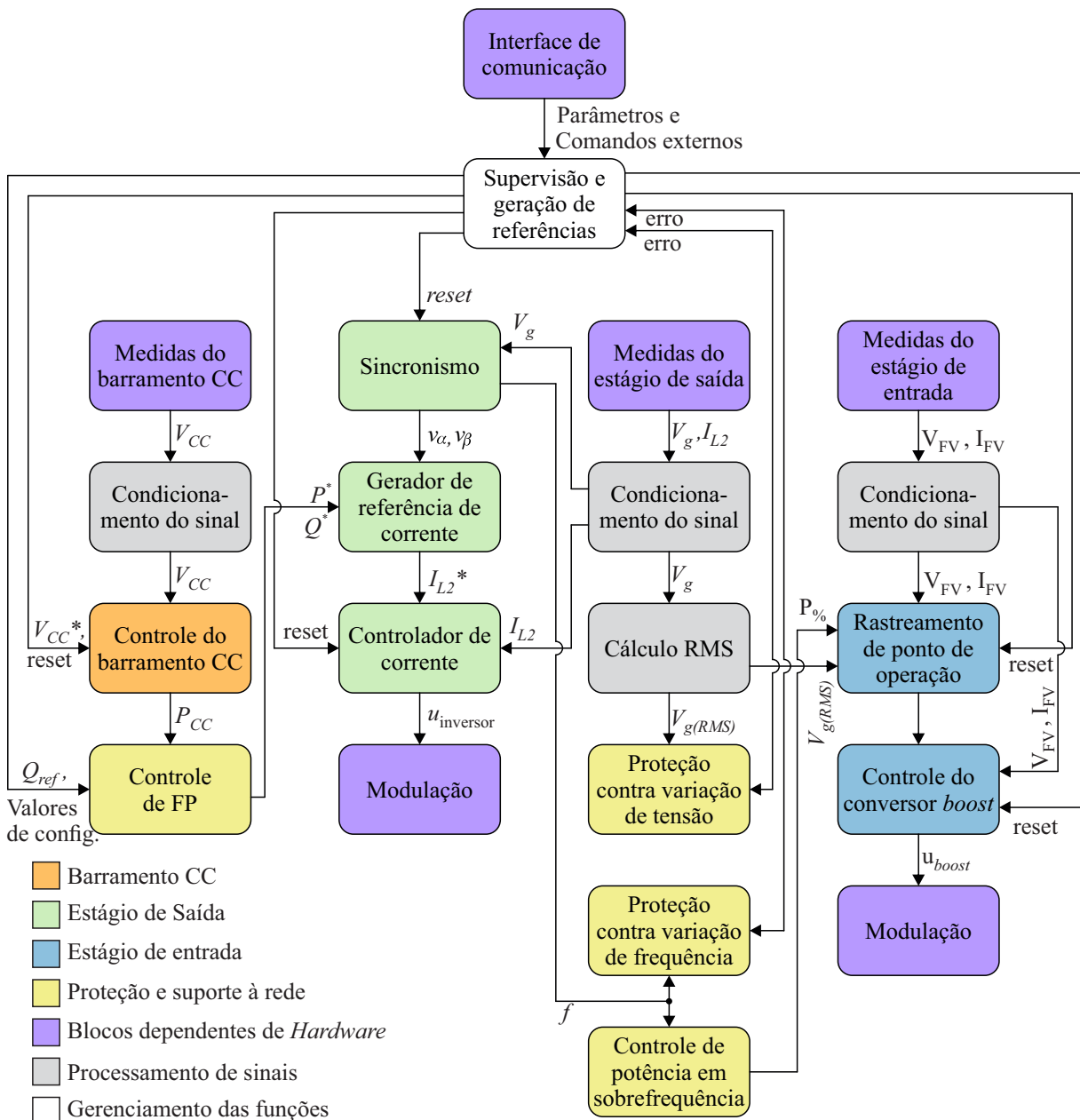
Inicialmente deve ser feita uma breve explicação do propósito da função. Eventuais imagens e diagramas que facilitem a compreensão do funcionamento da função, devem ser

inseridos nessa parte. Deve ser incluído um diagrama indicando os sinais de entrada e saída necessários bem como uma tabela com a descrição detalhada de cada variável. Por fim, o documento deve conter a função desenvolvida em C. Um exemplo de documentação é apresentado no Apêndice A.

#### 4.5 APLICAÇÃO DA METODOLOGIA PROPOSTA PARA GERAÇÃO DE *FIRMWARE* DO ESTUDO DE CASO PROPOSTO

A Figura 37 apresenta o fluxograma da estrutura modular de controle implementada.

Figura 37 – Estrutura de controle implementada.



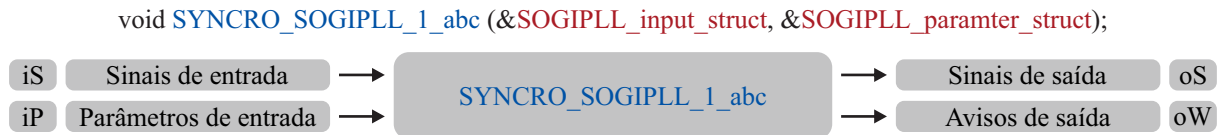
Fonte: Autora.

Cada bloco da figura representa uma função desenvolvida para o inversor. Os blocos são interligados de acordo com as entradas e saídas necessárias. Nas seções a seguir cada um dos blocos será explicado de maneira individual e detalhada.

#### 4.5.1 Implementação da função de gerador de referências de sincronismo com a rede

O algoritmo de sincronismo é implementado em linguagem C através da função cuja estrutura está representada na Figura 38. Na figura são mostradas as representações das entradas e saídas da função. A descrição detalhada dessas entradas e saídas é apresentada no Quadro 1.

Figura 38 – Representação da função de sincronismo com a rede.



Fonte: Autora.

Quadro 1 – Variáveis utilizadas na função de sincronismo.

	Nome	Tipo	Faixa de Valores	Descrição
iS	ym_acVoltage_V	float	-400 a 400	Sinal de entrada com o qual se deseja sincronizar.
	reset	char	0 ou 1	Sinal dado para resetar a função.
iP	par_fn_Hz	float	0 a $\infty$	Frequência nominal do sinal de entrada.
	par_fs_Hz	float	0 a $\infty$	Frequência de chamada da função.
	k_prop_pd	float	0 a $\infty$	Ganho proporcional do <i>phase detector</i> .
	k_prop_lf	float	0 a $\infty$	Ganho proporcional do <i>loop filter</i> .
	k_integr_lf	float	0 a $\infty$	Ganho integral do <i>loop filter</i> .
oS	y_frequency_Hz	float	0 a $\infty$	Frequência medida do sinal de entrada.
	y_phase_rad	float	0 a $2\pi$	Fase medida do sinal de entrada.
	y_amplitude_V	float	0 a 400	Amplitude medida do sinal de entrada.
	y_Val_V	float	-400 a 400	Sinal $v_\alpha$ , saída do <i>loop filter</i> .
	y_Vbt_V	float	-400 a 400	Sinal $v_\beta$ , saída do <i>loop filter</i> .
oW	warning_frequency	char	0 ou 1	Aviso de possível problema na frequência medida.
	warninig_amplitude	char	0 ou 1	Aviso de possível erro na amplitude medida.

Fonte: Autora.

Além dos valores de frequência, fase e amplitude, a função tem como saída os sinais  $v_\alpha$  e  $v_\beta$  que são utilizados para gerar a referência de corrente sincronizada com a rede.

Os sinais de aviso (*warnings*) são dados quando o valor da frequência e da amplitude são 10 vezes maiores que os valores nominais, indicando algum possível erro no cálculo do PLL. A partir de algum desses avisos o usuário pode enviar um sinal de *reset* para a função, por exemplo.

As variáveis cujos limites foram representados como infinito, tem seu valor limitado pelo tamanho da variável utilizada.

Todas as funções no domínio  $s$  utilizadas são discretizadas pelo método de *tustin* e convertidas em equações de diferenças, tornando-as adequadas para implementação em linguagem C. Esse processo será demonstrado, tendo como exemplo a Equação 3.37.

Para a discretização de *tustin* é considerado:

$$s = \frac{2(z-1)}{T_s(z+1)} \quad (4.1)$$

onde  $T_s$  é o período de amostragem.

Substituindo 4.1 em 3.37, tem-se:

$$\frac{v_\alpha}{v}(z) = \frac{k_{pd} \cdot \omega' \cdot \left[ \frac{2(z-1)}{T_s(z+1)} \right]}{\left[ \frac{2(z-1)}{T_s(z+1)} \right]^2 + k_{pd} \cdot \omega' \cdot \left[ \frac{2(z-1)}{T_s(z+1)} \right] + \omega'^2}, \quad (4.2)$$

resolvendo 4.2, chega-se em:

$$\frac{v_\alpha}{v}(z) = \frac{x \cdot z^2 - x}{(x+y+4) \cdot z^2 + (2 \cdot y - 8) \cdot z + (-x+y+4)} \quad (4.3)$$

onde:  $x = 2 \cdot k_{pd} \cdot \omega' \cdot T_s$  e  $y = (T_s \cdot \omega')^2$ . Multiplicando 4.3 por  $\frac{z^{-2}}{z^{-2}}$ :

$$\frac{v_\alpha}{v}(z) = \frac{x - x \cdot z^{-2}}{(x+y+4) + (2 \cdot y - 8) \cdot z^{-1} + (-x+y+4) \cdot z^{-2}}. \quad (4.4)$$

Passando 4.4 para equação das diferenças, obtém-se:

$$v_\alpha[n] = \frac{x}{x+y+4} \cdot v[n] + \frac{-x}{x+y+4} \cdot v[n-2] - \frac{2 \cdot y - 8}{x+y+4} \cdot v_\alpha[n-1] - \frac{-x+y+4}{x+y+4} \cdot v_\alpha[n-2] \quad (4.5)$$

Dentro da função, inicialmente são feitas as declarações das variáveis internas. Em seguida é feita a inicialização das variáveis de controle, bem como os cálculos de discretização necessários. Essa etapa é realizada uma única vez e só é retornada a ela caso seja enviado um comando de *reset*. Após a inicialização das variáveis o PLL é executado continuamente, fornecendo os valores de frequência, fase e amplitude da rede, bem como os demais sinais necessários para os blocos de controle posteriores.

#### 4.5.2 Implementação da função de gerador de referência de corrente do estágio de saída

Para a geração da corrente de referência é implementada a função em linguagem C que tem sua estrutura representada na Figura 39. A descrição detalhada das variáveis utilizadas é fornecida no Quadro 2.

Figura 39 – Representação da função de de geração de corrente de referência.

```
void REFERENCE_CurrentAC_1_ab0 (&CurrentRef_input_struct);
```



Fonte: Autora.

Quadro 2 – Variáveis utilizadas na função de geração de referência de corrente.

	Nome	Tipo	Faixa de Valores	Descrição
iS	r_ActivePower_W	float	0 a $\infty$	Valor de potência ativa desejada.
	r_ReactivePower_W	float	0 a $\infty$	Valor de potência reativa.
	x_Val_V	float	-400 a 400	Valor da tensão $v_\alpha$ dado pela função de sincronismo.
	x_Vbt_V	float	-400 a 400	Valor da tensão $v_\beta$ dado pela função de sincronismo.
oS	y_RefCurrent_A	float	$-\infty$ a $\infty$	Valor da corrente de referência.

Fonte: Autora.

A referência de potência ativa é proveniente da função que faz o controle do barramento CC. Já o valor da potência reativa, vem da função que controla o valor do fator de potência. Os valores  $v_\alpha$  e  $v_\beta$  são sinais vindos do bloco de sincronismo. A saída da função é a referência utilizada no controlador de corrente, sendo um sinal senoidal na frequência da rede e com amplitude dependente do valor de potência ativa.

O sinal de saída é calculado através da Equação 3.40 continuamente e só é interrompido caso seja dado um sinal de *reset*. Quando há o sinal de *reset*, a referência de corrente é zerada.

#### 4.5.3 Implementação da função de controlador de corrente do estágio de saída

O controle de corrente é implementado em linguagem C através da função CONTROL\_CURRENT\_1\_abc. A estrutura com a representação dos sinais de entrada, sinais de saída e parâmetros é ilustrada na Figura 40. A descrição detalhada das variáveis utilizadas é fornecida no Quadro 3.



Figura 40 – Representação da função de geração de corrente de referência.

```
void CONTROL_CurrentAC_1_abc (&CurrentControl_input_struct, &CurrentControl_paramter_struct);
```



Fonte: Autora.

Quadro 3 – Variáveis utilizadas na função de controle de corrente do inversor.

	Nome	Tipo	Faixa de Valores	Descrição
iS	r_iL2_A	float	$-\infty$ a $\infty$	Referência de corrente para o controlador.
	ym_iL2_A	float	$-\infty$ a $\infty$	Corrente medida no segundo indutor.
	reset	char	0 ou 1	Sinal dado para resetar a função.
iP	par_fs_Hz	float	0 a $\infty$	Frequência de chamada da função.
	par_b0 par_b1 par_b2	float	$-\infty$ a $\infty$	Coefficientes do numerador da ft do controlador.
	par_a0 par_a1 par_a2	float	$-\infty$ a $\infty$	Coefficiente do numerador da ft do controlador.
oS	u_CurrentControlpos	float	-1 a 1	Ação de controle para o primeiro par de chaves do inversor.
	u_currentControlneg	float	-1 a 1	Ação de conotrole para o segundo par de chaves do inversor.
oW	warning_saturation	char	-1 ou 1	Aviso que houve saturação positiva ou negativa na ação de controle.

Fonte: Autora.

O sinal de referência é proveniente da função REFERENCE\_CURRENT\_1\_abc, e o sinal de corrente medida vem diretamente da leitura do sensor de corrente. Os parâmetros  $b_0$ ,  $b_1$ ,  $b_2$ ,  $a_0$ ,  $a_1$  e  $a_2$  são os termos da função de transferência do controlador no domínio  $s$ , onde:

$$C(s) = \frac{b_2 \cdot s^2 + b_1 \cdot s + b_0}{a_2 \cdot s^2 + a_1 \cdot s + a_0}. \quad (4.6)$$

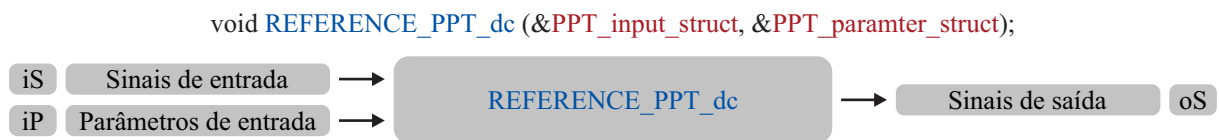
Os sinais de saída são os valores da razão cíclica aplicados para cada braço do inversor. E o sinal de aviso é dado para indicar que a razão cíclica está saturada no seu valor máximo ou mínimo.

Na função, primeiramente são realizadas as declarações das variáveis internas. Em seguida, ocorre a inicialização das variáveis de controle, bem como os cálculos de discretização necessários. Essa etapa é realizada apenas uma vez e só é repetida caso um comando de *reset* seja enviado. Após a inicialização das variáveis, o controle é executado de forma contínua.

#### 4.5.4 Implementação da Função de gerador de referência para seguimento de ponto de máxima potência

Os algoritmos de LPPT e MPPT são implementados em linguagem C através da função `REFERENCE_PPT_1_abc`. A estrutura da função com a representação dos sinais de entrada, sinais de saída e parâmetros é mostrada na Figura 41. A descrição detalhada das variáveis utilizadas é apresentada no Quadro 4.

Figura 41 – Representação da função de rastreamento de ponto de operação de potência.



Fonte: Autora.

Quadro 4 – Variáveis utilizadas na função de rastreamento de ponto de operação de potência.

	Nome	Tipo	Faixa de Valores	Descrição
iS	ym_Ipv_A	float	0 a $\infty$	Corrente de saída do painel FV.
	ym_Vpv_V	float	0 a $\infty$	Tensão de saída do painel FV.
	ym_VgridRMS_V	float	0 a $\infty$	Tensão RMS da rede.
	r_RefActivePower_W	float	0 a $\infty$	Referência de potência ativa desejada.
	x_PercentPower	float	0 a $\infty$	Valor percentual da potência ativa.
iP	par_VpvNom_V	float	0 a $\infty$	Valor máximo da tensão FV.
	par_IpvNom_A	float	0 a $\infty$	Valor máximo da corrente FV.
	par_VgridNom_V	float	0 a $\infty$	Tensão RMS nominal da rede.
	par_stepsize_pu	float	0 a 1	Passo para variação da tensão FV.
oS	y_Vmpp_V	float	0 a $\infty$	Tensão de operação do painel FV para operar no ponto de potência definido.
	x_operacional	char	0 ou 1	Indica se está operando no MPP.

Fonte: Autora.

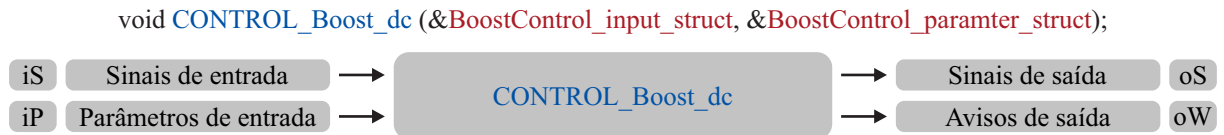
O sinal `r_RefActivePower_W` é o sinal de potência ativa com o valor que é desejável que o inversor opere. O valor de `x_PercentPower` é proveniente da função de controle de potência

em sobrefrequência exigido em (INMETRO, 2022), que será explicado posteriormente. O valor RMS da tensão é utilizado para reduzir a potência quando há subtensão de forma a limitar a corrente injetada. Na função, inicialmente são feitas as declarações das variáveis internas e em seguida são implementados os algoritmos apresentados nas Figuras 23, 24 e 25.

#### 4.5.5 Implementação da Função do controlador de tensão do estágio de entrada

O controle do conversor *boost* é implementado em linguagem C através da função `CONTROL_BOOST_1_abc`. A Figura 42 ilustra a estrutura com a representação dos sinais de entrada, sinais de saída e parâmetros. O Quadro 5 fornece uma descrição detalhada das variáveis utilizadas.

Figura 42 – Representação da função de rastreamento de controle do conversor *boost*.



Fonte: Autora.

Quadro 5 – Variáveis utilizadas na função de controle do conversor *boost*.

	Nome	Tipo	Faixa de Valores	Descrição
iS	ym_Ipv_A	float	0 a $\infty$	Corrente de saída do painel FV.
	ym_Vpv_V	float	0 a $\infty$	Tensão de saída do painel FV.
	r_Vmpp_V	float	0 a $\infty$	Tensão de referência do painel FV.
	reset	char	0 ou 1	Sinal dado para resetar a função.
iP	par_fs_Hz	float	0 a $\infty$	Frequência de chamada da função.
	k_prop_current	float	$-\infty$ a $\infty$	Ganho proporcional da malha interna.
	k_integr_current	float	$-\infty$ a $\infty$	Ganho integral da malha interna.
	k_prop_voltage	float	$-\infty$ a $\infty$	Ganho proporcional da malha externa.
	k_integr_voltage	float	$-\infty$ a $\infty$	Ganho integral da malha externa.
	par_IpvMax_A	float	0 a $\infty$	Indica o valor máximo de corrente FV.
oS	u_BoostControl	float	0 a 1	Ação de controle para a chave do <i>boost</i> .
oW	warning_saturationI	char	0 ou 1	Aviso de saturação na malha interna.
	warning_saturation	char	0 ou 1	Aviso de saturação na malha externa.

Fonte: Autora.

O sinal de referência de tensão é proveniente da função do seguidor de ponto de máxima potência. Os controladores são discretizados pelo método de *tustin* de acordo com o método

apresentado na seção 4.5.1.

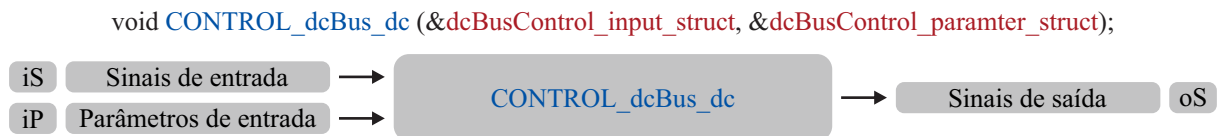
Os sinais de saída são o valor da razão cíclica aplicada na chave do *boost*. E os sinais de aviso são dados para indicar que a razão cíclica está saturada no seu valor máximo ou mínimo ou que a corrente está fora dos limites especificados.

Dentro da função, primeiro são feitas as declarações das variáveis internas. Em seguida, as variáveis de controle são inicializadas, assim como os cálculos de discretização necessários. Essa etapa ocorre apenas uma vez e é repetida somente se um comando de *reset* for recebido. Após a inicialização das variáveis, o controle é executado de forma contínua.

#### 4.5.6 Implementação da função de controle do barramento CC

O controle do barramento é implementado em linguagem C através da função `CONTROL_dcBus_1_abc`. A Figura 43 ilustra a estrutura com a representação dos sinais de entrada, sinais de saída e parâmetros. O Quadro 6 fornece uma descrição detalhada das variáveis utilizadas.

Figura 43 – Representação da função de controle do barramento CC.



Fonte: Autora.

Quadro 6 – Variáveis utilizadas na função de controle do barramento CC.

	Nome	Tipo	Faixa de Valores	Descrição
iS	r_BusVoltage_V	float	0 a $\infty$	Tensão de referência do barramento CC.
	ym_Vdc_V	float	0 a $\infty$	Tensão de medida no barramento CC.
	reset	char	0 ou 1	Sinal dado para resetar a função.
iP	par_fs_Hz	float	0 a $\infty$	Frequência de chamada da função.
	k_prop	float	$-\infty$ a $\infty$	Ganho proporcional do controlador.
	k_integr	float	$-\infty$ a $\infty$	Ganho integral do controlador.
oS	y_dcPoweBus_W	float	0 a $\infty$	Potência de referência para o inversor.

Fonte: Autora.

Dentro da função, o primeiro passo é declarar as variáveis internas. Em seguida, ocorre a inicialização das variáveis de controle, assim como os cálculos de discretização necessários. Essa etapa é realizada somente uma vez e só será repetida caso um comando de *reset* seja acionado. Após a inicialização das variáveis, o controle é executado de forma contínua.

Os controladores são discretizados pelo método de *tustin* de acordo com o método apresentado na seção 4.5.1.

#### 4.5.7 Implementação da Função de controle de fator de potência

Para o controle do fator de potência é implementada a função cuja estrutura é apresentada na Figura 44 que tem a representação dos sinais de entrada, sinais de saída e parâmetros. O Quadro 7 fornece uma descrição detalhada das variáveis utilizadas.

Figura 44 – Representação da função de controle de FP.



Fonte: Autora.

Quadro 7 – Variáveis utilizadas na função de de FP.

	Nome	Tipo	Faixa de Valores	Descrição
iS	par_PFConfig	int	0 a 7	Indica qual é a operação do FP, Conforme Tabela 9.
	par_PFConfigValue	float	0 a 1	Escolhe qual o fator de potência que será utilizado quando par_PFConfig é igual a 1, 2, 3 ou 4.
	r_ActivePower_W	float	0 a $\infty$	Potência ativa disponível no barramento CC.
	r_ReactivePower_VAr	float	$-\infty$ a $\infty$	Valor de potência reativa desejada quando par_PFConfig é igual a 7.
iP	par_NomPower_W	float	0 a $\infty$	Potência nominal do inversor.
oS	y_ReactivePower_VAr	float	$-\infty$ a $\infty$	Valor de potência reativa necessária.

Fonte: Autora.

Tabela 9 – Operação do fator de potência.

par_PFConfig	Operação
0	Fator de potência fixo unitário
1	Fator de potência fixo indutivo
2	Fator de potência fixo capacitivo
3	Fator de potência com curva indutivo
4	Fator de potência com curva capacitivo
5	Potência reativa de 48,43% indutiva
6	Potência reativa de 48,43% capacitiva
7	Potência reativa definida

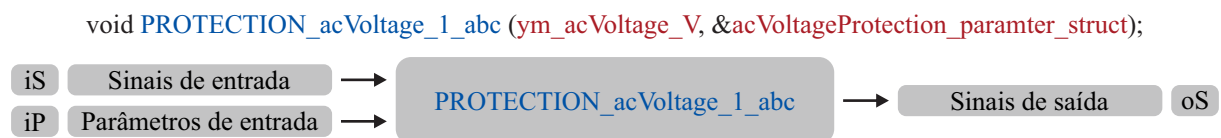
Fonte: Autora.

Dentro da função, a partir da função selecionada pela variável `par_PFConfig` o inversor opera em determinada condição de fator de potência calculando a potência reativa necessária. Ao final da execução os valores de potência reativa são enviados para o algoritmo de geração de corrente de referência.

#### 4.5.8 Implementação da Função de Proteção contra Variação de Tensão

Para realizar a proteção contra subtensão e sobretensão é implementada a função `PROTECTION_TensaoCA_1_abc`. Cujas estrutura é apresentada na Figura 45 que tem a representação dos sinais de entrada, sinais de saída e parâmetros. O Quadro 8 fornece uma descrição detalhada das variáveis utilizadas.

Figura 45 – Representação da função de proteção contra variações de tensão.



Fonte: Autora.

Quadro 8 – Variáveis utilizadas na função de proteção contra variações de tensão.

	<b>Nome</b>	<b>Tipo</b>	<b>Faixa de Valores</b>	<b>Descrição</b>
iS	ym_VgridRMS_V	float	0 a $\infty$	Tensão RMS da rede.
iP	par_UV1_pu	float	0 a 1	Nível 1 de subtensão.
	par_UV2_pu	float	0 a 1	Nível 2 de subtensão.
	par_UV3_pu	float	0 a 1	Nível 3 de subtensão.
	par_UV1Time_s	float	0 a $\infty$	Tempo de desconexão para o nível 1 de subtensão.
	par_UV1Time_s	float	0 a $\infty$	Tempo de desconexão para o nível 1 de subtensão.
	par_UV2Time_s	float	0 a $\infty$	Tempo de desconexão para o nível 2 de subtensão.
	par_UV3Time_s	float	0 a $\infty$	Tempo de desconexão para o nível 3 de subtensão.
	par_OV1_pu	float	0 a 1	Nível 1 de sobretensão.
	par_UV2_pu	float	0 a 1	Nível 2 de sobretensão.
	par_OV1Time_s	float	0 a $\infty$	Tempo de desconexão para o nível 1 de sobretensão.
	par_OV2Time_s	float	0 a $\infty$	Tempo de desconexão para o nível 2 de sobretensão.
	par_VgridNom_V	float	0 a $\infty$	Tensão RMS nominal da rede.
oS	y_UnderVoltageError	char	0 ou 1	Indica se houve subtensão.
	y_OverVoltageError	char	0 ou 1	Indica se houve sobretensão.

Fonte: Autora.

Os limites de tensão aplicados na função estão em conformidade com as Tabelas 4 e 5. O valor RMS da tensão é comparado com esses níveis. Assim que o valor exceder algum limite, é começada a contagem de tempo para a desconexão. Tendo passado o tempo de desconexão, é enviado um sinal de erro para o código principal.

#### 4.5.9 Implementação da Função de Proteção contra Variação de Frequência

Para realizar a proteção contra subtensão e sobretensão é implementada a função PROTECTION\_Frequency\_1\_abc. Cujá estrutura é apresentada na Figura 46 que tem a representação dos sinais de entrada, sinais de saída e parâmetros. O Quadro 9 fornece uma descrição detalhada das variáveis utilizadas.

Figura 46 – Representação da função de proteção contra variações de frequência.

```
void PROTECTION_Frequency_1_abc (ym_Frequency_Hz, &FrequencyProtection_paramter_struct);
```



Fonte: Autora.

Quadro 9 – Variáveis utilizadas na função de proteção contra variações de frequência.

	Nome	Tipo	Faixa de Valores	Descrição
iS	ym_Frequency_Hz	float	0 a $\infty$	Frequência medida da rede.
iP	par_UF1_Hz	float	0 a $\infty$	Nível 1 de subfrequência.
	par_UF2_Hz	float	0 a $\infty$	Nível 2 de subfrequência.
	par_UF1Time_s	float	0 a $\infty$	Tempo de desconexão para o nível 1 de subfrequência.
	par_UF2Time_s	float	0 a $\infty$	Tempo de desconexão para o nível 2 de subfrequência.
	par_OF1_Hz	float	0 a $\infty$	Nível 1 de sobrefrequência.
	par_OF2_Hz	float	0 a $\infty$	Nível 2 de sobrefrequência.
	par_OF1Time_s	float	0 a $\infty$	Tempo de desconexão para o nível 1 de sobrefrequência.
	par_OF1Time_s	float	0 a $\infty$	Tempo de desconexão para o nível 1 de sobrefrequência.
oS	y_UnderFreqError	char	0 ou 1	Indica se houve subfrequência.
	y_OverFreqError	char	0 ou 1	Indica se houve sobrefrequência.

Fonte: Autora.

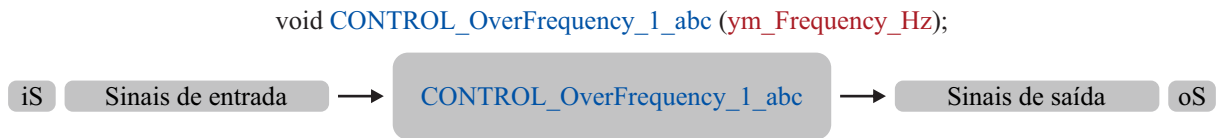
A função aplica limites de frequência conforme as Tabelas 6 e 7. É realizado um comparativo entre o valor da frequência enviado pelo algoritmo de PLL e esses níveis. Caso o valor exceda algum limite, é iniciada a contagem de tempo para a desconexão. Após o término do tempo de desconexão, um sinal de erro é enviado ao código principal.

#### 4.5.10 Implementação da Função em Linguagem C - Controle de Potência em Sobre-frequência

Para realizar o controle da potência diante a variações de frequência, é implementada a função CONTROL\_FrequenciaCA\_1\_abc. A estrutura da função é apresentada na Figura 47 contendo a representação dos sinais de entrada, sinais de saída e parâmetros. O Quadro 10 fornece uma descrição detalhada das variáveis utilizadas.



Figura 47 – Representação da função de controle de potência em sobrefrequência.



Fonte: Autora.

Quadro 10 – Variáveis utilizadas na função de controle de potência em sobrefrequência.

	Nome	Tipo	Faixa de Valores	Descrição
iS	ym_Frequency_Hz	float	0 a $\infty$	Frequência medida da rede.
oS	y_PercentPower	float	0 a 1	Valor percentual da potência ativa.

Fonte: Autora.

A função calcula o nível de potência que deve ser injetado em conformidade com a Figura 32. O sinal de saída é um valor decimal de 0 a 1 que indica o percentual de potência. Esse valor é enviado para a função faz a geração de referência para seguimento de ponto de operação de potência dos painéis FV.

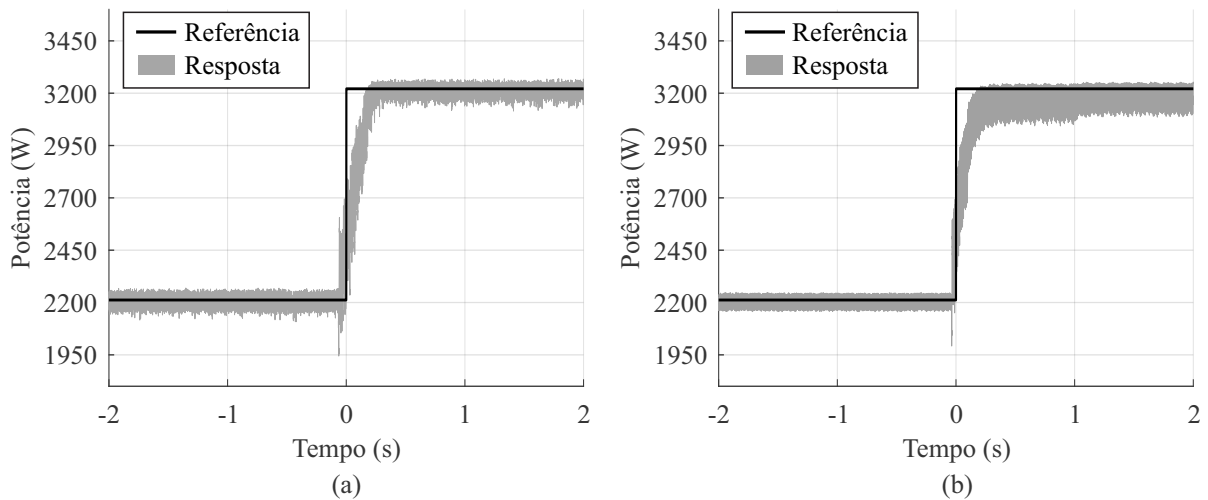
#### 4.6 VALIDAÇÃO DA MODULARIDADE DAS FUNÇÕES

Para validar a modularidade do código, utilizando a mesma estrutura de função apresentada em 4.5.4, foram aplicadas duas técnicas de MPPT. A primeira técnica é a apresentada na seção 3.4.4 e ela foi comparada com a técnica de perturba e observa.

Para avaliar o desempenho das técnicas foram aplicados dois testes no primeiro deles a radiação é iniciada em  $600 \text{ W/m}^2$  com temperatura de  $25^\circ\text{C}$  e passa para uma radiação de  $1000 \text{ W/m}^2$  mantendo a temperatura. Já o segundo teste é aplicado para uma radiação de  $1000 \text{ W/m}^2$  mas com a temperatura variando de  $25^\circ\text{C}$  para  $40^\circ\text{C}$ .

Com a radiação em  $600 \text{ W/m}^2$  a máxima potência fica em torno de  $2200 \text{ W}$ , para os  $1000 \text{ W/m}^2$  a potência máxima passa para  $3200 \text{ W}$ . A Figura 48 apresenta o resultado do primeiro teste para as duas técnicas.

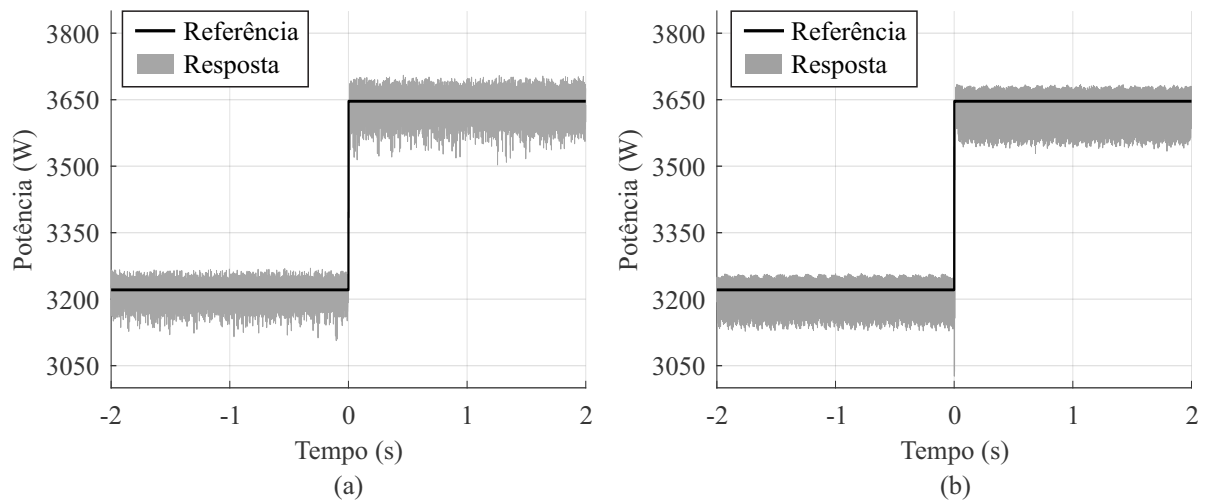
Figura 48 – Potência do MPPT diante a variações de radiação. (a) Método de condutância Incremental. (b) Método Perturba e Observa.



Fonte: Autora.

Com a radiação em  $1000 \text{ W/m}^2$  a máxima potência para  $25^\circ\text{C}$  é de  $3200 \text{ W}$ , com a temperatura em  $40^\circ\text{C}$  a potência máxima passa para aproximadamente  $3650 \text{ W}$ . A Figura 49 apresenta o resultado do segundo teste para as duas técnicas.

Figura 49 – Potência do MPPT diante a variações de temperatura. (a) Método de condutância Incremental. (b) Método Perturba e Observa



Fonte: Autora.

Através dos resultado obtidos observa-se a semelhança entre os dois algoritmos testados ambos respondendo rapidamente diante de variações na radiação e na temperatura. O método de condutância incremental apresentou a resposta um pouco mais próxima da referência de potência máxima e com variações ligeiramente menores.

O resultado mostra que a partir de uma função foi possível testar dois algoritmos diferentes a fim de compará-los, mantendo as demais funcionalidades fixas.

#### 4.7 CONSIDERAÇÕES FINAIS

O capítulo 4 apresentou a metodologia utilizada para desenvolver as funções do *firmware* modular. Foram apresentadas as diretrizes seguidas para a elaboração padronizada das funções. A metodologia foi aplicada para a criação do *firmware* do inversor fotovoltaico conectado à rede apresentado no capítulo 3.

Utilizando a metodologia apresentada, foi possível desenvolver um código cujas funções são independentes umas das outras e independentes do *hardware*. A adoção dessa metodologia de desenvolvimento representa uma abordagem estratégica para o desenvolvimento de sistemas mais robustos, flexíveis e adaptáveis. Com isso é possível que diferentes estratégias de controle sejam testadas e comparadas para determinada funcionalidade, sem que as demais estratégias de controle sejam alteradas. Isso garante um mesmo cenário de teste para as diferentes estratégias avaliadas, garantindo uma comparação mais legítima entre as estratégias. Além disso, a separação entre as funções e o *hardware* garante que o código possa ser portado para diferentes plataformas com menor esforço, tornando as funções versáteis. Para validar isso ao final do capítulo é utilizada uma mesma função para testar duas técnicas de MPPT diferentes.

No próximo capítulo, serão realizados testes utilizando HIL para validar as funções desenvolvidas. Os testes aplicados estão em conformidade com a Portaria n° 140 do INMETRO.

## 5 RESULTADOS EXPERIMENTAIS

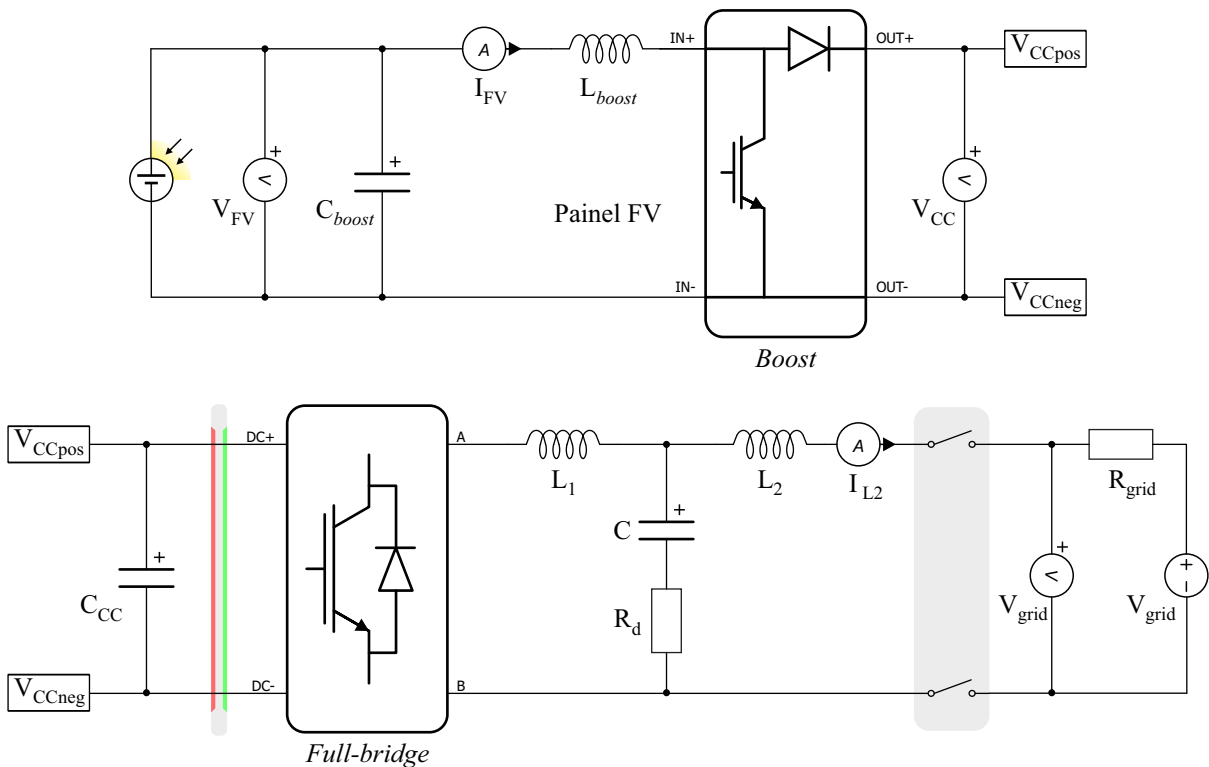
O *firmware* desenvolvido é implementado em um processador digital de sinais, DSP, modelo TMS320F28379D da Texas Instruments. Os resultados são obtidos através de simulação com HIL utilizando o equipamento HIL604 da Typhoon HIL. A Figura 50 mostra a configuração de teste utilizada para os ensaios. O circuito de potência simulado no HIL 604 é apresentado na Figura 51.

Figura 50 – *Setup* de testes usando o Typhoon HIL.



Fonte: Autora.

Figura 51 – Circuito simulado no Typhoon HIL.



Fonte: Autora.

Afim de validar o *firmware* proposto foram realizados os ensaios normatizados pela portaria do INMETRO n° 140 (INMETRO, 2022), utilizando a plataforma de testes automatizados desenvolvida por (MENEGAZZO, 2023). Serão realizados os seguintes ensaios:

1. injeção de corrente CC;
2. limite de distorção harmônica de corrente;
3. fator de potência fixo;
4. relação de potência ativa por fator de potência;
5. desconexão por variação de tensão;
6. desconexão por variação de frequência;
7. controle em subfrequência;
8. controle em sobrefrequência;
9. imunidade a variações de frequência; e
10. imunidade a variações de tensão.

Os resultados para cada um dos testes são apresentados nas seções a seguir.

### 5.1 TESTE 1: INJEÇÃO DE CORRENTE CC NA REDE ELÉTRICA

De acordo com INMETRO (2022), os inversores conectados à rede elétrica, não devem injetar ou absorver componente contínua na rede elétrica superior a 0,5% da sua corrente CA nominal, para qualquer condição de operação.

O ensaio é feito com o inversor operando em 33%, 66% e 100% da potência nominal. Os resultados obtidos para esse teste são mostrados na Tabela 10.

Tabela 10 – Resultado do ensaio de injeção de corrente CC.

Nível de Potência (%)	Corrente CC (mA)
33	52,00
66	28,00
100	9,00

Fonte: Autora.

O limite de 0,5% de corrente para esse inversor é de 68,18 mA. Dessa forma os dados apresentados na Tabela 10 comprovam que o inversor está em conformidade com esse requisito da norma.

## 5.2 TESTE 2: LIMITE DE DISTORÇÃO HARMÔNICA DE CORRENTE

Os inversores conectados à rede elétrica não devem exceder uma distorção harmônica total (THD) de 5% em relação à corrente fundamental na potência nominal CA, em qualquer condição de potência. Além disso, eles devem cumprir os limites de distorção harmônica individual especificados na Tabela 11 (INMETRO, 2022).

Tabela 11 – Limites de distorção harmônica individual.

<b>Harmônicas ímpares</b>	<b>Limite de distorção</b>
3° a 9°	< 4,0%
11° a 15°	< 2,0%
17° a 21°	< 1,5%
23° a 33°	< 0,6%
<b>Harmônicas pares</b>	<b>Limite de distorção</b>
2° a 8°	< 1,0%
10° a 32°	< 0,5%

Fonte: Autora.

O ensaio de THD é feito com o inversor operando em 10%, 20%, 30%, 50%, 75% e 100% da potência nominal, no entanto os valores só são avaliados em 100%. Os resultados obtidos para a THD são mostrados na Tabela 12. O resultado para as harmônicas individuais é apresentado na Tabela 13.

Tabela 12 – Resultado do ensaio de THD.

<b>Nível de potência (%)</b>	<b>THD (%)</b>
10	19,50
20	9,05
30	7,03
50	4,96
75	3,82
100	2,95

Fonte: Autora.

Tabela 13 – Resultado do ensaio de harmônicas individuais.

<b>Ordem Harmônica</b>	<b>Limite (%)</b>	<b>Valor (%)</b>	<b>Ordem Harmônica</b>	<b>Limite (%)</b>	<b>Valor (%)</b>
3	< 4,0	1,4535	2	< 1,0	0,8166
5		1,4381	4		0,1512
7		1,1798	6		0,0294
9		0,9337	8		0,0248
11	< 2,0	0,6890	10	< 0,5	0,0216
13		0,5442	12		0,0143
15		0,4529	14		0,0129
17	< 1,5	0,3841	16		0,0134
19		0,3314	18		0,0187
21		0,2790	20		0,0139
23		0,2475	22		0,0141
25	< 0,6	0,2203	24		0,0184
27		0,1982	26		0,0194
29		0,1828	28		0,0241
31		0,1943	30		0,0145
33		0,1778	32	0,1778	

Fonte: Autora.

Conforme a análise dos resultados, o inversor está em conformidade com esse requisito da norma uma vez que na potência nominal a THD do inversor foi inferior à 5%. Além disso as harmônicas individuais ficaram dentro do limite estabelecido.

### 5.3 TESTE 3: FATOR DE POTÊNCIA

Conforme apresentado na subseção 3.4.7.1, os inversores conectados à rede elétrica devem ter a capacidade de operar com um fator de potência fixo, podendo variar entre a operação com fator de potência unitário até 0,90 indutivo ou capacitivo.

O ensaio para avaliar a conformidade do inversor, é realizado com potências de 10%, 20%, 30%, 50%, 75% e 100% da potência nominal, onde são medidos os fatores de potência. Porém só são avaliados os valores acima de 20%. A tolerância para o fator de potência é de  $\pm 2,5\%$ . Os resultados para esse teste são apresentados na Tabela 14.

Tabela 14 – Resultado do ensaio de fator de potência fixo.

<b>Nível de potência (%)</b>	<b>FP=1,00</b>	<b>FP=0,90</b>	<b>FP=-0,90</b>
10	0,9788	0,7689	-0,7982
20	0,9947	0,8533	-0,8662
30	0,9956	0,8780	-0,8842
50	0,9982	0,8964	-0,8979
75	0,9992	0,9050	-0,9042
100	0,9994	0,9092	-0,9076

Fonte: Autora.

Para os casos em que a potência é de 10% e 20% o valor de fator de potência fica abaixo da tolerância estabelecida para os casos indutivo e capacitivo. No entanto, como o resultado só é avaliado para potências superiores a 20% da nominal, o inversor é considerado em conformidade com o requisito de fator de potência imposto pela norma.

#### 5.4 TESTE 4: RELAÇÃO POTÊNCIA ATIVA X FATOR DE POTÊNCIA

Como mencionado na subseção 3.4.7.1, os inversores conectados à rede elétrica com potência nominal superior a 3 kW, devem oferecer, como recurso opcional, a capacidade de operar de acordo com a curva representada na Figura 31.

Nesse sentido, para avaliar a conformidade do inversor com essa funcionalidade. É realizado um ensaio com potências de 10%, 20%, 30%, 50%, 75% e 100%. Os resultados do fator de potência para cada um dos pontos de operação é mostrado na Tabela 15 e a Figura 52 mostra a representação gráfica do resultado do teste.

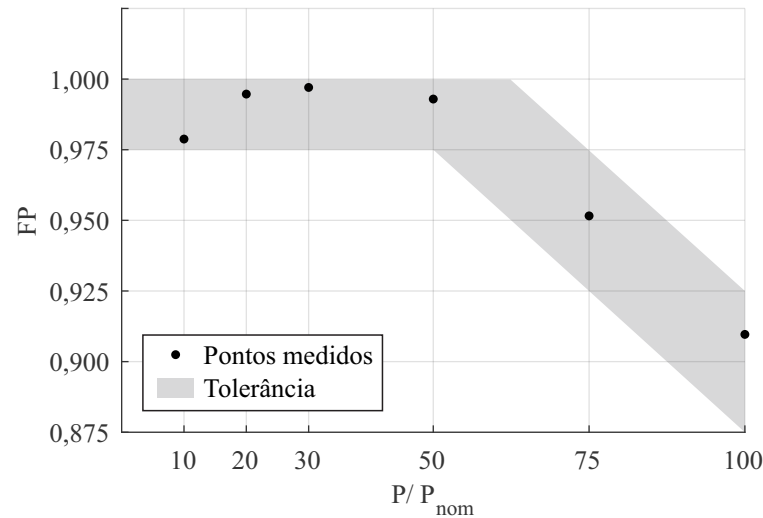
Tabela 15 – Resultado do ensaio de fator de potência em relação a potência ativa.

<b>Nível de potência (%)</b>	<b>Fator de potência</b>
10	0,9788
20	0,9947
30	0,9970
50	0,9929
75	0,9516
100	0,9096

Fonte: Autora.



Figura 52 – Resultado do ensaio de fator de potência em relação a potência ativa.



Fonte: Autora.

Os resultados apresentados na Tabela 15 e na Figura 52 demonstram que o inversor está em conformidade com a funcionalidade testada da norma.

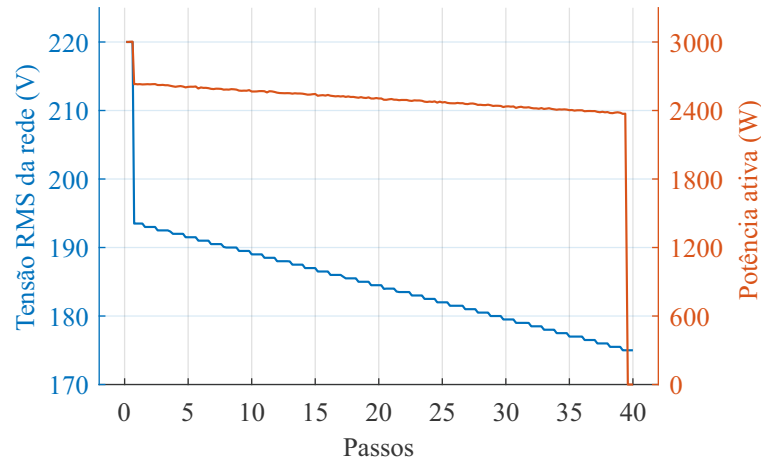
## 5.5 TESTE 5: DESCONEXÃO POR SUBTENSÃO E SOBRETENSÃO

Para avaliar se o inversor é desconectado da rede quando submetido a variações de tensão da própria rede, de acordo com a Tabela 4 para casos de subtensão e de acordo com a Tabela 5 para casos de sobretensão. São aplicados quatro testes que avaliam o nível de tensão de desconexão e o tempo de desconexão para subtensão e sobretensão. O resultado dos testes é apresentado nas subseções a seguir.

### 5.5.1 Desconexão por Subtensão

Inicialmente a tensão da rede elétrica é decrescida em degraus de 0,5 V até que o inversor desconecte da rede. A Figura 53 mostra os degraus de tensão aplicados e o nível em que o inversor desconecta da rede.

Figura 53 – Resultado do teste de determinação do nível de desconexão por subtensão.

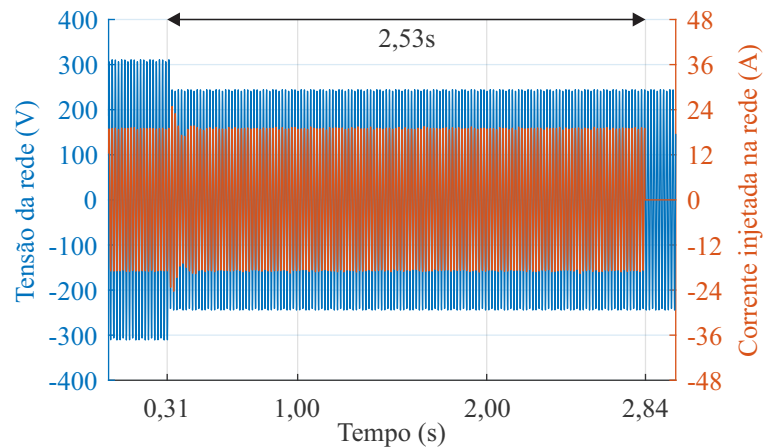


Fonte: Autora.

O valor de tensão de desconexão deve ser de 80% da tensão nominal, com uma tolerância de  $\pm 2\%$  (ABNT, 2013b). Nesse caso o inversor desconectou com um tensão de 175 V estando dentro do limite de desconexão.

Em seguida, após o inversor reestabelecer o funcionamento na tensão nominal, é aplicado um degrau súbito na tensão da rede, abaixo da tensão de desconexão. O tempo a partir do momento do degrau até o inversor parar de fornecer energia é medido (ABNT, 2013b). A Figura 54 mostra o momento em que o inversor é desconectado da rede elétrica.

Figura 54 – Resultado do teste de determinação do tempo de desconexão por subtensão.



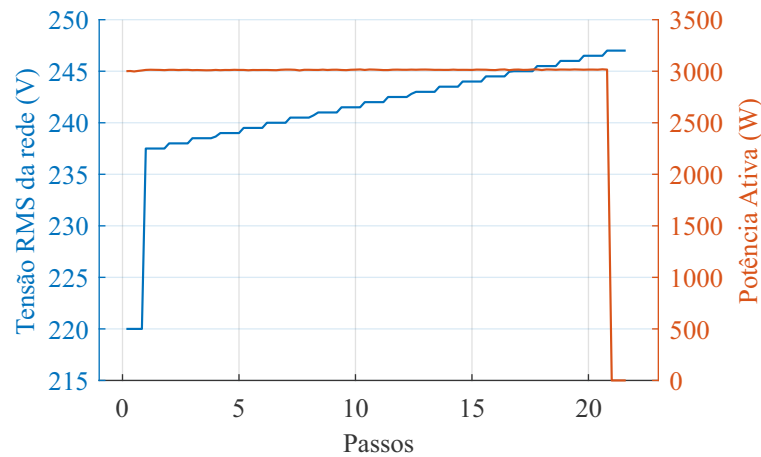
Fonte: Autora.

Para que o inversor seja aprovado no teste, o tempo de desconexão deve ser de 2,50 s à 2,70 s. Através da imagem observa-se que inversor desconectou em 2,53 s estando em conformidade com esse requisito da norma.

### 5.5.2 Desconexão por Sobretensão

Para o teste de desconexão em sobretensão, são dados degraus positivos na tensão da rede elétrica de 0,5 V até que o inversor pare de injetar corrente na rede. A Figura 55 mostra os degraus de tensão aplicados e o nível em que o inversor desconecta da rede.

Figura 55 – Resultado do teste de determinação do nível de desconexão por sobretensão.

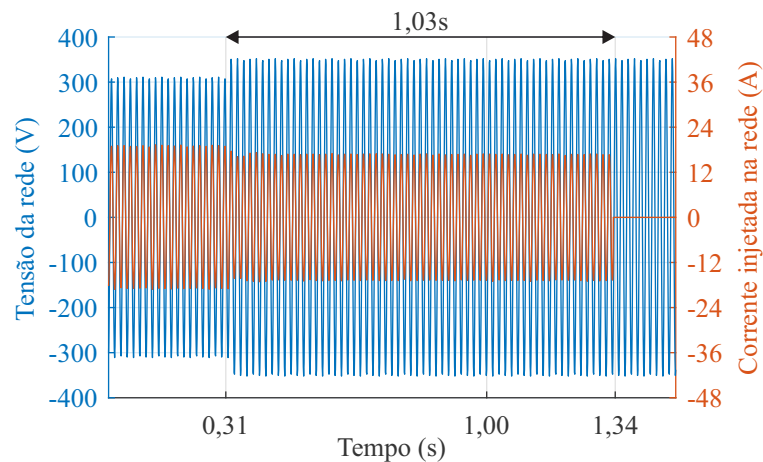


Fonte: Autora.

O valor de tensão de desconexão deve ser de 112% da tensão nominal, com uma tolerância de  $\pm 2\%$  (INMETRO, 2022). Nesse caso o inversor desconectou com um tensão de 247 V, estando dentro do limite de desconexão.

Após o inversor reestabelecer o funcionamento na tensão nominal, é aplicado um degrau súbito na tensão da rede, acima da tensão de desconexão. O tempo a partir do momento do degrau até o inversor parar de fornecer energia é medido (ABNT, 2013b). A Figura 56 mostra o momento em que o inversor é desconectado da rede elétrica.

Figura 56 – Resultado do teste de determinação do tempo de desconexão por sobretensão.



Fonte: Autora.

Para que o inversor seja aprovado no teste, o tempo de desconexão deve ser de 1,00 s à

1,20 s. Através da imagem observa-se que inversor desconectou em 1,03 s estando em conformidade com esse requisito da norma.

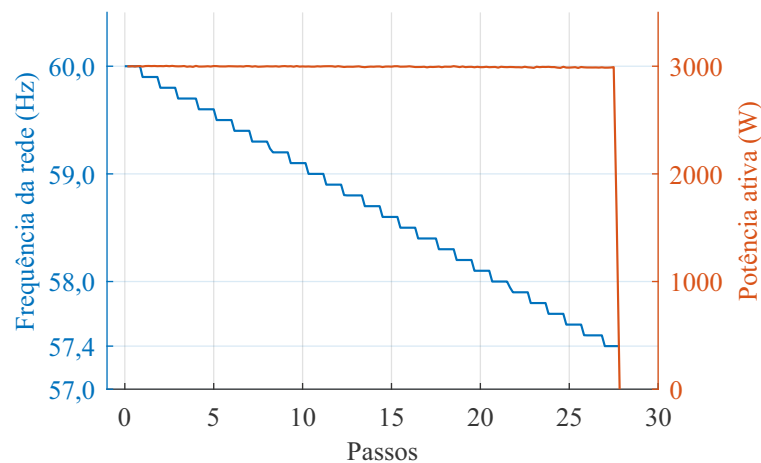
## 5.6 TESTE 6: DESCONEXÃO POR SUBFREQUÊNCIA E SOBREFREQUÊNCIA

São conduzidos quatro testes para avaliar a desconexão do inversor da rede durante variações de frequência, conforme os valores especificados na Tabela 6 para casos de subfrequência e na Tabela 7 para casos de sobrefrequência. Esses testes analisam o nível de frequência necessário para a desconexão e também o tempo de desconexão nos cenários de subfrequência e sobrefrequência. Os resultados dos testes são apresentados nas subseções a seguir.

### 5.6.1 Desconexão por Subfrequência

A frequência da rede elétrica é reduzida em degraus de 0,1 Hz até que o inversor desconecte da rede. A Figura 57 mostra os degraus de frequência aplicados, bem como o nível em que o inversor desconecta da rede.

Figura 57 – Resultado do teste de determinação do nível de desconexão por subfrequência.

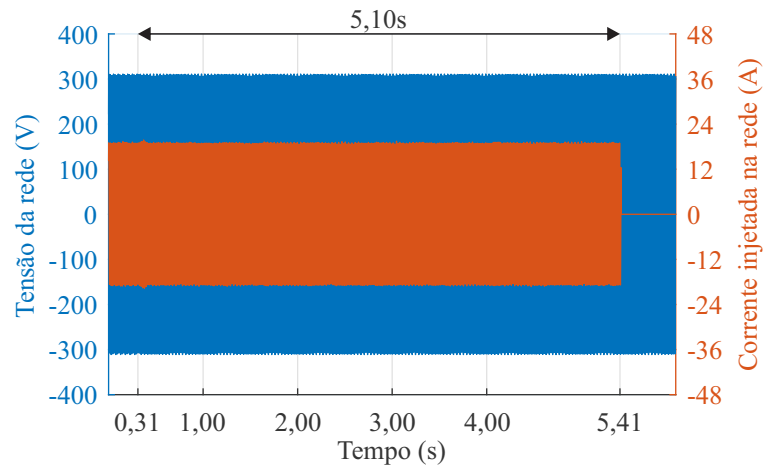


Fonte: Autora.

O inversor deve desconectar da rede com uma frequência de 57,4 Hz com tolerância de  $\pm 0,1$  Hz (ABNT, 2013b). Nesse caso o inversor desconectou com uma frequência de 57,4 Hz sendo considerado em conformidade com o requisito de subtensão.

Em seguida, após o inversor reestabelecer o funcionamento na frequência nominal, é aplicado um degrau único na frequência da rede, abaixo da frequência de desconexão. O tempo a partir do momento do degrau até o inversor parar de fornecer energia é medido (ABNT, 2013b). A Figura 58 mostra o momento em que o inversor é desconectado da rede elétrica.

Figura 58 – Resultado do teste de determinação do tempo de desconexão por subfrequência.



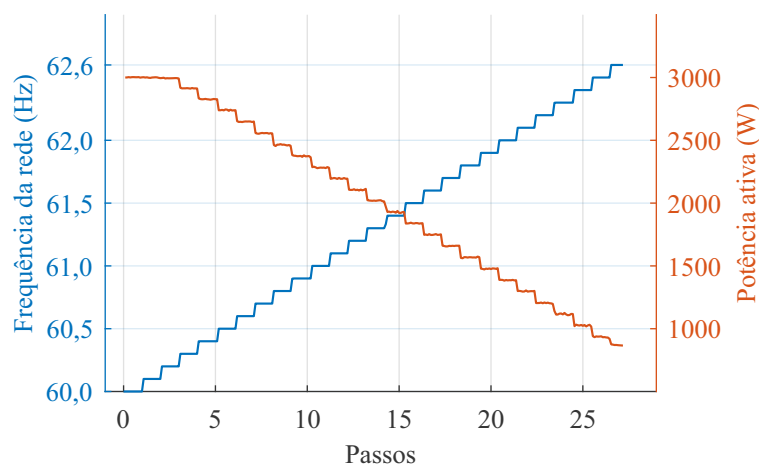
Fonte: Autora.

Para que o inversor seja aprovado no teste, o tempo de desconexão deve ser de 5,00 s à 5,20 s. O inversor desconectou em 5,10 s, estando em conformidade com esse requisito da norma.

### 5.6.2 Desconexão por Sobrefrequência

Para esse teste a frequência da rede é elevada com degraus de 0,1 Hz até que o inversor desconecte da rede. A Figura 59 mostra os degraus de frequência aplicados e o nível em que o inversor desconecta da rede.

Figura 59 – Resultado dos testes de determinação do nível de desconexão por sobrefrequência.

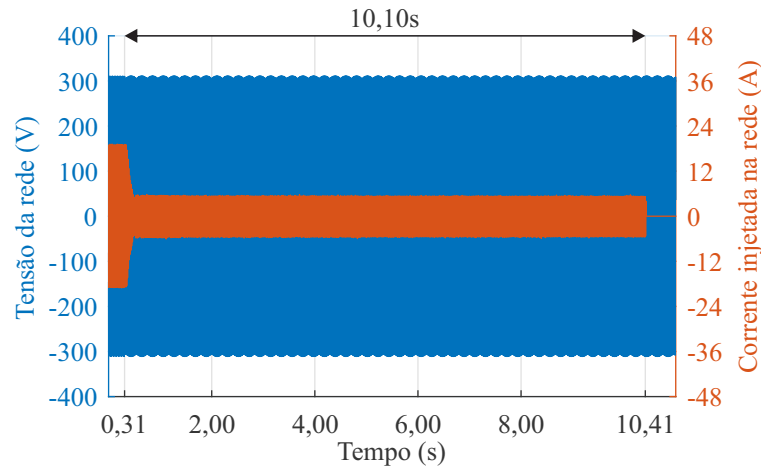


Fonte: Autora.

O valor de frequência de desconexão deve ser de 62,6 Hz, com uma tolerância de  $\pm 0,1$  Hz (ABNT, 2013b). Nesse caso o inversor desconectou com uma frequência de 62,6 Hz estando em conformidade com o requisito de sobrefrequência.

Após o inversor reestabelecer o funcionamento na frequência nominal, é aplicado um degrau único na frequência da rede, acima de  $62,6 \text{ Hz}$ . O tempo a partir do momento do degrau até o inversor parar de fornecer energia é medido (ABNT, 2013b). A Figura 60 mostra o momento em que o inversor é desconectado da rede elétrica.

Figura 60 – Tempo de desconexão por sobrefrequência.



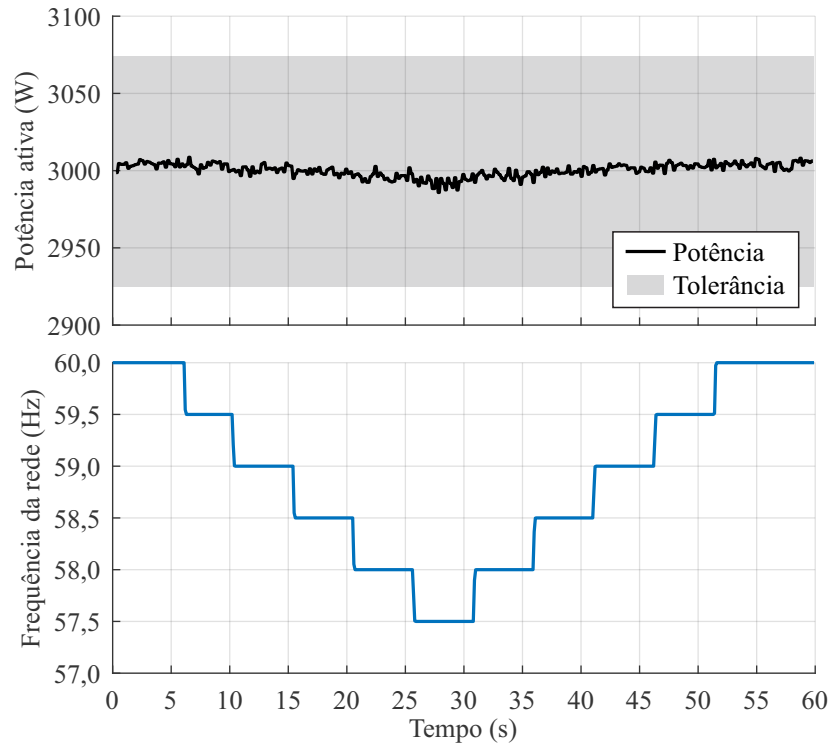
Fonte: Autora.

Para que o inversor seja aprovado no teste, o tempo de desconexão deve ser de  $10,00 \text{ s}$  à  $10,20 \text{ s}$ . Através da imagem observa-se que o inversor desconectou em  $10,10 \text{ s}$  estando em conformidade com esse requisito da norma.

## 5.7 TESTE 7: CONTROLE EM SUBFREQUÊNCIA

Os inversores devem manter a potência ativa injetada na rede quando a frequência diminuir abaixo de  $59,8 \text{ Hz}$ , desde que permaneça acima de  $56,9 \text{ Hz}$ . A tolerância máxima é de  $\pm 2\%$  em relação à potência ativa injetada no momento em que a frequência diminuiu de  $59,8 \text{ Hz}$  (INMETRO, 2022). A Figura 61 mostra a variação da frequência e o comportamento da potência ativa do inversor.

Figura 61 – Resultado do teste de controle de potência subfrequência.



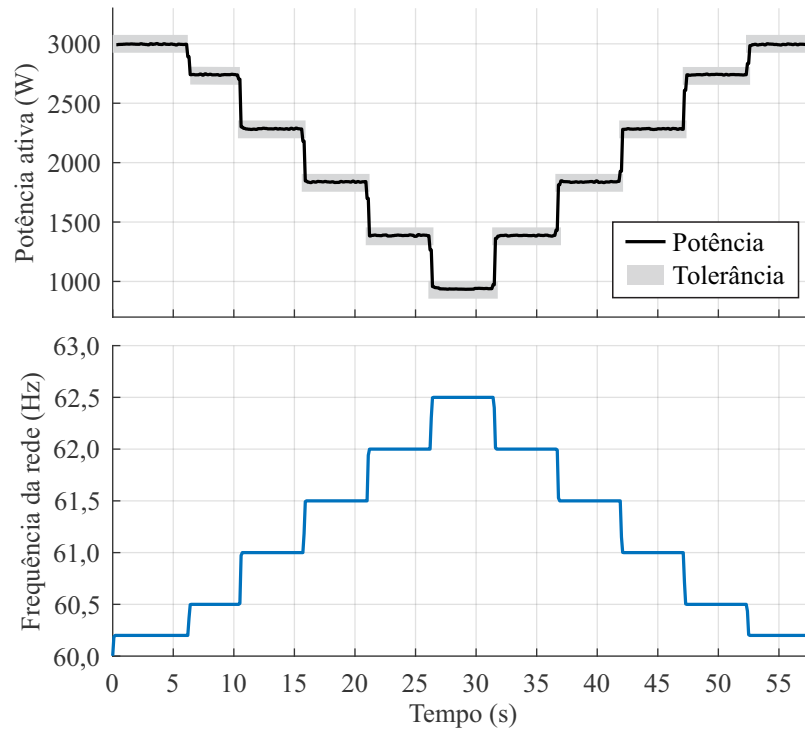
Fonte: Autora.

O resultado da Figura 61 demonstra que o inversor foi aprovado no ensaio e está em conformidade com o requisito de controle de potência em subfrequência.

## 5.8 TESTE 8: CONTROLE EM SOBREFREQUÊNCIA

Para avaliar o desempenho da função desenvolvida na subseção 3.4.7.4 onde o inversor deve operar de acordo com a Figura 32 diante de variações na frequência. É aplicado um teste em que a frequência é variada até um valor máximo de  $62,5 \text{ Hz}$  e é verificado se a potência segue a curva estabelecida. A Figura 62 apresenta o resultado para o teste.

Figura 62 – Resultado do teste de controle de potência sobrefrequência.



Fonte: Autora.

O resultado da Figura 62 mostra que o inversor está aprovado no teste, controlando a potência ativa injetada na rede de forma correta mantendo-se dentro dos limites admissíveis.

## 5.9 TESTE 9: IMUNIDADE À VARIAÇÕES DE FREQUÊNCIA

Durante eventos transitórios de subfrequência e sobrefrequência o inversor deve permanecer operando de acordo com as condições estabelecidas na Tabela 16 (INMETRO, 2022).

Tabela 16 – Requisitos para o ensaio de imunidade a variações de frequência.

<b>Frequência (Hz)</b>	<b>Temporização padrão (s)</b>	<b>Potência fornecida pelo inversor</b>
$f \leq 56,9$	0,1	Não exigido
$56,9 < f \leq 57,4$	5,0	Constante
$60,2 < f \leq 62,6$	Operação contínua	Conforme Figura 32
$62,6 < f \leq 63,1$	10,0	Conforme Figura 32
$63,1 \leq f$	0,1	Não exigido

Fonte: Adaptado de (INMETRO, 2022).

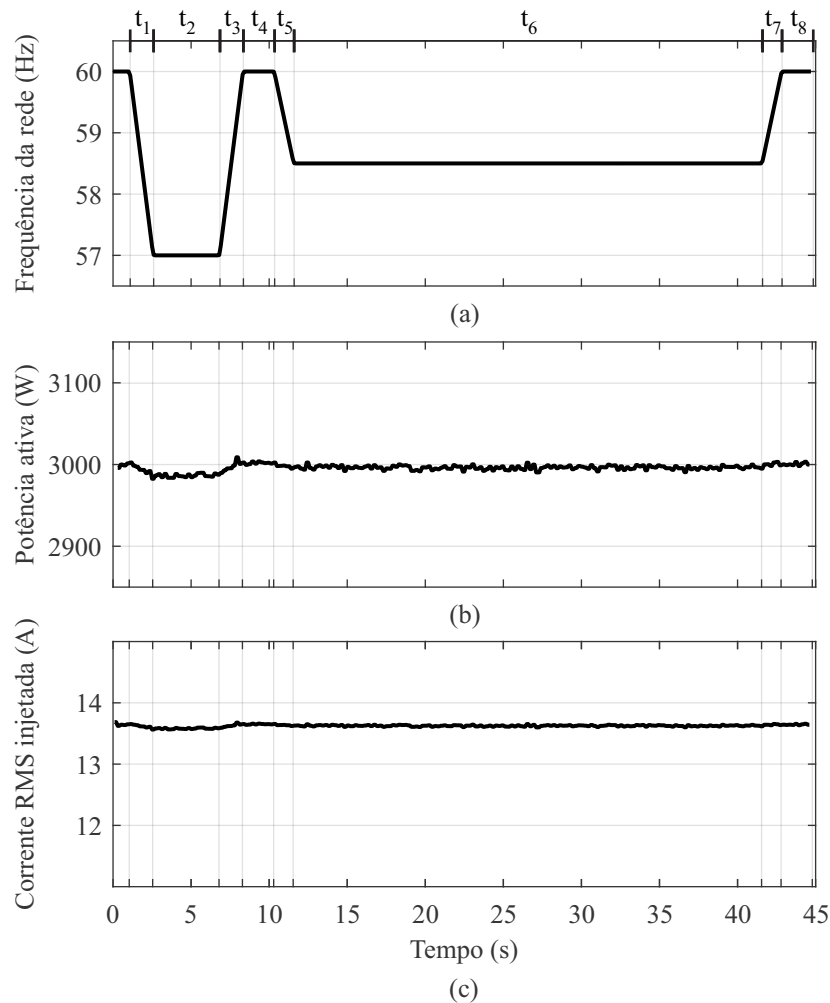


### 5.9.1 Imunidade à Variações de Subfrequência

Para avaliar a imunidade do inversor às variações de subfrequência, é necessário submeter o equipamento a alterações de frequência, conforme ilustrado na Figura 63 (a). Os tempos mostrados na figura são descritos na Tabela 17.

Durante esse teste, o inversor deve ser capaz de manter seu funcionamento contínuo sem interrupções e permanecer com o nível de potência constante. A Figura 63 (b) e (c) apresentam o resultado da potência e da corrente do inversor, respectivamente.

Figura 63 – Resultado do teste de imunidade a variações de subfrequência (a) Valor de frequência que o inversor é submetido. (b) Comportamento da potência do inversor. (c) Comportamento da corrente do inversor.



Fonte: Autora.

Tabela 17 – Intervalos de tempo de aplicação dos níveis de subfrequência.

Intervalo	$t_1$	$t_2$	$t_3$	$t_4$	$t_5$	$t_6$	$t_7$	$t_8$
Duração	1,50	4,25	1,50	2,00	1,25	30,00	1,25	2,00

Fonte: Autora.

Ao analisar a Figura 63, observa-se que o inversor permaneceu conectado e manteve a

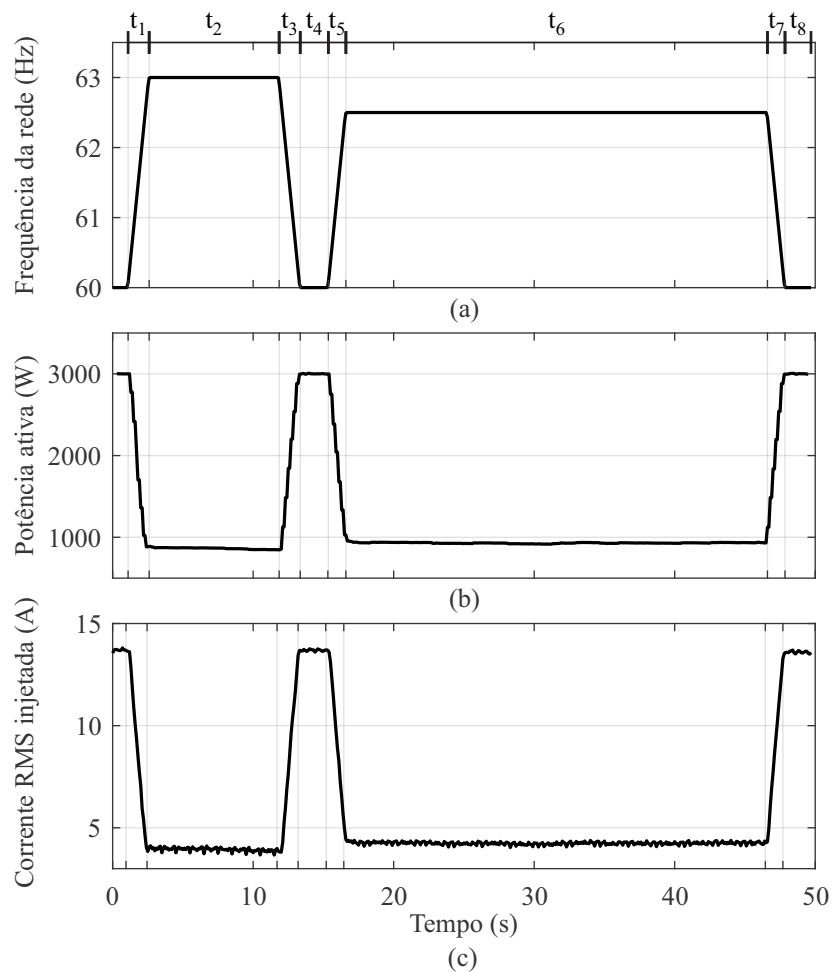
injeção da potência nominal. Portanto, pode-se concluir que o inversor está em conformidade com a norma para o ensaio de imunidade a variações de subfrequência.

### 5.9.2 Imunidade à Variações de Sobrefrequência

A fim de avaliar a imunidade à variações de sobrefrequência o inversor é submetido a variações de frequência conforme Figura 64 (a). Os tempos mostrados na figura são descritos na Tabela 18.

O inversor deve permanecer operando continuamente. A potência pode ser alterada ao longo do teste considerando as disposições apresentadas na seção 5.8. A Figura 64 (b) e (c) apresentam o resultado da potência e da corrente do inversor, respectivamente.

Figura 64 – Resultado do teste de imunidade a variações de sobrefrequência (a) Valor de frequência que o inversor é submetido. (b) Comportamento da potência do inversor. (c) Comportamento da corrente do inversor.



Fonte: Autora.

Tabela 18 – Intervalos de tempo de aplicação de níveis de sobrefrequência.

<b>Intervalo</b>	$t_1$	$t_2$	$t_3$	$t_4$	$t_5$	$t_6$	$t_7$	$t_8$
<b>Duração</b>	1,50	9,25	1,50	2,00	1,25	30,00	1,25	2,00

Fonte: Autora.

Avaliando a Figura 64 o inversor permaneceu conectado e apresentando as variações de potências exigidas na seção 5.8. Dessa forma é considerado em conformidade com a norma para o ensaio de imunidade a variações de sobrefrequência.

### 5.10 TESTE 10: IMUNIDADE À VARIAÇÕES DE TENSÃO

Durante eventos transitórios de subtensão e sobretensão o inversor deve permanecer operando de acordo com as condições estabelecidas na Tabela 19 (INMETRO, 2022).

Tabela 19 – Requisitos para o ensaio de imunidade a variações de tensão.

<b>Tensão (pu)</b>	<b>Temporização padrão (s)</b>	<b>Potência fornecida pelo inversor</b>
$U \leq 0,20$	0,02	Não exigido
$0,20 < U \leq 0,50$	0,50	Não exigido
$0,50 < U \leq 0,80$	2,50	Pode ser reduzida, mas a corrente não pode reduzir
$0,80 < U \leq 1,12$	Operação contínua	Condição normal de operação
$1,12 < U \leq 1,18$	1,00	Não exigido
$1,18 \leq U$	0,02	Não exigido

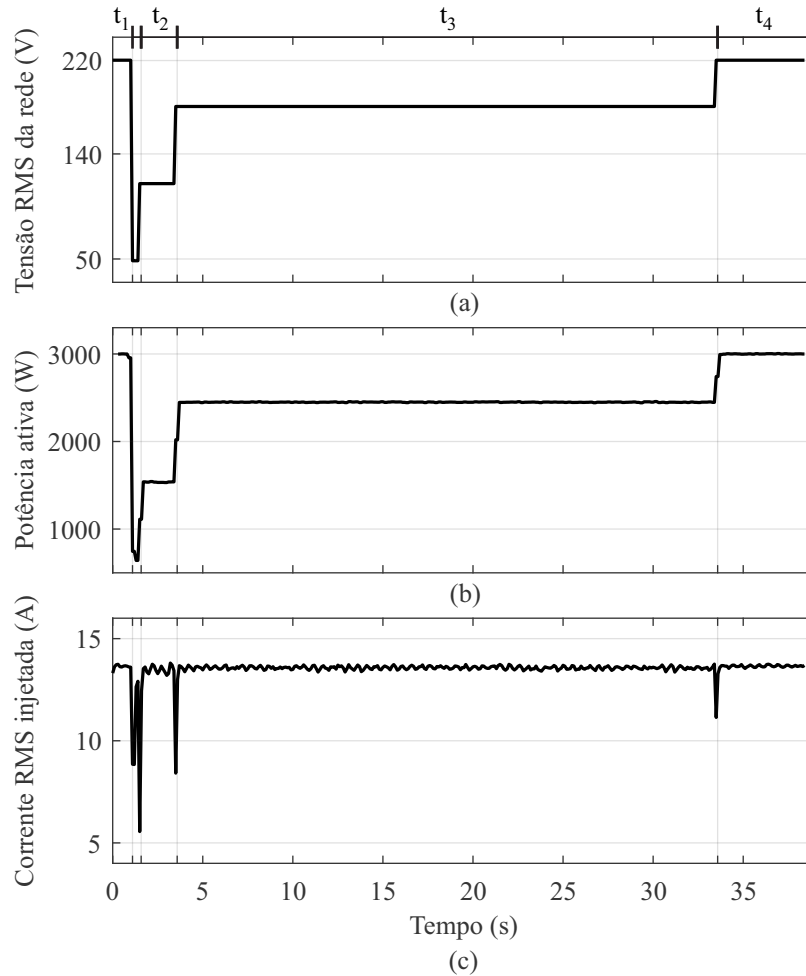
Fonte: Adaptado de (INMETRO, 2022).

#### 5.10.1 Imunidade à Variações de Subtensão

A fim de avaliar o desempenho do inversor diante à variações de subtensão, o inversor é submetido a variações na tensão da rede, conforme mostrado na Figura 65 (a). Os tempos mostrados na figura são descritos na Tabela 20.

O inversor deve permanecer operando continuamente. A potência pode ser alterada proporcionalmente à variação da tensão, porém a corrente deve permanecer constante. A Figura 65 (b) e (c) apresentam o resultado da potência e da corrente do inversor, respectivamente.

Figura 65 – Resultado do teste de imunidade a variações de subtensão (a) Valor de tensão que o inversor é submetido. (b) Comportamento da potência do inversor. (c) Comportamento da corrente do inversor.



Fonte: Autora.

Tabela 20 – Intervalos de tempo de aplicação de níveis de subtensão.

Intervalo	$t_1$	$t_2$	$t_3$	$t_4$
Duração	0,48	2,00	30,00	5,00

Fonte: Autora.

Avaliando a Figura 65 o inversor permaneceu conectado e a corrente permaneceu constante, apresentando alguns transitórios nas mudanças abruptas de potência. O inversor é considerado em conformidade com a norma para o ensaio de imunidade a variações de subtensão.

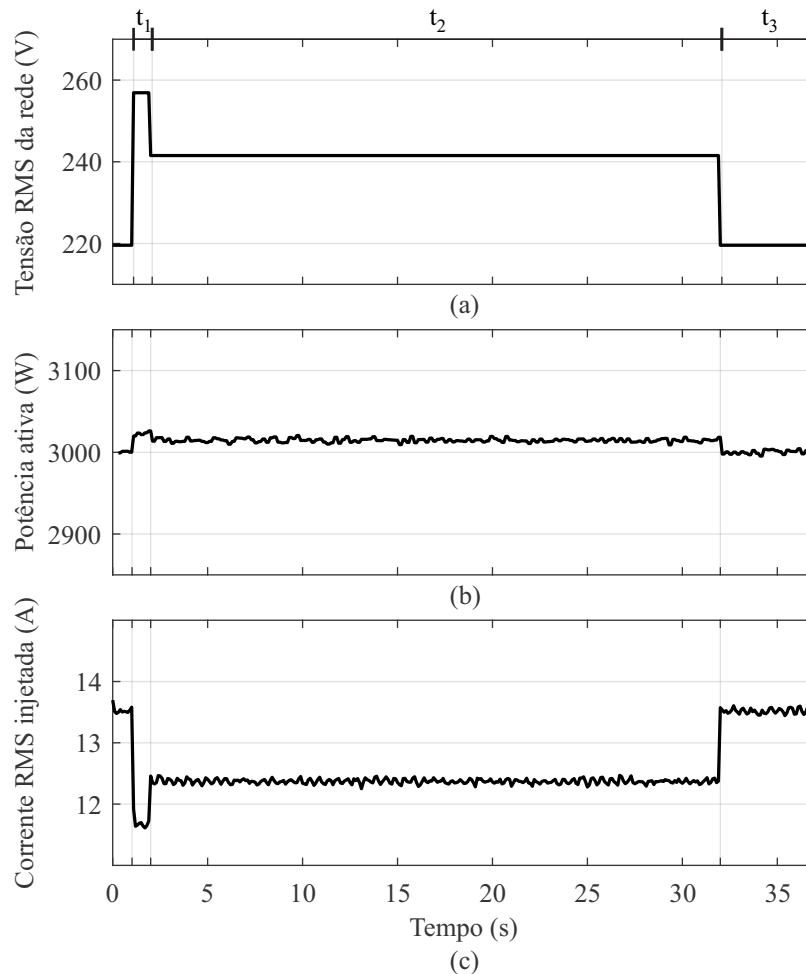
### 5.10.2 Imunidade à Variações de Sobretensão

Para avaliar o desempenho do inversor diante à variações de sobretensão, o equipamento é submetido a variações na tensão da rede, conforme mostrado na Figura 66 (a). Os tempos

mostrados na figura são descritos na Tabela 21.

Durante esse teste, o inversor deve ser capaz de manter seu funcionamento contínuo sem interrupções e permanecer com o nível de potência constante. A corrente, portanto, pode ser reduzida proporcionalmente à variação de tensão. A Figura 66 (b) e (c) apresentam o resultado da potência e da corrente do inversor, respectivamente.

Figura 66 – Resultado do teste de imunidade a variações de sobretensão (a) Valor de tensão que o inversor é submetido. (b) Comportamento da potência do inversor. (c) Comportamento da corrente do inversor.



Fonte: Autora.

Tabela 21 – Intervalos de tempo de aplicação de níveis de subtensão.

<b>Intervalo</b>	$t_1$	$t_2$	$t_3$	$t_4$
<b>Duração</b>	0,48	2,00	30,00	5,00

Fonte: Autora.

Analisando a Figura 66 o inversor permaneceu conectado e a potência permaneceu constante. Nesse sentido o inversor é considerado em conformidade com a norma para o ensaio de imunidade a variações de sobretensão.

## 5.11 CONSIDERAÇÕES FINAIS

Esse capítulo apresentou os resultados obtidos através de simulação com HIL. As funcionalidades desenvolvidas foram testadas a partir de ensaios presentes na portaria n° 140 do INMETRO, que visam determinar se o inversor está em conformidade para ser comercializado.

A partir dos testes realizados conclui-se que as funções desenvolvidas apresentaram desempenho adequado. Entretanto alguns aspectos do inversor podem ser melhorados, principalmente ao que se refere aos transitórios ocorridos no ensaio de imunidade a variações de subtensão.

## 6 CONCLUSÃO

Esse trabalho propôs o desenvolvimento do *firmware* de um inversor FV baseado na modularidade. A proposta é que seja possível a substituição e ajuste de diferentes módulos do controle, sem causar interferências no funcionamento geral do inversor. Com a implementação dessa abordagem modular, é possível alcançar maior flexibilidade e facilidade na manutenção e atualização dos *firmware* de inversores. O trabalho apresenta as diretrizes seguidas para a elaboração padronizada das funções.

Para avaliar a metodologia proposta, foi necessário inicialmente definir, projetar e dimensionar um inversor, para que as funções pudessem ser validadas. Com esse objetivo, um inversor *full-bridge* monofásico com potência de 3,00 kW foi projetado, incluindo um estágio CC-CC composto por um conversor *boost*.

Assim foi possível estabelecer as funcionalidades essenciais que o *firmware* deve ter para assegurar a correta operação do inversor. Além de fornecer os parâmetros necessários para as funções criadas. Foram apresentadas as modelagens dinâmicas dos estágios de conversão, bem como o dimensionamento dos elementos passivos. Também foram desenvolvidas as funções fundamentais para o funcionamento completo do inversor. Estas incluem a função de sincronismo com a rede, geração de referência de corrente, controle do barramento CC, controle da corrente de saída e controle do conversor *boost*, utilizado para fazer o rastreamento do ponto de operação de potência. Também foram desenvolvidas algumas funções de proteção e de suporte à rede, de acordo com as normas brasileiras vigentes.

O *firmware* desenvolvido foi implementado em um DSP da Texas Instruments. A fim de avaliar o desempenho das funções desenvolvidas, o inversor foi testado em HIL utilizando a plataforma de testes automatizados desenvolvida por Menegazzo (2023). Essa plataforma realiza os testes normatizados utilizados para a certificação de inversores, de acordo com a portaria nº 140 do INMETRO. Dessa forma foi possível analisar se as funções desenvolvidas estão de acordo com a regulamentação vigente para inversores conectados à rede.

A partir da análise dos resultados foi possível concluir que as funções desenvolvidas apresentaram desempenho adequado. Entretanto alguns aspectos do inversor podem ser melhorados. Durante o ensaio de imunidade a variações de subtensão, a potência injetada apresentou alguns transitórios que podem ser corrigidos.

A principal contribuição deste trabalho consiste no desenvolvimento de uma abordagem de *firmware* modular, que permite o desenvolvimento independente de cada funcionalidade do inversor. Utilizando a metodologia apresentada, foi possível desenvolver um código cujas funções são independentes umas das outras e também do *hardware*. A adoção dessa metodologia permite que diferentes estratégias de controle sejam testadas e comparadas garantindo um mesmo cenário de teste para as diferentes estratégias avaliadas, garantindo uma comparação mais legítima. Nesse sentido a metodologia proposta facilita a implementação e o teste de cada

módulo de forma independente e simplifica a manutenção e o aprimoramento constante das funções pra acompanhar as mudanças do setor FV.

## 6.1 SUGESTÃO DE TRABALHOS FUTUROS

- Desenvolvimento de uma função de proteção contra perda de rede.
- Implementação de função para realizar o amortecimento ativo da ressonância gerada pelo filtro LCL.
- Estender a implementação das funções para diferentes topologias de inversores.
- Testar diferentes leis de controle dentro das funções.

## 6.2 ARTIGOS PUBLICADOS

Durante o desenvolvimento da dissertação, os seguintes trabalhos foram publicados:

1. LIMA, A. C. et al., "Challenges for Loss-of-Mains Protection System in Inverter-Based Resources Applications,"2021 Brazilian Power Electronics Conference (COBEP), João Pessoa, Brazil, 2021, pp. 1-8.
2. FREITAS, C. M. et al. Plataforma de Desenvolvimento e Testes Automatizados para Inversores Baseado em Hardware-in-the-Loop. In: Anais do 7º Congresso Brasileiro de Geração Distribuída (CBGD 2022). Belo Horizonte: [s.n.], 2022.
3. PITON, L. B. et al. Automação do circuito de Carga ca para teste de anti-ilhamento em Power-hardware-in-the-Loop. In: Anais do 7º Congresso Brasileiro de Geração Distribuída (CBGD 2022). Belo Horizonte: [s.n.], 2022.



## REFERÊNCIAS

ASSOCIAÇÃO BRASILEIRA DE NORMAS TÉCNICAS. **ABNT NBR IEC 62116: Sistemas Fotovoltaicos (FV) - Procedimentos para ensaio de medidas de proteção contra ilhamento**. Rio de Janeiro, 2012. Norma Brasileira.

\_\_\_\_\_. **ABNT NBR 149: Sistemas Fotovoltaicos (FV) – Características da interface de conexão com a rede elétrica de distribuição – Procedimento de ensaio de conformidade**. Rio de Janeiro, 2013. Norma Brasileira.

\_\_\_\_\_. **ABNT NBR 149: Sistemas fotovoltaicos – Características da interface de conexão com a rede de distribuição – Condições de ensaio e requisitos de segurança**. Rio de Janeiro, 2013. Norma Brasileira.

BITENCOURT, I. A. B. d. **Avaliação do desempenho de recursos energético distribuídos conectados à rede sob diferentes condições de impedância de rede**. 2021. 201 f. Dissertação (Mestrado em Engenharia Elétrica) — Universidade Federal de Santa Maria, Santa Maria, 2021.

BREZOVIĆ, Z.; KUDJÁK, V. Active rc notch filter for phase-locked loop. In: IEEE. **20th International Conference Radioelektronika 2010**. [S.l.], 2010. p. 1–4.

BRITO, M. A. G. de et al. Comparative analysis of mppt techniques for pv applications. In: **2011 International Conference on Clean Electrical Power (ICCEP)**. [S.l.: s.n.], 2011. p. 99–104.

CARVALHO, M. R. S. d. **Modelagem de conversor cc/cc de alto ganho e alta eficiência baseado no boost com indutor acoplado e entrada intercalada para integração em módulos fotovoltaicos**. 2018. 177 f. Dissertação (Mestrado em Engenharia Elétrica) — Universidade Federal de Pernambuco, Recife, 2018.

COSTA, P.; PINTO, S. F.; SILVA, J. F. Multi-objective optimization of high order input filters for grid connected converters using genetic algorithms. In: **IECON 2022 – 48th Annual Conference of the IEEE Industrial Electronics Society**. [S.l.: s.n.], 2022. p. 1–6.

ENDERLE, T. P. **Análise, projeto e implementação de um D-STATCOM para redes de distribuição monofásica**. 2012. 117 f. Dissertação (Mestrado em Engenharia Elétrica) — Universidade Federal de Santa Maria, Santa Maria, 2012.

EPE. Empresa de Pesquisa Energética. **Balanco Energético Nacional - BEN: Relatório síntese 2023 - ano base 2022**. Rio de Janeiro, RJ, 2023.

FIGUEIRA, H. H. et al. Comparison of control techniques applied to photovoltaic boost converters. Seminar on Power Electronics and Control (SEPOC), Santa Maria, 2018.

\_\_\_\_\_. Brazilian grid-connected photovoltaic inverters standards: A comparison with iec and ieee. In: IEEE. **2015 IEEE 24th International Symposium on Industrial Electronics (ISIE)**. [S.l.], 2015. p. 1104–1109.

FOROUZESH, M. et al. Step-up dc–dc converters: a comprehensive review of voltage-boosting techniques, topologies, and applications. **IEEE transactions on power electronics**, IEEE, v. 32, n. 12, p. 9143–9178, 2017.

FØYEN, S. et al. Single-phase synchronisation with hilbert transformers: a linear and frequency independent orthogonal system generator. In: **IEEE. 2020 IEEE 21st Workshop on Control and Modeling for Power Electronics (COMPEL)**. [S.l.], 2020. p. 1–6.

FRANCIS, B. A.; WONHAM, W. M. The internal model principle for linear multivariable regulators. **Applied mathematics and optimization**, Springer, v. 2, n. 2, p. 170–194, 1975.

FUKUDA, S.; YODA, T. A novel current-tracking method for active filters based on a sinusoidal internal model [for pwm invertors]. **IEEE transactions on industry applications**, IEEE, v. 37, n. 3, p. 888–895, 2001.

GOMES, C. C.; CUPERTINO, A. F.; PEREIRA, H. A. Damping techniques for grid-connected voltage source converters based on lcl filter: An overview. **Renewable and Sustainable Energy Reviews**, Elsevier, v. 81, p. 116–135, 2018.

GONZÁLEZ-CASTAÑO, C. et al. Hardware-in-the-loop to test an mppt technique of solar photovoltaic system: a support vector machine approach. **Sustainability**, MDPI, v. 13, n. 6, 2021.

GONÇALVES, M. M. **Estudo e implementação de um conversor cc-cc boost entrelaçado para um sistema de geração fotovoltaico conectado à rede**. 2020. 96 f. Dissertação (Mestrado em Engenharia Elétrica) — Universidade Federal de Minas Gerais, Belo Horizonte, 2020.

HAN, Y. et al. Modeling and stability analysis of *lcl*-type grid-connected inverters: A comprehensive overview. **IEEE Access**, IEEE, v. 7, p. 114975–115001, 2019.

INSTITUTO NACIONAL DE METROLOGIA, QUALIDADE E TECNOLOGIA - INMETRO. **Portaria 140/2022: Regulamento Técnico da Qualidade e os Requisitos de Avaliação da Conformidade para Equipamentos de Geração, Condicionamento e Armazenamento de Energia Elétrica em Sistemas Fotovoltaicos**. 2022.

JALILZADEH, T. et al. Nonisolated topology for high step-up dc–dc converters. **IEEE Journal of Emerging and Selected Topics in Power Electronics**, IEEE, v. 11, n. 1, p. 1154–1168, 2018.

Jinko Solar Co. **Tiger Pro 60HC 450-470 Watt**: Mono-facial module. 2020. Disponível em: <[https://jinkosolarcdn.shwebspace.com/uploads/JKM450-470M-60HL4-\(V\)-F1.1-EN.pdf](https://jinkosolarcdn.shwebspace.com/uploads/JKM450-470M-60HL4-(V)-F1.1-EN.pdf)>[https://jinkosolarcdn.shwebspace.com/uploads/JKM450-470M-60HL4-\(V\)-F1.1-EN.pdf](https://jinkosolarcdn.shwebspace.com/uploads/JKM450-470M-60HL4-(V)-F1.1-EN.pdf). Acesso em: 18 jun 2023.

JOHNSON, J. et al. Interconnection standard grid-support function evaluations using an automated hardware-in-the-loop testbed. **IEEE Journal of Photovoltaics**, v. 8, n. 2, p. 565–571, 2018.

KHAN, M. A. et al. Islanding classification mechanism for grid-connected photovoltaic systems. **IEEE Journal of Emerging and Selected Topics in Power Electronics**, IEEE, v. 9, n. 2, p. 1966–1975, 2020.

LISTON, R. A. et al. Single-phase grid-tied inverters: Guidelines for smoother connection and suitable control structure. In: **2016 12th IEEE International Conference on Industry Applications (INDUSCON)**. [S.l.: s.n.], 2016. p. 1–8.

MARTINS, D. C.; BARBI, I. **Conversores CC-CC Básicos Não Isolados**. 2nd. ed. Florianópolis, SC: Edição dos autores, 2006.

\_\_\_\_\_. **Eletrônica de potência: introdução ao estudo dos conversores CC-CA**. 2nd. ed. Florianópolis, SC: Edição dos autores, 2008.

MARTINS, L. T. et al. **Estratégias Multimalhas para Controle de Corrente de Inversores Conectados à Rede por Meio do Filtro LCL**. 2018. 153 p. Dissertação (Dissertação de Mestrado) — Pós-Graduação em Engenharia Elétrica, Universidade Federal de Santa Maria, Santa Maria, 2018.

MEMON, M. A.; BHUTTO, G. M.; BURIRO, E. A. Sizing of dc-link capacitor for a grid connected solar photovoltaic inverter. **Indian Journal of Science and Technology**, v. 13, n. 22, p. 2272–2281, 2020.

MENEGAZZO, L. F. R. **Plataforma Hardware-in-the-Loop para Ensaios Automatizados de Inversores Conectados à Rede em Múltiplos Ambientes e Condições de Operação**. 2023. 125 f. Dissertação (Mestrado em Engenharia Elétrica) — Universidade Federal de Santa Maria, Santa Maria, 2023.

MENEGAZZO, L. F. R. et al. Pré-certificação do firmware de inversores fotovoltaicos de acordo com a norma brasileira nbr 16150 através de hardware-in-the-loop. Congresso Brasileiro de Energia Solar, Fortaleza, 2020.

NAYAK, S.; GURUNATH, S.; RAJASEKAR, N. Advanced single-phase inverse park pll with tuning of pi controller for improving stability of grid utility using soft computing technique. In: IEEE. **2016 Online International Conference on Green Engineering and Technologies (IC-GET)**. [S.l.], 2016. p. 1–5.

QIAN, H. et al. Design and comparison of high-order output filters for grid-connected converters with low switching frequency. In: IEEE. **2021 IEEE 16th Conference on Industrial Electronics and Applications (ICIEA)**. [S.l.], 2021. p. 894–899.

REIS, G. L. dos. **Projeto e construção de um conversor monofásico em ponte H multicelular entrelaçado para geração fotovoltaica e eólica de pequeno porte**. 2017. 143 f. Dissertação (Mestrado em Engenharia Elétrica) — Universidade Federal de Minas Gerais, Belo Horizonte, 2017.

SANTOS, C. C. dos et al. Estratégia de controle para conversor boost fotovoltaico operando nos modos mppt e lppt. **Revista de Eletrônica e Potência**, v. 25, p. 326–336, 2020.

SCHMITZ, L. et al. **Conversores CC-CC não-isolados de alto ganho e de alto rendimento destinados a aplicações fotovoltaicas e baseados no conversor boost com célula de ganho**. 2015. 261 f. Dissertação (Mestrado em Engenharia Elétrica) — Universidade Federal de Santa Catarina, Florianópolis, 2015.

SMIL, V. Distributed generation and megacities: Are renewables the answer? **IEEE Power and Energy Magazine**, IEEE, v. 17, n. 2, p. 37–41, 2019.

SPARN, B. et al. Hardware-in-the-loop (hil) simulations for smart grid impact studies. In: **2018 IEEE Power Energy Society General Meeting (PESGM)**. [S.l.: s.n.], 2018. p. 1–5.

SREYA, K.; RAJESH, M. Grid-tied single phase bidirectional h6 inverter. In: IEEE. **2022 International Conference on Futuristic Technologies in Control Systems & Renewable Energy (ICFCR)**. [S.l.], 2022. p. 1–5.

TEODORESCU, R.; LISERRE, M.; RODRIGUEZ, P. **Grid converters for photovoltaic and wind power systems**. [S.l.]: John Wiley & Sons, 2011. 384 p.

TIBOLA, J. R. **Controle e supervisão de fonte ininterrupta de energia híbrida**. 2017. 183 p. Tese (Doutorado em Engenharia Elétrica) — Universidade Federal de Santa Maria, Santa Maria, 2017.

TUCKEY, A.; ROUND, S. Grid-forming inverters for grid-connected microgrids: Developing “good citizens” to ensure the continued flow of stable, reliable power. **IEEE Electrification Magazine**, IEEE, v. 10, n. 1, p. 39–51, 2022.

WU, W. et al. **Control and Filter Design of Single-Phase Grid-Connected Converters**. [S.l.]: John Wiley & Sons, 2022. 248 p.

ZEB, K. et al. A comprehensive review on inverter topologies and control strategies for grid connected photovoltaic system. **Renewable and Sustainable Energy Reviews**, Elsevier, v. 94, p. 1120–1141, 2018.

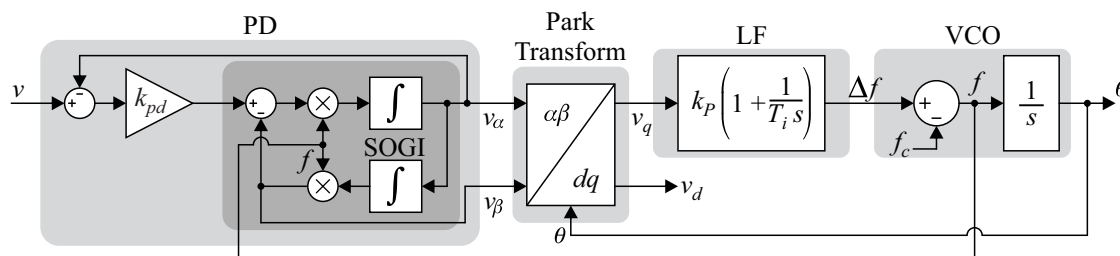
ZHOU, L. et al. A improved parameter design method of lcl apf interface filter. In: IEEE. **2020 IEEE International Conference on Artificial Intelligence and Computer Applications (ICAICA)**. [S.l.], 2020. p. 948–952.

## APÊNDICE A – DOCUMENTAÇÃO DA FUNÇÃO DE SINCRONISMO

### C Funtion - SOGI PLL

#### Description

The function SYNCRO\_SOGIPLL\_1\_abc is used for synchronization with the electrical grid. Frequency, phase and amplitude are obtained from a sinusoidal signal. The function also provides the  $V_\alpha$  and  $V_\beta$  signals as outputs. The function employs the SOGI-PLL technique and was implemented based on the following diagram.



The figure below shows the structure of the function with the representation of input signals, output signals, and parameters. A detailed description of the variables used is also shown.

```
void SYNCRO_SOGIPLL_1_abc (&SOGIPLL_input_struct, &SOGIPLL_paramter_struct);
```



	Name	Type	Range	Description
iS	ym_acVoltage_V	float	-400 to 400	Input signal to be synchronized.
	reset	char	0 or 1	Signal to reset the function.
iP	par_fn_Hz	float	0 to ∞	Nominal frequency of the input signal.
	par_fs_Hz	float	0 to ∞	Frequency of calling the function.
	k_prop_pd	float	0 to ∞	Proportional gain of phase detector.
	k_prop_lf	float	0 to ∞	Proportional gain of loop-filter.
	k_integr_lf	float	0 to ∞	Integral gain of loop-filter.

oS	y_frequency_Hz	float	0 to $\infty$	Measured frequency.
	y_phase_rad	float	0 to $2\pi$	Measured phase.
	y_amplitude_V	float	0 to 400	Measured amplitude.
	y_Val_V	float	-400 to 400	$v_\alpha$ signal, output of the loop filter.
	y_Vbt_V	float	-400 to 400	$v_\beta$ signal, output of the loop filter.
oW	warning_frequency	char	0 or 1	Warning on frequency.
	warninig_amplitude	char	0 or 1	Warning on amplitude.

## C Code

```

1 // =====
2 // Description: The SYNCHRO_SOGIPLL_1_abc function is a function with the
3 // purpose of doing synchronization with the eletrical grid. The function
4 // employs the SOGI-PLL technique.
5 //
6 // Version: 1
7 // Last version: 03/03/2023          First version: 23/06/2023
8 // Programmer: Catherine Marquioro de Freitas
9 // =====
10
11 // Declaration of global variables
12
13 typedef struct{
14     float ym_acVoltage_V;    // Input signal to be synchronized.
15     char reset;             // Signal to reset the function.
16 } SOGIPLL_input_struct;
17 SOGIPLL_input_struct SOGIPLL_input;
18
19 typedef struct{
20     float par_fn_Hz;        // Nominal grid frequency.
21     float par_fs_Hz;        // Frequency of calling the PLL.
22     float k_prop_pd;        // Phase Detector proportional gain.
23     float k_prop_lf;        // Loop filter proportional gain.
24     float k_integr_lf;      // Loop filter integral gain.
25 } SOGIPLL_parameter_struct;
26 SOGIPLL_parameters_struct SOGIPLL_parameters = {60.0f, 21600.0f, 1.0f,
27     27755.55f, 166.66f};
28
29 typedef struct{
30     float y_frequency_Hz;    // Grid frequency.
31     float y_phase_rad;      // Grid phase.
32     float y_amplitude_V;    // Grid amplitude.
33     float y_Val_V;          // Alpha signal, output of the loop filter.
34     float y_Vbt_V;          // Beta signal, output of the loop filter.

```

```

34 } SOGIPLL_output_struct;
35 SOGIPLL_output_struct SOGIPLL_output;
36
37 typedef struct{
38     char warning_frequency;    // Warning on frequency.
39     char warninig_amplitude;   // Warning on amplitude.
40 } PLLSOGI_warning_struct;
41 SOGIPLL_warning_struct SOGIPLL_warning;
42
43 // Beginning of the function.
44
45 void SYNCHRO_SOGIPLL_1_abc (SOGIPLL_input_struct *s,
46     SOGIPLL_parameter_struct *p)
47 {
48     // Declaration of local variables.
49     static char init = 0;
50     static float Ts, fn, fo_med, wn;
51     static float aux1, aux2, aux3, aux4, aux5;
52     static float b0, b1, a1, a2, b0q, b1q, b2q, a1q, a2q;
53     static float val, vbt;
54     static float Vd, Vq;
55     static float f1, fo, teta;
56     static float B0, B1, B2, A1, A2;
57     static float ms_1, ms_2, val_1, val_2, vbt_1, vbt_2, Vq_1, teta_1, f1_1
58     , fo_1;
59     static float u_1, u_2, u, wc, y_1, y_2, Z;
60     static float Vd_1, Vd_2, Zt, yt_1, yt_2;
61     static int cont1;
62
63     if (s -> reset) init = reset0;
64
65     switch (init)
66     {
67     case 0:
68         Ts = __divf32(1.0f, p->par_fs_Hz);
69         fn = p->par_fn_Hz;
70
71         aux3 = __divf32(Ts*(p->k_integr_1f), 2.0f);
72         wc = 2.0f*M_PI*6.0;
73         aux4 = wc*Ts*wc*Ts;
74         aux5 = 4.0f*wc*Ts;
75
76         B0 = __divf32(aux4, 4.0f+aux5+aux4);
77         B1 = (2.0f*B0);
78         B2 = B0;
79
80         A1 = __divf32(-8.0f+2.0f*aux4, 4.0f+aux5+aux4);

```

```

79     A2 = __divf32(4.0f+aux4-aux5, 4.0f+aux5+aux4);
80
81     f1=p->par_fn_Hz, fo=p->par_fn_Hz, f1_1=f1, fo_1=fo;
82     ms_1=0.0, ms_2=0.0;
83     val_1 = 0.0, val_2 = 0.0;
84     vbt_1 = 0.0, vbt_2 = 0.0, Vq_1 = 0.0;
85     teta_1 = 0.0;
86     u_1=0.0, u_2=0.0;
87     y_1=0.0, y_2=0.0;
88     Vd_1 = 0.0, Vd_2 = 0.0;
89     yt_1 =0.0, yt_2 =0.0;
90
91     cont1 ++;
92     if (cont1>100) cont1 = 0, init = 1, s -> reset = 0;
93     break;
94
95     case 1:
96         fo_med = par_fn_Hz;
97
98         wn = 2.0f*M_PI*(p->par_fn_Hz);
99         aux1 = 2.0f*(p->k_prop_pd)*wn*Ts;
100        aux2 = Ts*Ts*wn*wn;
101
102        b0 = __divf32(aux1, (aux1+aux2+4.0f));
103        b1 = -b0;
104        a1 = __divf32(2.0*aux2-8.0f, aux1+aux2+4.0f);
105        a2 = __divf32(aux2-aux1+4.0f, aux1+aux2+4.0f);
106
107        b0q = __divf32((p->k_prop_pd)*aux2, aux1+aux2+4.0f);
108        b1q = 2.0f*b0q;
109        b2q = b0q;
110        a1q = __divf32(2.0f*aux2-8.0f, aux1+aux2+4.0f);
111        a2q = __divf32(aux2-aux1+4.0f, aux1+aux2+4.0f);
112
113        val = b0*(s -> ym_acVoltage_V) + b1*ms_2 - a1*val_1 - a2*val_2;
114        vbt = b0q*(s -> ym_acVoltage_V) + b1q*ms_1 + b2q*ms_2 - a1q*
vbt_1 - a2q*vbt_2;
115
116        ms_2 = ms_1;
117        ms_1 = s -> ym_acVoltage_V;
118
119        val_2 = val_1;
120        val_1 = val;
121        vbt_2 = vbt_1;
122        vbt_1 = vbt;
123
124        Vq = val*__cos(teta) + vbt*__sin(teta);

```



```

125         Vd = -1.0f*val*__sin(teta) + vbt*__cos(teta);
126
127         f1 = (p->k_prop_1f)*Vq + aux3*Vq + aux3*Vq_1 - (p->k_prop_1f)*
Vq_1 + f1_1;
128
129         Vq_1 = Vq;
130         f1_1 = f1;
131
132         fo=(p->par_fn_Hz)+f1;
133
134         teta = teta_1 + fo*Ts*M_PI+ fo_1*Ts*M_PI;
135         if(teta > 2.0f*M_PI) teta = teta - 2.0f*M_PI;
136         fo_1 = fo;
137         teta_1=teta;
138
139         u= fo - fn;
140         Z = u*(B0) + (B1)*u_1 + (B2)*u_2 - (A1)*y_1 - (A2)*y_2;
141         u_2 = u_1;
142         u_1 = u;
143         y_2 = y_1;
144         y_1 = Z;
145
146         fo_med = Z + fn;
147
148         Zt = Vd*(B0) + (B1)*Vd_1 + (B2)*Vd_2 - (A1)*yt_1 - (A2)*yt_2;
149
150         Vd_2 = Vd_1;
151         Vd_1 = Vd;
152         yt_2 = yt_1;
153         yt_1 = Zt;
154
155         break;
156     }
157
158     if (fo_med > 10.0*fn || fo_med < 0.1*fn) SOGIPLL_warning.
warning_frequency = 1;
159     else SOGIPLL_warning.warning_frequency = 0;
160
161     if (Vd > 10.0 || Vd < 0.1) SOGIPLL_warnings.warning_amplitude = 1;
162     else SOGIPLL_warning.warning_amplitude = 0;
163
164     SOGIPLL_output.y_frequency_Hz = fo_med;
165     SOGIPLL_output.y_phase_rad = teta;
166     SOGIPLL_output.y_amplitude_V = Vd;
167     SOGIPLL_output.y_Val_V = val;
168     SOGIPLL_output.y_Vbt_V = vbt;
169 }

```