

**UNIVERSIDADE FEDERAL DE SANTA MARIA
CENTRO DE TECNOLOGIA
PROGRAMA DE PÓS-GRADUAÇÃO EM INFORMÁTICA**

**PROJETO DE CIRCUITOS INTEGRADOS
PARA BALANÇO DE CARGA E REDUÇÃO DA
TENSÃO RESIDUAL EM ESTIMULAÇÃO
NEURAL**

DISSERTAÇÃO DE MESTRADO

Lucas Teixeira

Santa Maria, RS, Brasil

2015

**PROJETO DE CIRCUITOS INTEGRADOS PARA BALANÇO
DE CARGA E REDUÇÃO DA TENSÃO RESIDUAL EM
ESTIMULAÇÃO NEURAL**

Lucas Teixeira

Dissertação apresentada ao Curso de Mestrado do Programa de Pós-Graduação em Informática (PPGI), Área de Concentração em Computação, da Universidade Federal de Santa Maria (UFSM, RS), como requisito parcial para obtenção do grau de
Mestre em Ciência da Computação

Orientador: Prof. Dr. César Augusto Prior

Co-orientador: Prof. Dr. Cesar Ramos Rodrigues

Santa Maria, RS, Brasil

2015

Teixeira, Lucas

Projeto de circuitos integrados para balanço de carga e redução da tensão residual em estimulação neural / por Lucas Teixeira. – 2015.

87 f.: il.; 30 cm.

Orientador: César Augusto Prior

Co-orientador: Cesar Ramos Rodrigues

Dissertação (Mestrado) - Universidade Federal de Santa Maria, Centro de Tecnologia, Programa de Pós-Graduação em Informática, RS, 2015.

1. Neuroestimulação. 2. Estimulação Elétrica Funcional - EFS. 3. Circuito integrado. 4. Balanceamento de carga. 5. Controle de tensão residual. I. Prior, César Augusto. II. Rodrigues, Cesar Ramos. III. Título.

© 2015

Todos os direitos autorais reservados a Lucas Teixeira. A reprodução de partes ou do todo deste trabalho só poderá ser feita mediante a citação da fonte.

E-mail: teixeira@ieee.org

**Universidade Federal de Santa Maria
Centro de Tecnologia
Programa de Pós-Graduação em Informática**

A Comissão Examinadora, abaixo assinada,
aprova a Dissertação de Mestrado

**PROJETO DE CIRCUITOS INTEGRADOS PARA BALANÇO DE
CARGA E REDUÇÃO DA TENSÃO RESIDUAL EM ESTIMULAÇÃO
NEURAL**

elaborada por
Lucas Teixeira

como requisito parcial para obtenção do grau de
Mestre em Ciência da Computação

COMISSÃO EXAMINADORA:

César Augusto Prior, Dr.
(Presidente/Orientador)

André Luiz Aita, Dr. (UFSM)

Fernando Rangel de Sousa, Dr. (UFSC)

Santa Maria, 12 de Junho de 2015.

RESUMO

Dissertação de Mestrado
Programa de Pós-Graduação em Informática
Universidade Federal de Santa Maria

PROJETO DE CIRCUITOS INTEGRADOS PARA BALANÇO DE CARGA E REDUÇÃO DA TENSÃO RESIDUAL EM ESTIMULAÇÃO NEURAL

AUTOR: LUCAS TEIXEIRA

ORIENTADOR: CÉSAR AUGUSTO PRIOR

CO-ORIENTADOR: CESAR RAMOS RODRIGUES

Local da Defesa e Data: Santa Maria, 12 de Junho de 2015.

A estimulação elétrica funcional(EFS) faz a interface direta entre o homem e a máquina, por meio de sinais elétricos. A viabilidade advinda de novas tecnologias justifica o seu crescimento nos últimos anos. Restaurar a visão ou a audição, mesmo que parcialmente, são duas das inúmeras contribuições que pode proporcionar para o bem estar do ser humano. No entanto, a interface entre o circuito elétrico e o tecido é sensível a diversos fatores. Entre os diversos fenômenos que podem ocasionar danos ao tecido e ao eletrodo na interface de EFS estão os causados pelo estímulo elétrico usado, e isso pode inviabilizar a aplicação. Neste sentido, este trabalho apresenta contribuições relacionadas à topologia de circuitos para segurança na geração do estímulo em EFS. O correto balanceamento de carga elétrica e a diminuição da tensão residual, na interface entre o tecido e o eletrodo, são indispensáveis. Uma técnica é propostas para a solução de cada um desses problemas, ambas compartilham blocos de circuito comuns. O controle da intensidade e da polaridade de estimulação são concebidos para evitar a necessidade de dispositivos de alta tensão. A geração de estímulos em modo corrente utiliza um Conversor Digital para Analógico (DAC) do tipo redistribuição de carga de ultra baixo consumo de energia para o controle da intensidade dos pulsos. Esse conversor ainda simplifica a realimentação, que é derivada diretamente do circuito de medição. Como solução para viabilizar a implementação em circuito integrado de controle do desbalanceamento de carga, uma técnica de medição usando somente dispositivos de baixa tensão é apresentada. Essa técnica é tolerante ao descasamento entre capacitores utilizados e à variação no ganho do circuito de medição de corrente. O controle é possível por meio de um laço de realimentação simplificado, que une medição e controle de forma eficiente e atua direto no DAC. A técnica proposta para controle da tensão residual nos eletrodos requer somente adição de elementos passivos ao circuito, sugerindo a redução do consumo de energia. O DAC tipo redistribuição de carga é usado para armazenar a informação da tensão residual e a compensação no ciclo seguinte. A fase dos ciclos de estimulação também é explorada, ciclos com fases alternadas são usados visando redução no desbalanceamento de carga e tensão residual. As duas propostas são apresentadas e validadas por meio da simulação elétrica, métricas conhecidas são utilizadas e o desempenho observado é equivalente ao estado da arte.

Palavras-chave: Neuroestimulação. Estimulação Elétrica Funcional - EFS. Circuito integrado. Balanceamento de carga. Controle de tensão residual.

ABSTRACT

Master's Dissertation
Post-Graduate Program in Informatics
Federal University of Santa Maria

DESIGN OF INTEGRATED CIRCUITS FOR CHARGE BALANCING AND RESIDUAL VOLTAGE REDUCTION IN NEURAL STIMULATION

AUTHOR: LUCAS TEIXEIRA

ADVISOR: CÉSAR AUGUSTO PRIOR

COADVISOR: CESAR RAMOS RODRIGUES

Defense Place and Date: Santa Maria, June 12th, 2015.

The Electrical Functional Stimulation (EFS) allows the direct connection between man and machine through electrical signals. The last years growth in EFS is possible because of the new technological resources that make it feasible. Restoring someone's vision or hearing, even partially, is one among several contribution that EFS may contribute to human's well-being. However the interface between the electrical circuits and the tissue is sensitive to several factors. Among several effects that may damage the tissue and electrode in EFS we can find those caused by the electrical stimuli, this may harm the application. This work presents contributions regarding electrical circuits topologies for safety stimuli in EFS. It is essential to ensure proper electrical charge balance and a small residual voltage on the tissue-electrode interface. For each of these problems one proposal is presented, both share circuit blocks. The blocks to control intensity and polarity of stimuli are designed to avoid the integration of high voltage devices. The current mode stimuli is generated using an ultra-low power charge redistribution Digital to Analog Converter (DAC) for stimulus intensity definition. This DAC architecture even simplifies the feedback mechanism that is obtained directly from measurement circuit. The technic that uses only low voltage devices to measure electrodes current is presented, it is suitable to implement the charge balance control in an integrated circuit. This measurement technique is insensitive to capacitors mismatch and to the current measurement absolute ratio. That control is possible through the a simplified feedback path that joins the controller and the measurement in an efficient way acting directly in the DAC. The proposed residual voltage control technique requires only passive elements to be added to the circuit, that suggest a lower power consumption. The charge redistribution DAC keeps residual voltage information stored, in order to compensate it in next stimulation cycles. The stimulation cycle polarity is explored, alternated cathodic and anodic-first cycles are used in order to reduce the charge imbalance and residual voltage. Both proposals are presented and validated with electrical simulation, known metrics are used and the performance is equivalent to state-of-art in literature.

Keywords: Electrical Functional Stimulation. Neurostimulation. Integrated Circuit. Charge balance. Residual voltage control.

LISTA DE FIGURAS

Figura 1.1 – Sistema de estimulador e sensor implantável.....	13
Figura 1.2 – Propagação de um sinal elétrico em um neurônio(FINN; LOPRESTI, 2002).	15
Figura 1.3 – Comportamento transitório do potencial de ação de um neurônio conforme modelo de Hodgkin-Huxley.	16
Figura 1.4 – Intensidades de corrente necessárias para causar 30 mV de variação de tensão em uma célula de 10 μm de comprimento (PALANKER et al., 2004). A variável independente é a distância do neurônio à superfície do eletrodo...	17
Figura 1.5 – Circuito equivalente para a carga simulada	20
Figura 1.6 – Forma dos pulsos de corrente gerados no estimulador concebido.	21
Figura 2.1 – Diagrama de blocos de um sistema para balanço de carga	26
Figura 2.2 – Diagrama de blocos de um sistema para controle da tensão residual	27
Figura 3.1 – Sistema para controle e equilíbrio da corrente.	30
Figura 3.2 – Arquitetura do conversor digital para analógico	31
Figura 3.3 – Estrutura da ponte H para determinação da polaridade do estímulo na carga .	34
Figura 3.4 – Estrutura da ponte H com interruptores implementados por dispositivos empilhados	35
Figura 3.5 – Dispositivos empilhados em série com transistor M_{SKN} (DAC).....	36
Figura 3.6 – Diagrama de blocos para circuito de cópia de corrente	38
Figura 3.7 – Implementação do espelho de corrente.....	39
Figura 3.8 – Malha de controle que representa o circuito de cópia de corrente.	44
Figura 3.9 – Circuito para injeção de carga nos capacitores de forma alternada.....	45
Figura 3.10 – Ilustração de pulsos de corrente com erro devido à não-linearidade e desbalanceamento	45
Figura 3.11 – Tensão nos capacitores e no terminal de saída do circuito de cópia de corrente (nó C) com a técnica de estimativa de medida de desbalanceamento proposta	46
Figura 3.12 – Circuito com capacitores para estimativa de desbalanço de carga	48
Figura 3.13 – Circuito dos capacitores e chave com parasitas.....	49
Figura 3.14 – Tensão medida para desbalanço de carga de $\pm 0,01\%$	50
Figura 3.15 – Modelagem da saída do circuito de cópia de corrente e tensão em regime transitório	51
Figura 3.16 – Circuito amplificador diferencial para isolamento	52
Figura 3.17 – Sequências de pulsos de corrente geradas.	53
Figura 3.18 – Dinâmica e operação do controle do equilíbrio de carga	54
Figura 3.19 – Malha de controle do desbalanceamento de carga	55
Figura 3.20 – Corrente no DAC para toda escala digital de palavras de configuração, inicia em 0 e a palavra máxima é 63.....	56
Figura 3.21 – Relação de cópia da corrente observada para toda a faixa de corrente de entrada especificada.	57
Figura 3.22 – Impedância de saída do circuito de cópia de corrente.....	57
Figura 3.23 – Amostra de ciclos de simulação transiente, como ilustrado na Figura 3.18. .	59
Figura 3.24 – Detalhes da simulação transiente: mostra ciclos de estimulação em torno de 11 ms e de 101 ms.	60
Figura 3.25 – Efeitos da compensação e sequência alternada de fases no balanço de carga.	61

Figura 3.26 – Efeito da compensação e sequência alternada de fases na tensão residual observada nos eletrodos	61
Figura 4.1 – Topologia de circuito proposta para controle de tensão residual	64
Figura 4.2 – Dinâmica e operação do controle da tensão residual	65
Figura 4.3 – Malha de controle de tensão residual	66
Figura 4.4 – Amostra de ciclos de simulação transiente, como ilustrado na Figura 4.2. ...	67
Figura 4.5 – Efeitos da compensação e alternância de fases na tensão residual.	68

LISTA DE TABELAS

Tabela 1.1 – Parâmetros do modelo elétrico para um eletrodo de platina e tecido (CHUN; YANG; LEHMANN, 2014).....	20
Tabela 1.2 – Parâmetros adotados para estimulação elétrica	21
Tabela 3.1 – Comparação com trabalhos relacionados	60
Tabela 4.1 – Comparação com trabalhos relacionados que também implementam controle da tensão residual	69
Tabela 1 – Dispositivos do circuito para controle do desbalanceamento de carga simulado	86
Tabela 2 – Dispositivos do circuito para controle da tensão residual simulado	87

LISTA DE ABREVIATURAS E SIGLAS

EFS	Estimulação Elétrica Funcional
DAC	Conversor Digital para Analógico
MOSFET	<i>Metal Oxide Semiconductor Field Effect Transistor</i> - Transistor de efeito de campo metal-óxido-semicondutor
RF	Rádio Frequência
CR	<i>Charge Redistribution</i> , Redistribuição de Carga
V_{gs}	Tensão entre terminais <i>gate</i> e fonte de um dispositivo MOSFET
V_{ds}	Tensão entre terminais dreno e fonte de um dispositivo MOSFET
V_{gm}	Transcondutância entre tensão no terminal <i>gate</i> e corrente no terminal de dreno de um dispositivo MOSFET
V_{gmb}	Transcondutância da diferença da tensão do substrato para o terminal de fonte e corrente no terminal de dreno de um dispositivo MOSFET

SUMÁRIO

1 INTRODUÇÃO	12
1.1 Neuroestimulação	12
1.1.1 A aplicação	12
1.1.2 Fenômeno biológico	14
1.1.3 Interface e níveis elétricos.....	16
1.1.4 Efeitos danosos.....	17
1.1.4.1 Efeito de dano no tecido relacionado à carga elétrica	17
1.1.4.2 Efeito de dano eletroquímico na interface	18
1.2 Parâmetros e modelos elétricos	19
1.2.1 Modelo elétrico	20
1.2.2 Formato do sinal de estimulação.....	20
1.2.3 Níveis de tensão	21
1.2.4 Métrica para desbalanceamento de carga	22
1.3 Objetivos	23
2 SISTEMA PARA BALANÇO NA ESTIMULAÇÃO ELÉTRICA FUNCIONAL ...	24
2.1 Sistema para balanço de carga proposto	26
2.2 Sistema para controle da tensão residual proposto	27
2.3 Tecnologia de circuitos integrados para implementação	28
3 CIRCUITO PARA BALANÇO DE CARGA	30
3.1 Controle da intensidade do estímulo gerado	31
3.2 Polaridade do estímulo	34
3.3 Cópia da corrente	36
3.3.1 O amplificador diferencial	39
3.3.2 Resistência equivalente a R_2	40
3.3.3 Fonte de corrente	41
3.3.4 Impedância de saída	42
3.3.5 Erro na cópia de corrente devido à limitação do ganho	43
3.4 Estimativa do desbalanceamento de carga	44
3.4.1 Dimensionamento de C_a e C_b	47
3.4.2 Injeção de carga indesejada em C_a e C_b	48
3.4.3 Influência da impedância de saída do circuito de cópia de corrente	50
3.4.4 Condicionamento do sinal para realimentação	51
3.5 Sequência de pulsos proposta	53
3.6 Dinâmica da malha de controle	54
3.7 Resultados	56
4 CIRCUITO PARA CONTROLE DE TENSÃO RESIDUAL	63
4.1 Caminho de realimentação	63
4.2 Dinâmica da malha de controle	64
4.3 Resultados	66
5 CONCLUSÕES E PERSPECTIVAS	70
REFERÊNCIAS	72
APÊNDICES	75

1 INTRODUÇÃO

1.1 Neuroestimulação

A estimulação elétrica funcional (EFS) é o processo em que se aplica um sinal elétrico com parâmetros bem definidos entre dois ou mais pontos do tecido biológico, por meio de eletrodos. Estes e o sinal são especializados para a aplicação, visando evitar dano ao tecido, ao mesmo tempo que são dimensionados com a finalidade de disparar processos físico-químicos, nos neurônios de uma determinada região, de forma controlada.

1.1.1 A aplicação

A aplicação de neuroestimulação e a viabilização de dispositivos portáteis com essa finalidade permitiram, nas últimas décadas, a popularização de implantes de neuroestimuladores auditivos e, mais recentemente, oculares (FINN; LOPRESTI, 2002). Também, enquadram-se nessa mesma aplicação, os implantes sensores, os quais vêm sendo desenvolvidos principalmente em fase de pesquisa e visam estabelecer uma interface entre o cérebro e o mundo externo. Esses implantes são uma esperança para pessoas que sofreram lesão na medula espinhal ou possuem problemas que afetam o sistema nervoso periférico, criando um caminho artificial para comandos, possibilitando a interpretação direta de sinais elétricos cerebrais do implantado.

A Figura 1.1 ilustra a implantação e mostra a composição do sistema de sensoriamento ou estimulação de forma simplificada, o qual pode ser dividido em blocos relacionados à gerência de energia, ao processamento de dados, à comunicação, aos sensores e atuadores. Já os eletrodos devem possuir tamanho compatível para que o implante alcance as células alvo da estimulação ou do sensoriamento. O foco do trabalho são os atuadores na interface de saída da EFS.

O exemplo mais bem sucedido de EFS é o implante coclear (auditivo), o qual permite ao implantado que perdeu a audição, mas ainda tem parte do ouvido interno sadio, voltar a ter esse sentido. O dispositivo atua como um transdutor de sinais acústico para elétricos, utilizando um microfone como substituto do ouvido externo do paciente. O implante codifica sons em pulsos elétricos, em um padrão de amplitudes e distribuição espacial que resulta em um estímulo similar à sensação produzida pelas ondas sonoras na cóclea. O implantado espera a disponibilidade desse sentido continuamente, 24 horas por dia. Essa operação continuada pode causar uma série

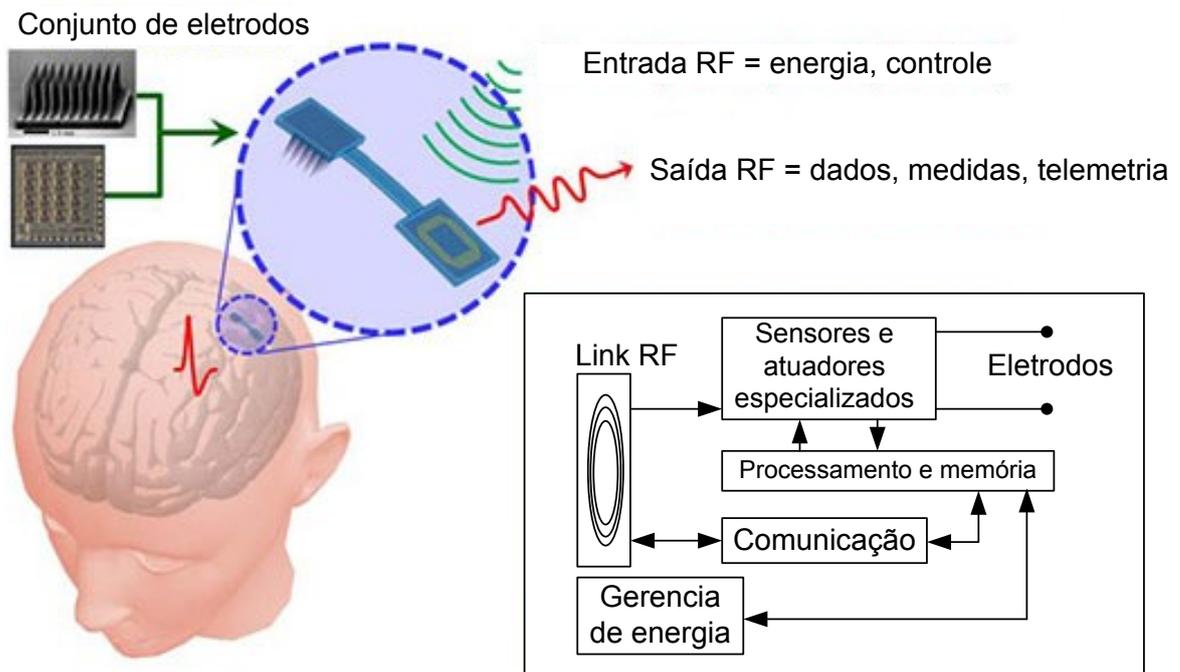


Figura 1.1 – Sistema de estimulador e sensor implantável

de danos ao tecido estimulado no ouvido do paciente caso a carga injetada e a tensão no tecido não sejam mantidos dentro de limites seguros.

Os implantes oculares são outro exemplo de EFS em desenvolvimento atualmente, muitos em fase experimental (KUANFU CHEN; LIU, 2013) e (TRAN et al., 2011), embora também haja o produto em fase comercial (SECOND SIGHT, 2015). Sua adoção tende a se popularizar, nas próximas décadas, após uma série de dificuldades técnicas serem superadas. Esses dispositivos devem lidar com desafios muito maiores do que implantes auditivos, além do requisito relacionado ao limite de tensão e corrente no tecido estimulado (PALANKER et al., 2004). Os implantes oculares operam como transdutores de imagens que são capturadas por uma câmera e pré-processadas de forma a apropriar os estímulos para formação de representações relevantes da imagem na retina. A aplicação de impulsos elétricos, nas terminações nervosas na retina, causa um efeito similar à visualização de um ponto luminoso, sendo conhecido como fosfeno. Logo, a resolução da imagem percebida pelo implantado depende diretamente do número de pontos da retina que são estimulados, o qual deve ser maior do que 10.000, para que o paciente implantado realmente perceba a formação de imagens em uma experiência prática (PALANKER et al., 2004).

A integração de um circuito para neuroestimulação com centenas ou milhares de canais de saída é um desafio a ser vencido a fim de viabilizar a popularização desse dispositivo. Além

de exigir a replicação de um número grande de canais paralelos (mesmo que cada um seja multiplexado no tempo para diversos pontos de estimulação), é de se esperar que, na mesma pastilha, seja implementado também um controlador (e outros blocos mostrados na Figura 1.1) capaz de gerenciar o estímulo a ser gerado. O projeto de um circuito para neuroestimulação, assim como toda aplicação móvel, sofre restrição severa no consumo de potência tanto para permitir operação ininterrupta, como para reduzir o tamanho da bateria de armazenamento e também do sistema de condução de energia até o implante. Essas são claras restrições e desafios do projeto de um circuito aplicado à neuroestimulação.

1.1.2 Fenômeno biológico

O fenômeno da condução de estímulos nervosos se baseia em uma propriedade físico-química ativa da membrana dos neurônios. Existe, na ausência de estimulação, um potencial elétrico através da membrana devido às diferenças nas concentrações internas e externas de íons. As diferenças nas concentrações resultam da ação de estruturas ativas, como bombas de sódio-potássio ATPase, Ca^{2+} -ATPase (bombas de cálcio) e outros mecanismos. Essas estruturas usam uma molécula de ATP para forçar a saída da célula de alguns íons (como Na^+), ao mesmo tempo em que causam a entrada de outros íons (K^+ , por exemplo); elas estão presentes na maioria dos neurônios.

O bombeamento de íons se extingue quando o potencial de repouso (em torno de -60 mV, sendo que esse valor varia entre tipos diferentes de células) é estabelecido entre os meios interno e externo à membrana celular. Enquanto o gradiente de íons existir, pode ser iniciado um potencial de ação para geração de sinais nervosos.

Quando um estímulo externo causa uma despolarização suficiente, fazendo o potencial atingir um limiar (reduz-se a aproximadamente -55 mV, de acordo com o tipo de célula), um efeito cascata é gerado, despolarizando completamente a membrana da célula. Esse efeito pode levar a uma polarização no sentido inverso, atingindo outras células e amplificar ou propagar o sinal, como ilustrado na Figura 1.2. Após iniciado o efeito, as estruturas ativas trabalham para restabelecer o potencial de repouso, processo que pode levar até milissegundos para acabar. Dessa forma, um pulso nervoso se inicia e propaga por tecidos.

Na Figura 1.2, é mostrado um resultado de ensaio laboratorial. A estimulação é iniciada, a partir do tempo zero, pela injeção de 50 pA através da membrana celular por microeletrodo, e este estímulo dura 250 μs . A despolarização da membrana pode ser observada pelo valor do

potencial medido em diferentes pontos na extensão do axônio da célula. As curvas de potenciais medidos foram deslocadas verticalmente para iniciarem no ponto de medição no desenho da esquerda. É perceptível que o sinal iniciado em um extremo do neurônio se propaga com certo atraso.

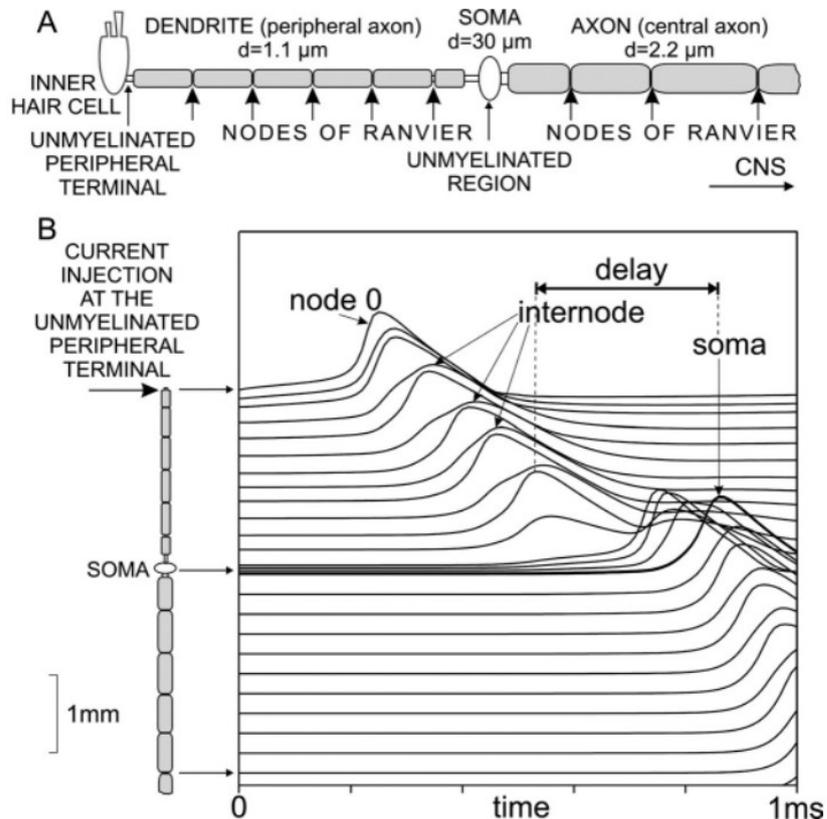


Figura 1.2 – Propagação de um sinal elétrico em um neurônio (FINN; LOPRESTI, 2002)

A curva apresentada na Figura 1.3 ilustra como se comporta o potencial na membrana da célula, no momento da estimulação até o retorno ao potencial de repouso. Essa curva é derivada do Modelo de Hodgkin-Huxley, que descreve como o potencial de ação dos neurônios é iniciado. Estudos relacionados a este modelo renderam aos senhores Alan Lloyd Hodgkin e Andrew Fielding Huxley o Prêmio Nobel em Fisiologia ou Medicina, no ano de 1963.

Na Figura 1.3, ainda, observa-se uma fase ascendente do potencial, cuja curva começa em -70 mV (potencial de repouso), após um estímulo que inicia a despolarização. Quando o estímulo é fraco e não atinge o limiar (-55 mV), ele retorna rapidamente ao potencial de repouso. Ao ser despolarizado suficientemente, o processo em cascata é disparado na fase ascendente, e o potencial atinge um máximo positivo. Após isso ocorre a fase descendente do potencial, observa-se uma hiper-polarização quando o potencial fica mais negativo que seu valor

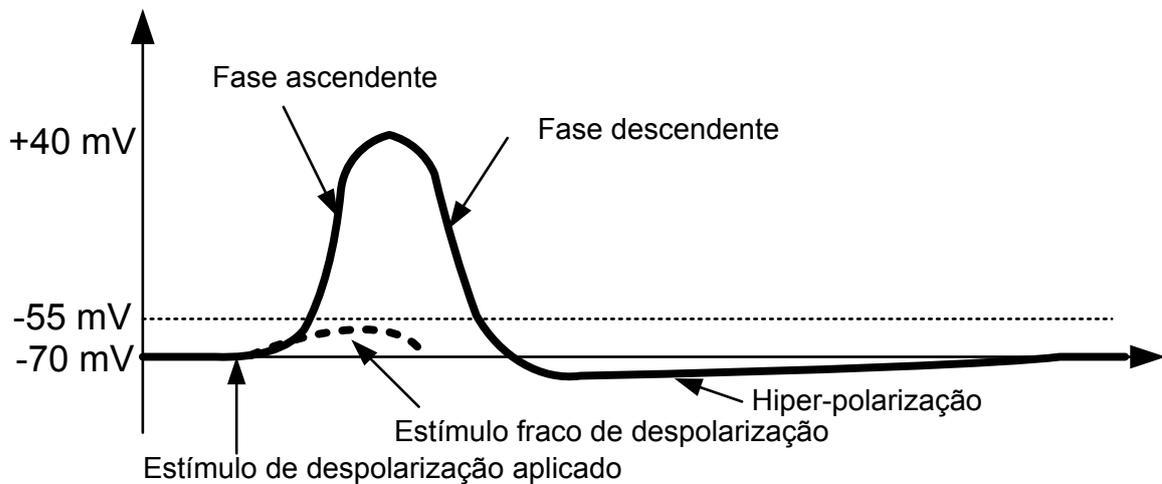


Figura 1.3 – Comportamento transitório do potencial de ação de um neurônio conforme modelo de Hodgkin-Huxley.

de repouso, mas, após alguns milissegundos, o potencial tende a retornar a esse valor.

1.1.3 Interface e níveis elétricos

Quando implantados no tecido, o posicionamento dos eletrodos é um fator decisivo para a determinação dos parâmetros elétricos necessários para estimulação efetiva. Entende-se por estimulação efetiva a capacidade de vencer o limiar de despolarização necessário para desencadear o efeito em cascata do potencial de ação de células, em uma área ou volume de interesse no tecido. Para que uma despolarização suficiente seja produzida, níveis de tensão maiores são aplicados nos eletrodos.

Em geral, os estimuladores neurais são concebidos considerando somente um ponto, onde é aplicada a estimulação (próximo ou dentro da área de interesse), e esse eletrodo (referido aqui como eletrodo principal) tem área reduzida se comparado com o outro. O eletrodo oposto é usado como referência (por isso é chamado de eletrodo de referência) para o sinal aplicado no eletrodo principal. O eletrodo de referência tem área maior e pode estar localizado a uma maior distância da área de interesse. Como sua área é maior que a do eletrodo principal, a densidade de corrente, na interface eletrodo-tecido, e o gradiente de tensão são menores, o que reduz a probabilidade de disparo do potencial de ação de células próximas a ele.

A relação entre a distância do eletrodo ao neurônio, geometria do eletrodo e características do meio biológico em que estão inseridos determinam a intensidade do pulso de tensão ou corrente necessária em cada aplicação (PALANKER et al., 2004). Pode-se observar, na Figura

1.4, que uma menor corrente é necessária para um eletrodo de raio $5 \mu m$, tocando o neurônio. Para um eletrodo de raio $150 \mu m$, a intensidade do pulso de corrente deve ser próxima de $1000 \mu A$ para atingir a mesma variação de potencial no neurônio.

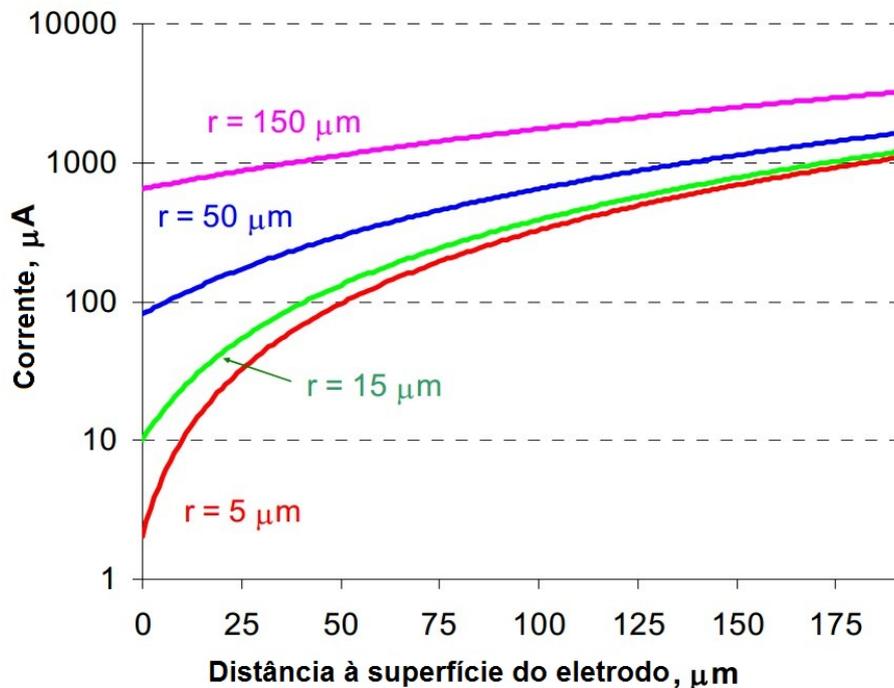


Figura 1.4 – Intensidades de corrente necessárias para causar 30 mV de variação de tensão em uma célula de $10 \mu m$ de comprimento (PALANKER et al., 2004). A variável independente é a distância do neurônio à superfície do eletrodo.

1.1.4 Efeitos danosos

Existem dois limites que devem ser respeitados, quando se considera a neuroestimulação segura de tecidos (FINN; LOPRESTI, 2002): limite do tecido estimulado relacionado à carga elétrica e limite eletroquímico.

1.1.4.1 Efeito de dano no tecido relacionado à carga elétrica

É sabido que o efeito danoso ao tecido é relacionado à carga total aplicada por ciclo de estimulação (FINN; LOPRESTI, 2002). Foi verificado experimentalmente que para eletrodos menores a densidade de carga aplicada no tecido é muito maior, o que mostrou que o dano não é causado pela densidade de carga nesse experimento, mas pelo valor total dessa. Outro experimento sugere que esse dano não é causado pelo acúmulo de substâncias gerado por reações

químicas no eletrodo, mas pela passagem da corrente pelo tecido. Os efeitos de danos neste incluem a redução transitória da sensibilidade ao estímulo, ainda que possa ser restaurada após um período de horas sem estimulação.

1.1.4.2 Efeito de dano eletroquímico na interface

A corrente contínua média na carga é o resultado da diferença entre as cargas injetada e retirada do tecido medido ciclo a ciclo de estimulação. Sabe-se que o acúmulo de carga no tecido resultante da estimulação elétrica causa danos ao tecido e perda da sua função (LI-NAHAN N. SHEPHERD, 1998), sendo que isso também foi constatado por experimentos práticos (RK SHEPHERD BK HG, 1990)(SHEPHERD; JAVEL, 1999)(XU J SHEPHERD RK, 1997). Em uma aplicação de neuroestimulação de média ou longa duração, é necessário equilibrar a carga injetada e a retirada do tecido; entenda-se por isso que o implante atue durante vários anos.

Apesar do extenso estudo em materiais e geometrias para eletrodos, nenhum tipo está completamente livre de sofrer reações químicas. O desbalanço entre as cargas elétricas injetada e retirada do tecido pode causar acúmulo de íons que danificam tanto o eletrodo como o tecido na interface. Também, o eletrodo sofre ataque eletroquímico, quando permanece na interface após interrompida a corrente de estimulação, a qual é chamada de tensão residual, medida na interface entre eletrodos e tecido logo que é interrompido o estímulo aplicado ao tecido. Quando essa tensão permanece fora de limites em que o eletrodo é inerte, ocorre a formação de bolhas de gás na interface e a alteração sensível da composição química do meio em torno, levando até à erosão do eletrodo. O limite de segurança quanto ao ataque eletroquímico é medido e observado empiricamente em experimentos de laboratório ou durante a estimulação de tecido, acompanhando-se a degradação de eletrodos.

Em geral, um limite de segurança aceito é a janela de oxidação da água, na interface, e, quando esse é excedido, a formação de bolhas de gás é perceptível. Esse limite depende do material usado no eletrodo: para platina a janela de segurança é entre -0,6 V e +0,8 V, de acordo com LO et al. (2013). Já foi comprovado que a tensão residual é um problema que pode ocorrer inclusive em estimulação com carga balanceada, e que parâmetros da interface eletrodo-tecido e formato do sinal de estimulação são determinantes nessa situação (KRISHNAN; KELLY, 2012).

Outro fator reconhecido como causador de danos eletroquímicos ao eletrodo é o excesso

de densidade de carga aplicada por ciclo de estimulação. Os limites de densidade de carga são bem conhecidos para materiais apropriados à fabricação de eletrodos como a platina ($0,1$ a $0,4mC/cm^2$), o óxido de irídio (1 a $3mC/cm^2$) e o nitreto de titânio ($0,6$ a $0,9mC/cm^2$). Uma vez que o foco deste trabalho não é a determinação de todos os parâmetros do sistema, e a geometria do eletrodo não é conhecida, a densidade máxima de carga não será referida diretamente como requisito do circuito concebido. Determinada a superfície efetiva do eletrodo, a densidade de carga pode ser limitada através do controle de intensidade dos pulsos.

1.2 Parâmetros e modelos elétricos

O formato do estímulo adotado, neste trabalho, foi reduzido à estimulação bipolar por pulsos de corrente e bifásica, ou seja, o estímulo é gerado entre somente dois terminais, e cada ciclo de estimulação é formado por dois pulsos de corrente com direções opostas. A definição pela metodologia de estimulação que adota pulsos de corrente, ao invés de pulsos de tensão, é uma escolha de projeto que permite definir de forma mais segura o limite de densidade de carga aplicada, uma vez que a área efetiva do eletrodo é conhecida.

Nesse sentido, são constatados danos aos tecidos com estimulação, quando a carga residual resulta em uma corrente maior que 100 nA (RK SHEPHERD BK HG, 1990) (SHEPHERD; JAVEL, 1999) (XU J SHEPHERD RK, 1997). Os resultados apresentados por RK SHEPHERD BK HG (1990) foram considerados para a definição dos parâmetros amplitude e duração de cada fase de estimulação. Ainda, nesse estudo, amostras de tecido vivo são submetidas a estímulos com diferentes sequências de pulsos de corrente, a probabilidade de disparo de respostas neurais desse tecido foi medida e um limiar (*threshold*) de disparo é definido com a aplicação de estímulos com diferentes intensidades. Outros trabalhos apresentam os níveis de corrente típicos para a aplicação de neuroestimulação, considerando eletrodos de tamanhos diversos (de $20\mu m$ a $500\mu m$). Em geral, espera-se de um circuito de estimulação pulsos de corrente de intensidade controlável, comumente na faixa de valores de $0\mu A$ a $1000\mu A$ (CHUN; YANG; LEHMANN, 2014) (GUO; LEE, 2009). Essas duas faixas de valores também foram exploradas para aplicação em um estimulador de retina (PALANKER et al., 2004). Quanto à duração dos pulsos, os mesmos trabalhos sugerem e usam valores para duração dos pulsos de corrente entre $50\mu s$ e $1000\mu s$.

1.2.1 Modelo elétrico

O modelo elétrico para interface eletrodo-tecido, com um eletrodo de platina medindo $20\mu m$ de diâmetro é mostrado na Figura 1.5. O valor dos parâmetros elétricos são sumarizados na Tabela 1.1. Deste modo, pode-se interpretar R_S como a resistência total dos fios, eletrodo e tecido pelo qual as correntes fluem, causando queda de tensão e perda de energia. Já o componente R_W (resistência faradática) é a corrente de fuga no tecido, cuja carga não pode ser restaurada, ou resultante de reações químicas. O componente C_W , por sua vez, representa a capacidade do tecido de armazenar carga elétrica injetada e retirada.

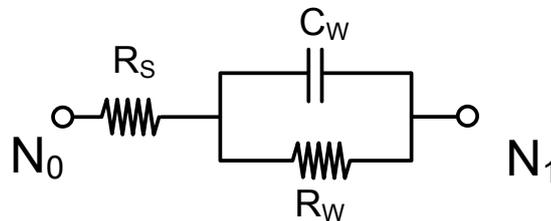


Figura 1.5 – Circuito equivalente para a carga simulada

Parâmetro	Valor
R_S	$10k\Omega$
C_W	$100nF$
R_W	$10M\Omega$

Tabela 1.1 – Parâmetros do modelo elétrico para um eletrodo de platina e tecido (CHUN; YANG; LEHMANN, 2014)

1.2.2 Formato do sinal de estimulação

O formato para pulsos de corrente foi escolhido baseado no trabalho de SHEPHERD; JAVEL (1999). Um ciclo de estimulação adotado é formado por um semiciclo de fase convencionalizada como positiva, um intervalo entre os dois pulsos (inter-fases) e um semiciclo de fase contrária (negativa), conforme mostrado na Figura 1.6. Durante o intervalo de tempo entre a aplicação da segunda fase de estímulo e o início do próximo ciclo não ocorre aplicação de qualquer intensidade de estímulo; neste intervalo, o tecido volta a ter o equilíbrio químico preexistente (atingindo o potencial de repouso).

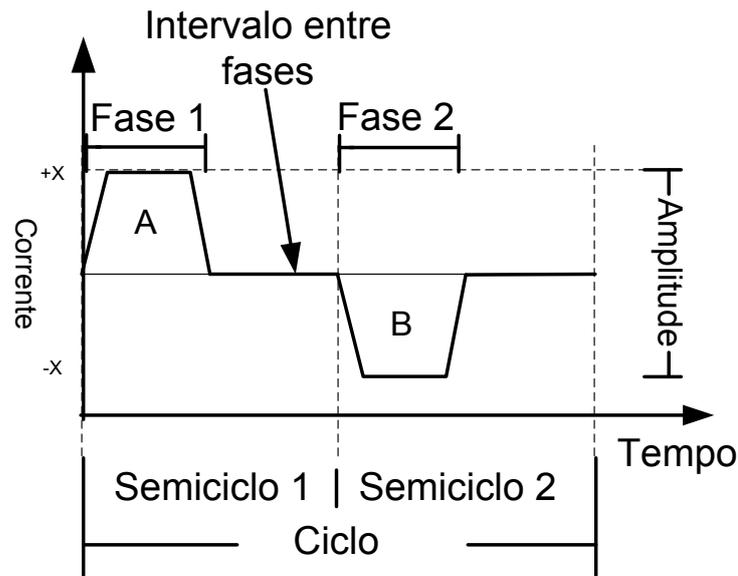


Figura 1.6 – Forma dos pulsos de corrente gerados no estimulador concebido.

1.2.3 Níveis de tensão

A partir do modelo elétrico da interface que envolve eletrodos e tecido, pode ser calculada a diferença de tensão mínima esperada nos terminais de saída do circuito, sendo todos parâmetros adotados resumidos na Tabela 1.2. O módulo da tensão máxima, ao fim de uma fase de estimulação com polaridade qualquer, neste modelo de eletrodo-tecido, pode ser aproximado pela Equação 1.1. Dessa forma, I_{max} é a intensidade máxima de corrente aplicada ao tecido. E essa aproximação desconsidera a componente resistiva R_W , pois a dinâmica entre C_W e R_W é muito mais lenta do que a duração de um ciclo de estimulação. A definição da tensão residual máxima tolerada é feita de acordo com a janela de tensão, que não causa hidrólise da água, na interface com a platina (LO et al., 2013).

$$V_{max} = \left| I_{max} \cdot R_S + \frac{\int_0^P I_{max} dt}{C_W} \right| \quad (1.1)$$

Parâmetro	Valor mínimo	Valor máximo
Intensidade dos pulsos	$0\mu A$	$500\mu A$
Duração de cada fase	$50\mu s$	$500\mu s$
Tensão na carga	$-7,5V$	$7,5V$
Corrente DC na carga	-	$100nA$
Tensão residual	$-0,6V$	$+0,8V$

Tabela 1.2 – Parâmetros adotados para estimulação elétrica

1.2.4 Métrica para desbalanceamento de carga

A fundamentação encontrada em trabalhos experimentais determina uma métrica para segurança na eletroestimulação quanto ao balanço de carga elétrica e à corrente média (SHEPHERD; JAVEL, 1999) (XU J SHEPHERD RK, 1997). Essa (I_{DC}) pode ser calculada, em função de parâmetros do sinal de estimulação adotado, pela Equação 1.2.

$$I_{DC} = \frac{Q_{AN} - Q_{CAT}}{T} = \frac{I_{AN} \cdot T_{AN} - I_{CAT} \cdot T_{CAT}}{T} \quad (1.2)$$

Nessa equação, Q_{CAT} e Q_{AN} são as cargas totais injetadas nos pulsos catódico e anódico, respectivamente. $Q_{CAT} - Q_{AN}$ é o desbalanço de carga observado. I_{AN} e I_{CAT} são as intensidades dos pulsos; T_{AN} e T_{CAT} , a duração dos pulsos. Assim, é possível a redução da corrente média de forma independente da quantidade de carga injetada ou retirada, alterando o período do estímulo (T). Logo, definindo-se uma razão cíclica de valor muito pequeno, é possível cumprir o requisito de corrente DC adotado, mesmo existindo diferença sensível entre as correntes nos pulsos catódico e anódico. Percebe-se que a comparação entre diferentes topologias de circuitos estimuladores não é justa, caso os parâmetros adotados sejam completamente diferentes.

Outra abordagem também usada no dimensionamento da estimulação é a definição de carga total por pulso (NAG et al., 2013a) (LUAN; CONSTANDINO, 2014). Esse valor é computado de forma independente da duração ou intensidade dos pulsos, o que não auxilia na definição dos parâmetros a serem adotados no projeto desse estimulador. No entanto, essa métrica pode ser útil para uma comparação mais justa entre os trabalhos relacionados encontrados na literatura. A medida de carga aplicada na estimulação se torna apropriada para cálculo do desbalanceamento, sendo uma métrica possível e independente de outros parâmetros para fim de comparação. O desbalanceamento percentual pode ser calculado de acordo com a Equação 1.3.

$$D = \frac{Q_{CAT} - Q_{AN}}{Q_{CAT}} \quad (1.3)$$

As equações 1.2 e 1.3 se relacionam pela Equação 1.4. Por ela, pode-se relacionar a corrente I_{DC} ao desbalanceamento percentual observado.

$$I_{DC} = D \cdot I_{CAT} \cdot \frac{T_{CAT}}{T} \quad (1.4)$$

1.3 Objetivos

O primeiro objetivo é propor e comprovar um método efetivo de controle do desbalanceamento de carga para a implementação em circuito integrado. Essa topologia de circuito deve permitir integração com outros blocos em uma mesma pastilha, com tecnologia de baixa tensão, enquanto que mantém baixo consumo de energia e permite configuração da intensidade do sinal gerado.

O segundo foco do trabalho é apresentar e comprovar o conceito de uma topologia de circuito proposta para controle da tensão residual nos eletrodos, capaz de garantir níveis de tensão seguros na interface. Essa topologia deve ser implementável, em circuito integrado, com tecnologia de baixa tensão e reduzido consumo de energia.

2 SISTEMA PARA BALANÇO NA ESTIMULAÇÃO ELÉTRICA FUNCIONAL

Diversos autores propõem soluções para o problema de desbalanço de carga em EFS. Vários trabalhos adotam uma alta impedância de saída do circuito para garantir o balanceamento de corrente entre os pulsos catódico e anódico (GUO; LEE, 2009) (CHUN; YANG; LEHMANN, 2014) (NAG et al., 2013b) (SIT; SARPESHKAR, 2007). A forma mais comum de implementação, para uma fonte de corrente em circuito integrado, é o uso de um dispositivo MOSFET operando na região de saturação. Essa abordagem simplifica o circuito por conter somente esse dispositivo ativo. Para manter a impedância de saída do circuito, a tensão mínima, no terminal de saída da fonte de corrente, deve ser limitada a fim de garantir a operação na região de saturação do MOSFET, em qualquer condição de operação ($V_{DS} > V_{GS} - V_{th}$).

Em oposição à estratégia de garantir uma alta impedância de saída, outra estratégia possível é medir o desbalanceamento entre as cargas aplicadas no tecido e realizar compensação do desbalanço observado. Nessa abordagem, não é necessário garantir a tensão mínima no terminal de saída do circuito, o que é uma colaboração para reduzir tensão de alimentação e o consumo de energia do circuito. Esta abordagem já foi relatada na literatura de FANG et al. (2007), LUAN; CONSTANDINO (2014), DO et al. (2013) e TAN et al. (2011).

A estratégia implementada por FANG et al. (2007) faz a medida da tensão em um resistor em série com um eletrodo. A tensão medida é proporcional à corrente instantânea, no eletrodo, e é, então, integrada para calcular a carga total injetada e retirada do tecido. Essa topologia de circuito, no entanto, exige que a medida de tensão seja feita entre dois nós, em níveis de tensão mais altos do que os níveis de operação do circuito que processa este sinal. Dessa forma outro circuito é adicionado para fazer o desacoplamento dos níveis de tensão e possibilitar o processamento do sinal.

A proposta de LUAN; CONSTANDINO (2014) foi implementada em um estimulador de modo tensão e mediu a carga injetada e a retirada do tecido, inserindo um capacitor em série com o eletrodo. Para viabilizar a construção do capacitor em circuito integrado (reduzindo o valor de capacitância necessária) sempre que a tensão deste atinge um valor máximo, ele é descarregado, e esse evento é memorizado por um contador digital. Dessa maneira, pode-se obter uma estimativa do balanço de carga através da diferença da contagem digital, gerada durante os pulsos catódico e anódico. A frequência máxima de chaveamento desses capacitores

é 10 MHz, definida pelo autor, e a operação de medida faz a descarga do capacitor a cada ciclo. Essa quantidade de energia gasta com a medição não foi informada pelo autor.

A proposta de DO et al. (2013) realiza o balanceamento da carga usando a polarização de substrato de uma das fontes para ajuste nas correntes injetadas na carga. No entanto, ele não propõe como implementar esse circuito de medida da corrente, para estimar o desbalanço de carga, mas assume esse medidor como um dispositivo ideal em simulação.

O trabalho de TAN et al. (2011) propõe o balanceamento de carga a partir de uma estimativa gerada por duas fontes de corrente (escala entre elas $1/n$). Uma das fontes injeta carga nos eletrodos (maior corrente), e a outra fonte (menor) é usada para gerar a estimativa do desbalanço de carga, sendo esta corrente aplicada a um integrador. No entanto, a carga não é efetivamente medida, a réplica usada não é relacionada com a corrente efetiva dos eletrodos, a não ser pela forma de construção da fonte.

Alguns trabalhos adotam modelos bastante simples de carga para simular o tecido (SIT; SARPESHKAR, 2007)(NAG et al., 2013a)(SOOKSOOD; STIEGLITZ; ORTMANN, 2010); este é como o apresentado na Figura 1.5, mas sem a resistência faradáica (R_W). Nesses casos, o controle de tensão residual se confunde com o balanço de carga, pois, para este modelo, o capacitor série garante que a tensão residual cresça indefinidamente caso exista desbalanço de carga. Logo, o controle de tensão residual garante o balanço de carga. Nesse sentido, o modelo elétrico adotado, neste trabalho, para a interface do eletrodo e tecido é mais completo, modelando o efeito da resistência faradáica. Nesse caso o controle do balanço de carga não pode ser baseado na tensão medida entre os terminais.

Trabalhos como de CHUN; YANG; LEHMANN (2014) e de outros autores ainda adotam um método para redução do desbalanço de carga, que consiste em fazer o curto-circuito entre os terminais de saída do circuito de estimulação enquanto não há geração de estímulos. Esse curto-circuito reduz o desbalanço de carga, por meio da redução da carga residual acumulada no capacitor C_W do modelo elétrico da interface do tecido e eletrodos. No entanto, esse método não é apropriado quando se planeja uma estimulação de múltiplos pontos, como um implante de retina, pois o curto-circuito entre os terminais de dois eletrodos pode interferir e reduzir a efetividade do estímulo gerado por outros eletrodos próximos. No entanto, esse método não será explorado, neste trabalho, pois uma das aplicações desejadas para o circuito estimulador é um implante de retina.

2.1 Sistema para balanço de carga proposto

Um diagrama de blocos que representa o sistema para balanço de carga é apresentado na Figura 2.1. Esse sistema compartilha diversos blocos com o sistema para controle da tensão residual apresentado na Seção 2.2. Deste modo, o princípio fundamental de operação é a medida da corrente e compensação do desbalanço de carga observado.

A medição da corrente que é injetada nos eletrodos é mais apropriada do que o proposta por TAN et al. (2011), a qual usa uma estimativa gerada por outra fonte de corrente. Em comparação com FANG et al. (2007), neste trabalho, a estratégia sugerida utiliza um circuito para medição da corrente que já está em um nó referenciado ao terra do circuito, o que representa uma redução no tamanho e número de elementos do circuito de medição.

Diante deste contexto, a proposta deste trabalho é realizar a cópia da corrente para a medição do desbalanço de carga que, em oposição ao apresentado por LUAN; CONSTANDINO (2014), insere um resistor, em vez de um capacitor, em série com o eletrodo. Caso fosse seguido o método proposto por esses autores, o período de chaveamento (T) do capacitor, considerando-se os parâmetros de estimulação adotados, seria conforme calculado pela Equação 2.1. A capacitância C com o valor $1pF$ foi assumida como razoável para integração em circuito integrado, e a excursão de tensão permitida (ΔV) é a máxima possível, utilizando a tecnologia CMOS apresentada na Seção 2.3.

$$T = \frac{C \cdot \Delta V}{I_C} = \frac{1pF \cdot 3,3V}{500\mu s} = 6,6ns \quad (2.1)$$

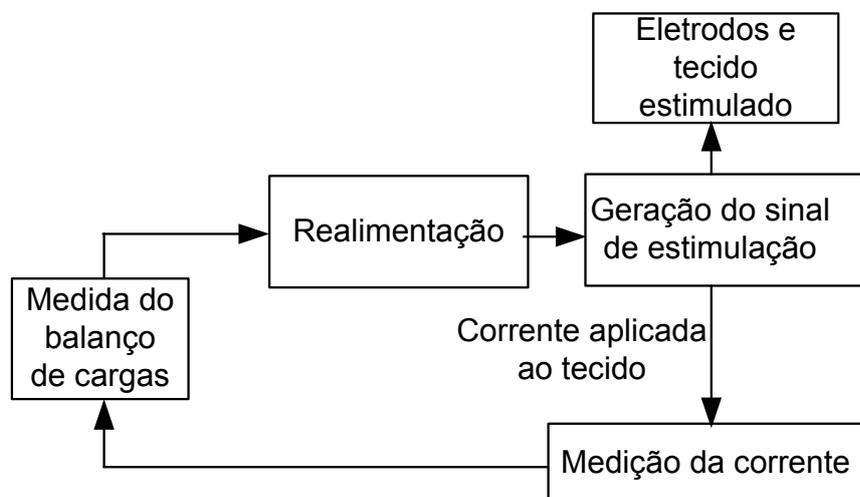


Figura 2.1 – Diagrama de blocos de um sistema para balanço de carga

A partir do resultado da Equação 2.1 pode-se calcular a frequência de chaveamento dos capacitores, o inverso do período T , a qual excede $150MHz$, a frequência mínima de operação do circuito controlador. Percebe-se, então, uma restrição de projeto do circuito controlador que também nos sugere resultar em aumento do consumo de potência.

Em função da natureza chaveada da operação da medição da carga adotado por LUAN; CONSTANDINOU (2014), a resolução máxima da medida da carga é limitada pela frequência de chaveamento dos capacitores. A máxima resolução de medida de carga utilizando capacitores chaveados a esta frequência é $3.3pC$, carga injetada no período (T) de $6,6ns$, com a corrente máxima $500\mu A$. Por outro lado, usando-se a cópia de corrente para medição, a resolução máxima é ilimitada em função da operação ser contínua no tempo. A implementação dos blocos de circuito para controle do desbalanço de carga, assim como suas limitações, são apresentadas no Capítulo 3.

2.2 Sistema para controle da tensão residual proposto

O sistema para controle da tensão residual é uma simplificação de uma malha de controle que usa a variável medida na forma de tensão para atuar na geração do estímulo nos ciclos seguintes. O circuito para geração do estímulo aceita realimentação na forma de um sinal de tensão, o que permite remover outros blocos, na malha de realimentação, para tratamento do sinal.

Trabalhos como LO et al. (2013) e SOOKSOOD; STIEGLITZ; ORTMANN (2010) utilizam formas diferentes de atuação, para garantir o controle da tensão residual, mas a malha de controle é construída utilizando um controlador digital, que atua a partir do valor quantizado da tensão residual observada. O sistema proposto em LO et al. (2013) atua na duração dos pulsos gerados, enquanto que, em SOOKSOOD; STIEGLITZ; ORTMANN (2010), insere pulsos de corrente adicionais para compensar a tensão residual observada.

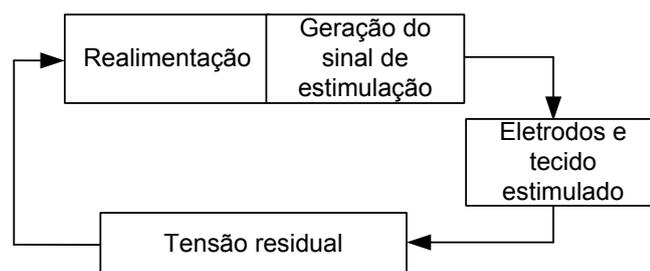


Figura 2.2 – Diagrama de blocos de um sistema para controle da tensão residual

A proposta de sistema para controle da tensão residual é um circuito controlador simplificado, pois a lógica de controle não necessita quantização da tensão residual. Uma realimentação direta aplica a tensão residual na geração do sinal de estimulação, sendo que o único elemento ativo na malha é o circuito de geração do sinal de estimulação (DAC). Tanto este sistema para controle de tensão residual, quanto o sistema para balanço de carga e os blocos comuns a eles são apresentados em detalhes nos Capítulos 3 e 4.

2.3 Tecnologia de circuitos integrados para implementação

Para a simulação dos circuitos e validação das topologias propostas, uma tecnologia de fabricação de circuitos integrados com dispositivos elétricos reais foi escolhida. Essa tecnologia é tipo CMOS e pertence à geração de processo com largura de canal mínima $130nm$. Algumas características interessantes da tecnologia escolhida para essa aplicação e desejáveis na implementação de um circuito para EFS, são apresentadas e comentadas a seguir. A tecnologia para o projeto do circuito e validação é **UMC L130 Mixed-Mode/RF**, que contém características desejáveis não somente a esse circuito projetado, mas para integração com outros blocos de um neuroestimulador, por apresentar os seguintes recursos:

1. existem 8 camadas de metal disponíveis para roteamento: essa característica é interessante para implementação, quando se imagina um circuito controlador e de comunicação digital; em geral, circuitos digitais de maior complexidade exigem diversas camadas de roteamento para permitir uma alta integração.
2. existem duas opções de Poli-silício (*poly*) disponíveis simultaneamente: isso permite que dispositivos de baixa tensão (1,2 V) e média tensão (2,5 V ou 3,3 V) sejam integrados na mesma pastilha. Dispositivos que operam com tensão mais baixa, 1,2 V, permitem implementar circuitos digitais com consumo de potência reduzido. Apesar de existirem dispositivos disponíveis com tensão de bloqueio abaixo do necessário para a aplicação (10 V), a característica de *triple well* permite lidar com tais níveis de tensão usando essa tecnologia.
3. pode ser construído poço triplo em transistores tipo N (*triple well*): essa estrutura permite isolar MOSFETs tipo N do substrato, característica interessante, pois permite empilhar transistores de menor tensão de bloqueio, com o objetivo de obter uma tensão de bloqueio maior (sendo a soma das tensões de bloqueio de todos os transistores empilhados).

4. *Multi-Metal Capacitor*: é possível a construção de capacitores lineares tipo metal-metal com densidades de capacitância bem determinadas $1fF - 1.5fF - 2fF/\mu m^2$.
5. essa tecnologia contém dispositivos projetados especificamente para aplicações que envolvam radiofrequência; tão importante quanto isso é a atenção para modelos e caracterização de elementos parasitas fornecidas pelo fabricante. Essa característica é relevante para a integração de circuitos de comunicação na mesma pastilha.

3 CIRCUITO PARA BALANÇO DE CARGA

O circuito para EFS, estudado neste capítulo, implementa a metodologia proposta de controle e equilíbrio de carga, com objetivo de cumprir o requisito de balanço de carga apresentado na seção 1.1.4.1. Todos os blocos descritos são voltados para fabricação em circuito integrado, agregando técnicas para reduzir a sensibilidade ao descasamento entre dispositivos e o consumo de energia. Blocos desse circuito também são usados no circuito para controle de tensão residual descrito no Capítulo 4.

A metodologia de balanço de carga apresentada é um aperfeiçoamento daquela proposta por RODRIGUES et al. (2013). O formato para pulsos de estimulação, definidos na seção 1.2.2, é adotado para esse circuito. Essa topologia, por sua vez, propõe utilizar a cópia da corrente para estimar o desbalanço de carga.

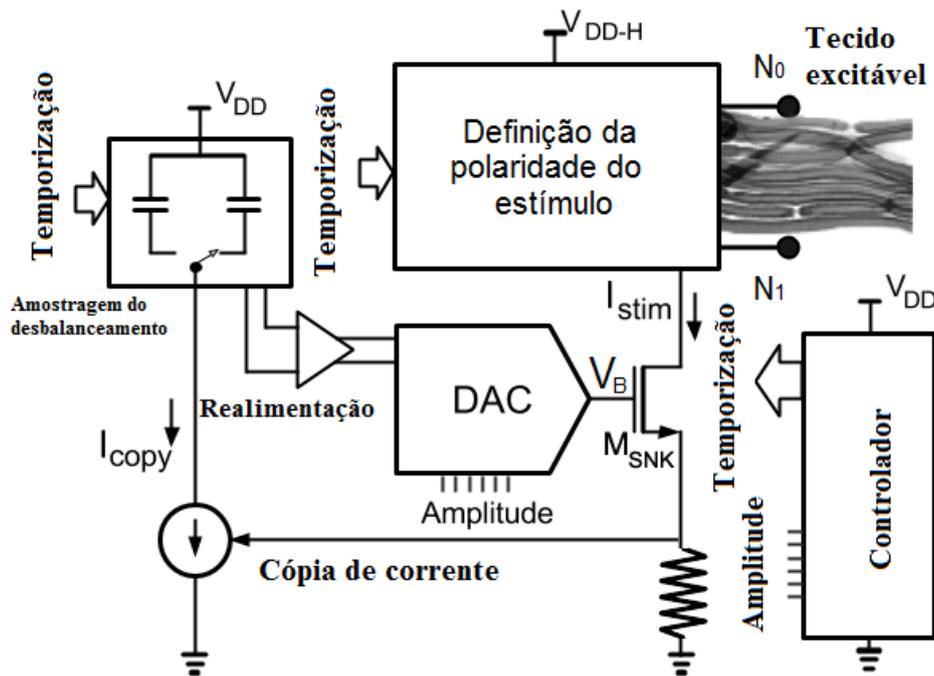


Figura 3.1 – Sistema para controle e equilíbrio da corrente.

Nesse sentido, a Figura 3.1 apresenta o sistema proposto em diagrama de blocos. De forma simplificada, sua função é gerar um sinal de estimulação bifásico com amplitudes de correntes definidas pela entrada digital (Amplitude). A saída do sistema são os pulsos de corrente gerados usando uma sequência de polaridades bem definida. Esses são aplicados aos eletrodos, que estimulam o tecido alvo da aplicação.

A atuação do sistema para controle do desbalanço de carga é feita através da medida

da carga real injetada nos eletrodos, possível por meio da cópia da corrente nos terminais de saída. A partir dessa medição, atua-se na geração dos pulsos, por meio de um caminho de realimentação. Essa malha de controle tem as partes e operação descritas a seguir.

3.1 Controle da intensidade do estímulo gerado

Para controlar a intensidade dos pulsos de corrente gerados, usa-se um conversor Digital para Analógico (DAC). A intensidade do pulso de corrente é determinada por meio da escolha da palavra de configuração digital.

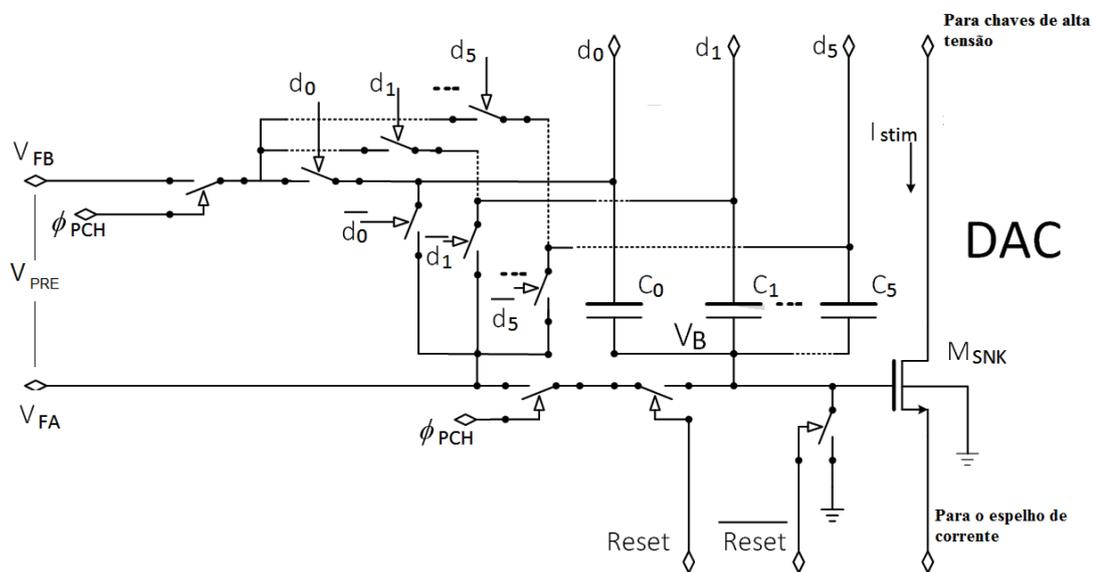


Figura 3.2 – Arquitetura do conversor digital para analógico

Desse modo, o DAC escolhido é do tipo redistribuição de carga (*charge redistribution*, CR), e o circuito é mostrado na Figura 3.2. Este é formado por um arranjo de chaves, um banco de capacitores com capacitância em escala binária (C_0 a C_5) e um transistor MOSFET (M_{SNK}). Cada capacitor é equivalente a um bit da palavra de configuração, com capacitância proporcional ao peso binário deste bit.

A operação do circuito DAC tipo CR é dividida em quatro fases: configuração, pré-carga, redistribuição e geração do pulso. A configuração é a definição da palavra digital por meio do barramento binário d_0 a d_5 . Na fase de pré-carga (ϕ_{PCH} ativo) os capacitores equivalentes aos bits, em nível alto da palavra de configuração, são carregados com uma tensão determinada (V_{PRE}). V_{PRE} equivale à diferença na tensão entre os nós V_{FA} e V_{FB} na figura.

Os outros capacitores são descarregados. Na fase de redistribuição de carga, os terminais dos capacitores equivalentes a bits em nível alto são ligados à alimentação mais positiva (V_{REF}), e o restante é ligado ao terra. Neste sentido, V_{REF} é o nível de tensão representado por nível lógico alto. Durante essa fase, a tensão no terminal comum a todos os capacitores (V_B) é definida pela redistribuição das cargas entre os capacitores. A tensão de polarização V_B é ligada ao terminal de porta (*gate*) do MOSFET M_{SNK} . A fase de geração do pulso ocorre enquanto V_B for mantida, sendo que essa fase define a duração dos pulsos aplicados na estimulação.

A pré-carga, por sua vez, é realizada com V_{PRE} somente nos capacitores cujos bits corresponderão a nível lógico alto, enquanto que os outros capacitores são descarregados. Nessa condição, a tensão V_B gerada é de acordo com a Equação 3.1.

$$V_B = \frac{C_1}{C_1 + C_0} \cdot V_{REF} + \frac{C_1}{C_1 + C_0} \cdot V_{PRE} \quad (3.1)$$

Na Equação 3.1, V_{REF} é o valor de tensão na qual são conectados os capacitores equivalentes aos bits com nível lógico alto, na fase de redistribuição de carga. Assim, V_{PRE} é a tensão de pré-carga existente nesses capacitores; C_1 é a capacitância total somada dos capacitores ligados aos bits com nível lógico alto, para a palavra de configuração digital selecionada; C_0 é a soma das capacitâncias dos capacitores ligados aos bits de nível lógico baixo e do *gate* de M_{SNK} . O intervalo de tensões possíveis em V_B vai de 0 V e aproxima-se de $V_{REF}+V_{PRE}$, limitado pela capacitância do *gate* de M_{SNK} .

O MOSFET M_{SNK} tem canal tipo N, identificado na Figura 3.2. Quando esse opera em saturação, a conversão entre a tensão V_B e a corrente de dreno desse dispositivo depende do limiar de ativação (V_{TH}) e dos parâmetros geométricos do transistor, de acordo com a Equação 3.2.

$$I_D = \frac{\mu_N \cdot C_{OX}}{2} \frac{W}{L} (V_{GS} - V_{TH})^2 \quad (3.2)$$

Na Equação 3.2, μ_N representa a mobilidade dos elétrons no canal, C_{OX} a capacitância do óxido que separa o terminal *gate* do substrato, W a largura do canal, L o comprimento do canal. V_{GS} é a tensão entre os terminais *gate* e fonte e V_{TH} é a tensão de limiar (*threshold*).

A impedância de saída do circuito depende do parâmetro r_o desse dispositivo, calculado conforme mostrado na Equação 3.3. A tensão, no dreno do transistor, deve ser maior que um mínimo V_{sat} , para que esse opere saturado, com o comportamento aproximado de uma fonte de corrente. Os parâmetros desse transistor e o intervalo de tensão que V_B pode atingir determinam

os limites da corrente máxima gerada.

$$r_o = \frac{1}{\lambda \cdot I_D} \quad (3.3)$$

Na Equação 3.3, I_D é a corrente de dreno do transistor e λ é o parâmetro de modulação de comprimento de canal; este relaciona canais mais curtos (menor comprimento L) com menores valores de impedância de saída. Na figura 3.1, o circuito de cópia de corrente aparece em série com o M_{SKN} , e a queda de tensão sobre aquele é pequena se comparada com V_B , por isto será ignorada na análise do sistema DAC. V_B é sempre maior que V_{th} para correntes maiores que $50\mu A$ (requisito de projeto), enquanto que, na tecnologia escolhida $V_{th} > 0,65$ V, a queda de tensão máxima sobre o circuito de cópia de corrente é 5 mV (menos que 1% da tensão V_B mínima). A relação que leva à tensão máxima, no terminal de fonte do transistor M_{SKN} apresentada na Seção 3.3, tem seu dimensionamento dependente do circuito de cópia de corrente.

Uma característica importante deste circuito DAC é a possibilidade de configuração pela palavra digital e também uso da tensão V_{PRE} para definir a corrente de saída. O menor passo, para alterar a corrente de saída através da modificação da palavra de configuração, depende do número de bits desta (resolução máxima). Por outro lado, como a tensão V_{PRE} é uma quantidade analógica, esta permite que a variação causada na corrente de saída seja controlada como uma variável contínua. Esta relação entre a tensão V_{PRE} e a corrente de saída I_D é usada como caminho para realimentação no circuito proposto.

O aumento da impedância de saída é conseguido com aumento proporcional das duas dimensões de M_{SKN} , no entanto, assim também se aumenta a capacitância do *gate* de M_{SKN} . Para um mesmo valor máximo de V_B desejado, a relação entre C_1 e C_0 deve ser mantida. Quanto maior a capacitância do *gate* desse dispositivo, maior a componente C_0 , conforme mostrado na Equação 3.1, e menor a tensão máxima que o conjunto de capacitores irá gerar no processo de redistribuição de carga. Dessa forma, então, é limitada a impedância de saída, no dimensionamento do circuito DAC, pois, se deseja menor capacitância do *gate*, para evitar o aumento dos capacitores do banco binário (geração de V_B).

Como existe uma malha de controle de desbalanço de carga operando no sistema em que está inserido o DAC, a impedância de saída deste será compensada pela ação de controle. Então, visando a redução da área de circuito para implementação dos capacitores do banco binário, é desejada a redução das dimensões de M_{SKN} , mantendo-as mínimas, para que seja atingida a

corrente máxima especificada, $500\mu A$.

3.2 Polaridade do estímulo

A polaridade do estímulo aplicada à carga é determinada por uma "ponte H", constituída de chaves de maior tensão de bloqueio, sendo essa estrutura com interruptores, é representada na Figura 3.3, capaz de aplicar o pulso de corrente controlado pelo DAC nas duas polaridades entre os terminais da carga. As duas polaridades de estímulo possíveis são: primeira ativando HV_{A0} e HV_{B1} e segunda ativando HV_{B0} e HV_{A1} .

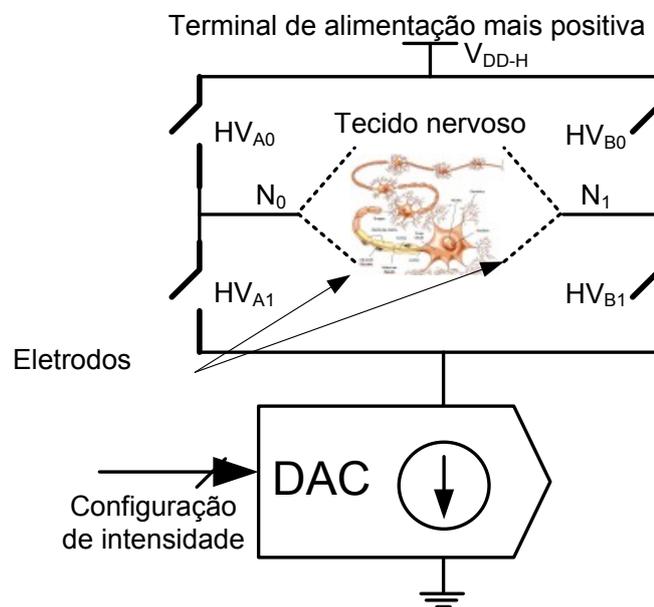


Figura 3.3 – Estrutura da ponte H para determinação da polaridade do estímulo na carga

Adotando esta estrutura de interruptores, evita-se a necessidade de construir duas fontes de corrente (uma ligada à alimentação mais positiva e outra ao terra) para gerar pulsos iguais. Tanto pulsos catódicos como anódicos são gerados pelo mesmo circuito, o que reduz o desbalanceamento entre os pulsos gerados devido ao descasamento entre elementos de dois circuitos DAC.

Outra configuração possível é ativação de HV_{A0} e HV_{B0} ou HV_{A1} e HV_{B1} , simultaneamente; no caso de ativação em conjunto de qualquer um desses dois pares de interruptores, é feito o curto-circuito entre os terminais da carga (tecido). A técnica de balanceamento de cargas através do curto-circuito dos terminais, após a estimulação, não será explorada neste trabalho, mas a estrutura permite também essa configuração. É possível ainda bloquear qualquer corrente entre esses terminais, com a estrutura de "ponte H", desligando os quatro interruptores; nesta configuração, a corrente resultante na carga é somente a corrente de fuga desses.

A maior tensão de bloqueio que as chaves devem suportar corresponde à maior tensão aplicada aos terminais dos eletrodos e à tensão de alimentação do circuito, quando todos os interruptores estão em bloqueio. A maior tensão, nos terminais dos eletrodos, foi definida conforme apresentada na Seção 1.2.3, para que a corrente máxima de saída do circuito especificada seja possível.

A forma de implementação dos interruptores para alta tensão (esta de alimentação máxima) pode ser realizada empilhando dispositivos de menor tensão de bloqueio, de acordo com a ilustrada na Figura 3.4, e conforme implementação já relatada com sucesso por RODRIGUES et al. (2013). Essa proposta já é utilizada largamente em eletrônica de potência, com dispositivos discretos, e pode ser aplicada também a circuitos integrados, seguindo as mesmas regras. É garantido por projeto que a tensão máxima de bloqueio, durante a operação, em cada dispositivo da pilha, é a sua tensão nominal, e a tecnologia de fabricação deve permitir a construção tanto de transistores NMOS como (naturalmente) PMOS isolados do substrato.

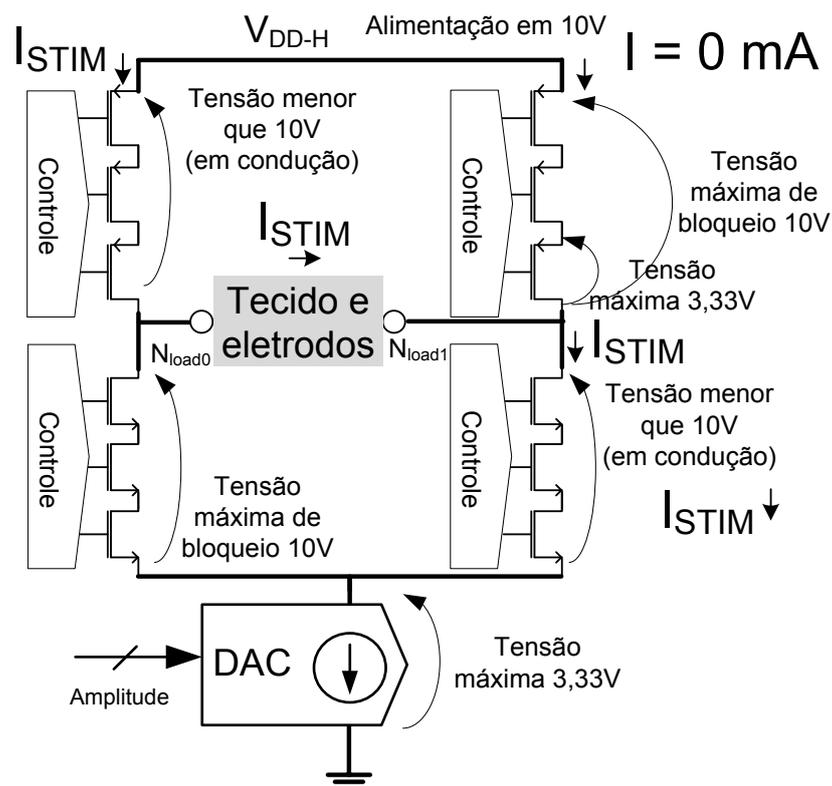


Figura 3.4 – Estrutura da ponte H com interruptores implementados por dispositivos empilhados

A Figura 3.4 ilustra a forma de construção de interruptores formados por dispositivos empilhados, bem como as tensões aplicadas a cada interruptor que é distribuída entre os dispositivos. O sentido da corrente I_{STIM} exemplifica a carga fluindo em um dos sentidos, para o

qual as tensões suportadas por cada interruptor são indicadas.

O uso dessa estrutura com dispositivos empilhados permite também que o DAC e a instrumentação sejam implementados com transistores de baixa tensão referenciados ao terra. Quando em condução os dispositivos empilhados suportam toda a tensão que excede 3,3V, nos terminais do DAC, porque é formada uma estrutura tipo *cascode* com o transistor M_{SKN} do DAC. Neste sentido, a Figura 3.5 mostra como a ponte H opera em série com o transistor M_{SKN} pertencente ao DAC. Sendo a tensão V_{COND} constante enquanto que este braço está em condução, forma-se a estrutura tipo *cascode* no dreno de M_{SKN} . Neste, a condição que garante a tensão máxima não ultrapassar 3,3V é: V_{COND} deve ser limitada a 3,3 V mais a tensão V_{GS} de M_A em condução.

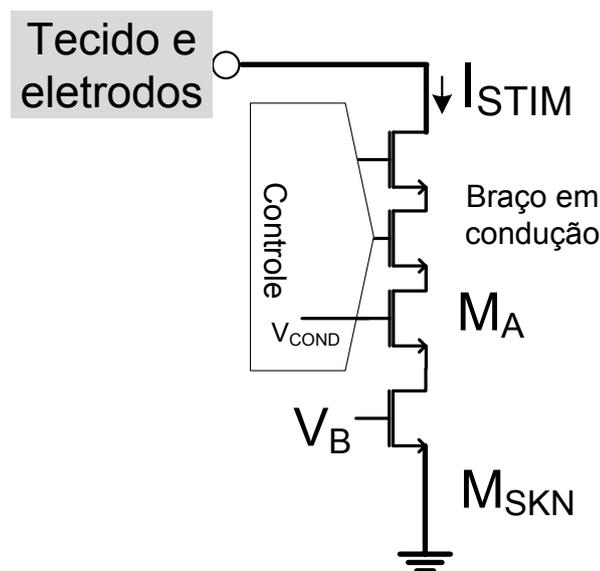


Figura 3.5 – Dispositivos empilhados em série com transistor M_{SKN} (DAC)

3.3 Cópia da corrente

Para controlar o balanço da carga, é necessária a medição da corrente nos eletrodos, a qual, permite gerar uma estimativa da carga total aplicada. A cópia da corrente aplicada, no tecido, é efetuada para que seja possível replicar o mesmo estímulo à carga em escala reduzida. Esta escala é inserida no processo de cópia da corrente e possibilita, assim, menor consumo de energia e também redução do tamanho dos componentes integrados no circuito. A topologia de circuito, para cópia da corrente adotada, resulta em uma menor queda de tensão em série com a

corrente medida (esta circula pelo eletrodo), o que também permite menor perda de energia em função da medida.

O valor absoluto da relação de cópia não é fator crítico nessa arquitetura proposta, pois a redução na escala existe somente visando diminuir o tamanho necessário de outros componentes e a excursão da tensão em determinados sinais. A medida realizada não tem como objetivo a obtenção de um valor absoluto, mas deseja-se determinar se o desbalanço entre dois pulsos consecutivos é positivo ou negativo. Deste modo, essa informação é suficiente para que a malha de controle realize a compensação, no sentido oposto do desbalanço de carga observado.

O período do ciclo completo de operação não passa de $20ms$, durante o qual, em $1ms$ ocorre, a aplicação de estímulo e a medição da corrente (dois pulsos de duração $500\mu s$). Dessa forma, a variação na relação de cópia, durante a aplicação dos pulsos causada pela mudança da temperatura do circuito, será desconsiderada, pois os dois pulsos ocorrem com os dispositivos do circuito operando na mesma temperatura. A variação na temperatura do circuito, durante o período de operação, não será considerada na análise.

O método clássico de cópia de corrente, conhecido como *current steering*, usa um dispositivo MOSFET de tamanho múltiplo em série com cada uma das correntes, a ser copiada e a resultante. Esse método é normalmente adotado quando se deseja uma relação precisa de cópia, independentemente de fatores como variabilidade na fabricação (métodos para melhorar a similaridade dos dispositivos são usados) e variação de temperatura (os dois dispositivos operam à mesma temperatura e têm os mesmos coeficientes de temperatura). No entanto, a corrente a ser copiada deve fluir por um dispositivo MOSFET, com os terminais dreno e *gate* conectados juntos (conexão diodo), sendo que a tensão entre *gate* e fonte (V_{GS}) resultante pode ser usada para reproduzir a mesma corrente, em outro MOSFET de tamanho proporcional que recebe a mesma tensão V_{GS} . Esta será maior que a tensão de limiar (*threshold*, V_{TH}) do dispositivo, em conexão diodo, o que representa em torno de $0,7\text{ V}$ em tecnologias de fabricação de circuitos CMOS convencionais. A potência mínima dissipada, neste dispositivo (P_{MOSFET}), pode ser calculada pela Equação 3.4, I_{STIM} é a corrente que flui pelos eletrodos e pelo dispositivo MOSFET.

$$P_{MOSFET} = V_{TH} \cdot I_{STIM} \quad (3.4)$$

Para evitar inserir um transistor em conexão diodo em série com ramo principal de estimulação (maior corrente), tendo em vista economia de energia, escolheu-se um método de cópia da corrente baseado na cópia de um valor de tensão entre dois nós. Neste sentido, a

tensão de cada nó é correspondente a uma das duas correntes: de entrada (flui pelos eletrodos) ou de saída (resultado da cópia). O diagrama do circuito de cópia escolhido é apresentado na Figura 3.6, em que estão os nós X_1 de entrada, que recebe a corrente a ser copiada (I_{STIM}), e o nó X_2 , no qual é injetada a corrente resultante da cópia (I_{COPY}), esta fluindo por R_2 .

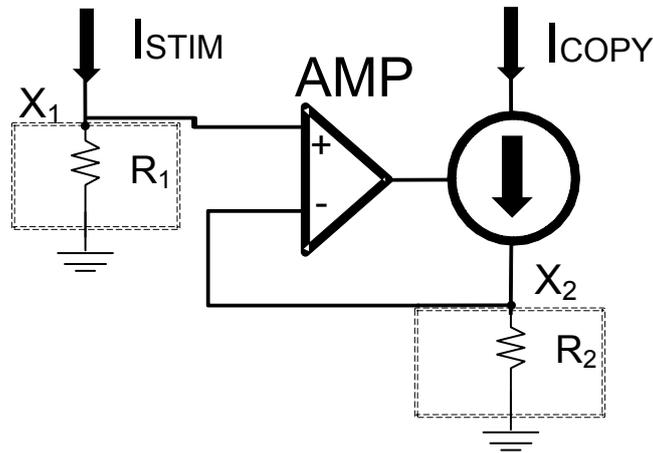


Figura 3.6 – Diagrama de blocos para circuito de cópia de corrente

$$Rel_{COPIA} = \frac{I_{COPY}}{I_{STIM}} = \frac{R_1}{R_2} \quad (3.5)$$

A tensão, no nó X_1 (V_{X1}), ocorre em série com os terminais dos eletrodos, logo existe dissipação de energia no resistor R_1 de acordo com:

$$P_{R1} = V_{X1} \cdot I_{STIM} \quad (3.6)$$

O dimensionamento da tensão V_{X1} pode ser feito de acordo com o valor de resistência de R_1 , conforme a Equação 3.7. O possível dimensionamento desta tensão é uma vantagem com relação ao método de *current steering*, pois a tensão no nó X_1 pode ser menor que V_{TH} , reduzindo a perda de energia devido à cópia da corrente.

$$V_{X1} = R_1 \cdot I_{STIM} \quad (3.7)$$

A vantagem da definição da relação de cópia pelos resistores R_1 e R_2 é outro grau de liberdade existente. Este permite que se possa implementar qualquer relação de cópia e também definir a tensão desejada no nó X_1 . A razão entre as correntes (Rel_{COPIA}) é dada de acordo com a Equação 3.5, quando é assumido que os nós X_1 e X_2 , no circuito da Figura 3.6, têm a mesma tensão. Esta igualdade entre as correntes é conseguida com a amplificação da diferença

entre as duas tensões para controle da fonte de corrente ligada ao nó X_1 do circuito. Para isso, é usado o amplificador operacional identificado por AMP .

3.3.1 O amplificador diferencial

O valor de V_{X1} máximo 5 mV foi escolhido para implementação, considerando a corrente máxima do estímulo a ser copiada $I_{STIM} 500\mu A$. Logo, a topologia de amplificador operacional com dispositivos de entrada tipo PMOS é apropriada, pois pode operar quando a tensão de entrada se aproxima do terra do circuito. O amplificador operacional implementado no circuito, mostrado na Figura 3.7, é formado pelos transistores M_{SM} , M_{1M} , M_{2M} , M_{3M} e M_{4M} . O sinal de saída resultado da operação é a tensão no nó N_D . Uma topologia de amplificador diferencial, com saída em somente um sinal (*single ended*), foi adotada, pois não são necessários dois sinais para controle da fonte de corrente (MOSFET M_{7M}). O uso da carga para o circuito amplificador como um espelho de corrente, formado por M_{3M} e M_{4M} , permite o aumento do ganho e evita a necessidade de um circuito para polarização da carga.

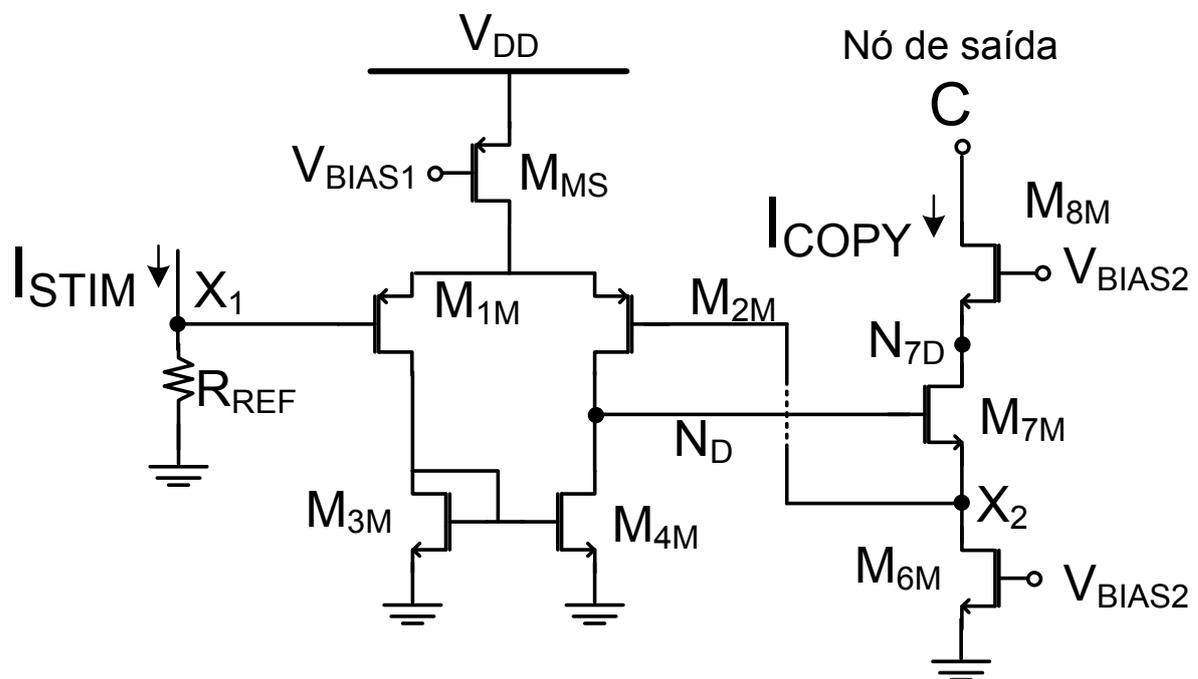


Figura 3.7 – Implementação do espelho de corrente.

A diferença entre as tensões V_{X1} e V_{X2} é amplificada pelo amplificador formado pelo par diferencial M_{1M} e M_{2M} (transistores iguais). A tensão diferencial ΔV_X ($V_{X1} - V_{X2}$) é convertida para uma variação de corrente de polarização de M_{1M} e M_{2M} (I_{M1} e I_{M2} , respectivamente). A corrente total $I_{M1} + I_{M2}$ é mantida, pois M_{MS} opera como uma fonte de corrente em região

de saturação. A tensão de polarização do terminal de *gate* de M_{MS} é gerada por um circuito externo, somente para polarização não explorada neste trabalho. A diferença das correntes I_{M1} e I_{M2} que é aplicada sobre os transistores M_{3M} e M_{4M} (transistores iguais), conectados como espelho de corrente, resulta em variação da tensão do *gate* de M_{7M} .

Para esta topologia de amplificador diferencial, o ganho entre as tensões de entrada (nós X_1 e X_2) e o nó N_D é dado pela Equação 3.8, na qual r_{o2} é a impedância vista do terminal de dreno de M_{2M} , r_{o4} é a impedância vista do terminal de dreno de M_{4M} e gm_{m12} , a transcondutância dos transistores M_{1M} e M_{2M} .

$$G = \frac{r_{o2} \cdot r_{o4}}{r_{o2} + r_{o4}} \cdot gm_{m12} \quad (3.8)$$

3.3.2 Resistência equivalente a R_2

A desvantagem da arquitetura de circuito para cópia de corrente adotada é a necessidade de implementação de dois resistores com razão entre suas resistências igual à relação de cópia de corrente desejada. A relação de cópia adotada está entre 1/200.000 e 1/500.000, para viabilizar a aplicação de capacitores integrados no circuito (relação entre corrente e os capacitores é esclarecida na seção 3.4). A resistência R_1 10 Ohms foi escolhida, considerando isto e a relação de cópia desejada, um resistor R_2 entre 2 a 5 MOhm é necessário.

Quanto à viabilidade de implementação do resistor R_2 , considerando a disponibilidade de camadas de material de alta resistividade, na tecnologia CMOS escolhida, um valor típico para resistência de folha é $10kOhm$ por quadrado. O dispositivo para implementar essa resistência deve ter razão geométrica entre largura e comprimento entre 1 para 200 e 1 para 500. Como solução para evitar a implementação do resistor descrito, foi proposta uma alteração no circuito. O circuito apresentado na Figura 3.6 foi adaptado para implementação, usando-se no lugar do resistor R_2 , um dispositivo MOSFET, conforme mostrado na Figura 3.7, que corresponde a M_{6M} .

A tensão entre dreno e fonte (V_{DS}) de M_{6M} é a tensão V_{X1} determinada pela corrente de estimulação máxima I_{STIM} e valor do resistor R_1 . O dimensionamento de V_{X1} é tal que M_{6M} opere na região triodo, sendo que para isso $V_{DS} < V_{GS} - V_{TH}$. Nessa condição de operação, a impedância vista no terminal de dreno é praticamente constante, o que resulta em um comportamento semelhante a um resistor. A relação de cópia do circuito modificado é conforme a Equação 3.9.

$$Rel_{COPIA} = \frac{I_{COPY}}{I_{STIM}} = \frac{R_{REF}}{R_{eqM_{6M}}} \quad (3.9)$$

Na Equação 3.9 $R_{eqM_{6M}}$ é a resistência equivalente observada no dreno do transistor M_{6M} , R_{REF} é a resistência pela qual a corrente a ser copiada (I_{STIM}) circula. I_{COPY} é a corrente resultante da cópia. O valor da resistência $R_{eqM_{6M}}$ é caracterizado pela operação do dispositivo MOSFET na região triodo. Desse modo, a resistência observada entre os terminais de dreno e fonte é

$$R_{eqM_{6M}} = \frac{V_{DS}}{I_{DS}} = \frac{V_{DS}}{\mu_N \cdot C_{OX} \frac{W}{L} [(V_{GS} - V_{TH}) \cdot V_{DS} - \frac{1}{2} V_{DS}^2]} \quad (3.10)$$

A corrente de dreno (I_{DS}) é dada em função da tensão entre dreno e fonte (V_{DS}) do dispositivo. No entanto, quando a relação entre os fatores é tal que $(V_{GS} - V_{TH}) > 10 \cdot V_{DS}$, pode-se aproximar a Equação 3.10 como

$$R_{eqM_{6M}} = \frac{1}{\mu_N \cdot C_{OX} \frac{W}{L} (V_{GS} - V_{TH})} \quad (3.11)$$

Utilizando um dispositivo NMOS para implementação de M_{6M} da tecnologia de fabricação de circuitos integrados escolhida, adota-se a relação W/L igual a 0,05 e corrente $2.5nA$, então, V_{TH} é igual a $0,378V$ e a tensão V_{GS} necessária é $0,463V$. Nessa condição, a relação da equação 3.11 é válida, e esse dispositivo tem resistência $R_{eqM_{6M}}$ equivalente a $7G\Omega$.

3.3.3 Fonte de corrente

O transistor M_{7M} opera como uma fonte de corrente controlada pela diferença ampliada entre as tensões V_{X1} e V_{X2} . A corrente máxima que resulta da cópia de $500 \mu A$ com uma relação $1/200.000$ é $2,5 nA$. M_{7M} , desse modo, opera na região de sub-threshold. Logo, a corrente de dreno do transistor é dada por

$$I_{M7} = I_{D0} \frac{W}{L} e^{\frac{V_{GS}}{\zeta V_T}} \quad (3.12)$$

Na equação 3.12 V_T vale aproximadamente $0,026V$ e ζ é um fator de não idealidade maior que 1. A tensão do nó N_2 controla a fonte de corrente formada pelo transistor M_{7M} , o qual forma um estágio tipo seguidor de fonte com o transistor M_{6M} . O ganho de tensão entre N_2 e V_{X1} é dado por

$$G = \frac{\Delta V_{X1}}{\Delta N_2} = \frac{gm_{M7} \cdot R_{eqM6M}}{1 + (gm_{M7} + gmb_{M7}) R_{eqM6M}} \quad (3.13)$$

$$gm_{M7} = I_{D0} \frac{\zeta V_T}{V_{GS}} \frac{W}{L} e^{\frac{V_{GS}}{\zeta V_T}} \quad (3.14)$$

Então, a resistência equivalente de R_{eqM6M} define a relação de cópia de corrente do circuito (Equação 3.9) e também influencia no ganho de tensão da malha de controle formada pelo amplificador operacional e M_{7M} .

3.3.4 Impedância de saída

A característica do circuito que relaciona a variação da corrente em função da variação da tensão, em um nó do circuito, é a impedância daquele nó, a qual é definida pela Equação 3.15. A impedância observada no nó N_{7D} do circuito é característica de um estágio tipo *cascode* ativo, o que considera a tensão do nó X_1 constante. O amplificador operacional, com ganho G definido de acordo com a Equação 3.8, tem papel importante na determinação da impedância de saída do circuito. A fim de que M_{7M} opere saturado, a tensão do nó N_{7D} deve ser maior que a de saturação de M_{7M} somada à tensão máxima do nó X_2 . Para esse estágio amplificador, a impedância r_o característica é calculada em função dos parâmetros dos dispositivos elétricos de acordo com a equação 3.16.

$$r_o = \frac{\Delta V}{\Delta I} \quad (3.15)$$

$$r_{o7} = [gm_{7M}(G + 1) + gmb_{7M}] \cdot r_{o7M} \cdot R_{eqM6M} + R_{eqM6M} + r_{o7M} \quad (3.16)$$

A equação 3.16 mostra que a impedância do nó N_{7D} do circuito (r_{o7}) é a soma da resistência do transistor M_{7M} e R_{eqM6M} com um outro fator também dependente de gm_{7M} e gmb_{7M} . O fator gm_{7M} é dependente e limitado pela corrente nesse transistor, conforme a Equação 3.14. Com a corrente de $1,98nA$, neste transistor gm_{7M} tem valor $60nS$ (para a relação W/L 0,05), gmb_{7M} é igual a $22nS$, r_{o7M} é igual a $7,81G\Omega$ e o ganho diferencial G vale 90, valores esses obtidos em simulação. Assim a resistência de saída é limitada a aproximadamente $106,3G\Omega$ (calculado pela Equação 3.16) e $100,9G\Omega$ (observado em simulação) para tensão de saída 1 V.

Para aumentar a impedância de saída do circuito de cópia de corrente, uma estrutura tipo *cascode* é adicionada ao terminal de saída, usando o MOSFET M_{8M} , como apresentado anteriormente na Figura 3.7. A tensão do nó de saída (nó C) do circuito deve ser maior que a soma das tensões de saturação de M_{7M} e M_{8M} , para que os dois dispositivos operem com comportamento de fonte de corrente. Quando a estrutura *cascode* ativa é adicionada ao circuito, a impedância observada no terminal de saída do circuito (r_o), é

$$r_{oCC} = [1 + (gm_{8M} + gmb_{8M}).r_{o7}] .r_{o8M} + r_{o7} \quad (3.17)$$

gm_{8M} e r_{o8M} podem ser definidos pelos parâmetros geométricos de M_{8M} e não afetam o ganho da fonte de corrente formado por M_{7M} . O gm_{8M} é limitado pela corrente no terminal de dreno. Para a resistência do nó $N_{7D}(r_{o7})$ igual a $100,9G\Omega$ e adotando-se M_{8M} com gm_{8M} igual a $73,2nS$, gmb_{8M} $20,4nS$ e r_{o8M} $1,26G\Omega$, a resistência do terminal de saída do circuito é $12,73T\Omega$ (calculada), observada em simulação igual a $11,96T\Omega$.

A limitação na medida do desbalanceamento de carga imposta pela baixa impedância de saída desse circuito é discutida na Seção 3.4.

3.3.5 Erro na cópia de corrente devido à limitação do ganho

A limitação do ganho do amplificador diferencial e fonte de corrente M_{7M} resulta em um erro na cópia de corrente. Para análise do valor desse erro, pode-se usar a modelagem do circuito de cópia de corrente como uma malha de controle, na qual o ganho G representa o produto do ganho do amplificador operacional e da fonte de corrente (da tensão do nó N_D para V_{X2}), V_{X1} é a tensão de entrada e V_{X2} , de saída.

A tensão no nó N_D depende diretamente da corrente de polarização, definida por M_{5M} , e da tensão em M_{3M} em conexão diodo (acima do *threshold* de M_{3M}), quando V_{X1} e V_{X2} são iguais. Para diminuição da corrente de saída do circuito, como M_{7M} opera na região de *subthreshold*, a tensão no nó N_D deve ser reduzida a muito menos do que o *threshold* de M_{7M} . A diferença na tensão em N_D nessas duas situações é considerada uma perturbação que deve ser vencida pela malha de controle. A fim de modelar essa perturbação, o fator P é adicionado à malha de controle, conforme representado na Figura 3.8.

Nesta malha de controle, a tensão de saída é calculada por

$$V_{X2} = \frac{P}{1 + G} + \frac{G}{1 + G} V_{X1} \quad (3.18)$$

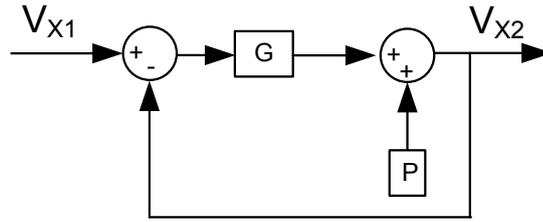


Figura 3.8 – Malha de controle que representa o circuito de cópia de corrente.

Na Equação 3.18, percebe-se que a componente da tensão de saída, devido à perturbação (P), é reduzida com o aumento de G . Como existe diferença entre as tensões V_{X1} e V_{X2} , a corrente de saída não respeita perfeitamente a relação expressa na Equação 3.5, mas se aproxima quanto maior o ganho G . O erro que ocorre na forma de tensão, devido à limitação do ganho, é calculado pela Equação 3.19. O erro que se manifesta na forma de corrente, pela Equação 3.20.

$$EV_G = V_{X1} - V_{X2} = \frac{V_{X1} - P}{1 + G} \quad (3.19)$$

$$EI_G = \frac{EV_G}{R_{eqM_{6M}}} \quad (3.20)$$

Esse erro na forma de tensão é inevitável, visto que o ganho G é finito, no entanto, para reduzir a influência desse erro na estimativa do balanço de carga, uma sequência específica de ciclos de operação é adotada no cálculo, o que é apresentado na Seção 3.4.

3.4 Estimativa do desbalanceamento de carga

A estimativa do desbalanceamento das cargas elétricas injetada e retirada do tecido é feita usando a cópia da corrente de estimulação (I_{STIM}). A cópia gera uma quantidade de carga aproximadamente proporcional à carga real injetada e retirada, em cada fase da estimulação. São utilizados dois capacitores, C_a e C_b , sendo que um é carregado com a carga proporcional ao primeiro semiciclo e o outro, com a carga do segundo semiciclo, conforme ilustrado na Figura 3.9. A diferença entre as tensões dos dois capacitores ($V_{C_a} - V_{C_b}$) é o resultado de desbalanço medido.

O descasamento entre os capacitores é anulado com a inversão da polaridade e semiciclo em que são carregados. Isto é demonstrado pelo cálculo da tensão resultante, em cada capacitor, ao fim de 2 ciclos de estimulação, conforme as Equações 3.21 e 3.22, tomando os valores para corrente constante, em cada pulso ilustrados na Figura 3.10, e mesma duração dos semiciclos

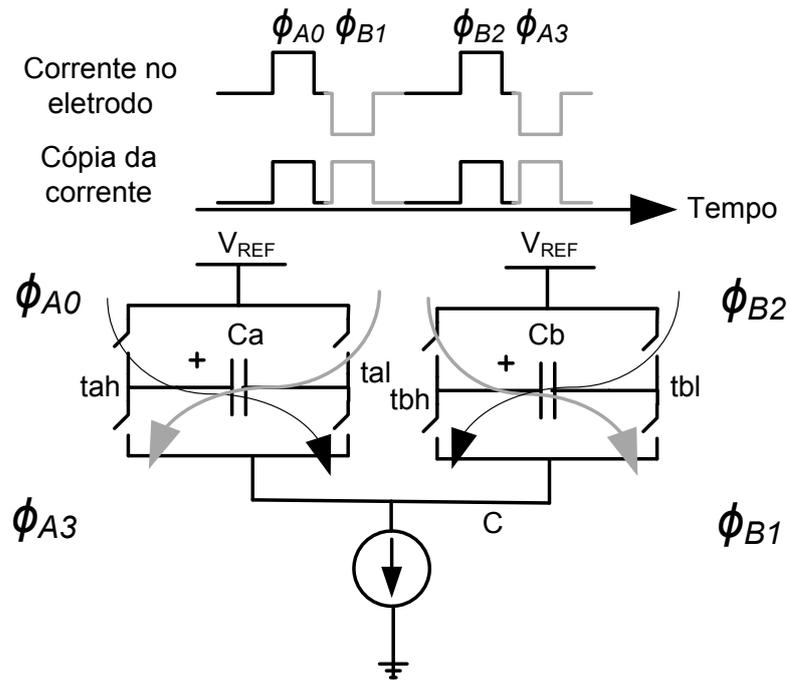


Figura 3.9 – Circuito para injeção de carga nos capacitores de forma alternada

(Δt).

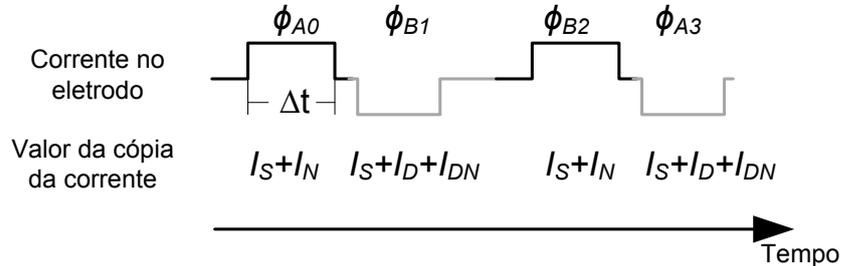


Figura 3.10 – Ilustração de pulsos de corrente com erro devido à não-linearidade e desbalanceamento

$$V_{Ca} = \frac{(I_S + I_N) \cdot \Delta t - (I_S + I_D + I_N) \cdot \Delta t}{C_a} = -\frac{d \cdot \Delta t}{C_a} \quad (3.21)$$

$$V_{Cb} = \frac{(I_S + I_D + I_N) \cdot \Delta t - (I_S + I_N) \cdot \Delta t}{C_b} = +\frac{d \cdot \Delta t}{C_b} \quad (3.22)$$

Nas Equações 3.21 e 3.22, o Δt representa a duração de cada pulso, I_S é a componente devido à intensidade configurada do pulso de corrente, I_D , um valor de corrente que resulta em desbalanceamento de carga e I_N um valor que representa a não-linearidade na cópia de corrente. Observando-se a tensão final de cada capacitor, V_{Ca} e V_{Cb} , pode-se confirmar que não existem componentes relacionados à intensidade da corrente do pulso (I_S) ou erro de não-linearidade na

cópia (I_N), quando a sequência proposta de injeção de carga, nos capacitores, é seguida. Isso é válido independentemente dos valores absolutos das capacitâncias de C_a e C_b . A componente que resta, ao fim dos dois ciclos, é o desbalanceamento de carga existente e sofre influência dos valores absolutos das capacitâncias C_a e C_b .

A Figura 3.11 há o comportamento observado da tensão nos capacitores C_a e C_b . A diferença entre as tensões, nos nós tah e tal , é V_{Ca} , V_{Cb} é a diferença entre as tensões nos nós tbh e tbl . A duração dos semiciclos com relação ao período do estímulo estão exagerados por questão didática. Alterna-se a polaridade do capacitor C_a usado no primeiro (ϕ_{A0}) e o quarto (ϕ_{A3}) semiciclos, e a do capacitor C_b entre o segundo (ϕ_{B1}) e o terceiro (ϕ_{B2}) semiciclos de estimulação. Esta sequência se repete a cada 2 ciclos; o terceiro ciclo ilustrado já é a repetição do primeiro. A tensão resultante do desbalanço de carga é medida entre os nós tal e tbl , enquanto que os nós tah e tbh são mantidos conectados a V_{REF} .

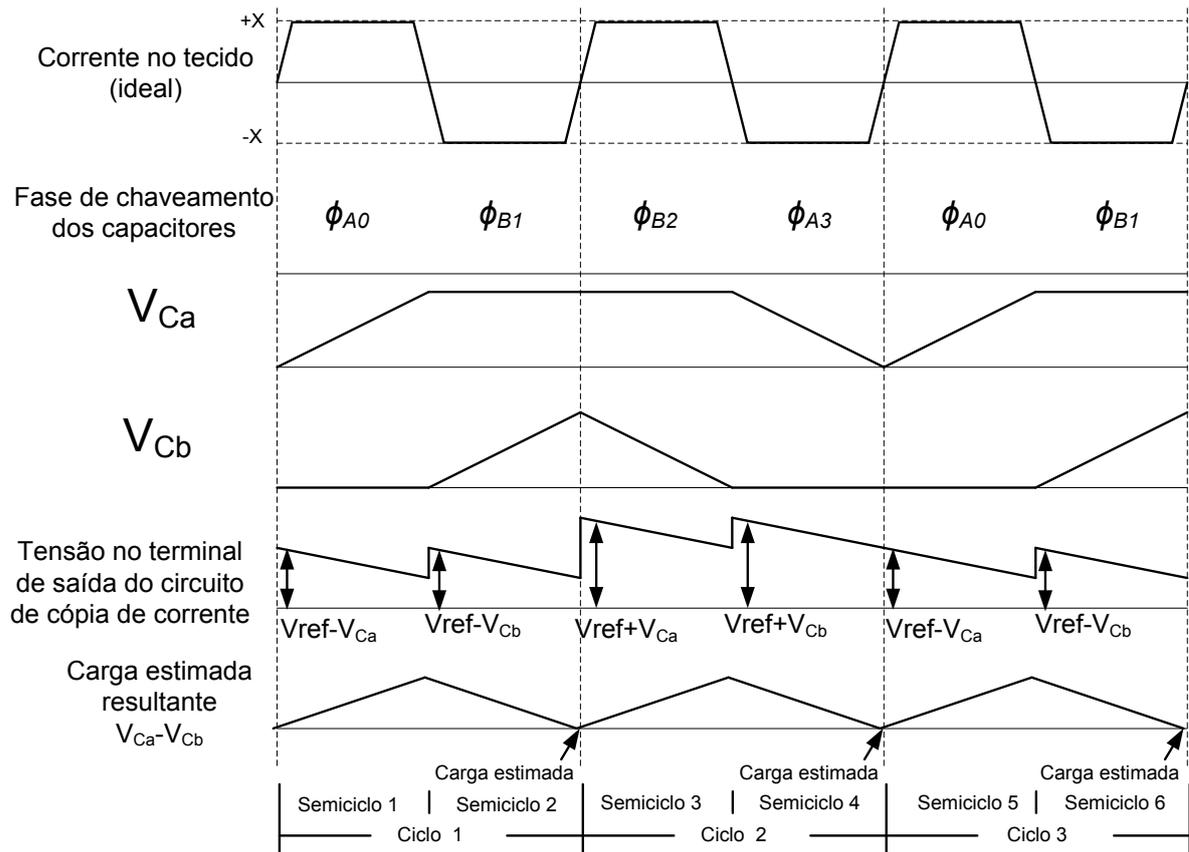


Figura 3.11 – Tensão nos capacitores e no terminal de saída do circuito de cópia de corrente (nó C) com a técnica de estimativa de medida de desbalanceamento proposta

A generalização das Equações 3.21 e 3.22 para pulsos de corrente de formato qualquer é mostrada na Equação 3.11. Já na Equação 3.23 os intervalos $S1$ a $S4$ denotam os semiciclos

1 ao 4.

$$V_{Ca} - V_{Cb} = \frac{\int^{S1} I_{Ca} dt - \int^{S4} I_{Ca} dt}{Ca} - \frac{\int^{S2} I_{Cb} dt - \int^{S3} I_{Cb} dt}{Cb} \quad (3.23)$$

Pode-se observar, ainda na Figura 3.11 que a tensão, no nó C , tem formato similar nas fases ϕ_{A0} e ϕ_{B1} , como também nas ϕ_{B2} e ϕ_{A3} . Essa é uma solução que reduz o impacto da impedância de saída limitada do circuito de cópia de corrente, pois o erro inserido, devido à impedância de saída (r_{OCC}) será sempre igual nos dois semiciclos, o que não adiciona qualquer fator ao sinal diferencial entre os capacitores. A diferença na tensão do terminal entre os semiciclos que surgir (não visualizada na figura) será somente devido ao desbalanço de carga que foi medido.

3.4.1 Dimensionamento de Ca e Cb

O dimensionamento dos capacitores está diretamente relacionado à relação de cópia da corrente, duração dos pulsos de estimulação, corrente máxima do pulso e à excursão máxima permitida da tensão nos capacitores. Considerando valores compatíveis com a tecnologia usada (tensão limitada de operação) e parâmetros de estimulação adotados, pode-se dimensionar os capacitores pela Equação 3.24.

$$Ca = Cb = \frac{I_C \cdot \Delta t \cdot Rel_{COPIA} \cdot K_N}{\Delta V_C} \quad (3.24)$$

A excursão da tensão nos capacitores, ΔV_C , é limitada para que a tensão mínima no nó C do circuito de cópia de corrente mantenha M_{7M} e M_{8M} operando em saturação, isso equivale a 0,8 V no mínimo. Deste modo, a Equação 3.24 é válida para manter a tensão no terminal desse circuito, limitada à tensão de alimentação do circuito (3,3V). Considerando a operação iniciada com os capacitores descarregados, a tensão mínima no nó C será $V_{REF} - \Delta V_C$, ao fim da carga de qualquer dos capacitores. Quando é invertida a polaridade dos capacitores Ca e Cb deve-se garantir que a tensão no nó C não ultrapasse 3,3V, logo, o nível de tensão V_{REG} , mostrado na Figura 3.9, é, no máximo, $3,3V - \Delta V_C$. Assim, pode-se calcular ΔV_C pela Equação 3.25.

$$\Delta V_C = \frac{3,3V - 0,8V}{2} \quad (3.25)$$

Na Equação 3.24, I_C é a máxima intensidade do pulso de corrente gerado, Rel_{COPIA} é a relação de cópia da corrente (apresentada na Equação 3.9), ΔV_C a máxima excursão da tensão

no capacitor e Δt é a duração de cada semiciclo. Para considerar o aumento na excursão da tensão devido a não-linearidade na cópia da corrente, o capacitor usado na implementação deve ter maior capacitância, conforme é representado na Equação 3.24 pelo fator K_N que vale 1,3. O cálculo é feito considerando-se corrente máxima do estímulo gerada $600\mu A$ (maior que a especificação, que é $500\mu A$). Com as condições apresentadas e a excursão de tensão calculada, C_a e C_b devem ter capacitância de $1,56pF$ cada.

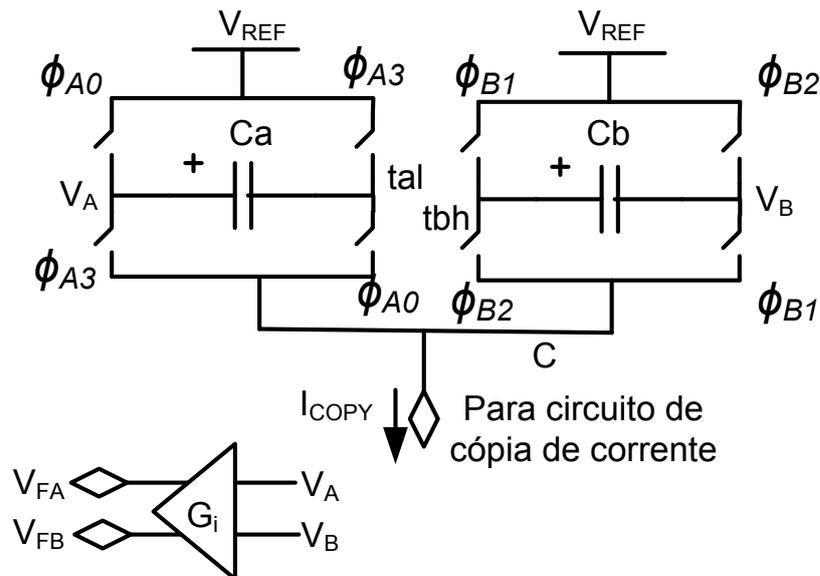


Figura 3.12 – Circuito com capacitores para estimativa de desbalanço de carga

As fases de acionamento dos interruptores são como também mostradas na Figura 3.11. O controle da polaridade e fases que a carga é injetada, nos capacitores, é feito seguindo a sequência ilustrada no diagrama de tempo na Figura 3.12.

3.4.2 Injeção de carga indesejada em C_a e C_b

Como as chaves apresentadas na Figura 3.12 são implementadas com dispositivos reais, ocorre injeção de carga indesejada nos nós tah , tal , tbi e tbl . As chaves controladas pelas fases ϕ_{A0} , ϕ_{B1} , ϕ_{B2} e ϕ_{A3} contém tanto parasitas tipo capacitivos quanto resistivos entre todos os seus terminais, sendo que os mais significantes estão entre os terminais de dreno ou fonte e *gate*. Na Figura 3.13, é mostrado um detalhe de uma das chaves da Figura 3.12 incluindo esses parasitas, C_{gd} e C_{GS} , ligados ao *gate* dos MOSFETs, injetam carga nos nós tah , tal , tbi ou tbl sempre que seu nível lógico ou a tensão de dreno e fonte variam. Já a perda e injeção de carga pelos componentes R_{DS} e C_{DS} ocorre independente da mudança da tensão do *gate*, mas sempre que

essa chave não esteja em condução e ocorra variação da tensão de tah , tal , tbh ou tbl .

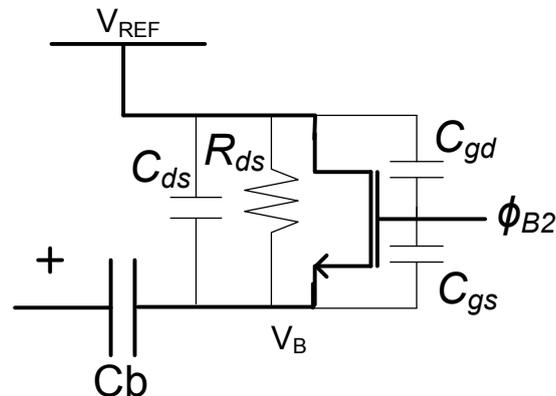


Figura 3.13 – Circuito dos capacitores e chave com parasitas

A capacitância de entrada do amplificador mostrado na Figura 3.12, ligado aos nós V_A e V_B também causa injeção de carga em C_a e C_b sempre que há variação na tensão destes nós. Esta interação é devido à capacitância de *gate* dos transistores ligados aos terminais de entrada do circuito amplificador. Em função da modelagem não linear das diversas capacitâncias e também incluindo as resistências parasitas a análise do comportamento deste circuito com as chaves foi feita por meio de simulação. A resposta deste circuito à injeção de correntes a partir de uma fonte ideal foi observada. A operação da fonte e controle das chaves seguiu exatamente a mesma temporização e condições observadas na simulação do circuito completo, no entanto não existem não-idealidades devido a características do terminal de saída do circuito de cópia de corrente. A Figura 3.14 apresenta o comportamento da tensão medida como resposta a um degrau no desbalanço equivalente a $\pm 0,01\%$. A aproximação por uma equação exponencial possibilita a obtenção da função de transferência entre o desbalanço de carga e tensão resultado da medida, esta função é mostrada na Equação 3.26.

$$TF = \frac{Tensao(V)}{Desbalanco(\%)} = \frac{1,9}{1 + \frac{s}{2}} \quad (3.26)$$

A função de transferência, entre desbalanço de carga e tensão medida ideal, esperada é um integrador para o circuito apresentado ($TF = \frac{k}{s}$), sendo k um ganho real. O ganho da função de transferência apresentada na Equação 3.26, após o fim do regime transitório, é $+0,95$ para o desbalanço de $+0,01\%$. Isso indica que existe atenuação do sinal e isto distancia o comportamento de um integrador. A diferença entre os comportamentos das funções de transferência ideal e simulada mostra um erro que será inserido na medida devido a não-idealidades do circuito que faz a estimativa da carga.

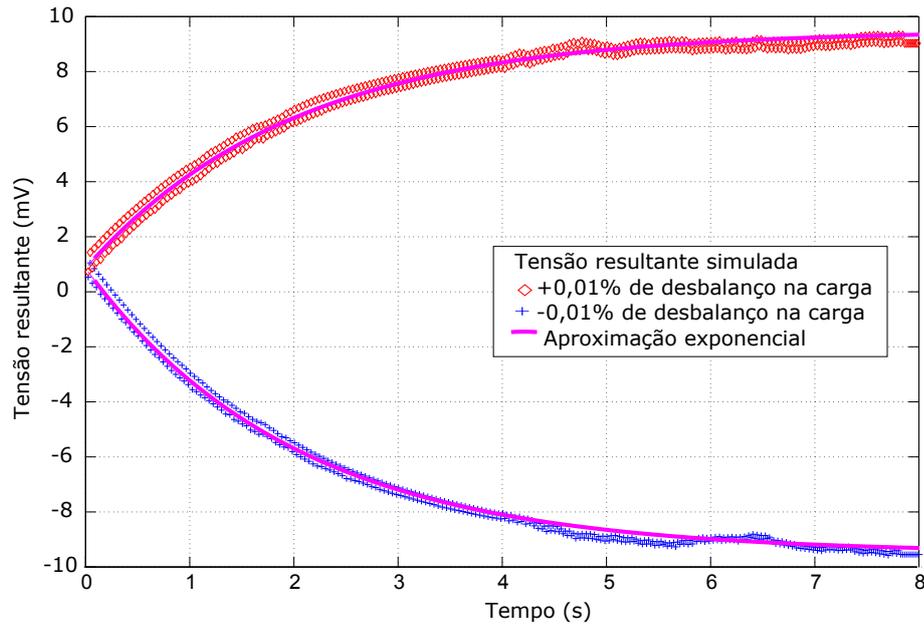


Figura 3.14 – Tensão medida para desbalanço de carga de $\pm 0,01\%$

3.4.3 Influência da impedância de saída do circuito de cópia de corrente

Quando se modela o terminal de saída do circuito de cópia de corrente como mostrado na Figura 3.15.a, percebe-se o comportamento da tensão de um circuito de primeira ordem com resistor e capacitor (RC). Já em 3.15.b, observa-se o comportamento da tensão V_{DIFF} em regime transitório, a qual representa a tensão diferencial entre os capacitores, o sinal de interesse. No caso de uma fonte de corrente ideal, espera-se que essa cresça seguindo uma rampa, no entanto, esta tensão segue uma curva e atinge o valor máximo igual a $I_S \cdot r_{OCC}$. Portanto, o desbalanço de carga medido ($V_{Ca} - V_{Cb}$) será atenuado devido à impedância de saída r_{OCC} .

Tomando-se o valor de r_{OCC} , calculado na Seção 3.3.4, e a corrente I_S equivalente à corrente injetada nos capacitores, devido ao desbalanceamento de carga (desbalanceamento resulta na corrente I_D nos eletrodos), pode-se calcular a tensão máxima ($V_{D_{MAX}}$) resultante da medida deste desbalanceamento por

$$V_{D_{MAX}} = I_S \cdot r_{OCC} = (I_D \cdot Rel_{COPIA}) \cdot r_{OCC} \quad (3.27)$$

Utilizando-se o valor do resultado da medida para r_{OCC} , $Rel_{COPIA}(1/200000)$ calculados e a corrente máxima devido ao desbalanço igual a $100nA$ (especificação), a tensão $V_{D_{MAX}}$ é igual a $6,36V$. Este valor ultrapassa a tensão máxima de alimentação, logo, não deve ser

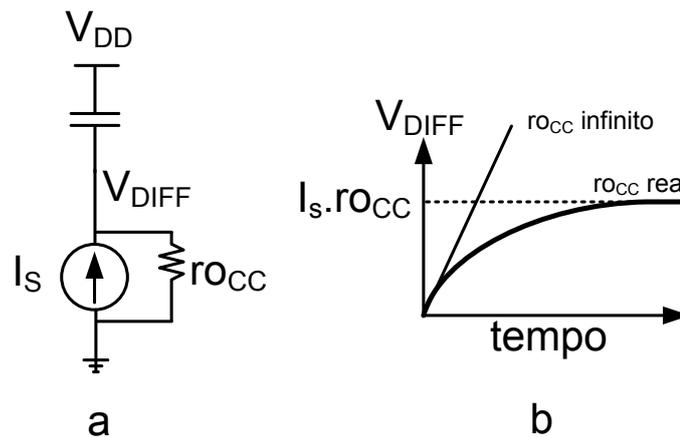


Figura 3.15 – Modelagem da saída do circuito de cópia de corrente e tensão em regime transitório

atingida. Então, a medida do desbalanço de carga, representado pelo desbalanço de correntes injetadas, pode ser prejudicada pela impedância de saída do circuito de cópia de corrente.

3.4.4 Condicionamento do sinal para realimentação

O amplificador utilizado para realimentação, mostrado na Figura 3.12, gera os sinais V_{FA} e V_{FB} e isola os capacitores C_A e C_B do DAC para evitar injeção de carga naqueles. Além disso, também aplica um ganho no sinal diferencial ($G_i \simeq 5$) e mantém a tensão comum do sinal resultante da operação $V_{CA} - V_{CB}$ em nível apropriado, a ser utilizada na realimentação. Como o sinal diferencial de saída é usado em malha fechada de controle, para realimentação, a variação do ganho tem impacto reduzido no desempenho do sistema.

O amplificador diferencial é construído utilizando-se dois estágios: o primeiro faz o isolamento entre os capacitores e o circuito de realimentação, contendo dispositivos com baixa capacitância de entrada e ganho próximo de um. O segundo estágio tem o ganho desejado para realimentação e mantém a tensão de modo comum controlada em torno de um nível constante. Esses são mostrados, integrados, na Figura 3.16.

A entrada do circuito são os nós tal e tbl , com níveis de tensão entre 0,8 V e 3,3 V, limitados pela faixa de excursão da tensão dos capacitores e nível V_{REF} . A polarização do circuito é conseguida por meio de V_{BIAS1} e V_{BIAS2} , tensões geradas por circuito de polarização externo não explorado neste trabalho.

Os transistores M_{S3} e M_{S4} operam saturados, como fontes de corrente, mantendo a corrente em M_{i1} e M_{i2} constante. Além disto, soma das correntes de M_1 e M_2 permanece

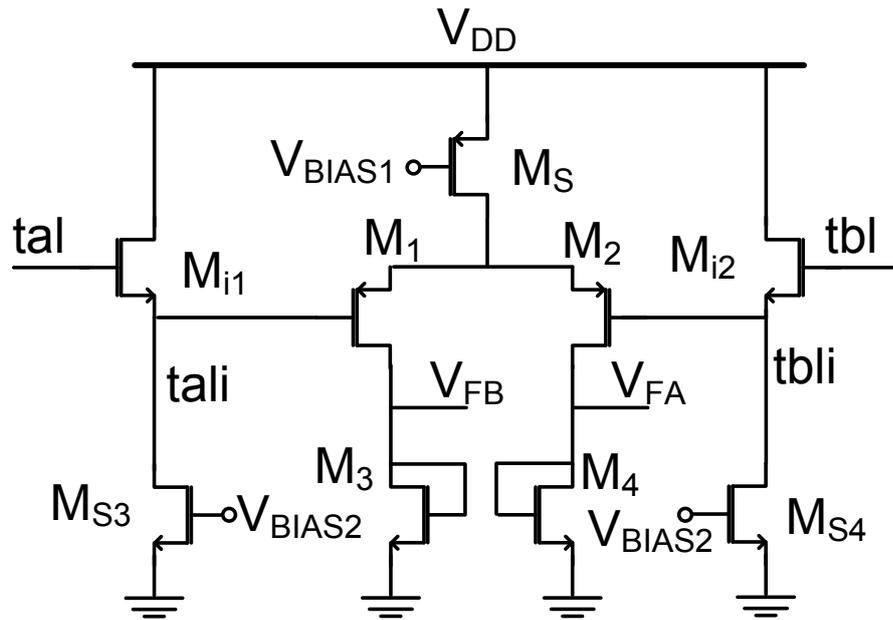


Figura 3.16 – Circuito amplificador diferencial para isolamento

constante enquanto que M_S opera em saturação. A tensão, no terminal tal , deve ser superior à tensão V_{GS} de M_{i1} somada à tensão de saturação de M_{S3} , o mesmo valendo para o terminal tbl em relação aos transistores de tamanhos iguais M_{i2} e M_{S4} , respectivamente. O nível comum do sinal de entrada em tal é reduzido no nó interno $tali$, pois M_{i1} e M_{S3} formam um estágio tipo seguidor de fonte, o qual tem o ganho próximo de um. Esse estágio fornece um isolamento entre Ca e o amplificador diferencial, M_{i1} contém dimensões menores do que M_1 , logo, a capacitância adicionada a tal é menor do que caso este nó fosse conectado diretamente a M_1 . O mesmo vale em relação a M_{i2} e M_2 . A capacitância de entrada pode influenciar no valor efetivo de capacitância no nó tal , causando injeção indesejada de carga elétrica, fazendo com que a Equação 3.23 não seja mais válida e causando erro na medida do desbalanceamento de carga.

O sinal $tali$ excursiona entre a tensão mínima de saturação de M_{S3} até a tensão máxima correspondente a $3,3 - V_{satMS} - V_{GS1}$. V_{satMS} é a tensão de saturação de M_S e V_{GS1} é a tensão V_{GS} de M_1 , enquanto que sua corrente de dreno é metade da corrente de M_S . A diferença entre as tensões, nos nós $tali$ e $tbli$, causa o desbalanceamento entre as correntes de dreno dos transistores M_1 e M_2 , o qual resulta na variação das tensões V_{FA} e V_{FB} no sentido oposto. A conversão entre variação da corrente do par diferencial, formado por M_1 e M_2 , e tensão é realizada de forma passiva pelos transistores M_3 e M_4 . O ganho nessa conversão é expresso por

$$\frac{V_{FA} - V_{FB}}{V_{tali} - V_{tbli}} = -\frac{r_{o1} \cdot \left(\frac{1}{g_{m3}} \parallel r_{o3}\right)}{r_{o1} + \left(\frac{1}{g_{m3}} \parallel r_{o3}\right)} \cdot g_{m_{m1}} \quad (3.28)$$

Nesta equação, $\frac{1}{g_{m3}} \parallel r_{o3}$ indica que a resistência $\frac{1}{g_{m3}}$ está posicionada em paralelo com r_{o3} na modelagem de pequenos sinais do circuito. A tensão de modo comum resultante nos nós V_{FA} e V_{FB} é resultado da corrente de polarização gerada por M_S e dividida entre M_3 e M_4 , ligados em conexão diodo. Como a soma das correntes em M_3 e M_4 é mantida constante, igual à corrente em M_S , e enquanto a tensão de saturação de M_S for respeitada, a tensão comum da saída é mantida ao redor da tensão V_{GSM_3} , a tensão V_{GS} de M_3 . Uma vez que a tensão de modo comum é conhecida e aproximadamente constante (V_{GSM_3}) para toda a faixa de tensão de entrada de tal e tbl , pode-se utilizar interruptores tipo NMOS somente para realizar pré-carga dos capacitores do DAC, a partir dos sinais V_{FA} e V_{FB} , mostrados na Figura 3.2.

3.5 Sequência de pulsos proposta

Predomina, entre os estimuladores relatados na literatura, o uso de estimulação somente catódica ou apenas anódica (DO et al., 2013)(CHUN; YANG; LEHMANN, 2014)(GUO; LEE, 2009)(SIT; SARPESHKAR, 2007). Desse modo, neste trabalho, é proposta uma mudança com relação à sequência de pulsos de corrente gerados no sinal de estimulação. O padrão alternado de pulsos consiste em trocar a polaridade da estimulação a cada ciclo. A Figura 3.17 ilustra as três sequências de pulsos bifásicos consideradas.

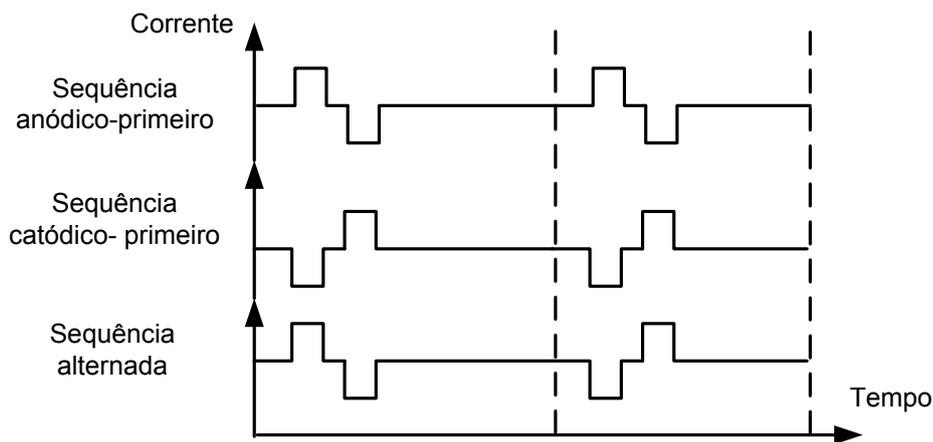


Figura 3.17 – Sequências de pulsos de corrente geradas.

Conforme resultados apresentados por ROBERT K. SHEPHERD A (1999), não houve diferença estatisticamente significativa na probabilidade de disparo do potencial de ação de células entre estímulo catódico ou anódico-primeiro. A partir disso, se propõe aqui adotar uma sequência alternada de polaridades, da mesma forma como também foi relatado com sucesso

para disparar o potencial de ação ,por ALVAREZ et al. (2007), mas com objetivo de redução no desbalanço de carga. Esta proposta também é válida para a redução da tensão residual.

3.6 Dinâmica da malha de controle

Reunindo todos os componentes de circuito apresentados até este ponto, pode-se completar o sistema mostrado na Figura 3.1. Desse modo, um esboço da dinâmica de operação do controle de desbalanceamento de corrente é apresentado na Figura 3.18. Uma vez que um desbalanceamento de carga seja medido em um ciclo (ΔVD_1), o sinal da ação de controle é aplicado (pré-carga) no DAC, alterando a tensão gerada V_B (ΔV_1). Os pulsos de corrente gerados causam um desequilíbrio, no sentido contrário, nos ciclos posteriores (ΔI_2). Quando o desbalanço estimado de carga para de aumentar, fica limitado a ΔVD_3 , então, foi atingido o equilíbrio. A fim de que isso seja mantido, em todos os ciclos, o DAC sofre pré-carga com ΔVD_3 , que permanece armazenado nos capacitores, o que repete na variação de ΔV_3 na tensão de polarização.

Como nesta aplicação o requisito a ser cumprido é manter o desbalanço na faixa segura, então não é prioridade a velocidade de resposta do sistema. A dinâmica mostrada na Figura 3.18 é didática na apresentação, tanto a escala entre o desbalanço e as correntes, como a duração dos pulsos e o período são exagerados por ilustração.

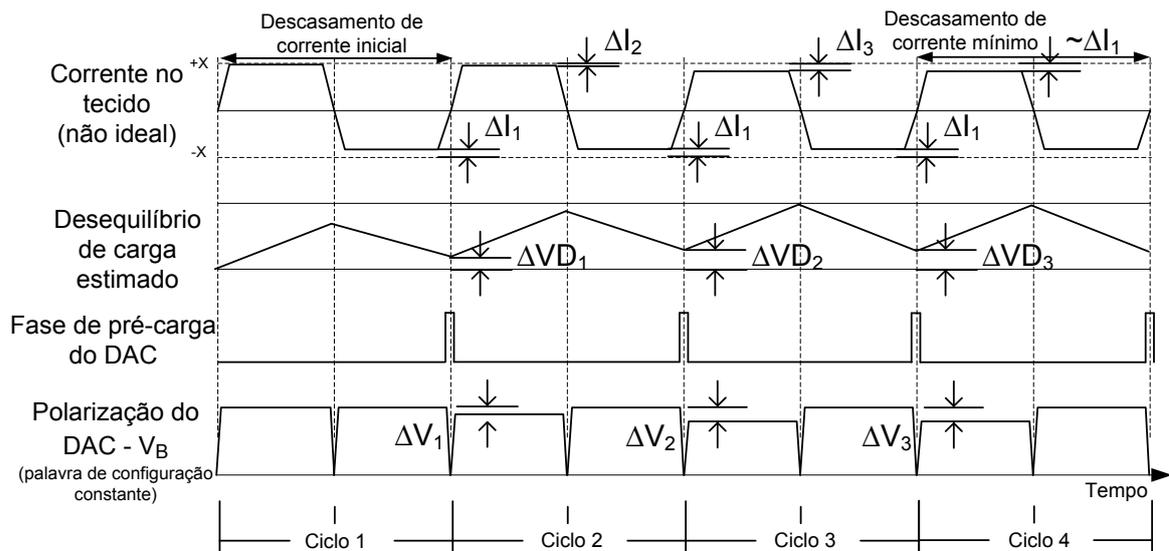


Figura 3.18 – Dinâmica e operação do controle do equilíbrio de carga

O fundamento da operação desse sistema é: o sinal de desbalanceamento de carga é medido, depois de receber um pequeno ganho é aplicado como ação de controle no DAC (pré-

carga). Como a medida do desbalanço de carga é realizada por meio de uma integração (um sinal de corrente é injetado em um conjunto de capacitores), o desbalanço é acumulado ciclo-a-ciclo. Essa forma de realizar a estimativa do balanço de carga elétrica injetada no circuito também leva a realimentação a ter comportamento como um controlador com parcela integral predominante.

Um sistema com dinâmica de ordem zero, como o circuito estimulador objeto do trabalho, no qual um controlador com parcela integral é utilizado, é capaz de aproximar a saída de uma referência constante (zero é a referência para o desbalanço desejado, neste caso) dentro de um número finito de ciclos. Isso pode ser explicado por existir a memória do desbalanço de ciclos anteriores para a geração da ação de controle a ser aplicada no ciclo atual. O controlador construído com elementos reais, nesse sistema, não tem uma parcela integral pura, devido a não idealidades e efeitos parasitas dos dispositivos; assim, o pólo característico não está localizado exatamente na origem do sistema. Então, espera-se que a saída não deva atingir a referência (zero), mas se aproximar suficientemente para cumprir o requisito de projeto.

Diante desse cenário, o diagrama de controle que se refere ao sistema proposto é mostrado na Figura 3.19. Nele, o ganho $K1$ representa o ganho entre a tensão de pré-carga do DAC e os pulsos de corrente gerados, enquanto que a perturbação inserida no equilíbrio de carga é devido à impedância finita de saída do DAC. O ganho $K2$, por sua vez, retrata a relação de cópia da corrente. O somatório (Σ) e o ganho $K3$ equivalem ao efeito de acúmulo de carga, nos capacitores (cujo incremento é proporcional ao desbalanceamento de carga no ciclo), e o ganho do amplificador, respectivamente.

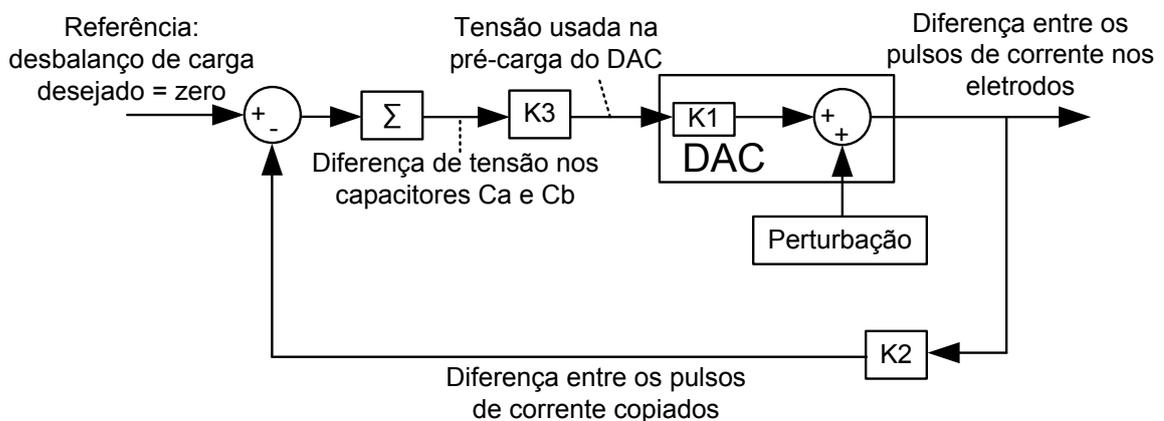


Figura 3.19 – Malha de controle do desbalanceamento de carga

3.7 Resultados

O funcionamento do sistema é demonstrado no nível de simulação elétrica. O objetivo principal é mostrar que o sinal de estimulação, com formato e parâmetros propostos, é gerado e o desbalanceamento de carga é mantido dentro de limites considerados seguros.

Na Figura 3.20, observam-se resultados de simulação do DAC. Eles são a tensão de polarização V_B e a corrente para cada palavra digital de configuração possível. A corrente mínima gerada é zero e a máxima passa de $500\mu A$, aproximando-se de $590\mu A$. Toda a faixa de correntes desejadas, entre $50\mu A$ e $500\mu A$, pode ser fornecida com o DAC projetado.

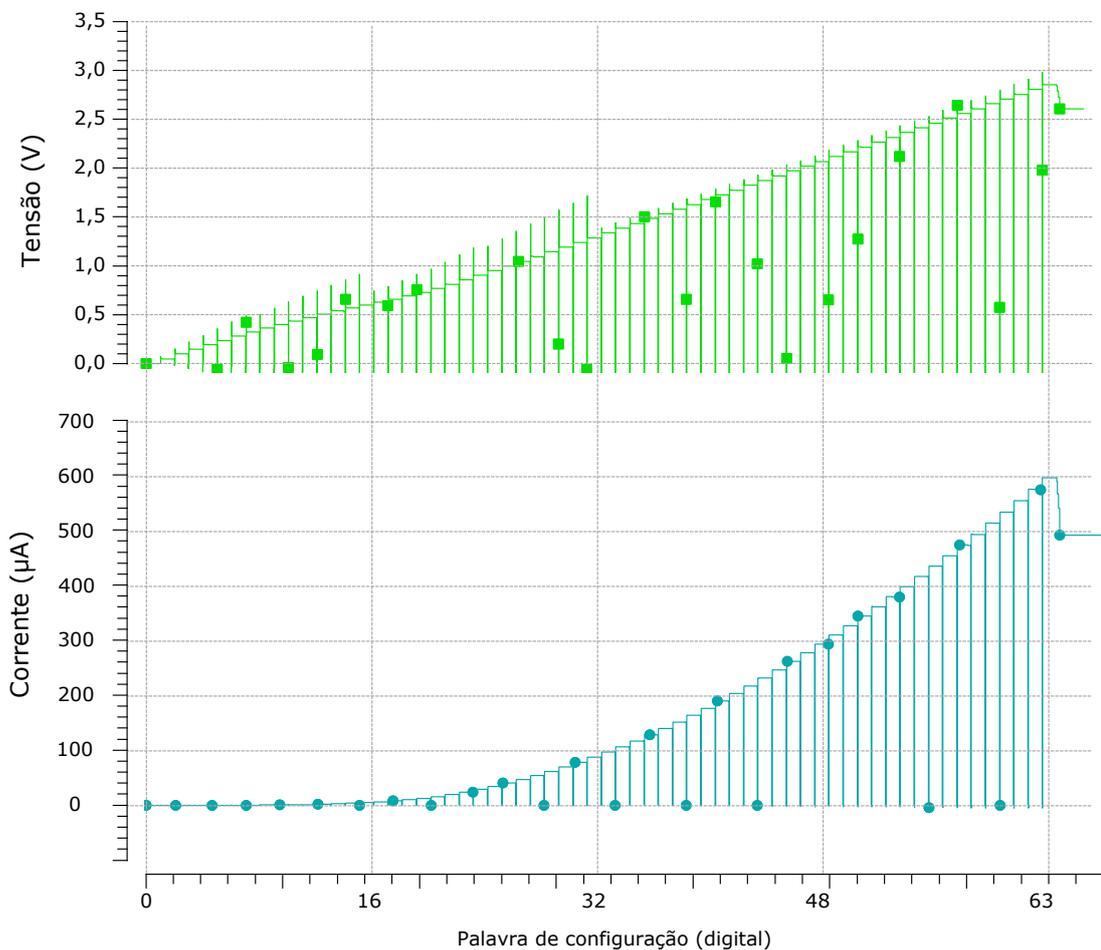


Figura 3.20 – Corrente no DAC para toda escala digital de palavras de configuração, inicia em 0 e a palavra máxima é 63.

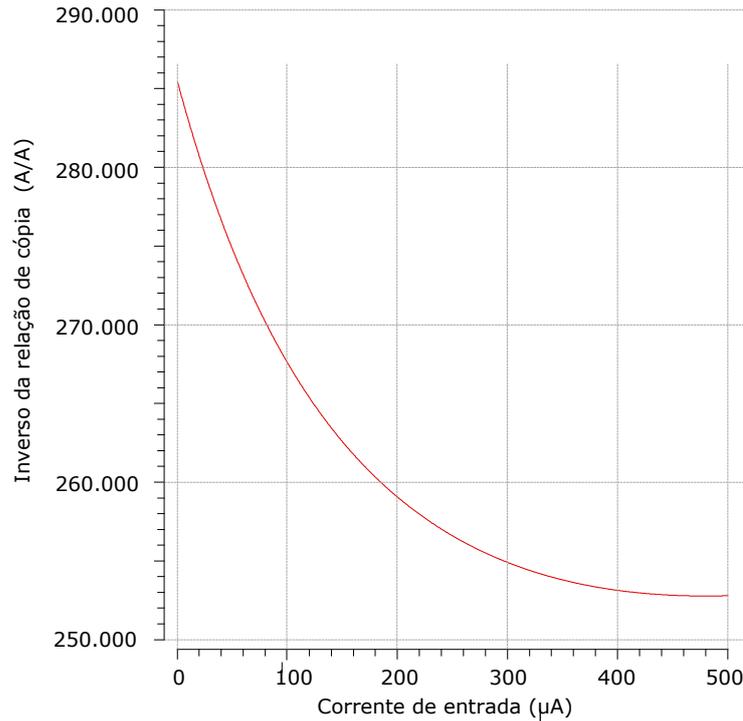


Figura 3.21 – Relação de cópia da corrente observada para toda a faixa de corrente de entrada especificada.

O circuito de cópia de corrente projetado foi avaliado quanto à relação de cópia e impedância do nó de saída. Na Figura 3.21, é apresentado o valor inverso da relação de cópia. Pode-se observar a variação da relação de cópia para toda a faixa de valores para corrente de entrada, sendo a relação mínima 1 : 253000 e a máxima 1 : 285500.

A avaliação da impedância de saída do circuito de cópia de corrente foi realizada mantendo-se fixa a corrente de entrada e provocando a variação da tensão do nó de saída. Pode-se perceber na ,Figura 3.22, que a impedância de saída é maior que $10T\Omega$ para todos os casos simulados, quando a tensão do nó de saída é maior que 0,8 V.

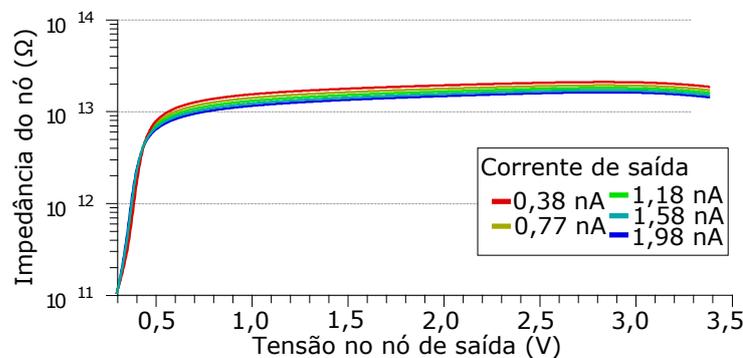


Figura 3.22 – Impedância de saída do circuito de cópia de corrente

Para a avaliação do desempenho observaram-se as cargas injetadas no conjunto eletrodo

e tecido simulado com parâmetros listados na seção 1.2. Para caracterizar o desempenho do circuito proposto, três situações foram simuladas usando os mesmos parâmetros de pulsos de corrente:

- Sem controle do balanço de carga: usando uma sequência de geração de pulsos catódico-primeiro, nesta situação, pode-se perceber o desbalanço causado pela impedância limitada de saída do circuito;
- Com controle de balanço de carga proposto: usando uma sequência de geração de pulsos catódico-primeiro;
- Com controle de balanço de carga e sequência alternada de fase dos pulsos: como proposta para melhorar o desempenho quanto ao desbalanço de carga, a sequência de ciclos alternados foi simulada;

Os ciclos de estimulação são gerados com pulsos de duração $500\mu s$, o período de estimulação é $10ms$ e o atraso entre as fases de estimulação é 10% da duração de cada uma dessas. Nesse sentido, a razão cíclica simulada é 10% do período e a magnitude é $600\mu A$. A Figura 3.23 apresenta uma amostra dos sinais observados em simulação transiente, o desbalanço da corrente e a variação da polarização do DAC não são visíveis, pois são 3 ordens de grandeza menores do que a escala apresentada. Esses detalhes são destacados na comparação entre duas amostras dos mesmos sinais na Figura 3.24. Nessa a duração dos pulsos é constante, assim no primeiro pulso de cada intervalo mostrado, atua a realimentação. Observa-se aumento do pulso de corrente no tecido em torno de $100,8ms$, quando a pré-carga é feita com tensão em torno de $-60mV$, em comparação com o pulso em torno de $10,8ms$, quando a pré-carga é realizada com $-20mV$.

A variação do valor da tensão V_{PRE} mostra que o sistema ainda não se encontra em acomodação. Os efeitos sobre o balanço de carga, no tecido e tensão residual, observados nas três situações simuladas, são mostrados nas Figuras 3.25 e 3.26.

Nas duas últimas figuras, 3.25 e 3.26, a curva nomeada "malha aberta", sem controle do balanço de carga, mostra que o desbalanceamento de carga se estabiliza em torno de $-0,75\%$ ($224nA$), e a tensão residual converge para $+0,54V$. A curva nomeada "controlada" expõe que os valores observado para as mesmas medidas convergem para $-0,27\%$ ($77,6nA$) e $+0,4V$, na situação em que a malha de controle de corrente é habilitada. Essa melhoria no desempenho equivale à redução de 64% no desbalanço de carga e 25% na tensão residual.

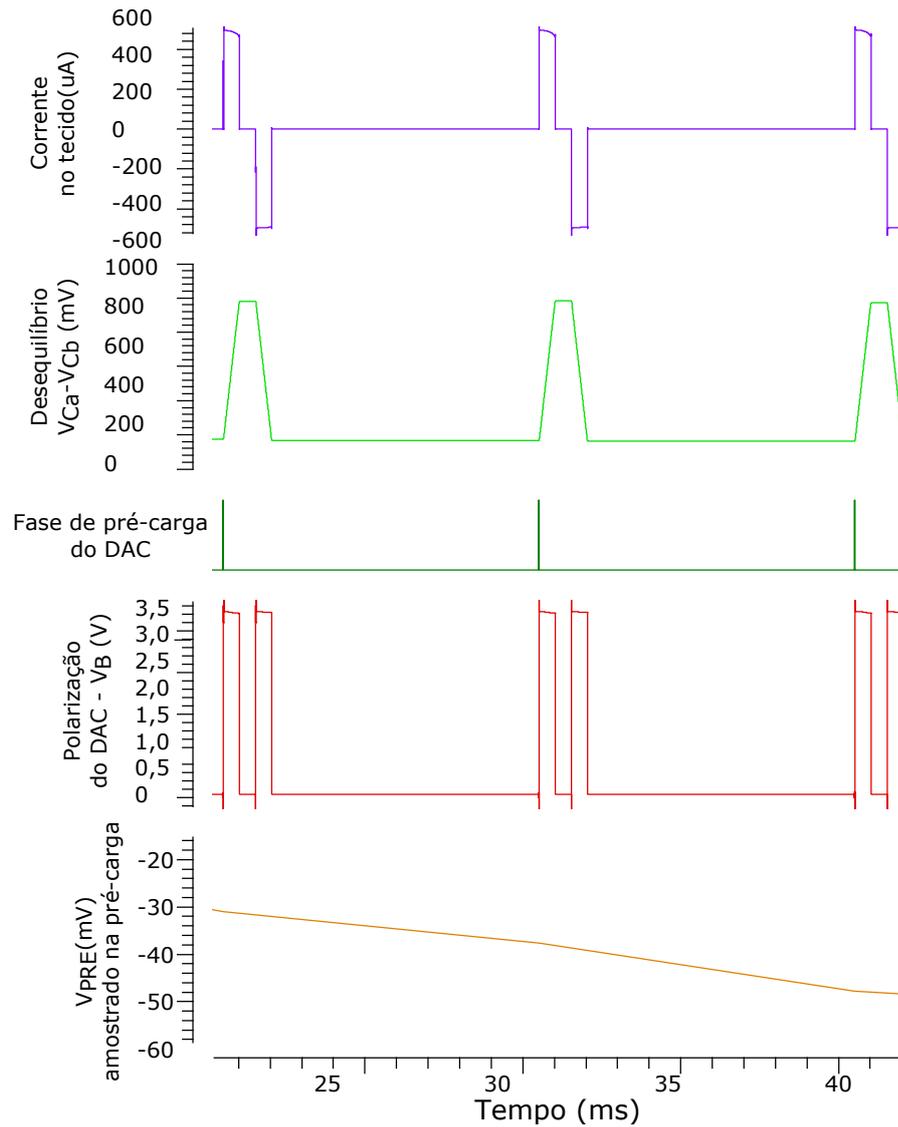


Figura 3.23 – Amostra de ciclos de simulação transiente, como ilustrado na Figura 3.18.

Como aprimoramento, a técnica de sequência alternada de fase de estimulação também foi simulada, cujo resultado é apresentado nas curvas identificadas como "técnica proposta". Estas mostram o desbalanceamento de carga (menor que 0,05%, 15 nA) e a tensão residual alternando entre $+60\text{mV}$ e -64mV , dentro dos limites estabelecidos, 100 nA para corrente e $-0,6$ a $+0,8\text{V}$ para tensão residual. Como o controle imposto por esse circuito atua sobre o balanço de cargas, a tensão residual medida, ao fim de cada ciclo de estimulação, é consequência da impedância dos eletrodos, do tecido e dos parâmetros do ciclo de estimulação adotados, como o intervalo entre fases e duração dos pulsos. Desse modo, na Tabela 3.1, o desempenho é resumido e comparado a outros trabalhos encontrados na literatura, os quais usam técnicas de balanceamento de carga ativas.

Grande parte dos métodos de balanceamento de carga encontrados, na literatura, foca

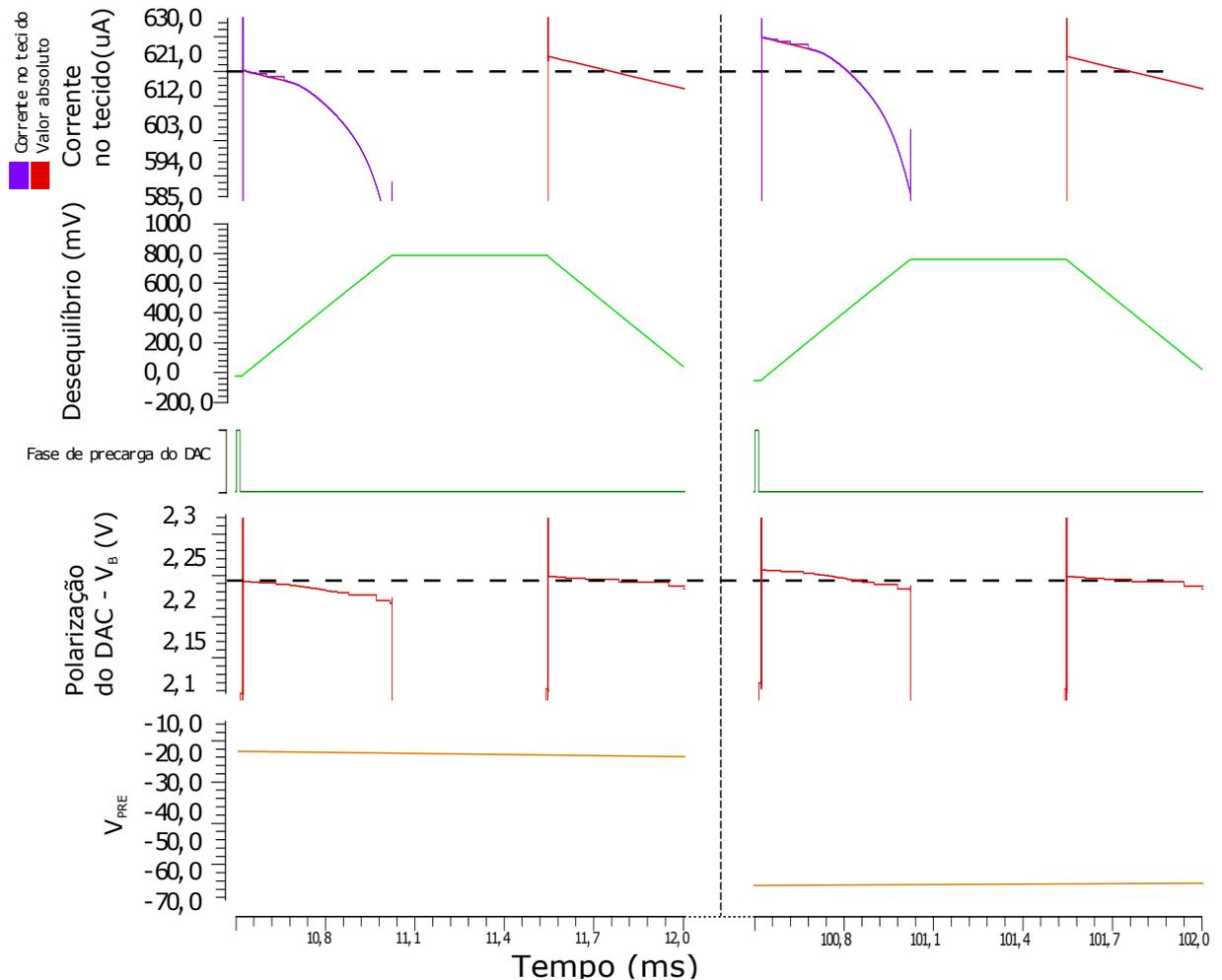


Figura 3.24 – Detalhes da simulação transiente: mostra ciclos de estimulação em torno de 11 ms e de 101 ms.

Tabela 3.1 – Comparação com trabalhos relacionados

Trabalho	Duração do pulso (ms)	Corrente máxima / carga por ciclo	Desbalanceamento (%)	Tensão residual (mV)
(DO et al., 2013) ^a	0,05	1,0 mA	<1	N.A.
(CHUN; YANG; LEHMANN, 2014) ^b	0,1	1,0 mA	0,03	N.A.
(GUO; LEE, 2009) ^a	0,01	1,0 mA	0,03	N.A.
(SIT; SARPESHKAR, 2007) ^b	0,03	1,0 mA	0,4	12,0
(LUAN; CONSTANDINOU, 2014) ^a	0,1	10 nC	0,7	N.A.
(FANG et al., 2007) ^a	0,093	50 nC	0,2	N.A.
Este trabalho ^a	0,5	0,6 mA	0,05	± 100

^a Resultados simulados

^b Resultados medidos

na redução do desbalanceamento entre pulsos catódicos e anódicos. As técnicas empregadas vão do aumento da impedância de saída das fontes de corrente (CHUN; YANG; LEHMANN,

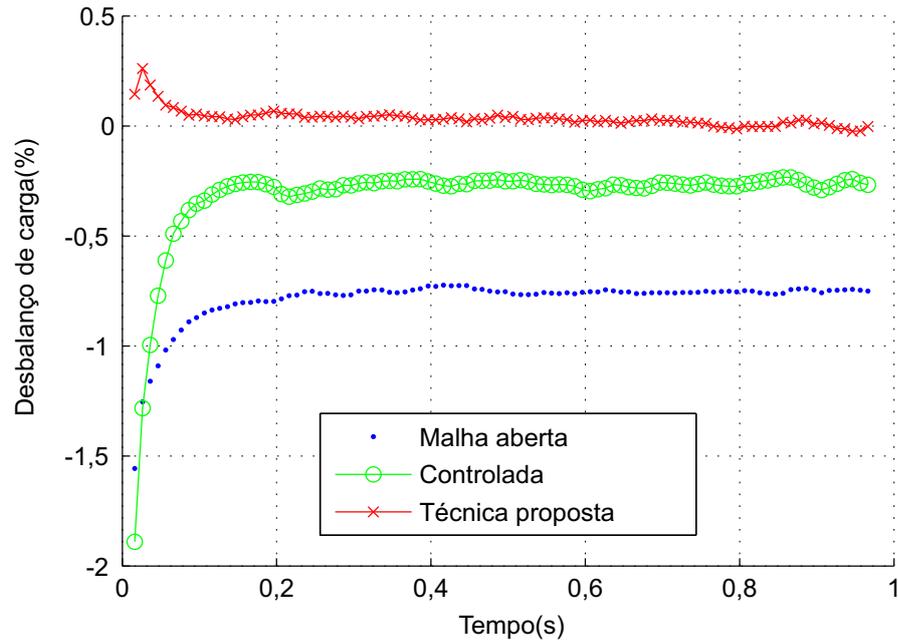


Figura 3.25 – Efeitos da compensação e sequência alternada de fases no balanço de carga.

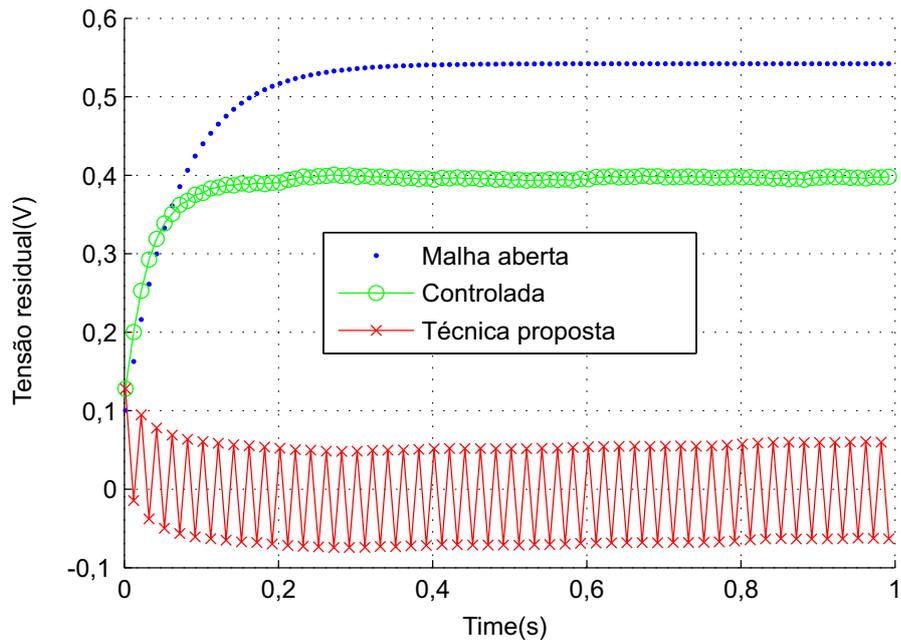


Figura 3.26 – Efeito da compensação e sequência alternada de fases na tensão residual observada nos eletrodos

2014), até auto-calibração, usando amostras de corrente (GUO; LEE, 2009)(SIT; SARPESHKAR, 2007). Essas soluções são validadas operando em condições controladas e não usam realimentação, mas confiam na caracterização do circuito que opera em malha aberta.

Uma grande variedade de esquemas que utilizam realimentação tem sido publicada, sendo que entre eles, se incluem controladores digitais (FANG et al., 2007) (LUAN; CONS-

TANDINO, 2014), e com atuação na tensão de substrato do dispositivo MOS (DO et al., 2013). A maioria das técnicas se baseia em inserir um resistor em série com os eletrodos para medida da corrente (FANG et al., 2007) ou usar um sensor de carga ideal (DO et al., 2013).

Apesar de o resultado aparentemente equivalente, uma comparação justa é difícil, uma vez que parâmetros de estimulação diferentes e recursos passivos, como curto-circuito entre eletrodos, também são usados. Além disso, algumas métricas sofrem influência de diversos parâmetros de teste, como duração e intensidade dos pulsos e intervalo entre eles. A comparação, usando simplesmente o desbalanço percentual, mostra que este trabalho apresentou desempenho similar e até melhor que parte dos trabalhos aqui relacionados, sem a necessidade de realizar o curto-circuito entre eletrodos.

4 CIRCUITO PARA CONTROLE DE TENSÃO RESIDUAL

A descrição e implementação de um circuito com topologia inovadora, para o controle da tensão residual dos eletrodos, são apresentadas neste capítulo. Os parâmetros para realização do projeto são conforme os descritos na Seção 1.2.

A topologia de circuito proposta para o controle e a redução da tensão residual em EFS faz uso de estrutura semelhante à apresentada no Capítulo 3. No entanto, como se trata de controle de tensão residual, não existe a estrutura de medição de corrente e estimativa de desbalanço de carga. Já as partes usadas para controle da polaridade (seção 3.2) e DAC (seção 3.1) são iguais às apresentadas anteriormente. O mesmo formato para pulsos de estimulação, definido na seção 1.2.2, também é adotado para este circuito.

A Figura 4.1 apresenta os elementos usados para construir a topologia de estimulador proposta. O circuito tem como terminais de saída os nós N_{load0} e N_{load1} , que são conectados a eletrodos. Desse modo, o princípio de funcionamento é o uso da tensão residual dos eletrodos diretamente na pré-carga dos capacitores do DAC, respeitando a polaridade apropriada, de forma a gerar uma realimentação negativa capaz de reduzir ou manter a tensão residual dos ciclos posteriores.

4.1 Caminho de realimentação

Na topologia de circuito proposta, a realimentação, a partir da tensão residual, é aplicada ao circuito DAC por meio da pré-carga realizada dos capacitores. A tensão residual não é extraída diretamente dos eletrodos, pois, durante a aplicação de pulsos de corrente, esses nós experimentam níveis de tensão mais altos. Ela é extraída de nós intermediários (N_{SN0} e N_{SN1}) da pilha de dispositivos que formam os interruptores de alta tensão. Isto permite o uso de dispositivos de baixa tensão de bloqueio no caminho de realimentação.

Durante a fase de pré-carga (o sinal F_{EN} está ativo), os interruptores de alta tensão ligados à alimentação V_{DD-H} estão bloqueados, enquanto que o interruptor no qual está M_{SN0c} entra em condução; já o interruptor no qual está M_{SN1c} entra em condução parcialmente. Assim, a tensão entre os sinais N_{SN0} e N_{SN1} se aproxima da tensão dos eletrodos (N_{load0} e N_{load1}), ao mesmo tempo em que a polaridade da realimentação é definida pelo conjunto de interruptores S_P . A pré-carga do DAC, por sua vez, é realizada usando-se a tensão diferencial entre os sinais V_{FB0} e V_{FB1} , nos instantes apontados na Figura 4.1. Desta forma, a tensão de polarização do

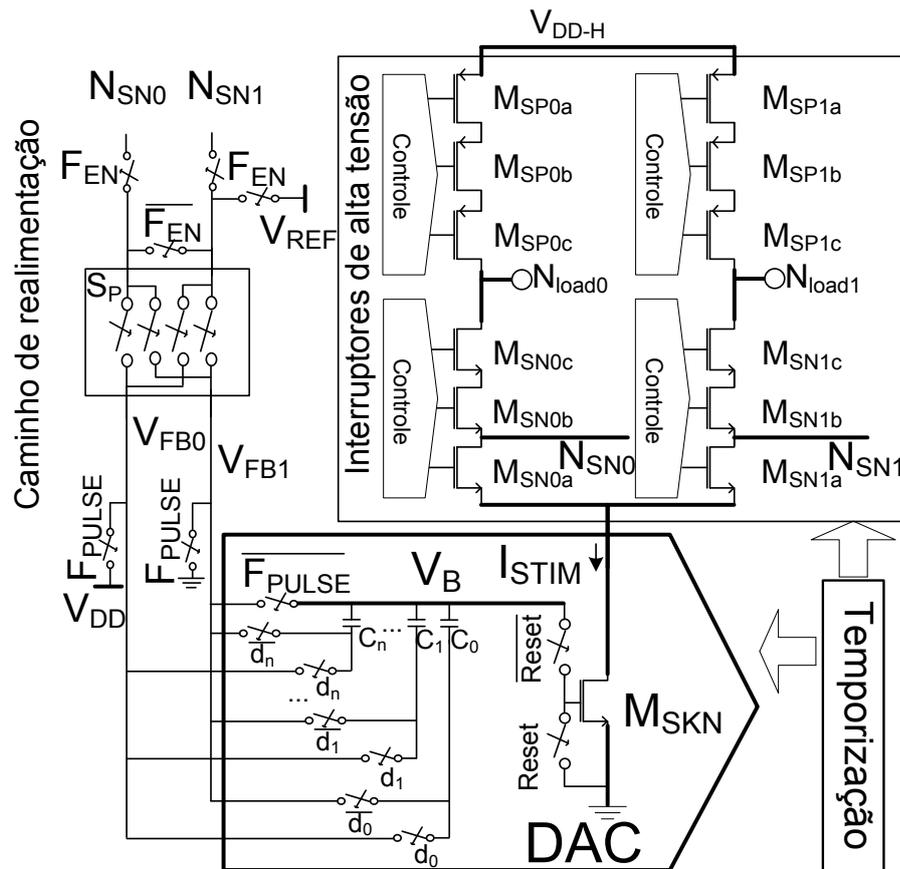


Figura 4.1 – Topologia de circuito proposta para controle de tensão residual

pulso seguinte de corrente é alterada (enquanto o sinal F_{PULSE} está ativo).

4.2 Dinâmica da malha de controle

A malha de controle é formada pelos interruptores que carregam os capacitores do DAC a partir da tensão residual dos eletrodos. Tem polaridade de realimentação atuando sobre o DAC dependente da sequência de pulsos catódico ou anódico-primeiro, o que é definido pelo controlador digital, que atua sobre o conjunto de interruptores S_P .

A tensão residual, amostrada em um ciclo no DAC (pré-carga), atua na polarização somente no primeiro semiciclo de estimulação imediatamente a seguir. Esta realimentação não atua no segundo semiciclo, pois, quando o DAC é resetado para a geração deste pulso de corrente, a pré-carga é realizada com tensão zero. A operação em malha fechada é ilustrada na Figura 4.2, simplificada a fim de explicação. Nessa figura, são apresentados esboços de como se relacionam tensão residual, a fase de pré-carga do DAC e a polarização resultante. Nos ciclos 1 e 2, não existe controle da tensão residual, a tensão cresce até atingir ΔV_{RES1} . Nos

ciclos seguintes, é habilitado o controle, e a pré-carga é realizada inicialmente com ΔV_{RES1} , resultando em uma variação na polarização do DAC ΔV_1 . Esta é reduzida durante a acomodação ΔV_2 e ΔV_3 . Após passado o regime transitório, ΔV_3 é mantida, pois é causada pela menor tensão residual que permanece quando é atingido regime permanente de operação (ΔV_{RES2}).

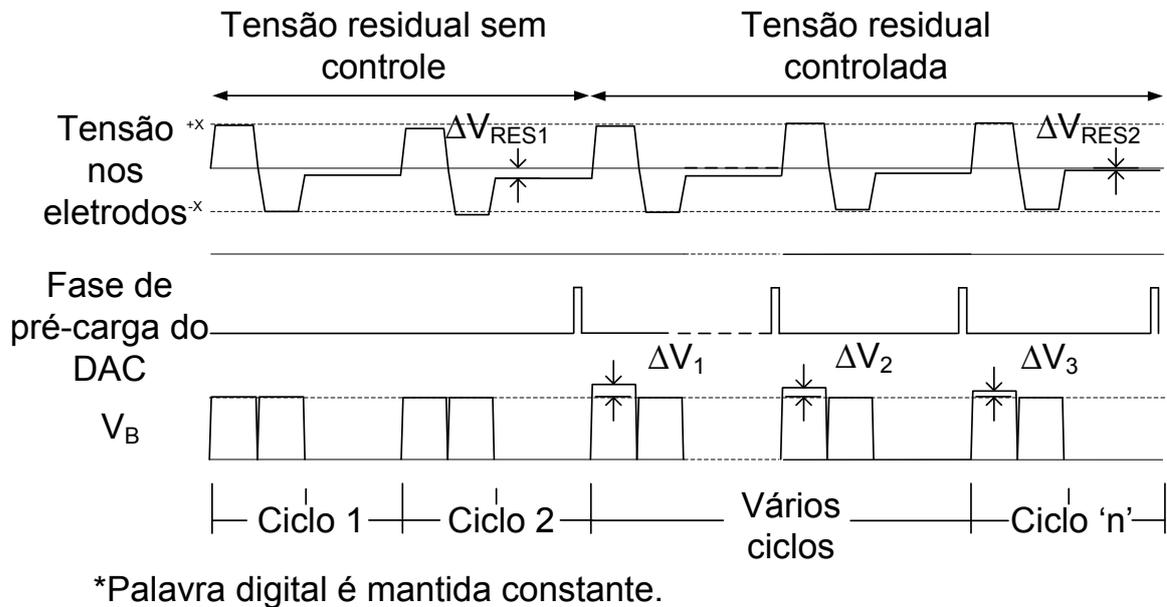


Figura 4.2 – Dinâmica e operação do controle da tensão residual

A dinâmica da tensão ilustrada é mais lenta, conforme observada no sistema, pois o conjunto de tecido e eletrodos apresenta característica capacitiva. A constante de tempo (RC) da carga é 1 segundo, com o modelo adotado considerando R_W e C_W . Dessa forma, a acomodação da tensão residual pode levar um tempo maior para ocorrer, não reduzindo a tensão residual ao valor de acomodação imediatamente nos primeiros ciclos de controle.

Dianta disso, a malha de controle apresenta característica de um controlador proporcional, assim, sabe-se que a tensão residual não tende a atingir zero, pois sempre um nível de erro (em relação à referência) vai existir, para que a ação de controle supere a perturbação causada pela impedância de saída finita do circuito. A malha de controle caracterizada no circuito é ilustrada no diagrama da Figura 4.3. Nesta, os ganhos K_2 e K_3 são aproximadamente a unidade, pois a queda de tensão sobre todos os interruptores, no caminho de realimentação, é praticamente nula quando o tempo de acomodação permitido é na ordem de microssegundos. Já o ganho K_1 depende das características e da palavra de configuração do DAC.

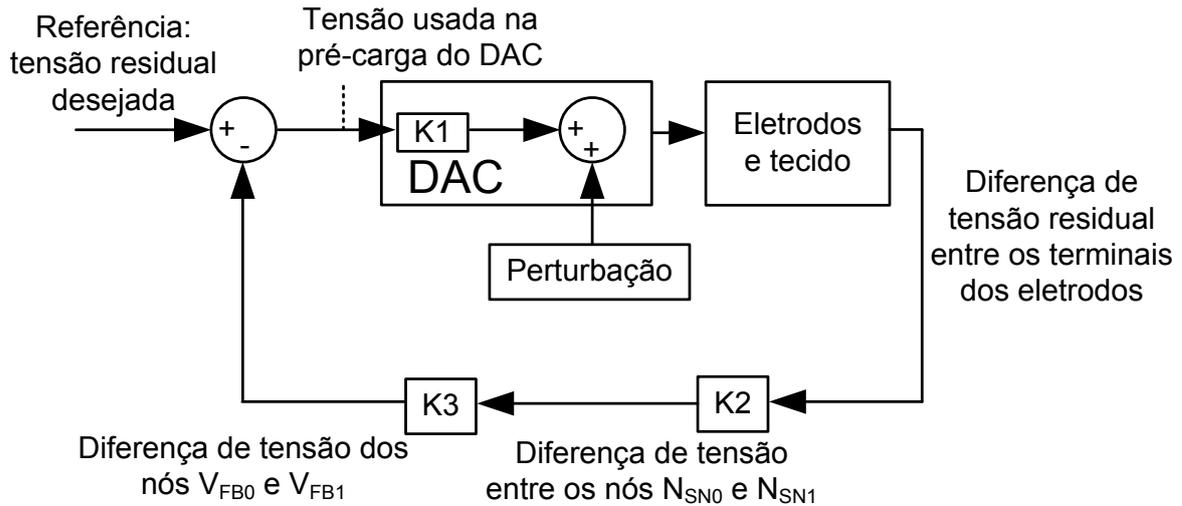


Figura 4.3 – Malha de controle de tensão residual

4.3 Resultados

Para validar e quantizar o desempenho da topologia proposta, um circuito foi projetado usando-se uma tecnologia CMOS. Este circuito foi simulado, operando em diferentes condições, de forma a destacar o desempenho para diferentes configurações e determinar a mais segura usando as métricas propostas. As situações simuladas incluem, em malha aberta e em malha fechada, para cada uma destas, as três sequências de pulsos que foram geradas: sequência de pulsos anódico primeiro, catódico primeiro e pulsos alternados.

Os parâmetros dos pulsos de corrente adotados são: a duração $500\mu s$, o período de estimulação que é 10 ms, a razão cíclica de 10% e 5% do período do intervalo entre os pulsos. A magnitude dos pulsos de corrente gerada é aproximadamente $500\mu A$. A situação em que pulsos catódico-primeiro são simulados está ilustrada na Figura 4.4, a tensão residual é amostrada $1\mu s$ após o fim do pulso anódico. O efeito de variação, na tensão V_B , não é visível.

A Figura 4.5, por sua vez, apresenta o comportamento da tensão residual dos eletrodos em simulação transiente, esta tensão é observada $1\mu s$ após o fim do segundo semiciclo de estimulação de cada ciclo. Os símbolos sobre as linhas, na figura, não representam os pontos de amostragem, são somente usados como identificação. Pode-se observar o início da estimulação e a tendência para os valores de regime permanente de operação após 1 segundo de operação.

Entre as seis curvas apresentadas na Figura 4.5, as linhas identificadas como "malha aberta" mostram o comportamento da tensão residual, enquanto o sistema opera sem controle. Nesta situação, a tensão residual cresce devido à impedância da carga e ao atraso entre pulsos.

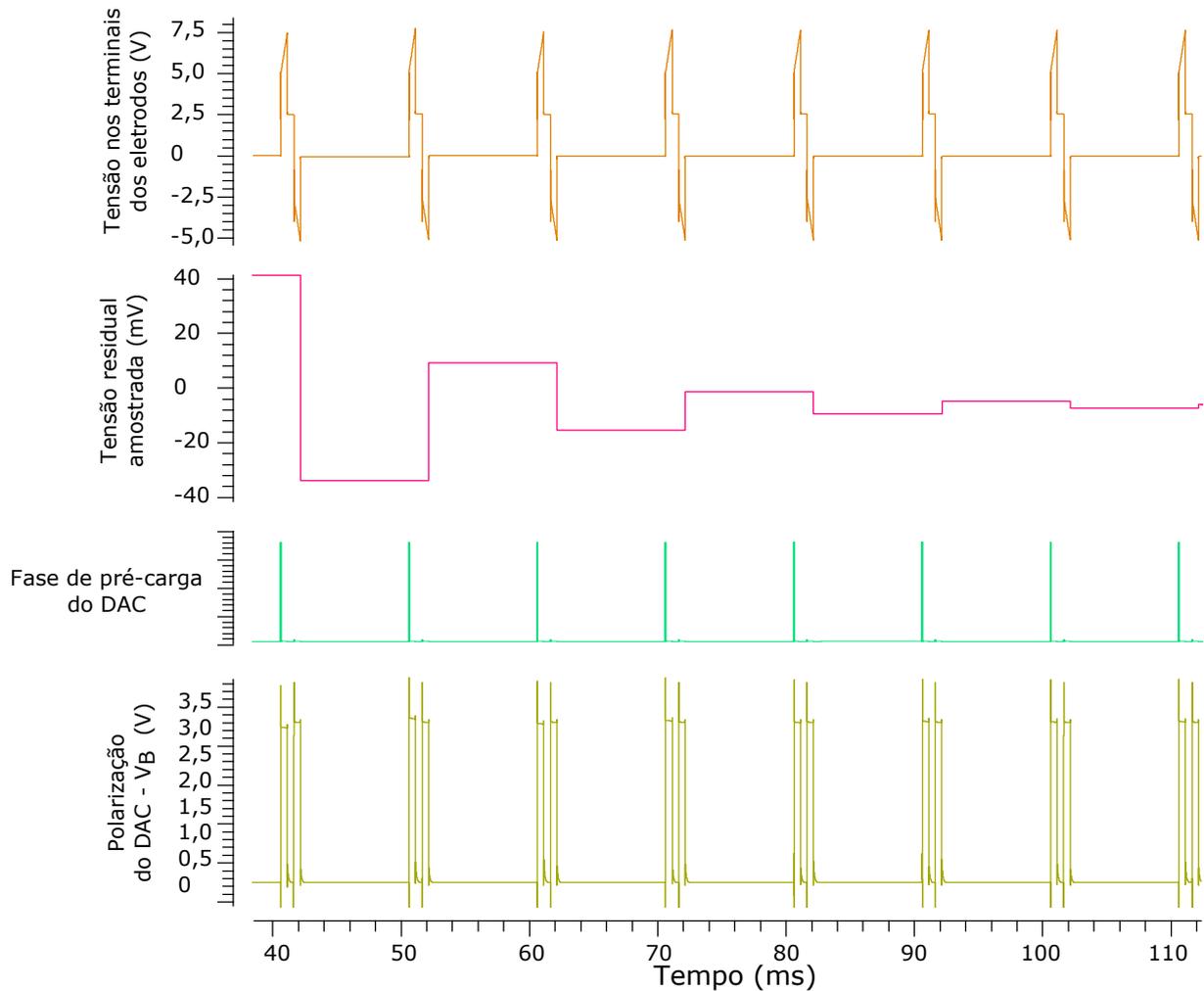


Figura 4.4 – Amostra de ciclos de simulação transiente, como ilustrado na Figura 4.2.

Os valores de tensão residual atingem $+310\text{mV}$, -290mV , $+50\text{mV}$ e $+43\text{mV}$, simulando estímulo catódico primeiro, anódico primeiro e alternados (para este são mostrados dois valores, máximo e mínimo), respectivamente. Já as curvas identificadas como "controlada" mostram as mesmas quantidades convergindo para valores menores, respectivamente, $+7,5\text{mV}$, $-6,5\text{mV}$, $+28\text{mV}$ e -26mV . Nessas situações, o controle de tensão residual é ativo, conforme descrito. A redução representa em torno de 97,5%, nos casos catódico e anódico-primeiro, e 40% no caso de pulsos alternados.

Percebe-se que, nos casos simulados, em malha aberta, usando-se pulsos tanto anódico como catódico-primeiro, a tensão residual cresce, mas, dentro do período simulado, não excede os limites estabelecidos, $-0,6\text{ V}$ a $+0,8\text{ V}$, da janela de hidrólise da água. É importante lembrar que existe variação no comportamento da carga para o circuito quando considerados eletrodos e tecidos diferentes; a simulação contemplou somente um caso restrito adotado para comparação de desempenho. O caso simulado também não representa a pior situação, ao ser levado em

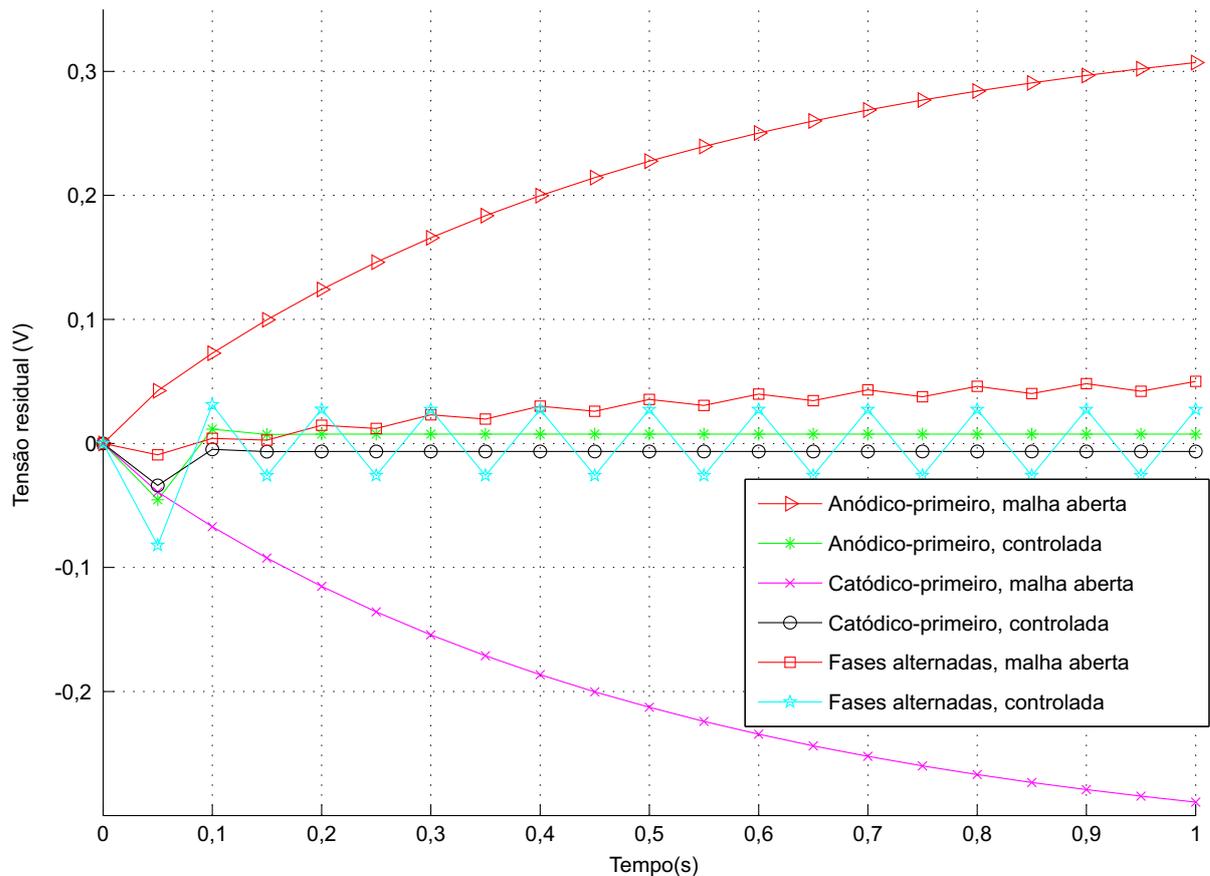


Figura 4.5 – Efeitos da compensação e alternância de fases na tensão residual.

conta o intervalo entre fases que pode influenciar na tensão residual (KRISHNAN; KELLY, 2012). A técnica proposta para controle dessa tensão se mostrou eficiente em qualquer das quatro situações simuladas. Na Tabela 4.1, o desempenho simulado é resumido junto com os parâmetros adotados para simulação e comparado com sistemas para estimulação, descritos na literatura, que realizam controle da tensão residual.

O trabalho SOOKSOOD; STIEGLITZ; ORTMANN (2010) usou a medida da tensão residual diretamente para fazer seu controle, adotando uma lógica simples: assim que é atingido um limiar definido, mais pulsos (curtos) são gerados, no sinal de estimulação, forçando-a no sentido de reduzir esta tensão (realimentação negativa). Esse circuito foi prototipado usando-se componentes discretos e instrumentação elétrica para validação da topologia proposta.

Por outro lado, LO et al. (2013) simularam uma malha de controle (controle linear) da tensão residual usando a duração dos pulsos de corrente como variável de controle. Desse modo, observaram bons resultados, mas não consideraram fatores práticos para implementação deste circuito, não houve validação da topologia usando circuito elétricos. O controlador usado

Tabela 4.1 – Comparação com trabalhos relacionados que também implementam controle da tensão residual

Trabalho	Duração do pulso (ms)	Atraso entre fases (ms)	Corrente máxima (mA)	Tensão residual (mV)
(LO et al., 2013) ^a	1,0	-	0,2	N.A. ^b
(SOOKSOOD; STIEGLITZ; ORTMANNNS, 2010) ^c	0,5	-	0,5	< ±100 ^d
Este trabalho ^a	0,5	0,5	0,5	+28, -26

^a Resultados simulados

^b Segundo LO et al. (2013) continuamente oscilando entorno de 0 V e nunca cruza a janela da água.

^c Resultados medidos

^d Segundo SOOKSOOD; STIEGLITZ; ORTMANNNS (2010), bem abaixo da janela da água, dependendo do nível definido.

foi tipo PID (componentes Proporcional, Integral e Derivativa) que é, em comparação com a topologia proposta, mais sofisticado e requer circuitos mais complexo para implementação física.

As três soluções comparadas se provaram seguras em neuroestimulação, considerando a métrica de tensão residual e limites dentro da janela de hidrólise da água, na interface entre eletrodo e tecido. Considerando a implementação das três topologias, é sugerida uma significativa redução dos circuitos necessários, adotando-se a técnica proposta em comparação com a de LO et al. (2013) e SOOKSOOD; STIEGLITZ; ORTMANNNS (2010).

5 CONCLUSÕES E PERSPECTIVAS

São apresentadas, neste trabalho, duas propostas de topologia de circuito para segurança na EFS, sendo cada uma focada em controlar um parâmetro entre dois principais identificados na literatura: equilíbrio de carga elétrica e tensão residual.

A topologia proposta para controle do equilíbrio de carga elétrica no tecido atua de forma ativa na intensidade dos pulsos gerados, não exigindo descarga por curto-circuito, entre os eletrodos, para garantir este equilíbrio. A comparação com trabalhos encontrados na literatura mostra que o desbalanço de carga percentual é equivalente ao mostrado em grande parte dos estudos relacionados. O sistema de controle de corrente reduziu o desbalanço em 64% em comparação com operação em malha aberta, enquanto que a técnica proposta com alternância de fase dos pulsos reduziu o desbalanceamento a menos que 0,05%. A topologia de circuito sugerida implementa técnicas de circuito tolerante à variação de parâmetros e descasamento entre componentes, o que é desejável para implementação na forma de circuito integrado.

Essa opção de topologia de circuito para controle da tensão residual simplifica a malha de realimentação, ao mesmo tempo em que mantém a tensão dentro de níveis toleráveis e tomados como seguros para EFS. Nesse sentido, o projeto e a simulação do circuito mostram que o desempenho esperado deste trabalho é equivalente a outros apresentados no estado da arte da literatura. A tensão residual foi reduzida em até 97%, quando pulsos somente catódico-primeiro ou anódico-primeiro foram usados, e em até 40%, quando pulsos de fase alternada foram usados. Desse modo, a principal contribuição nesta topologia proposta é a redução dos componentes e a simplificação do circuito, o que viabiliza a implementação em circuito integrado, sugerindo-se que seja apropriado para aplicações em que muitos pontos de estimulação são necessários.

Entre as decisões tomadas no projeto, podem-se destacar dois pontos em que as topologias de circuito favorecem a redução do consumo de energia. Primeiramente, foi mostrado que o DAC do tipo de redistribuição de carga é apropriado a esta aplicação. Em segundo lugar, destaca-se que a redução dos circuitos (topologia para controle do desbalanceamento) e a eliminação de circuitos ativos para realimentação (topologia para controle da tensão residual) são contribuições a favor da redução do consumo de energia do circuito. No entanto, o consumo de energia não foi avaliado como métrica de desempenho dos circuitos. Portanto, para uma completa validação e maior relevância desses resultados, uma simulação incluindo com-

ponentes parasitas resultantes da implementação física (simulação a nível de *layout* elétrico) e prototipação do circuito para realização de medições são os próximos passos sugeridos.

REFERÊNCIAS

- ALVAREZ, I. et al. Generalized alternating stimulation: a novel method to reduce stimulus artifact in electrically evoked compound action potentials. **Journal of Neuroscience Methods**, [S.l.], v.165, n.1, p.95 – 103, 2007.
- CHUN, H.; YANG, Y.; LEHMANN, T. Safety Ensuring Retinal Prosthesis With Precise Charge Balance and Low Power Consumption. **Biomedical Circuits and Systems, IEEE Transactions on**, [S.l.], v.8, n.1, p.108–118, Feb 2014.
- DO, A. T. et al. A current-mode stimulator circuit with two-step charge balancing background calibration. In: **CIRCUITS AND SYSTEMS (ISCAS), 2013 IEEE INTERNATIONAL SYMPOSIUM ON. Anais...** [S.l.: s.n.], 2013. p.409–412.
- FANG, X. et al. Novel Charge-Metering Stimulus Amplifier for Biomimetic Implantable Prosthesis. In: **CIRCUITS AND SYSTEMS, 2007. ISCAS 2007. IEEE INTERNATIONAL SYMPOSIUM ON. Anais...** [S.l.: s.n.], 2007. p.569–572.
- FINN, W. E.; LOPRESTI, P. G. **Handbook of Neuroprosthetic Methods**. [S.l.: s.n.], 2002.
- GUO, S.; LEE, H. Biphasic-current-pulse self-calibration techniques for monopolar current stimulation. In: **BIOMEDICAL CIRCUITS AND SYSTEMS CONFERENCE, 2009. BIOCAS 2009. IEEE. Anais...** [S.l.: s.n.], 2009. p.61–64.
- KRISHNAN, A.; KELLY, S. On the cause and control of residual voltage generated by electrical stimulation of neural tissue. In: **ENGINEERING IN MEDICINE AND BIOLOGY SOCIETY (EMBC), 2012 ANNUAL INTERNATIONAL CONFERENCE OF THE IEEE. Anais...** [S.l.: s.n.], 2012. p.3899–3902.
- KUANFU CHEN, Y.-K. L.; LIU, W. A 37.6mm² 1024-channel high-compliance-voltage SoC for epiretinal prostheses. In: **SOLID-STATE CIRCUITS CONFERENCE DIGEST OF TECHNICAL PAPERS (ISSCC), 2013 IEEE INTERNATIONAL. Anais...** [S.l.: s.n.], 2013. p.294–295.
- LINAHAN N. SHEPHERD, R. K. X. J. A. S. C. G. M. **Chronic electrical stimulation of the auditory nerve using non-charge balanced stimuli**. [S.l.]: Proceedings of the Australian Neuroscience Society (18th Annual Australian Neuroscience Meeting. Canberra), 1998.

LO, Y.-K. et al. Precision control of pulse widths for charge balancing in functional electrical stimulation. In: NEURAL ENGINEERING (NER), 2013 6TH INTERNATIONAL IEEE/EMBS CONFERENCE ON. **Anais...** [S.l.: s.n.], 2013. p.1481–1484.

LUAN, S.; CONSTANDINOU, T. G. A charge-metering method for voltage-mode neural stimulation. **Journal of Neuroscience Methods**, [S.l.], v.224, n.0, p.39 – 47, 2014.

NAG, S. et al. Flexible Charge Balanced Stimulator With 5.6 fC Accuracy for 140 nC Injections. **Biomedical Circuits and Systems, IEEE Transactions on**, [S.l.], v.7, n.3, p.266–275, June 2013.

NAG, S. et al. Flexible Charge Balanced Stimulator With 5.6 fC Accuracy for 140 nC Injections. **Biomedical Circuits and Systems, IEEE Transactions on**, [S.l.], v.7, n.3, p.266–275, June 2013.

PALANKER, D. V. et al. Attracting retinal cells to electrodes for high-resolution stimulation. In: BIOMEDICAL OPTICS 2004. **Anais...** [S.l.: s.n.], 2004. p.306–314.

RK SHEPHERD BK HG, C. G. The biocompatibility and safety of cochlear prostheses. In: **Cochlear prostheses**. [S.l.]: Churchill Livingstone, 1990. p.69–99.

ROBERT K. SHEPHERD A, E. J. **Effect of stimulus waveshape on single fibre response properties**. [S.l.]: Hearing Research, 1999. 171-188p. v.130.

RODRIGUES, C. et al. A 2.6V Silicon-on Sapphire CMOS current imbalance sensing circuit for neurostimulation applications. In: CIRCUITS AND SYSTEMS (MWSCAS), 2013 IEEE 56TH INTERNATIONAL MIDWEST SYMPOSIUM ON. **Anais...** [S.l.: s.n.], 2013. p.971–974.

SECOND Sight. Acessado: 2015-05-25. Desenvolvedor e fabricante de próteses visuais., <http://www.2-sight.com/>.

SHEPHERD, R. K.; JAVEL, E. Electrical stimulation of the auditory nerve: ii. effect of stimulus waveshape on single fibre response properties. **Hearing Research**, [S.l.], v.130, p.171 – 188, 1999.

SIT, J.-J.; SARPESHKAR, R. A Low-Power Blocking-Capacitor-Free Charge-Balanced Electrode-Stimulator Chip With Less Than 6 nA DC Error for 1-mA Full-Scale Stimulation. **Biomedical Circuits and Systems, IEEE Transactions on**, [S.l.], v.1, n.3, p.172–183, Sept 2007.

SOOKSOOD, K.; STIEGLITZ, T.; ORTMANN, M. An Active Approach for Charge Balancing in Functional Electrical Stimulation. **Biomedical Circuits and Systems, IEEE Transactions on**, [S.l.], v.4, n.3, p.162–170, June 2010.

TAN, J. et al. A programmable muscle stimulator based on dual-slope charge balance. In: SOLID STATE CIRCUITS CONFERENCE (A-SSCC), 2011 IEEE ASIAN. **Anais...** [S.l.: s.n.], 2011. p.197–200.

TRAN, N. et al. A prototype 64-electrode stimulator in 65 nm CMOS process towards a high density epi-retinal prosthesis. In: ENGINEERING IN MEDICINE AND BIOLOGY SOCIETY, EMBC, 2011 ANNUAL INTERNATIONAL CONFERENCE OF THE IEEE. **Anais...** [S.l.: s.n.], 2011. p.6729–6732.

XU J SHEPHERD RK, M. R. C. G. **Chronic electrical stimulation of the auditory nerve at high stimulus rates: a physiological and histopathological study.** [S.l.]: Hearing Research, 1997. 1-29p. v.105.

APÊNDICES

Apêndice A - Trabalho a ser publicado

Como resultado deste trabalho atualmente existe um artigo elaborado relatando a topologia e resultados de balanço de carga que será apresentado no evento Midwest Symposium on Circuits and Systems (MWSCAS). Este é intitulado *A Charge-Redistribution Based Controller for Keeping Charge Balance in Neural Stimulation* e encontra-se na íntegra a seguir.

A Charge-Redistribution Based Controller for Keeping Charge Balance in Neural Stimulation

Lucas Teixeira
 Graduate Program in Informatics
 Federal University of Santa Maria
 teixeira@ieee.org

Cesar Rodrigues, Cesar Prior
 Dept. of Electronics and Computing - CT
 Federal University of Santa Maria
 cesar@ieee.org, cesar.prior@ieee.org

Abstract—In this article, we present a circuit solution for sensing and controlling functional electrical stimulation (FES) currents. The objective is to keep both charge balance and residual electrode voltage under a safe limit throughout stimulation. In the proposed circuit, the stimulation current is set through an ultra-low-power charge-redistribution digital-to-analog converter (CR-DAC). Each stimulation pulse is copied by high-ratio current mirror into switched capacitors which integrate the residual direct current (DC) resulting from FES imbalances. As residual electrode voltage may buildup even for perfectly balanced current pulses, alternated cathodic-first and anodic-first stimulation is adopted to complement the charge-balancing mechanism. Simulation results suggest that the circuit is able to keep both residual charge and electrode voltage under safe limits, smaller than 0.05% and 64 mV respectively.

I. INTRODUCTION

A major issue for all type of FES is the charge balancing. When stimulation currents have DC components, the accumulated electronic charge is converted into ionic species in the tissue. In the long term, remaining ions deteriorate both tissue and the electrode, which may lead to stimulation inefficacy, and ultimately, to implant removal. After Shepherd [1] several researchers assumed 100 nA as the maximum tolerated DC current component to avoid tissue damages. Still, it was recently demonstrated [2] that even perfectly balanced stimulations may be not sufficient to avoid charge accumulation at electrode-tissue interface. Faradaic current flowing during inter-phase delay leads to charge build-up on the electrode, thus resulting in residual voltages.

Solutions for reducing charge accumulation can be divided into two categories: passive and active techniques. Active compensation techniques are the main choice for implementing FES on a chip [3][4]. For implantable FES integrated circuits (ICs), low-power operation, reduced area, and use of standard options of the chosen fabrication technology are also desirable features.

In this work we present a novel approach to enhance safety in FES. The solution combines sensing and controlling stimulation currents with a specially balanced waveform to prevent the rise of residual voltage between electrodes.

The paper is organized as follows: the architecture conception is presented in the next section, including a description of each block; the third section presents simulation results and a

comparative analysis with other works. Section IV discusses results and concludes this paper.

II. SYSTEM ARCHITECTURE

The concept of the proposed charge imbalance compensation is illustrated in Fig. 1. The proposed circuit consists of four blocks: a capacitive charge-redistribution digital-to-analog converter (DAC) driving a current sink, a charge imbalance sensing block, an error feedback mechanism, and a state-machine to generate timing and control signals.

As the timing and control circuitry is not the main focus of this work a detailed description is omitted for brevity. The general circuit operation can be described as follows. The controller loads a binary code for stimulation amplitude into the DAC. The DAC delivers two identical consecutive biasing pulses to the gate of M_{SNK} , thus controlling the current sunk from electrodes through high-voltage (HV) switches. The sequence in which the HV-switches are driven defines the current direction, i.e., a cathodic first or an anodic first biphasic stimulation. Attenuated copies of stimulation current pulses charge a pair of matched capacitors with voltages proportional to the charges delivered during cathodic and anodic stimulation phases.

Any charge imbalance between cathodic and anodic stimulation phases is represented as a voltage difference between sensing capacitors C_A and C_B . The resulting error signal is fed back directly into the DAC by precharging part of its capacitors in order to change the intensity of only one of the next pair of pulses. The correct polarity to the feedback is chosen in such a way to force a change in the generated current with opposite polarity of the previously stored voltage error, i.e., imposing

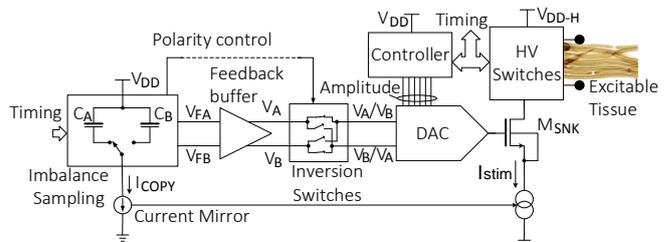


Fig. 1. Topology diagram

a negative feedback. In opposition to techniques relying on monitoring residual voltage on HV-electrodes, this strategy is suitable for sensing stimulation current at HV swinging electrodes employing only low-voltage devices available from the standard CMOS fabrication technologies.

Furthermore, unlike solutions relying on high output impedance of DACs [5], since the proposed feedback loop monitors the actual amount of charge delivered by the DAC, charge balancing accuracy does not depend on DAC resolution.

Krishnan [2] has demonstrated that keeping a perfect charge balance among cathodic and anodic stimulation is insufficient to assure safe stimulation when interphase delays are used. Thus, in addition to a charge control mechanism, a measure must be adopted to prevent residual voltage across electrodes exceeding limits of water electrolysis window. In order to assure both charge balancing and low residual voltages, the controller is programmed to perform a bipolar stimulation alternating cathodic-first and anodic-first cycles. The association of this stimulation strategy, originally proposed to reduce stimulus artifacts in FES [6], to our current controller proved to be potentially effective at keeping both charge imbalance and residual voltage into safe levels.

A. Control of Stimulation Current

The stimulation amplitude is set through a CR-DAC. It was chosen due to its lower energy consumption when compared to current-steering DACs, the most employed topology for neural stimulators. The low-power consumption of CR-DACs, highly desirable to implantable FES systems, is because they demand power only at the beginning of conversion, when capacitors are being charged. Typical power consumption figures of CR data converters are in the order of fJ/conversion [7].

The 6-bit CR-DAC is schematized in Fig.2.a. A number of binary weighted capacitors, defined by the input binary code (d_0, d_1, \dots, d_5 in Fig.2), is charged with a known voltage V_{PRE} . Voltages from remaining ones are zeroed. After this precharging phase, according to the input code, some capacitors are connected to V_{REF} and others are grounded. The output node (V_B) is common to all capacitors, and its resulting voltage depends on the input code and V_{PRE} . The output voltage thus ranges from zero, if the input is 000 000, to $V_{REF} + V_{PRE}$, for 111 111, according to the equation (1). In equation (1), C_1 represents the sum of capacitances of all weighted capacitors corresponding to code bits with high level, to be connected in V_{REF} . On the other hand, C_0 is the sum for bits with low logic level (to be grounded).

$$V_b = \frac{C_1}{C_1 + C_0} V_{REF} + \frac{C_1}{C_1 + C_0} V_{PRE} \quad (1)$$

In our implementation, the compromise between V_{REF} and parameters of M_{SNK} allows currents from zero to $600 \mu A$ with $9.3 \mu A$ steps (average) to be generated. In addition to its low power consumption, the charge-redistribution topology is conveniently suited to allow a simple feedback scheme to the proposed charge imbalance meter. Adding or subtracting a voltage signal can be done by simply precharging part of the

capacitors with V_{PRE} , before connecting them to V_{REF} or ground. This voltage signal is obtained from a measurement or sensing circuit.

B. Charge Sensing Block

The function of the charge sensing circuit is to generate a voltage signal that is proportional to the total charge imbalance. This signal is used to compensate imbalance in next stimulation cycles. The circuitry consists of a high-ratio current mirror and a pair of switched capacitors C_A and C_B (Fig. 2.b). The choice for this specific current mirror architecture stemmed from its low series voltage drop to the load, designed to be less than 5 mV of a 9.9 V power supply. The original mirror topology [8] with bipolar transistor has been modified for MOS transistors, and had its resistor load at the output replaced by an NMOS transistor biased in triode region (M_{6M}). This modification was introduced to eliminate the need for two large matched resistors. The current is controlled through biasing M_{7M} with the amplified difference of voltages between R_{REF} and V_{D6} . The differential amplifier is formed by M_{1M} , M_{2M} (input section), and M_{3M} , M_{4M} (load). M_{7M} is cascoded by M_{8M} to increase output impedance. M_{5M} and M_{9M} keep mirror off while no pulse is generated.

The high current copy ratio, 1:330k, is necessary to keep C_A and C_B at acceptable sizes considering allowed voltage ranges and pulse lengths. The capacitors C_A and C_B have 2 pF each.

The resulting mirrored current, I_{copy} is sunk from one or other capacitor in alternating phases. During cycle 1 C_A is charged through phase ϕ_{A0} in first half cycle, and C_B is charged through phase ϕ_{B1} in second half. During cycle 2 C_B is charged through phase ϕ_{B2} and after C_A through ϕ_{A3} . This sequence repeats through cycle 3 as in 1 and through cycle 4 as in 2. The resulting signal is a voltage difference between the capacitors ($V_A - V_B$) that represents the accumulated charge imbalance. Using such differential approach allows us to relax the mirror output impedance requirements, and at the same time, to reduce the charge injection effect caused by switches on each capacitor. Additionally, being the error voltage generated along four consecutive cycles, as charging order of C_A and C_B is alternated, the mismatch between both is cancelled.

C. Feedback Loop

The feedback loop is set by connecting the voltage signal ($V_A - V_B$) to DAC through the buffer shown in 2.b) at the end of each stimulation cycle.

The precharge of the DAC capacitors is done with $V_{FA} - V_{FB}$ (buffer outputs) through switches S_{PCH} . During precharge phase (ϕ_{PCH}) the voltage buffer keeps V_B near feedback signal V_{FA} , while feeds signal V_{FB} into terminals of the DAC defined by the amplitude code. These terminals are connected to capacitors when DAC is removed from reset condition. The current imbalance error value is valid to be used at the end of each stimulation cycle, being precharged

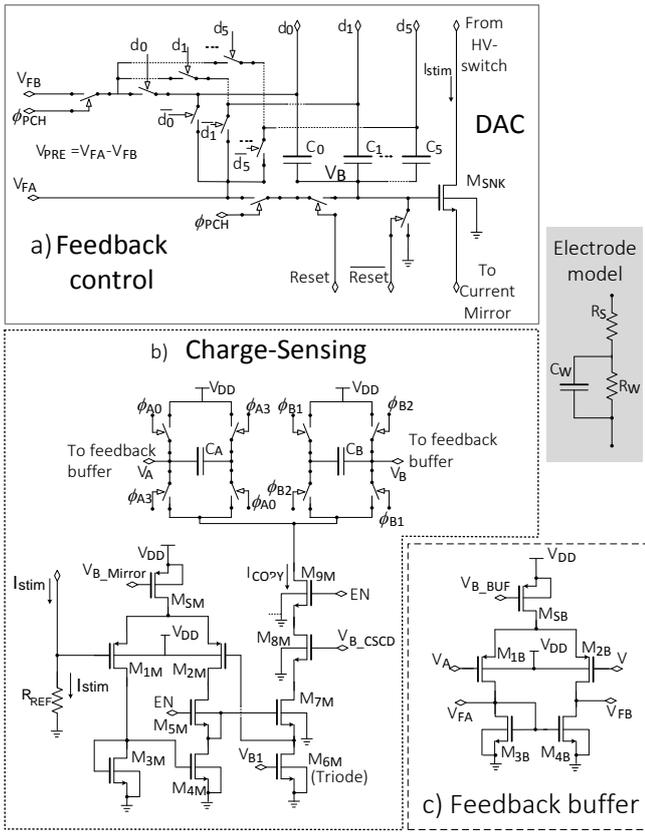


Fig. 2. a) Stimulation current control. b) Charge sensing block c) Feedback voltage buffer

into DAC capacitors. This operation is illustrated in Fig. 3. When a current imbalance on anodic pulse (ΔI_1) occurs, the feedback circuit reacts disturbing the DAC biasing by ΔV_1 , ΔV_2 and ΔV_3 . Intensity reductions or increments (ΔI_2 , ΔI_3 , ΔI_4 , ΔI_6) in leading pulses of next stimulation cycles are established in order to compensate (ΔI_1).

In order to charge the capacitors with enough voltage to effectively reduce current imbalances, the signal resulting at each stimulation cycle is kept as initial condition to the next cycle. This operation characterizes the imbalance sampling circuit.

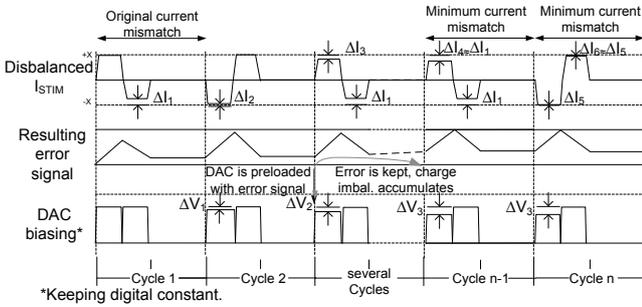


Fig. 3. Signals from charge balancing dynamics.

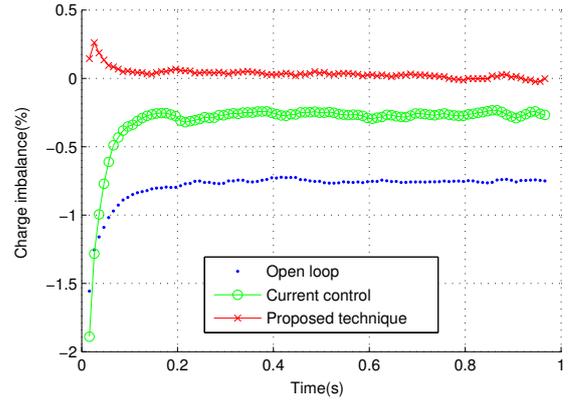


Fig. 4. Effects of compensation and phase alternation on charge balancing.

cuitry as an integrative compensator. The use of an integrative compensator in the feedback loop avoids the need for an extra circuit while ensures a final DC error limited only by the sensing error. Thus, keeping a low sensing error is crucial to an accurate charge balancing. Thus, we choose to keep the feedback as an analog quantity instead of a digital approach as in [9], since increasing DAC resolution requires larger capacitors. Besides the absence of quantization errors, this approach also saves power and (more) area for an analog-to-digital conversion stage.

III. SIMULATION RESULTS

To characterize performance of proposed circuit, it was simulated for different stimulation current magnitudes. The electrode electrical model similar to a $20 \mu m$ platinum micro-electrode presented by [5] is adopted: $R_S=10 \text{ k}\Omega$, $C_W=100 \text{ nF}$ and $R_W=1 \text{ M}\Omega$. In order to characterize the ability of the system to keep charge balancing and low residual voltage across electrodes, simulations were performed for uncompensated stimulations and with the feedback turned on. Stimulation cycles were generated with pulse length of $500 \mu s$, both duty cycle and the interphase delay are 10 % of the pulse width, and current magnitude was set to $600 \mu A$. Effects of current control on injected charge balancing and residual voltage across electrodes are respectively depicted in Figs. 4 and 5:

Three curves are shown in each of the Figs. 4 and 5. The plot labeled as "open loop" shows that a current mismatch due to a finite output impedance of the stimulation current source stabilizes around -0.75% (Fig.4), and a residual voltage converging to 0.54 V (Fig.5). The curve labeled as "current control" shows same quantities converging to smaller values of respectively -0.27% and -0.4 V . It should be noticed that in spite of reductions of 0.48% in imbalance and 25% in the residual voltage, effects of Faradaic currents during interphase delays still cause appreciable effects on both measures. The plot identified as "proposed technique" shows both the charge imbalance converging to zero (less than 0.05%) and residual

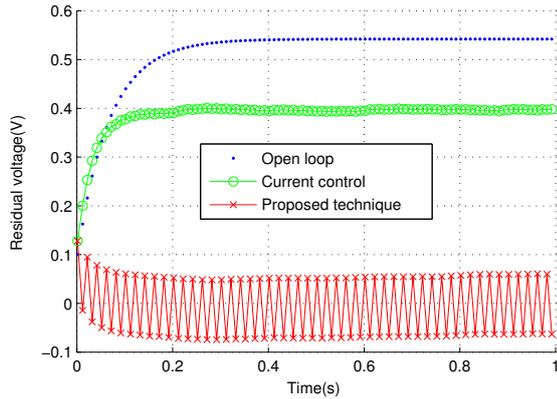


Fig. 5. Effects of compensation and phase alternation on residual voltage across electrodes.

voltage sweeping between +60 mV and -64 mV, well below the limits of water window for main electrode materials.

In table I, this performance is summarized and compared to state-of-the-art active integrated charge balancing systems found in literature.

TABLE I
COMPARISON OF RELATED WORKS

Work	Period (ms)	Pulse length (ms)	Full-scale current/charge per cycle	Balancing error (%)	Residual voltage (mV)
[4] ^a	1.0	0.05	1.0 mA	<1	N.A.
[5] ^b	3.0	0.1	1.0 mA	0.03	N.A.
[10] ^a	0.4	0.01	1.0 mA	0.03	N.A.
[11] ^b	1	0.03	1.0 mA	0.4	12.0
[9] ^a	1	0.1	10 nC	0.7	N.A.
[12] ^a	-	0.093	50 nC	0.2	N.A.
This work ^a	12	0.5	0.6 mA	0.05	±100

^aSimulated results

^bMeasured results

Most of the charge balancing schemes found in literature focus on reducing mismatches between cathodic and anodic pulses. Employed methods range from enhancing output impedance of stimulation current sources [5], self-calibration using current samples [10], and dynamic current balancing [11]. These solutions were proved to work very well when charge imbalance depends only on circuit mismatches. However, when mismatches in Faradaic currents a feedback mechanism is required. A variety of feedback schemes has been published, including digital controllers [12][9], background MOS substrate voltage calibration [4], among others. Most used error sampling techniques, relies on inserting a series resistor with electrodes [12] or directly measuring residual voltage from electrodes [4]. Besides the apparent equivalence of results, a fair comparison is not simple because charge balancing and residual voltage are highly influenced by stimulation waveform and electrode parameters.

IV. CONCLUSION

This paper proposes a solution for enhancing neural stimulation safety. The strategy comprises a charge balancing control technique allied to a stimulation waveform that alternates cathodic-first and anodic-first cycles. The charge balancing circuit relies on integrating a copy of stimulation current in a pair of switched capacitors to generate a voltage signal representing the charge imbalance. This error signal is feedback into DAC, as an analog quantity, allowing it to balance stimulation in forthcoming cycles. Simulated results suggest that the technique presented here may contribute to enhance neural stimulation safety by reducing both charge imbalance and residual voltage across electrodes.

ACKNOWLEDGMENT

This work has been supported by CNPq, Conselho Nacional de Desenvolvimento Científico e Tecnológico (Brazil), under the grant 487183/2013-4.

REFERENCES

- [1] Shepherd RK, Linahan N, Xu J, Clark GM, Araki S., "Chronic electrical stimulation of the auditory nerve using non-charge-balanced stimuli," *Acta Otolaryngol.*, vol.119, no.6, pp.674,684, 1999.
- [2] Krishnan, A.; Kelly, S.K., "On the cause and control of residual voltage generated by electrical stimulation of neural tissue;" in *34th Annual International Conference of the IEEE Engineering in Medicine and Biology Society (EMBC)*, San Diego, CA, USA, pp.3899,3902, Aug. 28-Sept. 1, 2012. doi: 10.1109/EMBC.2012.6346819
- [3] Sooksood, K.; Stieglitz, T.; Ortmanns, M.; "An experimental study on passive charge balancing" *COPERNICUS, Advances in Radio Science*, vol.7, pp.197,200, 2009.
- [4] A.T. Do, Y.S. Tan, G.M. Xiong, C. Choong, Z.H. Kong, K.S. Yeo, "A current-mode stimulator circuit with two-step charge balancing background calibration," *IEEE Int. Symp. Circuits and Systems (ISCAS)*, pp.409,412, 19-23 May 2013. doi: 10.1109/ISCAS.2013.6571867.
- [5] H. Chun, Y. Yang, T. Lehmann, "Safety Ensuring Retinal Prosthesis with Precise Charge Balance and Low Power Consumption", in *IEEE Trans. Biomed. Circuits Syst.*, vol.8, no.1, Feb. 2014. doi: 10.1109/TB-CAS.2013.2257171.
- [6] Isaac Alvarez, Angel de la Torre, Manuel Sainz, Cristina Roldan, Hansjoerg Schoesser, Philipp Spitzer, "Generalized alternating stimulation: A novel method to reduce stimulus artifact in electrically evoked compound action potentials", *J. Neurosci. Meth.*, vol.165, no.1, pp.95,103, Sep. 2007. doi:10.1016/j.jneumeth.2007.05.028
- [7] J. Craninckx, G. Van der Plas, "A 65fJ/conversion-step 0-to-50MS/s 0-to-0.7mW 9b charge-sharing SAR ADC in 90nm digital CMOS", in *Proc. IEEE Int. Solid-State Circuits Conf. (ISSCC), Tech. Dig.*, San Francisco, CA, USA, pp. 246,600, Feb. 2007. doi: 10.1109/ISSCC.2007.373386.
- [8] L. Tomasini, R. Castello, High impedance, high ratio current mirror, European Patent, EP 0 584 435 A1, Mar. 02, 1994.
- [9] S. Luan, T. G. Constandinou, "A Charge-Metering Method for Voltage Mode Neural Stimulation", *J. Neurosci. Meth.*, vol.224, pp.39,47, Mar. 2014. doi:10.1016/j.jneumeth.2013.11.028
- [10] Song Guo; Hoi Lee, "Biphasic-current-pulse self-calibration techniques for monopolar current stimulation," *Biomedical Circuits and Systems Conference*, 2009. BioCAS 2009. IEEE, vol., no., pp.61,64, 26-28 Nov. 2009. doi: 10.1109/BIOCAS.2009.5372085
- [11] Ji-Jon Sit; Sarpeshkar, R., "A Low-Power Blocking-Capacitor-Free Charge-Balanced Electrode-Stimulator Chip With Less Than 6 nA DC Error for 1-mA Full-Scale Stimulation," *Biomedical Circuits and Systems, IEEE Transactions on*, vol.1, no.3, pp.172,183, Sept. 2007. doi: 10.1109/TBCAS.2007.911631
- [12] Xiang Fang; Wills, J.; Granacki, J.; LaCoss, J.; Arakelian, A.; Weiland, J., "Novel Charge-Metering Stimulus Amplifier for Biomimetic Implantable Prosthesis," *Circuits and Systems, 2007. ISCAS 2007. IEEE International Symposium on*, pp.569,572, 27-30 May 2007. doi: 10.1109/IS-CAS.2007.378801

Apêndice B - Trabalho submetido para avaliação

Existe também um artigo submetido para avaliação para possível apresentação no evento Symposium on Integrated Circuits and Systems Design (SBCCI) que relata a topologia proposta para controle de tensão residual e resultados da simulação desta. Este é intitulado *Direct Feedback Topology for Reducing Residual Voltage in Functional Electrical Stimulation* e encontra-se a seguir.

Direct Feedback Topology for Reducing Residual Voltage in Functional Electrical Stimulation

Lucas Teixeira
Graduate Program in
Informatics
Federal University of Santa
Maria
teixeira@ieee.org

Cesar Rodrigues
Dept.of Electronics and
Computing - CT
Federal University of Santa
Maria
cesar@ieee.org

César Prior
Dept.of Electronics and
Computing - CT
Federal University of Santa
Maria
cesar.prior@ieee.org

ABSTRACT

Implantable functional electric stimulation (FES) systems are currently being investigated as treatment for some types of neural dysfunctions. For this purpose, several neural stimulator systems on a chip (SOCs) have been proposed for: deep brain stimulation (DBS), cochlear prosthesis, visual prosthesis (VP), and artificial limbs control. Two major and related issues in FES are the charge balancing and Faradaic currents. When stimulation currents have DC components, or if residual voltage persists across electrodes, the accumulated electronic charge is converted into ionic species, thus feeding irreversible Faradaic reactions that damage electrodes and necrose tissues. This article introduces circuit solutions for balancing functional electrical stimulation whilst reducing residual voltages at electrodes. The circuit consists of four blocks: an ultra-low-power charge-redistribution digital-to-analog converter (CR-DAC), a feedback mechanism, a high-voltage H-bridge and a digital controller. To prove the effectiveness of the proposed topology a circuit is being designed in CMOS UMC130nm technology, and simulation results suggest that proposed technique allows to keep electrode voltage under safe limits, smaller than $28mV$.

Keywords

Functional Electric Stimulation, Integrated circuit, Residual voltage

1. INTRODUCTION

Charge balancing is a major issue for all type of FES. Accumulated electronic charge is converted into ionic species in the tissue when stimulation current contains a DC component. In the long term, remaining ions deteriorate both tissue and the electrode, which may lead to stimulation inefficacy, and tissue damage. After Shepherd [8] several researchers assumed $100nA$ as the maximum tolerated DC current component to avoid tissue damages. Still, it was

recently demonstrated [3] that even perfectly balanced stimulations may be not sufficient to avoid charge accumulation at electrode-tissue interface. Faradaic current flowing during inter-phase delay leads to charge build-up on the electrode, thus resulting in residual voltages.

Solutions for reducing the residual voltages in the electrode-tissue interface are usually divided in passive and active techniques. The passive ones rely on a large blocking capacitor (not feasible for fabrication on an integrated circuit) or electrode shortening [9]. The last is not suitable for multi-electrode applications in which one shortened electrode will harm nearby electrodes stimuly. Active compensation solutions act controlling electrode residual voltage, this is achieved changing stimulation pulses parameters accordingly to observed voltage. That brings the overload of circuits for measuring a signal, taking a decision and actively changing stimulation format.

A multisite electrical stimulation like visual prosthesis (VP) is a target application that requires a great number of electrodes, in this case the retina tissue of a patient receives direct stimulation in a defined number of points. The sick tissue that have lost part of functionality, i.e. light sensibility, so electrical stimulation mimics the effect of light that hits the retina tissue. That can bring the patient back this sense or at least visual sensation that aids in daily life activity. In order to provide a reasonable experience of image recognition for reading in an implanted patient [7] estimates that a minimum number of electrodes would be 18,000 points (pixels) that should stimulate an area of $7mm^2$ in retina. With current technology a great number of stimulation channels is practicable with external circuitry and instrumentation, but is limited by the volume of this electrical equipment and number of connection wires. The implementation of such system in an integrated circuit (IC) could turn it in to an embeeded implant that fulfills expectative of number of channels in a practical application, but the designers are still facing it as great technical challenge. A couple of hundreds of stimulation channels were already demonstrated to be possible by [6], [11], [4] and others. In this sense any effort to reduce the electrodes size and circuitry area necessary for safe stimulation is a step forward to better VP systems.

In this work we present a novel approach to enhance safety in FES. It combines sensing and controlling stimulation currents pulses intensity simply by passive use of residual voltage. The strategy is suitable for use with a CR-DAC.

The paper is organized as follows: the architecture concep-

tion is presented in the next section, including a description of each block; the third section presents simulation results and a comparative analysis with other works. Section IV discusses results and concludes this paper.

2. SYSTEM ARCHITECTURE

The concept of the proposed residual voltage compensation is illustrated in Fig. 1. The proposed circuit consists of four blocks: a capacitive charge-redistribution digital-to-analog converter (DAC) driving a current sink, a feedback path for DAC precharge, high voltage switches, and a finite-states machine (FSM) to generate timing and control signals.

The general circuit operation can be described as follows. The controller loads a binary code for stimulation amplitude into the DAC. The DAC delivers two identical consecutive biasing pulses to the gate of M_{SNK} , thus controlling the current sunk from electrodes through high-voltage (HV) switches. The sequence in which the HV-switches are driven defines the current direction, i.e., a cathodic first or an anodic first biphasic stimulation.

The electrode terminals are connected between N_{load0} and N_{load1} , each connected to one branch formed by two high voltage switches, those are built with a stack of low voltage MOS devices. The current sunk by DAC (I_S) may flow through M_{SN0a} , M_{SN0b} , M_{SN0c} , M_{SP1a} , M_{SP1b} and M_{SP1c} or through M_{SP0a} , M_{SP0b} , M_{SP0c} , M_{SN1a} , M_{SN1b} and M_{SN1c} .

2.1 Control of Stimulation Current

The stimulation amplitude is set through a CR-DAC. It was chosen due to its lower energy consumption when compared to current-steering DACs, the most employed topol-

ogy for neural stimulators. The low-power consumption of CR-DACs, highly desirable to implantable FES systems, is because they demand power only at the beginning of conversion, when capacitors are being charged. Typical power consumption figures of CR data converters are in the order of fJ/conversion [2].

The 6-bit CR-DAC is schematized in Fig.1. A number of binary weighted capacitors (C_0, C_1, \dots, C_n , total capacitance sum is 1 pF, $n=5$), defined by the input binary code (d_0, d_1, \dots, d_n), is charged with a known voltage V_{PRE} that is the difference between V_{FB0} and V_{FB1} . Voltage from remaining capacitors are zeroed. After this precharging phase, according to the input code, some capacitors are connected to V_{REF} and others are grounded (F_{PULSE} active). The output node (V_B) is common to all capacitors, and its resulting voltage depends on the input code and V_{PRE} . The output voltage thus ranges from zero, if the input is 000 000, to $V_{REF} + V_{PRE}$, for 111 111, according to the equation (1). In equation (1), Cap_1 represents the sum of capacitances of all weighted capacitors corresponding to code bits with high level, to be connected in V_{REF} . On the other hand, Cap_0 is the sun for bits with low logic level (to be grounded).

$$V_B = \frac{Cap_1}{Cap_1 + Cap_0} V_{REF} + \frac{Cap_1}{Cap_1 + Cap_0} V_{PRE} \quad (1)$$

In our implementation, the compromise between V_{REF} and parameters of M_{SNK} allows currents from zero to $500\mu A$ with $7.9\mu A$ steps (average) to be generated. In addition to its low power consumption, the charge-redistribution topology is conveniently suited to allow a simple feedback scheme to the proposed residual voltage compensation. Adding or subtracting a voltage signal can be done by simply precharging part of the capacitors with V_{PRE} , before connecting them to V_{DD} or ground. The feedback resolution is not dependent on the DAC resolution because precharge voltage is a continuous variable, its influence in dac bias is modelled as shown in Equation 1.

2.2 Feedback Loop

The feedback loop is set by connecting the voltage signal ($V_{SN0} - V_{SN1}$) to DAC through the switches shown in Fig. 1 before the begin of each stimulation cycle. The precharge of the DAC capacitors is done through passive only circuits. During an operation phase (DAC precharge, see Fig 2) while no current flows from power supply to the load the residual voltage can be used to precharge DAC's capacitors, in order to change it's value. The branch build of M_{SN0a} , M_{SN0b} , M_{SN0c} is turned on and node N_{SN1} connected to a reference voltage (V_{REF}), lower than its voltage while M_{SN1a} is blocked, that caused M_{SN1c} and M_{SN1b} to turn on. At this moment N_{SN0} and N_{SN1} have similar voltages to the load residual voltage (V_{SN0} and V_{SN1}). The reason to extract the signal from these nodes N_{SN0} and N_{SN1} is that low voltage switches can be used to handle the signal from them, on the other hand if the signal was extracted from the load terminals switches should withstand much higher voltage levels during load stimulation phases.

The residual voltage in signals N_{SN0} and N_{SN1} may be used as differential DAC precharge signal (between V_{FB0} and V_{FB1}) when feedback is enable (F_{EN} active). If feedback is not active the DAC precharging is made with zero differential voltage. An arrangement of passive switches

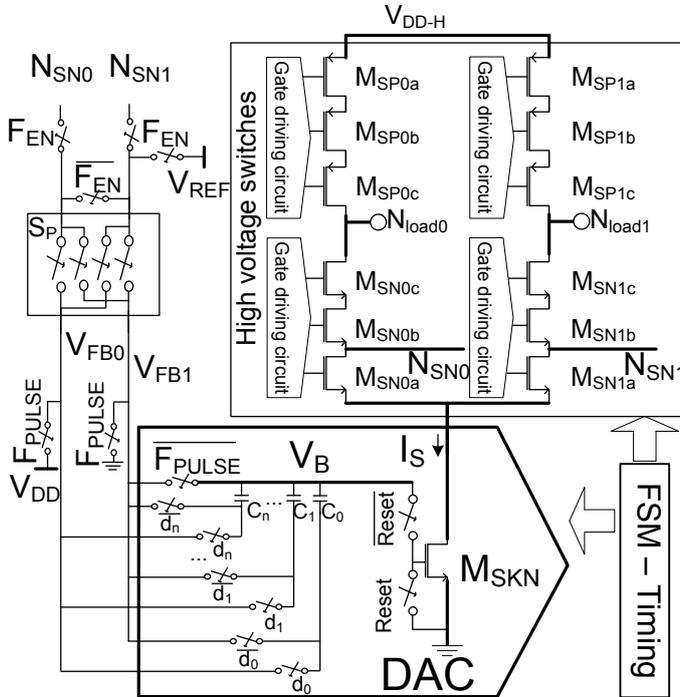


Figure 1: Topology diagram

(S_P) allow to invert precharge signals polarity, to impose always negative feedback in even cathodic first or anodic first pulses. The feedback path is not enable while the pulses are generated, F_{PULSE} are kept enable and all S_P switches are open during current pulses.

The feedback operation is illustrated in Fig. 2. When a residual voltage on cathodic pulse occurs, the feedback circuit reacts disturbing the DAC biasing by ΔV_1 and ΔV_2 . Intensity reductions or increments in leading pulses of next stimulation cycles are established in order to compensate (ΔV_{RES1}). After a number of stimulation cycles with the feedback enable the system reaches steady state with minimum residual voltage of ΔV_{RES2} V. As a proportional only controller is characterized in this circuit always a minimum residual voltage will remain in the load terminals.

3. SIMULATION RESULTS

To characterize performance of proposed circuit topology, a prototype circuit was designed in CMOS UMC130nm technology and it was simulated using Cadence Spectre for different stimulation situations (schematic level simulation). The electrode electrical model used is similar to a $20\mu m$ platinum microelectrode, shown in Fig. 3 and presented by [1] was adopted: $R_S=10$ k Ω , $C_W=100$ nF and $R_W=10$ M Ω . In order to characterize the ability of the system to keep charge balancing and low residual voltage across electrodes, simulations were performed for uncompensated stimulations and also with the feedback enable, for cathodic-first, anodic-first and alternating stimulation cycles.

Stimulation cycles were generated with pulse length of $500\mu s$, duty cycle is 10% of the period, interphase delay is 5% of the pulse width, and current magnitude was set approximately $500\mu A$. Behavior of residual voltage across electrodes during operation is depicted in Fig. 4. Points shown in this figure are not correlated to simulated cycles, but the line is interpolated for better readability and points indetificate the line according to the labels.

Six curves are shown in the Fig. 4 for an 1 second simulation interval. The plots labeled as "open loop" show that a residual voltage rise due to load characteristics and interphase delay, the voltage converges to $+310mV$, $-290mV$, $+50mV$ and $+43mV$ for cathodic-first, anodic-first and alternating (high and low limits) phase pulses, respectively at the end of the interval. The curves labeled as "controlled"

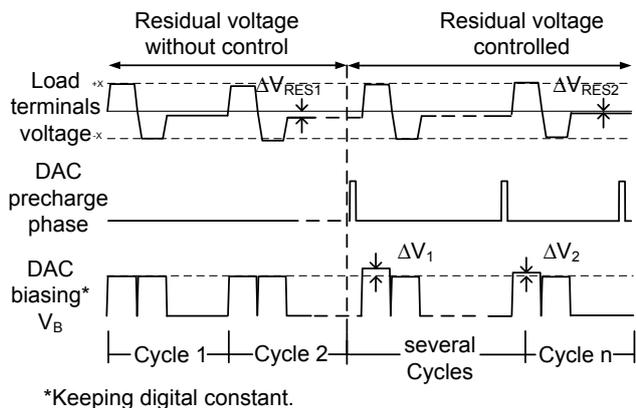


Figure 2: Signals from charge balancing dynamics.

show same quantities converging to smaller values of respectively $+7.5mV$, $-6.5mV$, $+28mV$ and $-26mV$ for same operation and load conditions, in the case in which the proposed residual voltage control strategy is enable.

In table 1, this performance is summarized and compared to state-of-the-art stimulator systems with residual voltage control found in literature. Besides the apparent equivalence of results, a fair comparison is not simple because residual voltage is highly influenced by stimulation waveform and electrode parameters.

In a short talk about the DC current flowing in the tissue in this experiment, is as follows: because the voltage is controlled so the current is a consequence of electrode-tissue impedance. Using the electrode-tissue model in Fig. 3 by [1] the actual DC current was measured between $14nA$ and $40nA$ in any of the simulated cases presented in Fig. 4.

While [10] used directly residual voltage measurements to control it, using a simple logic: if reached a residual voltage threshold more pulses are added in the stimulation sequence imposing a negative feedback. This circuit uses a PCB implemented circuit and instrumentation for residual voltage measurement.

On the other hand [5] simulated a complete control loop (linear control) for residual voltage controlling pulses length and could find very good results, but did not consider practical issues for implementation of such circuit. This used a PID controller (Proportional, Integral and Derivative components) that is, in comparison to the current proposed technique, more sophisticated and requires a complexer hardware when considering a physical implementation.

All three compared solutions proved to be safe in FES, considering the main metric the control of residual voltage and the limits inside water hydrolysis window in the interface between electrode and tissue, in platinum electrode it is $-0.6V$ to $0.8V$ according to [5]. Considering the implementation of the compared works (or possible implementation in comparison to [5]) a significant reduction in hardware circuitry is clear in the proposed technique.

4. CONCLUSION

This paper proposes a solution for enhancing neural stimulation safety. The strategy comprises a residual voltage control technique. The residual voltage control circuit relies only on precharging the DAC circuit with the current residual voltage in order to reduce it in next cycles. The only circuit cost to implement this technique are several small low voltage transmission gate switches, no active circuit nor sensitive additional power consumption is expected from that. As this technique does not rely on electrode shortening it is also suitable for multisite stimulation. Simulated results

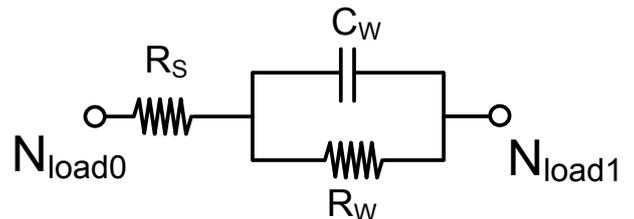


Figure 3: Load equivalent circuit simulated

Table 1: Comparison of related works

Work	Period (ms)	Pulse length (ms)	Interphase delay (ms)	Full-scale current(mA)	Residual voltage (mV)
[10] ^a	2	0.5	-	0.5	$< \pm 100mV^b$
[5] ^c	20	1	-	0.2	N.A. ^d
This work ^a	10	0.5	0.5	0.5	$+28mV, -26mV$

^aMeasured results

^b'Well below water window' in their words, depending on defined threshold

^cSimulated results

^d'continually oscillating around 0V and never crosses the water window' in their words

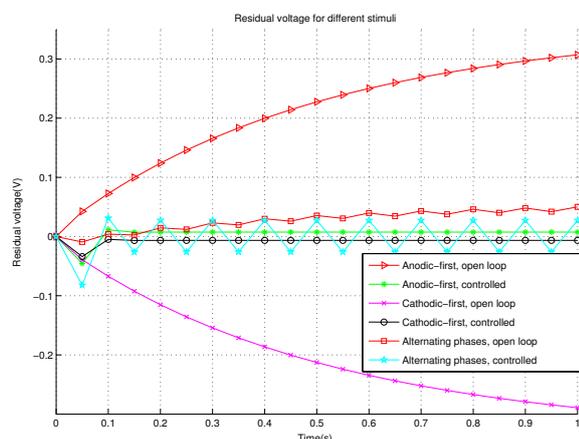


Figure 4: Effects of compensation and phase alteration on residual voltage.

suggest that the technique presented here can reach similar performance of other implementations presented in literature, whilst contribute to enhance neural stimulation safety with simplification of circuits.

Acknowledgment

This work has been supported by CNPq, Conselho Nacional de Desenvolvimento Científico e Tecnológico (Brazil), under the grant 487183/2013-4.

5. REFERENCES

- [1] H. Chun, Y. Yang, and T. Lehmann. Safety ensuring retinal prosthesis with precise charge balance and low power consumption. *Biomedical Circuits and Systems, IEEE Transactions on*, 8(1):108–118, 2014.
- [2] J. Craninckx and G. Van der Plas. A 65fj/conversion-step 0-to-50ms/s 0-to-0.7 mw 9b charge-sharing sar adc in 90nm digital cmos. In *Solid-State Circuits Conference, 2007. ISSCC 2007. Digest of Technical Papers. IEEE International*, pages 246–600. IEEE, 2007.
- [3] A. Krishnan and S. K. Kelly. On the cause and control of residual voltage generated by electrical stimulation of neural tissue. In *Engineering in Medicine and Biology Society (EMBC), 2012 Annual International Conference of the IEEE*, pages 3899–3902. IEEE, 2012.
- [4] Y.-K. Lo, K. Chen, P. Gad, and W. Liu. A fully-integrated high-compliance voltage soc for epi-retinal and neural prostheses. *Biomedical Circuits and Systems, IEEE Transactions on*, 7(6):761–772, 2013.
- [5] Y.-K. Lo, R. Hill, K. Chen, and W. Liu. Precision control of pulse widths for charge balancing in functional electrical stimulation. In *Neural Engineering (NER), 2013 6th International IEEE/EMBS Conference on*, pages 1481–1484. IEEE, 2013.
- [6] M. Ortmanns, N. Unger, A. Rocke, M. Gehrke, and H. Tiedtke. A retina stimulator asic with 232 electrodes, custom esd protection and active charge balancing. In *2006 IEEE International Symposium on Circuits and Systems*, 2006.
- [7] D. V. Palanker, P. Huie, A. B. Vankov, Y. Freyvert, H. Fishman, M. F. Marmor, and M. S. Blumenkranz. Attracting retinal cells to electrodes for high-resolution stimulation. In *Biomedical Optics 2004*, pages 306–314. International Society for Optics and Photonics, 2004.
- [8] R. K. Shepherd. Chronic electrical stimulation of the auditory nerve using non-charge-balanced stimuli. *Acta oto-laryngologica*, 119(6):674–684, 1999.
- [9] K. Sooksood, T. Stieglitz, and M. Ortmanns. Recent advances in charge balancing for functional electrical stimulation. In *Engineering in Medicine and Biology Society, 2009. EMBC 2009. Annual International Conference of the IEEE*, pages 5518–5521. IEEE, 2009.
- [10] K. Sooksood, T. Stieglitz, and M. Ortmanns. An active approach for charge balancing in functional electrical stimulation. *Biomedical Circuits and Systems, IEEE Transactions on*, 4(3):162–170, 2010.
- [11] N. Tran, S. Bai, J. Yang, H. Chun, O. Kavehei, Y. Yang, V. Muktamath, D. W. K. Ng, H. Meffin, M. Halpern, et al. A complete 256-electrode retinal prosthesis chip. *Solid-State Circuits, IEEE Journal of*, 49(3):751–765, 2014.

Apêndice C - Dimensões dos dispositivos do circuito para controle do desbalanceamento de carga simulado

Tabela 1 – Dispositivos do circuito para controle do desbalanceamento de carga simulado

Nome do circuito ou dispositivo	W/L ou Valor nominal	Corrente de polarização
Circuito DAC		
C_0	$16 fF$	
C_1	$32 fF$	
C_2	$64 fF$	
C_3	$128 fF$	
C_4	$256 fF$	
C_5	$512 fF$	
M_{SNK}	$10\mu m/5\mu m$	
Outras chaves NMOS	$0,16\mu m/2\mu m$	
Outras chaves PMOS	$0,3\mu m/2\mu m$	
Circuito de cópia de corrente		
M_{SM}	$1\mu m/2\mu m$	$2\mu A$
M_{1M} e M_{2M}	$10\mu m/1\mu m$	$1\mu A$
M_{3M} e M_{4M}	$4\mu m/1\mu m$	$1\mu A$
M_{6M}	$0,5\mu m/10\mu m$	
M_{7M}	$0,6\mu m/10\mu m$	
M_{8M}	$0,4\mu m/0,4\mu m$	
R_1	$13\mu m/1\mu m, 10\Omega$	
Chaves para manipulação de C_a e C_b		
Chaves NMOS	$0,16\mu m/0,34\mu m$	
C_a e C_b	$40\mu m/40\mu m, 1,61 pF$	
Chaves na pré-carga e realimentação		
Chaves NMOS	$0,16\mu m/0,34\mu m$	
Chaves PMOS	$0,16\mu m/0,3\mu m$	
Amplificador de condicionamento da realimentação		
M_{i1} e M_{i2}	$0,3\mu m/0,5\mu m$	$0,5\mu A$
M_{S4} e M_{S3}	$0,3\mu m/2\mu m$	$0,5\mu A$
M_S	$0,5\mu m/2\mu m$	$1\mu A$
M_1 e M_2	$16\mu m/0,5\mu m$	$0,5\mu A$
M_3 e M_4	$12\mu m/0,5\mu m$	$0,5\mu A$

Apêndice D - Dimensões dos dispositivos do circuito para controle da tensão residual simulado

Tabela 2 – Dispositivos do circuito para controle da tensão residual simulado

Nome do circuito ou dispositivo	W/L ou Valor nominal	Corrente de polarização
Circuito DAC		
C_0	$16fF$	
C_1	$32fF$	
C_2	$64fF$	
C_3	$128fF$	
C_4	$256fF$	
C_5	$512fF$	
M_{SNK}	$10\mu m/5\mu m$	
Outras chaves NMOS	$0, 16\mu m/2\mu m$	
Outras chaves PMOS	$0, 3\mu m/2\mu m$	
Chaves na pré-carga e realimentação		
Chaves NMOS	$0, 16\mu m/0, 34\mu m$	
Chaves PMOS	$0, 16\mu m/0, 3\mu m$	