



UFSM

Dissertação de Mestrado

**NOVA METODOLOGIA PARA A ESTIMATIVA DE
CAPACITÂNCIA E CONSUMO DE POTÊNCIA DE
PORTAS LÓGICAS COMPLEXAS CMOS NO NÍVEL
LÓGICO**

Sidinei Ghissoni

PPGEE

Santa Maria, RS, Brasil

2005

**NOVA METODOLOGIA PARA A ESTIMATIVA DE
CAPACITÂNCIA E CONSUMO DE POTÊNCIA DE
PORTAS LÓGICAS COMPLEXAS CMOS NO NÍVEL
LÓGICO**

por

Sidinei Ghissoni

Dissertação apresentada ao Curso de Mestrado do Programa de Pós-Graduação em Engenharia Elétrica, Área de Concentração em Processamento de Energia, da Universidade Federal de Santa Maria (UFSM, RS), como requisito parcial para obtenção do grau de **Mestre em Engenharia Elétrica**.

Orientador Prof. Dr. João Baptista dos Santos Martins

Santa Maria, RS, Brasil

2005

Ghissoni, Sidinei, 1979-
G427n

Nova metodologia para a estimativa de capacitância e consumo de potência de portas lógicas complexas CMOS no nível lógico / por Sidinei Ghissoni ; orientador João Baptista dos Santos Martins. Santa Maria, 2005
100 f. : il., tabs

Dissertação (mestrado) – Universidade Federal de Santa Maria, Centro de Tecnologia, Programa de Pós-Graduação em Engenharia Elétrica, RS, 2005.

1. Engenharia elétrica 2. Estimativa de consumo de potência 3. Tempo de simulação 4. Simulação em nível lógico 5. Estimativa de capacitância I. Martins, João Baptista dos Santos, orient. II. Título

CDU: 621.3.049.77

Ficha catalográfica elaborada por

Luiz Marchiotti Fernandes – CRB 10/1160

Biblioteca Setorial do Centro de Ciências Rurais/UFSM

Universidade Federal de Santa Maria
Centro de Tecnologia
Programa de Pós-Graduação em Engenharia Elétrica

A Comissão Examinadora, abaixo assinada,
aprova a Dissertação de Mestrado

**NOVA METODOLOGIA PARA A ESTIMATIVA DE
CAPACITÂNCIA E CONSUMO DE POTÊNCIA PARA
PORTAS LÓGICAS COMPLEXAS CMOS NO NÍVEL LÓGICO**

elaborada por
Sidinei Ghissoni

como requisito parcial para obtenção do grau de
Mestre em Engenharia Elétrica

COMISSÃO EXAMINADORA:

Dr. João Baptista dos Santos Martins -UFSM
(Presidente/Orientador)

Dr. Ricardo Augusto da Luz Reis- UFRGS

Dr. César Ramos Rodrigues – UFSM

Dr. Giovani Baratto – UFSM

Santa Maria, 31 de Outubro de 2005.

Ao meu pai
Mário Ghissoni,
à minha mãe
Inês Ghissoni
e ao meu irmão
Rudinei Ghissoni.

Agradecimentos

Ao longo destes dois anos de pesquisa no mestrado em engenharia elétrica da UFSM, tenho muito a quem agradecer.

Ao PNM/CNPq e a FAPERGS pelo fomento a pesquisa, fundamental para o desenvolvimento dos trabalhos.

A todos os colegas do GMICRO que conviveram e trabalharam juntos durante este tempo, pelo companheirismo e amizade que contribuíram para o desenvolvimento do trabalho.

Ao meu amigo e orientador Professor Dr. João Baptista dos Santos Martins, pela dedicação e auxílio durante as atividades de pesquisa e aos Doutores Cesar Rodrigues e Raul Ceretta pelas orientações em circuitos analógicos e de programação, respectivamente.

Em especial aos meus pais Mário e Inês e, ao meu irmão Rudinei pelo apoio e compreensão ao longo do curso, incentivando-me sempre em todos momentos superando os desafios encontrados.

À minha namorada Taís que através de seu carinho, amor e compreensão, esteve ao meu lado apoiando-me para alcançar meus objetivos.

Enfim, agradeço a todos os demais que deram a sua contribuição para minha formação profissional.

Sumário

| | |
|--|-----------|
| LISTA DE TABELAS..... | 8 |
| LISTA DE FIGURAS..... | 9 |
| LISTA DE SÍMBOLOS..... | 10 |
| RESUMO..... | 11 |
| ABSTRACT..... | 12 |
| CAPÍTULO 1 INTRODUÇÃO | 13 |
| 1.1 Motivação | 16 |
| 1.2 Metodologia..... | 18 |
| 1.3 Contribuições da dissertação | 19 |
| 1.4 Organização da Dissertação..... | 20 |
| CAPÍTULO 2 REVISÃO DE CONCEITOS GERAIS DE ESTIMATIVA DE POTÊNCIA EM CIRCUITOS CMOS | 21 |
| 2.1 Elementos Consumidores de Potência..... | 21 |
| 2.1.1 Consumo de Potência devido à Corrente de Curto-Circuito..... | 22 |
| 2.1.2 Consumo de Potência devido às Correntes de Fuga..... | 22 |
| 2.1.3 Consumo de Potência devido aos <i>Glitchings</i> | 24 |
| 2.1.4 Consumo de Potência Dinâmica | 26 |
| 2.2 Técnicas de Estimativas de Consumo de Potência..... | 27 |
| 2.3 Estimativa de Potência em Nível de Sistema | 28 |
| 2.3.1 Estimativa em Nível de Transferência Entre Registradores e Entropia de Sistema | 29 |
| 2.3.2 Estimativa de Potência em Nível de Portas Lógicas..... | 31 |
| 2.3.3 Estimativa de Potência em Nível de Transistores..... | 33 |
| 2.4 Ferramentas que estimam Potência | 34 |
| CAPÍTULO 3 ESTIMATIVA DE CAPACITÂNCIA DE PORTAS LÓGICAS COMPLEXAS EM CIRCUITOS CMOS | 37 |
| 3.1 Capacitâncias Parasitas..... | 38 |
| 3.2 Portas Complexas Estudadas | 43 |
| 3.3 Estimativa de Capacitância em Nível Lógico de Porta | 47 |
| 3.3.1 Estimativa de Capacitância da Porta AOI21 | 47 |
| 3.3.2 Estimativa de Capacitância da Porta lógica Complexa AOI22 | 56 |

| | |
|--|------------|
| CAPÍTULO 4 ESTIMATIVA DE CONSUMO DE POTÊNCIA DE PORTAS LÓGICAS COMPLEXAS NOS CIRCUITOS CMOS | 71 |
| 4.1 Consumo de Potência Dinâmica Dissipada pela Porta..... | 71 |
| 4.2 Processo de Validação do Método..... | 72 |
| 4.3 Resultado de consumo de potência das portas lógicas Complexas | 74 |
| 4.4 Consumo de Potência de Circuitos com Portas Lógicas Complexas | 78 |
| CAPÍTULO 5 CONCLUSÕES E PERSPECTIVAS | 84 |
| 5.1 Conclusões..... | 84 |
| 5.2 Perspectivas | 85 |
| CAPÍTULO 6 REFERÊNCIAS | 86 |
| ANEXO 1 | 92 |
| ANEXO 2 | 93 |
| ANEXO 3 | 96 |
| ANEXO 4 | 100 |

LISTA DE TABELAS

| | |
|---|----|
| Tabela 1.1 - Relação de número transistores e consumo de potência para funções lógicas complexas implementadas com portas básicas e complexas..... | 15 |
| Tabela 3.1 - Relação de Portas Complexas. | 44 |
| Tabela 3.2 - Resumo das componentes capacitivas da porta AOI21..... | 55 |
| Tabela 3.3 - Componentes Capacitivas das portas complexas AOI's | 66 |
| Tabela 3.4 - Componentes Capacitivas das portas complexas AOI's | 67 |
| Tabela 3.5 - Componentes Capacitivas das portas complexas OAI's | 68 |
| Tabela 3.6 - Componentes Capacitivas das portas complexas OAI's | 69 |
| Tabela 3.7 - Componentes Capacitivas das portas complexas OAI's | 70 |
| Tabela 4.1 - Consumo de potência médio e tempo de simulação das portas lógicas complexas com 50 vetores de entrada : | 75 |
| Tabela 4.2 - Consumo de potência médio e tempo de simulação das portas lógicas complexas com 70 vetores de entrada : | 76 |
| Tabela 4.3 - Consumo de potência médio e tempo de simulação das portas lógicas complexas com 100 vetores aleatórios de entrada..... | 77 |
| Tabela 4.4 - Circuitos contendo as portas lógicas complexas estudadas (Anexo2). | 79 |
| Tabela 4.5 - Resultados de estimativa de potência e tempo de simulação dos circuitos contendo as portas lógicas complexas estudadas com 50 vetores. | 80 |
| Tabela 4.6 - Resultados de estimativa de potência e tempo de simulação dos circuitos contendo as portas lógicas complexas estudadas com 100 vetores. | 81 |

LISTA DE FIGURAS

| | |
|---|----|
| Figura 1.1 - Função complexa OAI21 representada por: | 14 |
| Figura 2.1 - Inversor com diodos dreno e fonte | 23 |
| Figura 2.2 - Efeito do modelo de atraso na geração e propagação dos hazards | 25 |
| Figura 2.3 - Níveis de abstração para a estimativa de potência..... | 27 |
| Figura 3.1 - Geometria de um transistor MOSFET | 39 |
| Figura 3.2 - Capacitâncias de um transistor MOSFET nas regiões de operação..... | 40 |
| Figura 3.3 - Capacitâncias Parasitas Intrínsecas de um transistor MOSFET..... | 42 |
| Figura 3.4 - As capacitâncias de interconexões..... | 42 |
| Figura 3.5 - Representação em nível lógico das portas complexas AOI's..... | 45 |
| Figura 3.6 - Representação em nível lógico das portas complexas OAI's..... | 46 |
| Figura 3.7 - Capacitâncias parasitas da Porta Lógica Complexa AOI21 | 48 |
| Figura 3.8 - Representa o estado de operação dos transistores da porta AOI21 | 51 |
| Figura 3.9 - Capacitâncias parasitas intrínsecas da Porta Lógica Complexa AOI21: | 56 |
| Figura 4.1 - Diagrama de blocos das etapas de validação do Método..... | 72 |
| Figura 4.2 - Exemplo de vetores de simulação nos arquivos sp e v..... | 74 |

LISTA DE SÍMBOLOS

| | |
|-------------|--|
| $A_{Dn(p)}$ | Área do dreno do transistor NMOS (PMOS) |
| $A_{Sn(p)}$ | Área da fonte do transistor NMOS (PMOS); |
| CAD | Computer Aided Design |
| CAD | Computer Aided Design |
| C_{DB} | Capacitância dreno-substrato do transistor |
| C_{DB} | Capacitância dreno-substrato do transistor |
| C_{DB} | Capacitância dreno-substrato do transistor: |
| C_{GD} | Capacitância gate-dreno do transistor. |
| C_{GD} | Capacitância gate-dreno do transistor . |
| C_{GD} | Capacitância gate-dreno do transistor. |
| C_{j0} | Capacitância de junção do transistor por unidade de área; |
| C_{jsw} | Capacitância de difusão lateral do transistor por unidade de perímetro; |
| CMOS | Complementary Metal-Oxide Semiconductor |
| C_{ox} | Capacitância do óxido da porta; |
| $l_{Dn(p)}$ | Perímetro do dreno do transistor NMOS (PMOS); |
| $l_{n(p)}$ | Comprimento do canal do transistor NMOS (PMOS); |
| $l_{Sn(p)}$ | Perímetro da fonte do transistor NMOS (PMOS) |
| NMOS | Transistor MOS do tipo N |
| P | Potência total dissipada no circuito |
| P_{cc} | Potência dissipada devido à corrente de curto circuito |
| P_{din} | Potência dinâmica dissipada devido à carga e descarga das capacitâncias. |
| P_{est} | Potência estática |
| P_{fuga} | Potência estática devido as correntes de fuga |
| P_{glit} | Potência devido aos glitchings |
| PMOS | Transistor MOS do tipo P |
| V_{bi} | Tensão de polarização. |
| $W_{n(p)}$ | Largura do canal do transistor NMOS (PMOS); |

RESUMO

Dissertação de Mestrado
Programa de Pós-Graduação em Engenharia Elétrica
Universidade Federal de Santa Maria

**NOVA METODOLOGIA PARA A ESTIMATIVA DE
CAPACITÂNCIA E CONSUMO DE POTÊNCIA DE PORTAS
LÓGICAS COMPLEXAS CMOS NO NÍVEL LÓGICO**

AUTOR: SIDINEI GHISSONI

ORIENTADOR: DR:JOÃO BAPTISTA DOS SANTOS MARTINS

Data e Local da Defesa: Santa Maria, 31 de outubro de 2005.

Este trabalho apresenta uma metodologia de estimativa de capacitâncias e de consumo de potência de circuitos CMOS constituídos basicamente por portas lógicas complexas no nível lógico. O principal objetivo no desenvolvimento deste método é fazer uma rápida previsão do consumo de potência de circuitos ainda na fase de projeto lógico composto de portas complexas. Desta forma, o método proposto permite a aplicação de técnicas de redução de consumo de potência ou a alteração de todo o projeto antes de ser prototipado.

A potência dinâmica consumida em portas lógicas complexas depende dos seguintes fatores: atividade de comutação de cada nó do circuito, tensão de alimentação, frequência de operação e da capacitância parasita. Com a exceção da capacitância parasita, todos os demais parâmetros são facilmente determinados.

A análise proposta nesta dissertação, trata da aproximação (cálculo aproximado) do consumo de potência dinâmica de portas lógicas complexas, através da estimativa da capacitância parasita dos dispositivos CMOS. O modelo aqui proposto concentra as capacitâncias nos nós externos das portas, que variam em função das combinações dos sinais de entrada. A capacitância resultante, representada em um único nó externo da entrada da porta analisada, é resultado das transições dos sinais das demais entradas que agem sobre o nó que se quer determinar.

Os resultados obtidos neste trabalho a respeito da estimativa de consumo potência das portas lógicas complexas foram considerados satisfatórios, pois apresentaram um erro máximo de 10% quando comparados às simulações elétricas pelo uso da ferramenta ELDO. Além disso, o método fornece significativa redução no tempo de simulação dos circuitos, podendo estimar o consumo de potência de um circuito até 200 vezes mais rápido que obtido ao nível elétrico simulado com a ferramenta ELDO.

Palavras-chave: Estimativa de consumo de potência, tempo de simulação, simulação em nível lógico, estimativa de capacitâncias

ABSTRACT

Master Dissertation
Programa de Pós-Graduação em Engenharia Elétrica
Universidade Federal de Santa Maria

*NEW METHODOLOGY TO THE ESTIMATIVE OF CAPACITANCE AND
POWER CONSUMPTION OF COMPLEX LOGIC GATES CMOS AT
LOGIC LEVEL*

AUTHOR: SIDINEI GHISSONI

SUPERVISOR: JOÃO BAPTISTA DOS SANTOS MARTINS, DR.

Date and Local: October, 31th of 2005, Santa Maria.

This dissertation presents a methodology of capacitance estimation and power consumption in CMOS circuits combinational constituted basically of complex logic gates at logic level. The main objective in the development of this method is to provide a fast estimate of the power consumption of circuits at the logical design gates. Of this form, the considered method allows to the application of techniques to the reduction of power consumption or the alteration of the design before being prototyped.

The consumed dynamic power in complex logic gates depends on the following factors: switching activity of each circuit node, voltage of supplies, parasite capacitance and clock frequency. With the exception of the parasite capacitance, all other parameters are easily determined.

The analysis proposed in this dissertation, treats estimative of the dynamic power consumption of complex logic gates, through the estimate of the parasite capacitance CMOS devices. The model considered here concentrates all internal capacitances on the external gate nodes depending on the combinations of the input signals. The resulting capacitance in an only external node of an input of the gate is resulted of the transitions of inputs of the too much nodes on the node that if wants to determine.

The results obtained in this work, regarding the estimate of power consumption of the complex logic gates, had been considered satisfactory, once they had presented a maximum error of 10% when compared with to the electric simulation result preformed with ELDO. Moreover, the method supplies significant reduction in the simulation time of the circuits, being able esteem the power consumption of a circuit up to 200 times faster than gotten to the simulated electric level with ELDO tool.

keywords: *Estimate of power consumption, time of simulation, simulation logic level , estimate of capacitance.*

Capítulo 1

INTRODUÇÃO

O desenvolvimento tecnológico associado à crescente demanda de equipamentos eletrônicos (telefones celulares, *laptops*, aparelhos portáteis, etc...), que precisam apresentar dimensões reduzidas, mais leves e que se mantenham em operação pelo maior tempo possível sob as mesmas condições (CHENG, 1997), faz crescer a preocupação com o desenvolvimento de técnicas que permitam prever rapidamente as condições de funcionamento desses circuitos, em especial, a estimativa de consumo de potência.

A rápida e precisa estimativa do consumo de potência de circuitos combinacionais é um fator determinante no desenvolvimento de um projeto **VLSI** (*Very Large Scale Integration*), relevante tanto para os pesquisadores quanto para a indústria de semicondutores. Estimar o consumo de potência no nível lógico é muito importante, pois pode antecipar problemas de projeto antes mesmo da geração do seu leiaute. Nesse nível de abstração, a estimativa de potência de portas lógicas básicas foi estudada e validada em MARTINS (2000a).

A construção de circuitos com menor número de transistores, que executam funções complexas foi um dos fatores que contribuíram para a otimização na redução do consumo de potência. Para tal, esses circuitos utilizam as SCCG (*Static CMOS Complex Gates*) (REIS, 2000) conhecidas

como portas lógicas complexas ou superportas. Os circuitos dessas portas são formados por associações de transistores duais série/paralelo, que permitem a concepção de funções lógicas com mais de um operando. Essas portas ou circuitos lógicos, além de apresentar a vantagem de necessitar um menor número de transistores para sua construção, na maioria dos casos, permitem a diminuição do consumo de potência e o aumento de desempenho do circuito.

Na Figura 1.1 apresentam-se as diferenças construtivas entre dois circuitos: um que utiliza portas lógicas convencionais (NAND's, NOR's e INVERSOR) e outro com portas lógicas complexas, ambos projetados para realizar a função lógica apresentada na Equação 1.1:

$$Y = \overline{(A+B)C} \quad (1.1)$$

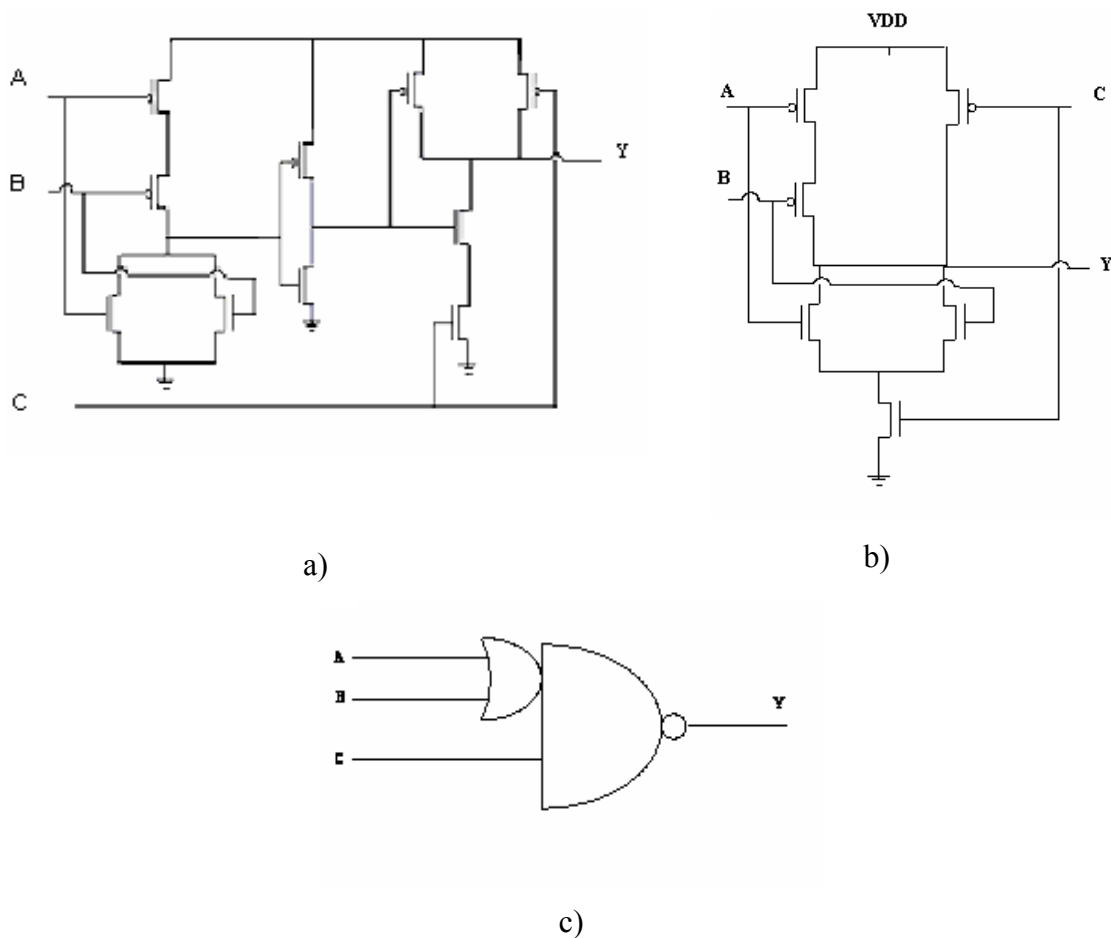


Figura 1.1 Função complexa OAI21 representada por:
a) Portas básicas b) Porta complexa c) Nível lógico .

A utilização de portas lógicas complexas em relação às portas básicas, utilizadas para a construção do circuito da Figura 1.1 que desempenham a função lógica da Equação 1.1, causa à redução de 40% no número de transistores necessários para sua implementação, o que acarreta numa significativa redução da área do circuito.

Ressaltando a importância da implementação de circuitos com a utilização de portas lógicas complexas, a Tabela 1.1 apresenta a comparação do consumo de potência e o número de transistores necessários para construir circuitos que desempenham funções lógicas complexas implementadas com portas lógicas básicas e complexas.

Tabela 1.1 -Relação de número transistores e consumo de potência para funções lógicas complexas implementadas com portas básicas e complexas

| Função lógica | Nº Transistores Portas lógicas Complexas | Consumo de Potência (μ W) | Nº Transistores Portas lógicas Básicas | Consumo de Potência (μ W) |
|----------------------------------|--|--------------------------------------|--|--------------------------------------|
| $Y = \overline{AB+C}$ | 6 | 0,684 | 10 | 1,021 |
| $Y = \overline{AB+CD}$ | 8 | 1,012 | 16 | 1,447 |
| $Y = \overline{AB+CD+E}$ | 10 | 0,982 | 18 | 1,549 |
| $Y = \overline{AB+CD+EF}$ | 12 | 1,201 | 24 | 1,912 |
| $Y = \overline{ABC+DE}$ | 10 | 1,070 | 18 | 1,612 |
| $Y = \overline{ABC+DE+F}$ | 12 | 1,362 | 20 | 2,084 |
| $Y = \overline{ABC+DEF}$ | 12 | 0,919 | 22 | 1,975 |
| $Y = \overline{(A+B)C}$ | 6 | 0,734 | 10 | 1,142 |
| $Y = \overline{(A+B)(C+D)}$ | 8 | 0,819 | 16 | 1,516 |
| $Y = \overline{(A+B)(C+D)E}$ | 10 | 0,956 | 18 | 1,524 |
| $Y = \overline{(A+B)(C+D)(E+F)}$ | 12 | 1,242 | 24 | 2,143 |
| $Y = \overline{(A+B+C)(D+E)}$ | 10 | 1,046 | 18 | 1,629 |
| $Y = \overline{(A+B+C)(D+E)F}$ | 12 | 1,318 | 20 | 2,025 |
| $Y = \overline{(A+B+C)(D+E+F)}$ | 12 | 1,077 | 22 | 1,994 |

OBS: Os circuitos foram simulados no nível elétrico com a ferramenta ELDO(ELDO, 2004) utilizando os parâmetros de tecnologia AMS 0.8µm com excitação de entrada de 100 vetores aleatórios.

Visto que a utilização das portas lógicas complexas está cada vez mais presente na concepção de circuitos integrados devido às diminuições do consumo de potência e do número de transistores utilizados, este trabalho propõe a validação de um novo método de estimativa de capacitância e consumo de potência para essas portas no nível lógico de abstração. O método é integrado a uma ferramenta de CAD (*Computer Aided Design*), denominado SIS (MONTEIRO, 1997), que permite estimar rapidamente o consumo de potência de circuitos CMOS (*Complementary Metal Oxide Semiconductor*) em um nível lógico, através da leitura de um arquivo no formato lógico (*.blif*).

1.1 Motivação

Nas últimas décadas, os principais interesses dos projetistas e das *foundries* em semicondutores estavam concentrados em desenvolver técnicas de otimização de circuitos, a fim de aproveitar o máximo de área de silício e estudar o atraso dos sinais que se propagam ao longo desses circuitos. Recentemente o desempenho da operação, o custo de fabricação, a confiabilidade e a velocidade de processamento dos circuitos tornaram-se fatores de preocupação para projetistas. Dessa forma, o consumo de potência associa-se diretamente a esses fatores.

A construção de circuitos que utilizam portas lógicas complexas está baseada em uma técnica de implementação utilizada pelos projetistas para a otimização de circuitos integrados a qual pode possibilitar a redução no consumo de potência de um circuito CMOS.

Esse consumo de potência está diretamente ligado ao aquecimento do circuito, que diminui a vida útil do sistema eletrônico e o torna menos confiável. Algumas técnicas forçadas que visam o resfriamento do circuito podem ser usadas, mas acabam provocando a elevação dos custos e geram dispositivos com dimensões robustas, dificultando a sua praticidade de uso. Por esse motivo, pesquisar técnicas que permitam estimar rapidamente o consumo de potência, fornecendo resultados em tempo reduzido, torna-se um fator crucial para o desenvolvimento de projetos de circuitos CMOS.

A análise da estimativa de consumo de potência permite prever o surgimento de problemas nos circuitos ainda no estado inicial de projeto, o que possibilita a solução desses problemas através da aplicação de técnicas específicas (BELLAOUAR, 1995).

A correção de uma descrição lógica está associada à sua capacidade de atender a todos os requisitos da especificação inicial de projeto para poder ser fabricada. Uma descrição lógica é considerada ótima se, além de permitir a construção de um projeto que atende todas as funcionalidades desejadas, ofereça a redução no custo de fabricação. O processo de projeto deve ser guiado pela busca de uma das soluções ótimas, mas nem sempre a solução é alcançada (CALAZANS, 1993).

Como critérios para a otimização em fase de projeto de sistemas digitais podem ser considerados:

- Critério de consumo de potência - o circuito deve consumir o mínimo de energia por unidade de tempo (potência mínima);
- Critério temporal - o circuito deve ser o mais rápido possível;
- Critério espacial - o circuito deve ocupar o menor espaço possível.

Na maioria dos casos, não é possível atender a todos esses critérios. Em cada projeto deve-se favorecer aquele critério que atenda à especificação dos requisitos da descrição inicial, normalmente em detrimento dos outros.

Neste trabalho, enfatiza-se a preocupação com os critérios de consumo de potência e temporal. O objetivo de analisar a potência em circuitos CMOS é atingir níveis de precisão tão próximos quanto na análise de potência realizada em um componente real no menor tempo possível (PAYNE, 2004). O SPICE (*Simulation Program for Integrated Circuits Emphasis*) (NAGEL, 1975) é a ferramenta de simulação elétrica que atende praticamente a esse objetivo, mas com o problema de consumir um tempo relativamente grande para a simulação de circuitos. A simulação em nível de portas lógicas permite obter resultados mais rápidos, porém não tão precisos quanto os obtidos no nível elétrico. Nesse nível, os resultados apresentam uma variação de aproximadamente 15% da análise feita em silício (PAYNE, 2004).

Diante dessa exposição, surge a motivação para provar e validar em nível lógico a estimativa de potência de portas lógicas complexas que serão abordadas no capítulo 4.

1.2 Metodologia

A nova metodologia proposta para a estimativa de consumo de potência de portas lógicas complexas no nível lógico calcula as capacitâncias intrínsecas de cada transistor, através do modelo e dimensões de projeto: largura (W) e comprimento de canal (L). Após, essas capacitâncias são concentradas nos nós externos da porta, em função de uma modelagem que considera todas as possíveis combinações de vetores de entrada. Com as capacitâncias entre portas, é possível trabalhar com a porta lógica complexa instanciada, ou seja, com informações de tensão de alimentação, atividade de comutação e frequência de operação, obtendo o consumo de potência em cada nó do circuito. O somatório do consumo de potência de todos os nós de uma porta determina a potência total dissipada pela mesma.

As portas lógicas complexas analisadas nesta pesquisa foram modeladas e simuladas usando parâmetros de tecnologia AMS 0.8. Foram realizadas simulações para análise de consumo de potência e para tempo de simulação do método proposto.

Para se calcular o consumo de potência de circuitos que possuam portas lógicas complexas em nível elétrico, foi necessário primeiramente desenhar o leiaute, após efetuar a extração elétrica dos transistores e capacitâncias do circuito e, por fim, utilizar a ferramenta ELDO do Ambiente Mentor Graphics na simulação elétrica. A simulação lógica foi realizada através da ferramenta *Power_Estimate* (MONTEIRO, 1997), a qual se encontra integrada ao ambiente SIS, tendo como entradas a descrição lógica dos circuitos, uma biblioteca contendo os modelos de capacitâncias propostos e o arquivo de vetores de teste.

A ferramenta TROPIC (MORAES, 1999) foi utilizada para geração do leiaute físico dos circuitos. A ferramenta *gerasp* (ver Anexo 1) foi desenvolvida ao longo deste trabalho para geração dos vetores de teste que serviram de entrada para simulação nas ferramentas *Power_Estimate* e ELDO.

As ferramentas de âmbito acadêmico utilizadas no desenvolvimento deste trabalho estão descritas no Anexo 1.

1.3 Contribuições da dissertação

O estudo realizado nesta pesquisa acerca da estimativa de consumo de potência de portas lógicas complexas em nível lógico apresenta as seguintes contribuições:

- Modelar as capacitâncias intrínsecas de portas lógicas complexas e estimar a potência de circuitos combinacionais no nível lógico;
- Incluir o modelo desenvolvido na ferramenta *Power_Estimate*, à fim de agilizar o processo de estimativa de potência.

1.4 Organização da Dissertação

O trabalho está dividido em seis capítulos. No capítulo 2 será apresentada uma revisão dos conceitos sobre consumo de potência em circuitos CMOS, onde serão abordados assuntos referentes à teoria apresentada, introduzindo a análise que será desenvolvida nos capítulos seguintes. O Capítulo 3 destaca a capacitância em nível de portas lógicas. Nesse capítulo retrata-se a capacitância intrínseca das portas lógicas e apresenta detalhadamente toda a metodologia utilizada para o desenvolvimento da estimativa de capacitância e consumo de potência em nível lógico das portas lógicas complexas estudadas. São apresentadas as ferramentas de estimativa de potências utilizadas. No capítulo 4, são apresentadas as discussões decorrentes do desenvolvimento da pesquisa. Neste capítulo são comparados os resultados simulados na ferramenta ELDO com o modelo desenvolvido. No último capítulo, de posse dos resultados obtidos, apresentam-se as conclusões, bem como algumas perspectivas para trabalhos futuros.

Capítulo 2

REVISÃO DE CONCEITOS GERAIS DE ESTIMATIVA DE POTÊNCIA EM CIRCUITOS CMOS

Neste capítulo, apresenta-se uma revisão teórica e descritiva de conceitos fundamentais e algumas técnicas utilizadas na estimativa de consumo de potência em circuitos CMOS nos vários níveis de abstração, com destaque principal para a estimativa de potência no nível lógico, que servirá como fundamentação para o desenvolvimento desta dissertação.

2.1 Elementos Consumidores de Potência

Podemos destacar entre os vários elementos consumidores de potência de uma porta lógica, 4 elementos principais:

- Corrente de curto-circuito;
- Corrente de fuga, que provoca uma dissipação estática;
- Processo de carga e descarga da capacitância durante a transição do sinal;
- Transições espúrias do sinal.

Assim, a potência total consumida por um circuito CMOS segundo MARTINS (2000a) assume:

$$P = P_{cc} + P_f + P_{gli} + P_{din} \quad (2.1)$$

Em que P_{cc} é a potência dissipada devido ao curto circuito, P_f é a potência estática resultante das correntes de fuga, P_{gli} potência devido aos *glitching* e P_{din} é a potência dinâmica resultante do processo de carga e descarga das capacitâncias.

2.1.1 Consumo de Potência devido à Corrente de Curto-Circuito

No processo de comutação de um transistor CMOS, os tempos de descida e subida não ocorrem instantaneamente. Por um curto intervalo de tempo, os transistores PMOS e NMOS estarão conduzindo ao mesmo tempo, pois os dois transistores estarão na região de condução. Nesse curto intervalo de tempo fluirá uma corrente de curto-circuito entre os terminais de V_{DD} e terra, independentemente da carga e descarga das capacitâncias do circuito.

O consumo de potência devido às correntes de curto-circuito pode ser minimizado através da alteração de parâmetros topológicos na fabricação dos transistores, o que permite um ajuste entre os tempos de subida e descida dos sinais durante o processo de comutação. Assim, o tempo em que os transistores estarão conduzindo é reduzido.

Esse consumo de potência é geralmente baixo se comparado ao consumo da potência dinâmica, equivalendo a cerca de 15% desta (RABAEY, 1994). Porém, pode tornar-se considerável, se os tempos de subida ou descida da forma da onda de entrada forem altos.

2.1.2 Consumo de Potência devido às Correntes de Fuga

A comutação dos sinais nos transistores nunca ocorre de forma ideal, uma vez que surgem correntes de fuga na porta e injeção de corrente no substrato do transistor MOS, o que acarreta, por sua vez, uma elevação do valor da componente estática de potência (RABAEY, 1994). Em um caso ideal, a potência estática dissipada para os circuitos CMOS seria zero, pois

teoricamente não existe corrente no caminho entre a tensão de alimentação da porta e o terra (GND).

Além das correntes de fuga nas junções $p-n$ de dreno e fonte dos transistores CMOS, outra componente que interfere na potência estática é a corrente de sublimiar¹ nos transistores MOS.

No circuito da Figura 2.1, ao se polarizar o substrato e o poço com a tensão V_x , os diodos de fonte ficam diretamente polarizados.

Os diodos de dreno também poderão ficar diretamente polarizados, dissipando energia, dependendo do nível de tensão na saída do inversor. A dissipação de potência nos diodos com os transistores cortados é considerada irrelevante (MELEK, 2004). O diagrama esquemático elétrico do inversor, com os diodos de fonte e dreno, é mostrado na Figura 2.1 abaixo:

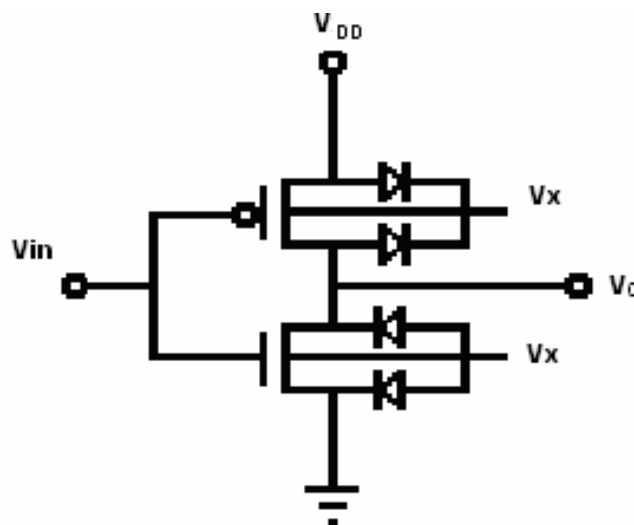


Figura 2.1- Inversor com diodos dreno e fonte

A corrente que passa através dos diodos pode ser aproximada por:

$$I = I_s e^{\frac{V_{DD}}{n\phi_T}} \quad (2.2)$$

¹ É a corrente do transistor operando na região de inversão fraca.

Em que I_S é a corrente de fuga, V_{DD} é a tensão de alimentação através dos terminais do diodo, η é o coeficiente de emissão e Φ_T é a tensão. Fazendo-se uma análise da Figura 2.1, observa-se que os diodos de fonte estão sempre conduzindo, enquanto que os diodos de dreno, em condição estáticas conduzem um de cada vez, dependendo do estado da saída. Dessa forma, a potência estática nos diodos pode ser calculada pela soma da potência nos diodos, assumindo que a saída fica 50% do tempo em nível alto e 50% do tempo em nível baixo (MARTIN, 2000). Portanto, a potência estática em um circuito CMOS (P_{est}) é dada por:

$$P_{est} = P_{D,nS} + P_{D,nD} + P_{D,pS} + P_{D,pD} \quad (2.3)$$

Em que $P_{D,nS}$ é a potência dissipada na fonte do diodo n , $P_{D,nD}$ é a potência dissipada no dreno do diodo n , $P_{D,pS}$ é a potência dissipada na fonte do diodo p e $P_{D,pD}$ é a potência dissipada no dreno do diodo p .

Fazendo as substituições e aproximações, obtém-se:

$$P_{est} = \left(I_{sn} e^{\frac{V_{DD}}{2n\phi_T}} + \frac{1}{2} I_{sn} e^{\frac{V_{DD}}{2n\phi_T}} + I_{sp} e^{\frac{V_{DD}}{2n\phi_T}} + \frac{1}{2} I_{sp} e^{\frac{V_{DD}}{2n\phi_T}} \right) V_{DD} \quad (2.4)$$

Simplificando, a Equação 2.4 resulta em:

$$P_{est} = \frac{3}{2} V_{DD} e^{\frac{V_{DD}}{2n\phi_T}} (I_{sn} + I_{sp}) \quad (2.5)$$

Os índices n e p indicam as correntes de fuga dos diodos de fonte e dreno dos transistores NMOS e PMOS, respectivamente.

2.1.3 Consumo de Potência devido aos *Glitchings*

Os *glitchings*, também conhecidos por *hazards*, são transições espúrias e transitórias que surgem em uma porta lógica, quando ocorre uma

transição de sinal num modelo de atraso de propagação diferente de zero (ROY, 1998). A potência consumida pelos *glitchings* em circuitos digitais CMOS é dada pela:

- Propagação de um *hazard* através de uma porta;
- Geração de *hazard* estático na saída da porta.

Pode-se observar através da Figura 2.2, a geração de um *hazard* e sua propagação devido ao modelo de atraso do sinal adotado.

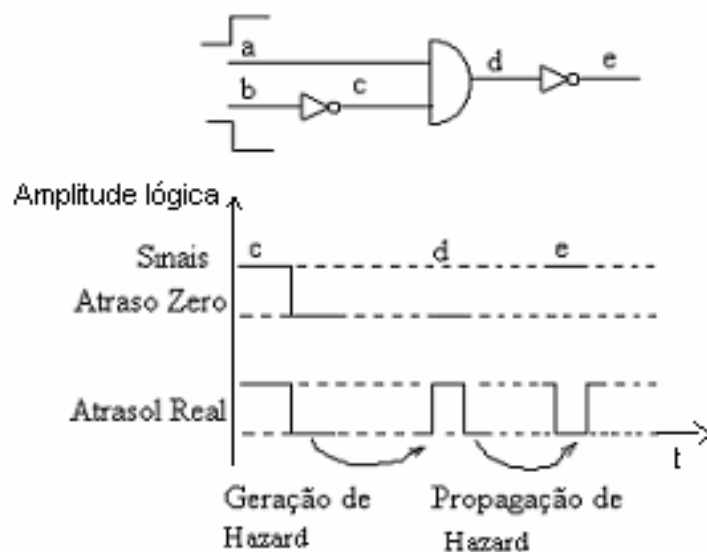


Figura 2.2- Efeito do modelo de atraso na geração e propagação dos hazards

Os *glitchings* ou *hazards* podem dissipar em média de 15% a 20% da potência total do circuito (BENINI, 1994), dependendo do modelo de atraso adotado na simulação. Calcular ou estimar as atividades dos *glitchings* em um circuito é, na maioria dos casos, uma tarefa muito complexa, pois depende da equalização entre os tempos de subida e descida do sinal nos níveis lógicos internos. Isso implica cuidados no nível de análise do circuito lógico, bem como o conhecimento de sua estrutura interna.

No entanto, podem-se reduzir esses efeitos, fazendo com que todos os caminhos que convergem a uma porta tenham praticamente os mesmos tamanhos e atrasos. Assim, as múltiplas transições convergem nas entradas da porta aproximadamente ao mesmo tempo. Se as transições são opostas em polaridade, o atraso interno da porta provocará um amortecimento dessas, diminuindo a atividade de comutação na saída da porta (SHEN, 1992).

2.1.4 Consumo de Potência Dinâmica

A potência dinâmica é resultante da comutação dos transistores, sendo provocada pelo processo de carga e descarga das capacitâncias associadas aos nós das portas. A potência dinâmica é responsável pelo maior consumo de potência nos circuitos CMOS.

A fórmula da potência dinâmica (CIRIT, 1987) é apresentada abaixo:

$$P_{din} = 0.5 f_c V_{dd}^2 \sum_{i=1}^j C_i \alpha_t(x_i) \quad (2.6)$$

Nessa fórmula f_c é a frequência de operação, V_{dd} é a tensão de alimentação do circuito, C_i é a capacitância equivalente do nó x_i , $\alpha_t(x_i)$ é a atividade de comutação de cada nó e j o número total de nós do circuito.

A dissipação média de potência é diretamente proporcional à frequência de comutação do circuito (MARTIN, 2000). Dessa forma, quanto maior a frequência, maior a quantidade proporcional de potência dissipada. Por exemplo, na equação 2.6, ao se diminuir a tensão da fonte de 5V para 3.3V, provoca-se uma redução superior a 50% na dissipação de potência pelo fato de a tensão V_{DD} apresentar uma relação quadrática com a potência dinâmica. Uma porta CMOS, comutando continuamente seu estado na velocidade máxima, possui picos de consumo dinâmico muito próximos entre si, dissipando, dessa forma, uma quantidade de potência similar a uma porta NMOS trabalhando a essa mesma velocidade

(MARTIN, 2000). A lógica NMOS inclui transistores que estão sempre conduzindo e gerando um consumo estático considerável (REIS, 2000).

2.2 Técnicas de Estimativas de Consumo de Potência

A preocupação em reduzir o consumo de potência nos circuitos CMOS vem crescendo à medida que a área do *chip* diminui gradativamente com a implementação em novas tecnologias e o número de transistores aumenta a velocidade de processamento aumenta. Além disso, com a crescente preocupação com consumos menores, uso de fontes limitadas e o tempo de elaboração do projeto, torna-se necessário saber *a priori* se o circuito CMOS atenderá as especificações de consumo de potência exigidas.

A estimativa de potência de um circuito CMOS pode ser realizada em diferentes níveis de abstração: elétrico, lógico, de transferência entre registradores (RTL) e de sistema (ver Figura 2.3). A estimativa em nível elétrico é mais precisa, porém é mais complexa e muito demorada. Entretanto, nos níveis superiores, essa estimativa é menos complexa e conseqüentemente mais rápida.

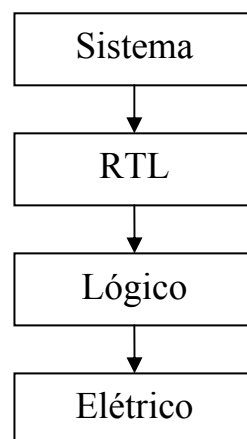


Figura 2.3 Níveis de abstração para a estimativa de potência.

Pesquisadores se dedicam ao estudo e desenvolvimento de técnicas que prevêm o consumo de potência nos diferentes níveis de abstração, oferecendo aos projetistas de leiaute a oportunidade de estimar o desempenho do circuito antes de ser fabricado.

Recentemente, WERMER (2005) apresentou um método que estima a potência em todos os níveis. Esse modelo está baseado no atraso de propagação do sinal da entrada de uma porta e o efeito que sua propagação terá no estado de saída. O modelo de atraso é baseado na estimativa do comprimento das interconexões do circuito.

2.3 Estimativa de Potência em Nível de Sistema

Em nível de sistema, não há informações de capacitâncias e de atividade de chaveamento, pois ainda não foi gerado o leiaute. Nesse nível, a potência de um circuito CMOS é calculada utilizando-se modelos de predição de interconexões baseadas no comprimento dos fios.

Os modelos de predição, também chamados de estimativa do comprimento das interconexões, têm sido estudados em vários aspectos: roteamento de *gate array* (GAMAL, 1981), leiaute hierárquico *top down* (DONATH, 1979), (FEVER, 1982) e *floorplaning* (HEBGEN, 1996). Essas estimativas do comprimento das interconexões podem ser divididas em três modelos (PEDRAM, 1989): empíricos, teóricos e usuais.

Os primeiros estudos de predição em nível de sistema baseavam-se em estimativas empíricas, desenvolvidas por BAKOGLU (1990). Nos anos setenta foi apresentado a relação entre o número médio de terminais (T) de um circuito e o número médio de portas lógicas do circuito (LANDMAN, 1971). Essa relação é chamada de Regra de RENT (1988), definida pela equação abaixo:

$$T = t \cdot B^p \quad (2.7)$$

T é a quantidade de pinos de entrada e saída, t o tamanho médio da célula, B a quantidade de células e p o expoente de RENT (1988).

O valor de p varia diretamente com a complexidade topológica das interconexões e qualidade do posicionador (placement), ou seja, quanto mais complexo for o circuito, maior será o valor de p , podendo no máximo atingir valor unitário (CHRISTIE, 2000).

Os modelos teóricos de interconexões baseiam-se em fórmulas matemáticas, cujas variáveis derivam de parâmetros extraídos das características físicas dos transistores e das interconexões. Esses modelos são divididos em duas categorias: determinísticos e estocásticos.

Nos modelos determinísticos, os parâmetros de cálculo são extraídos do projeto através de medições e ajustes de curvas.

Nos modelos estocásticos, o comprimento das interconexões é calculado através de dados probabilísticos das células de uma biblioteca padrão. Essas células são selecionadas aleatoriamente a partir de um modelo estocástico.

Existem também os modelos usuais de interconexões que são aqueles que trabalham com informações físicas do leiaute das células (ARORA, 1996). Esses modelos baseiam-se nas regras de projeto, combinando-as com abstrações de posicionamento e processos de roteamento. Nesse método, não é considerada a distribuição do comprimento das interconexões e de parâmetros empíricos.

2.3.1 Estimativa em Nível de Transferência Entre Registradores e Entropia de Sistema

A estimativa de potência em nível de transferência entre registradores está relacionada com a entropia do circuito e da energia dissipada na transmissão (NEMANI, 1996).

A entropia $H(x)$ é o fenômeno que se caracteriza pela aleatoriedade ou incerteza da seqüência de vetores de estímulo aplicados a um circuito. A entropia está relacionada diretamente à atividade de chaveamento do circuito, ou seja, quando a atividade de chaveamento aumentar, aumenta também a entropia.

A entropia é usada no modelo teórico (COVER, 1991) como medida de capacidade da informação, tendo como equação a seguinte expressão:

$$H_{(x)} = p \cdot \log_2 \frac{1}{p} + (1-p) \cdot \log_2 \left(\frac{1}{(1-p)} \right) \quad (2.8)$$

Para cada variável booleana existe uma função de entropia associada, com valor determinado pela probabilidade de comutação da variável. Segundo NEMANI (1996), uma função pode ser implementada por um circuito lógico de n entradas e m saídas, cujas entropias de entradas e saídas são dadas pelas equações 2.9 e 2.10, respectivamente. O valor da entropia de saída é sempre menor ou igual à entropia de entrada (COVER, 1991).

A entropia de uma variável x de n diferentes valores é:

$$H(x) = \sum_{i=1}^n p_i \cdot \log_2 \left(\frac{1}{p_i} \right) \quad (2.9)$$

Sendo p_i a probabilidade de cada valor da variável x estar no estado ZERO.

Assumindo-se que x como sendo a variável de entrada tendo 2^n valores, a entropia passa a ser:

$$H_{(x)} = \sum_{i=1}^{2^n} p_i \cdot \log_2 \left(\frac{1}{p_i} \right) \quad (2.10)$$

Agora, sendo y a variável de saída e também tendo 2^m valores, a entropia de saída resulta:

$$H_{(y)} = \sum_{i=1}^{2^m} p_i \cdot \log_2 \left(\frac{1}{p_i} \right) \quad (2.11)$$

A entropia é associada, principalmente, à predição da área de silício de uma função booleana. A potência média dissipada é relacionada à densidade média do transistor e a entropia associada a esses transistores (PIPPENGER, 1977).

2.3.2 Estimativa de Potência em Nível de Portas Lógicas

Em nível de portas lógicas, a análise probabilística considera a potência dissipada nos nós internos das portas de um circuito e as atividades de chaveamento do sinal em cada nó (CIRIT, 1987) e (GHOSH, 1992).

Com a atividade de chaveamento de cada nó determinada, é possível estimar o valor da capacitância, através da equação 2.12:

$$C_{estimada} = \sum p_{i0}(1 - p_{i0})C_i \quad (2.12)$$

Na qual:

p_{i0} é a probabilidade do nó i estar no estado ZERO e C_i a capacitância de comutação associada a esse nó.

Esse estudo não considera as informações de layout, pois não é necessário gerar o circuito fisicamente (MARTINS, 2000b). Em algumas ferramentas existentes, as capacitâncias são estimadas de forma empírica e com pouca precisão. As atividades de comutação são estimadas, usando-se basicamente dois métodos matemáticos: o estatístico e o probabilístico.

O método estatístico (BURCH, 1993) consiste na simulação do circuito, observando o ganho de correntes de saída do circuito pelas correntes de entrada. A multiplicação do valor médio das correntes na saída pela tensão de alimentação do circuito equivale à potência média do circuito. A precisão do método está diretamente relacionada com os sinais de entrada gerados pelo simulador, ou seja, é importante gerar sinais com um grande número de combinações, a fim de analisar seu comportamento.

Para simular o circuito utilizando o método estatístico, pode-se simplesmente gerar todas as combinações de entrada possíveis ou uma parcela delas. Esse método é exaustivo tornando o processo de simulação muito lento para circuitos com muitas entradas. Pode-se usar também um programa gerador de sinais aleatórios que insere vetores nas entradas do circuito e armazena os resultados de saídas, até atingir um valor pré-definido de sinais gerados.

O segundo método, probabilístico, apresentado por MONTEIRO (1997), baseia-se na atividade de comutação dos sinais elétricos das portas lógicas do circuito. No processo de comutação, ou seja, quando o sinal muda de 0 para 1 ou vice-versa, esse sinal de propagação sofre um atraso. Esse atraso é analisado de três formas: atraso zero, atraso unitário e atraso genérico. Atraso zero é aquele que considera a comutação dos sinais de um circuito instantânea quando este faz uma transição de zero para um ou vice-versa. Atraso unitário considera que todas as portas lógicas de um circuito possuem o mesmo valor de atraso. Atraso genérico considera que cada porta lógica possui seu próprio atraso, em função das suas capacitâncias e resistências de comutação. Esse método é menos preciso que o primeiro, pelo fato de apenas analisar as transições de entrada de cada porta lógica, não estimando as capacitâncias do circuito, porém produz resultados satisfatórios nos casos em que é necessária a indicação dos nós do circuito, em que o consumo de potência é maior e a necessidade de obter resultados rapidamente é essencial.

O critério de escolha do tipo de simulação está sujeito, principalmente, ao número de entradas do circuito. Nos circuitos que apresentam um número pequeno de entradas, utiliza-se o método exaustivo. Já para circuitos que apresentam muitas entradas o método utilizado é o da geração de vetores aleatórios, que independentemente da tecnologia do projeto fornece resultados rapidamente.

Na década de noventa surgiu a teoria de modelagem comportamental de potência de uma porta lógica, através de um modelo denominado de CBPE (*Cell Based Power Estimation*) e de um gráfico de transições de estado modificado STGPE (*State Transition Graphic Power Estimation*) (LIN, 1994). A probabilidade de comutação dos sinais de entrada e a densidade de transição de uma porta lógica são responsáveis pela estimativa do número de atividades em cada transição de STGPE. Define-se por densidade de transição de uma porta lógica o número de transições do sinal sobre a porta lógica pelo tempo a que está sendo submetido por unidade de tempo. Dessa forma, a potência consumida é calculada somando-se as energias dissipadas em cada transição de estado do STGPE.

A técnica de Diagrama de Decisão Binária BDD (BRYAN, 1986) é bastante utilizada na estimativa de potência. Essa técnica baseia-se na probabilidade de medida de potência para cada nó do circuito. A complexidade computacional dessas medidas é determinada justamente pela criação de BDDs (IMAN, 1995) e (SYNOPSIS, 1997).

2.3.3 Estimativa de Potência em Nível de Transistores

O consumo de potência em nível de transistores de um circuito combinacional CMOS é calculado utilizando-se a modelagem matemática dos transistores e a extração elétrica das capacitâncias parasitas. Podemos estimar não só a potência dinâmica do circuito, mas também a potência de curto-circuito. A ferramenta mais conhecida e confiável nesse nível é o SPICE (NAGEL, 1975), uma ferramenta muito precisa, mas com algumas limitações, devido à necessidade de uma modelagem matemática contendo todas as informações dos elementos que constituem o circuito, além de uma combinação dos vetores de entrada para a simulação. A necessidade dos parâmetros elétricos para a simulação do circuito, esbarra na geração do leiaute, acarretando elevado tempo de processamento. A ferramenta

MatchPA (MATCHTA, 2003) faz rapidamente a estimativa do consumo de potência com base na corrente elétrica do circuito.

2.4 Ferramentas que estimam Potência

Nesta seção destacam-se algumas ferramentas científicas e comerciais que estimam o consumo de potência nos diferentes níveis de abstração, além das que serão usadas neste trabalho para validação do modelo proposto:

- **PowerTheater** (POWERTHEATER, 2005) é uma ferramenta comercial capaz de realizar a estimativa de consumo de potência em diferentes níveis de abstração, com maior destaque na estimativa de consumo de potência no nível RTL. Esta ferramenta apresenta elevado nível de precisão principalmente para as simulações de projetos SoC (system-on-chip).
- **XPower** (XPOWER, 2005) é uma ferramenta comercial de análise para estimação de potência disponível para dispositivos de lógica programável. É incluída em todas as configurações de ISE pertencente ao pacote da Xilinx, permite analisar a potência total ou parcial consumida por um dispositivo. O XPower lê dados de simulação de HDL com um mecanismo que ajusta rapidamente a estimação da potência de um circuito, desta maneira reduzindo o tempo da simulação.
- **PrimePower** (PRIMERPOWER, 2004) é uma ferramenta de análise de potência em nível lógico pertencente ao fluxo de projeto da Synopsys, oferece alto grau de precisão associado a baixo tempo de simulação. A ferramenta analisa a potência consumida do circuito considerando a impedância e os *glitchings* do circuito. O algoritmo apresenta um banco de informações que analisa os diversos efeitos

sobre o funcionamento do circuito que esse poderia sofrer em plena atividade de trabalho.

- **PowerPlay** (POWERPLAY, 2004) é a ferramenta fornecida pela ALTERA faz a estimativa de consumo de potência nos diferentes níveis de estágio do projeto. A ferramenta acompanha o desempenho nas diferentes fases de um projeto como: síntese e *place route*, analisando a taxa de transições nos nós do circuito, o que, garante uma alta precisão dos resultados obtidos, permitindo, assim, a correção do projeto quando necessário.

As ferramentas integradas no ambiente de projeto para a validação de circuitos integrados denominado de Mentor Graphics (MENTOR, 2001) é capaz de sintetizar, validar e testar um projeto desde a fase de descrição em alto nível até a síntese do leiaute. Estas ferramentas fazem compilação de descrição de circuitos digitais, simulação elétrica e lógica, roteamento, posicionamento, extração de leiaute, entre outras. O ELDO, que será utilizado para comparar os resultados obtidos com o método proposto neste trabalho, pertence a esse pacote, faz a extração dos parâmetros dos transistores e realiza a simulação elétrica da potência dissipada. Uma outra ferramenta do pacote da Mentor é o *MachPA*, que também faz a simulação de consumo de potência dos circuitos no nível elétrico, mas utiliza um outro algoritmo de trabalho.

O ambiente SIS (*Sequential interactive Synthesis*) (SENTOVICH 1992) é uma ferramenta de síntese de circuitos seqüenciais, síncronos, assíncronos e de circuitos combinacionais no nível lógico. O ambiente apresenta várias funcionalidades, como: otimização das áreas de atraso de um circuito, otimização do desempenho de um circuito lógico usando re-estruturação, minimização dos estados booleanos de um circuito, entre

outros. Nesse ambiente está incluída a ferramenta *Power_Estimate*, que faz a estimativa de potência dinâmica em nível lógico, através da atividade de chaveamento baseada em três níveis de atraso: zero, unitário e genérico. Essa ferramenta será usada para incorporar o modelo de capacitâncias de portas lógicas complexas desenvolvido e por ser de domínio público disponível para os diversos segmentos da comunidade de pesquisa, diferentemente de todas as ferramentas citadas anteriormente que são comerciais e necessitam de uma licença para funcionar.

A posse de ferramentas rápidas e precisas na simulação de circuitos possibilita verificar se o circuito atenderá todas as condições de funcionamento, permitindo reduzir consideravelmente o tempo de análise do projeto.

Capítulo 3

ESTIMATIVA DE CAPACITÂNCIA DE PORTAS LÓGICAS COMPLEXAS EM CIRCUITOS CMOS

Este capítulo trata da implementação de uma nova metodologia na estimativa de capacitâncias equivalentes para portas lógicas complexas no nível lógico de abstração. Nesse nível as capacitâncias analisadas para um circuito são aquelas resultantes da associação das capacitâncias intrínsecas concentradas nos nós de entrada e saída das portas lógicas, referenciadas ao nó do terra. Todas as portas lógicas convencionais ou complexas, com exceção do inversor, possuem nós internos que causam algum tipo de efeito sobre as entradas e saída e cujo efeito está relacionado aos vetores de entrada(MARTINS, 2000a). A estimativa de capacitância é fundamental na determinação da potência dinâmica dissipada por uma porta lógica. Será apresentado neste capítulo um conjunto de portas complexas, sendo duas delas modeladas conforme a metodologia proposta. Quanto às demais portas complexas, estarão contidas em uma tabela seguindo a mesma metodologia.

3.1 Capacitâncias Parasitas

A otimização dos circuitos integrados contribui para o surgimento do problema de aumento de capacitância, causado pela aproximação dos dispositivos e aumento de frequência de comutação. O que conseqüentemente, acarreta no aumento do consumo de potência nesses circuitos (CIRIT, 1987).

No projeto de um circuito CMOS, saber o comportamento das capacitâncias ainda na fase de projeto lógico é fundamental, pois permite prever se o circuito projetado atende as especificações iniciais.

A capacitância depende das condições geométricas do dispositivo. A simples análise sobre a estrutura de um transistor pode se observar que se assemelha a um capacitor. A capacitância surge devido à isolação das várias camadas que constituem o transistor. A capacitância de porta depende da área do dispositivo e é dada pela equação 3.1 (UYEMURA, 1992):

$$C_g = C_{ox}A \quad (3.1)$$

Sendo:

$$C_{ox} = \frac{\epsilon_{ox}}{t_{ox}} \quad (3.2)$$

Em que C_{ox} é a capacitância do óxido por unidade de área, ϵ_{ox} é a permissividade do óxido e t_{ox} é a espessura do óxido.

A Figura 3.1 apresenta a geometria do transistor, na qual pode-se observar a área (a largura do canal W e o comprimento do canal L) do transistor que influencia na determinação da capacitância.

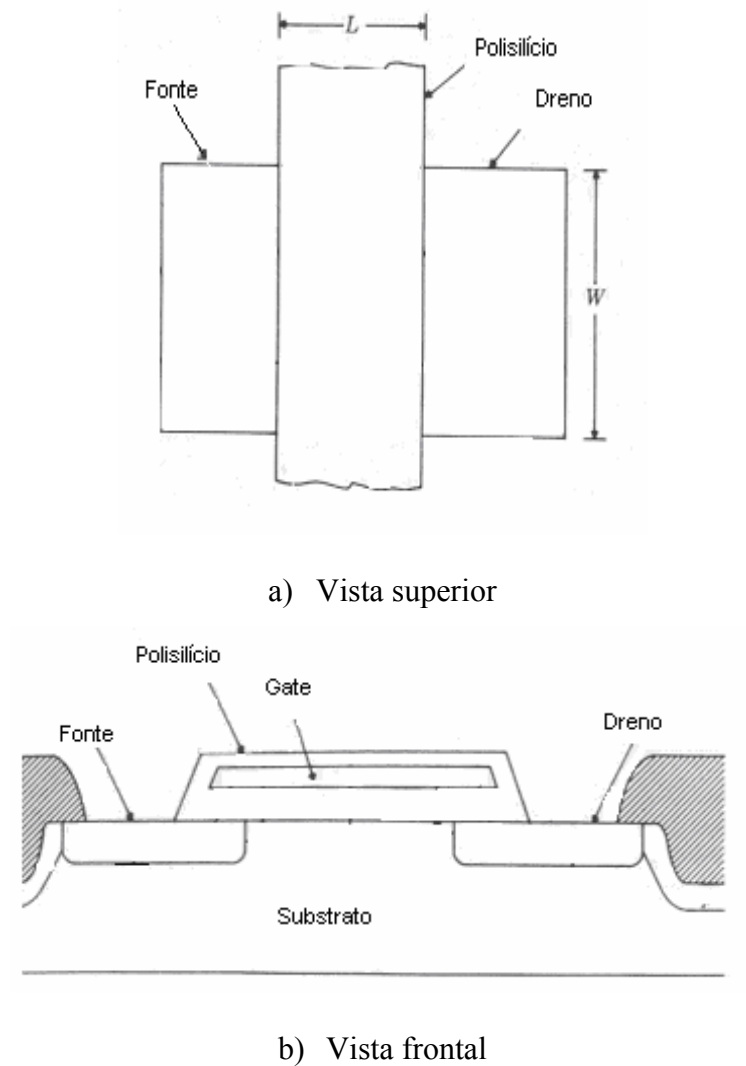


Figura 3.1 – Geometria de um transistor MOSFET.

A capacitância em um transistor pode ser compreendida examinando as três regiões de operações de um MOSFET: regiões corte, linear e saturação (UYEMURA, 1992).

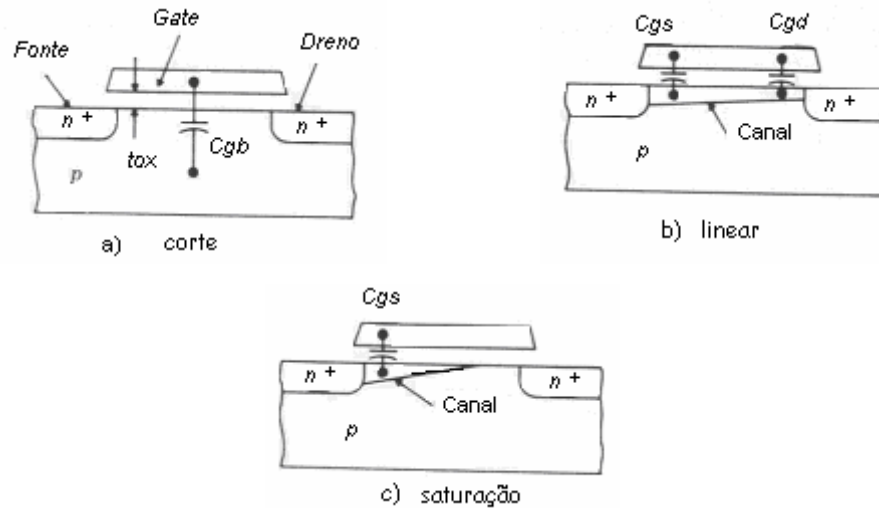


Figura 3.2 – Capacitâncias de um transistor MOSFET nas regiões de operação.

Na região de corte não há inversão do canal, o que resulta na seguinte capacitância do transistor:

$$C_{GB} = C_{OX}WL, \quad C_{GS} = 0 \quad \text{e} \quad C_{GD} = 0 \quad (3.3)$$

Em que, C_{GS} é a capacitância *gate-fonte*, C_{GD} , capacitância *gate-dreno* e C_{GB} é a capacitância *gate-substrato*.

Quando o transistor está polarizado ocorre o processo de inversão do canal. Então temos $C_{GB} = 0$. Na região linear as capacitâncias *gate-source* e *gate-dreno* são aproximadamente iguais (ver Figura 3.1 b)). Desta forma a capacitância passa assumir a Equação 3.4 (UYEMURA, 1992):

$$C_{GD} = C_{GS} = \frac{1}{2}C_{ox}WL \quad (3.4)$$

Quando o transistor está saturado, ocorre o efeito de *pinched off*, ou seja, o estrangulamento do canal da região n^+ do dreno (ver Figura 3.1.c). Assim, a capacitância para este modo de operação assume (UYEMURA, 1992):

$$C_{GS} = \frac{2}{3}C_{ox}WL \quad C_{GD} = 0 \quad (3.5)$$

Além das capacitâncias C_{GS} , C_{GS} e C_{GD} citadas anteriormente, existem as capacitâncias da região de depleção C_{SB} e C_{DB} que dependem da tensão. Essas capacitâncias resultam na junção pn do substrato com as regiões do dreno e da fonte. Estas capacitâncias são determinadas por aproximações que resultam num valor médio. Estas são representadas pelas equações 3.6 e 3.7 (UYEMURA, 1992).

$$C_{DB} = K_{1/2}(V_1, V_2)C_{j0}A_D + K_{1/3}(V_1, V_2)C_{jsw}l_D \quad (3.6)$$

$$C_{SB} = K_{1/2}(V_1, V_2)C_{j0}A_S + K_{1/3}(V_1, V_2)C_{jsw}l_S \quad (3.7)$$

Em que

$$K_{1/3}(V_1, V_2) = \frac{3C_{j0}V_{bi}}{2(V_2 - V_1)} \left[\left(1 + \frac{V_2}{V_{bi}}\right)^{2/3} - \left(1 + \frac{V_1}{V_{bi}}\right)^{2/3} \right] \quad (3.8)$$

e

$$K_{1/2}(V_1, V_2) = \frac{2C_{j0}V_{bi}}{(V_2 - V_1)} \left[\left(1 + \frac{V_2}{V_{bi}}\right)^{1/2} - \left(1 + \frac{V_1}{V_{bi}}\right)^{1/2} \right] \quad (3.9)$$

São os fatores de tensão na região de depleção que variam de acordo com os limites de tensões V_1 e V_2 ao longo da região de depleção e a tensão de polarização V_{bi} .

Na qual temos ainda W a largura do canal do transistor NMOS (PMOS), L o comprimento do canal do transistor NMOS (PMOS), C_{jsw} a capacitância de difusão lateral do transistor por unidade de perímetro, C_{j0} a capacitância de junção do transistor por unidade de área, A_S a área da fonte do transistor NMOS (PMOS), A_D a área do dreno do transistor NMOS (PMOS), l_S o perímetro da fonte do transistor NMOS (PMOS), l_D o perímetro do dreno do transistor NMOS (PMOS) e C_{ox} a capacitância do óxido da porta.

Na Figura 3.3 se pode observar as principais capacitâncias mencionadas de um transistor CMOS.

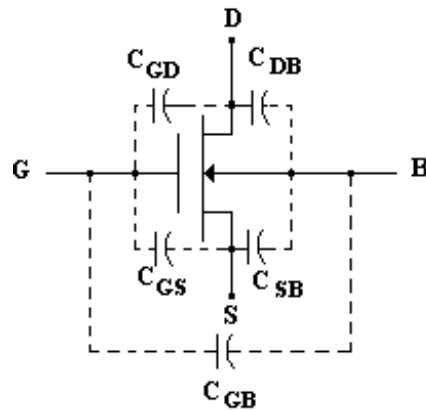


Figura 3.3 – Capacitâncias Parasitas Intrínsecas de um transistor MOSFET.

Além das capacitâncias já mencionadas existem as capacitâncias de interconexões, também conhecidas como de roteamento. Surgem quando é realizada a conexão entre as diversas células de um circuito. As capacitâncias resultantes das interconexões (CHERN, 1992) são vistas na Figura 3.4:

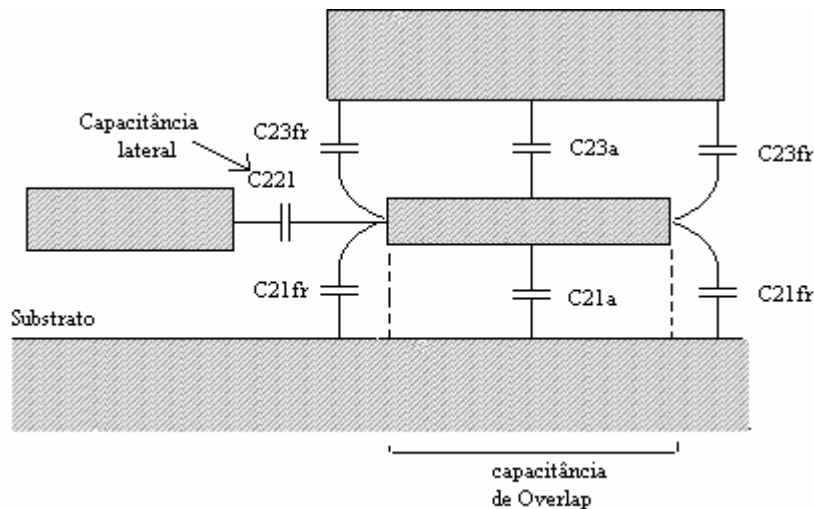


Figura 3.4- As capacitâncias de interconexões

- Capacitância de *overlap* (capacitância sobreposta) (C_{23a} , C_{21a}): é a capacitância devida ao cruzamento entre dois condutores em planos diferentes;
- Capacitância lateral (C_{221}): é capacitância que surge entre dois condutores no mesmo plano;

- Capacitância da Borda (*Fringing*) (C_{23fr} , C_{21fr}): é a capacitância devida ao acoplamento entre dois condutores em diferentes planos (face inferior do metal em um nível superior e face lateral do metal num nível inferior).

Entre as conexões existe uma capacitância que resulta quando uma conexão comuta, muda de estado. Em uma conexão a tensão não muda instantaneamente, então a conexão vizinha tende a comutar também. Esse fenômeno é conhecido como capacitância de acoplamento ou *crosstalk*. Essa capacitância causa um ruído e aumenta o atraso nas demais conexões que não estão comutando.

Neste trabalho que trata da estimativa de consumo de potência de portas lógicas complexas as capacitâncias C_{GS} , C_{GD} , C_{SB} e C_{DB} tornam-se a fundamentação do estudo.

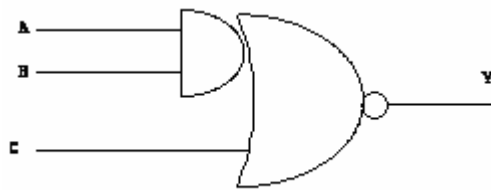
3.2 Portas Complexas Estudadas

A relação das portas lógicas complexas que serão modeladas segundo esta metodologia está apresentada na Tabela 3.1:

Tabela 3.1 – Relação de Portas Complexas.

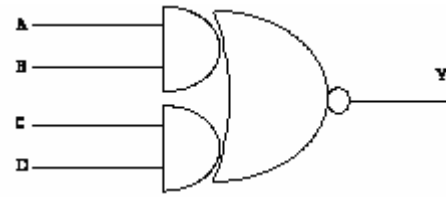
| Portas Lógicas | Nº entradas | Transistores | Funcionalidade |
|----------------|-------------|--------------|----------------------------------|
| AOI21 | 3 | 6 | $Y = \overline{AB+C}$ |
| AOI22 | 4 | 8 | $Y = \overline{AB+CD}$ |
| AOI221 | 5 | 10 | $Y = \overline{AB+CD+E}$ |
| AOI222 | 6 | 12 | $Y = \overline{AB+CD+EF}$ |
| AOI32 | 5 | 10 | $Y = \overline{ABC+DE}$ |
| AOI321 | 6 | 12 | $Y = \overline{ABC+DE+F}$ |
| AOI33 | 6 | 12 | $Y = \overline{ABC+DEF}$ |
| OAI21 | 3 | 6 | $Y = \overline{(A+B)C}$ |
| OAI22 | 4 | 8 | $Y = \overline{(A+B)(C+D)}$ |
| OAI221 | 5 | 10 | $Y = \overline{(A+B)(C+D)E}$ |
| OAI222 | 6 | 12 | $Y = \overline{(A+B)(C+D)(E+F)}$ |
| OAI32 | 5 | 10 | $Y = \overline{(A+B+C)(D+E)}$ |
| OAI321 | 6 | 12 | $Y = \overline{(A+B+C)(D+E)F}$ |
| OAI33 | 6 | 12 | $Y = \overline{(A+B+C)(D+E+F)}$ |

As representações em nível lógico de cada porta complexa analisada estão mostradas nas Figuras 3.5 e 3.6:



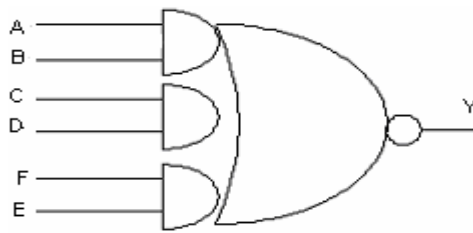
$$Y = \overline{AB + C}$$

a)AOI21



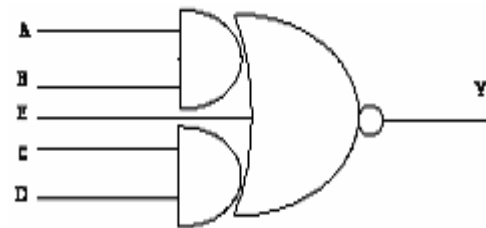
$$Y = \overline{AB + CD}$$

b)AOI22



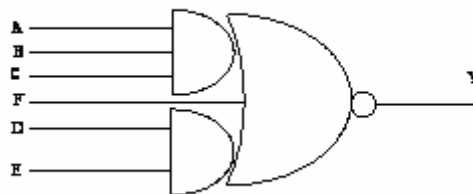
$$Y = \overline{AB + CD + EF}$$

c)AOI222



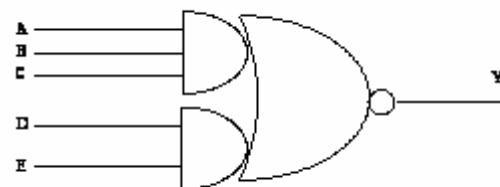
$$Y = \overline{AB + CD + E}$$

d)AOI221



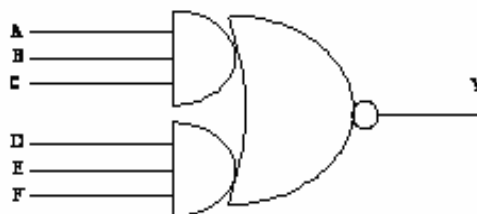
$$Y = \overline{ABC + DE + F}$$

e)AOI321



$$Y = \overline{ABC + DE}$$

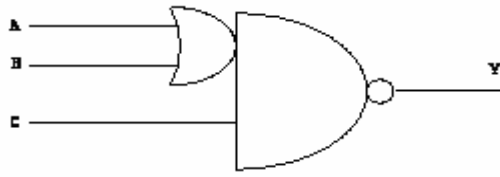
f)AOI32



$$Y = \overline{ABC + DEF}$$

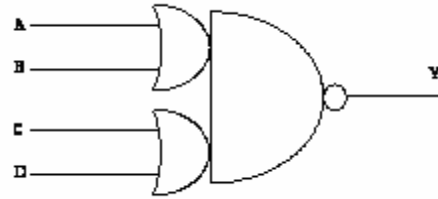
g)AOI33

Figura 3.5- Representação em nível lógico das portas complexas AOI's



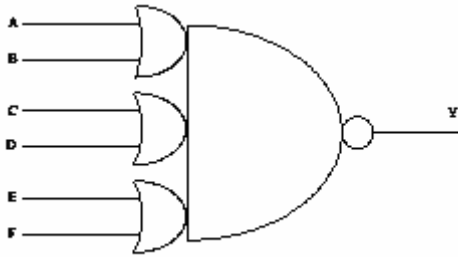
$$Y = \overline{(A+B)C}$$

a)OAI21



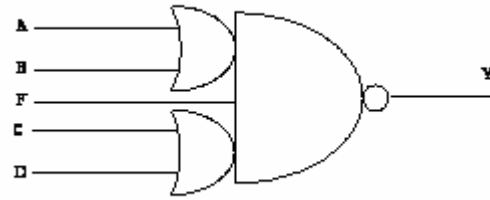
$$Y = \overline{AB+CD}$$

b)OAI22



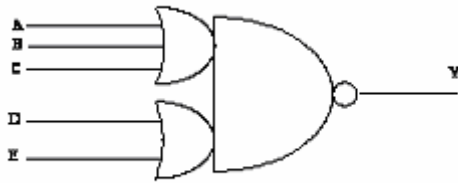
$$Y = \overline{(A+B)(C+D)(E+F)}$$

c) OAI222



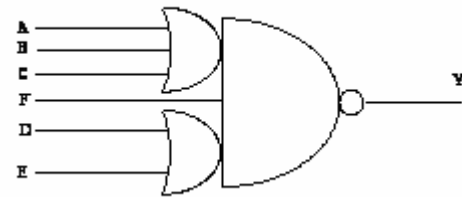
$$Y = \overline{AB+CD+E}$$

d)OAI221



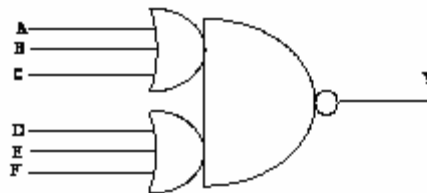
$$Y = \overline{(A+B+C)(D+E)}$$

e)OAI32



$$Y = \overline{(A+B+C)(D+E)F}$$

f)OAI321



$$Y = \overline{(A+B+C)(D+E+F)}$$

g)OAI33

Figura 3.6-Representação em nível lógico das portas complexas OAI's.

3.3 Estimativa de Capacitância em Nível Lógico de Porta

As capacitâncias das portas lógicas em nível lógico dependem da combinação de vetores aplicados em suas entradas. Assim a transição desses vetores permite analisar o efeito das capacitâncias internas sobre a capacitância equivalente.

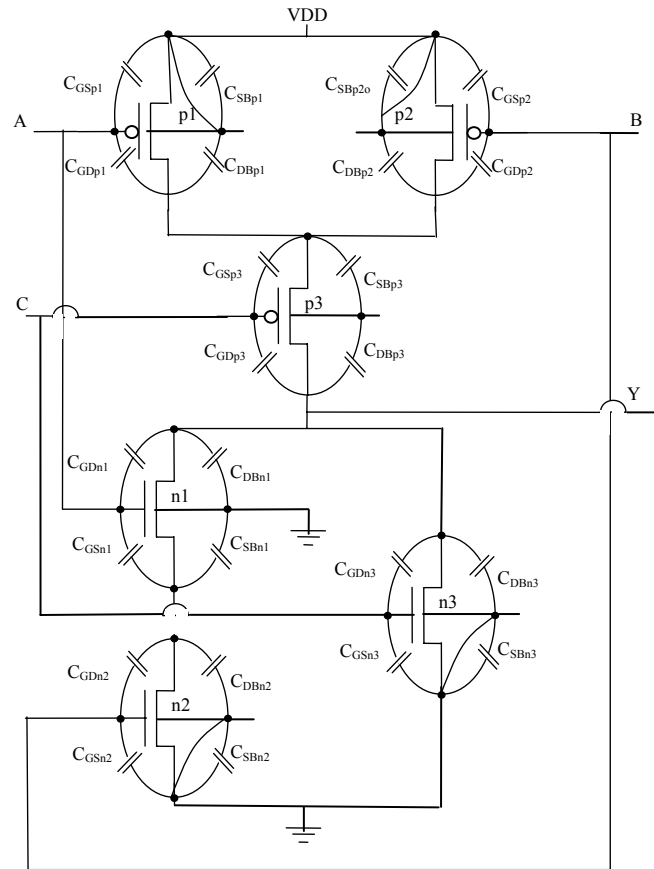
A capacitância equivalente de um nó de entrada é determinada pela combinação de transições de estados dos demais nós de entrada em relação à entrada (nó) analisada. Essa combinação de vetores de entrada faz com que os transistores da porta lógica entrem ou não em condução. Em outras palavras, traduz a influência de uma entrada na outra, conforme as combinações possíveis. Na seção seguinte é apresentada a estimativa de capacitância da porta lógica complexa AOI21.

3.3.1 Estimativa de Capacitância da Porta AOI21

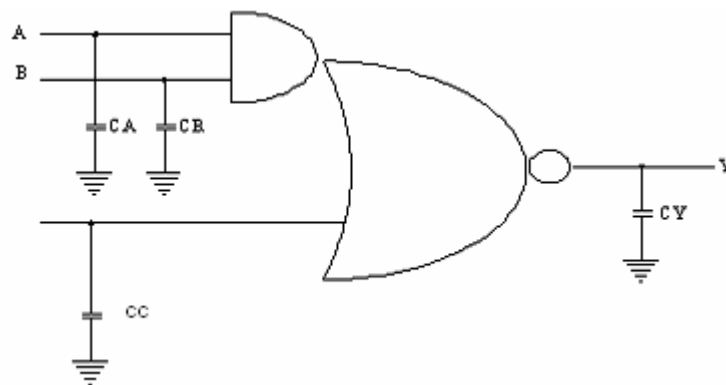
A porta lógica complexa AOI21 representada pela função lógica da equação 3.10, possui 6 nós externos e 2 internos, conforme Figura 3.7.

A equação 3.10 apresenta a função lógica da porta lógica AOI21:

$$X = \overline{AB + C} \quad (3.10)$$



a)



b)

Figura 3.7 Capacitâncias parasitas da Porta Lógica Complexa AOI21:
 a) Representação em nível de transistores
 b) Representação em nível de Portas lógicas complexas.

As 3 entradas da porta permitem a geração de 8 vetores de estados: **000**, **001**, **010**, **011**, **100**, **101**, **110** e **111**, que agem no chaveamento dos transistores PMOS e NMOS, resultando na capacitância equivalente. No entanto, como a capacitância equivalente de cada nó em análise é determinada pelo efeito da transição dos sinais nos demais nós (externos e internos) em relação ao nó analisado, o número de componentes capacitivos é igual ao número de vetores analisados. Dessa forma o número de componentes reduz-se a 4, conforme demonstrado na Equação 3.11.

$$C_n = C_1 + C_2 + C_3 + C_4 \quad (3.11)$$

Em que C_n é a capacitância equivalente do nó em análise e $C_1... C_4$, são as capacitâncias devidas à transição dos estados de entrada. Por exemplo, na análise da capacitância equivalente da entrada A da porta AOI21, verifica-se a transição das entradas B e C. Dessa forma a componente C_1 é a capacitância devida aos sinais de entrada **000** e **100**, C_2 é a componente capacitiva resultante da transição dos sinais **001** e **101**, C_3 é a componente capacitiva devida aos sinais **010** e **110** e C_4 é a componente capacitância resultante dos sinais **111** e **011**.

A análise matemática de dedução da capacitância da porta lógica complexa AOI21 fornece a capacitância resultante devido à variação dos vetores de entrada (GHISSONI, 2004):

Capacitância de saída, aplicando-se o teorema de Thévenin, assume que:

$$C_Y = C_{GDp3} + C_{DBp3} + C_{GDn1} + C_{DBn1} + C_{GDn3} + C_{DBn3} \quad (3.12)$$

Em que:

C_{GDp3} é igual à capacitância *gate-dreno* do transistor *p3* determinada pela equação 3.4.

C_{DBp3} é igual à capacitância *dreno-substrato* do transistor *p3*, determinada pela equação 3.6:

C_{GDn1} é igual à capacitância *gate-dreno* do transistor *n1* determinada pela equação 3.4.

C_{DBn1} é igual à capacitância *dreno-substrato* do transistor *n1*, determinada pela equação 3.6.

C_{GDn3} é igual à capacitância *gate-dreno* do transistor *n3* determinada pela equação 3.4.

C_{DBn3} é igual à capacitância *dreno-substrato* do transistor *n3*, determinada pela equação 3.6

A porta AOI21 para a entrada A apresenta as seguintes componentes capacitivas:

$$C_A = C_{AX1} + C_{AX2} + C_{AX3} + C_{AX4} \quad (3.13)$$

Dessa forma, cada componente capacitiva corresponde a 25% da capacitância equivalente da entrada A.

Para sinais de entrada **000** e **100** os transistores *n2* e *n3* estão em corte, já os transistores tipo *p2* e *p3* estão em condução. A parcela capacitiva resultante dessa configuração assume:

$$C_{Ax1} = 0,25 \left(\frac{C_{GSn1} \cdot C_{TAx1}}{C_{GSn1} + C_{TAx1}} + C_{GDn1} + C_{GDp1} + C_{GSp1} \right) \quad (3.14)$$

Em que C_{TAx1} é:

$$C_{TAx1} = C_{GDn2} + C_{DBn2} + C_{SBn1} \quad (3.15)$$

Essa análise pode ser bem observada na Figura 3.8:

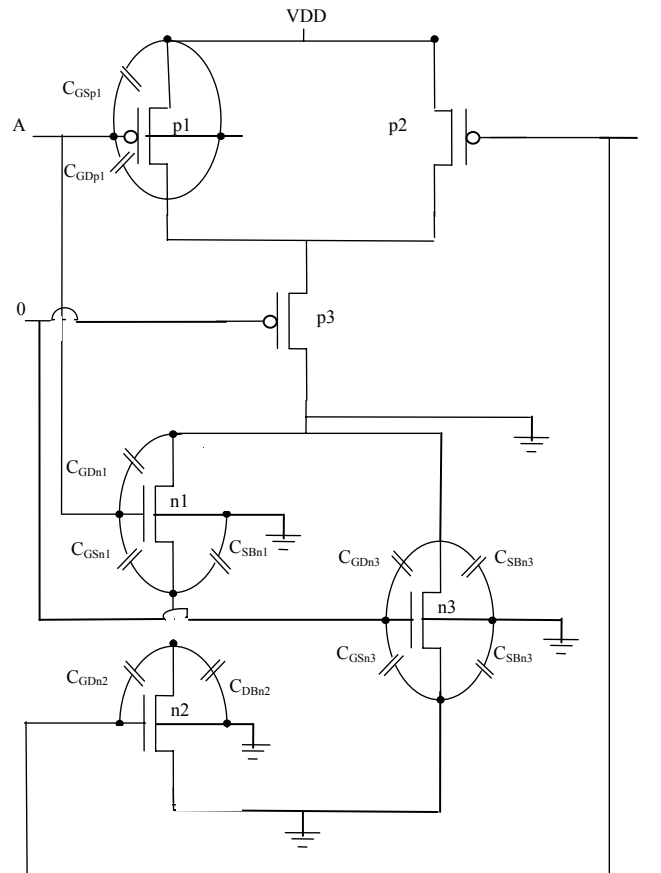


Figura 3.8-Representa o estado de operação dos transistores da porta AOI21.

Em função dos vetores **000** e **100** na Figura 3.8, observam-se as componentes capacitivas que resultam em C_A . As capacitâncias do transistor $n3$ e a dos demais transistores que não fazem parte dessa componente, estão aterradas.

Os sinais de entrada **011** e **111** fazem com que os transistores $n2$ e $n3$ entrem em condução e os transistores $p2$ e $p3$ entrem em corte, então a capacitância resulta em:

$$C_{Ax2} = 0,25 \left(\frac{C_{GDp1} \cdot C_{TAx2}}{C_{GDp1} + C_{TAx2}} + C_{GDn1} + C_{GSn1} + C_{GSp1} \right) \quad (3.16)$$

Em que C_{TAx2} é:

$$C_{TAx2} = C_{GDp2} + C_{DBp1} + C_{SBp3} + C_{DBp3} + C_{GDp2} \quad (3.17)$$

Os transistores $n2$ e $p3$ entram em condução e os transistores $p2$ e $n3$ em estado de corte para a excitação de entrada **110** e **010**. Assim a componente capacitiva para esses vetores de entrada resulta:

$$C_{Ax3} = 0,25(C_{GSn1} + C_{GDn1} + C_{GDp1} + C_{GSp1}) \quad (3.18)$$

Para a combinação de entrada dos sinais **001** e **101** têm-se os transistores $n2$ e $p3$ em estado de corte, já os transistores $n3$ e $p2$ em condução, o que resulta na parcela capacitiva a seguir:

$$C_{Ax4} = 0,25 \left(\frac{C_{GSn1} \cdot C_{TAx1}}{C_{GSn1} + C_{TAx1}} + C_{GDn1} + C_{GSp1} + \frac{C_{GDp1} \cdot C_{TAX4}}{C_{GDp1} + C_{TAX4}} \right) \quad (3.19)$$

Em que C_{TAx4} é:

$$C_{TAx4} = C_{SBp3} + C_{GDp3} + C_{SBp1} \quad (3.20)$$

A capacitância equivalente total da entrada A será o somatório de todas as componentes capacitivas, ou seja:

$$C_A = C_{GDn1} + C_{GSp1} + \frac{1}{2} C_{GSn1} \left(1 + \frac{C_{TAx1}}{C_{GSn1} + C_{TAx1}} \right) + \frac{1}{4} C_{GDp1} \left(3 + \frac{C_{TAX2}}{C_{GDp1} + C_{TAX2}} \right) \quad (3.21)$$

Para a entrada B, as mesmas considerações são feitas em termos da influência pelas combinações dos vetores de entrada sobre os transistores. Novamente a porta apresenta 4 componentes capacitivas.

$$C_B = C_{BX1} + C_{BX2} + C_{B2X3} + C_{BX4} \quad (3.22)$$

Analisando os sinais de entrada **000** e **010**, verifica-se que a rede *PMOS* está saturada e a rede *NMOS* está em corte portanto a capacitância dessa parcela será:

$$C_{Bx1} = 0,25 \left(\frac{C_{GDn2} \cdot C_{TBx1}}{C_{GDn2} \cdot C_{TBx1}} + C_{GDp2} + C_{GSp2} + C_{GSn2} \right) \quad (3.23)$$

Em que C_{TBx1} é:

$$C_{TBx1} = C_{GSn1} + C_{SBn1} + C_{DBn2} \quad (3.24)$$

Seguindo a análise com as transições de entrada **001** e **011**, os transistores $n3$ e $p1$ entram em condução, já os transistores $n1$ e $p3$ entram em corte; dessa forma a capacitância resultante assume:

$$C_{Bx2} = 0,25 \left(\frac{C_{GDn2} \cdot C_{TBx1}}{C_{GDn2} + C_{TBx1}} + C_{GSn2} + C_{GDP2} + C_{GSp2} \right) \quad (3.25)$$

Os transistores $p1$ e $n3$ estão em corte e os transistores $p3$ e $n1$ conduzindo, quando as transições de entrada assumem **100** e **110**; dessa forma a componente capacitiva resulta na equação 3.26:

$$C_{Bx3} = 0,25(C_{GDn2} + C_{GDP2} + C_{GSp2} + C_{GSn2}) \quad (3.26)$$

Quando os estados de transição de entrada assumem **101** e **111**, a rede *NMOS* passa a conduzir e a rede *PMOS* entra em estado de corte. Portanto, a capacitância resultante passa a ser:

$$C_{Bx4} = 0,25 \left(C_{GDn2} + \frac{C_{GDP2} \cdot C_{TBx2}}{C_{Gpn2} + C_{TBx2}} + C_{GSp2} + C_{GSn2} \right) \quad (3.27)$$

Em que C_{TBx2} é:

$$C_{TBx2} = C_{DBp2} + C_{DBp1} + C_{GDP1} + C_{SBp3} + C_{GDP3} \quad (3.28)$$

Logo a capacitância equivalente total da entrada B assume o seguinte valor:

$$C_B = C_{GSp2} + C_{GSn2} + \frac{1}{2} C_{GDn2} \left(1 + \frac{C_{TBx1}}{C_{GDn2} \cdot C_{TBx1}} \right) + \frac{1}{4} C_{GDP2} \left(3 + \frac{C_{TBx2}}{C_{GDP2} + C_{TBx2}} \right) \quad (3.29)$$

Repete-se o procedimento adotado nas entradas anteriores para determinar a capacitância equivalente da entrada C.

$$C_C = C_{CX1} + C_{CX2} + C_{CX3} + C_{CX4} \quad (3.30)$$

Com as combinações dos vetores **001** e **000** aplicados na entrada da porta, os transistores $n1$ e $n2$ passam para o estado de corte, já os transistores da rede *PMOS* entram em condução. Então a parcela capacitiva resultante assume:

$$C_{CX1} = (C_{GDn3} + C_{DBn3} + C_{GDP3} + C_{GSp3}) \cdot 0,25 \quad (3.31)$$

Na análise do efeito capacitivo para as transições de entrada **010** e **011**, observa-se que os transistores *n1* e *p2* entram em estado de corte e os transistores *n2* e *p1* passam para o estado de condução, ocasionando a seguinte parcela capacitiva:

$$C_{CX2} = (C_{GDp3} + C_{GDn3} + C_{GSp3} + C_{GSn3}) \cdot 0,25 \quad (3.32)$$

Em 25% dos casos, ou seja, quando os sinais de entrada assumem **100** e **101**, os transistores *n1* e *p2* entram em condução, e os transistores *n2* e *p1* abrem, assim a capacitância parcial resulta na seguinte forma:

$$C_{CX3} = (C_{GDp3} + C_{GDn3} + C_{GSp3} + C_{GSn3}) \cdot 0,25 \quad (3.33)$$

E finalmente, para os sinais de entrada **110** e **111** os transistores *n1* e *n2* entram em estado de condução e os transistores *p1* e *p2* passam para o estado de corte. Dessa forma a capacitância resultante dessa parcela será:

$$C_{CX4} = \left(C_{GDp3} + C_{DBn3} + \frac{C_{GSp3} \cdot C_{TCX1}}{C_{GSp3} + C_{TCX1}} + C_{GSn3} \right) \cdot 0,25 \quad (3.34)$$

Onde C_{TCX3} é:

$$C_{TCX1} = C_{GDp1} + C_{DBp1} + C_{SBp3} + C_{GDp2} + C_{DBp2} \quad (3.35)$$

A capacitância equivalente da entrada C incluindo todas as parcelas capacitivas, assume o seguinte valor:

$$C_C = C_{GSn3} + C_{GDn3} + C_{GDp3} + \frac{1}{4} C_{GSp3} \left(3 + \frac{C_{TCX1}}{C_{GSp3} + C_{TCX1}} \right) \quad (3.36)$$

A Tabela 3.2 mostra detalhadamente um resumo das componentes capacitivas da porta AOI21 em função dos vetores de entrada aplicados:

Tabela 3.2- Resumo das componentes capacitivas da porta AOI21

| Entrada | Vetores de Entrada | Componentes Capacitivas |
|---------|--------------------|---|
| A | BC | |
| 0-1 | 00 | $C = 0,25 \left(\frac{C_{GSn1} \cdot C_{TAX1}}{C_{GSn1} + C_{TAX1}} + C_{GDn1} + C_{GDp1} + C_{GSp1} \right)$ |
| | 01 | $C = 0,25 \left(\frac{C_{GSn1} \cdot C_{TAX1}}{C_{GSn1} + C_{TAX1}} + C_{GDn1} + C_{GSp1} + \frac{C_{GDp1} \cdot C_{TAX4}}{C_{GDp1} + C_{TAX4}} \right)$ |
| | 10 | $C = 0,25 \left(C_{GSn1} + C_{GDn1} + \frac{C_{GDp1} \cdot C_{TAX3}}{C_{GDp1} + C_{TAX3}} + C_{GSp1} \right)$ |
| | 11 | $C = 0,25 \left(C_{GSn1} + C_{GDn1} + \frac{C_{GDp1} \cdot C_{TAX2}}{C_{GDp1} + C_{TAX2}} + C_{GSp1} \right)$ |
| B | AC | |
| 0-1 | 00 | $C = 0,25 \left(\frac{C_{GDn2} \cdot C_{TBx1}}{C_{GDn2} + C_{TBx1}} + C_{GDp2} + C_{GSp2} + C_{GSn2} \right)$ |
| | 01 | $C = 0,25 \left(\frac{C_{GDn2} \cdot C_{TBx1}}{C_{GDn2} + C_{TBx1}} + C_{GSn2} + \frac{C_{GDp2} \cdot C_{TBx2}}{C_{GDp2} + C_{TBx2}} + C_{GSp2} \right)$ |
| | 10 | $C = 0,25 \left(C_{GDn2} + \frac{C_{GDp2} \cdot C_{TBx3}}{C_{GDp2} + C_{TBx3}} + C_{GSp2} + C_{GSn2} \right)$ |
| | 11 | $C = 0,25 \left(C_{GDn2} + \frac{C_{GDp2} \cdot C_{TBx4}}{C_{GDp2} + C_{TBx4}} + C_{GSp2} + C_{GSn2} \right)$ |
| C | AB | |
| 0-1 | 00 | $C = (C_{GDn3} + C_{DBn3} + C_{GDp3} + C_{GSp3}) \cdot 0,25$ |
| | 01 | $C = \left(C_{GDp3} + C_{GDn3} + \frac{C_{GSp3} \cdot C_{TCX1}}{C_{GSp3} + C_{TCX1}} + C_{GDp3} \right) \cdot 0,25$ |
| | 10 | $C = \left(C_{GDp3} + C_{GDn3} + \frac{C_{GSp3} \cdot C_{TCX2}}{C_{GSp3} + C_{TCX2}} + C_{GSn3} \right) \cdot 0,25$ |
| | 11 | $C = \left(C_{GDp3} + C_{DBn3} + \frac{C_{GSp3} \cdot C_{TCX3}}{C_{GSp3} + C_{TCX3}} + C_{GSn3} \right) \cdot 0,25$ |

3.3.2 Estimativa de Capacitância da Porta lógica Complexa AOI22

A fim de destacar a relevância do trabalho, apresenta-se a dedução da capacitância da porta lógica complexa AOI22 (GHISSONI, 2005). Essa porta lógica possui 7 nós externos e 3 internos e desempenha a função lógica apresentada pela equação 3.37.

$$Y = \overline{AB + CD} \quad (3.37)$$

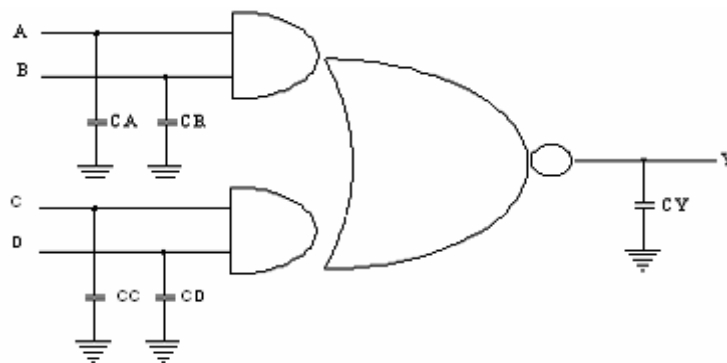
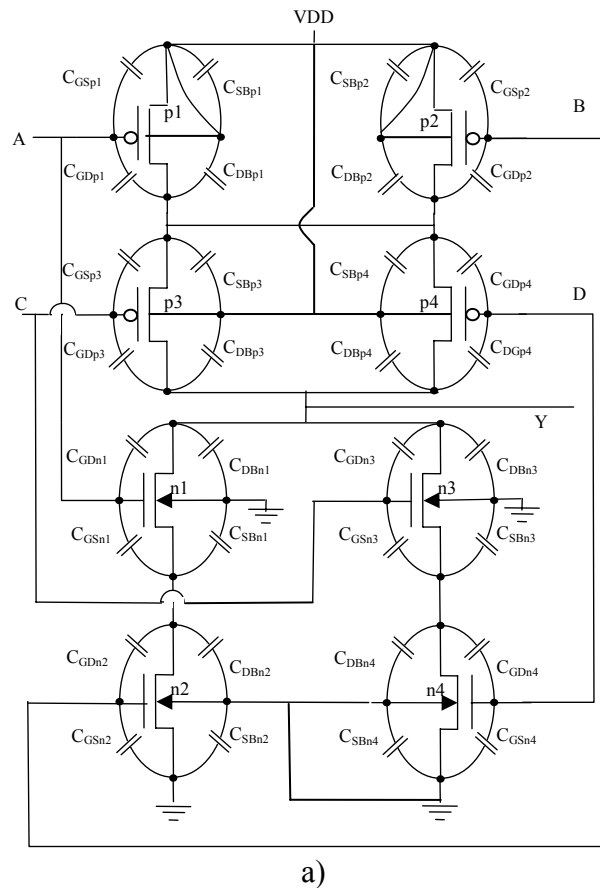


Figura 3.9 Capacitâncias parasitas intrínsecas da Porta Lógica Complexa AOI21

a) Nível de Transistores b) Nível de portas lógicas complexas

Capacitância vista pelo terminal de saída:

$$C_Y = C_{GDp3} + C_{DBp3} + C_{GDn1} + C_{DBn1} + C_{GDn3} + C_{DBn3} + C_{GDp4} + C_{DBp4} \quad (3.38)$$

A capacitância equivalente de cada nó de entrada da porta é composta por 8 componentes capacitivas, visto que a porta apresenta 4 entradas. Como a capacitância do nó em análise é resultante das transições dos vetores dos demais nós de entrada, agindo sobre os demais nós (internos e externos) da porta, tem-se o número de componentes reduzido à metade.

Para a entrada A temos as seguintes componentes capacitivas:

$$C_A = C_{AX1} + C_{AX2} + C_{AX3} + C_{AX4} + C_{AX5} + C_{AX6} + C_{AX7} + C_{AX8} \quad (3.39)$$

A transição dos sinais de entrada **0000** e **1000** fazem com que os transistores tipo *N* das entradas B,C, D fiquem em estado aberto, já os transistores tipo *P* entram em estado de condução:

$$C_{Ax1} = 0,25 \left(\frac{C_{GSn1} \cdot C_{TAx1}}{C_{GSn1} + C_{TAx1}} + C_{GDn1} + C_{GDp1} + C_{GSp1} \right) \quad (3.40)$$

Em que C_{TAx1} é:

$$C_{TAx1} = C_{GDn2} + C_{DBn2} + C_{SBn1} \quad (3.41)$$

Quando as transições de entrada assumem os valores **0001** e **1001**, na rede *PMOS* apenas o transistor *p4* entra em estado de corte e os demais conduzem. Na rede *NMOS* apenas o transistor *n4* conduz e os demais ficam em corte, assim a capacitância assume:

$$C_{Ax2} = 0,25 \left(\frac{C_{GSn1} \cdot C_{TAx1}}{C_{GSn1} + C_{TAx1}} + C_{GDn1} + C_{GSp1} + \frac{C_{GDp1} \cdot C_{TAX2}}{C_{GDp1} + C_{TAX2}} \right) \quad (3.42)$$

Em que C_{TAX2} :

$$C_{TAX2} = C_{DBp1} + C_{GSp4} + C_{SBp4} \quad (3.43)$$

Se os vetores de entrada forem **1010** e **0010** os transistores *n2*, *n4* e *p3* deixam de conduzir e os transistores *p2*, *n3* e *p4* entram em estado de condução:

$$C_{TAx3} = 0,25 \left(\frac{C_{GSn1} C_{TAX1}}{C_{GSn1} + C_{TAX1}} + C_{GDn1} + \frac{C_{GDp1} C_{TAX3}}{C_{GDp1} + C_{TAX3}} + C_{GSp1} \right) \quad (3.44)$$

Em que C_{TAx3} :

$$C_{TAx3} = C_{GSp3} + C_{SBp3} + C_{DBp1} \quad (3.45)$$

Para sinais de entrada **0011** e **1011**, apenas os transistores $p2$, $n3$ e $n4$ estão saturados; já os transistores $n2$, $p3$ e $p4$ assumem o estado aberto; dessa forma a capacitância equivalente é:

$$C_{Ax4} = 0,25 \left(\frac{C_{GDp1} \cdot C_{TAx4}}{C_{GDp1} + C_{TAx4}} + C_{GDn1} + \frac{C_{GSn1} \cdot C_{TAX1}}{C_{GSn1} + C_{TAX1}} + C_{GSp1} \right) \quad (3.46)$$

Em que C_{TAx4} :

$$C_{TAx4} = C_{GSp3} + C_{SBp3} + C_{GSp4} + C_{SBp4} + C_{DBp1} \quad (3.47)$$

Caso a entrada assuma **0100** e **1100**, os transistores $n2$, $p3$ e $p4$ entram em estado de condução e os transistores $p2$, $n3$ e $n4$ em estado aberto, resultando na seguinte parcela capacitiva:

$$C_{Ax5} = 0,25 \left(C_{GSn1} + C_{GDn1} + \frac{C_{GDp1} \cdot C_{TAx5}}{C_{GDp1} + C_{TAx5}} + C_{GSp1} \right) \quad (3.48)$$

Em que C_{TAx5} :

$$C_{TAx5} = C_{DBp2} + C_{GDp2} + C_{DBp1} \quad (3.49)$$

Se a entrada for excitada pelos vetores **0101** e **1101**, os transistores $n2$, $p3$ e $n3$ entram em saturação. Dessa forma os transistores $p2$, $n3$ e $p3$ assumem estado aberto.

$$C_{Ax6} = 0,25 \left(C_{GSn1} + C_{GDn1} + C_{GSp1} + \frac{C_{GDp1} \cdot C_{TAX6}}{C_{GDp1} + C_{TAX6}} \right) \quad (3.50)$$

Em que C_{TAx6} :

$$C_{TAx6} = C_{DBp2} + C_{GDp2} + C_{GSp4} + C_{SBp4} + C_{SBp1} \quad (3.51)$$

As combinações dos vetores de entrada **0110** e **1110** fazem com que os transistores $n2$, $n3$ e $p4$ conduzam e os transistores $p2$, $p3$ e $n4$ deixem de conduzir, resultando a seguinte capacitância:

$$C_{TAX7} = 0,25 \left(C_{GSn1} + C_{GDn1} + \frac{C_{GDp1} C_{TAX7}}{C_{GDp1} + C_{TAX7}} + C_{GSp1} \right) \quad (3.52)$$

Em que C_{TAX7} :

$$C_{TAX7} = C_{GSp3} + C_{SBp3} + C_{DBp2} + C_{GDp2} + C_{DBp1} \quad (3.53)$$

Quando a entrada assumir **0111** e **1111**, os transistores da rede *NMOS* entram em condução e os transistores da rede *PMOS* entram em estado aberto, resultando na seguinte capacitância:

$$C_{TAX8} = 0,25 \left(C_{GSn1} + C_{GDn1} + \frac{C_{GDp1} C_{TAX8}}{C_{GDp1} + C_{TAX8}} + C_{GSp1} \right) \quad (3.54)$$

Em que C_{TAX8} :

$$C_{TAX8} = C_{GSp3} + C_{SBp3} + C_{DBp2} + C_{GDp2} + C_{DBp1} + C_{GSp4} + C_{SBp4} \quad (3.55)$$

A capacitância equivalente da entrada A, devido a todas as variações de entrada que incidem sobre essa porta, assume:

$$C_A = C_{GDn1} + C_{GSp1} + \frac{1}{2} C_{GSn1} \left(1 + \frac{C_{TAX1}}{C_{GSn1} + C_{TAX1}} \right) + \frac{1}{8} C_{GDp1} \left(1 + \sum_{n=2}^8 \frac{C_{TAXn}}{C_{GDp1} + C_{TAXn}} \right) \quad (3.56)$$

Aplica-se o mesmo procedimento adotado anteriormente para determinar a capacitância equivalente da entrada B.

$$C_B = C_{BX1} + C_{BX2} + C_{BX3} + C_{BX4} + C_{BX5} + C_{BX6} + C_{BX7} + C_{BX8} \quad (3.57)$$

Em 12,5% dos casos, as transições dos sinais de entrada assumem **0000** e **0100**, o que resulta na seguinte parcela de capacitância:

$$C_{Bx1} = 0,25 \left(\frac{C_{GDn2} \cdot C_{TBx1}}{C_{GDn2} + C_{TBx1}} + C_{GSn2} + C_{GDp2} + C_{GSp2} \right) \quad (3.58)$$

Em que C_{TBx1} :

$$C_{TBx1} = C_{GSn1} + C_{DBn2} + C_{SBn1} \quad (3.59)$$

A parcela de capacitância resultante das variações dos sinais de entrada **0001** e **0101** é apresentada na equação 3.60:

$$C_{Bx2} = 0,25 \left(\frac{C_{GDn2} \cdot C_{TBx1}}{C_{GDn2} + C_{TBx1}} + C_{GSn2} + C_{GSp2} + \frac{C_{GDp2} \cdot C_{TBx2}}{C_{GDp2} + C_{TBx2}} \right) \quad (3.60)$$

Em que C_{TBx2} :

$$C_{TBx2} = C_{DBp2} + C_{GSp4} + C_{SBp4} \quad (3.61)$$

Novamente a variação dos vetores **0010** e **0110** nas entradas da porta, resultam na capacitância obtida na Equação 3.62:

$$C_{Bx3} = 0,25 \left(\frac{C_{GDn2} \cdot C_{TBx1}}{C_{GDn2} + C_{TBx1}} + C_{GSn2} + C_{GSp2} + \frac{C_{GDP2} \cdot C_{TBX3}}{C_{GDP2} + C_{TBX3}} \right) \quad (3.62)$$

Em que C_{TBx3} :

$$C_{TBx3} = C_{DBp2} + C_{GSp3} + C_{SBp3} \quad (3.63)$$

Analisando os vetores de entrada **0011** e **0111** sobre o funcionamento dos transistores, observa-se que o transistor $p1$ da rede $PMOS$ e $n3$ e $n4$ da rede $NMOS$ entram em condução, enquanto que, pelo princípio de dualidade, os transistores $p3$, $p4$ e $n1$ deixam de conduzir, resultando na seguinte componente capacitiva:

$$C_{Bx4} = 0,25 \left(\frac{C_{GDn2} \cdot C_{TBx1}}{C_{GDn2} + C_{TBx1}} + C_{GSn2} + C_{GSp2} + \frac{C_{GDP2} \cdot C_{TBX4}}{C_{GDP2} + C_{TBX4}} \right) \quad (3.64)$$

Em que C_{TBx4} :

$$C_{TBx4} = C_{DBp2} + C_{GSp3} + C_{SBp3} + C_{GSp4} + C_{SBp4} \quad (3.65)$$

Na equação 3.66 tem-se a parcela capacitiva resultante da excitação dos vetores **1000** e **1100** na entrada da porta:

$$C_{Bx5} = 0,25 \left(\frac{C_{GDP2} \cdot C_{TBx5}}{C_{GDP2} + C_{TBx5}} + C_{GSn2} + C_{GDn2} + C_{GSp2} \right) \quad (3.66)$$

Em que C_{TBx5} :

$$C_{TBx5} = C_{DBp2} + C_{GDP2} + C_{DBp1} \quad (3.67)$$

Aplicando os sinais **1001** e **1101** nas entradas da porta, ocasiona-se a abertura e conseqüentemente a queda da condução dos transistores $p1$, $p4$, $n1$ e $n3$ e na condução dos transistores $n4$, $p1$ e $p3$:

$$C_{Bx6} = 0,25 \left(\frac{C_{GDP2} \cdot C_{TBx6}}{C_{GDP2} + C_{TBx6}} + C_{GSn2} + C_{GDn2} + C_{GSp2} \right) \quad (3.68)$$

Em que C_{TBx6} :

$$C_{TBx6} = C_{DBp2} + C_{GDp1} + C_{DB1} + C_{GSp4} + C_{SBp4} \quad (3.69)$$

A parcela C_{Bx7} apresentada na equação 3.70 surge devido à variação dos sinais de entrada **1010** e **1110** sobre os transistores da rede *PMOS* e *NMOS*:

$$C_{Bx7} = 0,25 \left(\frac{C_{GDp2} \cdot C_{TBx7}}{C_{GDp2} + C_{TBx7}} + C_{GSn2} + C_{GDn2} + C_{GSp2} \right) \quad (3.70)$$

Em que C_{TBx7} :

$$C_{TBx7} = C_{DBp2} + C_{GDp2} + C_{DBp1} + C_{GSp3} + C_{SBp3} \quad (3.71)$$

Para finalizar, a aplicação dos vetores **1011** e **1111** faz com que todos os transistores da rede *NMOS* conduzam e todos os transistores da rede *PMOS* entrem em estado de corte; dessa forma tem-se:

$$C_{Bx8} = 0,25 \left(\frac{C_{GDp2} \cdot C_{TBx8}}{C_{GDp2} + C_{TBx8}} + C_{GSn2} + C_{GDn2} + C_{GSp2} \right) \quad (3.72)$$

Em que C_{TBx8} :

$$C_{TBx8} = C_{GSp3} + C_{SBp3} + C_{DBp1} + C_{GDp1} + C_{DBp2} + C_{GSp4} + C_{SBp4} \quad (3.73)$$

A capacitância equivalente da entrada B é a soma de todas as parcelas capacitivas:

$$C_B = C_{GSn2} + C_{GSp2} + \frac{1}{2} C_{GDn2} \left(1 + \frac{C_{TBx1}}{C_{GDn2} + C_{TBx1}} \right) + \frac{1}{8} C_{GDp2} \left(1 + \sum_{n=2}^8 \frac{C_{TBx2}}{C_{GDp2} + C_{TBx2}} \right) \quad (3.74)$$

Para a entrada C temos as seguintes componentes capacitivas:

$$C_C = C_{CX1} + C_{CX2} + C_{CX3} + C_{CX4} + C_{CX5} + C_{CX6} + C_{CX7} + C_{CX8} \quad (3.75)$$

Todas as 8 componentes novamente são resultado das transições dos vetores de entrada sobre a porta. Então, para sinais de entrada **0000** e **0010**, a capacitância resultante será:

$$C_{Cx1} = 0,25 \left(\frac{C_{GSn3} \cdot C_{TCx1}}{C_{GSn3} + C_{TCx1}} + C_{GDn3} + C_{GDp3} + C_{GSp3} \right) \quad (3.76)$$

Em que C_{TCx1} :

$$C_{TCx1} = C_{GDn4} + C_{DBn4} + C_{SBn3} \quad (3.77)$$

Para os sinais de entrada **0001** e **0011**, a componente capacitiva assume:

$$C_{Cx2} = 0,25 \left(C_{GSn3} + C_{GDn3} + C_{GDp3} + \frac{C_{GSp3} \cdot C_{TCX2}}{C_{GSp3} + C_{TCX2}} \right) \quad (3.78)$$

Em que C_{TCx2} :

$$C_{TCx2} = C_{SBp4} + C_{GSp4} + C_{SBp3} \quad (3.79)$$

Para os sinais de entrada **0100** e **0110**, a componente capacitiva resultante será:

$$C_{Cx3} = 0,25 \left(\frac{C_{GSn3} C_{TCX1}}{C_{GSn3} + C_{TCX1}} + C_{GDn3} + \frac{C_{GSp3} C_{TCX3}}{C_{GSp3} + C_{TCX3}} + C_{GDp3} \right) \quad (3.80)$$

Em que C_{TCx3} :

$$C_{TCx3} = C_{SBp3} + C_{DBp3} + C_{GDp2} \quad (3.81)$$

Aplicando os vetores **0101** e **0111** na entrada, resulta a seguinte parcela capacitiva:

$$C_{Cx4} = 0,25 \left(C_{GSn3} + C_{GDn3} + \frac{C_{GSp3} C_{TCX4}}{C_{GSp3} + C_{TCX4}} + C_{GDp3} \right) \quad (3.82)$$

Em que C_{TCx4} :

$$C_{TCx4} = C_{SBp3} + C_{DBp2} + C_{GDp2} + C_{SBp4} + C_{GSp4} \quad (3.83)$$

As transições **1000** e **1010** na entrada da porta originam a capacitância da equação 3.84:

$$C_{Cx5} = 0,25 \left(\frac{C_{GSn3} C_{TCX1}}{C_{GSn3} + C_{TCX1}} + C_{GDn3} + \frac{C_{GSp3} C_{TCX5}}{C_{GSp3} + C_{TCX5}} + C_{GDp3} \right) \quad (3.84)$$

Em que C_{TCx5} :

$$C_{TCx5} = C_{DBp1} + C_{GDp1} + C_{SBp3} \quad (3.85)$$

A variação dos vetores **1001** e **1011** na entrada da porta resulta na seguinte parcela capacitiva:

$$C_{Cx6} = 0,25 \left(C_{GSn3} + C_{GDn3} + \frac{C_{GSp3} C_{TCX6}}{C_{GSp3} + C_{TCX6}} + C_{GDp3} \right) \quad (3.86)$$

Em que C_{TCx6} :

$$C_{TCx6} = C_{SBp3} + C_{DBp1} + C_{GDp1} + C_{SBp4} + C_{GSp4} \quad (3.87)$$

Novamente a transição dos sinais **1100** e **1110** na entrada da porta resulta na seguinte componente capacitiva:

$$C_{Cx7} = 0,25 \left(\frac{C_{GSn3} C_{TCX1}}{C_{GSn3} + C_{TCX1}} + C_{GDn3} + \frac{C_{GSp3} C_{TCX7}}{C_{GSp3} + C_{TCX7}} + C_{GDp3} \right) \quad (3.88)$$

Em que C_{TCx7} :

$$C_{TCx7} = C_{GDp1} + C_{SBp3} + C_{DBp1} + C_{GDp2} + C_{DBp2} \quad (3.89)$$

Por fim, quando os sinais de entrada assumem **1101** e **1111**, a capacitância resultante assume:

$$C_{Cx8} = 0,25 \left(C_{GSn3} + C_{GDn3} + \frac{C_{GSp3} C_{TCX8}}{C_{GSp3} + C_{TCX8}} + C_{GDp3} \right) \quad (3.90)$$

Em que C_{TCx8} :

$$C_{TCx8} = C_{GDp1} + C_{SBp3} + C_{DBp1} + C_{GDp2} + C_{DBp2} + C_{GSp4} + C_{SBp4} \quad (3.91)$$

O somatório de todas as (8) oito componentes capacitivas resulta na capacitância equivalente da entrada C:

$$C_C = C_{GDn3} + C_{GDp3} + \frac{1}{2} C_{GSn3} \left(1 + \frac{C_{TCx1}}{C_{GSn3} + C_{TCx1}} \right) + \frac{1}{8} C_{GSp3} \left(1 + \sum_{n=2}^8 \frac{C_{TCXn}}{C_{GSp3} + C_{TCXn}} \right) \quad (3.92)$$

Aplicando a mesma análise para a entrada D, têm-se todas as parcelas capacitivas que compõem a capacitância resultante:

$$C_D = C_{DX1} + C_{DX2} + C_{DX3} + C_{DX4} + C_{DX5} + C_{DX6} + C_{DX7} + C_{DX8} \quad (3.93)$$

Repetindo-se o procedimento aplicado anteriormente, quando os sinais de entrada assumem 0000 e 0001, a componente capacitiva resultante passa a ser:

$$C_{Dx1} = 0,25 \left(\frac{C_{GDn4} \cdot C_{TDx1}}{C_{GDn4} + C_{TDx1}} + C_{GSn4} + C_{GDP4} + C_{GSp4} \right) \quad (3.94)$$

Em que C_{TDx1} :

$$C_{TDx1} = C_{GSn3} + C_{DBn4} + C_{SBn3} \quad (3.95)$$

As transições de entrada **0010** e **0011** resultam na capacitância a seguir:

$$C_{Dx2} = 0,25 \left(C_{GSn4} + C_{GDn4} + C_{GDP4} + \frac{C_{GSp4} \cdot C_{TDx2}}{C_{GSp4} + C_{TDx2}} \right) \quad (3.96)$$

Em que C_{TDx2} :

$$C_{TDx2} = C_{SBp4} + C_{GSp3} + C_{SBp3} \quad (3.97)$$

A transição dos sinais de entrada **0100** e **0101** provoca o surgimento da capacitância a seguir:

$$C_{Dx3} = 0,25 \left(\frac{C_{GDn4} C_{TDx1}}{C_{GDn4} + C_{TDx1}} + C_{GSn4} + \frac{C_{GSp4} C_{TDx3}}{C_{GSp4} + C_{TDx3}} + C_{GDP4} \right) \quad (3.98)$$

Em que C_{TDx3} :

$$C_{TDx3} = C_{SBp4} + C_{DBp2} + C_{GDP2} \quad (3.99)$$

Quando são aplicados os sinais **0110** e **0111** na entrada da porta, obtém-se a componente C_{Dx4} :

$$C_{Dx4} = 0,25 \left(C_{GSn4} + C_{GDn4} + C_{GDP4} + \frac{C_{GSp4} \cdot C_{TDx4}}{C_{GSp4} + C_{TDx4}} \right) \quad (3.100)$$

Em que C_{TDx4} :

$$C_{TDx4} = C_{SBp3} + C_{SBp4} + C_{DBp2} + C_{GDP2} + C_{GSp3} \quad (3.101)$$

A C_{Dx5} é a componente capacitiva resultante das transições dos sinais de entrada **1000** e **1001**:

$$C_{Dx5} = 0,25 \left(\frac{C_{GDn4} C_{TDx1}}{C_{GDn4} + C_{TDx1}} + C_{GSn4} + \frac{C_{GSp4} C_{TDx5}}{C_{GSp4} + C_{TDx5}} + C_{GDP4} \right) \quad (3.102)$$

Em que C_{TDx5} :

$$C_{TDx5} = C_{DBp1} + C_{GDP1} + C_{SBp4} \quad (3.103)$$

Os vetores de entrada **1010** e **1011** aplicados na entradas da porta resultam na capacitância a seguir:

$$C_{Dx6} = 0,25 \left(C_{GSn4} + C_{GDn4} + C_{GDP4} + \frac{C_{GSp4} \cdot C_{TDX6}}{C_{GSp4} + C_{TDX6}} \right) \quad (3.104)$$

Em que C_{TDX6} :

$$C_{TDX6} = C_{SBp3} + C_{DBp1} + C_{GDP1} + C_{SBp4} + C_{GSp3} \quad (3.105)$$

Variações de vetores de entrada **1100** e **1101** da porta resultam na capacitância da equação 3.106:

$$C_{Dx5} = 0,25 \left(\frac{C_{GDn4} C_{TDX1}}{C_{GDn4} + C_{TDX1}} + C_{GSn4} + \frac{C_{GSp4} C_{TDX7}}{C_{GSp4} + C_{TDX7}} + C_{GDP4} \right) \quad (3.106)$$

Em que C_{TDX7} :

$$C_{TDX7} = C_{GDP1} + C_{SBp4} + C_{DBp1} + C_{GDP2} + C_{DBp2} \quad (3.107)$$

Finalmente, aplicando os vetores de entrada **1110** e **1111** obtém-se a seguinte parcela capacitiva:

$$C_{Dx8} = 0,25 \left(C_{GSn4} + C_{GDn4} + C_{GDP4} + \frac{C_{GSp4} \cdot C_{TDX8}}{C_{GSp4} + C_{TDX8}} \right) \quad (3.108)$$

Em que C_{TDX8} :

$$C_{TDX8} = C_{GDP1} + C_{SBp4} + C_{DBp1} + C_{GDP2} + C_{DBp2} + C_{GSp3} + C_{SBp3} \quad (3.109)$$

Devido à contribuição de todas as parcelas de capacitância, a capacitância resultante da entrada D é:

$$C_D = C_{GSn4} + C_{GDP4} + \frac{1}{2} C_{GDn4} \left(1 + \frac{C_{TDX1}}{C_{GDn4} + C_{TDX1}} \right) + \frac{1}{8} C_{GSp4} \left(1 + \sum_{n=2}^8 \frac{C_{TDXn}}{C_{GSp4} + C_{TDXn}} \right) \quad (3.110)$$

Aplicam-se as mesmas considerações de análise para todas as demais portas lógicas complexas apresentadas na Tabela 3.1. Dessa maneira, obtêm-se todas as capacitâncias de entradas e saídas das portas vistas pelos nós externos. As fórmulas nas tabelas 3.3, 3.4, 3.5, 3.6 e 3.7 apresentam as componentes capacitivas de forma simplificada.

Tabela 3.3- Componentes Capacitivas das portas complexas AOI's

| Porta | Entrada | Componentes Capacitivas |
|--------|---------|---|
| AOI221 | A | $C_A = C_{GSp1} + C_{GDn1} + \frac{1}{2} C_{GSn1} \left(1 + \frac{C_{GSn1} C_{TAx1}}{C_{GSn1} + C_{TAx1}} \right) + \frac{1}{16} C_{GDp1} \left(1 + \sum_{n=2}^{16} \frac{C_{GDp1} C_{TAXn}}{C_{GDp1} + C_{TAXn}} \right)$ |
| | B | $C_B = C_{GSn2} + C_{GSp2} + \frac{1}{2} C_{GDn2} \left(1 + \frac{C_{GDn2} C_{TBx1}}{C_{GDn2} + C_{TBx1}} \right) + \frac{1}{16} C_{GDp2} \left(1 + \sum_{n=2}^{16} \frac{C_{GDp2} C_{TBXn}}{C_{GDp2} + C_{TBXn}} \right)$ |
| | C | $C_C = C_{GDn3} + \frac{1}{2} C_{GSn3} \left(1 + \frac{C_{GSn3} C_{TCXn}}{C_{GSn3} + C_{TCXn}} \right) + \frac{1}{2} C_{GDp3} \left(1 + \frac{C_{GDp3} C_{TCx1}}{C_{GDp3} + C_{TCx1}} \right) + \frac{1}{16} C_{GSp3} \left(1 + \sum_{n=2}^{16} \frac{C_{GSp3} C_{TCXn}}{C_{GSp3} + C_{TCXn}} \right)$ |
| | D | $C_D = C_{GSn4} + \frac{1}{2} C_{GDp4} \left(1 + \frac{C_{GDp4} C_{TDXn}}{C_{GDp4} + C_{TDXn}} \right) + \frac{1}{2} C_{GDn4} \left(1 + \frac{C_{GDn4} C_{TDx1}}{C_{GDn4} + C_{TDx1}} \right) + \frac{1}{16} C_{GSp4} \left(1 + \sum_{n=2}^{16} \frac{C_{GSp4} C_{TDXn}}{C_{GSp4} + C_{TDXn}} \right)$ |
| | E | $C_E = C_{GSn5} + C_{GDp5} + C_{GDn5} + \frac{1}{16} C_{GDp5} \left(1 + \sum_{n=2}^{16} \frac{C_{GDp5} C_{TEXn}}{C_{GDp5} + C_{TEXn}} \right)$ |
| | Y | $C_Y = C_{GDp5} + C_{DBp5} + C_{GDn1} + C_{DBn1} + C_{GDn3} + C_{DBn3} + C_{GDn5} + C_{DBn5}$ |
| AOI222 | A | $C_A = C_{GSp1} + C_{GDn1} + \frac{1}{2} C_{GSn1} \left(1 + \frac{C_{GSn1} C_{TAx1}}{C_{GSn1} + C_{TAx1}} \right) + \frac{1}{32} C_{GDp1} \left(1 + \sum_{n=2}^{32} \frac{C_{GDp1} C_{TAXn}}{C_{GDp1} + C_{TAXn}} \right)$ |
| | B | $C_B = C_{GSn2} + C_{GSp2} + \frac{1}{2} C_{GDn2} \left(1 + \frac{C_{GDn2} C_{TBx1}}{C_{GDn2} + C_{TBx1}} \right) + \frac{1}{32} C_{GDp2} \left(1 + \sum_{n=2}^{32} \frac{C_{GDp2} C_{TBXn}}{C_{GDp2} + C_{TBXn}} \right)$ |
| | C | $C_C = C_{GDn3} + \frac{1}{2} C_{GSn3} \left(1 + \frac{C_{GSn3} C_{TCXn}}{C_{GSn3} + C_{TCXn}} \right) + \frac{1}{2} C_{GDp3} \left(1 + \frac{C_{GDp3} C_{TCx1}}{C_{GDp3} + C_{TCx1}} \right) + \frac{1}{2} C_{GSp3} \left(1 + \frac{C_{GSp3} C_{TCXn}}{C_{GSp3} + C_{TCXn}} \right)$ |
| | D | $C_D = C_{GSn4} + \frac{1}{2} C_{GDp4} \left(1 + \frac{C_{GDp4} C_{TDXn}}{C_{GDp4} + C_{TDXn}} \right) + \frac{1}{2} C_{GDn4} \left(1 + \frac{C_{GDn4} C_{TDx1}}{C_{GDn4} + C_{TDx1}} \right) + \frac{1}{2} C_{GSp4} \left(1 + \frac{C_{GSp4} C_{TDXn}}{C_{GSp4} + C_{TDXn}} \right)$ |
| | E | $C_E = C_{GDn5} + C_{GDp5} + \frac{1}{2} C_{GSn5} \left(1 + \frac{C_{GSn5} C_{TEXn}}{C_{GSn5} + C_{TEXn}} \right) + \frac{1}{32} C_{GSp5} \left(1 + \sum_{n=2}^{32} \frac{C_{GSp5} C_{TEXn}}{C_{GSp5} + C_{TEXn}} \right)$ |
| | F | $C_F = C_{GSn6} + C_{GDp6} + \frac{1}{2} C_{GDn6} \left(1 + \frac{C_{GDn6} C_{TFXn}}{C_{GDn6} + C_{TFXn}} \right) + \frac{1}{32} C_{GSp6} \left(1 + \sum_{n=2}^{32} \frac{C_{GSp6} C_{TFXn}}{C_{GSp6} + C_{TFXn}} \right)$ |
| | Y | $C_Y = C_{GDp5} + C_{DBp5} + C_{GDp6} + C_{DBp6} + C_{GDn1} + C_{DBn1} + C_{GDn4} + C_{DBn4}$ |
| AOI32 | A | $C_A = C_{GSp1} + C_{GDn1} + \frac{1}{2} C_{GDp1} \left(1 + \frac{C_{GDp1} C_{TAx1}}{C_{GDp1} + C_{TAx1}} \right) + \frac{1}{16} C_{GSn1} \left(1 + \sum_{m=2}^{16} \frac{C_{GSn1} C_{TAXm}}{C_{GSn1} + C_{TAXm}} \right)$ |
| | B | $C_B = C_{GSp2} + \frac{1}{2} C_{GDn2} \left(1 + \frac{C_{GDn2} C_{TBx1}}{C_{GDn2} + C_{TBx1}} \right) + \frac{1}{2} C_{GSn2} \left(1 + \frac{C_{GSn2} C_{TBx2}}{C_{GSn2} + C_{TBx2}} \right) + \frac{1}{16} C_{GDp2} \left(1 + \sum_{n=2}^{16} \frac{C_{GDp2} C_{TBXn}}{C_{GDp2} + C_{TBXn}} \right)$ |
| | C | $C_C = C_{GSn3} + C_{GSp3} + \frac{1}{2} C_{GDn3} \left(1 + \frac{C_{GDn3} C_{TCx1}}{C_{GDn3} + C_{TCx1}} \right) + \frac{1}{16} C_{GDp3} \left(1 + \sum_{n=2}^{16} \frac{C_{GDp3} C_{TCXn}}{C_{GDp3} + C_{TCXn}} \right)$ |
| | D | $C_D = C_{GDn4} + C_{GDp4} + \frac{1}{2} C_{GSn4} \left(1 + \frac{C_{GSn4} C_{TDX1}}{C_{GSn4} + C_{TDX1}} \right) + \frac{1}{2} C_{GSp4} \left(1 + \frac{C_{GSp4} C_{TDXn}}{C_{GSp4} + C_{TDXn}} \right)$ |
| | E | $C_E = C_{GSn5} + C_{GDp5} + \frac{1}{2} C_{GDn5} \left(1 + \frac{C_{GDn5} C_{TEX1}}{C_{GDn5} + C_{TEX1}} \right) + \frac{1}{2} C_{GSp5} \left(1 + \frac{C_{GSp5} C_{TEXn}}{C_{GSp5} + C_{TEXn}} \right)$ |
| | Y | $C_Y = C_{GDp4} + C_{DBp4} + C_{GDp5} + C_{DBp5} + C_{GDn1} + C_{DBn1} + C_{GDn4} + C_{DBn4}$ |

Tabela 3.4- Componentes Capacitivas das portas complexas AOI's

| Portas | Entrada | Componentes Capacitivas |
|--------|---------|---|
| AOI321 | A | $C_A = C_{GSp1} + C_{GDn1} + \frac{1}{2}C_{GDp1} \left(1 + \frac{C_{GDp1}C_{TAx1}}{C_{GDp1} + C_{TAx1}} \right) + \frac{1}{32}C_{GSn1} \left(1 + \sum_{m=2}^{32} \frac{C_{GSn1}C_{TAXm}}{C_{GSn1} + C_{TAXm}} \right)$ |
| | B | $C_B = C_{GSp2} + \frac{1}{2}C_{GDn2} \left(1 + \frac{C_{GDn2}C_{TBx1}}{C_{GDn2} + C_{TBx1}} \right) + \frac{1}{2}C_{GSn2} \left(1 + \frac{C_{GSn2}C_{TBx2}}{C_{GSn2} + C_{TBx2}} \right) + \frac{1}{32}C_{GDp2} \left(1 + \sum_{n=2}^{32} \frac{C_{GDp2}C_{TDXn}}{C_{GDp2} + C_{TDXn}} \right)$ |
| | C | $C_C = C_{GSn3} + C_{GSp3} + \frac{1}{2}C_{GDn3} \left(1 + \frac{C_{GDn3}C_{TCx1}}{C_{GDn3} + C_{TCx1}} \right) + \frac{1}{32}C_{GDp3} \left(1 + \sum_{n=2}^{32} \frac{C_{GDp3}C_{TCXn}}{C_{GDp3} + C_{TCXn}} \right)$ |
| | D | $C_D = C_{GDn4} + \frac{1}{2}C_{GSn4} \left(1 + \frac{C_{GSn4}C_{TDx1}}{C_{GSn4} + C_{TDx1}} \right) + \frac{1}{2}C_{GDp4} \left(1 + \frac{C_{GDp4}C_{TDx2}}{C_{GDp4} + C_{TDx2}} \right) + \frac{1}{32}C_{GSp4} \left(1 + \sum_{n=2}^{32} \frac{C_{GSp4}C_{TDXn}}{C_{GSp4} + C_{TDXn}} \right)$ |
| | E | $C_E = C_{GSn5} + \frac{1}{2}C_{GDn5} \left(1 + \frac{C_{GDn5}C_{TEX1}}{C_{GDn5} + C_{TEX1}} \right) + \frac{1}{2}C_{GDp5} \left(1 + \frac{C_{GDp5}C_{TEX2}}{C_{GDp5} + C_{TEX2}} \right) + \frac{1}{32}C_{GSp5} \left(1 + \sum_{n=2}^{32} \frac{C_{GSp5}C_{TEXn}}{C_{GSp5} + C_{TEXn}} \right)$ |
| | F | $C_F = C_{GSn6} + C_{GDp6} + C_{GDn6} + \frac{1}{32}C_{GSp3} \left(1 + \sum_{n=2}^{32} \frac{C_{GSp3}C_{TFXn}}{C_{GSp3} + C_{TFXn}} \right)$ |
| | Y | $C_Y = C_{GDp6} + C_{DBp6} + C_{GDn6} + C_{DBn6} + C_{GDn4} + C_{DBn4} + C_{GDn6} + C_{DBn6}$ |
| AOI33 | A | $C_A = C_{GSp1} + C_{GDn1} + \frac{1}{2}C_{GSn1} \left(1 + \frac{C_{GSn1}C_{TAx1}}{C_{GSn1} + C_{TAx1}} \right) + \frac{1}{32}C_{GDp1} \left(1 + \sum_{m=2}^{32} \frac{C_{GDp1}C_{TAXm}}{C_{GDp1} + C_{TAXm}} \right)$ |
| | B | $C_B = C_{GSp2} + \frac{1}{2}C_{GDn2} \left(1 + \frac{C_{GDn2}C_{TBx1}}{C_{GDn2} + C_{TBx1}} \right) + \frac{1}{2}C_{GSn2} \left(1 + \frac{C_{GSn2}C_{TBx2}}{C_{GSn2} + C_{TBx2}} \right) + \frac{1}{32}C_{GDp2} \left(1 + \sum_{n=2}^{32} \frac{C_{GDp2}C_{TBXn}}{C_{GDp2} + C_{TBXn}} \right)$ |
| | C | $C_C = C_{GSp3} + C_{GSn3} + \frac{1}{32}C_{GDp3} \left(1 + \sum_{n=2}^{32} \frac{C_{GDp3}C_{TCXn}}{C_{GDp3} + C_{TCXn}} \right) + \frac{1}{2}C_{GDn3} \left(1 + \frac{C_{GDn3}C_{TCx1}}{C_{GDn3} + C_{TCx1}} \right)$ |
| | D | $C_D = C_{GDn4} + C_{GDp4} + \frac{1}{2}C_{GDn4} \left(1 + \frac{C_{GDn4}C_{TDx1}}{C_{GDn4} + C_{TDx1}} \right) + \frac{1}{32}C_{GSp4} \left(1 + \sum_{n=2}^{32} \frac{C_{GSp4}C_{TDXn}}{C_{GSp4} + C_{TDXn}} \right)$ |
| | E | $C_E = C_{GDp5} + \frac{1}{2}C_{GSn5} \left(1 + \frac{C_{GSn5}C_{TEX1}}{C_{GSn5} + C_{TEX1}} \right) + \frac{1}{2}C_{GDn5} \left(1 + \frac{C_{GDn5}C_{TEX2}}{C_{GDn5} + C_{TEX2}} \right) + \frac{1}{32}C_{GSp5} \left(1 + \sum_{n=2}^{32} \frac{C_{GSp5}C_{TEXn}}{C_{GSp5} + C_{TEXn}} \right)$ |
| | F | $C_F = C_{GSn6} + C_{GDp6} + \frac{1}{2}C_{GDn6} \left(1 + \frac{C_{GDn6}C_{TFX1}}{C_{GDn6} + C_{TFX1}} \right) + \frac{1}{32}C_{GSp6} \left(1 + \sum_{n=2}^{32} \frac{C_{GSp6}C_{TFXn}}{C_{GSp6} + C_{TFXn}} \right)$ |
| | Y | $C_Y = C_{GDp4} + C_{DBp4} + C_{GDp5} + C_{DBp5} + C_{GDp6} + C_{DBp6} + C_{GDn4} + C_{DBn4} + C_{GDn4} + C_{DBn4}$ |

Tabela 3.5- Componentes Capacitivas das portas complexas OAI's

| Portas | Entrada | Componentes Capacitivas |
|--------|---------|--|
| OAI21 | A | $C_A = C_{GDn1} + C_{GSp1} + \frac{1}{2} C_{GDp1} \left(1 + \frac{C_{TAx1} C_{GDp1}}{C_{GDp1} + C_{TAx1}} \right) + \frac{1}{4} C_{GSn1} \left(3 + \frac{C_{GSn1} C_{TAX2}}{C_{GSn1} + C_{TAX2}} \right)$ |
| | B | $C_B = C_{GDp2} + C_{GDn2} + \frac{1}{2} C_{GSp2} \left(1 + \frac{C_{TBx1} C_{GSp2}}{C_{GSp2} \cdot C_{TBx1}} \right) + \frac{1}{4} C_{GSn2} \left(3 + \frac{C_{TBx2} C_{GSn2}}{C_{GSn2} + C_{TBx2}} \right)$ |
| | C | $C_C = C_{GSp3} + C_{GSn3} + C_{GDp3} + \frac{1}{4} C_{GDn3} \left(3 + \frac{C_{TCX1} C_{GDn3}}{C_{GDn3} + C_{TCX1}} \right)$ |
| | Y | $C_Y = C_{GDp2} + C_{DBp2} + C_{GDp3} + C_{DBp3} + C_{GDn1} + C_{DBn1} + C_{GDn2} + C_{DBn2}$ |
| OIA22 | A | $C_A = C_{GSp1} + C_{GDn1} + \frac{1}{2} C_{GDp1} \left(1 + \frac{C_{GDp1} C_{TAx1}}{C_{GDp1} + C_{TAx1}} \right) + \frac{1}{8} C_{GSn1} \left(1 + \sum_{n=2}^8 \frac{C_{GSn1} C_{TAXn}}{C_{GSn1} + C_{TAXn}} \right)$ |
| | B | $C_B = C_{GDp2} + C_{GDn2} + \frac{1}{2} C_{GSp2} \left(1 + \frac{C_{GSp2} C_{TBx1}}{C_{GSp2} + C_{TBx1}} \right) + \frac{1}{8} C_{GSn2} \left(1 + \sum_{n=2}^8 \frac{C_{GSn2} C_{TBX2}}{C_{GSn2} + C_{TBX2}} \right)$ |
| | C | $C_C = C_{GSn3} + C_{GSp3} + \frac{1}{2} C_{GDp3} \left(1 + \frac{C_{GDp3} C_{TCx1}}{C_{GDp3} + C_{TCx1}} \right) + \frac{1}{8} C_{GDn3} \left(1 + \sum_{n=2}^8 \frac{C_{GDn3} C_{TCXn}}{C_{GDn3} + C_{TCXn}} \right)$ |
| | D | $C_D = C_{GSn4} + C_{GDp4} + \frac{1}{2} C_{GDp4} \left(1 + \frac{C_{GDp4} C_{TDx1}}{C_{GDp4} + C_{TDx1}} \right) + \frac{1}{8} C_{GDn4} \left(1 + \sum_{n=2}^8 \frac{C_{GDn4} C_{TDXn}}{C_{GDn4} + C_{TDXn}} \right)$ |
| | Y | $C_Y = C_{GDp2} + C_{DBp4} + C_{GDn1} + C_{DBn1} + C_{GDn2} + C_{DBn2} + C_{GDp4} + C_{DBp4}$ |
| OAI221 | A | $C_A = C_{GSp1} + C_{GDp1} + \frac{1}{2} C_{GDp1} \left(1 + \frac{C_{GDp1} C_{TAx1}}{C_{GDp1} + C_{TAx1}} \right) + \frac{1}{16} C_{GSp1} \left(1 + \sum_{n=2}^{16} \frac{C_{GSp1} C_{TAXn}}{C_{GSp1} + C_{TAXn}} \right)$ |
| | B | $C_B = C_{GDn2} + C_{GDp2} + \frac{1}{2} C_{GSp2} \left(1 + \frac{C_{GSp2} C_{TBx1}}{C_{GSp2} + C_{TBx1}} \right) + \frac{1}{16} C_{GSn2} \left(1 + \sum_{n=2}^{16} \frac{C_{GSn2} C_{TBXn}}{C_{GSn2} + C_{TBXn}} \right)$ |
| | C | $C_C = C_{GSp3} + \frac{1}{16} C_{GSn3} \left(1 + \sum_{n=2}^{16} \frac{C_{GSn3} C_{TCXn}}{C_{GSn3} + C_{TCXn}} \right) + \frac{1}{2} C_{GDp3} \left(1 + \frac{C_{GDp3} C_{TCx1}}{C_{GDp3} + C_{TCx1}} \right) + \frac{1}{16} C_{GDn3} \left(1 + \sum_{n=2}^{16} \frac{C_{GDn3} C_{TCXn}}{C_{GDn3} + C_{TCXn}} \right)$ |
| | D | $C_D = C_{GDp4} + \frac{1}{2} C_{GSn4} \left(1 + \sum_{n=2}^{16} \frac{C_{GSn4} C_{TDXn}}{C_{GSn4} + C_{TDXn}} \right) + \frac{1}{2} C_{GDp4} \left(1 + \frac{C_{GDp4} C_{TDx1}}{C_{GDp4} + C_{TDx1}} \right) + \frac{1}{16} C_{GDn4} \left(1 + \sum_{n=2}^{16} \frac{C_{GDn4} C_{TDXn}}{C_{GDn4} + C_{TDXn}} \right)$ |
| | E | $C_E = C_{GSn5} + C_{GSp5} + C_{GDp5} + \frac{1}{16} C_{GDn5} \left(1 + \sum_{n=2}^{16} \frac{C_{GDn5} C_{TEXn}}{C_{GDn5} + C_{TEXn}} \right)$ |
| | Y | $C_Y = C_{GDp2} + C_{DBp2} + C_{GDp5} + C_{DBp5} + C_{GDn1} + C_{DBn1} + C_{GDn2} + C_{DBn2} + C_{GDp4} + C_{DBp4}$ |

Tabela 3.6- Componentes Capacitivas das portas complexas OAI's

| Portas | Entrada | Componentes Capacitivas |
|--------|---------|--|
| OAI222 | A | $C_A = C_{GSp1} + C_{GDn1} + \frac{1}{2} C_{GDp1} \left(1 + \frac{C_{GDp1} C_{TAx1}}{C_{GDp1} + C_{TAx1}} \right) + \frac{1}{32} C_{GSn1} \left(1 + \sum_{n=2}^{32} \frac{C_{GSn1} C_{TAxn}}{C_{GSn1} + C_{TAxn}} \right)$ |
| | B | $C_B = C_{GDn2} + C_{GDp2} + \frac{1}{2} C_{GSp2} \left(1 + \frac{C_{GSp2} C_{TBx1}}{C_{GSp2} + C_{TBx1}} \right) + \frac{1}{32} C_{GSn2} \left(1 + \sum_{n=2}^{32} \frac{C_{GSn2} C_{TBxn}}{C_{GSn2} + C_{TBxn}} \right)$ |
| | C | $C_C = C_{GSp3} + \frac{1}{2} C_{GDp3} \left(1 + \frac{C_{GDp3} C_{TCxn}}{C_{GDp3} + C_{TCxn}} \right) + \frac{1}{2} C_{GDn3} \left(1 + \frac{C_{GDn3} C_{TCx1}}{C_{GDn3} + C_{TCx1}} \right) + \frac{1}{2} C_{GSn3} \left(1 + \frac{C_{GSn3} C_{TCxn}}{C_{GSn3} + C_{TCxn}} \right)$ |
| | D | $C_D = C_{GDp4} + \frac{1}{2} C_{GSp4} \left(1 + \frac{C_{GSp4} C_{TDx2}}{C_{GSp4} + C_{TDx2}} \right) + \frac{1}{2} C_{GDn4} \left(1 + \frac{C_{GDn4} C_{TDx1}}{C_{GDn4} + C_{TDx1}} \right) + \frac{1}{2} C_{GSn4} \left(1 + \frac{C_{GSn4} C_{TDx3}}{C_{GSn4} + C_{TDx3}} \right)$ |
| | E | $C_E = C_{GSn5} + C_{GSp5} + \frac{1}{2} C_{GDp5} \left(1 + \frac{C_{GDp5} C_{TEX1}}{C_{GDp5} + C_{TEX1}} \right) + \frac{1}{32} C_{GDn5} \left(1 + \sum_{n=2}^{32} \frac{C_{GDn5} C_{TEXn}}{C_{GDn5} + C_{TEXn}} \right)$ |
| | F | $C_F = C_{GSn6} + C_{GDp6} + \frac{1}{2} C_{GSp6} \left(1 + \frac{C_{GSp6} C_{TFX1}}{C_{GSp6} + C_{TFX1}} \right) + \frac{1}{32} C_{GDn6} \left(1 + \sum_{n=2}^{32} \frac{C_{GDn6} C_{TFXn}}{C_{GDn6} + C_{TFXn}} \right)$ |
| | Y | $C_Y = C_{GDp2} + C_{DBp2} + C_{GDp4} + C_{DBp6} + C_{GDp6} + C_{DBp6} + C_{GDn1} + C_{DBn1} + C_{GDn2} + C_{DBn2}$ |
| OAI32 | A | $C_A = C_{GSp1} + C_{GDn1} + \frac{1}{2} C_{GDp1} \left(1 + \frac{C_{GDp1} C_{TAx1}}{C_{GDp1} + C_{TAx1}} \right) + \frac{1}{16} C_{GSn1} \left(1 + \sum_{m=2}^{16} \frac{C_{GSn1} C_{TAXm}}{C_{GSn1} + C_{TAXm}} \right)$ |
| | B | $C_B = C_{GDn2} + \frac{1}{2} C_{GDp2} \left(1 + \frac{C_{GDp2} C_{TBx1}}{C_{GDp2} + C_{TBx1}} \right) + \frac{1}{2} C_{GSp2} \left(1 + \frac{C_{GSp2} C_{TBx2}}{C_{GSp2} + C_{TBx2}} \right) + \frac{1}{2} C_{GSn2} \left(1 + \frac{C_{GSn2} C_{TBx3}}{C_{GSn2} + C_{TBx3}} \right)$ |
| | C | $C_C = C_{GDp3} + C_{GDn3} + \frac{1}{16} C_{GSn3} \left(1 + \sum_{n=2}^{16} \frac{C_{GSn3} C_{TCxn}}{C_{GSn3} + C_{TCxn}} \right) + \frac{1}{2} C_{GSp3} \left(1 + \frac{C_{GSp3} C_{TCx1}}{C_{GSp3} + C_{TCx1}} \right)$ |
| | D | $C_D = C_{GSn4} + C_{GSp4} + \frac{1}{2} C_{GDp4} \left(1 + \frac{C_{GDp4} C_{TDx1}}{C_{GDp4} + C_{TDx1}} \right) + \frac{1}{16} C_{GDn4} \left(1 + \sum_{n=2}^{16} \frac{C_{GDn4} C_{TDxn}}{C_{GDn4} + C_{TDxn}} \right)$ |
| | E | $C_E = C_{GSn5} + C_{GDp5} + \frac{1}{2} C_{GSp5} \left(1 + \frac{C_{GSp5} C_{TEX1}}{C_{GSp5} + C_{TEX1}} \right) + \frac{1}{16} C_{GDn5} \left(1 + \sum_{n=2}^{16} \frac{C_{GDn5} C_{TEXn}}{C_{GDn5} + C_{TEXn}} \right)$ |
| | Y | $C_Y = C_{GDp3} + C_{DBp3} + C_{GDp5} + C_{DBp5} + C_{GDn1} + C_{DBn1} + C_{GDn2} + C_{DBn2} + C_{GDn2} + C_{DBn2}$ |

Tabela 3.7- Componentes Capacitivas das portas complexas OAI's

| Portas | Entrada | Componentes Capacitivas |
|--------|---------|---|
| OAI321 | A | $C_A = C_{GSp1} + C_{GDn1} + \frac{1}{2} C_{GDp1} \left(1 + \frac{C_{GDp1} C_{TAx1}}{C_{GDp1} + C_{TAx1}} \right) + \frac{1}{32} C_{GSn1} \left(1 + \sum_{m=2}^{32} \frac{C_{GSn1} C_{TAXm}}{C_{GSn1} + C_{TAXm}} \right)$ |
| | B | $C_B = C_{GDn2} + \frac{1}{2} C_{GDp2} \left(1 + \frac{C_{GDp2} C_{TBx1}}{C_{GDp2} + C_{TBx1}} \right) + \frac{1}{2} C_{GSp2} \left(1 + \frac{C_{GSp2} C_{TBx2}}{C_{GSp2} + C_{TBx2}} \right) + \frac{1}{2} C_{GSn2} \left(1 + \frac{C_{GSn2} C_{TBX3}}{C_{GSn2} + C_{TBX3}} \right)$ |
| | C | $C_C = C_{GDp3} + C_{GDn3} + \frac{1}{32} C_{GSn3} \left(1 + \sum_{n=2}^{32} \frac{C_{GSn3} C_{TCXn}}{C_{GSn3} + C_{TCXn}} \right) + \frac{1}{2} C_{GSp3} \left(1 + \frac{C_{GSp3} C_{TCx1}}{C_{GSp3} + C_{TCx1}} \right)$ |
| | D | $C_D = C_{GSn4} + C_{GSp4} + \frac{1}{2} C_{GDp4} \left(1 + \frac{C_{GDp4} C_{TDx1}}{C_{GDp4} + C_{TDx1}} \right) + \frac{1}{32} C_{GDn4} \left(1 + \sum_{n=2}^{32} \frac{C_{GDn4} C_{TDXn}}{C_{GDn4} + C_{TDXn}} \right)$ |
| | E | $C_E = C_{GSn5} + C_{GDp5} + \frac{1}{2} C_{GSp5} \left(1 + \frac{C_{GSp5} C_{TEX1}}{C_{GSp5} + C_{TEX1}} \right) + \frac{1}{32} C_{GDn5} \left(1 + \sum_{n=2}^{32} \frac{C_{GDn5} C_{TEXn}}{C_{GDn5} + C_{TEXn}} \right)$ |
| | F | $C_F = C_{GSn6} + C_{GDp6} + C_{GSp6} + \frac{1}{32} C_{GDn6} \left(1 + \sum_{n=2}^{32} \frac{C_{GDn6} C_{TFXn}}{C_{GDn6} + C_{TFXn}} \right)$ |
| | Y | $C_Y = C_{GDp\beta} + C_{DBp\beta} + C_{GDp\beta} + C_{DBp\beta} + C_{GDp\beta} + C_{DBp\beta} + C_{GDn\alpha} + C_{DBn\alpha} + C_{GDn2} + C_{DBn2} + C_{GDn\beta} + C_{DBn\beta}$ |
| OAI33 | A | $C_A = C_{GSp1} + C_{GDn1} + \frac{1}{2} C_{GDp1} \left(1 + \frac{C_{GDp1} C_{TAx1}}{C_{GDp1} + C_{TAx1}} \right) + \frac{1}{32} C_{GSn1} \left(1 + \sum_{m=2}^{32} \frac{C_{GSn1} C_{TAXm}}{C_{GSn1} + C_{TAXm}} \right)$ |
| | B | $C_B = C_{GDn2} + \frac{1}{2} C_{GDp2} \left(1 + \frac{C_{GDp2} C_{TBx1}}{C_{GDp2} + C_{TBx1}} \right) + \frac{1}{2} C_{GSp2} \left(1 + \frac{C_{GSp2} C_{TBx2}}{C_{GSp2} + C_{TBx2}} \right) + \frac{1}{32} C_{GSn2} \left(1 + \sum_{n=2}^{32} \frac{C_{GSn2} C_{TBXn}}{C_{GSn2} + C_{TBXn}} \right)$ |
| | C | $C_C = C_{GDp3} + C_{GDn3} + \frac{1}{32} C_{GSn3} \left(1 + \sum_{n=2}^{32} \frac{C_{GSn3} C_{TCXn}}{C_{GSn3} + C_{TCXn}} \right) + \frac{1}{2} C_{GSp3} \left(1 + \frac{C_{GSp3} C_{TCx1}}{C_{GSp3} + C_{TCx1}} \right)$ |
| | D | $C_D = C_{GSn4} + C_{GSp4} + \frac{1}{2} C_{GDp4} \left(1 + \frac{C_{GDp4} C_{TDx1}}{C_{GDp4} + C_{TDx1}} \right) + \frac{1}{32} C_{GDn4} \left(1 + \sum_{n=2}^{32} \frac{C_{GDn4} C_{TDXn}}{C_{GDn4} + C_{TDXn}} \right)$ |
| | E | $C_E = C_{GSn5} + \frac{1}{2} C_{GSp5} \left(1 + \frac{C_{GSp5} C_{TEX1}}{C_{GSp5} + C_{TEX1}} \right) + \frac{1}{2} C_{GDp5} \left(1 + \frac{C_{GDp5} C_{TEX1}}{C_{GDp5} + C_{TEX1}} \right) + \frac{1}{32} C_{GDn5} \left(1 + \sum_{n=2}^{32} \frac{C_{GDn5} C_{TEXn}}{C_{GDn5} + C_{TEXn}} \right)$ |
| | F | $C_F = C_{GSn6} + C_{GDp6} + \frac{1}{2} C_{GSp6} \left(1 + \frac{C_{GSp6} C_{TFX1}}{C_{GSp6} + C_{TFX1}} \right) + \frac{1}{32} C_{GDn6} \left(1 + \sum_{n=2}^{32} \frac{C_{GDn6} C_{TFXn}}{C_{GDn6} + C_{TFXn}} \right)$ |
| | Y | $C_Y = C_{GDp\beta} + C_{DBp\beta} + C_{GDp\beta} + C_{DBp\beta} + C_{GDn\alpha} + C_{DBn\alpha} + C_{GDn2} + C_{DBn2} + C_{GDn\beta} + C_{DBn\beta}$ |

Capítulo 4

ESTIMATIVA DE CONSUMO DE POTÊNCIA DE PORTAS LÓGICAS COMPLEXAS EM CIRCUITOS CMOS

Este capítulo destaca a estimativa de consumo de potência dinâmica de portas lógicas complexas, baseada nos modelos de capacitâncias apresentados no capítulo anterior. A estimativa de potência considera os modelos capacitivos, os dados de tecnologia, dimensões dos transistores e as combinações dos sinais de entrada das portas.

4.1 Consumo de Potência Dinâmica Dissipada pela Porta

O consumo de potência de uma porta complexa é determinado através do somatório da potência consumida em cada nó externo da porta. A potência dinâmica de cada nó é calculada por meio da estimativa de capacitância equivalente, associada às transições dos sinais de entrada, da tensão de alimentação e da frequência de operação (ARORA, 1996) dada pela Equação 2.6.

Os procedimentos adotados neste capítulo foram:

- Estimar o consumo de potência individualmente das portas complexas listadas na Tabela 3.1, considerando os parâmetros da ferramenta *Power_Estimate* (tensão de alimentação da

porta de 5V e frequência de clock 20MHz) e o modelo de capacitância proposto.

- Validar os resultados obtidos da estimativa pela comparação com o nível elétrico, considerando o uso das ferramentas TROPIC, *gerasp*, *Power_Estimate* e ELDO.
- Comparar os resultados obtidos pelo método proposto a nível lógico, validando os valores obtidos com a ferramenta ELDO.

4.2 Processo de Validação do Método

O diagrama de blocos da Figura 4.1 demonstra as etapas traçadas para validação do método descrito no capítulo anterior.

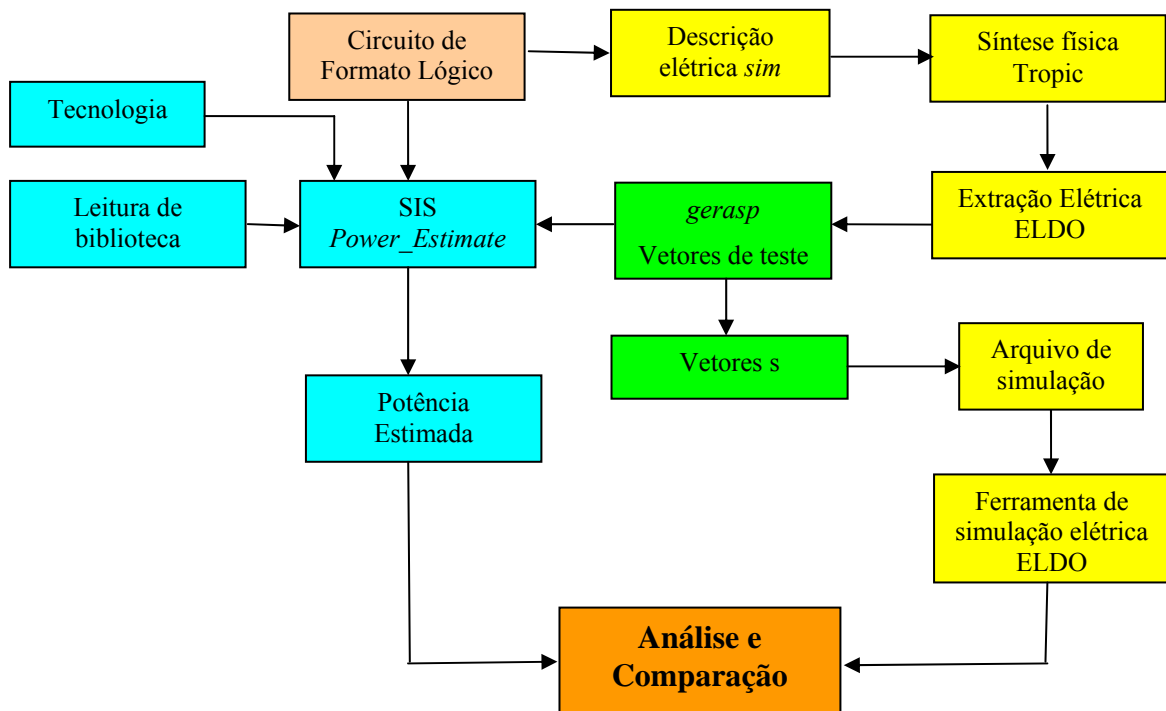


Figura 4.1 - Diagrama de blocos das etapas de validação do Método

Observando-se o diagrama de blocos da Figura 4.1, percebe-se que, a partir da descrição lógica, *blif* desencadeia-se todo o processo de

comparação da estimativa de consumo de potência das portas lógicas complexas entre os níveis elétricos e lógicos.

Na primeira etapa, a descrição lógica *blif* (descrição de portas lógicas) é convertida para a descrição *sim* (SPICE estruturado), através da ferramenta *blif2sim*. Essa nova descrição serve de entrada para a ferramenta TROPIC que tem a função de realizar a síntese física. Os arquivos *est*, extraídos pela ferramenta TROPIC, contêm as informações dos transistores.

Neste trabalho, para comparação dos dados simulados nos níveis elétricos e lógicos, foi desenvolvido um procedimento que submete os circuitos aos mesmos vetores. Os vetores de teste são gerados aleatoriamente pela ferramenta *gerasp*, através da entrada na ferramenta dos arquivos de extração elétrica (*est*) e da descrição lógica (*blif*) do circuito a ser simulado. A ferramenta cria dois arquivos com as seguintes extensões: *sp* e *v*. O arquivo *sp* contém as informações elétricas dos circuitos e os vetores de teste descritos em *pwl*, utilizados para a simulação na ferramenta ELDO. O arquivo *v* é gerado para simulação na ferramenta *Power_Estimate*, contém o mesmo conjunto de vetores do arquivo *sp*, mas descritos apenas em níveis lógicos altos e baixos. Exemplos de vetores dos arquivos *sp* e *v* são apresentados na Figura 4.2:

```

a b // entradas do circuito
5 // número de vetores para cada entrada
01110 //Vetor de 5 estados lógicos aleatórios para entrada a
10110 //Vetor de 5 estados lógicos aleatórios para entrada b

a) Arquivo formato v.

*****Transistores*****
va a 0 pwl 0n 0 25n 5 50n 5 75n 5 100n 0 ...
vb b 0 pwl 0n 5 25n 0 50n 5 75n 5 100n 0 ...

```

Nível de tensão e tempo
de propagação em cada
entrada

b) Arquivo formato sp.

Figura 4.2- Exemplo de vetores de simulação nos arquivos sp e v.

Na segunda etapa, entra em operação o modelo de capacitâncias proposto no capítulo anterior. Novamente a descrição lógica do circuito é essencial para a operação, pois serve de entrada para a ferramenta *Power_Estimate* do ambiente SIS.

A ferramenta *Power_Estimate* tem como parâmetros de entrada, além do arquivo lógico do circuito, uma biblioteca, contendo os modelos das capacitâncias das portas lógicas complexas estudadas, o arquivo de vetores *v* e os parâmetros de tecnologia, que serão utilizados para estimativa de consumo de potência do circuito. A ferramenta gera um relatório com os dados de consumo de potência e o tempo de simulação do circuito lógico analisado.

4.3 Resultado de consumo de potência das portas lógicas Complexas

Para a simulação do consumo de potência das portas lógicas complexas (Tabela 3.1), foram gerados 10 arquivos de 50, 70 e 100 vetores aleatórios

para cada porta através da ferramenta *gerasp*, a fim de simular o consumo de potência com as mais diversas condições de entradas possíveis. Desta maneira, aproximando à realidade de funcionamento.

Todas as simulações foram realizadas em PC com processador Pentium IV[®] de 3 GHz com 1GB de RAM e para os resultados apresentados na Tabela 4.1, 4.2 e 4.3 os parâmetros de tecnologia utilizados foram da AMS 0.8 μ m.

Tabela 4.1 - Consumo de potência médio e tempo de simulação das portas lógicas complexas com 50 vetores de entrada :

| Portas Lógicas Complexas | Potência SIS (μW) | ELDO (μW) | ERRO médio (%) Potência Lógico/ Elétrico | Tempo de CPU(s) SIS | Tempo de CPU(s) ELDO |
|---------------------------------|---|---------------------------------|---|----------------------------|-----------------------------|
| AOI21 | 0,706 | 0,701 | 1,1 | 0,08 | 6,5 |
| AOI22 | 1,021 | 0,990 | 3,0 | 0,08 | 6,8 |
| AOI221 | 0,993 | 0,983 | 1,3 | 0,09 | 7,1 |
| AOI222 | 1,219 | 1,194 | 1,7 | 0,10 | 7,9 |
| AOI32 | 1,065 | 0,994 | 7,1 | 0,11 | 6,8 |
| AOI321 | 1,411 | 1,344 | 4,9 | 0,09 | 8,1 |
| AOI33 | 1,012 | 0,949 | 5,9 | 0,08 | 8,1 |
| OAI21 | 0,714 | 0,678 | 5,3 | 0,06 | 5,2 |
| OAI22 | 0,891 | 0,845 | 4,8 | 0,08 | 6,4 |
| OAI221 | 1,017 | 0,985 | 1,9 | 0,09 | 7,0 |
| OAI222 | 1,291 | 1,184 | 8,9 | 0,11 | 8,1 |
| OAI32 | 1,03 | 0,980 | 5,0 | 0,10 | 6,5 |
| OAI321 | 1,374 | 1,298 | 5,8 | 0,11 | 8,6 |
| OAI33 | 1,061 | 1,010 | 4,7 | 0,10 | 7,8 |

Tabela 4.2 - Consumo de potência médio e tempo de simulação das portas lógicas complexas com 70 vetores de entrada :

| Portas Lógicas Complexas | Potência SIS (μW) | ELDO (μW) | ERRO médio (%) Potência Lógico/ Elétrico | Tempo de CPU(s) SIS | Tempo de CPU(s) ELDO |
|---------------------------------|---|---------------------------------|---|----------------------------|-----------------------------|
| AOI21 | 0,682 | 0,707 | -0,4 | 0,10 | 8,3 |
| AOI22 | 1,034 | 1,023 | 1,1 | 0,11 | 8,8 |
| AOI221 | 0,982 | 0,983 | -0,1 | 0,11 | 9,2 |
| AOI222 | 1,212 | 1,196 | 1,4 | 0,12 | 10,9 |
| AOI32 | 1,1011 | 1,053 | 4,6 | 0,12 | 9,9 |
| AOI321 | 1,416 | 1,348 | 5,1 | 0,14 | 12,6 |
| AOI33 | 0,968 | 0,929 | 4,2 | 0,12 | 12,4 |
| OAI21 | 0,751 | 0,694 | 8,2 | 0,08 | 7,9 |
| OAI22 | 0,827 | 0,825 | 0,1 | 0,09 | 8,2 |
| OAI221 | 0,968 | 0,955 | 1,4 | 0,11 | 11,3 |
| OAI222 | 1,283 | 1,224 | 4,9 | 0,14 | 10,7 |
| OAI32 | 1,023 | 1,011 | 1,2 | 0,12 | 10,1 |
| OAI321 | 1,391 | 1,303 | 6,8 | 0,13 | 12,5 |
| OAI33 | 1,071 | 1,061 | 1,0 | 0,13 | 11,5 |

Tabela 4.3 - Consumo de potência médio e tempo de simulação das portas lógicas complexas com 100 vetores aleatórios de entrada.

| Portas Lógicas Complexas | Potência SIS (μW) | ELDO (μW) | ERRO médio (%) Potência Lógico/Elétrico | Tempo de CPU(s) SIS | Tempo de CPU(s) ELDO |
|---------------------------------|---|---------------------------------|--|----------------------------|-----------------------------|
| AOI21 | 0,690 | 0,691 | -0,1 | 0,14 | 10,6 |
| AOI22 | 1,039 | 1,028 | 1,0 | 0,15 | 11,4 |
| AOI221 | 0,983 | 0,987 | -0,2 | 0,17 | 12,7 |
| AOI222 | 1,239 | 1,203 | 3,0 | 0,18 | 14,6 |
| AOI32 | 1,104 | 1,071 | 3,0 | 0,18 | 13,2 |
| AOI321 | 1,427 | 1,365 | 4,5 | 0,20 | 15,4 |
| AOI33 | 0,956 | 0,921 | 3,8 | 0,17 | 15,2 |
| OAI21 | 0,760 | 0,735 | 3,4 | 0,15 | 11,1 |
| OAI22 | 0,813 | 0,817 | -0,5 | 0,15 | 10,8 |
| OAI221 | 0,9651 | 0,952 | 1,3 | 0,17 | 13,6 |
| OAI222 | 1,315 | 1,243 | 5,7 | 0,17 | 14,8 |
| OAI32 | 1,048 | 1,049 | -0,2 | 0,19 | 14,6 |
| OAI321 | 1,41 | 1,324 | 6,4 | 0,18 | 16,2 |
| OAI33 | 1,104 | 1,081 | 2,1 | 0,17 | 15,0 |

A primeira observação, dos dados obtidos por simulação com 50, 70 e 100 vetores apresentados nas Tabelas 4.1, 4.2 e 4.3, demonstra que há uma boa aproximação entre os valores de consumo de potência encontrados. Além disso, indica que o erro introduzido pela capacitância concentrada nos nós de cada porta é pequeno.

Outra consideração que pode ser feita acerca do método é a maior velocidade no tempo de simulação de estimativa de consumo de potência a nível lógico em relação ao nível elétrico. Nas simulações das portas com

100 vetores, observa-se que o tempo de simulação da porta OAI221 chega a ser aproximadamente 71 vezes mais rápido.

Na simulação com 50 vetores de entrada, os erros máximo e mínimo obtidos foram de 8,9% e 1,1%, encontrados nas portas AOI222 e AOI21, respectivamente. Já para 70 vetores de entrada, o menor erro foi de 0,1% para as portas OAI22 e AOI221, e o maior erro de 8,2% para a porta OAI21. Quanto às simulações realizadas com 100 vetores de entrada, os erros máximo e mínimo foram de 6,4% e -0,1% para as portas OAI321 e AOI21, respectivamente. Contribuiu para a ocorrência desses erros o fato de que o modelo proposto não inclui em sua análise a influência causada por todos os parâmetros utilizados no modelo SPICE adotado no ELDO, tais como: os *glitchings*, as correntes de curto circuito e correntes de fuga.

Nos testes de simulação das Tabelas 4.1, 4.2 e 4.3, o aumento do número de vetores de entrada permitiu observar que o consumo de potência das portas tende a se estabilizar. Dessa forma, não foi necessária a realização de simulações com um número maior de vetores para comprovar os resultados obtidos com o método proposto.

4.4 Consumo de Potência de Circuitos com Portas Lógicas Complexas

Numa segunda fase, foram analisados circuitos que integram as portas lógicas complexas estudadas. Devido à dificuldade encontrada em obter circuitos de *benchmarks*, contendo somente as portas lógicas complexas pretendidas, foram criados circuitos que serviram de base para a validação do método proposto (Ver Anexo 2). As condições de simulação para esse caso foram as seguintes:

- Criação de 10 circuitos contendo portas lógicas complexas, denominados *complex_sdz*, em que *z* é o número do circuito projetado.

- Geração de 50 e 100 vetores aleatórios para serem aplicados nas entradas dos circuitos complexos, tanto para nível elétrico quanto para o nível lógico.
- Comparação dos resultados obtidos em nível elétrico com os obtidos em nível lógico, considerando a estimativa de consumo de potência e o tempo de simulação.

Tabela 4.4 – Circuitos contendo as portas lógicas complexas estudadas (Anexo2).

| Circuitos | Nº Entradas | Nº transistores | Nº Portas lógicas Complexas |
|------------------|--------------------|------------------------|------------------------------------|
| Complex_sd1 | 7 | 20 | 3 |
| Complex_sd2 | 6 | 30 | 4 |
| Complex_sd3 | 6 | 36 | 5 |
| Complex_sd4 | 9 | 60 | 8 |
| Complex_sd5 | 9 | 68 | 9 |
| Complex_sd6 | 10 | 74 | 10 |
| Complex_sd7 | 5 | 34 | 5 |
| Complex_sd8 | 8 | 88 | 12 |
| Complex_sd9 | 5 | 28 | 4 |
| Complex_sd10 | 5 | 24 | 3 |

Para as simulações dos circuitos da Tabela 4.4, novamente foi utilizada uma máquina PC com processador Pentium IV[®] de 3 GHz com 1GB de RAM e os parâmetros de tecnologia da AMS 0.8.

Tabela 4.5 – Resultados de estimativa de potência e tempo de simulação dos circuitos contendo as portas lógicas complexas estudadas com 50 vetores.

| Circuitos Lógicos Complexos | Atrasos | Potência SIS (μW) | Potência ELDO (μW) | ERRO médio (%) Potência Lógico/ Elétrico | Tempo de CPU(s) SIS | Tempo de CPU(s) ELDO |
|------------------------------------|----------------|--------------------------|---------------------------|---|----------------------------|-----------------------------|
| Complex_sd1 | zero | 2,3412 | 2,2223 | 5,41 | 0,42 | 26,5 |
| | unitário | 2,3603 | | 6,32 | 0,48 | 26,5 |
| | genérico | 2,4175 | | 8,84 | 0,48 | 26,5 |
| Complex_sd2 | zero | 1,7013 | 1,6512 | 3,03 | 0,42 | 33,7 |
| | unitário | 1,7014 | | 3,04 | 0,51 | 33,7 |
| | genérico | 1,7014 | | 3,04 | 0,48 | 33,7 |
| Complex_sd3 | zero | 3,8145 | 4,2153 | -10,3 | 0,58 | 40,6 |
| | unitário | 4,5384 | | 7,66 | 0,65 | 40,6 |
| | genérico | 4,5908 | | 8,99 | 0,69 | 40,6 |
| Complex_sd4 | zero | 2,9610 | 2,735 | 8,26 | 0,74 | 103,1 |
| | unitário | 2,9610 | | 8,26 | 0,80 | 103,1 |
| | genérico | 2,9610 | | 8,26 | 0,77 | 103,1 |
| Complex_sd5 | zero | 2,9712 | 2,843 | 4,51 | 1,01 | 86,8 |
| | unitário | 2,9781 | | 4,75 | 1,10 | 86,8 |
| | genérico | 2,9712 | | 4,51 | 1,08 | 86,8 |
| Complex_sd6 | zero | 3,5107 | 3,352 | 4,73 | 1,22 | 174,9 |
| | unitário | 3,5107 | | 4,73 | 1,43 | 174,9 |
| | genérico | 3,5107 | | 4,73 | 1,40 | 174,9 |
| Complex_sd7 | zero | 1,8034 | 1,711 | 5,40 | 0,48 | 38,4 |
| | unitário | 1,8158 | | 6,13 | 0,60 | 38,4 |
| | genérico | 1,8158 | | 6,13 | 0,55 | 38,4 |
| Complex_sd8 | zero | 5,381 | 5,161 | 4,26 | 1,84 | 214,1 |
| | unitário | 5,415 | | 4,92 | 1,98 | 214,1 |
| | genérico | 5,395 | | 4,53 | 1,94 | 214,1 |
| Complex_sd9 | zero | 2,435 | 2,241 | 8,66 | 0,47 | 34,2 |
| | unitário | 2,435 | | 8,66 | 0,55 | 34,2 |
| | genérico | 2,435 | | 8,66 | 0,54 | 34,2 |
| Complex_sd10 | zero | 2,329 | 2,258 | 3,14 | 0,43 | 32,1 |
| | unitário | 2,331 | | 3,23 | 0,45 | 32,1 |
| | genérico | 2,329 | | 3,14 | 0,45 | 32,1 |

Tabela 4.6 – Resultados de estimativa de potência e tempo de simulação dos circuitos contendo as portas lógicas complexas estudadas com 100 vetores.

| Circuitos Lógicos Complexos | Atrasos | Potência SIS (μW) | ELDO (μW) | ERRO médio (%) Potência Lógico/ Elétrico | Tempo de CPU(s) SIS | Tempo de CPU(s) ELDO |
|------------------------------------|----------------|---|---------------------------------|---|----------------------------|-----------------------------|
| | zero | 2,3941 | | 0,89 | 0,77 | 55,2 |
| Complex_sd1 | unitário | 2,4138 | 2,373 | 1,72 | 0,79 | 55,2 |
| | genérico | 2,4245 | | 2,17 | 0,79 | 55,2 |
| | zero | 1,7742 | | 1,7263 | 2,77 | 0,78 |
| unitário | 1,7668 | 2,35 | 0,80 | | 68,4 | |
| genérico | 1,7956 | 4,01 | 0,83 | | 68,4 | |
| | zero | 4,1963 | | -3,6 | 1,02 | 88,1 |
| Complex_sd3 | unitário | 4,3641 | 4,3417 | 0,52 | 1,08 | 88,1 |
| | genérico | 4,4717 | | 2,99 | 1,14 | 88,1 |
| | zero | 2,9745 | | 2,8572 | 4,11 | 1,37 |
| unitário | 2,9726 | 4,04 | 1,43 | | 221,6 | |
| genérico | 2,9779 | 4,22 | 1,51 | | 221,6 | |
| | zero | 2,9624 | | 3,01 | 1,90 | 187,4 |
| Complex_sd5 | unitário | 2,9519 | 2,8758 | 2,65 | 1,96 | 187,4 |
| | genérico | 2,9624 | | 3,01 | 1,96 | 187,4 |
| | zero | 3,5646 | | | 4,91 | 2,23 |
| Complex_sd6 | unitário | 3,5646 | 3,3979 | 4,91 | 2,51 | 324,9 |
| | genérico | 3,5646 | | 4,91 | 2,69 | 324,9 |
| | zero | 1,8351 | | 1,7830 | 2,92 | 1,03 |
| unitário | 1,8483 | 3,66 | 1,12 | | 71,4 | |
| genérico | 1,8351 | 2,92 | 1,18 | | 71,4 | |
| | zero | 5,2919 | | 0,99 | 3,21 | 71,4 |
| Complex_sd8 | unitário | 5,3847 | 5,240 | 2,76 | 3,77 | 395,1 |
| | genérico | 5,3454 | | 2,01 | 4,12 | 395,1 |
| | zero | 2,3451 | | 2,2847 | 2,64 | 0,86 |
| unitário | 2,3478 | 2,76 | 0,91 | | 395,1 | |
| genérico | 2,4118 | 5,56 | 0,90 | | 34,2 | |
| | zero | 2,3386 | | 1,79 | 0,71 | 32,1 |
| Complex_sd10 | unitário | 2,3678 | 2,2974 | 3,06 | 0,82 | 32,1 |
| | genérico | 2,3561 | | 2,56 | 0,84 | 32,1 |

Analisando os resultados obtidos nas colunas 3 e 4 das Tabelas 4.5 e 4.6, observa-se que o erro que aparece no método proposto varia em função do tipo de atraso aplicado, pois o atraso age no modelo de atividade de chaveamento dos transistores utilizado na ferramenta *Power_Estimate* que interfere diretamente no consumo de potência do circuito lógico.

Os resultados obtidos na simulação com atraso zero, observados na Tabela 4.5, apresentaram um erro máximo de 10% para o circuito *complex_sd3*, enquanto o erro mínimo foi de 3,14% para o circuito *complex_sd10*. Comparando-se as simulações com atraso unitário, observa-se o maior erro de 8,66% para o circuito *complex_sd9* e o menor de 3,04% para o *complex_sd2*. Já para as simulações de atraso genérico, os mesmos circuitos *complex_sd9* e *complex_sd2* mais uma vez tiveram o maior e menor erros de 8,66% e 3,03%, respectivamente.

Os resultados obtidos com os 100 vetores de entrada apresentaram uma diminuição significativa no erro encontrado. O máximo erro de 10%, obtido na simulação com 50 vetores no circuito *complex_sd3*, diminuiu para 3,56% com 100 vetores. Com o aumento dos vetores de entrada, a maioria dos circuitos obteve um erro baixo.

Com base nos dados das Tabelas 4.5 e 4.6, o aumento no número de transistores, das portas lógicas complexas e de entradas dos circuitos complexos, contribuiu para a diminuição e estabilização do erro obtido sobre esses circuitos entre o modelo proposto e o nível elétrico. Ao nível elétrico o aumento de entradas provoca mudança no atraso de propagação dos sinais que interferem no consumo de potência dos circuitos analisados. O erro decorrente foi causado por fatores não considerados pelo modelo proposto, tais como:

- O aumento do número de entradas dos circuitos, que agem diretamente na atividade de chaveamento dos nós do circuito;

- A influência dos *glitching* no funcionamento do circuito que são analisados no modelo elétrico do ELDO, mas não no modelo proposto.

A maioria dos circuitos simulados com atraso genérico em nível lógico apresentou um aumento no erro em relação às simulações realizado com atraso zero e unitário. Nesse modelo de atraso são levadas em conta informações empíricas, que determinam a atividade de chaveamento dos transistores do circuito, interferindo na estimativa de consumo de potência.

Na simulação dos circuitos, fica evidente a rapidez na obtenção da estimativa de consumo de potência no nível lógico. Na maioria dos circuitos, tanto nas simulações com 50 vetores, mas principalmente com 100 vetores, o tempo de simulação em nível lógico equivale no mínimo a 2% do tempo de simulação necessária para ser executada no nível elétrico.

Os dados apresentados comprovam a eficácia do método proposto na estimativa de consumo de potência de portas lógicas complexas. Destaca-se a velocidade de operação dos dados e a geração de um erro aceitável para o nível lógico, em que o acesso às informações topológicas dos transistores é precário.

Capítulo 5

CONCLUSÕES E PERSPECTIVAS

Neste último capítulo são destacadas as principais contribuições obtidas na pesquisa, bem como são sugeridas algumas atividades que poderão ser implementadas em trabalhos futuros.

5.1 Conclusões

Esta dissertação apresentou um método de estimativa de consumo de potência dinâmica de portas lógicas complexas que leva em consideração a estimativa de capacitância dos nós externos da porta através da combinação de sinais de entrada.

Os resultados obtidos nas simulações das portas lógicas complexas estudadas e dos circuitos criados com essas portas revelaram a ocorrência de erros aceitáveis em relação às estimativas realizadas em nível elétrico. Considerando-se a abrangência do método proposto, que não considera informações das capacitâncias de interconexões e *crosstalk*, o maior erro encontrado entre o método proposto e as simulações elétricas, que abrange todas as informações e modelagem topológica dos transistores, ficou em aproximadamente 10%. Também se constatou que o aumento do número de vetores de entrada nas portas provocou uma diminuição nos erros obtidos para a maioria das portas e circuitos lógicos analisados. Uma outra observação a respeito do erro foi à influência que o tipo de atraso utilizado

causava sobre a simulação. Na maioria das simulações realizadas cujo atraso das portas foi considerado genérico, os resultados apresentaram os maiores erros.

O tempo de simulação observado no nível lógico justifica a utilização do método desenvolvido, pois permite ao projetista de circuitos integrados, quando necessário, tomar uma rápida decisão com relação à potência dissipada. Assim, poderá aplicar o uso de técnicas que visam a minimizar o consumo de potência antes da geração leiaute.

De uma maneira geral, através dos dados obtidos validam-se os modelos de estimativa de capacitância e potência de portas lógicas complexas no nível lógico proposto nesta pesquisa.

5.2 Perspectivas

Dando continuidade aos trabalhos realizados nesta dissertação, propõem-se algumas atividades que poderão ser realizadas futuramente:

- Incluir no modelo de estimativa de potência proposto a possibilidade de estimativa de potência estática;
- Analisar o comportamento de estimativa de potência de cada nó de entrada da porta em função das transições dos vetores de entrada separadamente, a fim de obter qual transição de sinais (vetores) aplicados gera o maior consumo de potência;
- Desenvolver um modelo de estimativa de atraso das portas lógicas complexas estudadas, incrementando-o com o modelo de estimativa de potência das portas estudadas;
- Analisar o comportamento do modelo proposto para circuitos CMOS de maior complexidade;
- Analisar os modelos desenvolvidos para circuitos seqüenciais.

Capítulo 6

Referências

ARORA, N.D. et al. Modeling and Extraction of Interconnect Capacitances for Multilayer VLSI Circuits. **IEEE Transactions on Computer Aided Design of Integrated Circuits and Systems**, v.15, n.1, p. 58-66, 1996.

BAKOGLU, H. B. **Circuits, interconnections and packaging for VLSI**, Menlo Park: Addison-Wesley, 1990.

BELLAOUAR, A. and ELMASRY, M. I., **Low-Power Digital VLSI Design Circuits and Systems**, Boston: Kluwer Academic, 1995.

BENINI, L. et al. **Analysis of hazard contribution to power dissipation for CMOS IC's**. In: ACM/IEEE INTERNATIONAL WORKSHOP ON LOW POWER DESIGN, 24, 1994, Napa. **Proceedings ...**, Napa: ACM Press, 1994, p.27-32.

BRYAN R.E. Graph-based algoritmos for boolean function manipulation, **IEEE Transactions on computers**, v. 35, n. 3, p. 677-691, 1986.

BURCH, R. et al. A Monte Carlo approach to power estimation, **IEEE Transactions on Very Large Scale Integration Systems**, v. 1, n. 1, p. 63-71, 1993.

CALAZANS,N.L. Métodos e ferramentas to power estimation. **IEEE Transaction on Very Large Escale Integration Systems**, v.2 , n.13, p 123-135, 1993.

CHENG-Wen W, On energy efficiency of VLSI testing, SIXTH ASIAN TEST SYMPOSIUM, 6., 1997, Akita. **Proceedings ... Akita: ATS'97, 1997, p. 132-137.**

CHERN J. H. et al. Yang. Multilevel Metal Capacitances Models for CAD Design Synthesis Systems. **IEEE Electron Devices Letters**, v.13, n.1, p.32-34, 1992.

CHRISTIE, P.; STROOBANDT, D. The Interpretation and Application of Rent's Rule. **IEEE Transactions on Very Large Scale Integration Systems**, Special Issue on System-Level Interconnect Prediction, 2000. Special Issue on System-Level Interconnect Prediction.

CIRIT, M. Estimating dynamic power consumption of CMOS circuits. In: IEEE INTERNATIONAL CONFERENCE COMPUTER AIDED DESIGN, 1987, Santa Clara. **Proceedings...** Santa Clara (USA): IEEE Computer Society Press, 1987, p.534-537.

COVER, T.M.; THOMAS, J. A. **Elements of Information Theory**, New York: Wiley, 1991.

DONATH, W. E. Placement and average interconnection lengths of computer logic, **IEEE Transactions Circuits Systems**, v. CAS-26, p. 272-277, 1979.

ELDO User's Manual. Disponível em <<http://www.mentor.com>> condicionado a contrato com a empresa Mentor Graphics. Acesso em: 16 de agosto de 2004.

FEVER, M. Connectivity of Random Logic, **IEEE Transactions Computer**, v. C-31, p. 29-33, 1982.

GAMAL, A. A. El. Two-dimensional stochastic model for interconnections in master slice integrated circuits, **IEEE Transaction Circuits Systems**, v. CAS-28, p. 127-138, 1981.

GHISSONI, S., MARTINS, J. B. S., Capacitance Estimation and Power Consumption in CMOS Complex Gate at Logic-Level, 19th SOUTH SYMPOSIUM ON MICROELETRONICS, 19., 2004, **Proceedings ...** Ijuí, p75-79, 2004.

GHISSONI, S., MARTINS, J. B. S. M, Estimativa de Capacitância e Consumo de Potência de Portas Lógicas Complexas ao Nível Lógico , XI TALLER IBERCHIP, 11., 2005, Salvador. **Proceedings ...** Salvador: TALLER IBERCHIP, 178-179, 2005.

GHOSH, A. et al. Estimation of average switching activity in combinational and sequential circuits. In: ACM/IEEE DESIGN AUTOMATION CONFERENCE, 29. 1992, Anaheim. **Proceedings ...** Anaheim: IEEE Computer Society Press, 1992, p. 253-259.

GRAGHICS, M. **Designing asics with the adk design kit and mentor graphics tools**. USA, Mentor Graphics, Higher Education Program, 2001.

HEBGEN, W. ZIMMERMANN, G. Hierarchical Netlength Estimation for Timing Prediction, ACM/SIGDA PHYSICAL DESIGN WORKSHOP, 5., 1996, Reston. **Proceedings...** Reston, 1996, p. 118-125.

IMAN S.e PEDRAM M. Logic extraction and factorization for low-power, ACM/IEEE CONFERENCE ON DESIGN AUTOMATION, 32., 1995, São Francisco. **Proceedings ...** São Francisco: ACM/IEEE Conference on Design automation, 1995, p249-253.

LANDMAN, B. S. ; RUSSO, R. L. on a pin versus block relationship for partitions of logic graphs, **IEEE Transactions Computer**, v. C-20, p. 1469-1479, 1971.

LIN, J. Y. ; LIU, T. C. ; SHEN, W. Z. A Cell-based power estimation in CMOS combinational circuits. In: ACM/IEEE DESIGN AUTOMATION CONFERENCE, 31., 1994, Los Alamitos, **Proceedings ...** Los Alamitos: IEEE Computer Society Press, p. 304-309.

Mach TA USER's and Reference Manual. Disponível em <<http://www.mentor.com>> condicionado a contrato com a empresa Mentor Graphics. Acesso em: 8 de out 2003.

MARTIN, Kenneth W. **Digital integrated circuit design**, New York: Oxford University Press, 2000.

MARTINS, J.B dos S. **Estimativa de capacitâncias e consumo de potência em circuitos combinacionais CMOS no nível lógico.** f. 112, 2000. Tese de Doutorado em Computação –Universidade Federal do Rio Grande do Sul, 2000.

MARTINS, J.B. et al. Power estimation at logic-level considering interconnection capacitance, XV INTERNATIONAL CONFERENCE ON MICROELECTRONICS AND PACKAGING, 15., 2000, Manaus. **Proceedings ...** Manaus, SBMICRO, 2000, p. 226-231.

MELEK P. L.A. **Operação De Circuitos Lógicos Cmos De (Ultra)-Baixo Consumo,** 2004. Dissertação de Mestrado em engenharia elétrica da Universidade Federal de Santa Catarina, 2004.

MONTEIRO, J.; DEVADAS, S. **Computer-aided design techniques for Low power sequential logic circuits**, Bostom: Kluwer Academic, 1997.

MORAES, F. et al. A virtual CMOS library approach for fast layout synthesis. In: IFIP TC10 WG10.5 INTERNATIONAL CONFERENCE ON VERY LARGE SCALE INTEGRATION, 10. , 1999, Lisboa. **Proceedings ...** Bostom: Kluwer Academic, 2000, p. 415-426.

NAGEL, W. **SPICE2, A computer program to simulate semiconductor circuits.** Berkeley: University of California/Department of Electrical Engineering and Computer Sciences, 1975, 63p. (UCB/ERL M75/520).

NEMANI, M and NAJM, F. High-level area and power estimation for VLSI circuits, **IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems**, v. 18, n. 6 , p. 697-713, 1996.

PAYNE, D. **Circuit simulation for DSM IC power analysis**, 2000 Disponível em <http://www.mentor.com/dsm>. Acesso em:15 de mai. 2004.

PEDRAM, M. ; PREAS, B. Interconnection length estimation for optimized standard cell layouts, IEEE INTERNATIONAL CONFERENCE COMPUTER-AIDED DESIGN, 1989, Santa Clara. **Proceedings ...** Santa Clara: IEEE Computer Society Press, 1989, p. 390-393.

PIPPENGER, N. **Information Theory and Complexity of Boolean Functions: Mathematical Systems Theory**: Springer-Verlag, 1977.

Power Compiler Reference Manual. Mountain View: Synopsys, 1997.

PowerPlay Early Power Estimators & Power Analyzer Data sheet. Disponível em <www.altera.com/support/devices/estimator/pow-powerplay.html> . Acesso em: 15 de out 2004.

PowerTheater - Low Power Design & Power Analysis For Nanometer System-on-Chip Design. Disponível em <http://www.sequencedesign.com/2_solutions/2b_power_theater.html>. Acesso em: 03 de mar 2005.

PrimePower Full-Chip Dynamic Power Analysis for Multimillion-Gate Designs Data sheet. Disponível em <www.synopsys.com/galaxypower> condicionado a contrato com a empresa Mentor Graphics. Acesso em: 18 de out 2004.

RABAEY, J. M. **Digital integrated circuits: A design perspective**. New Jersey: Prentice-Hall, 1996.

REIS, R. A. da L. **Concepção de Circuitos Integrados**. Porto Alegre: Saga Luzzatto, 2000.

RENT, **The Distress for Rent Rules 1988**, USA: 1988.

ROY, S. Low-power-driven synthesis algorithms for sequential and combinational circuits, 1998, Tese de doutorado: University of Illinois at Urbana-Champaign, 1998..

SENTOVICH, E. M. et al. **SIS: A system for sequential circuit synthesis**. Berkeley: Electronics Research Lab. University of California, 1992. (Tech. Rep. UCB/ERL M92/41).

SHEN, A.; et al. On Average Power Dissipation and Random Pattern Testability of CMOS Combinational Logic Networks, IEEE/ACM INTERNATIONAL CONFERENCE ON COMPUTER-AIDED DESIGN – ICCAD-92, **Proceedings** ... Santa Clara: Academic, 1992, p. 402 – 407.

UYEMURA, J. P. **Circuit design for CMOS VLSI**. Boston: Kluwer Academic, 1992.

WERMER W. B. e SORIN A. H., Efficient algorithms for multilevel power estimation of VLSI circuits, IEEE TRANSACTIONS ON VERY LARGE SCALE INTEGRATION (VLSI) SYSTEMS, v. 13, n.2, p. 238-254, 2005.

Xpower Data sheet. Disponível em www.xilinx.com/xlnx/xebiz/designResources>. Acesso em: 18 de out 2005.

Anexo 1

Ferramentas acadêmicas utilizadas:

- *gerasp*: gerador de vetores aleatórios para simulação no ELDO e *Power_Estimate*. Esta ferramenta foi desenvolvida pela acadêmica Rosana Visconzzi Perazzolo que fez parte de seu trabalho de graduação;
- Matcad e EXCEL: estas ferramentas responsáveis em fazer operações matemáticas foram utilizadas primeiramente para comprovar os resultados obtidos ao longo do desenvolvimento dos trabalhos.
- blif2sim: converte um arquivo do formato blif (descrição lógica) para sim(SPICE estruturado).
- SIS – Ambiente de CAD para microeletrônica que faz análise de circuitos no nível lógico (domínio público).
- *Power_Estimate* – Ferramenta agregada ao SIS, responsável pela estimativa de potência, usando diferentes modelos de atraso (zero, unitário e genérico).

Anexo 2

Resultados da simulação da porta lógica complexa AOI21.

Nível Lógico (ferramenta *Power_Estimate*)

```
[root@gmicro12 sis]# ./sis
UC Berkeley, SIS 1.3 (compiled 27-jul-05 at 11:09 AM)
sis> read_library complexas.genlib
sis> read_blif aoi21.blif
##### .model aoi21_100v numero 0 #####
entradas do model :
saidas do model :
***** 0 *****
nome da porta aoi21
as entradas sao : numero entradas porta = 4
A B C
a saida e : y
*****
*****acabou!****
numero de ent porta 0
numero de ent porta 1
numero de ent porta 2
numero de ent porta 3
model: aoi21_100v tam: 4
sis> power_estimate -d g -m s -S aoi21_100v.v
sghisconi power_main sidi
$$$$$ SAMPLE MODE $$$$
-----power_simulation_estimate_symb
else sop_or_fact NODE_PO:::: [221]
Combinational power estimation, aqui eh o nosso caso with General delay model.
Using Symbolic Sampling, #vectors = 100
Network: aoi21_100v, Power = 0.690331e-06 (uW) assuming 20 MHz clock and Vdd =
5V***** tambem aqui
CPU time=0.15s
```

Nível Elétrico

Software under License
Copyright Mentor Graphics Corporation

***** ANALYSIS

***** 0 error(s).

***** 0 warning(s).

***** GENERATION ...

***** 0 error(s).

***** 0 warning(s).

INFORMATION ABOUT COMPILATION...

Memory space allocated (bytes): 440124
16 elements
10 nodes
4 input signals

Eldo VERSION : ELDO v5.8_1.1 Production Mon Apr 20 08:22:17 GMT 2004

*** DATE: 3-Oct-2005 22:53:58

*** TITLE: NO_TITLE

TEMPERATURE : 27.000000 degrees C

Performing DC analysis...

--> Partitioning circuit...

> DC CPU TIME 0s 020ms <

DC:1 iterations FOR DC analysis

| | |
|-------|------------|
| 5 | 5.0000E+00 |
| A | 6.7965E-08 |
| AA1 | 5.0000E+00 |
| B | 5.0000E+00 |
| BB1 | 0.0 |
| C | 6.7965E-08 |
| CC1 | 5.0000E+00 |
| Y | 5.0000E+00 |
| _1-X2 | 5.0000E+00 |
| _2-X2 | 3.3752E-08 |

TOTAL POWER DISSIPATION: 2.5170E-10 WATTS

Eldo NEWTON: VNTOL=1.000000e-06 RELTOL=1.000000e-03

Compute from 0.000000 Nano to 5.000000E+03 Nano

```
.....
Simulation progress      : 10%
Elapsed CPU time        : 0h 0mn 0s 970
.....
Simulation progress      : 20%
Elapsed CPU time        : 0h 0mn 2s 130
.....
Simulation progress      : 30%
Elapsed CPU time        : 0h 0mn 3s 230
.....
Simulation progress      : 40%
Elapsed CPU time        : 0h 0mn 4s 400
.....
Simulation progress      : 50%
Elapsed CPU time        : 0h 0mn 5s 260
.....
Simulation progress      : 60%
Elapsed CPU time        : 0h 0mn 6s 420
.....
Simulation progress      : 70%
Elapsed CPU time        : 0h 0mn 7s 500
.....
Simulation progress      : 80%
Elapsed CPU time        : 0h 0mn 8s 660
.....
Simulation progress      : 90%
Elapsed CPU time        : 0h 0mn 9s 510
.....
Simulation progress      : 100%
Elapsed CPU time        : 0h 0mn 10s 660
```

***>Current simulation completed

TOT_POWER = 6.9141E-07

SIMULATION INFORMATION

memory size allocated in bytes 797389

Latency: 0.000000%

average number of iterations: 0.841735

nb of components: 16

nb of nodes: 10

nb of MOS or BIP calls: 186285

Number of steps computed: 2652

>CPU TIME 10s 660ms <

>GLOBAL CPU TIME 10s 780ms <

>GLOBAL ELAPSED TIME 26s <

Anexo 3

Circuitos Complexos em descrição *.blif* apresentados para validar o método proposto:

```
.model complex_sd1
.inputs a b c d e f g
.outputs y
.gate ao121 a1=a a2=b b1=c O=n
.gate oai22 a1=d a2=e b1=f b2=g O=m
.gate ao121 a1=a a2=n b1=m O=y
.end

.model complex_sd2
.inputs a b c d e f
.outputs y
.gate ao122 a1=a a2=b b1=d b2=c O=n
.gate oai22 a1=c a2=d b1=e b2=f O=m
.gate ao121 a1=n a2=m b1=f O=x
.gate oai22 a1=c a2=x b1=n b2=m O=y
.end

.model complex_sd3
.inputs a b c d e f
.outputs y
.gate ao122 a1=a a2=b b1=d b2=c O=n
.gate oai21 a1=c a2=d b1=e b2=f O=m
.gate ao121 a1=n a2=m b1=f O=x
.gate oai22 a1=c a2=x b1=n b2=m O=o
.gate oai 221 a1=a a2=m b1=o b2= a c1=d O=x
.end

.model complex_sd4
.inputs a b c d e f g h i
```

```
.outputs x y
.gate ao132 a1=a a2=b a3=i b1=c b2=e O=n
.gate oai22 a1=a a2=c b1=f b2=g O=s
.gate ao121 a1=h a2=i b1=b O=m
.gate oai22 a1=b a2=a b1=d b2=g O=r
.gate oai22 a1=n a2=f b1=i b2=c O=t
.gate ao121 a1=n a2=s b1=r O=v
.gate oai22 a1=n a2=r b1=m b2=n O=y
.gate oai21 a1=t a2=v b1=s O=x
.end
```

```
.model complex_sd5
.inputs a b c d e f g h i
.outputs x y z
.gate ao122 a1=a a2=b b1=c b2=e O=n
.gate oai22 a1=a a2=c b1=f b2=g O=m
.gate ao121 a1=h a2=i b1=b O=m
.gate oai21 a1=b a2=a b1=d O=r
.gate oai32 a1=n a2=f a3=i b1=c b2=e c1=g O=t
.gate ao121 a1=n a2=s b1=r O=v
.gate oai22 a1=n a2=r b1=m b2=n O=y
.gate oai21 a1=t a2=v b1=s O=x
.gate oai22 a1=t a2=n b1=r b2=m O=z
.end
```

```
.model complex_sd6
.inputs a b c d e f g h i j
.outputs x y z p
.gate ao122 a1=a a2=b b1=c b2=e O=n
.gate oai22 a1=a a2=c b1=f b2=g O=s
.gate ao121 a1=h a2=i b1=b O=m
.gate oai22 a1=b a2=a b1=d b2=g O=r
.gate oai221 a1=n a2=f b1=i b2=c c1=e O=t
```

```
.gate aoi21 a1=n a2=s b1=r O=v
.gate oai22 a1=n a2=r b1=m b2=n O=y
.gate oai21 a1=t a2=v b1=s O=x
.gate oai22 a1=t a2=n b1=r b2=m O=z
.gate oai21 a1=t a2=t b1=j O=p
.end
```

```
.model complex_sd7
.inputs a b c d e
.outputs y x
.gate aoi21 a1=a a2=b b1=c O=t
.gate oai21 a1=c a2=d b1=c O=m
.gate aoi21 a1=c a2=d b1=a O=n
.gate oai22 a1=m a2=t b1=d b2=e O=y
.gate aoi22 a1=t a2=m b1=e b2=n O=x
.end
```

```
.model complex_sd8
.inputs a b c d f g h i
.outputs n s
.gate aoi22 a1=f a2=g b1=c b2=a O=k
.gate aoi21 a1=b a2=c b1=d O=l
.gate oai22 a1=e a2=b b1=i b2=h O=w
.gate aoi22 a1=c a2=a b1=i b2=f O=q
.gate aoi21 a1=d a2=h b1=b O=u
.gate oai321 a1=k a2=w a3=q b1=u b2=v O=m
.gate aoi21 a1=a a2=d b1=f O=v
.gate aoi21 a1=q a2=v b1=l b2=q O=n
.gate aoi21 a1=u a2=v b1=w O=s
.gate oai21 a1=k a2=w b1=u O=p
.gate oai22 a1=m a2=n b1=r b2=s O=x
.gate aoi22 a1=m a2=n b1=r b2=s O=y
.end
.model complex_sd9
```

```
.inputs a b c d e
.outputs y
.gate aoi22 a1=a a2=b b1=d b2=e O=n
.gate oai21 a1=c a2=d b1=a O=m
.gate aoi21 a1=a a2=b b1=c b2=d O=p
.gate oai21 a1=p a2=m b1=n O=y
.end

.model complex_sd10
.inputs a b c d e
.outputs y
.gate aoi32 a1=a a2=b a3=c b1=d b2=e O=n
.gate oai22 a1=c a2=e b1=b b2=a O=m
.gate aoi21 a1=a a2=c b1=c O=p
.end
```

Anexo 4

Publicações

GHISSONI, S., MARTINS, J.B. S, Capacitance Estimation and Power Consumption in CMOS Complex Gate at Logic-Level, 19th SOUTH SYMPOSIUM ON MICROELETRONICS, 19., 2004, **Proceedings ...** Ijuí, p75-79, 2004.

GHISSONI, S., MARTINS, J.B. S., Estimativa de Capacitância e Consumo de Potência de Portas Lógicas Complexas ao Nível Lógico , XI TALLER IBERCHIP, 11., 2005, Salvador. **Proceedings ...** Salvador: TALLER IBERCHIP, p. 178-179, 2005.

GHISSONI, S., MARTINS, J.B. S, A Methodology for Estimation of Capacitance And Power in Combinational CMOS Complex Gates, IFIP INTERNATIONAL CONFERENCE ON VERY LARGE INTEGRATION SCALE, 15., 2005, Perth. **Proceedings ...**, Perth: Cova University, p 377-382, 2005.

GHISSONI, S., MARTINS, J.B. S, OLIVEIRA L. L. The New Methodology in the Power Estimation in CMOS Combinational Circuits at Logic Midwest Simposym Level, MWSCAS IEEE INTERNATIONAL-MIDWEST SYMPOSIUM ON CIRCUITS AND SYSTEMS, 48., 2005, Cincinnati. **Proceedings ...** New York: IEEE Circuits and Systems Society: p. sn, 2005.