

**UNIVERSIDADE FEDERAL DE SANTA MARIA
CENTRO DE TECNOLOGIA
PROGRAMA DE PÓS-GRADUAÇÃO EM ENGENHARIA ELÉTRICA**

**MODULADOR SI- Σ Δ CASCATA 2-2 EMPREGANDO
ARQUITETURA DE BAIXA DISTORÇÃO APLICADO À
CONVERSÃO AD**

DISSERTAÇÃO DE MESTRADO

Rafael Tambara Blumer

Santa Maria, RS, Brasil

2012

**MODULADOR SI- Σ Δ CASCATA 2-2 EMPREGANDO
ARQUITETURA DE BAIXA DISTORÇÃO APLICADO À
CONVERSÃO AD**

por

Rafael Tambara Blumer

Dissertação apresentada ao Programa de Pós-Graduação em Engenharia Elétrica, Área de Concentração em Processamento de Energia, da Universidade Federal de Santa Maria (UFSM, RS), como requisito parcial para obtenção do grau de **Mestre em Engenharia Elétrica.**

Orientador: Prof. João Baptista dos Santos Martins

Santa Maria, RS, Brasil

2012

Dados Internacionais de Catalogação-na-Publicação (CIP)

B658m Blumer, Rafael Tambara

Modulador SI- $\Sigma\Delta$ cascata 2-2 empregando arquitetura de baixa distorção aplicado à conversão AD / por Rafael Tambara Blumer – 2012.

113f. : il. ; 30 cm

Orientador: João Baptista dos Santos Martins

Coorientador: Cesar Augusto Prior

Dissertação (Mestrado) – Universidade Federal de Santa Maria, Centro de Tecnologia, Programa de Pós-Graduação em Engenharia Elétrica, RS, 2012.

1. Engenharia Elétrica 2. Conversão AD 3. Modulador 4. Sigma-Delta
5. Corrente Chaveada 6. Tecnologia CMOS I. Martins, João Baptista dos Santos II. Prior, Cesar Augusto III. Título.

CDU: 621.314

Ficha catalográfica elaborada por Simone G. Maisonave- CRB 10/1733

Biblioteca Central da UFSM

REFERÊNCIA BIBLIOGRÁFICA

TAMBARA BLUMER, Rafael. **Modulador SI- $\Sigma\Delta$ cascata 2-2 empregando arquitetura de baixa distorção aplicado à conversão AD**. 2012. 113f. Dissertação de Mestrado – Universidade Federal de Santa Maria, Santa Maria.

Universidade Federal de Santa Maria
Centro de Tecnologia
Programa de Pós-Graduação em Engenharia Elétrica

A Comissão Examinadora, abaixo assinada,
aprova a Dissertação

**MODULADOR SI- Σ Δ CASCATA 2-2 EMPREGANDO ARQUITETURA
DE BAIXA DISTRORÇÃO APLICADO À CONVERSÃO AD**

elaborada por

Rafael Tambara Blumer

como requisito parcial para obtenção do grau de
Mestre em Engenharia Elétrica

COMISSÃO EXAMINADORA:

João Baptista dos Santos Martins, Dr (UFSM)
(Presidente/Orientador)

Cesar Augusto Prior, Dr. (UFSM)
(Co-orientador)

Altamiro Amadeu Susin, Dr. (UFRGS)

Cesar Ramos Rodrigues, Dr. (UFSM)

Santa Maria, 16 de Março de 2012

Para Soleda e Luis Carlos, meus pais.

AGRADECIMENTOS

Ao professor Dr. João Baptista dos Santos Martins, pelo conhecimento e experiências transmitidas e por me conceder a oportunidade de realizar este trabalho sob sua orientação.

Ao professor Dr. Cesar Augusto Prior, por todo o trabalho de co-orientação, conhecimentos transmitidos e longas discussões sobre o tema.

Ao professor Dr. Cesar Ramos Rodrigues, pelos primeiros ensinamentos transmitidos na área de microeletrônica, e por possibilitar a fabricação do chip desta dissertação junto a XFAB, sem a qual este trabalho não poderia ter sido realizado.

A todos participantes do Gmicro, pelos ensinamentos compartilhados e momentos de confraternização. Em especial ao colega Paulo Aguirre, pelas revisões de artigos e sugestões sobre o tema.

À minha namorada Marcell Brandenburg, pelo companheirismo, compreensão e apoio que muito ajudaram a realização deste trabalho.

Aos meus pais Luis Carlos Blumer e Soleda Tambara Blumer, por oportunizar todos os recursos, as palavras de sabedoria e apoio que muito influenciaram a minha vida pessoal e profissional.

É melhor tentar e falhar, que
preocupar-se e ver a vida passar; é
melhor tentar, ainda que em vão, que
sentar-se fazendo nada até o final. Eu
prefiro na chuva caminhar, que em dias
tristes em casa me esconder. Prefiro ser
feliz, embora louco, que em
conformidade viver.

(Martin Luther King)

RESUMO

Dissertação

Programa de Pós-Graduação em Engenharia Elétrica

Universidade Federal de Santa Maria, RS, Brasil

MODULADOR SI- $\Sigma\Delta$ CASCATA 2-2 EMPREGANDO ARQUITETURA DE BAIXA DISTORÇÃO APLICADO À CONVERSÃO AD

AUTOR: RAFAEL TAMBARA BLUMER

ORIENTADOR: JOÃO BAPTISTA DOS SANTOS MARTINS

CO-ORIENTADOR: CESAR AUGUSTO PRIOR

Local da Defesa e Data: Santa Maria, 16 de Março de 2012.

A crescente complexidade dos circuitos digitais força o uso de novas tecnologias de fabricação. A mudança para tecnologias mais avançadas tem como vantagem a redução do tamanho do circuito e a diminuição do consumo de energia aliados ao aumento da velocidade de operação. Grande parte das operações envolvendo processamento de sinais migraram para o domínio digital, portanto, blocos básicos como conversores AD são necessários em sistemas de sinal misto. Conversores AD com base em moduladores do tipo Sigma-Delta ($\Sigma\Delta$) destacam-se entre as arquiteturas existentes por cobrir uma ampla gama de aplicações. A implementação mais usual de moduladores $\Sigma\Delta$ em tecnologia CMOS baseia-se na técnica de capacitor-chaveado (SC), devido, principalmente, à sua elevada performance e excelente linearidade. Entretanto, a contínua redução das dimensões físicas dos transistores tem exigido uma redução proporcional dos níveis de tensão de alimentação, dificultando o projeto de circuitos analógicos com topologias convencionais. Para contornar este problema, técnicas de projeto de circuitos analógicos compatíveis com essas novas tecnologias foram desenvolvidas. Este é o caso da técnica conhecida como corrente chaveada (SI), que utiliza amostras sob a forma de corrente para a representação de sinais. Neste trabalho é apresentado o projeto de um modulador $\Sigma\Delta$ em modo corrente (SI- $\Sigma\Delta$) empregando uma arquitetura orientada à aplicações de baixa distorção. Esta arquitetura tem como principal característica a reduzida sensibilidade às não-linearidades do integrador, conduzindo a uma significativa melhora no valor da relação sinal-ruído (SNR) e faixa de excursão dinâmica (DR), além de permitir a concepção de moduladores $\Sigma\Delta$ de elevada ordem intrinsecamente estáveis. Para demonstrar e comprovar a performance da estratégia empregada, baseada na combinação de técnicas de circuito e de topologia, projetou-se um modulador SI- $\Sigma\Delta$ cascata 2-2 na tecnologia XFAB CMOS XC06. Simulações elétricas pós-*layout* revelam que o SNR atinge um valor máximo de 80 dB e uma faixa dinâmica de aproximadamente 87 dB, inferindo uma resolução efetiva de 14,15 bits considerando uma banda de interesse de 20 kHz. Por fim, o protótipo desenvolvido foi enviado para fabricação e será alvo de testes em laboratório quando retornar.

Palavras-chave: Conversor AD, Modulador, Sigma-Delta, Corrente Chaveada, CMOS.

ABSTRACT

Master's Dissertation
Electrical Engineering Course
Universidade Federal de Santa Maria, RS, Brasil

MODULADOR SI- $\Sigma\Delta$ CASCATA 2-2 EMPREGANDO ARQUITETURA DE BAIXA DISTORÇÃO APLICADO À CONVERSÃO AD

(A CASCADE 2-2 SI- $\Sigma\Delta$ MODULATOR USING A LOW-DISTORTION TOPOLOGY APPLIED TO AD CONVERSION)

AUTHOR: RAFAEL TAMBARA BLUMER

ADVISOR: JOÃO BAPTISTA DOS SANTOS MARTINS

CO-ADVISOR: CESAR AUGUSTO PRIOR

Place and Date: Santa Maria, March 16th, 2012.

The increasing complexity of digital circuits forces the use of new technologies. New technologies have the advantage of reducing the circuit size and power consumption coupled with operation speed increase. Most of signal processing operations migrated to the digital domain, thus, basic blocks like AD converters are needed in mixed-signal systems. Analog-to-digital converters based on Sigma-Delta ($\Sigma\Delta$) modulators stand out among the existing architectures because they cover a wide range of applications. The most common implementation of $\Sigma\Delta$ modulators in CMOS technology is based in switched-capacitor technique (SC), mainly due to its high performance and excellent linearity. However, the continuous reduction in the transistor physical dimensions requires a proportional reduction in the supply voltage levels, making difficult the design of analog circuits with conventional topologies. To overcome this problem, design techniques to analog circuits compatible with these new technologies were developed. This is the case of the technique known as switched-current (SI), which uses samples in the current domain to represent the signal information. This work presents the design of a switched-current Sigma-Delta modulator (SI- $\Sigma\Delta$) using an architecture oriented to low-distortion applications. The architecture's main characteristic is the reduced sensitivity to integrator nonlinearities, leading to a significant increase in the signal-to-noise ratio (SNR) and dynamic range (DR) values, moreover, it permits the design of high-order modulators intrinsically stable. To demonstrate and verify the performance of the used strategy, based on a combination of circuit techniques and topology, a cascade 2-2 SI- $\Sigma\Delta$ was designed in a CMOS XFAB XC06 technology. Post-layout simulations show that the SNR reaches a maximum value of 80 dB and a dynamic range of approximately 87 dB, implying an effective resolution of 14.15 bits considering 20 kHz bandwidth. The prototype was sent to manufacturing and will be subject to laboratory tests when it returns.

Keywords: AD Converter, Modulator, Sigma-Delta, Switched-Current, CMOS.

LISTA DE FIGURAS

Figura 1	Esquema básico de um conversor AD. a) Diagrama de blocos. b) Processamento do sinal.	24
Figura 2	Resolução versus velocidade de operação de conversores AD (ROSA; PEREZ-VERDU; RODRIGUEZ-VAZQUEZ, 2002).	25
Figura 3	Filtro <i>anti-aliasing</i> . a) Nyquist. b) Sobreamostrados.	26
Figura 4	Processo de quantização ideal. a) Função de transferência. b) Erro de quantização. c) Probabilidade de distribuição do ruído de quantização. d) Modelo linear do ruído de quantização.	27
Figura 5	Diagrama de blocos de um conversor AD $\Sigma\Delta$	29
Figura 6	Estrutura básica de um modulador $\Sigma\Delta$	29
Figura 7	Modulador $\Sigma\Delta$ de 1ª ordem.	32
Figura 8	Potência do erro de quantização em função do sinal de entrada (MEDEIRO et al., 2006.).	33
Figura 9	Modulador $\Sigma\Delta$ de 2ª ordem clássico.	33
Figura 10	Modelo Simulink do modulador 2ª ordem.	34
Figura 11	Espectro de saída de um modulador 2ª ordem.	34
Figura 12	Espectro das saídas dos integradores de um modulador 2ª ordem.	35
Figura 13	Topologia $\Sigma\Delta$ de baixa distorção.	36
Figura 14	Caminho do erro de quantização em topologias de baixa distorção.	38
Figura 15	Modelo Simulink do modulador 2ª ordem de baixa distorção.	39
Figura 16	Espectro da saída do modulador 2ª ordem em baixa distorção.	40
Figura 17	Espectro da saída dos integradores 1 e 2.	40
Figura 18	Espectro da saída dos integradores e do modulador.	41
Figura 19	Modulador $\Sigma\Delta$ cascata 2-2 de baixa distorção.	41
Figura 20	Modelo Simulink do modulador cascata 2-2.	45
Figura 21	Comparação entre as saídas Y_1 e Y_{out}	46
Figura 22	Princípio de operação de circuitos operando à corrente chaveada.	47
Figura 23	Primeira geração de células de memória de corrente. a) Versão que disponibiliza a corrente i_o no período ϕ_2 . b) Versão que disponibiliza i_o durante todo intervalo de tempo. c) Diagrama de fases.	48
Figura 24	Segunda geração de células de memória de corrente.	49
Figura 25	Bloco de atraso unitário SI.	50
Figura 26	Diagrama de blocos de um integrador não-inversor.	51
Figura 27	Integrador SI. a) Integrador não-inversor. b) Versão simplificada.	51
Figura 28	Arquitetura básica de um comparador de corrente.	52

Figura 29	Comparador SI: a) Saída simples; b) Saída diferencial.	53
Figura 30	Comparador SI com realimentação negativa.	53
Figura 31	Comparador SI destinado à operação com circuitos discretos.	54
Figura 32	Estrutura do conversor DA-SI: a) Saída simples. b) Saída diferencial. . .	55
Figura 33	Célula de memória de corrente.	56
Figura 34	Células de corrente em cascata. a) Fase ϕ_1 . b) Fase ϕ_2	58
Figura 35	Efeito cumulativo dos erros na célula SI. a) Fase ϕ_1 . b) Fase ϕ_2	63
Figura 36	Integrador de corrente.	64
Figura 37	Técnicas de circuito para reduzir g_o . a) Célula de memória com transistores <i>cascode</i> . b) Célula de memória com seguidor de emissor. c) Célula de memória <i>cascode-regulada</i>	67
Figura 38	Técnicas de circuito para incrementar g_i . a) Célula de memória <i>folded-cascode</i> . b) Célula de memória <i>folded-cascode</i> regulada. c) Célula de memória GGA. d) Célula de memória GGA regulada.	69
Figura 39	Compensação por chave <i>dummy</i>	71
Figura 40	Compensação por ZVT.	71
Figura 41	Compensação por S^2I	72
Figura 42	Célula de memória SI diferencial.	73
Figura 43	Topologia cascata 2-2 de baixa distorção.	75
Figura 44	Comparativo entre técnicas: integrador SC.	76
Figura 45	Comparativo entre técnicas: integrador SI.	77
Figura 46	Célula de memória simplificada.	78
Figura 47	Estratégias de circuito para reduzir ϵ_g . a) Célula de memória <i>cascode</i> regulado. b) Célula de memória <i>folded-cascode</i> regulado.	78
Figura 48	Célula de memória diferencial <i>folded-cascode</i> regulada com CMFB. . .	80
Figura 49	Integrador SI <i>folded-cascode</i> regulado diferencial com CMFB.	81
Figura 50	Simulação do integrador SI.	82
Figura 51	Comparador diferencial regenerativo SI.	83
Figura 52	Simulação do comparador SI.	84
Figura 53	Simulação do comparador SI - detalhe na diferença de magnitude entre as correntes de entrada.	84
Figura 54	Conversor DA-SI.	85
Figura 55	Resposta transiente do conversor DA-SI.	86
Figura 56	Circuito de referência bandgap.	87
Figura 57	Tensão V_{ref} em função da temperatura.	88
Figura 58	Esquemático do circuito gerador de fases.	88
Figura 59	Resultado de simulação do gerador de fases. a) Resposta transiente das fases de chaveamento. b) Detalhe durante a transição de estados.	89
Figura 60	Esquemático do modulador $\Sigma\Delta$ cascata 2-2.	90
Figura 61	Correntes nas saídas dos integradores do primeiro estágio.	91

Figura 62	<i>Bitstreams</i> de saída do primeiro e segundo estágio.	92
Figura 63	Densidade espectral de potência nas saídas dos integradores SI do primeiro estágio do modulador em cascata 2-2.	92
Figura 64	Espectro para vários sinais de entrada no modulador.	93
Figura 65	Faixa dinâmica: simulação elétrica	93
Figura 66	Técnicas de layout.	94
Figura 67	Layout do <i>chip</i>	96
Figura 68	Simulação pós- <i>layout</i> incluindo os parasitas do <i>padframe</i>	97
Figura 69	Faixa dinâmica do modulador SI- $\Sigma\Delta$ cascata 2-2: simulação pós- <i>layout</i>	97
Figura 70	Modulador $\Sigma\Delta$ cascata 2-2-2 de baixa distorção.	99
Figura 71	Espectro da saída Y_{out} do modulador cascata 2-2-2.	101
Figura 72	Encapsulamento cerâmico 68L CLDCC-J.	110

LISTA DE TABELAS

Tabela 1	Ganhos do modulador de 2 ^a ordem convencional.	35
Tabela 2	Ganhos do modulador de 2 ^a ordem de baixa distorção.	39
Tabela 3	Ganhos do modulador cascata 2-2.	44
Tabela 4	Dimensão dos transistores utilizados no integrador.	82
Tabela 5	Dimensão dos transistores utilizados no comparador.	83
Tabela 6	Componentes utilizados no conversor DA.	85
Tabela 7	Componentes utilizados na referência de tensão BGR.	87
Tabela 8	Processo CMOS XFAB 0,6 μ m.	95
Tabela 9	Resumo da performance do projeto do modulador cascata 2-2.	98
Tabela 10	Moduladores $\Sigma\Delta$ cascata implementados com SC.	99
Tabela 11	Ganhos do modulador cascata 2-2-2.	101
Tabela 12	Resumo da performance do projeto do modulador cascata 2-2-2.	102

LISTA DE ABREVIATURAS E SÍMBOLOS

ADC	<i>Analog-to-Digital Converter</i> - Conversor Analógico para Digital
BGR	<i>Bandgap Voltage Reference</i> - Tensão de Referência Bandgap
BJT	<i>Bipolar Junction Transistor</i> - Transistor de Junção Bipolar
BW	<i>Bandwidth</i> - Largura de Banda
CMOS	<i>Complementary Metal-Oxide-Semiconductor</i>
CTAT	Complementar à Temperatura Absoluta
DAC	<i>Digital-to-Analog Converter</i> - Conversor Digital para Analógico
DC	<i>Direct Current</i> - Corrente Contínua
DR	<i>Dynamic Range</i> - Faixa de Excursão Dinâmica
EDA	<i>Electronic Design Automation</i>
ENOB	<i>Effective Number Of Bits</i> - Número Efetivo de Bits
FS	<i>Sampling Frequency</i> - Frequência de Amostragem
IC	<i>Integrated Circuit</i> - Circuito Integrado
LSB	<i>Least Significant Bit</i> - Bit Menos Significativo
M	<i>Oversampling Rate</i> - Taxa de Sobreamostragem
MASH	<i>Multi-Stage Noise-Shaping</i>
OpAmp	<i>Operational Amplifier</i> - Amplificador Operacional
PSD	<i>Power Spectrum Density</i> - Densidade Espectral de Potência
PSRR	<i>Power Supply Rejection Ratio</i> - Taxa de Rejeição ao Ruído da Fonte
PTAT	Proporcional à Temperatura Absoluta
SC	<i>Switched-Capacitor</i> - Capacitor Chaveado
SFDR	<i>Spurious Free Dynamic Range</i>
SI	<i>Switched-Current</i> - Corrente Chaveada
SNR	<i>Signal-to-Noise Ratio</i> - Relação Sinal-Ruído
SNDR	<i>Signal-to-Noise and Distortion Ratio</i> - Relação sinal-ruído e distorção
TC	<i>Temperature Coefficient</i> - Coeficiente de Temperatura
TEMP	<i>Temperature</i> - Temperatura
VLSI	<i>Very-Large-Scale Integration</i>

Lista de Abreviaturas e Símbolos

Δ	<i>Quantization Level</i> - Nível de Quantização
$\Sigma\Delta$	Sigma-Delta
$\Sigma\Delta M$	Modulador Sigma-Delta

SUMÁRIO

1	INTRODUÇÃO	18
1.1	Revisão Bibliográfica	19
1.2	Objetivos gerais e específicos	22
1.3	Escopo e contribuição da proposta de dissertação	22
2	CONVERSÃO AD: MODULADORES $\Sigma\Delta$	24
2.1	Fundamentos da conversão AD	25
2.1.1	Amostragem	25
2.1.2	Quantização	27
2.2	Moduladores do tipo $\Sigma\Delta$	28
2.2.1	Arquitetura básica de um modulador $\Sigma\Delta$	29
2.2.2	Figuras de mérito	30
2.2.2.1	Relação Sinal-Ruído (SNR)	31
2.2.2.2	Faixa Dinâmica (DR) e Número Efetivo de Bits (ENOB)	31
2.2.3	Modulador $\Sigma\Delta$ de 1ª ordem	31
2.2.4	Modulador $\Sigma\Delta$ de 2ª ordem	33
2.3	Modulador $\Sigma\Delta$ em topologia de baixa distorção	35
2.3.1	Aumento da faixa dinâmica do sinal de entrada	37
2.3.2	Somente um DAC para realimentação	37
2.3.3	Arquiteturas MASH simplificadas	37
2.4	Modulador $\Sigma\Delta$ cascata 2-2 de baixa distorção	41
3	BLOCOS CONSTITUINTES DE MODULADORES SI-$\Sigma\Delta$	47
3.1	Princípios de operação da técnica SI: célula de memória	47
3.2	Integrador SI	50
3.3	Quantizadores SI	52
3.4	Conversor DA SI	54
4	MECANISMOS DE ERRO EM CIRCUITOS SI	56
4.1	Não-idealidades em circuitos à corrente chaveada	56
4.1.1	Erro de condutância	56
4.1.2	Erro de <i>settling</i>	59

4.1.3	Erro de injeção de carga	60
4.1.4	Efeitos cumulativos dos erros na célula de memória	62
4.1.5	Efeitos cumulativos dos erros no integrador de corrente	63
4.2	Técnicas de circuito para redução do erro de condutância finita ε_g	65
4.3	Técnicas de circuito para a redução do erro devido à injeção de carga ε_q	70
4.3.1	Compensação por chave <i>dummy</i>	70
4.3.2	Compensação por ZVT	71
4.3.3	Compensação por circuitos algorítmicos - S^2I	72
4.3.4	Compensação por circuitos diferenciais	72
5	PROJETO ELÉTRICO DO MODULADOR SI-$\Sigma\Delta$	75
5.1	Características da topologia	75
5.2	Similaridades e diferenças entre as implementações SC e SI	76
5.3	Projeto da célula de memória	77
5.4	Projeto do integrador	80
5.5	Projeto do comparador	83
5.6	Projeto do conversor DA	85
5.7	Projeto da referência de tensão bandgap	86
5.8	Circuito gerador de fases	88
5.9	Modulador $\Sigma\Delta$ cascata 2-2	89
5.10	Resultados da simulação elétrica do modulador	89
5.11	Cuidados necessários para <i>layout</i> do protótipo	94
5.11.1	Separação dos domínios analógicos e digitais	94
5.11.2	Barramento de sinais	95
5.11.3	Anéis de guarda	95
5.11.4	Técnicas de roteamento	95
5.12	Simulação elétrica pós-<i>layout</i> do modulador cascata 2-2	96
5.13	Moduladores SI-$\Sigma\Delta$ MASH de 6^a ordem	99
6	CONCLUSÕES	103
6.1	Proposta para trabalhos futuros	104
	Referências	105
	Apêndice A – DIAGRAMA DE PINAGEM DO CI	110
	Apêndice B – CANCELAMENTO LÓGICO DIGITAL	111

1 INTRODUÇÃO

O modulador Sigma-Delta ($\Sigma\Delta$) é uma das implementações mais populares para conversores analógico-digital (ADC) de alta resolução em tecnologias CMOS. Este tipo de ADC combina a redundância temporal de dados (sobreamostragem) e filtragem (modulação $\Sigma\Delta$) para reduzir o ruído de quantização presente dentro da banda de interesse. A combinação destas características resulta num ADC de alto desempenho, robusto e com menor sensibilidade às imperfeições do processo de fabricação se comparados aos conversores AD do tipo Nyquist (MEDEIRO; PÉREZ-VERDÚ; RODRÍGUEZ-VÁZQUEZ, 1999).

A maior parte dos moduladores $\Sigma\Delta$ reportados na literatura utilizam a técnica de capacitor-chaveado (SC) como base para suas implementações. No entanto, a necessidade de manter ou melhorar o desempenho dos circuitos a medida que as técnicas de fabricação reduzem gradativamente o comprimento de canal dos transistores tem motivado a exploração de técnicas de projeto de circuitos analógicos compatíveis com estas tecnologias (RODRIGUEZ-CALDERON et al., 2006). Este é o caso da técnica conhecida como corrente chaveada (SI), que durante as últimas duas décadas tem sido utilizada para implementar ADCs em tecnologias orientadas a circuitos VLSI sem necessidade de etapas extras durante o processo de fabricação (ROSA et al., 1996).

A técnica SI utiliza amostras no formato de corrente para representar os sinais e não necessita de capacitores lineares de polisilício. Desta forma, tanto o processamento digital de sinais quanto o analógico podem ser implementados diretamente em processo CMOS padrão de baixo custo e reduzida tensão de alimentação (LEE; CHENG, 2006). Se comparado à técnica SC, circuitos SI são mais atraentes devido as seguintes características: não requerem capacitores lineares e amplificadores operacionais (opamp), possuem estrutura simples e tem capacidade de operar em baixa tensão (GAO et al., 2001). Na prática, a operação destes circuitos é degradada por diversos mecanismos de erros, tais como: erro de transmissão, erro de injeção de carga e de *settling time*. Visando a supressão destas não-idealidades, algumas estratégias de projeto tanto à nível de sistema quanto de circuito podem ser utilizadas para minimizar estas não-idealidades.

A seguir, uma revisão bibliográfica e a contextualização dentro do cenário atual de projeto de moduladores SI- $\Sigma\Delta$ é apresentada. Com base neste contexto o trabalho de dissertação será enquadrado e os objetivos gerais e específicos enfatizados.

1.1 Revisão Bibliográfica

A constante evolução dos processos de fabricação de circuitos integrados (CI) tem permitido a integração de circuitos analógicos e digitais num mesmo substrato (YOUNG, 2010). A combinação dos diferentes domínios num mesmo substrato resulta nos circuitos denominados de sinais mistos. Estes circuitos se beneficiaram do avanço da tecnologia em função da redução do custo de fabricação, tamanho e consumo, proporcionando maior eficiência devido à maior interação entre os domínios analógico e digital.

Nestes sistemas, as interfaces normalmente utilizadas incluem elementos de conversão de dados, condicionamento de sinal, amplificação, *driving*, etc. No que diz respeito à conversão de dados do tipo AD, diversas técnicas e arquiteturas estão disponíveis e amplamente difundidas na literatura (PLASSCHE, 2003).

Dentre estas técnicas encontram-se os conversores AD com base em moduladores do tipo Sigma-Delta ($\Sigma\Delta$), que se destacam entre as arquiteturas existentes por cobrir uma ampla gama de aplicações. Estes conversores exibem intrínseca capacidade de trocar resolução por velocidade de processamento, o que torna a implementação de moduladores $\Sigma\Delta$ bastante adequada a sistemas de sinais mistos, especialmente aqueles sistemas que envolvem sinais de baixa a média largura de banda. De acordo com a literatura, a maior parte dos relatos de conversores AD do tipo $\Sigma\Delta$ empregam a técnica conhecida como capacitor-chaveado (SC) (TAN, 1996b), em tecnologias que disponibilizam uma vasta biblioteca de componentes analógicos otimizados para tecnologia de fabricação CMOS.

Dentre estes componentes podemos citar os capacitores formados por duas camadas de polisilício (*poly-poly*) e resistores de alta densidade compostos por materiais de alta resistividade. No entanto, a adição de tais módulos durante o processo de fabricação do CI elevam os custos de produção se comparados à uma implementação que utiliza apenas o *core*¹ da tecnologia CMOS orientada à concepção de circuitos puramente digitais. Para evitar tal sobrecarga no custo do projeto, os blocos analógicos, em particular o modulador $\Sigma\Delta$, deve ser implementado apenas com os dispositivos primitivos disponíveis dentro do *design kit* do processo CMOS considerado.

Para evitar o uso de componentes analógicos especiais desenvolveu-se uma técnica de projeto de circuitos analógicos conhecida como corrente chaveada (SI) (HUGHES; BIRD; MACBETH, 1989). Esta técnica de projeto não exige o emprego de capacitores lineares e amplificadores operacionais, no entanto, requer um bom casamento² (*matching*) entre os transistores MOS que constituem pares diferenciais e espelhos de corrente.

¹Neste contexto a palavra *core* subentende o conjunto mínimo de módulos necessários para a prototipação de um circuito integrado.

²O valor de *matching* entre componentes depende da tecnologia utilizada.

Esta técnica utiliza o transistor MOS como elemento fundamental para implementar as operações de atraso e escalonamento de sinais. Devido à natureza capacitiva da porta do transistor MOS, é possível armazenar uma tensão na capacitância C_{gs} durante a fase de amostragem, e durante a fase de retenção, memorizar e manter constante a corrente entre dreno-fonte (I_{ds}) anteriormente amostrada. Desta forma, pode-se transmitir e aplicar ganhos nestas correntes usando apenas transistores MOS, garantindo uma compatibilidade total com a tecnologia CMOS padrão.

Além do mencionado, a técnica SI oferece outras vantagens. De um lado, pelo fato da informação ser transmitida sob forma de corrente (ao invés de tensões), a excursão dinâmica não é limitada diretamente pela tensão de alimentação. Esta característica de operação torna a técnica SI adequada às aplicações envolvendo baixas tensões de alimentação. Por outro lado, a técnica SI não requer opamps, conseqüentemente, altas velocidades podem ser alcançadas com um baixo consumo de energia (TOUMAZOU et al., 1993).

Por tais motivos, moduladores SI- $\Sigma\Delta$ se tornaram foco de pesquisa durante as últimas duas décadas. Os primeiros passos dentro deste campo de pesquisa focaram o projeto de moduladores $\Sigma\Delta$ de 2ª ordem (TAN, 1995a, 1996a; CRAWLEY; ROBERTS, 1992; ZHU; TENHUNEN, 1998). As implementações descritas em (TAN, 1995a, 1996a) tem como base a primeira geração de células de memória de corrente (HUGHES; BIRD; MACBETH, 1989), enquanto as referências (CRAWLEY; ROBERTS, 1992; ZHU; TENHUNEN, 1998) focalizaram a segunda geração de células de memória de corrente (HUGHES; MACBETH; PATTULLO, 1990). Os moduladores citados anteriormente sofreram forte influência dos mecanismos de erros³ inerentes à operação de circuitos em modo corrente. Estes mecanismos de erro provocaram uma acentuada queda de desempenho nos moduladores SI- $\Sigma\Delta$, e conseqüentemente, uma baixa performance se comparados às implementações que utilizam a técnica de capacitor-chaveado.

Visando minimizar tal diferença de performance, estratégias mais complexas e eficazes de redução de erros SI foram aplicadas às células de memória de corrente, tal como mostram os trabalhos descritos em (SUNG; CHANG; LIN, 2005; SUNG et al., 2006, 2012). Estes trabalhos possuem características comuns, como a utilização de estratégias de realimentação, para diminuir a impedância de entrada das células de memória SI, e circuitos de controle e manipulação do sinal de modo comum, para reduzir o erro de *offset* presente na saída da célula. Adicionalmente, o circuito é replicado e ligado de forma diferencial para cancelar as componentes de erro provenientes do erro de injeção de carga nas capacitâncias parasitas dos transistores de memória. Como resultado, a performance dos moduladores SI- $\Sigma\Delta$ foi melhorada, no entanto, não o bastante para atingir o mesmo patamar de excelência do seu análogo projetado com a técnica SC, conforme apresentado em (SUNG; YU; YAO, 2008).

³As origem e efeitos dos mecanismos de erro são estudados e modelados em (TAN, 1997; ABUELMA'ATTI, 1998; MARTINS; DIAS, 1998; HELFENSTEIN; MOSCHYTZ, 1998).

Implementações de moduladores $\Sigma\Delta$ de ordem elevada ($N > 2$) também já foram foco de estudo. As referências (TAN, 1995b; TAN et al., 1996) apresentam o projeto e implementação de moduladores $\Sigma\Delta$ cascata de 4ª ordem. Em (TAN, 1995b), o autor utilizou técnicas de compensação com base em transistores *cascode* e dupla amostragem (S^2I) visando a redução de erros SI. Já em (TAN et al., 1996), o autor otimizou a excursão dos sinais de corrente dentro dos integradores através de um escalonamento apropriado dos ganhos dos integradores e da malha de realimentação. Apesar disso, os dois trabalhos apresentados não conseguiram tirar proveito da elevada ordem da estrutura, obtendo baixos valores para a faixa de excursão dinâmica (DR) e resolução efetiva de bits (ENOB), devido principalmente ao efeito do ruído térmico no sistema.

Já o trabalho reportado em (RODRIGUEZ-CALDERON et al., 2006) apresenta o projeto de um modulador SI- $\Sigma\Delta$ cascata 2-1-1 reconfigurável para atender diferentes padrões de telecomunicações (GSM, Bluetooth e WCDMA). Nesta implementação, o autor realiza modificações tanto à nível de circuito (na célula de memória de corrente) quanto de arquitetura (modificando a ordem da topologia) para atingir diferentes requisitos utilizando a mesma frequência de chaveamento. No entanto, o trabalho limitou-se apenas a simulações elétricas no Hspice. Nenhum protótipo, nem mesmo um *layout* foi desenvolvido.

Outro trabalho reportando o projeto de um modulador $\Sigma\Delta$ cascata 2-1-1 é descrito em (MASMOUDI et al., 2007). Apesar de ser capaz de operar em alta frequência, $f_s = 80$ MHz, o autor restringiu seu esforço de projeto somente à célula de memória de corrente, obtendo resultados modestos.

Até aqui, todos os projetos mencionados, independentemente da ordem do modulador, empregaram moduladores com a estrutura conhecida como cascata de integradores com realimentação distribuída (CIFB). No entanto, no ano de 2010, uma abordagem diferente envolvendo o projeto de moduladores SI- $\Sigma\Delta$ foi apresentada em (PRIOR; RODRIGUES, 2010). De acordo com esta proposta, que utiliza uma topologia de realimentação em avanço denominada *feedforward*⁴, os integradores de corrente não mais processariam o sinal de entrada, evitando desta maneira a geração de componentes de distorção harmônica provenientes do sinal de entrada em função das não-idealidades do bloco integrador. A idéia foi comprovada através da implementação de um modulador $\Sigma\Delta$ diferencial de 2ª ordem e os resultados apresentados em (PRIOR, 2009). Embora sejam claras as vantagens desta nova proposta, a utilização de células de memória SI demasiadamente simples e sem maiores preocupações com os mecanismos de erros SI limitaram a performance do sistema, uma vez que as não-idealidades do integrador SI ainda afetam o erro de quantização e causam adição ruído dentro da banda de interesse (SILVA, 2004).

⁴A topologia *feedforward* foi inicialmente desenvolvida para o projeto de moduladores $\Sigma\Delta$ com base na técnica SC.

1.2 Objetivos gerais e específicos

Além da sua inerente compatibilidade com tecnologias orientadas à concepção de circuitos mistos em tecnologia puramente digital, a técnica SI oferece as seguintes vantagens:

- Como a portadora do sinal encontra-se na forma de corrente, a excursão do sinal não é limitada pela tensão de alimentação, sendo assim, a técnica torna-se adequada para operação em baixa tensão.
- Devido a sua baixa impedância, circuitos SI são susceptíveis à aplicações de maior frequência do que circuitos SC.

Infelizmente, uma das principais desvantagens da técnica SI são as não-linearidades da célula de memória SI, sendo estas responsáveis pela distorção harmônica (ROSA et al., 2004). Para contornar este problema estratégias empregando topologias de baixa distorção, relatadas com sucesso na literatura tanto para circuitos SC (SILVA et al., 2001) quanto SI (PRIOR; RODRIGUES, 2010), podem ser utilizadas para aliviar o processamento de sinal dentro do integrador do modulador $\Sigma\Delta$, diminuindo as variações de condutância que dão origem à distorção harmônica. O objetivo deste trabalho é estender esta abordagem aos moduladores $\Sigma\Delta$ em cascata baseados na técnica de comutação de corrente, possibilitando o projeto de moduladores $\Sigma\Delta$ de elevada ordem e sobretudo intrinsecamente estáveis por construção.

Para isto será necessário, de uma forma mais específica, englobar os seguintes aspectos:

1. Estudo e revisão teórica dos modelos e arquiteturas de moduladores $\Sigma\Delta$.
2. Modelagem dos mecanismos de erros e degradação de performance, assim como estratégias de compensação.
3. Projetar e implementar o protótipo de um modulador SI na tecnologia CMOS XFAB 0,6 μm .
4. Comparar os resultados teóricos e práticos extraíndo as informações que forneçam contribuições de melhoria diante dos conhecimentos adquiridos.

1.3 Escopo e contribuição da proposta de dissertação

Este trabalho é dividido em 6 capítulos, nos quais são apresentados os princípios de operação, modelagem e dimensionamento de circuitos baseados na técnica de chaveamento de corrente para moduladores SI- $\Sigma\Delta$ com base em arquiteturas de baixa distorção.

No Capítulo 1, faz-se uma revisão bibliográfica e a contextualização dentro do cenário atual de projeto de moduladores SI- $\Sigma\Delta$. Posteriormente, o trabalho é enquadrado e os objetivos gerais e específicos enfatizados.

No Capítulo 2, apresenta-se o embasamento sobre os princípios de operação de conversores AD do tipo $\Sigma\Delta$ e a apresentação das topologias de moduladores normalmente empregadas para tal aplicação. Características de topologias convencionais, de baixa distorção e cascatas são revisadas destacando-se os prós e contras sob o ponto de vista operacional.

Posteriormente, no Capítulo 3, serão apresentados blocos construtivos com base na técnica de chaveamento de corrente destinados a moduladores $\Sigma\Delta$.

O capítulo 4 é dedicado à descrição dos mecanismos de erros responsáveis pela degradação de performance de circuitos SI. O efeito individual e acumulativo sobre a operação da célula de memória de corrente é modelado. Com base nisto, uma variedade de estratégias de compensação baseadas em técnicas de circuitos são apresentadas visando a minimização das fontes de erro.

Já no Capítulo 5 são abordadas as especificações iniciais para o desenvolvimento de um modulador SI- $\Sigma\Delta$ cascata de 4^a ordem. Estratégias de circuito visando a minimização de erros são aplicados à célula de memória e no integrador de corrente. Simulações elétricas pós-*layout* utilizando o Virtuoso-Spectre demonstram a performance do modulador proposto na tecnologia XFAB 0,6 μm . Detalhes sobre a elaboração do *layout* assim como um comparativo com outras referências de moduladores SI finalizam o capítulo.

O Capítulo 6 apresenta as conclusões obtidas até o momento, assim como propostas e sugestões para trabalhos futuros.

2 CONVERSÃO AD: MODULADORES $\Sigma\Delta$

Um conversor AD é um sistema que transforma sinais que são contínuos no tempo e na amplitude em sinais discretos no tempo e quantizados em amplitude. A figura 1-(a) apresenta os blocos básicos que constituem um conversor AD: filtro *anti-aliasing*, *sampling-and-hold* (S/H), quantizador e um codificador.

A operação destes blocos é ilustrada na figura 1-(b). Primeiramente, o sinal analógico, $x_a(t)$, passa através do filtro *anti-aliasing*, removendo as componentes espectrais acima de $f_s/2$. O sinal resultante, $x_b(t)$, é amostrado a uma frequência f_s por um circuito do tipo *sampling-and-hold*, originando um sinal discreto no tempo $x_{s,n} = x_b(nT_s)$. Após o sinal ser amostrado pelo *sampling-and-hold*, o quantizador mapeia as amplitudes contínuas $x_{s,n}$ em n níveis discretos, $x_{c,n}$. Por último, o codificador atribui um único número binário para cada nível do sinal de entrada amostrado, fornecendo uma saída digital $y_{d,n}$.

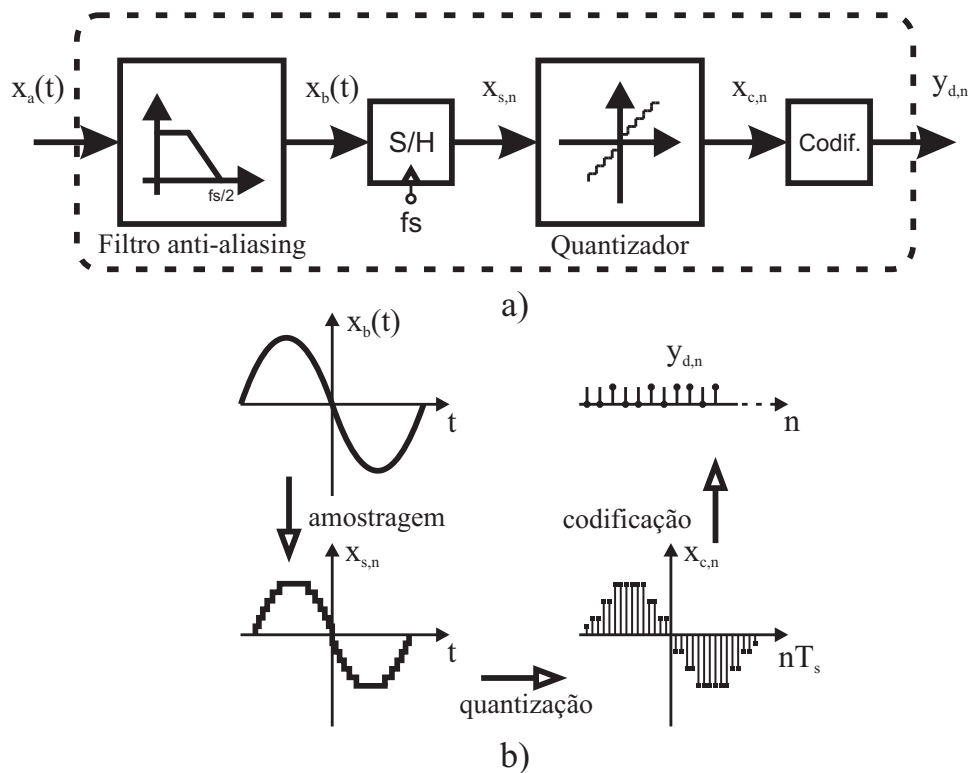


Figura 1: Esquema básico de um conversor AD. a) Diagrama de blocos. b) Processamento do sinal.

Como ilustrado na figura 1, os princípios fundamentais envolvidos durante uma conversão AD são: **amostragem** e **quantização**. Ambos processos realizam a conversão de contínuo para discreto, o primeiro no tempo e o segundo na amplitude. Estas duas transformações apresentam erros inerentes que limitam a performance do ADC, mesmo quando os blocos constituintes são considerados ideais (MEDEIRO et al., 2006.).

2.1 Fundamentos da conversão AD

2.1.1 Amostragem

Conversores AD podem ser classificados conforme o valor da razão entre a frequência de amostragem, f_s , e a taxa de Nyquist $f_d = 2BW$, onde BW é a largura de banda do sinal de interesse (MEDEIRO et al., 2006.). A relação entre estas duas quantidades é denominada taxa de sobreamostragem ($M = f_s/2BW$). De acordo com o teorema de Nyquist, M deve ser maior que a unidade para evitar a perda da informações durante o processo de amostragem. Baseando-se neste critério, aqueles ADCs com $M = 1$ são chamados de conversores do tipo **Nyquist**. De outra forma, se $M \gg 1$, os ADCs são denominados conversores do tipo **Sobreamostrados**.

A faixa de aplicação de diferentes arquiteturas de ADCs (Nyquist e Sobreamostrados) é salientada no gráfico da figura 2. Este gráfico apresenta as especificações normalmente requeridas em termos de resolução e velocidade para diferente aplicações. Para facilitar o entendimento, a figura é dividida em três regiões, mostrando a máxima resolução atingida para diferentes velocidades de conversão.

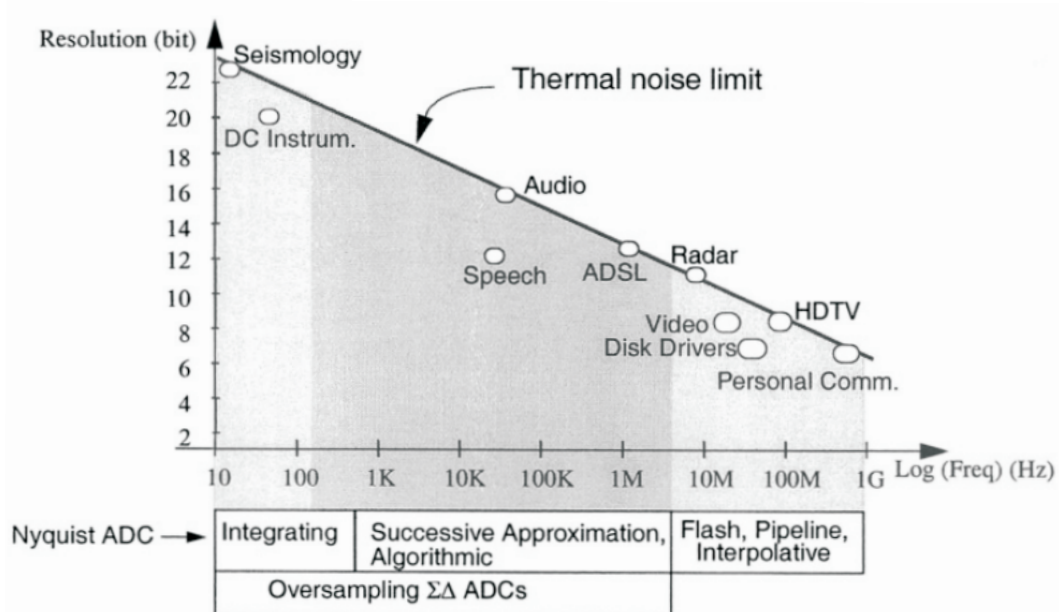


Figura 2: Resolução versus velocidade de operação de conversores AD (ROSA; PEREZ-VERDU; RODRIGUEZ-VAZQUEZ, 2002).

Observa-se que os conversores do tipo sobreamostrados cobrem uma ampla região de operação. Por este motivo, estes se tornaram muito populares durante as últimas duas décadas. Estes tipos de conversores contornam uma série de problemas encontrados em conversores do tipo Nyquist. Estes problemas são originados principalmente pela necessidade do emprego de filtros analógicos de alta precisão e uma grande sensibilidade às variações do processo de fabricação (MEDEIRO et al., 2006.).

De fato, os conversores que empregam a sobreamostragem tem como vantagem o relaxamento das especificações de projeto da parte analógica ao custo do emprego de filtros puramente digitais. Esta troca se torna bastante vantajosa quando o ADC é implementado num processo CMOS padrão de baixo custo, orientado à implementação de circuitos VLSI, onde o projeto da parte digital é efetuado de maneira semi-automática e eficaz, ocupando pouca área em silício. Por outro lado, o projeto de circuitos analógicos de grande precisão nestas tecnologias requer um maior esforço de projeto, principalmente à medida que a tensão de alimentação se torna cada vez menor.

Outra grande vantagem do emprego dos conversores AD do tipo sobreamostrados é o relaxamento das especificações do filtro *anti-aliasing*. Isto é apresentado na figura 3. Note que o filtro *anti-aliasing* para os conversores do tipo Nyquist possuem uma taxa de redução de ganho bastante abrupta perto da frequência de corte, induzindo o uso de filtros de elevada ordem. Adicionalmente, estes filtros introduzem distorções de fase nas componentes de frequências localizadas nas proximidades da região de corte. De modo contrário, os conversores sobreamostrados permitem a utilização de filtros *anti-aliasing* com especificações menos rigorosas na banda de transição, uma vez que não irá ocorrer sobreposição de sinais devido a replicação de espectros (efeito da amostragem) pelo fato de $f_s/2 \gg BW$.

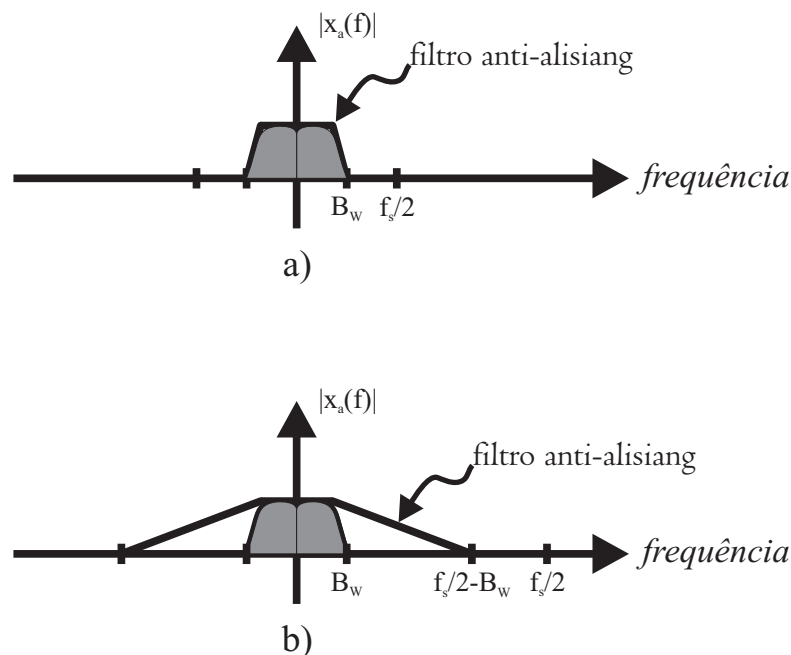


Figura 3: Filtro *anti-aliasing*. a) Nyquist. b) Sobreamostrados.

2.1.2 Quantização

Um quantizador é um sistema que realiza o mapeamento de amplitudes contínuas em um conjunto de amplitudes discretas. Diferentemente do processo de amostragem, a quantização de sinais discretos não é uma operação reversível (OPPENHEIM; SCHAFER, 1989). A figura 4-(a) apresenta a função de transferência característica de um quantizador ideal. Isto pode ser representado matematicamente por uma função não-linear como a descrita na equação 2.1

$$y = g_q \cdot x + e_q(x) \quad (2.1)$$

onde g_q denota o ganho do quantizador e e_q representa o erro de quantização. Este erro é função do sinal de entrada, x , como apresentado na figura 4-(b). Note que, se x é mantido dentro de um intervalo $[x_{min}, x_{max}]$, o erro de quantização é limitado também dentro de uma faixa dada por $[-\Delta/2, \Delta/2]$, sendo $\Delta = X_{fs}/(2^N - 1)$ a separação entre dois níveis de quantização consecutivos. Para sinais fora da faixa definida anteriormente, o valor absoluto do erro de quantização cresce linearmente. Esta situação é conhecida como saturação do quantizador.

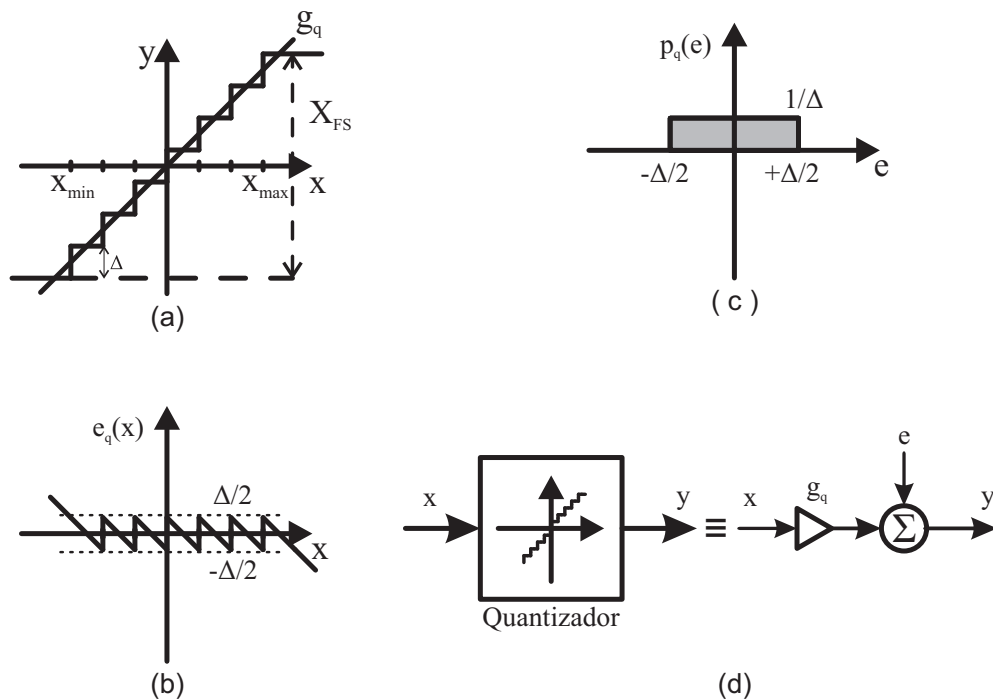


Figura 4: Processo de quantização ideal. a) Função de transferência. b) Erro de quantização. c) Probabilidade de distribuição do ruído de quantização. d) Modelo linear do ruído de quantização.

Se x varia de forma randômica entre uma amostra e outra dentro dos limites $[x_{min}, x_{max}]$ e o número de níveis de quantização for suficientemente grande, pode-se afirmar que o erro de quantização possui uma distribuição normal e uma média igual a zero dentro do intervalo $[-\Delta/2, \Delta/2]$, sendo a função de probabilidade do tipo retangular como mostra a figura 4-(c). Desta forma, o erro de quantização pode ser modelado como uma fonte de ruído branco e

normalmente denominado de ruído de quantização, conforme figura 4-(d). Como a potência do ruído de quantização é uniformemente distribuída dentro da faixa $[-f_s/2, f_s/2]$, a densidade espectral de potência é definida como:

$$S_E(f) = \frac{\sigma^2}{f_s} = \frac{1}{f_s} \left[\frac{1}{\Delta} \int_{-\Delta/2}^{+\Delta/2} e^2 \cdot de \right] = \frac{\Delta^2}{12f_s} \quad (2.2)$$

Consequentemente, o ruído presente dentro da banda passante do sinal é calculado da seguinte forma:

$$P_E(f) = \int_{-B_w}^{+B_w} S_E(f) \cdot df = \frac{\Delta^2}{12M} \quad (2.3)$$

Conforme equação 2.3, o ruído dentro da banda é reduzido a uma taxa de 3dB/oitava em função do aumento da taxa de sobreamostragem (M).

2.2 Moduladores do tipo $\Sigma\Delta$

É possível reduzir a quantidade de ruído dentro da banda de interesse além do que poderia ser extraído somente com o uso da sobreamostragem se o quantizador mencionado anteriormente for utilizado em malha fechada. Estes são os princípios básicos dos conversores AD do tipo $\Sigma\Delta$, primeiramente reportados na literatura em 1966 por (INOSE; AOKI; WATANABE, 1966).

A figura 5 apresenta uma representação em diagrama de blocos de um conversor do tipo $\Sigma\Delta$ passa-baixas incluindo os três componentes básicos: filtro *anti-aliasing*, modulador $\Sigma\Delta$ e filtro decimador digital. Após passar pelo filtro *anti-aliasing*, o sinal de entrada é sobreamostrado e quantizado pelo modulador. Adicionalmente, o modulador processa o erro de quantização (modelando o espectro) de tal forma que grande parte do ruído de quantização é removido da banda passante do sinal e deslocado para altas frequências, para então ser eliminado pelo filtro digital. Este último também é responsável por reduzir a frequência do sinal amostrado em f_s para um valor inferior¹ f_d . O resultado final é um sinal codificado representado por um grande número de bits à uma taxa f_d .

Dentre os blocos descritos anteriormente, o modulador $\Sigma\Delta$ é considerado a parte mais crítica do projeto em nível de complexidade, uma vez que a sobreamostragem simplifica os requerimentos do filtro *anti-aliasing* e o filtro decimador é um circuito puramente digital, cujo projeto é altamente estruturado e automatizado pelas ferramentas de EDA.

¹Processo denominado *downsampling*.

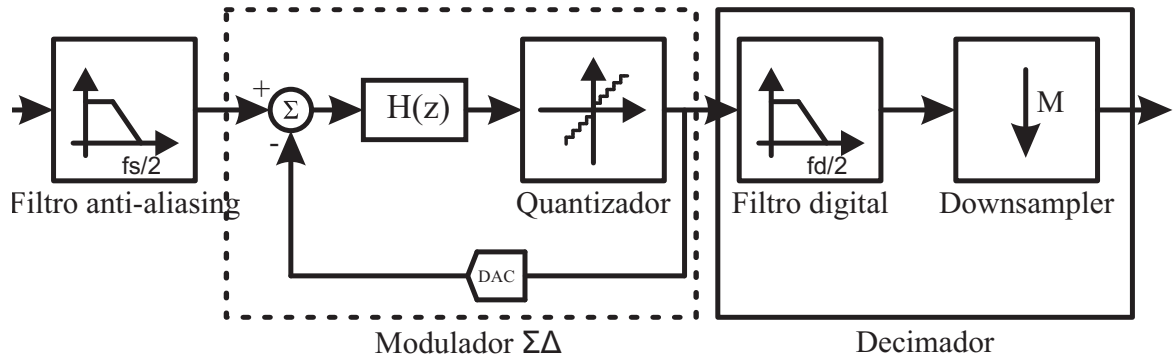


Figura 5: Diagrama de blocos de um conversor AD $\Sigma\Delta$.

2.2.1 Arquitetura básica de um modulador $\Sigma\Delta$

A figura 6-(a) apresenta a estrutura básica de um modulador $\Sigma\Delta$. A saída y , por meio da realimentação, é subtraída da entrada x , que foi amostrada a uma taxa muito superior à frequência de Nyquist. O sinal resultante é filtrado por $H(z)$ e transmitido ao quantizador. Este filtro $H(z)$ possui como características o ganho elevado dentro da faixa de frequências de interesse e o ganho reduzido fora dela.

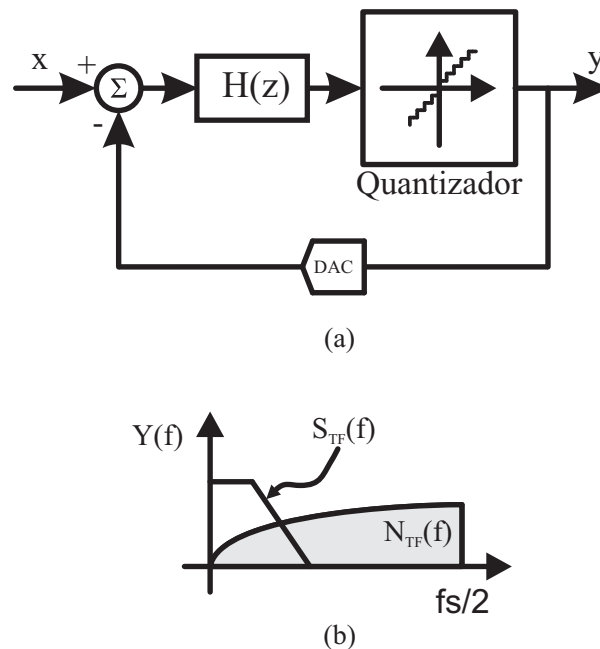


Figura 6: Estrutura básica de um modulador $\Sigma\Delta$.

Assumindo que o erro de quantização pode ser modelado por uma fonte de ruído branco, o quantizador pode ser substituído pelo modelo linear apresentado na figura 4-(d). Neste caso, o modulador da figura 6-(a) pode ser visto como um sistema de duas entradas, x e e , e uma única saída, y , cuja representação no domínio Z é dada por

$$Y(z) = STF(z)X(z) + NTF(z)E(z) \quad (2.4)$$

onde $X(z)$ e $E(z)$ são as funções de transferência representadas em transformadas Z do sinal de entrada e do ruído de quantização, respectivamente. $STF(z)$ é a função de transferência do sinal de entrada e $NTF(z)$ a função de transferência do ruído de quantização. Analisando o diagrama de blocos da figura 6-(a) pode-se deduzir que:

$$STF(z) = \frac{H(z)}{1 + H(z)} \quad (2.5)$$

$$NTF(z) = \frac{1}{1 + H(z)} \quad (2.6)$$

cujo comportamento dentro da faixa de interesse é definido como:

$$|STF(z)| = k \quad (2.7)$$

$$NTF(z) \rightarrow 0 \quad (2.8)$$

sendo k uma constante. Devido ao fato de $NTF \rightarrow 0$ para baixas frequências, o modulador é denominado passa-baixas. A figura 6-(b) ilustra o comportamento das funções STF e NTF em função da frequência.

Desta forma, têm-se uma modificação do espectro do erro de quantização devido a operação do filtro $H(z)$ expressa pela seguinte função:

$$S_Q(f) = S_E(f) |NTF(f)|^2 \quad (2.9)$$

Consequentemente, o erro de quantização dentro da banda passante do sinal passa a ser calculado da seguinte forma:

$$P_Q = \int_{-Bw/2}^{+Bw/2} S_Q(f) \cdot df = \frac{\Delta^2}{6f_s} \int_{-Bw/2}^{+Bw/2} |NTF(f)|^2 \cdot df \quad (2.10)$$

2.2.2 Figuras de mérito

A partir deste ponto é conveniente definir algumas figuras de mérito normalmente utilizadas para caracterizar conversores do tipo $\Sigma\Delta$, tais como: relação Sinal-Ruído (SNR), relação Sinal-Ruído e Distorção (SNDR), Faixa Dinâmica (DR) e Número Efetivo de Bits (ENOB).

2.2.2.1 Relação Sinal-Ruído (SNR) e Relação Sinal-Ruído e Distorção (SNDR)

A Relação Sinal-Ruído (SNR) é a taxa entre a potência do sinal e a potência total produzida pelo erro de quantização e ruído do circuito, excluindo a influência da distorção harmônica causada pelo sinal de entrada. Este figura é normalmente mensurada em dB e dada por:

$$SNR = 10 \log_{10} \left(\frac{A^2/2}{P_Q} \right) \quad (2.11)$$

onde A é a amplitude do sinal de entrada e P_Q a potência do ruído de quantização. Note que o valor do SNR aumenta de forma linear com o incremento de A . No entanto, a partir de um certo valor de amplitude, a entrada do quantizador satura ocasionando um decaimento da curva do SNR. O valor do SNR neste valor de amplitude (máximo valor de SNR) é denominado como SNR_{pico} .

Além do ruído de quantização, existem outros mecanismos que aumentam a potência do ruído dentro da banda de interesse. Dentre estes mecanismos estão as não-idealidades do circuito e as harmônicas do sinal de entrada. Para levar em consideração todos estes erros, a relação Sinal-Ruído e Distorção é normalmente utilizada e designada pela sigla SNDR.

2.2.2.2 Faixa Dinâmica (DR) e Número Efetivo de Bits (ENOB)

A faixa dinâmica do sinal de entrada (DR) é definida como a razão entre a potência do sinal de saída referente a uma entrada X_{FS} e a potência de um outro sinal de saída de menor amplitude, de tal forma que este último não consiga se distinguir do ruído (SNR=0dB). Idealmente, o fundo de escala do sinal de entrada do modulador é definido pelo quantizador. Desta forma:

$$DR = 10 \log_{10} \frac{(X_{FS}/2)^2}{2P_Q} \quad (2.12)$$

Consequentemente, obtém-se o número efetivo de bits ou a efetiva resolução de bits de um conversor AD como função do DR (MEDEIRO et al., 2006.):

$$ENOB = \frac{DR(dB) - 1,76}{6,02} \quad (2.13)$$

2.2.3 Modulador $\Sigma\Delta$ de 1ª ordem

De acordo com as equações 2.7 e 2.8, a função $H(z)$ de um modulador $\Sigma\Delta$ do tipo passa-baixas deve possuir um ganho infinito quando $z \rightarrow 1$. Já em altas frequências ($z \rightarrow \infty$) o ganho deve ser praticamente nulo. O bloco mais simples e capaz de satisfazer as condições exigidas é o integrador, cuja função de transferência é dada por

$$H(z) = \frac{z^{-1}}{1 - z^{-1}} \quad (2.14)$$

Substituindo o filtro $H(z)$ da figura 6-(a) por um integrador discreto e o quantizador por um comparador (quantizador de 1 bit) obtêm-se o modulador da figura 7. Assumindo o modelo linear do comparador e os ganhos $g_x = g_{DAC} = 1$, a saída $Y(z)$ é dada por:

$$Y(z) = z^{-1}X(z) + (1 - z^{-1})E(z) \quad (2.15)$$

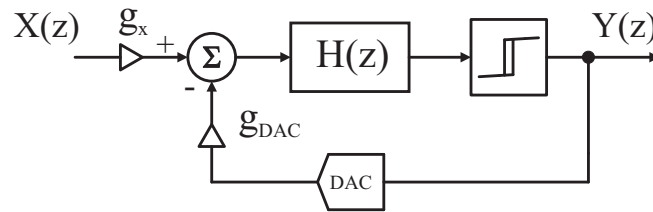


Figura 7: Modulador $\Sigma\Delta$ de 1ª ordem.

Note que $NTF(z) = (1 - z^{-1})$ é uma função de transferência de primeira ordem, consequentemente, a arquitetura apresentada na figura 7 é denominada modulador passa-baixas de primeira ordem. A equação para o DR deste modulador é expressa, conforme (MEDEIRO et al., 2006.), por:

$$DR(dB) = 10 \log_{10} \left(\frac{9M^3}{2\pi^2} \right) \quad (2.16)$$

onde M é a taxa de amostragem.

A principal desvantagem de um modulador de 1ª ordem é a necessidade de um elevado valor de amostragem (M) para atingir uma alta resolução². Dobrando o valor de M na equação 2.16 consegue-se um acréscimo de apenas 9dB no DR.

Outra desvantagem deste modulador é a alta correlação entre o sinal de entrada e o erro de quantização. Devido à correlação, o espectro de saída do modulador pode conter *idle tones* que não são previstos pelo modelo de ruído que descreve o erro de quantização. Isto pode ser claramente visto através da figura 8, que ilustra a potência do erro de quantização dentro da banda de interesse para diferentes entradas DC normalizadas por $\Delta/2$.

²Exemplo: para obter 16 bits de resolução de um sinal de 10 kHz de banda é necessário uma taxa de amostragem de $M=1500$.

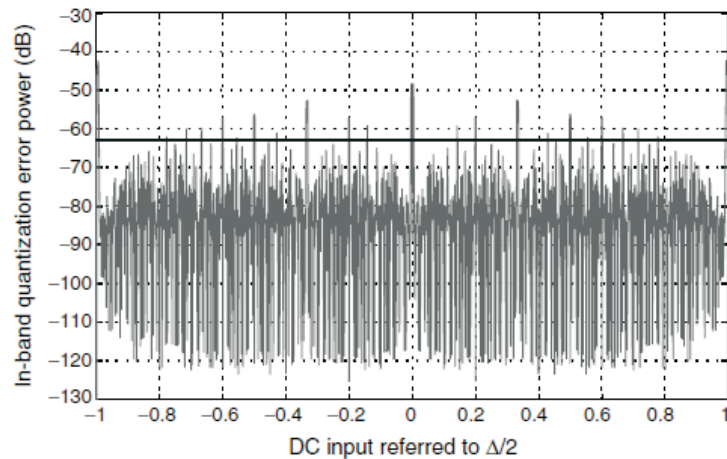


Figura 8: Potência do erro de quantização em função do sinal de entrada (MEDEIRO et al., 2006.).

2.2.4 Modulador $\Sigma\Delta$ de 2ª ordem

Se o quantizador do modulador apresentado na figura 7 for substituído por outro modulador de 1ª ordem obtém-se um modulador de segunda ordem, ver figura 9. Supondo que $g_{DAC2} = 2 \cdot g_{x1} \cdot g_{DAC1}$ e $g_{x1} = g_{x2} = 1$, garante-se a estabilidade do modulador (ROSA; PEREZ-VERDU; RODRIGUEZ-VAZQUEZ, 2002) resultando na função de saída $Y(z)$ dada pela equação 2.17.

$$Y(z) = z^{-2}X(z) + (1 - z^{-1})^2E(z) \quad (2.17)$$

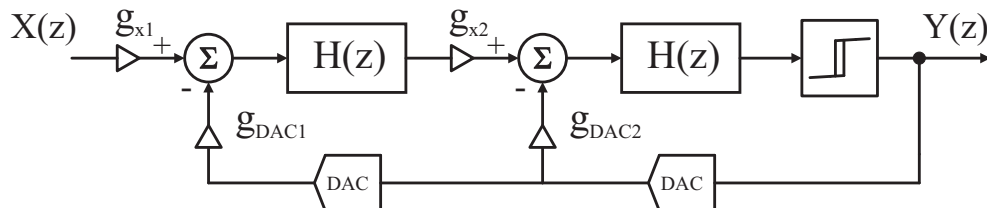


Figura 9: Modulador $\Sigma\Delta$ de 2ª ordem clássico.

Para este modulador $NTF(z) = (1 - z^{-1})^2$. Consequentemente, a partir da equação 2.10, têm-se que a potência do ruído de quantização é dada por:

$$P_Q = \frac{\Delta^2 \pi^4}{60M^5} \quad (2.18)$$

Dessa forma, dobrando o valor de M observa-se um decréscimo de 15dB no ruído presente na banda do sinal, ao invés dos 9dB obtidos através de um modulador de 1ª ordem.

Além da diminuição da potência do ruído dentro da banda de interesse, a utilização de dois integradores também contribui para descorrelacionar o sinal de entrada do erro de quantização. De forma geral, a presença de *idle tones* no espectro de saída decresce à medida que a ordem do modulador aumenta.

Para demonstrar a funcionalidade de um modulador $\Sigma\Delta$, simulações comportamentais utilizando componentes ideais são realizadas no Matlab/Simulink. Num primeiro instante realizou-se a simulação do modulador apresentado na figura 10. Trata-se de um modulador $\Sigma\Delta$ de 2ª ordem convencional, cujos ganhos são especificados na tabela 1.

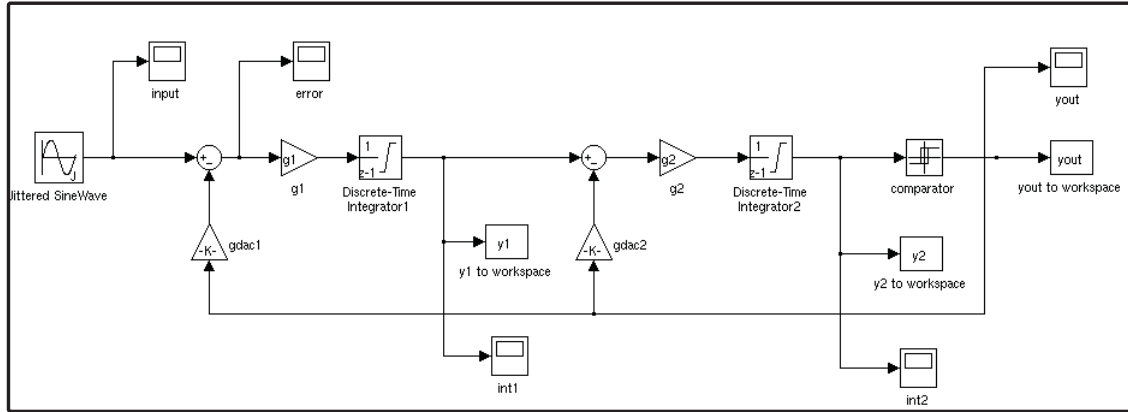


Figura 10: Modelo Simulink do modulador 2ª ordem.

O modulador foi simulado com uma frequência de amostragem de 5 MHz, $M = 250$ e um sinal de entrada com frequência de 1 kHz. No gráfico da figura 11 pode-se visualizar o espectro de potência do sinal de saída Y_{out} . Conforme pode ser visto, a função de transferência do ruído NTF é de 2ª ordem (40 dB por década) e o *noise-shaping* causou o deslocamento do ruído de quantização para altas frequências, fora da banda de interesse.

Já na figura 12 é apresentado o espectro de saída dos integradores 1 e 2. Observa-se neste gráfico que os integradores não processam somente o sinal de entrada, mas também o ruído gerado pelo processo de quantização. Devido às não-linearidades dos integradores reais (implementados eletricamente), componentes harmônicas poderão ser geradas ocasionando a degradação da performance do modulador $\Sigma\Delta$.

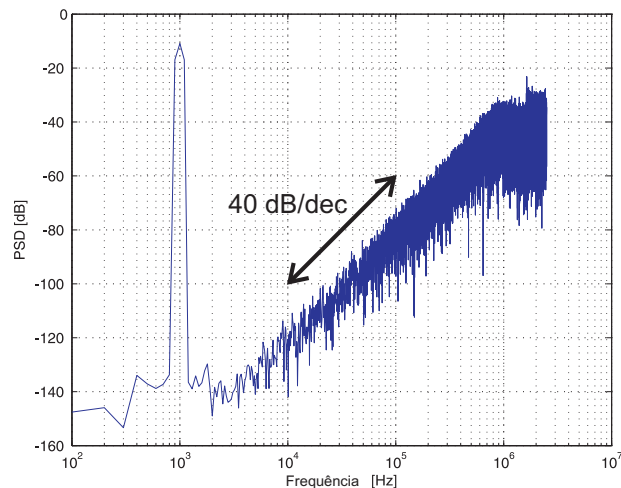


Figura 11: Espectro de saída de um modulador 2ª ordem.

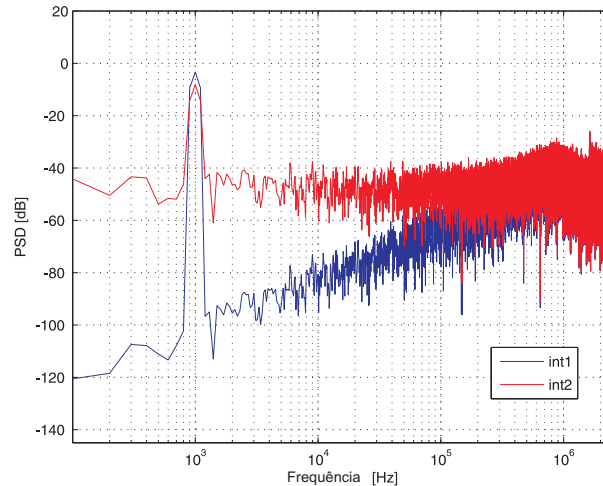


Figura 12: Espectro das saídas dos integradores de um modulador 2^a ordem.

Tabela 1: Ganhos do modulador de 2^a ordem convencional.

Coeficiente	Ganho
g_1	1
g_2	1
g_{DAC1}	0,25
g_{DAC2}	0,5

2.3 Modulador $\Sigma\Delta$ em topologia de baixa distorção

A distorção harmônica, problema normalmente encontrado em arquiteturas tradicionais de moduladores $\Sigma\Delta$, é causada pela não-idealidade do bloco integrador. A função passa-altas, inerente da operação do modulador, atenua estes efeitos não-lineares, mas não o suficiente para sinais de banda larga.

Uma maneira de evitar a distorção harmônica introduzida por este elemento é prevenir o mesmo de processar os sinais de entrada. Isto pode ser realizado modificando a topologia do modulador, tornando a função de transferência do sinal STF igual a 1. Assim, permite-se que o sinal de entrada e o erro de quantização sejam processados separadamente (SILVA; MOON; TEMES, 2004; RUSU et al., 2005). A figura 13 apresenta a topologia orientada a este tipo de aplicação.

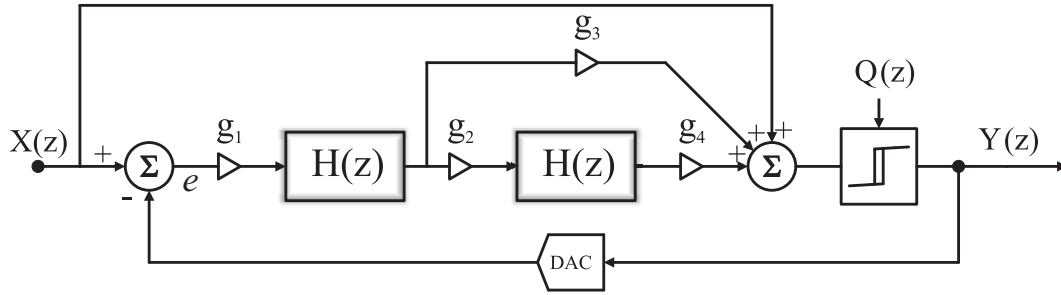


Figura 13: Topologia $\Sigma\Delta$ de baixa distorção.

Por meio de uma análise linear têm-se que a função de transferência deste sistema é dada por:

$$\frac{Y(z)}{X(z)} = \frac{1 + g_1 g_4 H + g_1 g_2 g_3 H^2}{1 + g_1 g_4 H + g_1 g_2 g_3 H^2} \quad (2.19)$$

A partir da equação 2.19 derivam-se as relações para a obtenção de um *noise-shaping* de segunda ordem, estas apresentadas na equação 2.20.

$$\begin{cases} g_1 g_2 g_3 = 1 \\ g_1 g_4 = 2 \end{cases} \quad (2.20)$$

Assumindo que o modulador respeite as relações encontradas em 2.20, a função de transferência do sinal é dada por:

$$STF(z) = \frac{1 + 2H + H^2}{1 + 2H + H^2} \quad (2.21)$$

onde $H(z) = z^{-1}/(1 - z^{-1})$. A realimentação à frente, ou *feedforward*, adiciona o termo $1 + 2H$ no numerador da STF , tornando o numerador igual ao denominador e, conseqüentemente, $STF = 1$. Já a função de transferência para o ruído é idêntica à de uma topologia de 2ª ordem tradicional:

$$NTF(z) = \frac{1}{1 + 2H + H^2} = (1 - z^{-1})^2 \quad (2.22)$$

Portanto, o sinal de erro presente na entrada do primeiro integrador é dado por:

$$E(z) = X(z) \cdot [1 - STF(z)] + Q(z) \cdot NTF(z) = Q(z) \cdot NTF(z) \quad (2.23)$$

A equação 2.23 indica que os integradores do modulador $\Sigma\Delta$ processam, basicamente, o erro de quantização. Uma vez que o sinal de entrada não é processado pelos integradores, as harmônicas oriundas deste não são geradas. No entanto, as não-idealidades do integrador ainda podem afetar a função de transferência do erro de quantização, causando um acréscimo de ruído dentro da banda do sinal.

Na prática, o cancelamento de x não será perfeito. Uma vez que o sinal y é uma estimativa de x , sua precisão depende do perfeito casamento entre parâmetros elétricos e de processo (SILVA, 2004). Consequentemente, haverá algum resíduo/componente de x em e , e inevitavelmente, nos integradores. No entanto, isto pode ser negligenciado.

Além da maior robustez às não-linearidades dos integradores, as topologias de baixa distorção possuem outras vantagens significantes que serão descritas a seguir.

2.3.1 Aumento da faixa dinâmica do sinal de entrada

O fato de o sinal x não ser processado pelos integradores significa que a faixa de excursão do sinal de saída não limita a amplitude do sinal de entrada. Sob o ponto de vista de projeto, os únicos elementos que devem acomodar o fundo de escala do sinal de entrada são as chaves e o quantizador. Em topologias convencionais, deve-se prestar atenção para que as saídas dos integradores não saturem para o máximo valor de amplitude do sinal de entrada, que é determinado pelo projeto apropriado dos ganhos dos integradores e dos laços de realimentação do modulador Sigma-Delta. Esta preocupação não é, em teoria, necessária para moduladores $\Sigma\Delta$ que empregam topologias de baixa distorção.

2.3.2 Somente um DAC para realimentação

Muitas topologias de moduladores $\Sigma\Delta$ utilizam a técnica de realimentação distribuída e requerem o projeto de dois ou mais DACs. Entretanto, a topologia da figura 13 necessita de apenas um DAC no laço de realimentação, o que simplifica o projeto elétrico do modulador (SILVA, 2004).

2.3.3 Arquiteturas MASH simplificadas

Estruturas MASH (*Multi-Stage Noise-Shaping*) requerem o acoplamento do ruído de quantização de um estágio para outro. Isto é usualmente obtido através da subtração entre os sinais de saída e entrada do quantizador. Circuitos analógicos auxiliares são necessários para a implementação desta operação (SILVA; MOON; TEMES, 2004). Levando-se em consideração estes fatos, a utilização da topologia de baixa distorção se torna demasiadamente vantajosa uma vez que o ruído de quantização é diretamente obtido na saída do segundo integrador, como pode ser visto na figura 14.

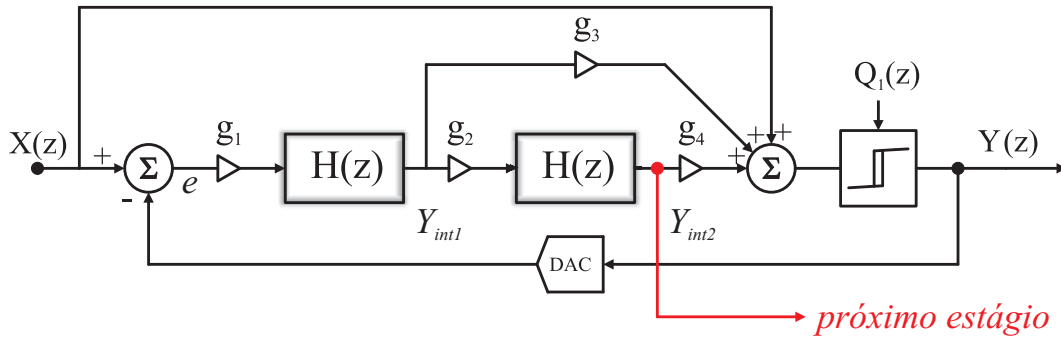


Figura 14: Caminho do erro de quantização em topologias de baixa distorção.

Sendo a função de transferência do integrador dada por $H(z) = z^{-1}/(1 - z^{-1})$, as saídas dos integradores Y_{int1} e Y_{int2} podem ser definidas como:

$$Y_{int1}(z) = -\frac{g_1 z^{-1} (1 - z^{-1})}{1 + (g_1 g_4 - 2)z^{-1} + (1 + g_1 g_2 g_3 - g_1 g_4)z^{-2}} Q(z) \quad (2.24)$$

$$Y_{int2}(z) = -\frac{g_1 g_2 z^{-2}}{1 + (g_1 g_4 - 2)z^{-1} + (1 + g_1 g_2 g_3 - g_1 g_4)z^{-2}} Q(z) \quad (2.25)$$

Respeitando as condições impostas na equação 2.20, pode-se simplificar as equações 2.24 e 2.25 e o resultado reescrito da seguinte forma:

$$Y_{int1}(z) = -g_1 z^{-1} (1 - z^{-1}) Q(z) \quad (2.26)$$

$$Y_{int2}(z) = -g_1 g_2 z^{-2} Q(z) \quad (2.27)$$

Em aplicações reais a saída do segundo integrador também irá conter outras não-idealidades em adição ao ruído de quantização, tais como ruído térmico e de distorção proveniente dos diversos blocos que constituem o modulador. Independentemente disso, arquiteturas MASH de baixa distorção são mais simples e robustas a não-idealidades se comparadas às arquiteturas MASH tradicionais (SILVA; MOON; TEMES, 2004).

Uma nova simulação comportamental empregando a arquitetura de baixa distorção descrita anteriormente é realizada. Os parâmetros de simulação são idênticos aos utilizados na simulação anterior. O modelo utilizado para simulação é apresentado na figura 15. Os ganhos envolvidos e seus valores são especificados na tabela 2.

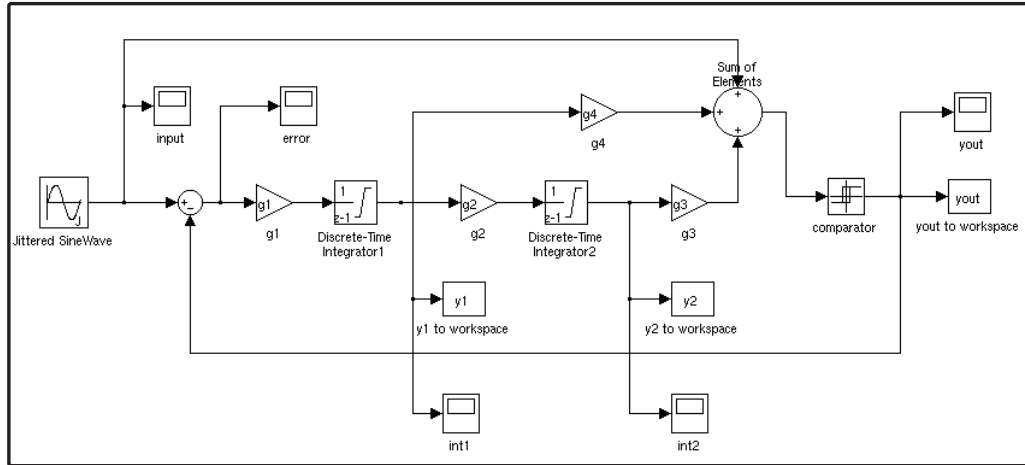


Figura 15: Modelo Simulink do modulador 2ª ordem de baixa distorção.

Tabela 2: Ganhos do modulador de 2ª ordem de baixa distorção.

Coefficiente	Ganho
g_1	1
g_2	0,25
g_3	4
g_4	2

Conforme pode ser visto na figura 16, a função de transferência do ruído NTF é de 2ª ordem ordem (40dB por década) e a *noise-shaping* causou o deslocamento do ruído de quantização para as altas frequências. Na figura 17 são apresentados os espectros de saída dos integradores. Conforme visto no gráfico, os integradores processam, basicamente, o ruído gerado pelo processo de quantização, diferentemente do que ocorre nas topologias convencionais. Consequentemente, esta topologia de baixa distorção se mostra mais robusta às não-linearidades no integrador.

O gráfico da figura 18 apresenta simultaneamente o espectro de todos os sinais de interesse: Y_{out} , int_1 e int_2 ; esta figura mostra claramente a separação entre o processamento do sinal de entrada e do erro de quantização.

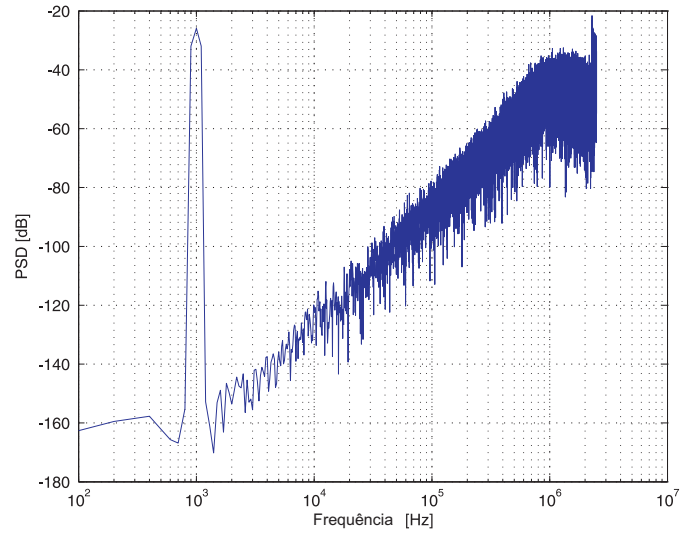


Figura 16: Espectro da saída do modulador 2ª ordem em baixa distorção.

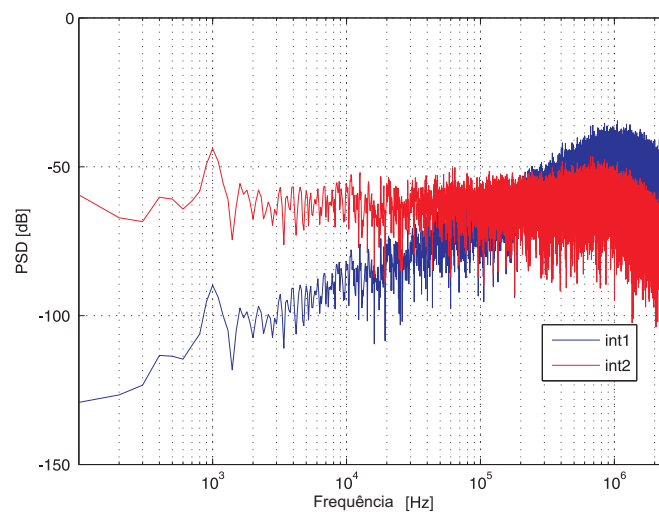


Figura 17: Espectro da saída dos integradores 1 e 2.

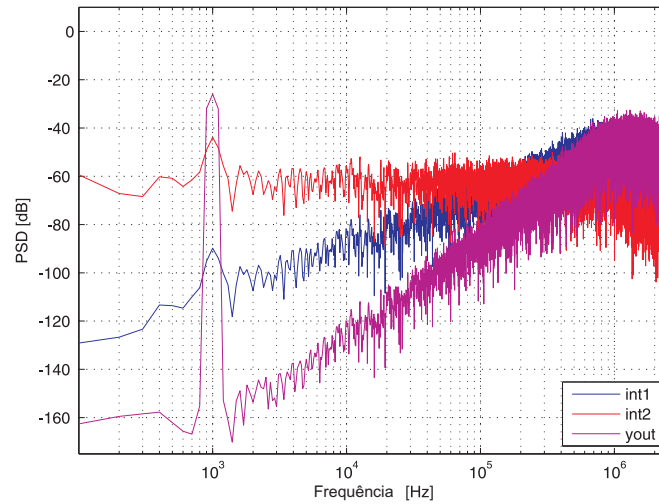


Figura 18: Espectro da saída dos integradores e do modulador.

2.4 Modulador $\Sigma\Delta$ cascata 2-2 de baixa distorção

Para a correta operação de um modulador em cascata é necessário a realização adequada do processamento digital das saídas dos estágios. Para ilustrar esta operação, será considerado o modulador de 4ª ordem em cascata, composto por dois moduladores de segunda ordem com realimentação em avanço, apresentado na figura 19.

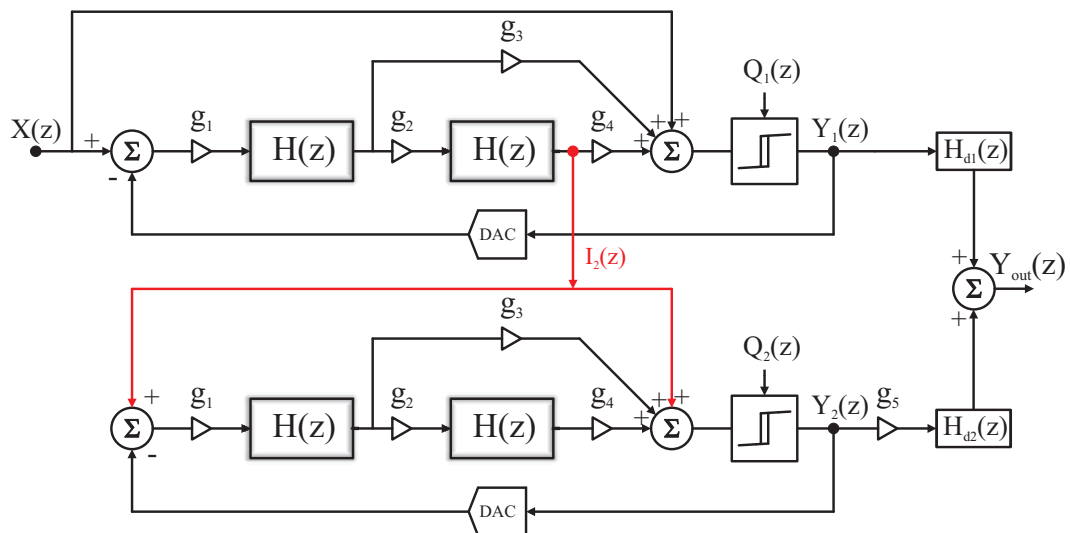


Figura 19: Modulador $\Sigma\Delta$ cascata 2-2 de baixa distorção.

Analisando linearmente o sistema têm-se que a saída do primeiro estágio é dada por:

$$Y_1(z) = X(z) + \frac{(1 - z^{-1})^2}{1 + (g_1 g_4 - 2)z^{-1} + (1 + g_1 g_2 g_3 - g_1 g_4)z^{-2}} Q_1(z) \quad (2.28)$$

onde $X(z)$ é o sinal de entrada e $Q_1(z)$ é o erro de quantização. As seguintes relações podem

ser derivadas para a realização do *noise-shaping* de segunda ordem no primeiro estágio:

$$\begin{cases} g_1 g_2 g_3 = 1 \\ g_1 g_4 = 2 \end{cases} \quad (2.29)$$

Utilizando estas relações obtém-se como saída do primeiro estágio:

$$Y_1(z) = X(z) + (1 - z^{-1})^2 Q_1(z) \quad (2.30)$$

Por outro lado, a saída do segundo estágio é definida como:

$$Y_2(z) = I_2(z) + (1 - z^{-1})^2 Q_2(z) \quad (2.31)$$

onde $I_2(z)$ e $Q_2(z)$ são, por definição, o sinal de entrada e o erro de quantização referentes ao segundo estágio do modulador em cascata.

Pelo fato do primeiro estágio ser um modulador de 2ª ordem que utiliza a arquitetura de baixa distorção, a saída do segundo integrador, $I_2(z)$, contém, basicamente, o erro de quantização do primeiro estágio (JOSE et al., 2007). Portanto:

$$I_2(z) = -g_1 g_2 z^{-2} Q_1(z) \quad (2.32)$$

Substituindo esta última equação em 2.31 obtém-se:

$$Y_2(z) = -g_1 g_2 z^{-2} Q_1(z) + (1 - z^{-1})^2 Q_2(z) \quad (2.33)$$

que envolve o erro de quantização do primeiro e do segundo estágio.

As saídas destes estágios podem ser processadas digitalmente de forma a fornecer uma saída $Y_{out}(z)$ em que o ruído de quantização do primeiro estágio é totalmente cancelado (JOSE et al., 2007). Para isto a seguinte operação pode ser realizada:

$$Y_{out}(z) = H_{d1}(z)Y_1(z) + g_5 H_{d2}(z)Y_2(z) \quad (2.34)$$

onde as H_{d1} e H_{d2} são expressas por:

$$H_{d1}(z) = z^{-2} \quad (2.35)$$

$$H_{d2}(z) = (1 - z^{-1})^2 \quad (2.36)$$

Expandindo a equação 2.34 em função de $Y_1(z)$ e $Y_2(z)$ obtém-se:

$$Y_{out}(z) = H_{d1}(z) [X(z) + (1 - z^{-1})^2 Q_1(z)] + g_5 H_{d2}(z) [-g_1 g_2 z^{-2} Q_1(z) + (1 - z^{-1})^2 Q_2(z)] \quad (2.37)$$

A substituição das equações 2.35 e 2.36 em 2.37 resulta numa saída modulada de 4ª ordem dada por:

$$Y_{out}(z) = z^{-2} X(z) + g_5 (1 - z^{-1})^4 Q_2(z) \quad (2.38)$$

onde g_5 é definido como:

$$g_5 = \frac{1}{g_1 g_2} \quad (2.39)$$

Note que a equação 2.38 contém somente a versão atrasada do sinal de entrada $X(z)$ e o ruído de quantização do segundo estágio com um *noise-shaping* de 4ª ordem. Como pode ser visto, o ruído de quantização do primeiro estágio foi eliminado devido às operações realizadas pelo circuito de cancelamento lógico digital. Assim, a saída do modulador em cascata 2-2 em arquitetura de baixa distorção proporciona o seguinte resultado:

$$Y_{out}(z) = STF(z)X(z) + NTF_2(z)Q_2(z) \quad (2.40)$$

onde STF , NTF_1 e NTF_2 são dados por:

$$STF(z) = z^{-2} \quad (2.41)$$

$$NTF_1(z) = 0 \quad (2.42)$$

$$NTF_2(z) = g_5 (1 - z^{-1})^4 \quad (2.43)$$

de tal forma que a sua performance é similar à de um modulador $\Sigma\Delta$ ideal com função de transferência de ruído de 4ª ordem, no entanto, incondicionalmente estável por construção. O erro de quantização dentro da banda de interesse deste modulador é calculado da seguinte forma:

$$P_Q = (g_5)^2 \cdot \frac{\Delta^2}{12} \cdot \frac{\pi^8}{9M^9} \quad (2.44)$$

onde Δ é o nível de quantização do segundo estágio. Note que a performance atingida por este modulador seria idêntica a de um modulador de 4ª ordem ideal caso $g_5 = 1$. Entretanto, o coeficiente g_5 tem valor maior que 1 pelo seguinte motivo: $g_5 < 1$ envolve aumentar os ganhos dos integradores, o que leva à uma maior excursão de sinal na saída deste bloco e um *overload* prematuro dos quantizadores. Portanto, valores comuns para g_5 estão entre 2 e 4, que levam a um decréscimo no DR de 6dB (1 bit) a 12dB (2 bit), respectivamente.

O modelo utilizado para simulação é apresentado na figura 20. Os ganhos envolvidos e seus valores são especificados na tabela 3. O modulador foi simulado sob condições ideais.

Tabela 3: Ganhos do modulador cascata 2-2.

Coefficiente	Ganho
g_1	1
g_2	0,25
g_3	4
g_4	2
g_5	4

A frequência de amostragem, o valor de sobreamostragem e o sinal de entrada são dados respectivamente por $f_s = 5$ MHz, $M = 250$ e $f_{in} = 1$ kHz. Na figura 21 têm-se o espectro de saída do primeiro estágio (Y_1) e do modulador cascata 2-2 (Y_{out}). Pode-se observar nitidamente neste gráfico a diferença entre as funções Y_1 e Y_{out} . Conforme o gráfico, a função de transferência do ruído NTF é de 4ª ordem (80 dB por década) e o *noise-shaping* causou o deslocamento do ruído de quantização para as altas frequências, fora da banda de interesse. A função $Y_{out}(z)$, além de remover mais ruído de dentro da banda do sinal (incremento do valor de SNR), provocou aumento na largura de banda do sinal.

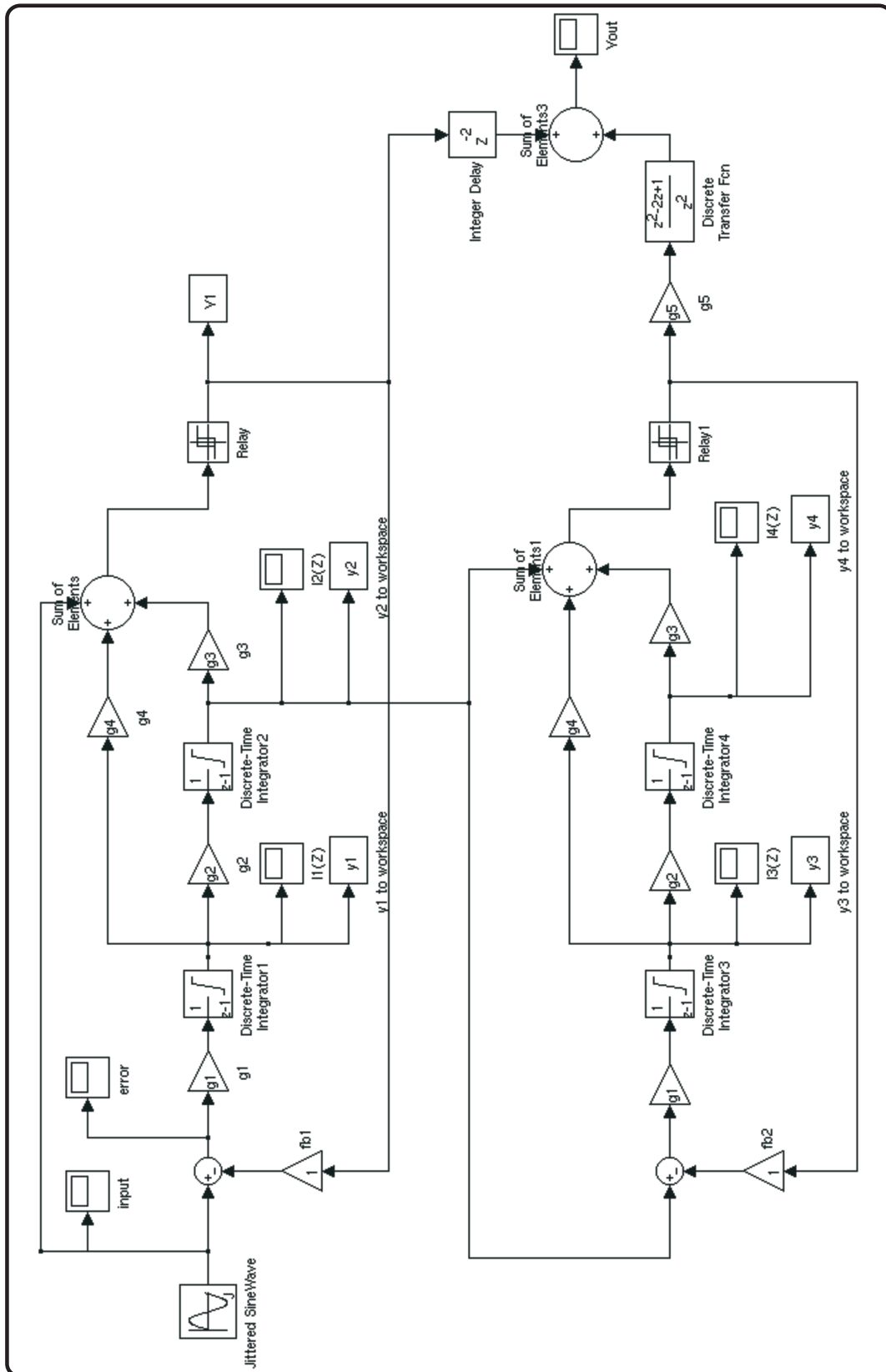


Figura 20: Modelo Simulink do modulador cascata 2-2.

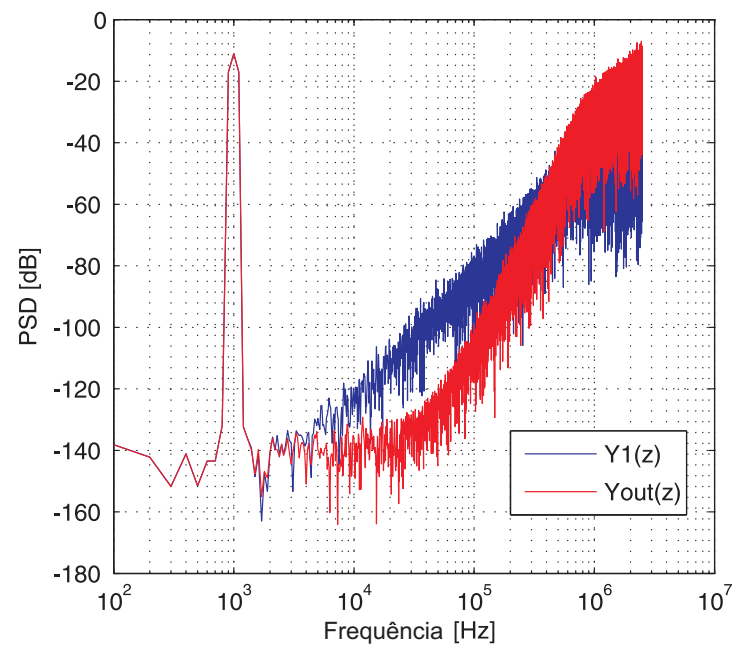


Figura 21: Comparação entre as saídas Y_1 e Y_{out} .

3 BLOCOS CONSTITUINTES DE MODULADORES SI- $\Sigma\Delta$

3.1 Princípios de operação da técnica SI: célula de memória

O princípio de operação dos circuitos que operam com a técnica SI é ilustrado na figura 22. Quando a chave S está fechada, figura 22-(b), a porta do transistor M é conectada à tensão de entrada v_{in} . Assumindo-se que o transistor M opere na saturação, a corrente de dreno i_{ds} será função da tensão v_{gs} . Quando a chave S abre, figura 22-(c), o terminal de porta é isolado permitindo a memorização da carga armazenada na capacitância C_{gs} , e por sua vez, a tensão v_{gs} . Desta forma, a corrente de dreno no instante anterior a abertura da chave, $i_{ds}(v_{in})$, é memorizada.

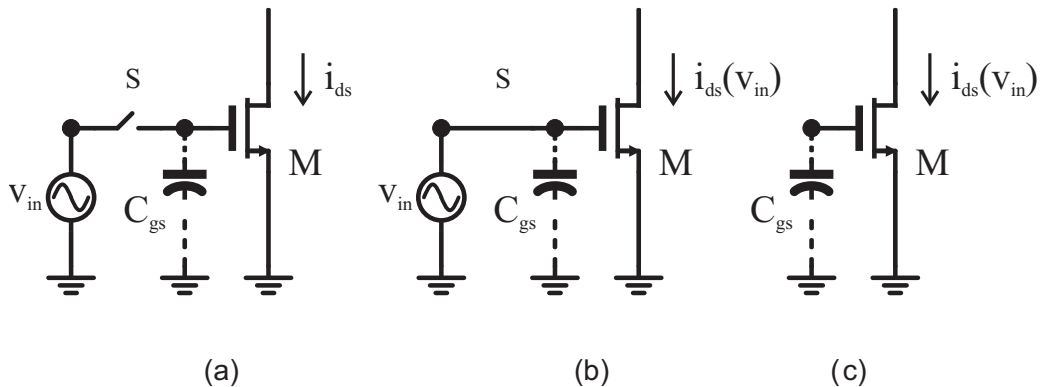


Figura 22: Princípio de operação de circuitos operando à corrente chaveada.

O bloco mais elementar desta classe de circuitos é a célula de memória de corrente. A primeira implementação foi baseada num simples espelho de corrente (HUGHES; BIRD; MACBETH, 1989). Na literatura, estes circuitos são conhecidos como primeira geração de células de memória de corrente. A figura 23-(a) apresenta o esquema básico de tais células. Este circuito possui dois diferentes modos de operação: amostragem e retenção do sinal.

Durante a fase ϕ_1 do período $(n - 1/2)T_s$ (amostragem do sinal), a chave S_1 está fechada e a célula de memória opera como um espelho de corrente. A soma da corrente de entrada i_i e a corrente de polarização I_{bias} resulta na corrente de dreno do transistor M_1 ,

$$i_{d1,n-1/2} = i_{i,n-1/2} + I_{bias} \quad (3.1)$$

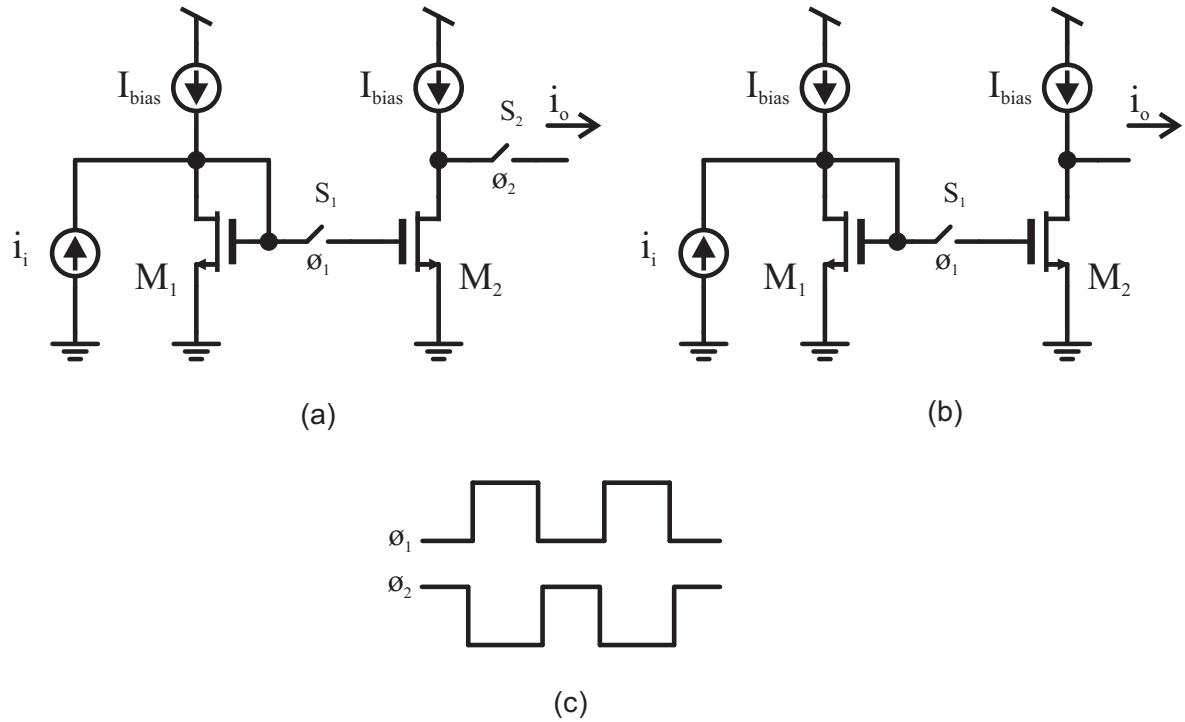


Figura 23: Primeira geração de células de memória de corrente. a) Versão que disponibiliza a corrente i_o no período ϕ_2 . b) Versão que disponibiliza i_o durante todo intervalo de tempo. c) Diagrama de fases.

Durante esta fase, a corrente de saída i_o é nula e o transistor M_2 é conectado à fonte de polarização I_{bias} . Dessa forma:

$$i_{d2,n-1/2} = I_{bias} \quad (3.2)$$

Na fase ϕ_2 do período nT_s , a chave S_1 está aberta e a chave S_2 está fechada. A capacitância na porta do transistor M_2 armazena a carga correspondente à tensão de porta no intervalo $(n - 1/2)T_s$. Portanto, a corrente de dreno de M_2 é mantida no valor $i_{d1,n-1/2}$, resultando na seguinte equação:

$$i_{d2,n} = i_{d1,n-1/2} = i_{i,n-1/2} + I_{bias} \quad (3.3)$$

Já a corrente de saída, i_o , durante a fase ϕ_2 é dada por:

$$i_{o,n} = I_{bias} - i_{d2,n} = -i_{i,n-1/2} \quad (3.4)$$

A função de transferência, expressa em Z , da equação 3.4 resulta em:

$$i_o(z) = -z^{-1/2}i_i(z) \quad (3.5)$$

Pode-se inferir, a partir da equação anterior, que a corrente de saída é uma versão memorizada da corrente de entrada. Isto é possível devido ao armazenamento de cargas na capacitância da porta do transistor M_2 . Nota-se que o circuito da figura 23-(a) não disponibiliza a corrente de saída durante o período ϕ_1 . Para ter esta corrente disponível durante todo intervalo de tempo utiliza-se o circuito da figura 23-(b), conhecido como célula de memória *track-and-hold*.

A primeira geração de células de memória não é muito indicada para realização de filtros de elevada precisão. Circuitos que tem como base estas células sofrem inevitavelmente de erros resultantes do descasamento entre os transistores de memória M_1 e M_2 (ROSA; PEREZ-VERDU; RODRIGUEZ-VAZQUEZ, 2002). No entanto, a introdução de circuitos denominados de copiadores de corrente possibilitaram contornar este problema através do desenvolvimento da segunda geração de células de memória de corrente (HUGHES; MACBETH; PATTULLO, 1990). A figura 24 apresenta o esquemático deste circuito.

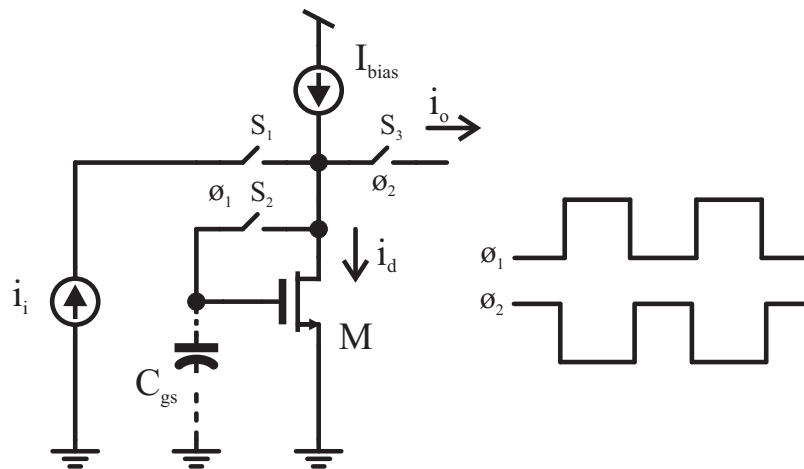


Figura 24: Segunda geração de células de memória de corrente.

A funcionalidade deste circuito é descrita a seguir. Durante a fase ϕ_1 do período $(n - 1/2)T_s$, as chaves S_1 e S_2 estão fechadas permitindo que a corrente $i_i + I_{bias}$ flua através do dreno do transistor M . Esta corrente de dreno é expressa por:

$$i_{d,n-1/2} = i_{i,n-1/2} + I_{bias} \quad (3.6)$$

Já durante a fase ϕ_2 do período nT_s , as chaves S_1 e S_2 estão abertas e o valor de i_d é sustentado. Agora, com a chave S_3 fechada, a corrente de saída é dada por:

$$i_{o,n} = -i_{i,n-1}/2 \quad (3.7)$$

É importante notar que a performance da célula de memória apresentada na figura 24 é degradada como consequência de vários mecanismos de erro, tais como: erro de condutância, erro devido a injeção de carga, erro de *settling*, etc. Estes mecanismos de erro serão tratados detalhadamente no capítulo 4.

3.2 Integrador SI

O integrador é o bloco construtivo mais importante dos moduladores $\Sigma\Delta$ do tipo passa-baixas. Para implementar um integrador são necessários elementos que realizem o atraso de um ciclo de clock na corrente de entrada. Um circuito capaz de realizar tal operação é obtido através da conexão em cascata de duas células de memória, como apresentado na figura 25.

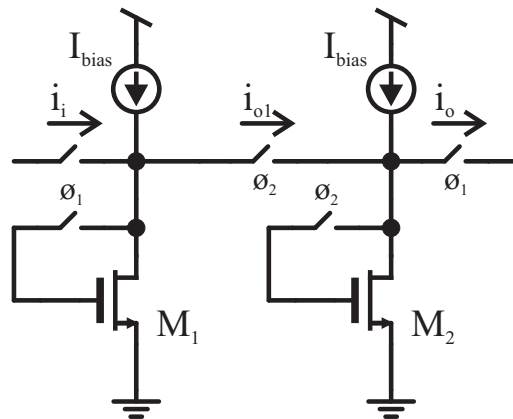


Figura 25: Bloco de atraso unitário SI.

A partir da equação 3.7 sabe-se que:

$$i_{o1,n} = -i_{i,n-1}/2 \quad (3.8)$$

$$i_{o,n} = -i_{o1,n-1}/2 \quad (3.9)$$

Combinando as equações acima e com o emprego da transformada Z obtém-se a função de transferência para o atraso de ciclo unitário dada pela equação 3.10.

$$i_o(z) = z^{-1}i_i(z) \quad (3.10)$$

A partir da equação 3.10 a função que descreve a operação de um integrador não-inversor é definida pela função de diferenças finitas descrita na equação 3.11. A representação por diagrama de blocos é dada na figura 26.

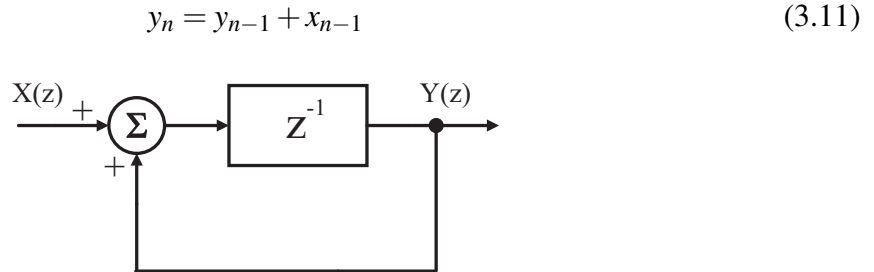


Figura 26: Diagrama de blocos de um integrador não-inversor.

Este comportamento pode ser facilmente reproduzido em circuitos que operam com corrente-chaveada através da substituição do bloco de atraso (z^{-1}), figura 26, pelo circuito elétrico equivalente da figura 25. O circuito resultante é apresentado na figura 27-(a). Neste circuito, duas células de memória são conectadas em série para reproduzir o atraso unitário e a corrente de saída é realimentada para o nó de entrada. Este circuito pode ser simplificado como mostra a figura 27-(b), uma vez que as chaves S_1 e S_2 , controladas pelas fases ϕ_1 e ϕ_2 , estão em paralelo e podem ser substituídas por um curto-circuito.

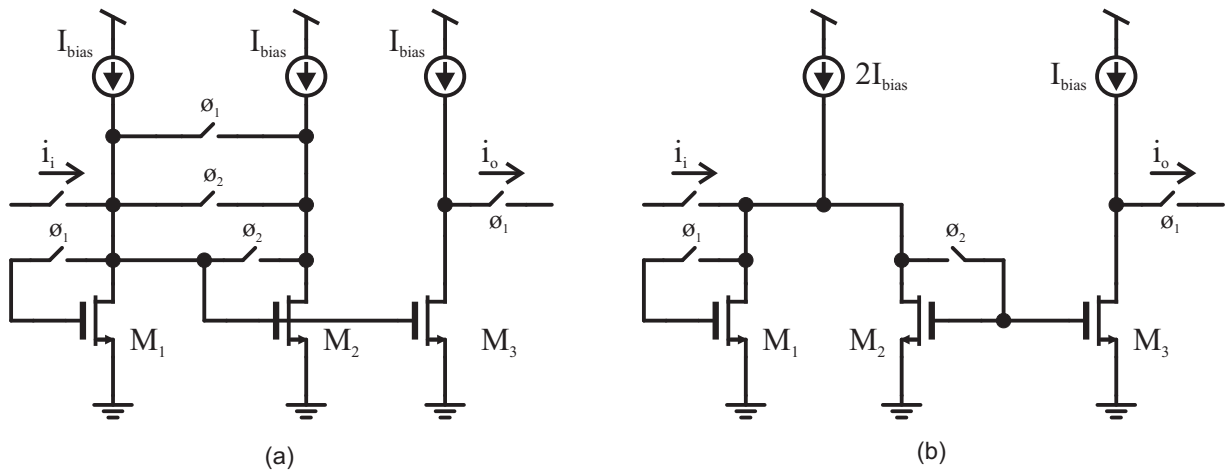


Figura 27: Integrador SI. a) Integrador não-inversor. b) Versão simplificada.

A operação deste circuito é descrita a seguir. Durante a fase ϕ_1 do período de clock ($(n - 1/2)T_s$), o transistor M_1 forma uma conexão diodo e a sua corrente de dreno é expressa por:

$$i_{d1,n-1/2} = i_{i,n-1/2} + 2I_{bias} - i_{d2,n-1} \quad (3.12)$$

e a corrente de saída i_o é obtida pela seguinte equação:

$$i_{o,n-1/2} = I_{bias} - i_{d2,n-1} \quad (3.13)$$

Já na fase ϕ_2 do período nT_s , a corrente de dreno do transistor M_2 é obtida por:

$$i_{d2,n} = 2I_{bias} - i_{d1,n-1/2} \quad (3.14)$$

Combinando as equações 3.12, 3.13 e 3.14 e realizando a transformada Z do resultado verifica-se que a função de transferência do integrador é dada por:

$$\frac{i_o(z)}{i_i(z)} = \frac{z^{-1}}{1 - z^{-1}} \quad (3.15)$$

3.3 Quantizadores SI

Outro bloco fundamental para a implementação de moduladores SI- $\Sigma\Delta$ é o quantizador. Na maioria dos casos, comparadores em modo corrente são utilizados para realizar tal operação. Um comparador de corrente é um circuito que detecta o sinal resultante da diferença entre duas correntes e codifica o resultado através de um sinal digital. Este bloco é composto por uma impedância de entrada $Z(s)$, que atua como um elemento sensitivo, seguido de um comparador de tensão, ver figura 28. O elemento sensitivo pode ser predominantemente resistivo ou capacitivo.

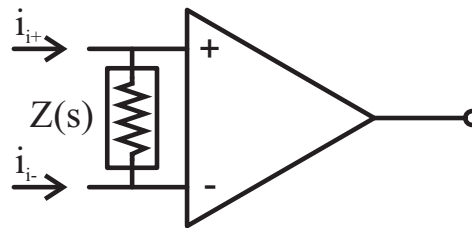


Figura 28: Arquitetura básica de um comparador de corrente.

Comparadores com entrada predominantemente capacitiva quando sujeitos a correntes de baixa intensidade são mais velozes se comparados àqueles com entrada resistiva. Por este motivo, a maioria dos comparadores empregados em moduladores SI- $\Sigma\Delta$ reportados na literatura são comparadores capacitivos. A figura 29-(a) apresenta a estrutura básica deste tipo de comparador. A corrente de entrada irá carregar ou descarregar a capacitância parasita de entrada do circuito, forçando a tensão de entrada se modificar. Para valores positivos de corrente de entrada i_i , a tensão de entrada cresce até se aproximar do valor de VDD, forçando a tensão de saída v_o ir para o nível lógico baixo. Para valores negativos de i_i , a corrente descarrega a capacitância parasita e a saída é forçada para o nível lógico alto.

A arquitetura apresentada na figura 29-(a) é intencionada para a análise de sinais *single-ended*. Já a figura 29-(b) apresenta uma arquitetura orientada às aplicações com correntes diferenciais. O comportamento deste novo circuito é similar ao da figura 29-(a), no entanto, o resultado dependerá da diferença entre as correntes de entrada i_{i+} e i_{i-} . A tensão diferencial nas entradas do comparador mudam de acordo com a direção das correntes, provocando uma mudança na tensão de saída v_o de acordo com a entrada.

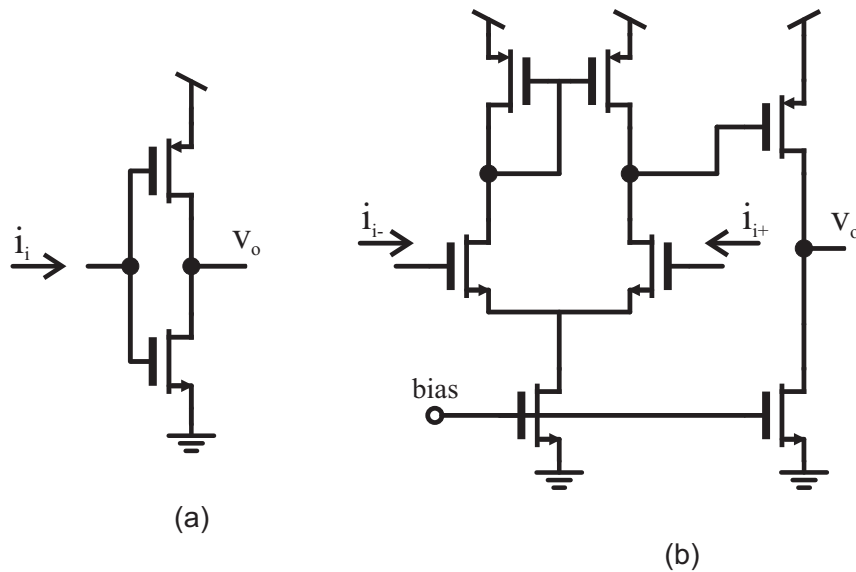


Figura 29: Comparador SI: a) Saída simples; b) Saída diferencial.

No entanto, para correntes de entrada de maior amplitude as arquiteturas com entrada resistiva são mais velozes se comparadas aos quantizadores de entrada capacitiva. A junção das características benéficas das duas arquiteturas resulta num comparador otimizado. Uma estrutura capaz de reunir tais vantagens é descrita em (TRAFF, 1992) e apresentada na figura 30. Este circuito consiste de um comparador de corrente capacitivo dotado de uma realimentação não-linear.

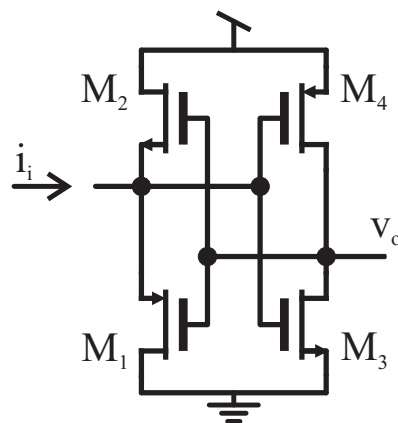


Figura 30: Comparador SI com realimentação negativa.

A operação deste circuito é descrita a seguir. Quando a corrente de entrada i_i entra no comparador, toda a corrente flui através do transistor M_1 , fazendo a sua tensão v_{gs} cair. Quando a corrente i_i é negativa, toda a corrente é fornecida pelo transistor M_2 , forçando a sua tensão v_{gs} subir. Portanto, os terminais de porta dos transistores M_1 e M_2 sofrem uma mudança de potencial a medida que a direção da corrente de entrada muda. Devido à baixa impedância de entrada, a variação deste potencial é pequena. Já os transistores M_3 e M_4 atuam como amplificadores de tensão, fornecendo uma tensão de saída v_o amplificada.

Até agora todas estruturas apresentadas são orientadas à aplicações de sistemas contínuos. Na prática, quando estes blocos são empregados em moduladores SI- $\Sigma\Delta$, estes devem ser seguidos por um flip-flop de modo a manter a tensão de saída constante durante a fase de realimentação do sinal para a entrada do modulador, conforme mostra a figura 31.

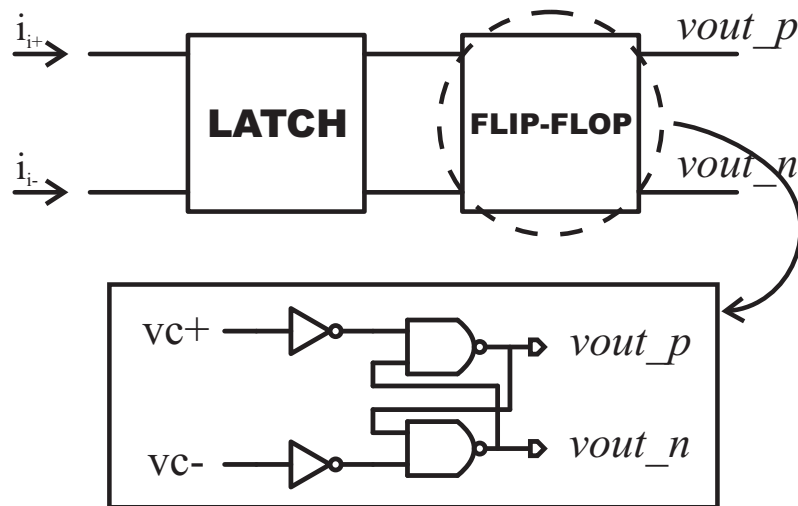


Figura 31: Comparador SI destinado à operação com circuitos discretos.

3.4 Conversor DA SI

Em moduladores SI- $\Sigma\Delta$ este bloco faz parte da realimentação negativa do sistema e é utilizado para converter a tensão de saída do quantizador em um sinal de corrente analógica que será injetada na entrada do modulador. Assim como nos casos dos quantizadores, somente conversores DA de 1-bit foram implementados e reportados na literatura.

Conversores DA em modo corrente podem ser implementados por meio de fontes de corrente controladas pela saída do comparador SI. A figura 32-(a) apresenta uma estrutura normalmente utilizada em moduladores SI- $\Sigma\Delta$. Se a entrada v_i está em nível lógico baixo, a chave M_s estará aberta e a corrente de saída i_o será igual a $-kI_{ref}$. Por outro lado, se a tensão de entrada v_i está em nível lógico alto, M_s estará fechada e a corrente de saída é dada por $i_o = kI_{ref}$.

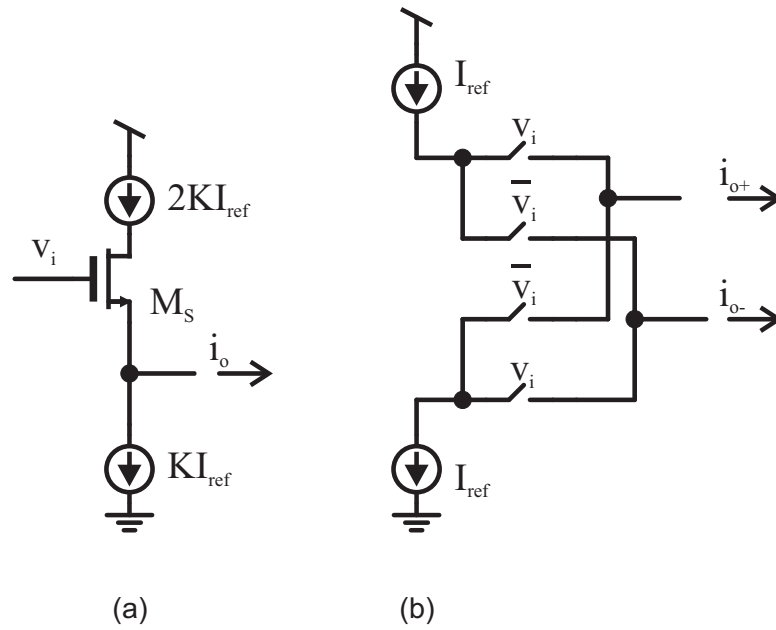


Figura 32: Estrutura do conversor DA-SI: a) Saída simples. b) Saída diferencial.

O circuito apresentado anteriormente é destinado à topologias *single-ended*. Para arquiteturas diferenciais o circuito da figura 32-(b) é mais apropriado. As correntes de saída i_{o+} e i_{o-} mudam de direção de acordo com o sinal diferencial aplicado na entrada do SI-DAC.

4 MECANISMOS DE ERRO EM CIRCUITOS À CORRENTE CHAVEADA

4.1 Não-idealidades em circuitos à corrente chaveada

Considerando a célula de memória apresentada na figura 33 têm-se que a corrente de saída, idealmente, deve ser igual à corrente de entrada, no entanto, atrasada por meio ciclo de clock. Tal corrente é ilustrada pela equação 4.1.

$$I_{out}(n) = -I_{in} \left(n - \frac{1}{2} \right) \quad (4.1)$$

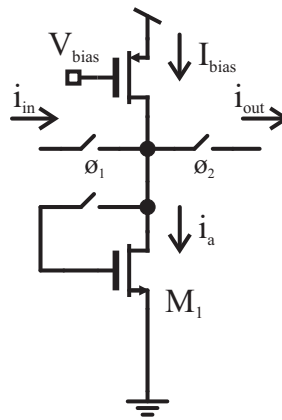


Figura 33: Célula de memória de corrente.

A equação 4.1 descreve o comportamento ideal da célula de memória. No entanto, esta corrente é afetada por não-idealidades, tais como: erro de condutância, erro devido à injeção de carga e erro de *settling*. A influência de cada erro na corrente de saída é descrita a seguir.

4.1.1 Erro de condutância

Em condições normais de operação o nó de dreno do transistor de memória M_1 estará sob diferentes níveis de tensão durante as diferentes fases ϕ_1 e ϕ_2 . Esta variação na tensão V_{ds} origina um erro na corrente memorizada I_{ds} pelo transistor M_1 através de dois mecanismos distintos. O primeiro é causado pelo coeficiente de modulação do canal, que atinge tanto o

transistor de memória quanto a fonte de polarização. O segundo se deve ao deslocamento de cargas que fluem da capacitância parasita C_{dg} para C_{gs} , causando um erro na tensão V_{gs} , e consequentemente, na corrente I_{ds} . Estes dois mecanismos de erro podem ser modelados através de uma condutância de saída g_o conectada em paralelo com o transistor de memória M_1 (ROSA et al., 2004).

Inicialmente, serão consideradas as células de memória em cascata apresentadas na figura 34. Para analisar este erro, as células serão consideradas ideais, exceto pela condutância de saída g_0 entre dreno e fonte do transistor de memória, expressa pela equação 4.2.

$$g_0 = g_{ds} + \frac{C_{gd}}{C_{gs} + C_{gd}} g_m \quad (4.2)$$

onde g_{ds} , C_{gs} , C_{gd} e g_m são, respectivamente, a condutância de saída, capacitância parasita porta-fonte, capacitância parasita porta-dreno e transcondutância do transistor de memória.

Durante a fase ϕ_1 , figura 34-(a), a corrente de dreno do transistor M_1 é dada por:

$$I_a = I_{bias} + I_{in}(n-1) - I_{g01} = I_{bias} + I_{in}(n-1) \left(1 - \frac{g_0}{g_m}\right) \quad (4.3)$$

Na fase ϕ_2 , figura 34-(b), o transistor M_2 amostra a corrente proveniente do transistor M_1 . Como os transistores M_1 e M_2 possuem a mesma razão (W/L), a corrente $I_{out}(n-1/2)$ é dada por:

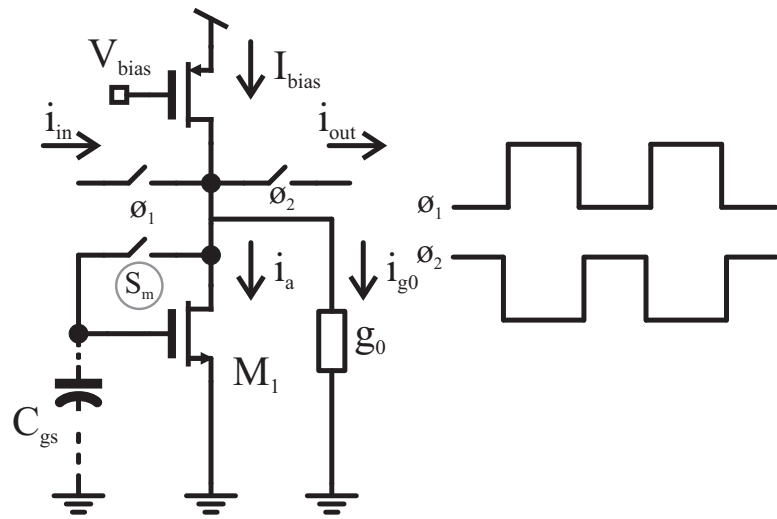
$$I_{out}(n-1/2) = I_{bias} - I_a - I_{g02} = -I_{in}(n-1) \left(1 - \frac{2g_0}{g_m}\right) = \frac{-I_{in}(n-1)}{1 + \frac{2g_0}{g_m}} \quad (4.4)$$

A equação 4.4 mostra que a corrente de saída é menor que o valor ideal. O fator de redução é dado por $1 + 2g_0/g_m$. Desta forma, valores finitos de condutância de saída e entrada contribuem como um erro de ganho. Realizando a transformada Z da equação 4.4 obtém-se:

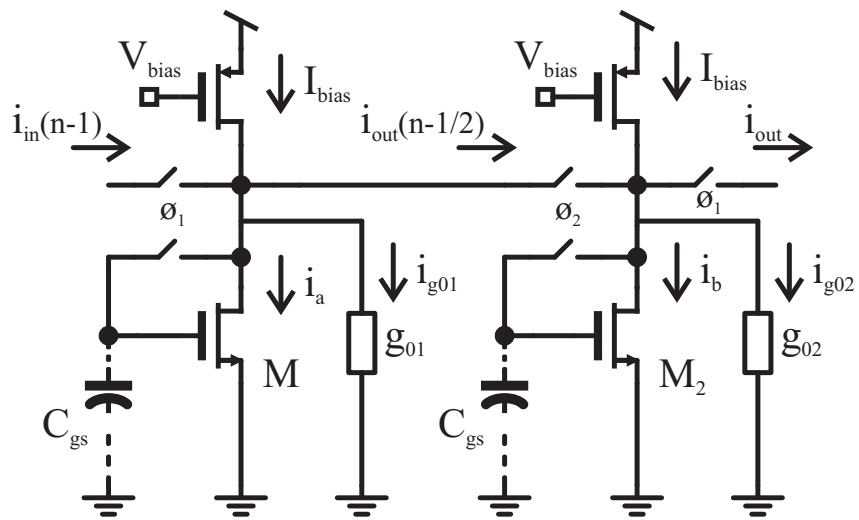
$$H(z) = \frac{I_{out}(z)}{I_{in}(z)} = \frac{-z^{-1/2}}{1 + \varepsilon_g} \quad (4.5)$$

onde ε_g é definido como o erro linear de condutância entre saída e entrada (ROSA et al., 2004) e definido pela equação 4.6.

$$\varepsilon_g = \frac{2g_0}{g_m} \quad (4.6)$$



(a)



(b)

Figura 34: Células de corrente em cascata. a) Fase ϕ_1 . b) Fase ϕ_2 .

Como apresentado na referência (ROSA et al., 2004), ganhos não-lineares podem ser gerados devido ao mecanismo de erro de condutância. Os erros mais significantes são de segunda e terceira ordem, expressos respectivamente pelas seguintes equações:

$$\varepsilon_{g2} = \frac{(1 - \varepsilon_g)(2g_{ds,n} + k_c g_m)}{g_m I_{bias}} \quad (4.7)$$

$$\varepsilon_{g3} = \frac{(1 - \varepsilon_g)(3g_{ds,n} + 3g_{ds,p} + 2k_c g_m)}{4g_m I_{bias}^2} \quad (4.8)$$

onde $k_c = C_{dg}/(C_{dg} + C_{gs})$.

Sendo o sinal de entrada uma corrente senoidal, a corrente de saída irá conter harmônicas do sinal de entrada. As harmônicas de segunda e terceira ordem são as componentes mais significantes e são expressas respectivamente, por:

$$HD_2 = \frac{\varepsilon_{g2}}{2(1 - \varepsilon_g)} I_i \cong \frac{\varepsilon_g}{2} M_i \quad (4.9)$$

$$HD_3 = \frac{\varepsilon_{g3}}{4(1 - \varepsilon_g)} I_i^2 \cong \frac{3\varepsilon_g}{32} M_i^2 \quad (4.10)$$

onde $M_i = I_i/I_{bias}$ é o índice de modulação de corrente. Observa-se que HD_2 e HD_3 são diretamente proporcionais à ε_g , portanto, estas harmônicas podem ser atenuadas utilizando as mesmas estratégias para reduzir ε_g (aumentando g_m ou reduzindo g_0).

4.1.2 Erro de *settling*

Circuitos SI operam com base na carga e descarga da capacitância parasita C_{gs} do transistor de memória. Se ao final do período de clock a capacitância de porta não tiver sido completamente carregada ou descarregada, um erro na corrente memorizada poderá ocorrer.

Durante a fase ϕ_1 , o transistor de memória é conectado em conexão diodo e a corrente de dreno I_a é incrementada de $I_a(n-1)$ para $I_a(n) = I_{bias} + I_{in}(n-1/2)$. Nesta situação, $I_a(n)$ é dada por:

$$I_a(n) = I_a(n-1)[I_a(n) - I_a(n-1)](1 - \varepsilon_s) \quad (4.11)$$

onde $\varepsilon_s = e^{-T/2\tau}$ é o erro de *settling*. O parâmetro τ representa a constante de tempo efetiva da célula de corrente durante a fase ϕ_1 e seu valor é definido por C_{gs}/g_m .

Durante a fase ϕ_2 , a corrente de dreno é mantida em I_a resultando numa corrente de saída $I_{out}(n) = I_{bias} - I_a(n)$. Num período de clock imediatamente anterior à ϕ_2 , a corrente de dreno era $I_a(n-1) = I_{bias} - I_{out}(n-1)$. Consequentemente,

$$I_{out}(n) = \varepsilon_s I_{out}(n-1) - (1 - \varepsilon_s) I_{in}(n-1/2) \quad (4.12)$$

A função de transferência, expressa em Z, obtida a partir da equação 4.12 resulta em:

$$H(z) = \frac{I_{out}(z)}{I_{in}(z)} = \frac{-(1 - \varepsilon_s)z^{-1/2}}{1 - \varepsilon_s z^{-1}} \quad (4.13)$$

onde o erro linear de settling é dado por:

$$\varepsilon_s = e^{-k_s} \quad (4.14)$$

A análise de HD_3 , componente de distorção harmônica dominante em circuitos diferenciais, devido ao erro de *settling* é realizada em (ROSA et al., 2004) e é dada por:

$$HD_3 = \frac{\alpha_s \varepsilon_s k_s (1 + k_s)}{16(1 - \varepsilon_s)} M_i^2 \sin\left(\pi \frac{f_i}{f_s}\right) \quad (4.15)$$

onde $M_i = I_i/(2I_{bias})$, $\alpha_s = 3/2$ e $k_s = T_s/(2\tau)$.

4.1.3 Erro de injeção de carga

Este mecanismo de erro tem origem nas não-idealidades do transistor NMOS utilizado como chave. Quando a chave MOS é desligada, no final da fase ϕ_1 , ver figura 34-(a), as cargas móveis do canal da chave S_m fluem para os terminais de dreno, substrato e fonte. Parte desta carga será armazenada na capacitância C_{gs} do transistor de memória. Além do mais, a rápida mudança na tensão de porta causa um deslocamento de cargas do canal através das capacitâncias de difusão (C_{ol}) de dreno e fonte de S_m (RIFFAUD et al., 1997), (SONG; LEE; KIM, 1993). Estes dois fenômenos causam a variação da tensão V_{gs} do transistor de memória, o que ocasionará um erro na corrente memorizada. Este erro é conhecido como erro de injeção de carga e pode ser expresso como:

$$\Delta v_q = \frac{\Delta q_{inj}}{C_{gs}} = \Delta V_{qoff} - \xi_q v_{gs} \quad (4.16)$$

onde ΔV_{qoff} e ξ_q são dados por:

$$\Delta V_{qoff} = \frac{\alpha_q}{C_{gs}} [C_{ox} W_{seff} L_{seff} (V_H - V_T)] + \frac{C_{ol}}{C_{gs}} (V_H - V_L) \quad (4.17)$$

$$\xi_q = \frac{\alpha_q C_{ox} W_{seff} L_{seff}}{C_{gs}} \left(1 + \frac{\gamma}{3}\right) \quad (4.18)$$

onde V_H e V_L são os níveis lógicos alto/baixo de chaveamento de S_m , α_q é a fração da carga injetada em C_{gs} (tipicamente $\alpha_q=1/2$), γ é o coeficiente de efeito de corpo, e W_{seff} e L_{seff} são os valores efetivos de largura e comprimento do canal de S_m , respectivamente.

Ao final da fase ϕ_1 do período $(n - 1/2)T_s$ a tensão na porta do transistor M_1 pode ser expressa como:

$$v_{gs,n-1/2} = V_T + (V_{gs} - V_T) \sqrt{1 + M_{i,n-1/2}} \quad (4.19)$$

Quando a chave é desligada, a carga do canal de S_m origina um erro de tensão Δv_q na capacitância C_{gs} do transistor de memória. Na fase ϕ_2 do período nT_s , a corrente de saída é dada por:

$$i_{o,n} = I_{bias} - \frac{\beta}{2} (v_{gs,n-1/2} + \Delta v_q - V_T)^2 \quad (4.20)$$

onde $\beta = \mu_n C_{ox}$, sendo μ_n a mobilidade do canal do transistor MOS do tipo n e C_{ox} a capacitância de óxido de silício.

Substituindo a equação 4.16 em 4.20 e realizando a expansão de Taylor conforme apresentado em (ROSA et al., 2004) têm-se:

$$i_{o,n} \cong I_{qoff} - (1 - \varepsilon_q) i_{i,n-1/2} + \varepsilon_q 2 i_{i,n-1/2}^2 + \varepsilon_q 3 i_{i,n-1/2}^3 \quad (4.21)$$

onde:

$$\varepsilon_q \cong 2\xi_q - \frac{\Delta V_{qoff} - \xi_q V_T}{V_{gs} - V_T} = \frac{I_{qoff}}{2I_{bias}} + \xi_q \quad (4.22)$$

é o erro de injeção de carga linear e:

$$I_{qoff} \cong 2I_{bias} \left[\xi_q - \frac{\Delta V_{qoff} - \xi_q V_T}{V_{gs} - V_T} \right] \quad (4.23)$$

$$\varepsilon_{q2} \cong \frac{\Delta V_{qoff} - \xi_q V_T}{4I_{bias}(V_{gs} - V_T)} \quad (4.24)$$

$$\varepsilon_{q3} \cong \frac{-(\Delta V_{qoff} - \xi_q V_T)}{8I_{bias}^2(V_{gs} - V_T)} \quad (4.25)$$

representam a corrente de *offset* e o ganho de segunda e terceira ordem, respectivamente. Os coeficientes de distorção harmônica, conforme (ROSA et al., 2004), são aproximados por:

$$HD_2 \cong \frac{-\varepsilon_q}{8} M_i \quad (4.26)$$

$$HD_3 \cong \frac{\varepsilon_q}{32} M_i^2 \quad (4.27)$$

4.1.4 Efeitos cumulativos dos erros na célula de memória

Com base na análise da influência de cada mecanismo de erro em circuitos SI, apresentada anteriormente, será descrito o efeito cumulativo dos erros ε_g , ε_s e ε_q na célula de memória de corrente.

Considere o circuito em cascata apresentado na figura 35. Durante a fase ϕ_2 , o transistor M_1 retém a corrente enquanto o transistor M_2 amostra. A corrente estacionária do transistor M_2 é dada por:

$$I_b = -(1 - \varepsilon_g)I_a(n - 1/2) \quad (4.28)$$

onde ε_g é o erro de condutância.

Devido ao erro de *settling*, a corrente de dreno do transistor M_2 é modificada por:

$$I_b(n) = \varepsilon_s I_b(n - 1) + (1 - \varepsilon_s)I_b(n) \quad (4.29)$$

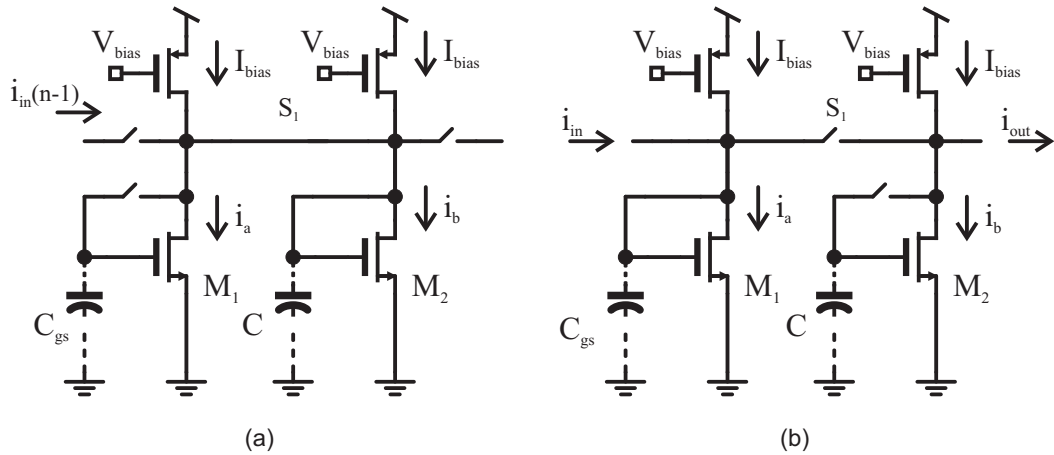


Figura 35: Efeito cumulativo dos erros na célula SI. a) Fase ϕ_1 . b) Fase ϕ_2 .

Substituindo a equação 4.28 em 4.29, obtém-se:

$$I_b(n) = \varepsilon_s I_b(n-1) - (1 - \varepsilon_s)(1 - \varepsilon_g) I_a(n-1/2) \quad (4.30)$$

Quando a chave S_1 abre, a carga injetada em C introduz um erro adicional descrito pelo erro ε_q . Desta forma a corrente I_b é expressa por:

$$I_b(n) = \varepsilon_s(1 - \varepsilon_q) I_b(n-1) - (1 - \varepsilon_s)(1 - \varepsilon_g)(1 - \varepsilon_q) I_a(n-1/2) \quad (4.31)$$

Realizando a transformada Z da equação 4.31 obtém-se a função de transferência completa da célula de memória:

$$H(z) = \frac{-(1 - \varepsilon_s)(1 - \varepsilon_g)(1 - \varepsilon_q)z^{-1/2}}{1 - \varepsilon_s(1 - \varepsilon_q)z^{-1}} \quad (4.32)$$

Como pode ser visto, a função de transferência da célula é multiplicada por um ganho que é a soma dos erros ε_g , ε_s e ε_q . Além disso, o erro de *settling* não apenas contribui para o erro de ganho, mas também modifica a posição do pólo da função de transferência.

4.1.5 Efeitos cumulativos dos erros no integrador de corrente

A análise realizada na seção anterior pode ser estendida para o integrador de corrente da figura 36. Na fase ϕ_1 do período $(n-1)T_s$, o transistor M_1 está ligado em conexão diodo e sua corrente de dreno muda de um valor prévio $I_a(n)$ para um novo valor de corrente, dado por:

$$I_a = I_{bias} + I_{in}(n-1) + I_{out}(n-1) \quad (4.33)$$

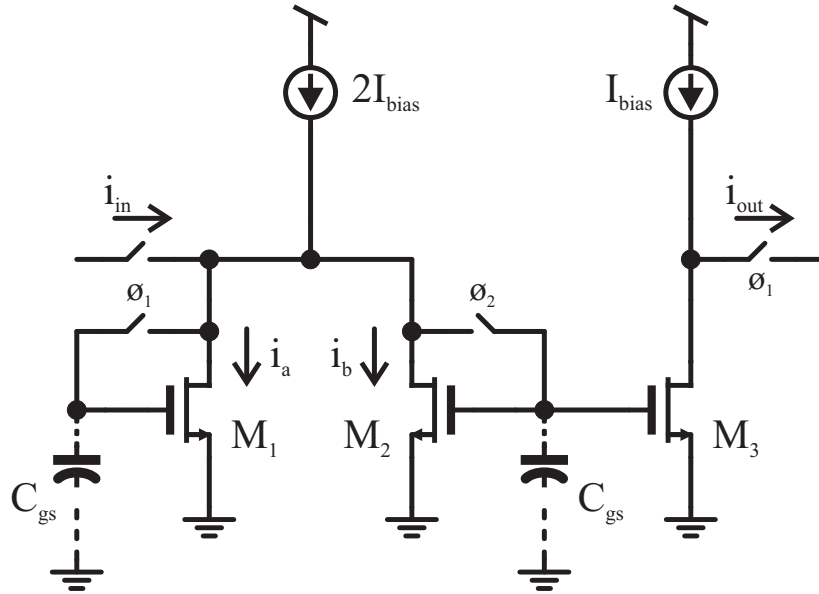


Figura 36: Integrador de corrente.

Incluindo os erros de injeção de carga e de condutância, obtém-se:

$$I_a = I_{bias} + (1 - \varepsilon_g) [I_{in}(n-1) + (1 - \varepsilon_q)I_{out}(n-1)] \quad (4.34)$$

Devido a existência do efeito de *settling*, a corrente I_a possui um resquício do período anterior. Portanto, a equação 4.34 pode ser reescrita da seguinte forma:

$$I_a(n) = \varepsilon_s I_a(n-1) + (1 - \varepsilon_s) I_a \quad (4.35)$$

cuja forma expandida é descrita na equação 4.36.

$$I_a(n) = \varepsilon_s I_a(n-1) + (1 - \varepsilon_s)(I_{bias} + (1 - \varepsilon_g)[I_{in}(n-1) + (1 - \varepsilon_q)I_{out}(n-1)]) \quad (4.36)$$

Já na fase ϕ_2 , a corrente estacionária do transistor M_2 é I_b ,

$$I_b(n) = 2I_{bias} - I_a(n) \quad (4.37)$$

Devido ao erro de *settling*, a corrente I_b sofre uma modificação conforme mostra a equação 4.38.

$$I_b(n) = \varepsilon_s I_b(n-1) + (1 - \varepsilon_s) I_b \quad (4.38)$$

Supondo que o espelho de corrente apresentado na figura 36 seja ideal, obtém-se:

$$I_b(n) = I_{bias} - I_{out}(n) \quad (4.39)$$

Substituindo as equações 4.37 e 4.39 na equação 4.38, chega-se à:

$$I_a(n) = I_{bias} - \frac{1}{\varepsilon_s - 1} I_{out}(n) + \frac{\varepsilon_s}{\varepsilon_s - 1} I_{out}(n - 1) \quad (4.40)$$

Num ciclo de clock imediatamente anterior a corrente I_a é dada por:

$$I_a(n - 1) = I_{bias} - \frac{1}{\varepsilon_s - 1} I_{out}(n - 1) + \frac{\varepsilon_s}{\varepsilon_s - 1} I_{out}(n - 2) \quad (4.41)$$

Substituindo as equações 4.40 e 4.41 na equação 4.36 e realizando a transformada Z obtém-se a seguinte função de transferência:

$$H(z) = \frac{I_{out}(z)}{I_{in}(z)} = \frac{(1 - \varepsilon_s)^2 (1 - \varepsilon_g) z^{-1}}{1 - 2\varepsilon_s + (1 - \varepsilon_s)^2 (1 - \varepsilon_g) (1 - \varepsilon_q) z^{-1} + \varepsilon_s^2 z^{-2}} \quad (4.42)$$

Analisando a equação 4.42 verifica-se que, de modo similiar à equação 4.32, todos erros contribuem como um erro de ganho na função de transferência do integrador de corrente. No entanto, o erro de *settling* é o único que modifica a posição do pólo ou até mesmo pode acrescentar um pólo na dinâmica do integrador.

4.2 Técnicas de circuito para redução do erro de condutância finita ε_g

O erro de transmissão ε_g pode ser reduzido tanto pelo incremento da condutância de entrada, g_{in} , quanto pela redução da condutância de saída da célula de memória, g_o . No caso de uma simples célula de memória, têm-se que:

$$\varepsilon_g = \frac{2g_o}{g_m} = \lambda_n \sqrt{\frac{2I_{bias}L}{W\mu_o C_{ox}}} \quad (4.43)$$

onde g_o é aproximado por $\lambda_n I_{bias}$. Observe que ε_g pode ser reduzido tanto pela redução de I_{bias} quanto pelo aumento da razão W/L . Entretanto, um valor baixo de corrente de polarização induz uma redução na faixa linear do sinal de entrada, conseqüentemente, no valor da excursão dinâmica (DR). Por outro lado, o uso de um valor elevado para W/L dá origem a grandes valores de C_{gs} e, conseqüentemente, uma redução na largura de banda e uma penalidade em termos de

área em silício.

De acordo com o que foi exposto até agora é razoável aceitar que o uso da técnica de projeto com base no dimensionamento do transistor de memória não é por si só uma solução ótima para aplicações práticas. Para solucionar este problema várias técnicas de circuito foram propostas tanto para aumentar a condutância de entrada quanto para aumentar a impedância de saída de células de memória.

A figura 37 apresenta algumas estratégias comumente utilizadas para aumentar a impedância de saída destes circuitos com base em técnicas *cascode*. O esquemático da figura 37-(a) apresenta uma simples célula de memória com transistores do tipo *cascode*. A variação da tensão dreno-fonte, V_{ds} , do transistor M é reduzida pelo ganho de tensão do transistor M_c . Durante a fase ϕ_2 a condutância equivalente de saída desta célula é dada por:

$$g_{oc} = g_{dsM} \left(\frac{g_{dsc}}{g_{mc}} \right) = g_o \left(\frac{g_{dsc}}{g_{mc}} \right) \quad (4.44)$$

onde g_o representa a condutância de saída de uma célula de memória simples e g_{mc}/g_{dsc} o ganho de tensão de M_c .

Observe que o circuito apresentado na figura 37-(a) conecta o dreno do transistor M_c à porta do transistor M, dificultando a polarização de ambos transistores na saturação. Para contornar este problema, o circuito da figura 37-(b) adiciona um circuito seguidor de emissor, compostos pelos transistores M_{c1} e M_{c2} , à qual modifica o nível de tensão do nó de dreno do transistor M para acomodar tanto o transistor M_c quanto M na região de saturação. A condutância de saída deste novo circuito é aproximadamente a mesma da célula de memória com transistores *cascode* apresentada na figura 37-(a).

Embora a adição de transistores *cascode* diminua notavelmente o erro de transmissão ε_g , técnicas de maior desempenho são necessárias para circuitos de alta resolução. Isto pode ser obtido com o emprego da célula de memória *cascode-regulada* apresentada na figura 37-(c) (TOUMAZOU; HUGHES; PATTULLO, 1990). Nesta célula, o amplificador formado por M_c e M_r reduz a condutância de saída, g_{orc} , por:

$$g_{orc} = g_o \left(\frac{g_{dsc}}{g_{mc}} \right) \left(\frac{g_{dsr}}{g_{mr}} \right) \quad (4.45)$$

onde g_{mc}/g_{dsc} e g_{mr}/g_{dsr} são, respectivamente, o ganho de tensão dos transistores M_c e M_r . Tipicamente $g_{mc}/g_{dsc} \sim 100$, resultando num valor ε_g cerca de 10000 vezes menor se comparado a uma simples célula de memória.

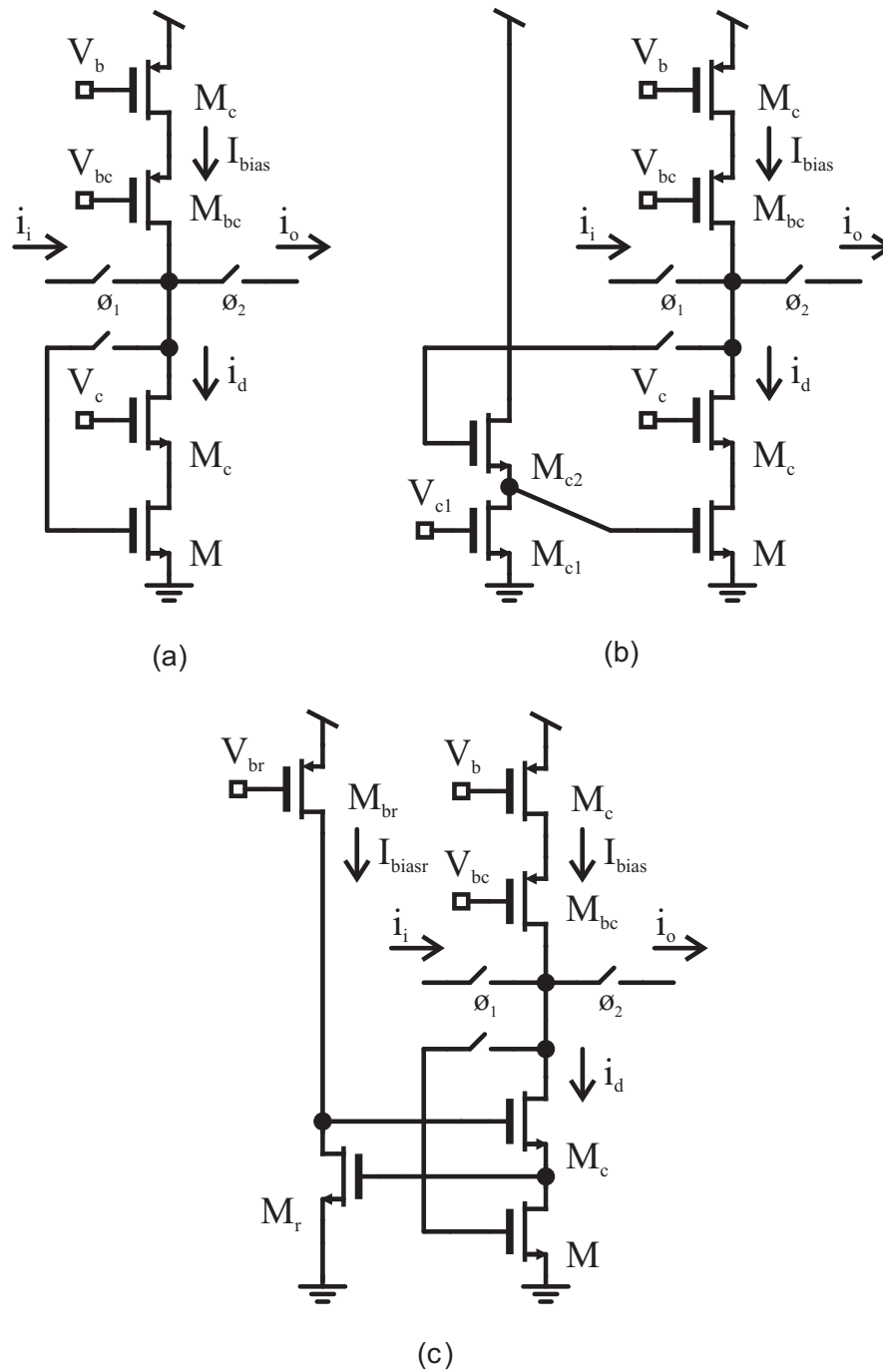


Figura 37: Técnicas de circuito para reduzir g_o . a) Célula de memória com transistores *cascode*. b) Célula de memória com seguidor de emissor. c) Célula de memória *cascode-regulada*.

De outro modo, o erro ε_g pode ser reduzido através do incremento da admitância de entrada da célula de corrente. A figura 38 apresenta vários circuitos que utilizam esta estratégia. O esquemático da figura 38-(a) introduz a célula de memória do tipo *folded-cascode*. Esta célula faz o uso do ganho de tensão do transistor M_c , que é normalmente de polaridade oposta à do transistor de memória, para aumentar a condutância de entrada por:

$$g_{ifc} = g_m \left(\frac{g_{mc}}{g_{dsc}} \right) = g_i \left(\frac{g_{mc}}{g_{dsc}} \right) \quad (4.46)$$

onde g_i é a condutância de entrada da célula de memória padrão.

A impedância de entrada da célula de memória *folded-cascode* pode ser incrementada pela simples adição de dois transistores em laço durante o período de amostragem. O circuito resultante é denominado de célula de memória *folded-cascode* regulada, ver figura 38-(b). A análise de pequenos sinais revela que a condutância equivalente de entrada da célula de memória *folded-cascode* regulada, g_{irfc} , é expressa por:

$$g_{irfc} = g_i \left(\frac{g_{mc}}{g_{dsc}} \right) \left(\frac{g_{mr}}{g_{dsr}} \right) \quad (4.47)$$

Outra estratégia bastante utilizada para a redução de ε_g é apresentada na figura 38-(c). Esta célula utiliza a técnica denominada *Grounded-Gate voltage Amplifier* (GGA) para criar um terra virtual no nó de entrada da célula de memória (HUGHES; MOULDING, 1993). Nesta célula, a condutância de entrada, g_{igga} , é expressa por:

$$g_{igga} = g_i \left(\frac{g_{mg}}{g_{dsg}} \right) \quad (4.48)$$

onde $g_{m,g}/g_{ds,g}$ é o ganho de tensão de M_g . O ganho da estrutura GGA pode ser incrementada pelo uso da técnica *cascode* regulado. Esta implementação é apresentada na figura 38-(d) cuja impedância de entrada, g_{irgga} , é definida por:

$$g_{irgga} = g_i \left(\frac{g_{mg}}{g_{dsg}} \right) \left(\frac{g_{mrg}}{g_{dsrg}} \right) \quad (4.49)$$

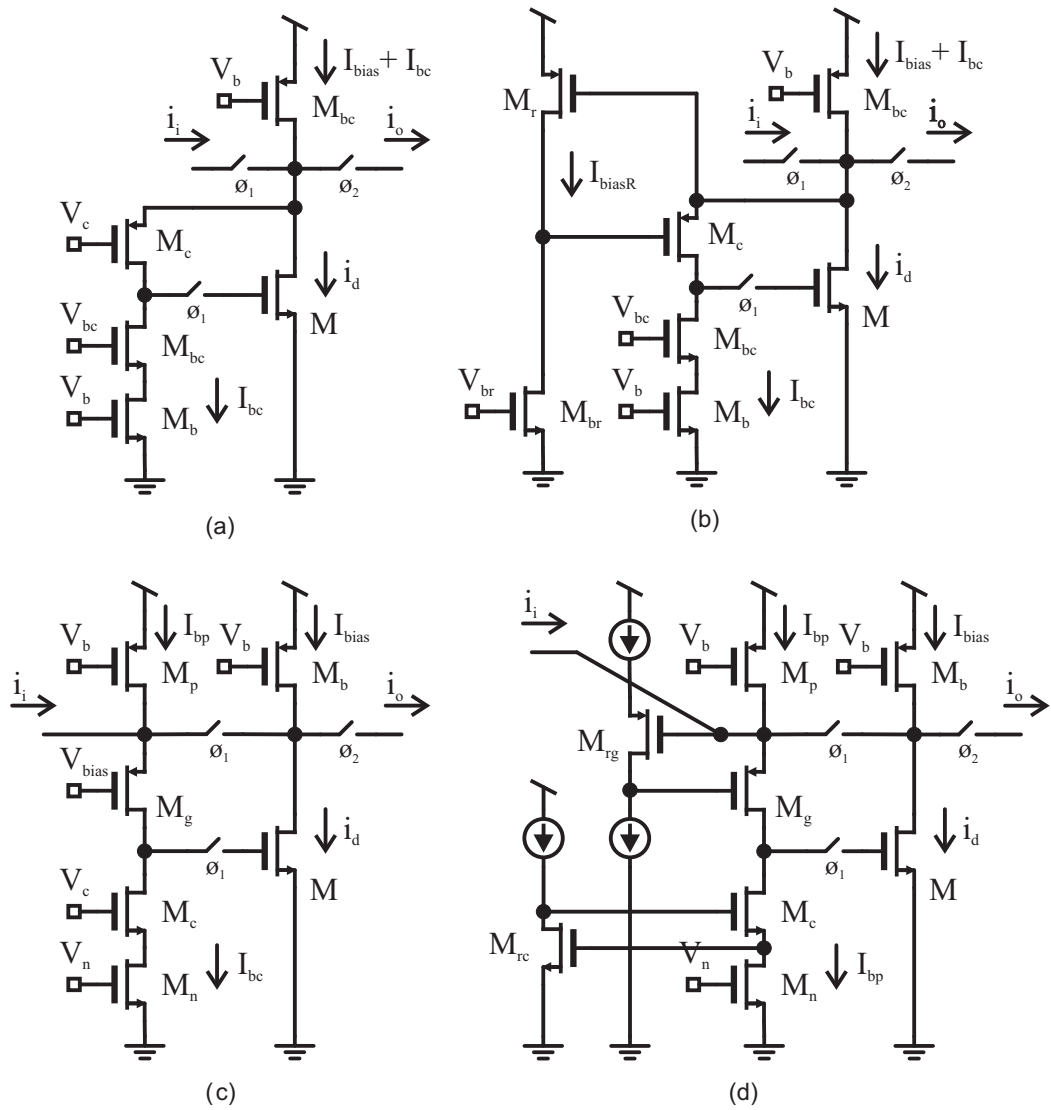


Figura 38: Técnicas de circuito para incrementar g_i . a) Célula de memória *folded-cascode*. b) Célula de memória *folded-cascode* regulada. c) Célula de memória GGA. d) Célula de memória GGA regulada.

4.3 Técnicas de circuito para a redução do erro devido à injeção de carga ε_q

A análise do erro de injeção de carga revela que este mecanismo ocasiona o mesmo tipo de degradação de performance daquela apresentada pelo erro de condutância finita: um erro de ganho, ver seção 4.1.3. Entretanto, as estratégias de controle e cancelamento do primeiro são mais complexas devido a várias razões. De um lado, os mecanismos físicos responsáveis por ε_q são mais complexos do que aqueles envolvidos em ε_g , dessa forma, um modelo mais preciso é necessário. Por outro lado, um modelo mais preciso envolve um maior número de parâmetros elétricos, tornando assim o controle através do dimensionamento dos transistores demasiadamente complicado.

Por estas razões o erro ε_q não é completamente removido na prática, tornando assim um dos principais fatores limitantes para o desenvolvimento de circuitos SI de alta performance. Para contornar este problema algumas técnicas de compensação foram propostas na literatura, dentre elas podemos citar: compensação por chave *dummy*, circuitos ZVS, circuitos algoritmos e aplicação de topologias diferenciais.

4.3.1 Compensação por chave *dummy*

A figura 39 mostra uma célula de memória que utiliza o esquema de compensação de ε_q por meio do uso de uma chave *dummy*. A chave *dummy*, M_{sd} , é por padrão um transistor MOS com as dimensões mínimas permitidas pela tecnologia. Já o transistor real utilizado como chave, M_s , é composto por dois transistores MOS de dimensões mínimas ligados em paralelo. Como o transistor M_{sd} é controlado por um sinal de clock invertido, quando M_s desliga, a chave M_{sd} é acionada coletando a carga do canal do transistor M_s que seria injetada na capacitância C_{gs} do transistor de memória.

A precisão da técnica de compensação com utilização de chaves *dummy* depende da relação existente entre os tempos de subida e descida das bordas de ϕ_1 e $\overline{\phi_1}$ (JONSSON, 2000). Na prática é difícil controlar com precisão estes sinais, portanto, o completo cancelamento do erro de injeção de carga não é possível.

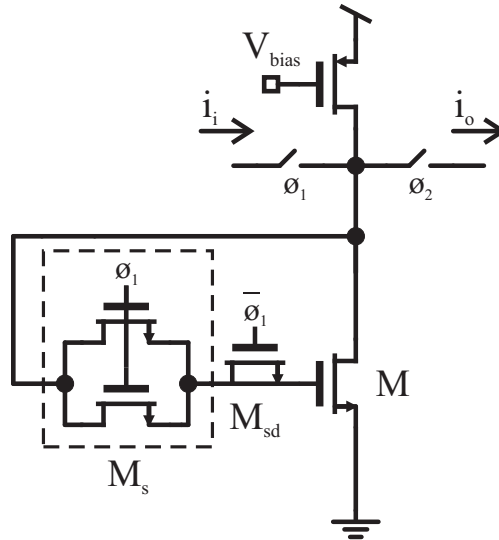


Figura 39: Compensação por chave *dummy*.

4.3.2 Compensação por ZVT

Outra estratégia para a redução de ϵ_q é conhecida por ZVT (*Zero Voltage Technique*), ver figura 40. Por meio desta técnica é possível cancelar a parcela de injeção de carga dependente do sinal. A operação deste circuito é descrita a seguir. Durante a fase ϕ_1 , devido a realimentação formada pelo amplificador operacional e M_{1a} , tanto o terminal dreno quanto fonte da chave permanecem num potencial constante e igual à V_{bias} . Assim, quando a chave abre no início da fase ϕ_2 , a carga injetada no capacitor de memória C_H é fortemente independente do sinal. Esta técnica em combinação com topologias diferenciais atinge uma significativa redução de ϵ_q , tanto no que se refere à parte dependente quanto independente do sinal.

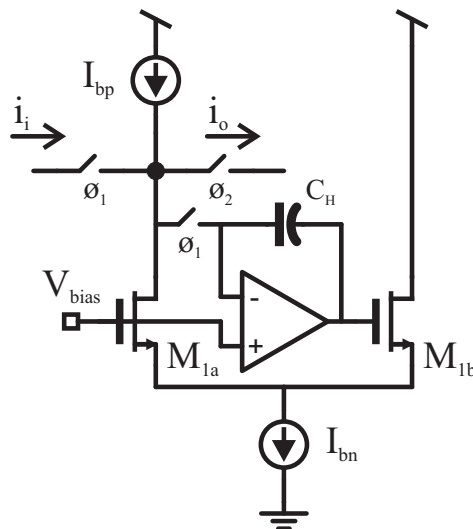


Figura 40: Compensação por ZVT.

Uma importante desvantagem desta técnica é a necessidade do uso de um amplificador operacional para sua implementação, o que desencadeia tanto um incremento na potência dissipada quanto na complexidade de projeto do circuito, fatores estes completamente contrários à filosofia de projeto de circuitos SI.

4.3.3 Compensação por circuitos algorítmicos - S²I

Uma técnica largamente empregada em circuitos SI para o cancelamento do erro devido a injeção de carga é baseada na estratégia algorítmica. Esta estratégia de circuito consiste em amostrar o erro, invertê-lo e adicionar o resultado à corrente memorizada. A natureza algorítmica no processo assegura que ε_q seja cancelado sem a necessidade de casamento entre transistores (HUGHES; MOULDING, 1996).

A figura 41 apresenta uma célula de memória S²I. Esta célula divide o tempo de amostragem em dois passos. No primeiro passo, durante o período de fase ϕ_{1a} , a corrente de entrada é memorizada com um erro Δi_q pelo transistor de amostragem grossa M_c . Este erro é novamente amostrado durante a fase ϕ_{1b} pelo transistor de amostragem fina, de tal forma que $\delta i_q = \Delta(\Delta i_q) \cong (\Delta i_q)^2$. Portanto, a corrente de saída é expressa por:

$$i_{o,n} = i_{i,n-1/2} - (\Delta i_q)^2 \quad (4.50)$$

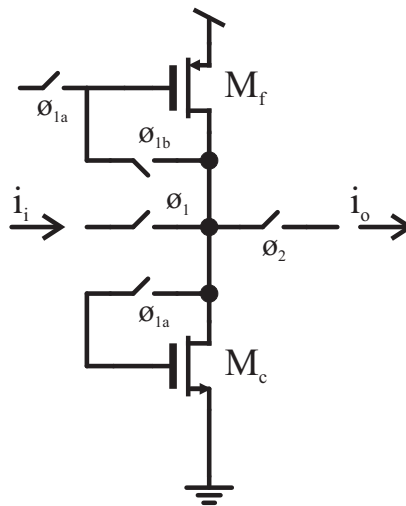


Figura 41: Compensação por S²I.

4.3.4 Compensação por circuitos diferenciais

Conforme visto nas seções anteriores, a maior parte do erro de injeção de carga se deve ao termo de *offset*: V_{off} (ver equação 4.17). Este termo pode ser cancelado se a topologia

empregada for diferencial, tal como apresentada na figura 42.

Nesta célula, o erro diferencial devido a ε_q pode ser definido como:

$$\Delta v_{qdif} \equiv \Delta v_{q+} - \Delta v_{q-} = \xi_q v_{gdif} \quad (4.51)$$

que é notavelmente inferior se comparado às células de apenas uma saída.

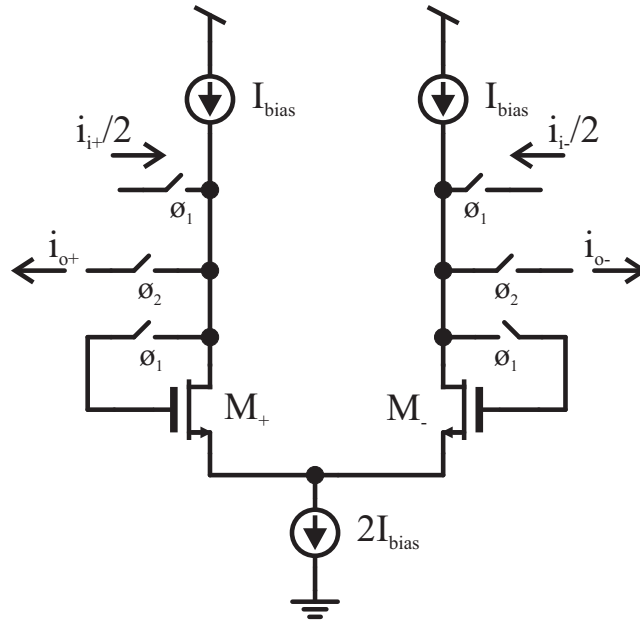


Figura 42: Célula de memória SI diferencial.

Além de reduzir o erro linear, o emprego de topologias diferenciais proporciona de forma direta o cancelamento de harmônicas pares. Conforme é apresentado em (ROSA et al., 2004), a corrente de saída do circuito da figura 42, quando sujeito ao erro de injeção de carga, pode ser escrita como:

$$i_{o,n} = -(1 - \varepsilon_{qdif})i_{i,n-1/2} + \varepsilon_{q3dif}i_{i,n-1/2}^3 + \dots \quad (4.52)$$

onde

$$\varepsilon_{qdif} \cong \frac{\xi_q [V_T + 2(V_{gs} - V_T)]}{V_{gs} - V_T} \quad (4.53)$$

e

$$\varepsilon_{q3dif} \cong \frac{\xi_q V_T}{32I_{bias}^2 (V_{gs} - V_T)} \quad (4.54)$$

Adicionalmente, a célula de memória diferencial pode ser utilizada não somente para cancelar o erro de injeção de carga, mas também para eliminar outros mecanismos de erro. Se o circuito da figura 42 for considerado ideal, exceto pelo erro de condutância finita, ε_g , têm-se que a corrente de saída i_o é expressa por:

$$i_{o,n} = -(1 - \varepsilon_g)i_{i,n-1/2} + \varepsilon_{q3dif}i_{i,n-1/2}^3 + \dots \quad (4.55)$$

onde

$$\varepsilon_{q3dif} \cong \frac{3\varepsilon_g}{128I_{bias}^2} \quad (4.56)$$

Conforme visto, células de memória que empregam topologias diferenciais podem atingir uma performance mais elevada se comparada às células de memória que possuem apenas uma única saída.

5 PROJETO ELÉTRICO DO MODULADOR SI- $\Sigma\Delta$

5.1 Características da topologia

Para diminuir a influência da componente DC e das harmônicas pares, foi projetado um modulador $\Sigma\Delta$ empregando uma topologia em cascata de dois estágios diferenciais, como mostra o diagrama de blocos da figura 43. Cada estágio é formado por dois integradores, um comparador de corrente e um 1-bit DAC. A entrada do modulador é um sinal de corrente e a saída é um sinal de tensão digital. Pelo fato do circuito operar em modo corrente, o sinal de realimentação pode ser diretamente conectado aos nós de entrada do modulador. Isto simplifica a implementação do circuito, uma vez que circuitos adicionais para implementar a operação de soma de sinais não são necessários.

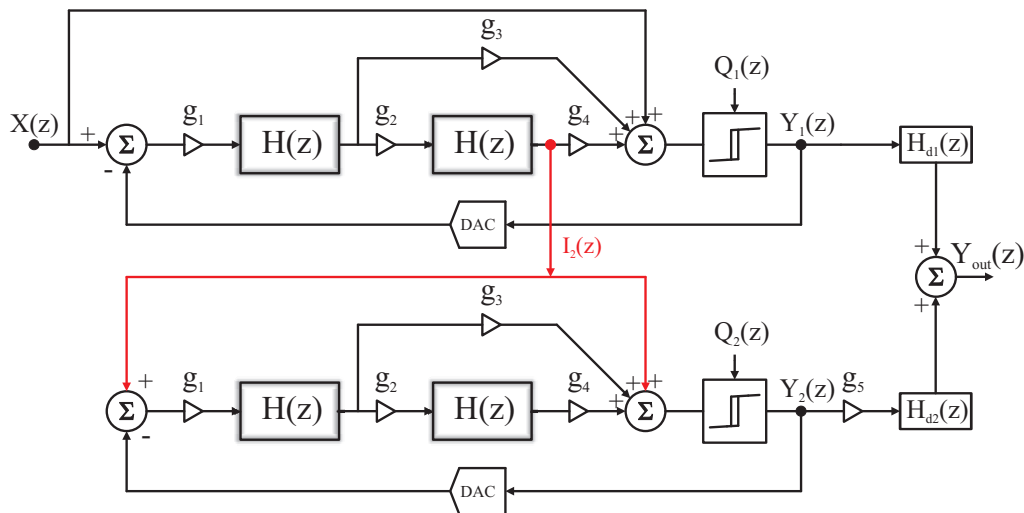


Figura 43: Topologia cascata 2-2 de baixa distorção.

Antes de iniciar o projeto elétrico do modulador SI- $\Sigma\Delta$ algumas similaridades e diferenças entre as implementações SI e SC serão apontadas na próxima seção.

5.2 Similaridades e diferenças entre as implementações SC e SI

Implementações bem sucedidas requerem otimizações em nível de sistema. Em sistemas de tempo discreto o integrador, normalmente, contém um ciclo de clock de atraso de modo a permitir um bom comportamento de *settling*. Segundo este ponto de vista, as realizações em SC e SI possuem o mesmo caráter estrutural. No entanto, a determinação dos ganhos (coeficientes) difere se o modulador é implementado em SC ou SI.

No integrador SC o ganho é diretamente obtido a partir da razão entre os capacitores de integração (C_i) e amostragem (C_s); esta razão por sua vez possui influência direta na excursão de sinal do integrador. A figura 44 mostra um integrador realizado a partir da técnica SC. A função de transferência desse sistema é dada por:

$$V_{out}(z) = \frac{C_i}{C_s} \frac{1}{1 - z^{-1}} \left[z^{-1} V_{in1}(z) - z^{-1/2} V_{in2}(z) \right] \quad (5.1)$$

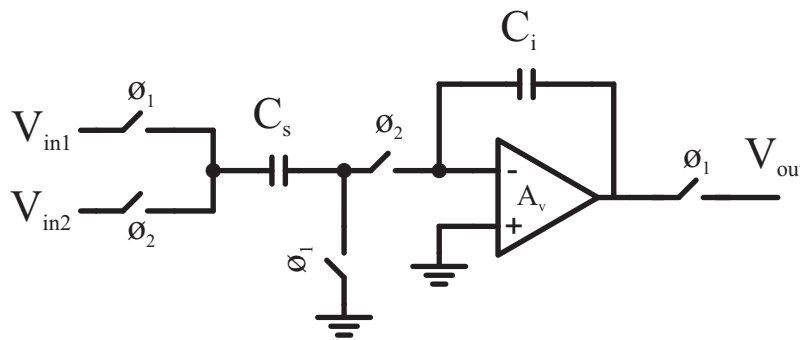


Figura 44: Comparativo entre técnicas: integrador SC.

Em relação à V_{in1} , a tensão de saída V_{out} possui um ciclo de atraso de clock. Já em relação V_{in2} , existe somente meio ciclo de clock de atraso.

A figura 45 apresenta um integrador implementado a partir da técnica de comutação de corrente. A relação entre os transistores e as fontes de corrente são indicadas na figura 45. A corrente de saída $I_{out}(z)$ é definida como:

$$I_{out}(z) = \frac{\alpha}{1 - z^{-1}} \left[z^{-1} I_{in1}(z) - z^{-1/2} I_{in2}(z) \right] \quad (5.2)$$

Assim, como no caso anterior, a corrente de saída I_{out} possui um ciclo de atraso em relação à I_{in1} e somente meio ciclo de atraso em relação I_{in2} . Neste caso, diferentes ganhos podem ser obtidos modificando o tamanho do transistor T_{n3} em relação a T_{n1} . No entanto, diferentemente do integrador SC, o ganho do integrador SI não altera a excursão do sinal de entrada. Desta forma, o escalonamento de moduladores SI- $\Sigma\Delta$ difere do equivalente SC no que se refere a

capacidade de excursão de sinal dos integradores, conforme apresentado na referência (TAN et al., 1996).

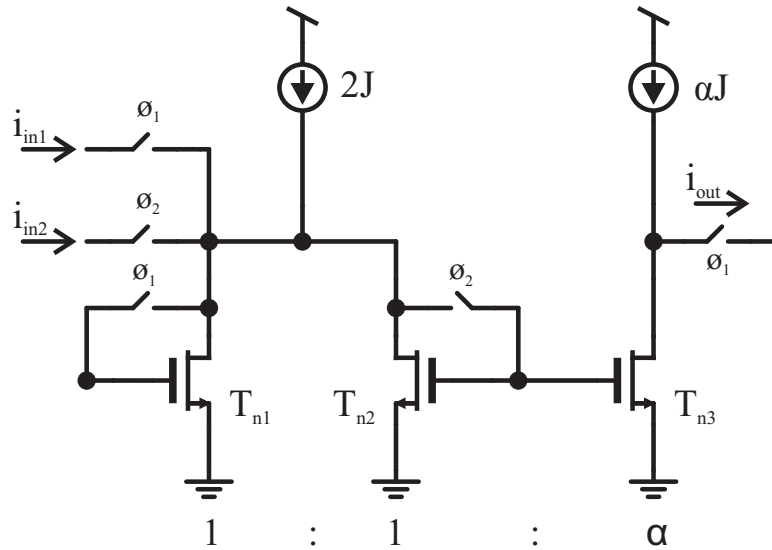


Figura 45: Comparativo entre técnicas: integrador SI.

5.3 Projeto da célula de memória

O elemento básico da técnica de comutação de corrente é a célula de memória SI (CHAN; CHUNG, 1999). Nestas células de memória SI existe uma relação inversamente proporcional entre precisão e velocidade (RODRIGUEZ-CALDERON; SANTANA-CORTE; SANDOVAL-IBARRA, 2002). Em outras palavras, a máxima frequência de amostragem f_s é limitada pela constante de *settling* do sinal. A relação entre os parâmetros mencionados (tomando como referência o circuito simplificado apresentado na figura 46) é expressa na equação 5.3.

$$\tau = \frac{1}{f} = C_{gs}/g_{m1} = \frac{(V_{gs} - V_T)_{M1}}{2I_{bias}} \quad (5.3)$$

Segundo a equação 5.3, para uma determinada corrente de polarização I_{bias} a frequência de amostragem pode ser elevada por meio da redução de $(V_{gs} - V_T)$ ou C_{gs} . Entretanto, isto é um problema quando se deseja um alto SNDR e baixos níveis de distorção, uma vez que pequenos valores de $(V_{gs} - V_T)_{M1}$ e C_{gs} induzem à um maior erro na tensão armazenada na capacitância parasita C_{gs} . O erro de tensão ΔV no terminal de porta do transistor M_1 é dado por:

$$\Delta V = \frac{1}{2} \frac{Q_{S2}}{C_{gs}} = \frac{1}{2} \left[\frac{(WL)_{S2} C_{ox} (V_{gs} - V_T)_{S2}}{C_{gs}} \right] \quad (5.4)$$

onde Q_{S2} , $(WL)_{S2}$ e $(V_{gs} - V_T)_{S2}$ são, respectivamente, a carga armazenada na porta, a área

e tensão de saturação da chave S_2 . A equação 5.4 demonstra que o erro de injeção de carga pode ser atenuado diminuindo a área das chaves, incrementando C_{gs} e reduzindo a amplitude do sinal de clock aplicado ao circuito. Da mesma forma, o SNDR é proporcional à $(V_{gs} - V_T)_{M1} \sqrt{C_{gs}}$, consequentemente, altos valores de C_{gs} resultam em circuitos de maior precisão.

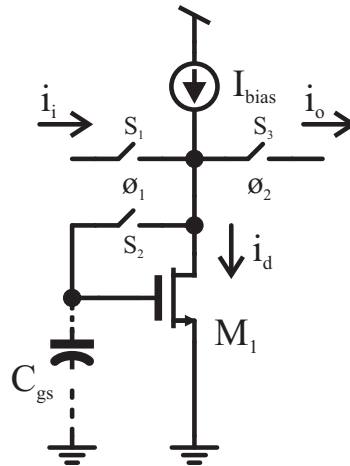


Figura 46: Célula de memória simplificada.

Para contornar os problemas ocasionados pelos mecanismos de erro de circuitos SI, técnicas de compensação são utilizadas. Dentre estas técnicas pode-se citar o *cascode* regulado (figura 47-(a)) e o *folded-cascode* regulado (figura 47-(b)).

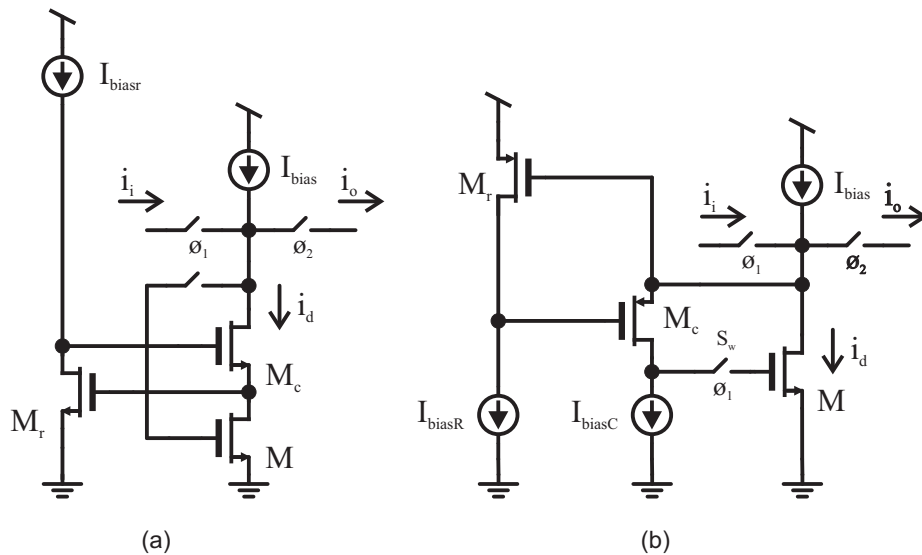


Figura 47: Estratégias de circuito para reduzir ϵ_g . a) Célula de memória *cascode* regulado. b) Célula de memória *folded-cascode* regulado.

As duas topologias citadas empregam sistemas de realimentação local visando aumentar a resistência de saída ou diminuir a impedância de entrada das células de memória. No entanto, a resistência de saída da topologia apresentada na figura 47-(a) é limitada principalmente pela fonte de polarização I_{bias} , uma vez que o modelo de pequenos sinais revela que a impedância da

mesma encontra-se em paralelo à saída da célula. De modo contrário, a fonte I_{bias} do circuito apresentado na figura 47-(b) pode ser implementada simplesmente com um transistor PMOS, permitindo uma maior excursão de sinal.

Porém, devido ao emprego do sistema de realimentação para o aumento da condutância de entrada do circuito 47-(b), a célula de memória *folded-cascode* regulada exibirá uma dinâmica de terceira ordem descrita por:

$$\omega_1 = \frac{g_m}{C_{gs}} \quad (5.5)$$

e um par de pólos complexos conjugados cujo valor dependerá dos valores de transcondutância e das capacitâncias parasitas dos transistores M_c e M_r . Este par de pólos complexos conjugados é dado por:

$$\omega_2 = \sqrt{\frac{g_{mc}g_{mr}}{C_1(C_2 + C_{db_r})}} \quad (5.6)$$

onde C_1 e C_2 são expressos por:

$$C_1 = C_{gs_{sw}} + C_{gd_{sw}} + C_{db_{sw}} + C_{sb_{sw}} + C_{db} + C_{gs_r} + C_{sb_c} \quad (5.7)$$

$$C_2 = C_{gd_r} + C_{gs_c} \quad (5.8)$$

Se a largura de banda atingida pelo circuito projetado for maior que a imposta pela especificação, um comportamento, predominantemente, de primeira ordem pode ser obtido com o aumento do valor de C_{gs} . Para isto, um capacitor MOS é conectado na porta do transistor M . A capacitância deste capacitor MOS pode ser calculada através da seguinte equação:

$$W_{CAP} = 3.5 \frac{C_H}{C_{ox} \left(L_D + \frac{2}{3} L_{CAP} \right)} \quad (5.9)$$

onde C_H é o valor de capacitância que se deseja obter, L_D é o valor de difusão lateral e L_{CAP}/W_{CAP} são, respectivamente, os valores de comprimento e largura do canal do capacitor MOS. Assim, o capacitor C_H conectado na porta do transistor de memória irá criar um pólo dominante ω_1 definido como:

$$\omega_1 = \frac{g_m}{C_{gs} + C_H} \quad (5.10)$$

tornando o sistema estável e com características de primeira-ordem.

Outro importante fator para a limitação da performance em circuitos SI é o erro de injeção de carga ϵ_q . Novamente, técnicas de compensação podem ser empregadas para cancelar ou reduzir a influência deste mecanismo. Neste trabalho será utilizada uma estratégia baseada na combinação de estruturas diferenciais e chaves *dummy* para minimizar os efeitos de ϵ_q . Além disso, uma relação de áreas entre o transistor de memória e a chave S_w na proporção $A_{M1}/A_{sw} \simeq 4$ assegura uma operação na ordem de alguns MHz e um baixo erro ΔV na tensão armazenada (RODRIGUEZ-CALDERON; SANTANA-CORTE; SANDOVAL-IBARRA, 2002). A combinação das estratégias expostas até aqui resulta na célula de memória apresentada na figura 48, topologia base para a implementação do integrador SI, que será descrito a seguir.

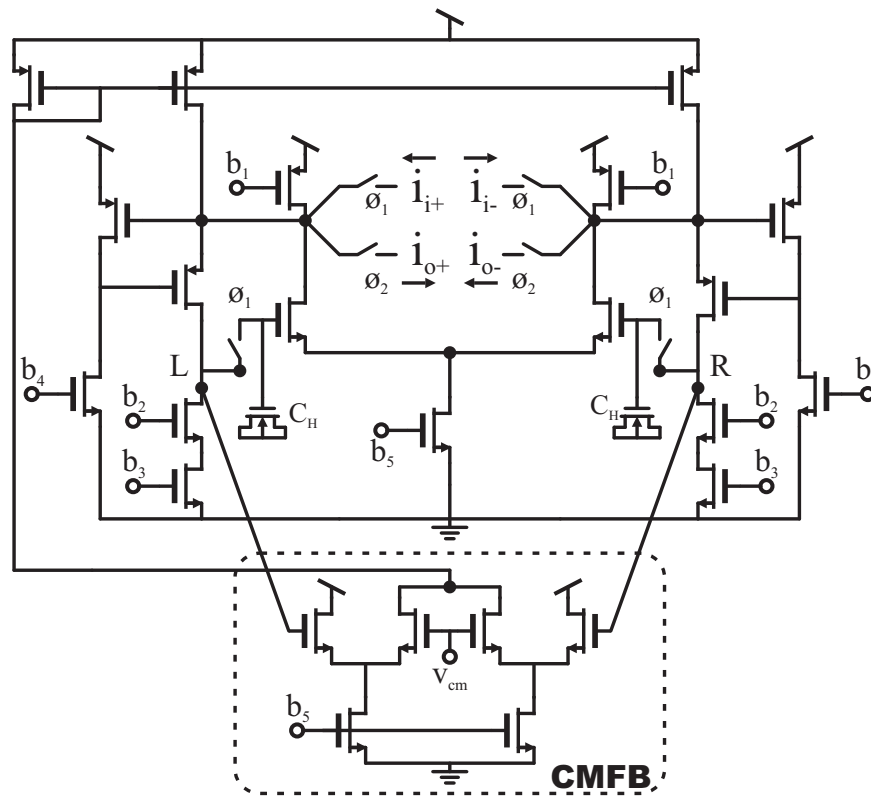


Figura 48: Célula de memória diferencial *folded-cascode* regulada com CMFB.

5.4 Projeto do integrador

O bloco mais importante num modulador SI é o integrador. As principais especificações para o projeto deste bloco levam em consideração a excursão do sinal, os mecanismos de erro da técnica SI e a frequência de amostragem.

Visando a redução máxima dos erros, projetou-se um integrador Forward-Euler diferencial usando a topologia *folded-cascode* regulada com circuito para controle de modo comum (CMFB) (GOLDENBERG; CROMAN; FIEZ, 1994) conforme figura 49. A célula incorpora um sistema de realimentação local no caminho dos sinais (nós L e R) para aumentar a condutância de entrada e assim reduzir o erro de transmissão ε_g . Chaves *dummy* de tamanho mínimo e a topologia diferencial fornecem uma redução de ε_q e o cancelamento de primeira ordem dos resíduos de injeção de carga. A dinâmica de terceira ordem pode ser reduzida através do incremento de C_{gs} do transistor de memória. Com esta finalidade, um capacitor MOS extrínseco, C_H , é conectado na porta deste dispositivo. Esta conexão cria um pólo dominante, permitindo o controle do erro de *settling* pelo dimensionamento adequado do transistor de memória. Além disso, C_H contribui para a redução do erro de modo comum induzido por ε_q .

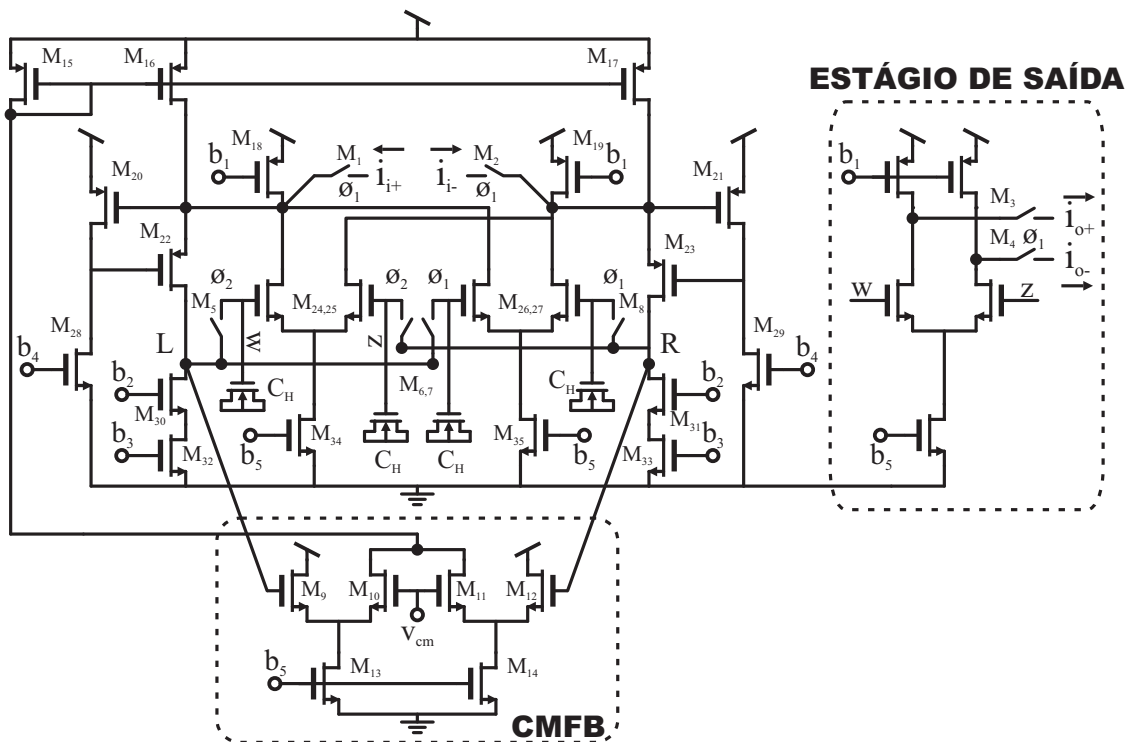


Figura 49: Integrador SI *folded-cascode* regulado diferencial com CMFB.

O circuito de controle de modo comum (CMFB) é formado pelos transistores M_{9-14} . O sinal de modo comum é criado através de um espelho de corrente M_{15-17} . Este espelho tem a função de somar, inverter e realimentar o sinal para a entrada do integrador (LOULOU; TRAFF; MARCHEGAY, 1996). As chaves M_{1-4} são do tipo PMOS enquanto as chaves M_{5-8} são do tipo NMOS. Os capacitores C_H são transistores NMOS calculados de acordo com a equação 5.9.

A tabela 4 apresenta o tamanho dos transistores do integrador descrito anteriormente. As dimensões dos transistores que formam o estágio de saída do integrador é função dos coeficientes (ou ganhos) da topologia do modulador $\Sigma\Delta$ de baixa distorção e são determinados a partir da re-

lação entre a razão W/L dos transistores de memória e do par diferencial que formam o estágio de saída de corrente.

Tabela 4: Dimensão dos transistores utilizados no integrador.

Transistor	Dimensão ($\mu\text{m}/\mu\text{m}$)
M _{1,2,3,4}	27/0,6
M _{5,6,7,8}	2×(1/0,6)
M _{9,10,11,12}	3,3/0,6
M _{13,14,15,16,17}	30/2
M _{18,19}	120/2
M _{20,21}	3,3/0,6
M _{22,23}	50/0,6
M _{24,25,26,27}	5/1,2
M _{28,29}	7/3,8
M _{30,31,32,33}	25/1,7
M _{34,35}	120/2

A figura 50 mostra a resposta transiente do integrador descrito anteriormente. O sinal de entrada é um sinal senoidal com amplitude de $10\ \mu\text{A}$ e frequência de 200 kHz. A frequência de amostragem considerada é de 5 MHz.

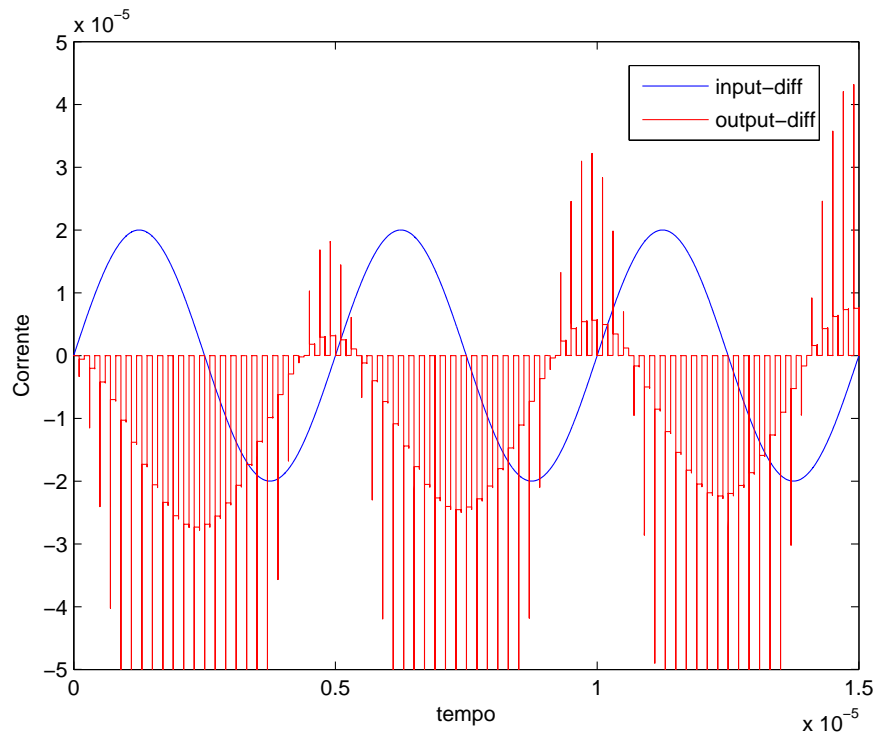


Figura 50: Simulação do integrador SI.

5.5 Projeto do comparador

Outro componente importante é o quantizador de 1-bit (comparador). A figura 51 exibe a topologia selecionada, composta basicamente por um conversor corrente-tensão (I-V), um comparador diferencial regenerativo e um flip-flop (PRIOR, 2009). O quantizador opera da seguinte forma: as correntes de entrada são amostradas na fase ϕ_1 , desenvolvendo uma pequena diferença de tensão entre os nós $vc+$ e $vc-$. Na fase ϕ_2 , as correntes que fluem através dos ramos do circuito são interrompidas abruptamente, e a impedância do comparador muda de positiva para negativa (devido a realimentação positiva). Consequentemente, dependendo da polaridade da tensão armazenada, os nós $vc+$ e $vc-$ irão para VDD ou VSS. Uma comparação rápida é obtida mesmo com baixos níveis de corrente de entrada. A tabela 5 apresenta o tamanho dos transistores utilizados para implementar este comparador.

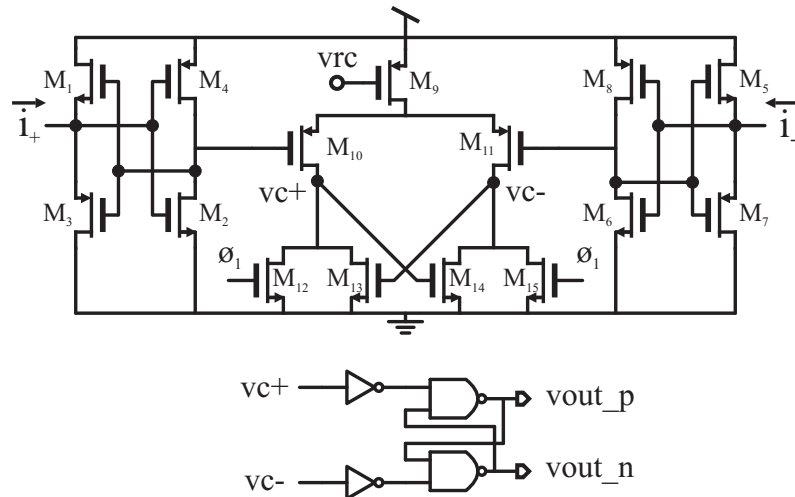


Figura 51: Comparador diferencial regenerativo SI.

Tabela 5: Dimensão dos transistores utilizados no comparador.

Transistor	Dimensão ($\mu\text{m}/\mu\text{m}$)
$M_{1,2,5,6}$	3/0,6
$M_{3,4,7,8}$	7,5/0,6
M_9	10/2
$M_{10,11}$	5/2
$M_{12,13,14,15}$	4/2

O comparador apresentado é capaz de resolver sinais de 1nA dentro da janela de comparação de ϕ_2 conforme mostra a simulação na figura 52. O detalhe da diferença entre as correntes de entrada é apresentada na figura 53.

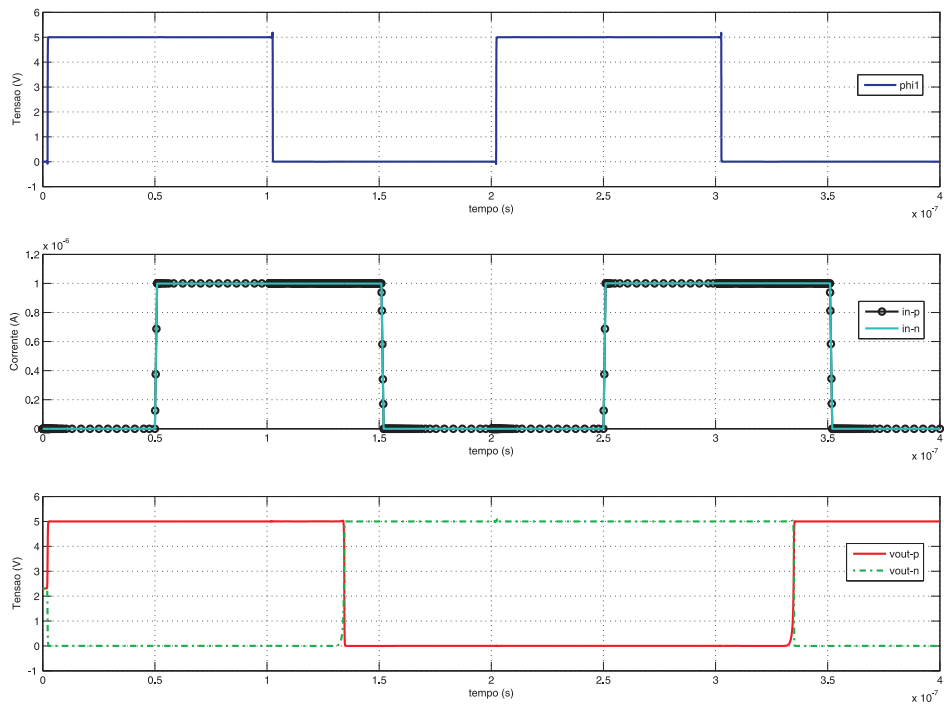


Figura 52: Simulação do comparador SI.

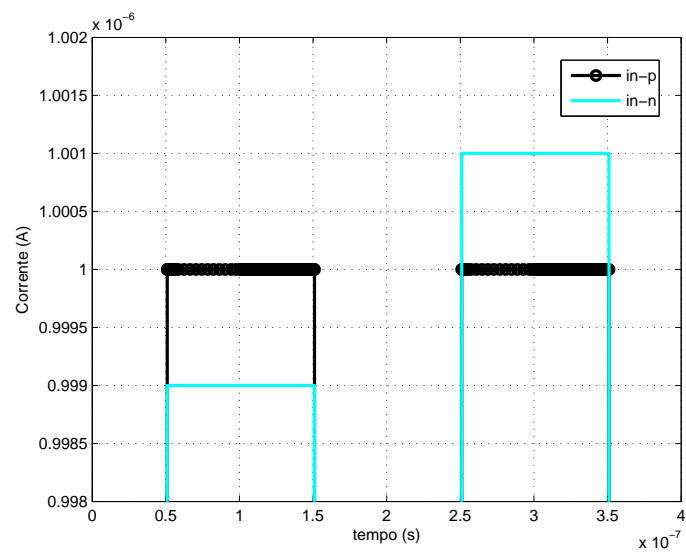


Figura 53: Simulação do comparador SI - detalhe na diferença de magnitude entre as correntes de entrada.

5.6 Projeto do conversor DA

A figura 54 mostra o esquema empregado no DAC de 1-bit. O circuito consiste num núcleo IPTAT e um conjunto de chaves controladas pela saída do quantizador ($vout_p$ e $vout_n$). Este núcleo inclui um circuito de partida formado por T_1 , T_2 e T_3 . Os transistores T_2 e T_3 formam uma porta inversora cuja saída vai para o nível lógico baixo quando o circuito de referência atinge o regime permanente, desligando o transistor T_1 . A corrente de saída do DAC muda de sentido dependendo da tensão de saída do quantizador.

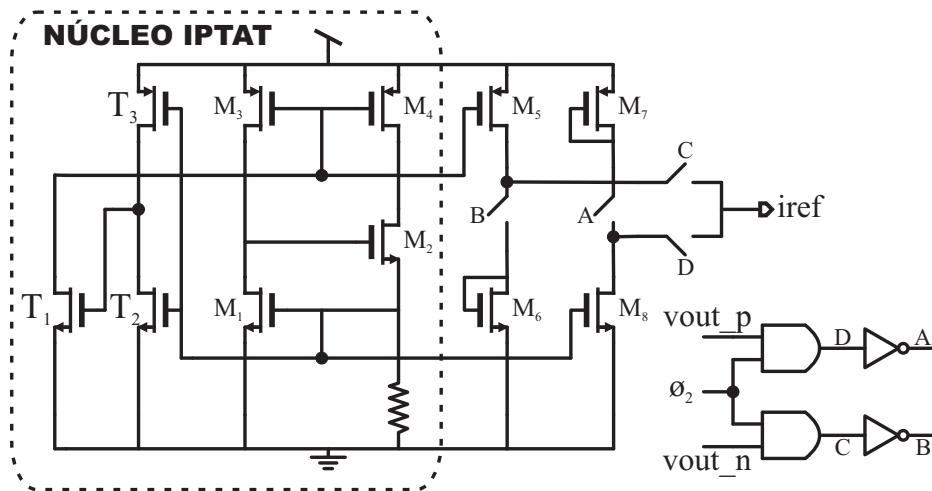


Figura 54: Conversor DA-SI.

O conversor DA-SI foi simulado e o resultado é apresentado na figura 55. A carga conectada a saída deste bloco foi um integrador tal como apresentado na figura 49. O módulo da corrente i_{ref} é $25 \mu A$ e muda de sentido a uma taxa $f_s = 5 MHz$. Também é possível observar que a corrente de saída é capaz de se acomodar dentro de um intervalo de tempo suficientemente pequeno se comparado ao período de amostragem, permitindo, se for o caso, operar em frequências mais elevadas. Os valores e dimensões dos componentes que formam o conversor DA-SI são especificados na tabela 6.

Tabela 6: Componentes utilizados no conversor DA.

Componente	Dimensão - Valor
$M_{1,2}$ ($\mu m/\mu m$)	10/2
$M_{3,4}$ ($\mu m/\mu m$)	10/4
$M_{5,7}$ ($\mu m/\mu m$)	10/6
$M_{6,8}$ ($\mu m/\mu m$)	10/3
R	35 k Ω (<i>rpolyh</i>)

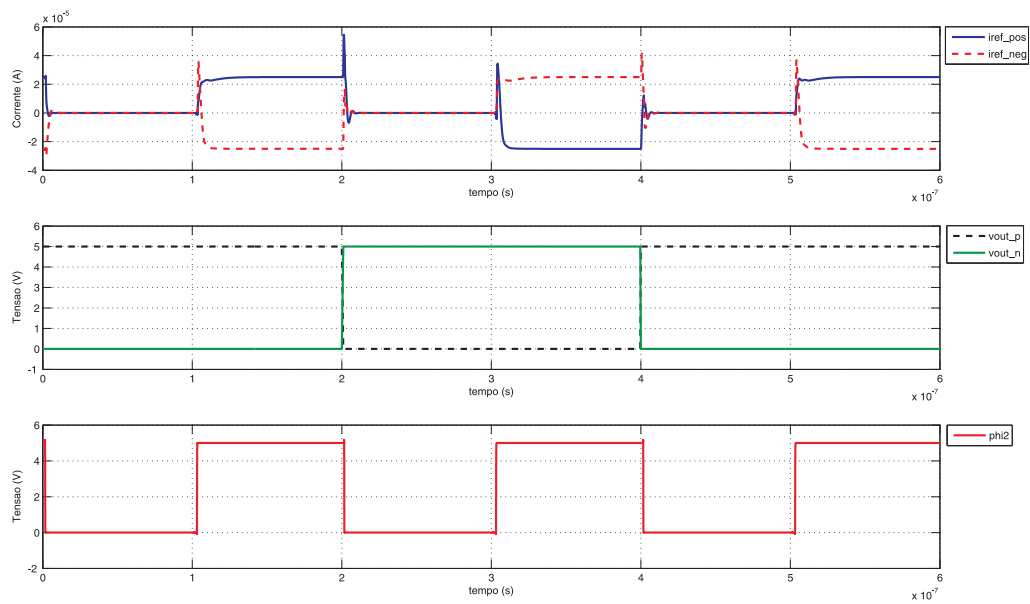


Figura 55: Resposta transiente do conversor DA-SI.

5.7 Projeto da referência de tensão bandgap

A figura 56 apresenta a estrutura básica do circuito de referência bandgap (BGR) projetado. A topologia segue o contexto de operação de circuitos BGRs: geração do sinal de referência independente da temperatura e da fonte de alimentação (RAZAVI, 2001). A independência em relação a fonte de alimentação tem como objetivo a estabilidade do sinal de referência em resposta às oscilações de VDD. Isto é obtido através da ligação entre transistores M_1/M_2 e M_3/M_4 mantida por espelhos de corrente. A geração de uma tensão independente da temperatura é outra condição para a operação do BGR. Assumindo que M_1/M_2 e M_3/M_4 são pares idênticos, têm-se que $V_x = V_y$ quando $I_{D1} = I_{D2}$. Nestas circunstâncias, e considerando que todos os transistores operam em inversão forte, a tensão de referência¹ pode ser expressa pela equação 5.11,

$$V_{ref} = I_{D5}R_2 + V_{BE4} = \left[\frac{(W/L)_5 V_T \ln(n)}{(W/L)_3 R_1} \right] \quad (5.11)$$

onde V_T e n são respectivamente a tensão térmica e a multiplicidade do transistor bipolar Q_3 .

¹Com base nesta tensão estável e bem definida deriva-se as demais tensões necessárias para a operação do integrador e comparador através de um circuito de polarização denominado BIAS GEN.

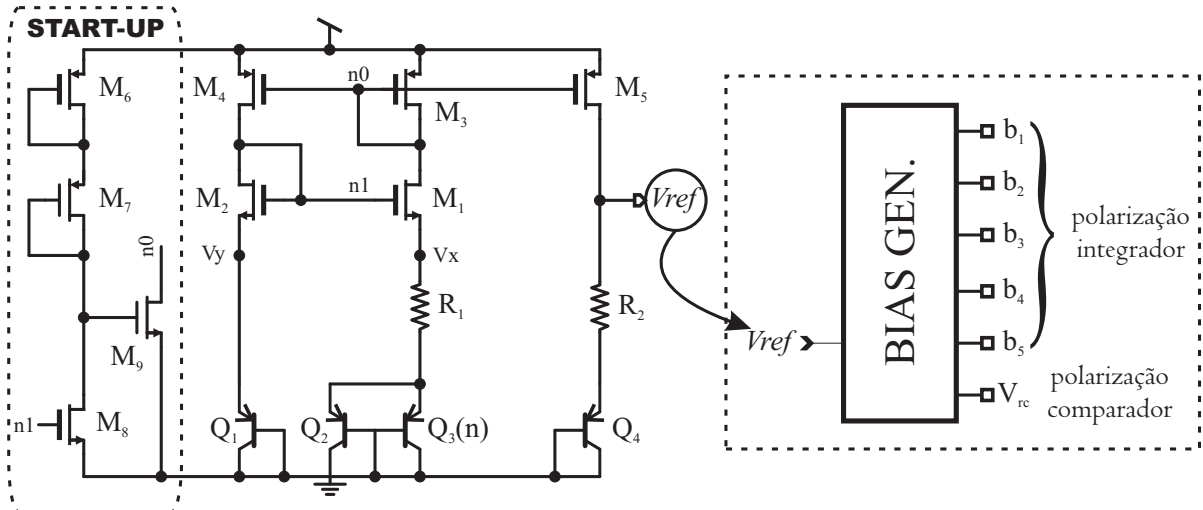


Figura 56: Circuito de referência bandgap.

O gráfico da figura 57 mostra a tensão de saída V_{ref} em função da temperatura. Como esperado, a tensão e a corrente consumida são respectivamente 1.237V e $35 \mu\text{A}$ à uma temperatura de 25°C . A tensão de referência sofreu uma variação ΔV de 3 mV dentro da faixa de temperatura analisada, inferindo um coeficiente de temperatura de aproximadamente $17,8 \text{ ppm}/^\circ\text{C}$. Os valores e dimensões dos componentes que formam o circuito de referência BGR são especificados na tabela 7.

Tabela 7: Componentes utilizados na referência de tensão BGR.

Componente	Dimensão - Valor
$M_{1,2} (\mu\text{m}/\mu\text{m})$	79/79
$M_{3,4} (\mu\text{m}/\mu\text{m})$	61/61
$M_5 (\mu\text{m}/\mu\text{m})$	475/61
$M_{6,7} (\mu\text{m}/\mu\text{m})$	1/20
$M_{8,9} (\mu\text{m}/\mu\text{m})$	10/1
$R_{1,2}$	16,87 k Ω (<i>rpoly0</i>)
$Q_{1,2,3,4}$	36 μm^2 (<i>qpv5 vertical BJT</i>)

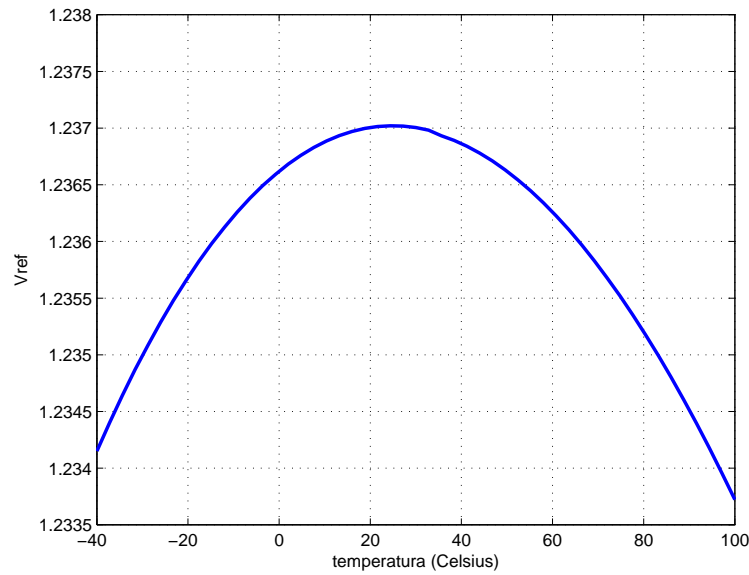


Figura 57: Tensão V_{ref} em função da temperatura.

5.8 Circuito gerador de fases

Além dos blocos anteriormente descritos um circuito gerador de fases foi projetado e implementado no *chip*, ver figura 58. Por meio deste circuito, fases não sobrepostas são geradas através de uma cadeia de portas inversoras com fases cruzadas. O intervalo de tempo entre as fases é determinado simplesmente pelo número de portas inversoras colocadas em série em cada um dos ramos do circuito (MALOBERTI, 2007).

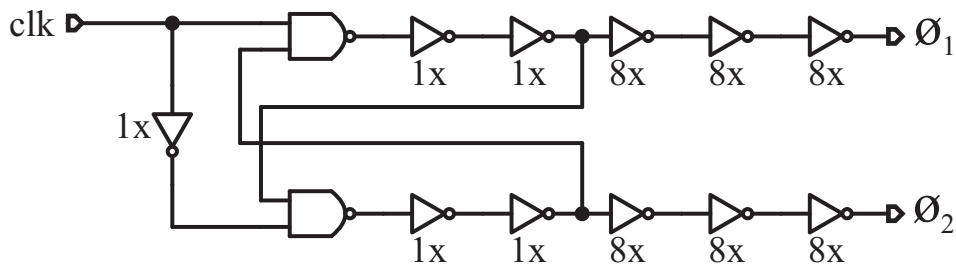


Figura 58: Esquemático do circuito gerador de fases.

A figura 59 ilustra o diagrama de fases otimizado para o chaveamento requerido. Nesta figura pode ser observado o atraso entre as fases visando minimizar o efeito de fugas de corrente durante a mudança de estados das fases.

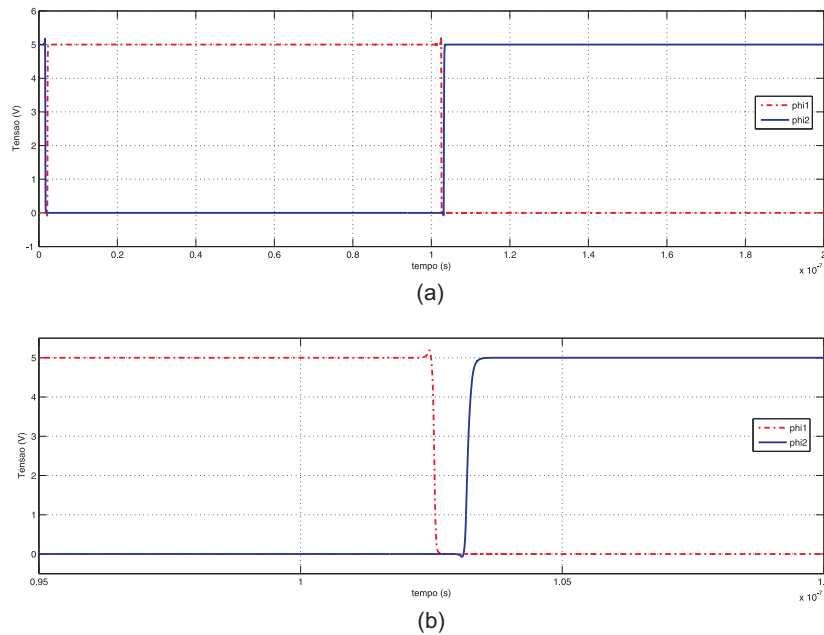


Figura 59: Resultado de simulação do gerador de fases. a) Resposta transiente das fases de chaveamento. b) Detalhe durante a transição de estados.

5.9 Modulador $\Sigma\Delta$ cascata 2-2

A figura 60 apresenta o esquemático do modulador SI- $\Sigma\Delta$ cascata 2-2 de baixa distorção. Chaves do tipo *transmission gates*, designadas por SW (figura 60), são responsáveis por cortar a corrente de entrada durante a fase ϕ_2 . Os blocos são interligados por chaves do tipo PMOS para acomodar a tensão de modo comum na entrada do integrador. As saídas (**to_input_p_ff**, **to_input_n_ff**) e (**to_input_p**, **to_input_n**) são sinais de corrente que alimentam o segundo estágio do modulador em cascata. Por enquanto a operação de cancelamento lógico digital está sendo realizada em software (apêndice B).

5.10 Resultados da simulação elétrica do modulador

O modulador proposto na seção anterior foi simulado sob as seguintes condições:

- Tensão de alimentação: $V_{DD} = 5$ V
- Frequência de Amostragem: $F_s = 5$ MHz
- Correntes de Entrada: $I_{in} = 1$ nA, 100 nA, 1 μ A, 5 μ A, 11 μ A, 12 μ A, 13 μ A, 15 μ A, 20 μ A e 25 μ A

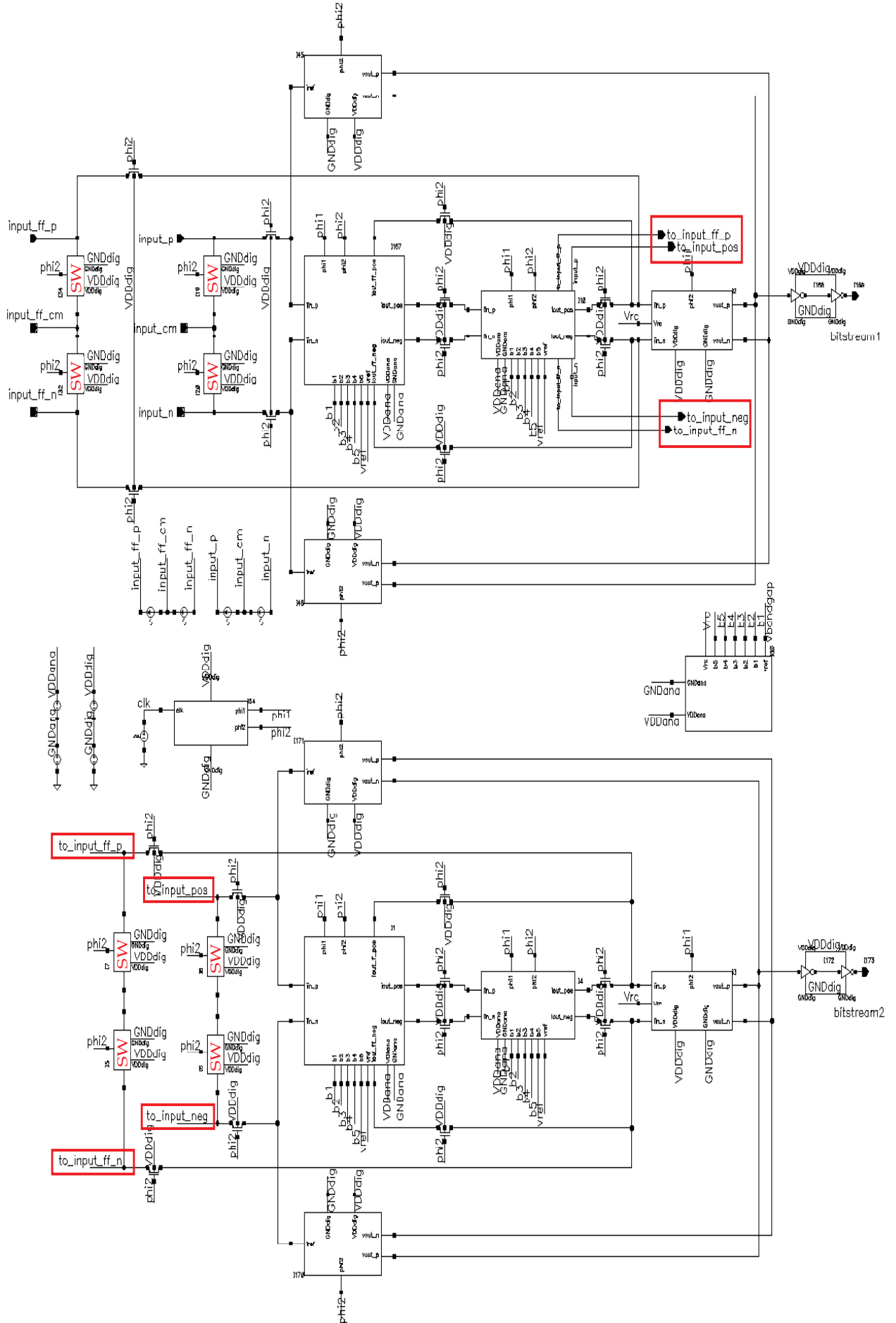


Figura 60: Esquemático do modulador $\Sigma\Delta$ cascata 2-2.

A corrente de polarização dos integradores utilizados nesta aplicação é dada por $I_{bias} = 200 \mu A$. Durante a fase ϕ_2 , o conversor SI-DA converte o sinal de tensão digital de saída de 5V numa corrente $I_{ref} = 25 \mu A$, realimentando esta corrente para a entrada do primeiro integrador em cada estágio do modulador. Este valor de corrente de referência, $I_{ref} = 25 \mu A$, também define a faixa de excursão máxima para o sinal de entrada.

Para analisar os *bitstreams*, gerados nas saídas do primeiro e segundo estágio do modulador em cascata, armazenou-se os dados gerados pelo simulador em um arquivo de texto (.csv). Este arquivo contém os valores de tensão de saída dos estágios (0 ou 5V) em sincronismo com o período de amostragem (valores estes registrados a cada 200 ns, referente à uma frequência de 5 MHz). Após salvar estes dados, os *bitstreams* foram analisados no domínio da frequência com auxílio do *software* Matlab.

Durante as simulações utilizou-se como sinal de teste uma corrente senoidal com frequência de 8 kHz, evitando o elevado tempo de simulação. Os sinais de corrente dos integradores e as saídas do primeiro e segundo estágio estão representados nas figuras 61 e 62, respectivamente. De acordo com o resultado da análise espectral, exibida na figura 63, observa-se que os integradores processam minimamente os sinais de entrada, conforme demonstrado teoricamente no capítulo 2.

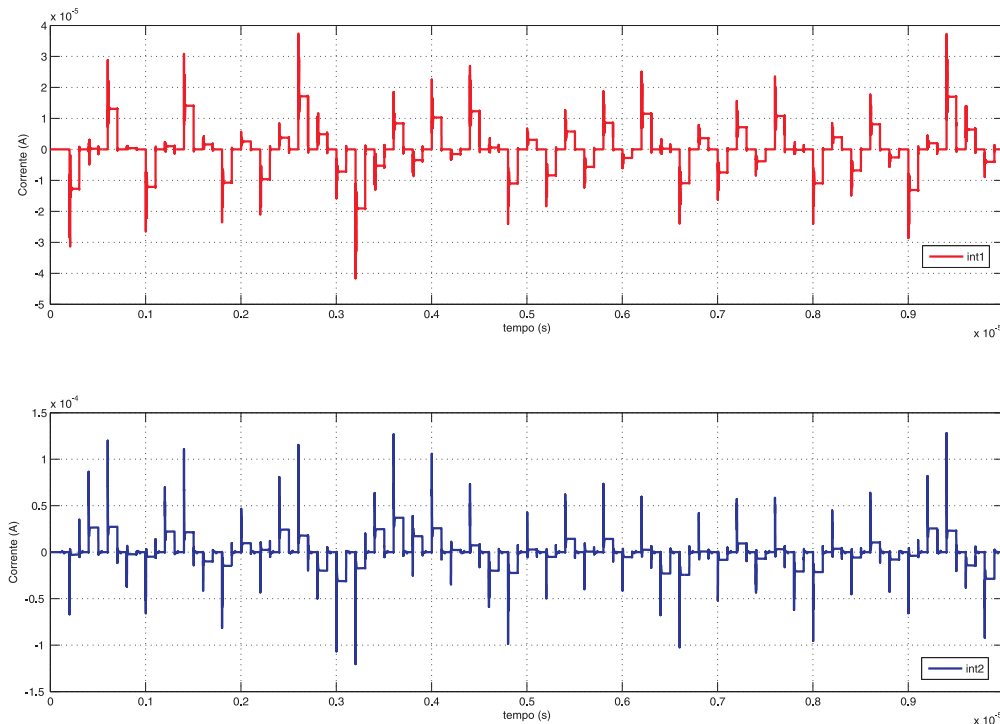


Figura 61: Correntes nas saídas dos integradores do primeiro estágio.

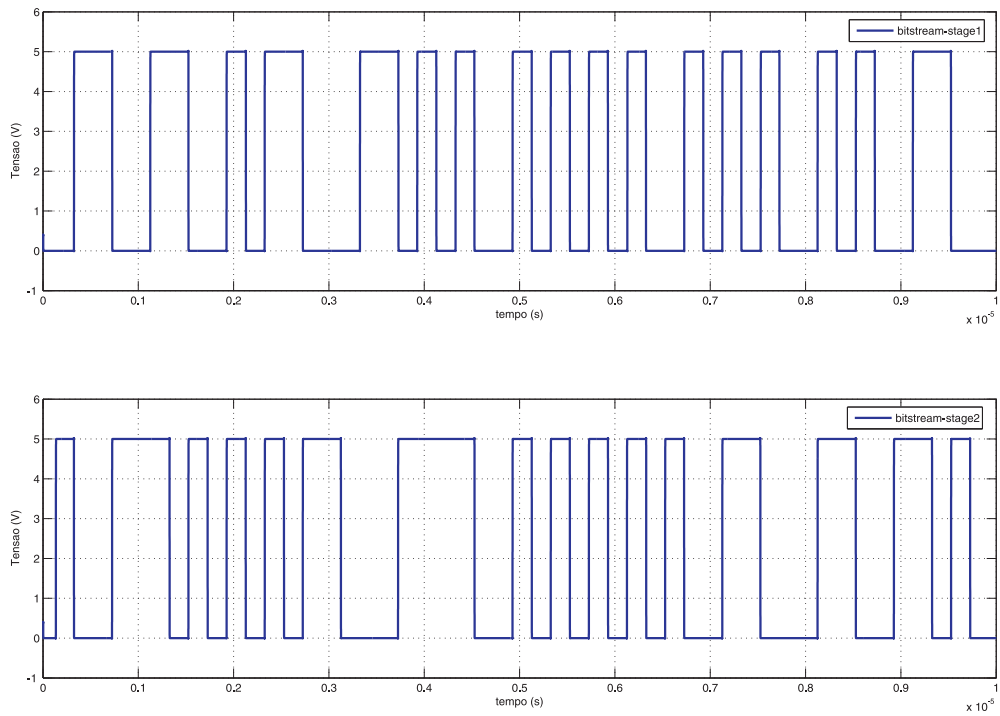


Figura 62: *Bitstreams* de saída do primeiro e segundo estágio.

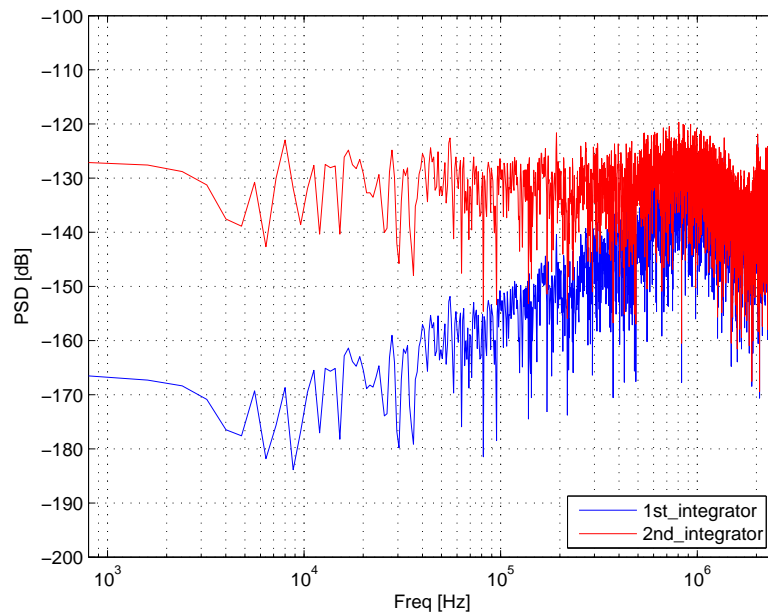


Figura 63: Densidade espectral de potência nas saídas dos integradores SI do primeiro estágio do modulador em cascata 2-2.

Já os resultados obtidos na saída do modulador após o cancelamento lógico digital estão representados na figura 64 para diferentes amplitudes de sinal de entrada, onde 0 dB representa uma corrente de entrada com $25 \mu\text{A}$ de amplitude. A figura 65 apresenta com mais detalhes o comportamento do modulador em termos de faixa dinâmica de excursão de entrada pela relação de SNDR. Neste gráfico, a relação sinal/ruído atinge um valor máximo de 83 dB para uma corrente de entrada de -3 dBFS. Além disso, a extrapolação da curva mostra que o modulador tem uma faixa dinâmica de aproximadamente 90 dB, inferindo uma resolução efetiva de 14,65 bits.

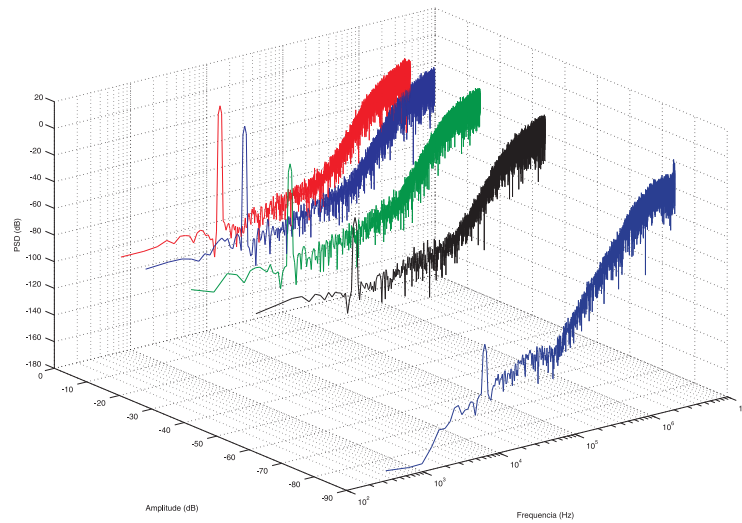


Figura 64: Espectro para vários sinais de entrada no modulador.

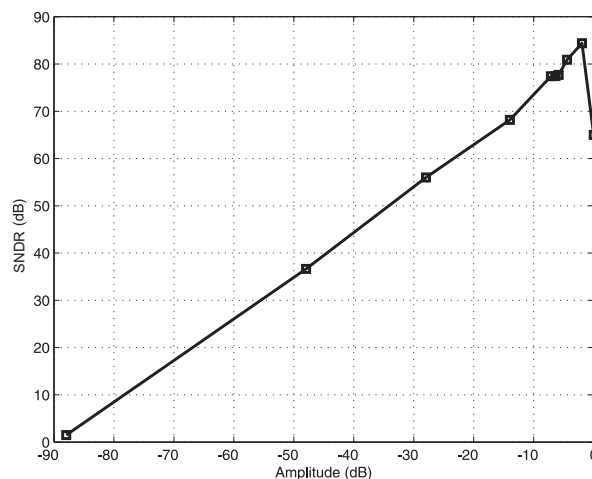


Figura 65: Faixa dinâmica: simulação elétrica

A seguir serão tratados alguns aspectos referentes à síntese física do circuito proposto, com ênfase na separação de ruídos e roteamento de sinais.

5.11 Cuidados necessários para *layout* do protótipo

A combinação de circuitos analógicos e digitais num mesmo substrato requer cuidados especiais durante o *layout* do *chip*, caso contrário, o ruído proveniente do chaveamento do circuito digital (circuito gerador de fases e DAC) pode ser acoplado aos nós analógicos sensíveis através de capacitâncias parasitas, linhas de alimentação ou pelo próprio substrato (ROSA; PEREZ-VERDU; RODRIGUEZ-VAZQUEZ, 2002; JONSSON, 2000). Além do mais, a performance do circuito pode ser severamente degradada por consequência das não-idealidades do processo de fabricação. Este fato é extremamente importante em circuitos analógicos, onde as variações e flutuações dos parâmetros tecnológicos podem destruir irreversivelmente a performance do sistema considerado. Para o projeto do *chip* desta dissertação as seguintes estratégias foram utilizadas durante a fase de *layout*.

5.11.1 Separação dos domínios analógicos e digitais

Conforme mencionado anteriormente, as linhas de alimentação são um dos possíveis caminhos para o acoplamento do ruído proveniente da parte digital aos circuitos analógicos. Para evitar esta interferência, é extremamente importante separar as alimentação destes circuitos. Para isto, utiliza-se tanto linhas de alimentação quanto *pads* exclusivos para as partes analógicas e digitais, conforme ilustrado na figura 66.

5.11.2 Barramento de sinais

Muita atenção deve ser dada na distribuição dos sinais de clock. A melhor forma de realizar tal tarefa é por meio do uso de barramentos, conforme ilustrado na figura 66. Como regra geral, a distância entre os barramentos deve ser superior à mínima distância permitida entre metais (parâmetro este definido pela tecnologia). Isto visa reduzir o acoplamento capacitivo entre duas linhas adjacentes.

5.11.3 Anéis de guarda

Visando reduzir os acoplamentos indesejáveis anéis de guarda foram dispostos em torno das áreas sensíveis ao ruído digital. Dentro deste contexto os integradores foram circundados por anéis de guarda compostos basicamente de duas partes. A primeira parte consiste de p^+ -well; já a segunda é formada por n-well. A disposição entre os materiais do anel de guarda é apresentado na figura 66.

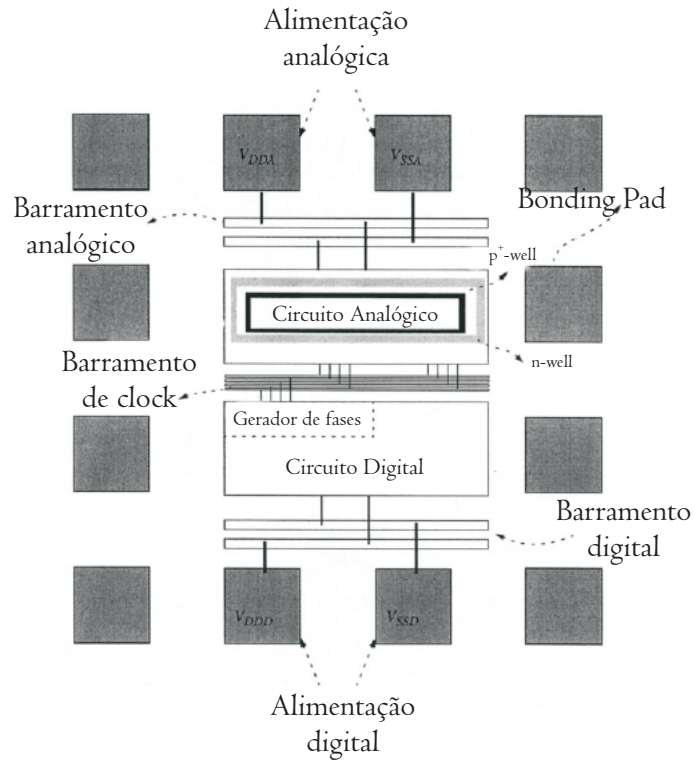


Figura 66: Técnicas de layout.

5.11.4 Técnicas de roteamento

Em adição as medidas tomadas anteriormente aplicou-se regras de *layout* analógico em partes do circuito que precisavam ser casadas. Dentre outras, foram utilizadas as seguintes técnicas: dispor da forma mais próxima possível os transistores casados, manter mesma orientação e sentido de roteamento, centróide-comum e componentes *dummies* para atenuar gradientes de processo (MALOBERTI,). O projeto foi realizado na tecnologia CMOS XFAB 0,6 μm cujas principais características são apresentadas na tabela 8.

Tabela 8: Processo CMOS XFAB 0,6 μm .

Informação	Descrição
Fábrica	XFAB
Processo	XC06
Tipo	CMOS 0,6 μm
Polysilício	2 (POLY0 e POLY1)
Metal	3 camadas
Módulos	CORE, CAPRES, METAL3, LINC
Tensão	5V

O modulador $\Sigma\Delta$ cascata 2-2 ocupou uma área de aproximadamente 1 mm^2 . Nenhuma tensão externa é necessária para polarizar o circuito, uma vez que um circuito de referência de tensão bandgap (seção 5.7) foi incorporado ao modulador. Alguns outros circuitos foram incluídos no *chip* final com propósitos de teste: uma versão replicada do modulador cascata SI- $\Sigma\Delta\text{M}$ com diferentes configurações de *pads* (II), um circuito BGR (III), um conversor tensão-corrente (IV) e um SI-DAC (V). A figura 67 apresenta o layout de topo do protótipo enviado para XFAB para fabricação.

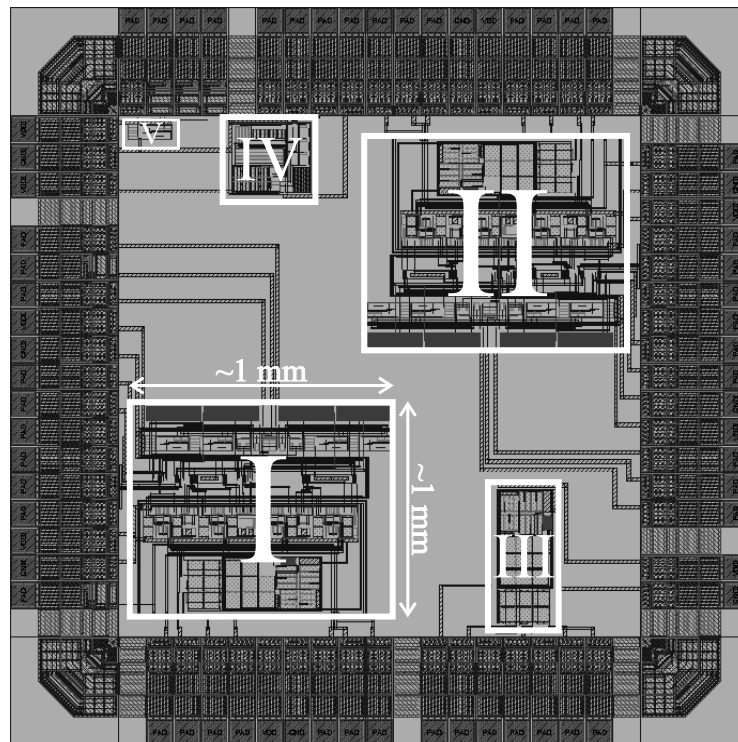


Figura 67: Layout do *chip*.

5.12 Simulação elétrica pós-layout do modulador cascata 2-2

A fim de avaliar o desempenho geral do circuito proposto, simulações no domínio do tempo utilizando o Virtuoso-Spectre foram realizadas. A figura 68 apresenta uma simulação pós-layout (incluindo os parasitas do *padding*) considerando uma entrada senoidal de amplitude -6 dBFS e frequência de 8 kHz . Como pode ser visto, o sinal é livre de componente DC e a função de transferência do ruído deste circuito é de 4ª ordem (80 dB/década).

O desempenho global é melhor ilustrado na figura 69, onde o SNDR versus a amplitude de entrada é plotado. Neste gráfico, o SNDR atinge um valor máximo de 80 dB . Além disso, também é possível observar que o modulador tem uma faixa dinâmica de aproximadamente 87 dB , inferindo uma resolução efetiva de $14,15 \text{ bits}$. Como esperado, a performance obtida

através da simulação pós-*layout* é levemente inferior àquela alcançada na figura 65, uma vez que as simulações elétricas que conduziram aos resultados apresentados na figura 65 não levam em consideração os elementos parasitas obtidos de uma extração física, assim como a existência das ligações entre o circuito do modulador $\Sigma\Delta$ cascata 2-2 aos elementos de conexão externa (*pads*).

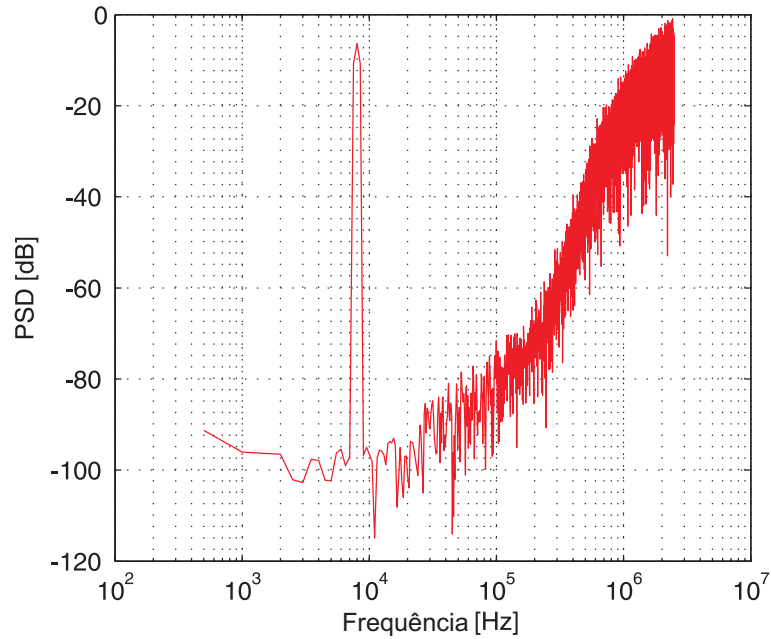


Figura 68: Simulação pós-*layout* incluindo os parasitas do *padframe*.

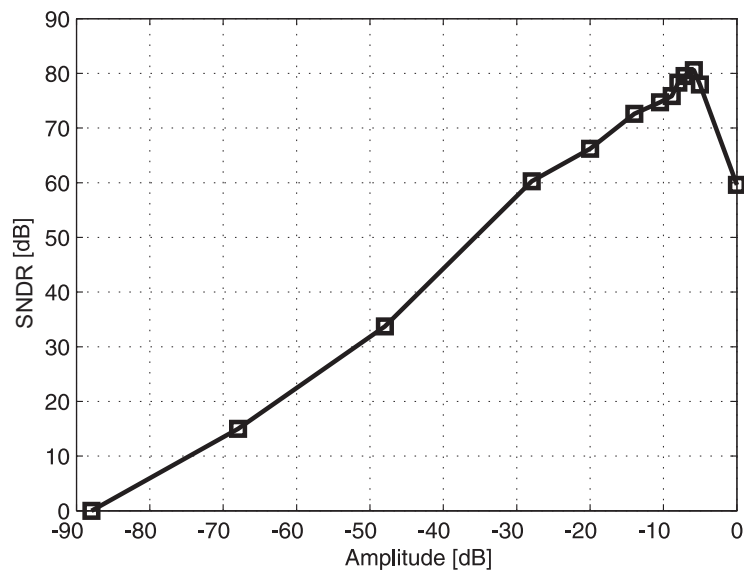


Figura 69: Faixa dinâmica do modulador SI- $\Sigma\Delta$ cascata 2-2: simulação pós-*layout*.

A tabela 9 resume os resultados simulados e compara com outras referências de SI- $\Sigma\Delta$ presentes na literatura. Embora (MOENECLAHEY; KAISER, 1997) tenha o maior DR, o seu projeto requer capacitores de memória de valores elevados (> 40 pF) e dois moduladores *singled-ended* numa configuração pseudo-diferencial, o que implica em uma arquitetura muito complexa e custosa em relação à área necessária para sua implementação.

De outra maneira, se for tomado como referência a seguinte Figura de Mérito (FOM)

$$FOM = \frac{P_c}{2^B \cdot (2BW)} \quad (5.12)$$

onde P_c é o consumo de potência, B é a resolução efetiva e BW é a largura de banda do sinal, é possível quantificar a qualidade dos diferentes moduladores mencionados na tabela 9. Sob este ponto de vista, o modulador aqui proposto supera as referências relatadas anteriormente, colocando o projeto apresentado em uma posição competitiva dentro do estado da arte de moduladores SI- $\Sigma\Delta$ do tipo passa-baixas.

Tabela 9: Resumo da performance do projeto do modulador cascata 2-2.

	Blumer	Ref (TAN, 1995b)	Ref (MOENECLAHEY; KAISER, 1997)	Ref (SUNG et al., 2010)
Tecnologia (μm)	0,6	0,8	0,8	0,35
Ordem do modulador	4	4	3	2
Tensão (V)	5	3,3	5	3,3
Consumo (mW)	30	40	136	11,5
Frequência (MHz)	5	40	0,625	2,56
Largura de banda (kHz)	20	625	5	10
SNR_{pico} (dB)	80	45	80,5	87,1
SFDR ¹ (dB)	84	-	-	-
Faixa dinâmica (dB)	87	55	92	82
Área (mm^2)	1	1	6	0,22
FOM (pJ)	45,77	71,79	415,04	55,84

Embora o projeto apresentado tenha obtido resultados satisfatórios dentro do contexto de operação de moduladores SI- $\Sigma\Delta$, a técnica SI não está completamente consolidada e sua performance ainda não é competitiva com $\Sigma\Delta$ implementados através da técnica SC. A tabela 10 apresenta algumas publicações de moduladores SC- $\Sigma\Delta$ MASH considerados estado da arte dentro deste campo de pesquisa (ROSA, 2011). Estes circuitos caracterizam-se pelo uso de quantizadores multibit ($B = 2, 3, 4$), permitindo uma melhor performance (redução da figura-de-mérito) ao custo do incremento do consumo de energia e complexidade de implementação.

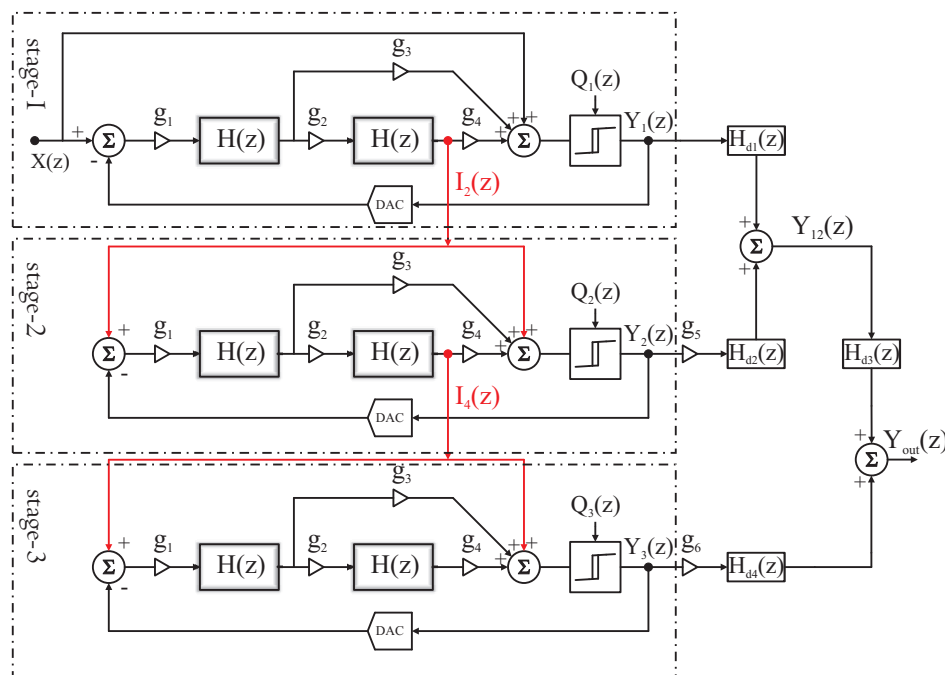
¹ *Spurious Free Dynamic Range* (SFDR) referente a uma entrada de -6 dBFS.

Tabela 10: Moduladores $\Sigma\Delta$ cascata implementados com SC.

Referência	DR (bit)	DOR (MS/s)	OSR	l (nm)	Pot (mW)	FOM
(BOSI et al., 2005)	12.2	20	4	180	240	2.55
(DEZZANI; ANDRE, 2003)	13.4	0.2	195	130	2.4	1.11
(TABATABAEI et al., 2003)	8.5	80	4	130	175	6.04
(MALLA et al., 2008)	11.4	40	11	90	27.9	0.26
(PARAMESH et al., 2006)	10.8	40	8	90	78	1.09

5.13 Moduladores SI- $\Sigma\Delta$ MASH de 6^a ordem

A estratégia de projeto reportada nesta dissertação permite utilizar os conceitos apresentados para desenvolver moduladores $\Sigma\Delta$ com função de transferência de ruído (NTF) de maior ordem ($N > 4$), que podem ser aplicados em sistemas de grande largura de banda através do controle do parâmetro de sobreamostragem M . Para comprovar tal afirmação, a figura 70 apresenta um modulador $\Sigma\Delta$ cascata 2-2-2 empregando uma arquitetura de baixa distorção.

Figura 70: Modulador $\Sigma\Delta$ cascata 2-2-2 de baixa distorção.

Com base nos resultados obtidos para um modulador $\Sigma\Delta$ cascata 2-2, ver seção 2.4, é possível estender a análise realizada e obter a saída do segundo estágio do modulador de 6^a ordem. Esta saída, $Y_{12}(z)$, é definida da seguinte maneira:

$$Y_{12}(z) = z^{-2}X(z) + g_5 (1 - z^{-1})^4 Q_2(z) \quad (5.13)$$

onde g_5 é definido como:

$$g_5 = \frac{1}{g_1 g_2} \quad (5.14)$$

As saídas do segundo e terceiro estágio podem ser processadas digitalmente de forma a fornecer uma saída $Y_{out}(z)$ em que o ruído de quantização do segundo estágio seja totalmente cancelado. Para isto a seguinte operação pode ser realizada:

$$Y_{out}(z) = H_{d3}(z)Y_{12}(z) + g_6 H_{d4}(z)Y_3(z) \quad (5.15)$$

onde as funções H_{d3} e H_{d4} são expressas respectivamente por:

$$H_{d3}(z) = z^{-2} \quad (5.16)$$

$$H_{d4}(z) = (1 - z^{-1})^4 \quad (5.17)$$

A substituição das equações 5.16 e 5.17 em 5.15 resulta numa saída modulada de 6ª ordem dada por:

$$Y_{out}(z) = z^{-4}X(z) + g_6 (1 - z^{-1})^6 Q_3(z) \quad (5.18)$$

onde o coeficiente digital g_6 é definido como:

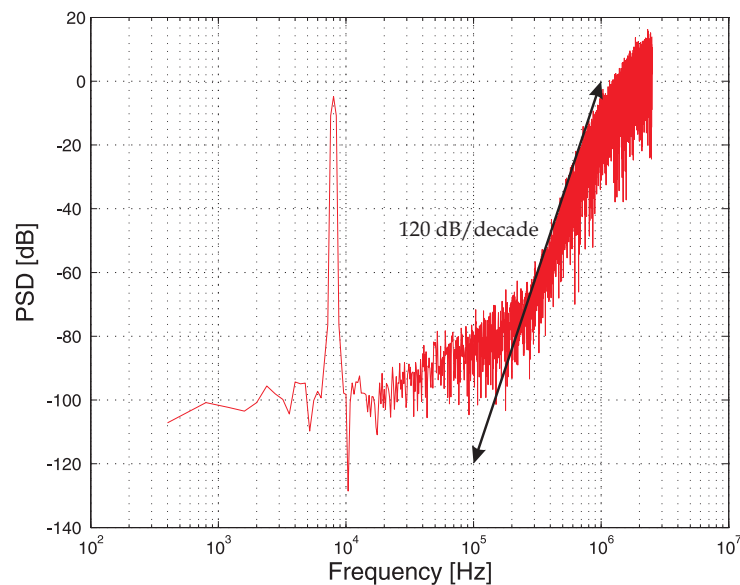
$$g_6 = \frac{1}{(g_1 g_2)^2} \quad (5.19)$$

Note que a equação 5.18 contém somente a versão atrasada do sinal de entrada $X(z)$ e o ruído de quantização do terceiro estágio com um *noise-shaping* de 6ª ordem. Como pode ser visto, o ruído de quantização do primeiro e segundo estágio foram eliminados devido às operações realizadas pelo circuito de cancelamento lógico digital. Os ganhos envolvidos e seus valores são especificados na tabela 11.

Tabela 11: Ganhos do modulador cascata 2-2-2.

Coeficiente	Ganho
g_1	1
g_2	0,25
g_3	4
g_4	2
g_5	4
g_6	16

A fim de verificar o desempenho elétrico do circuito proposto, simulações no domínio do tempo utilizando o Virtuoso-Spectre foram realizadas. A figura 71 apresenta uma simulação considerando uma entrada senoidal de amplitude -6 dBFS e frequência de 8kHz, considerando uma frequência de amostragem de 5 MHz. Como pode ser visto, o sinal é livre de componente DC e a função de transferência do ruído deste circuito é de 6^a ordem (120 dB/década).

Figura 71: Espectro da saída Y_{out} do modulador cascata 2-2-2.

No entanto, o *noise-shaping* não ocorreu de forma uniforme. A transferência do ruído de quantização à uma taxa de 120 dB/década se deu a partir de uma frequência de *corner* de aproximadamente 300 kHz. Isto se deve às não-idealidades presentes nas ponderações de ganho na malha de realimentação do sistema, uma vez que estas são realizadas por espelhamento de corrente e pela transmissão de sinal entre estágios não-ideais.

Alguns parâmetros que demonstram a performance do modulador $\Sigma\Delta$ cascata 2-2-2 apresentado anteriormente são resumidos na tabela 12. Por se tratar apenas de uma validação de conceito, nenhum *layout* foi desenvolvido para este circuito.

Tabela 12: Resumo da performance do projeto do modulador cascata 2-2-2.

	Modulador cascata 2-2-2
Tecnologia (μm)	0,6
Ordem do modulador	6
Tensão (V)	5
Consumo (mW)	45
Frequência (MHz)	5
Largura de banda (kHz)	10
SNR (dB)	83,5

6 CONCLUSÕES

Recentemente, uma técnica de amostragem e retenção de sinais alternativa à bem consolidada técnica de capacitor-chaveado tem sido foco de pesquisas e desenvolvimento. Esta técnica, chamada de *Switched-Current* (SI), não requer amplificadores operacionais nem capacitores lineares de elevada precisão para a sua implementação. Esta técnica caracteriza-se por processar os sinais sob a forma de corrente, sendo a operação de memorização implementada através da retenção de cargas elétricas na porta de um transistor MOS na região de saturação. Neste modelo, a excursão do sinal não é diretamente dependente da tensão de alimentação, mas dependente das correntes de polarização e de sinal, o que torna a técnica atrativa para aplicações de baixas tensão.

Contudo, a técnica SI tem como principal desvantagem as não-linearidades da célula de memória SI, sendo estas responsáveis pela geração de componentes de distorção harmônica. Para contornar este problema, adotou-se como estratégia uma solução mais ampla com base na combinação de técnicas de compensação de erros SI tanto à nível de circuito quanto de sistema, ao invés de somente aprimorar o elemento básico em um modulador SI (o integrador). Para isto foi necessário implementar o modulador SI numa topologia orientada à aplicações de baixa distorção, que tem como principal objetivo aliviar o processamento de sinais dentro dos integradores, diminuindo as variações de condutância, que por sua vez, dão origem à distorção harmônica. Partindo destes princípios (aplicados inicialmente à moduladores de 2º ordem), estendeu-se a abordagem aos moduladores $\Sigma\Delta$ em cascata, possibilitando o projeto de moduladores $\Sigma\Delta$ de elevada ordem e sobretudo intrinsecamente estáveis por construção.

Para comprovar a eficácia da abordagem utilizada neste trabalho, projetou-se um modulador 2-2 cascata SI- $\Sigma\Delta$ na tecnologia CMOS XFAB XC06 0,6 μm , utilizando como base uma topologia de baixa distorção com realimentação positiva em avanço. Por meio de uma arquitetura diferencial e de um projeto cuidadoso dos blocos constituintes obteve-se uma resolução de 14 bits@DR à uma taxa de amostragem de 5 MHz considerando uma largura de banda de 20 kHz. Segundo os dados obtidos até o momento, o projeto desenvolvido localiza-se numa posição competitiva dentro do estado da arte de moduladores SI- $\Sigma\Delta$ do tipo passa-baixas. Além

do mais, a estratégia reportada aqui permite o projeto de moduladores SI de maior ordem ($N > 4$), podendo ser aplicados em sistemas de grande largura de banda através do controle do parâmetro de sobreamostragem M .

Embora o projeto apresentado tenha obtido resultados satisfatórios dentro do contexto de operação de moduladores SI- $\Sigma\Delta$, a técnica de corrente chaveada não está completamente consolidada e sua performance ainda não é competitiva com os circuitos SC. No entanto, os circuitos SI tornam-se interessantes sob o ponto de vista de serem um campo aberto para futuras pesquisas e pela possibilidade de serem completamente implementados em processos de fabricação padrão voltados a circuitos puramente digitais.

6.1 Proposta para trabalhos futuros

Devido ao reduzido tempo que compreendeu a realização deste trabalho, nem todos os assuntos encontrados na literatura que tratam de projetos de moduladores SI- $\Sigma\Delta$ puderam ser estudados e analisados. Com base nisto, algumas sugestões para trabalhos futuros são apresentadas à seguir:

- Análise detalhada do ruído gerado pelos componentes e métodos/técnicas para minimização dos efeitos.
- Análise dos aspectos referentes ao dimensionamento dos componentes considerando o *matching* na tecnologia empregada.
- Projetar conversores tensão-corrente (*current conveyor circuits*) para gerar internamente as correntes de entrada necessárias para a operação do modulador. Tal procedimento visa reduzir a deterioração do nível do ruído ocasionada pelo acréscimo do número de componentes parasitas entre o ambiente de teste (injeção de corrente externa) e o circuito dentro do *chip*.
- Infelizmente, em circuitos SI de segunda geração, picos de corrente podem ocorrer durante o intervalo entre as fases ϕ_1 e ϕ_2 . Este pico de corrente tem como origem a abrupta mudança de impedância de um nó (baixa impedância para alta impedância) durante o intervalo de tempo entre as duas fases. Como consequência, não-linearidades são geradas causando erro na corrente que esta sendo memorizada. Visando reduzir estes indesejáveis picos de corrente pode-se empregar o conceito de fases sobrepostas nas chaves de entrada e saída dos circuitos, cujo propósito é diminuir o período de existência de nós em alta impedância (SINN; ROBERTS, 1994).

REFERÊNCIAS

- ABUELMA'ATTI, M. Harmonic distortion due to output conductance in si cells. *Electronics Letters*, v. 34, n. 23, p. 2182 –2183, nov 1998. ISSN 0013-5194.
- BOSI, A. et al. An 80mhz 4x oversampled cascaded $\delta\sigma$ -pipelined adc with 75db dr and 87db sfr. In: *Solid-State Circuits Conference, 2005. Digest of Technical Papers. ISSCC. 2005 IEEE International*. [S.l.: s.n.], 2005. p. 174 –591 Vol. 1. ISSN 0193-6530.
- CHAN, J.; CHUNG, S. Universal switched-current integrator blocks for si filter design. In: *Design Automation Conference, 1999. Proceedings of the ASP-DAC '99. Asia and South Pacific*. [S.l.: s.n.], 1999. p. 261 –264 vol.1.
- CRAWLEY, P.; ROBERTS, G. Switched-current sigma-delta modulation for a/d conversion. In: *Circuits and Systems, 1992. ISCAS '92. Proceedings., 1992 IEEE International Symposium on*. [S.l.: s.n.], 1992. v. 3, p. 1320 –1323 vol.3.
- DEZZANI, A.; ANDRE, E. A 1.2-v dual-mode wcdma/gprs $\sigma\delta$ modulator. In: *Solid-State Circuits Conference, 2003. Digest of Technical Papers. ISSCC. 2003 IEEE International*. [S.l.: s.n.], 2003. p. 58 – 59 vol.1. ISSN 0193-6530.
- GAO, Q. et al. The synthesis of switched-current integrators. In: *Solid-State and Integrated-Circuit Technology, 2001. Proceedings. 6th International Conference on*. [S.l.: s.n.], 2001. v. 2, p. 1159 – 1162 vol.2.
- GOLDENBERG, M.; CROMAN, R.; FIEZ, T. S. Accurate si filters using rgc integrators. v. 29, n. 11, p. 1388–1395, 1994.
- HELFENSTEIN, M.; MOSCHYTZ, G. Distortion analysis of switched-current circuits. In: *Circuits and Systems, 1998. ISCAS '98. Proceedings of the 1998 IEEE International Symposium on*. [S.l.: s.n.], 1998. v. 1, p. 29 –32 vol.1.
- HUGHES, J.; MOULDING, K. Switched-current signal processing for video frequencies and beyond. *Solid-State Circuits, IEEE Journal of*, v. 28, n. 3, p. 314 –322, mar 1993. ISSN 0018-9200.
- HUGHES, J. B.; BIRD, N. C.; MACBETH, I. C. Switched currents - a new technique for analog sampled-data signal processing. In: *Proc. IEEE Int Circuits and Systems Symp*. [S.l.: s.n.], 1989. p. 1584–1587.
- HUGHES, J. B.; MACBETH, I. C.; PATTULLO, D. M. Second generation switched-current signal processing. In: *Proc. IEEE Int Circuits and Systems Symp*. [S.l.: s.n.], 1990. p. 2805–2808.
- HUGHES, J. B.; MOULDING, K. W. Enhanced s2i switched-current cells. In: *Proc. IEEE Int Circuits and Systems ISCAS '96., Connecting the World. Symp*. [S.l.: s.n.], 1996. v. 1, p. 187–190.

- INOSE, H.; AOKI, T.; WATANABE, K. Asynchronous delta-modulation system. *Electronics Letters*, v. 2, n. 3, p. 95–96, 1966.
- JONSSON, B. E. *Switched-Current Signal Processing and A/D Conversion Circuits: Design and Implementation*. Norwell, MA, USA: Kluwer Academic Publishers, 2000. ISBN 0792378717.
- JOSE, B. R. et al. A triple-mode feed-forward sigma-delta modulator design for gsm / wcdma / wlan applications. In: *Proc. IEEE Int. SOC Conf.* [S.l.: s.n.], 2007. p. 309–312.
- LEE, S.-Y.; CHENG, C.-J. A low-voltage and low-power adaptive switched-current sigma-delta adc for bio-acquisition microsystems. v. 53, n. 12, p. 2628–2636, 2006.
- LOULOU, M.; TRAFF, H.; MARCHEGAY, P. A 3-v second order sigma delta modulator using a pseudo bilinear switched current integrator. In: *Proc. IEEE-CAS Region 8 Workshop Analog and Mixed IC Design*. [S.l.: s.n.], 1996. p. 98–101.
- MALLA, P. et al. A 28mw spectrum-sensing reconfigurable 20mhz 72db-snr 70db-sndr dt $\sigma\delta$ adc for 802.11n/wimax receivers. In: *Solid-State Circuits Conference, 2008. ISSCC 2008. Digest of Technical Papers. IEEE International*. [S.l.: s.n.], 2008. p. 496 –631.
- MALOBERTI, F. *Layout of Analog CMOS Integrated Circuits: Transistors and Basic Cells Layout*. Disponível em: <<http://ims.unipv.it/Microelettronica/Layout02.pdf>>.
- MALOBERTI, F. *Data converters*. [S.l.]: Springer, 2007. (Data Converters). ISBN 9780387324852.
- MARTINS, J.; DIAS, V. Harmonic distortion in switched-current sigma-delta modulators due to clock feedthrough. In: *Circuits and Systems, 1998. ISCAS '98. Proceedings of the 1998 IEEE International Symposium on*. [S.l.: s.n.], 1998. v. 1, p. 373 –376 vol.1.
- MASMOUDI, S. et al. A cmos 80 mhz low-pass switched-current fourth-order sigma-delta modulator. *Fourth International Multi-Conference on Systems, Signals and Devices*, Volume IV, 2007.
- MEDEIRO, F.; PÉREZ-VERDÚ, A.; RODRÍGUEZ-VÁZQUEZ, Á. *Top-down design of high-performance sigma-delta modulators*. [S.l.]: Kluwer Academic Publishers, 1999. (Kluwer international series in engineering and computer science). ISBN 9780792383529.
- MEDEIRO, F. et al. *CMOS Cascade Sigma-Delta Modulators for Sensors and Telecom*. Dordrecht :: Springer, 2006.
- MOENECLAHEY, N.; KAISER, A. Design techniques for high-resolution current-mode sigma-delta modulators. v. 32, n. 7, p. 953–958, 1997.
- OPPENHEIM, A.; SCHAFER, R. *Discrete-time signal processing*. [S.l.]: Prentice Hall, 1989. (Prentice-Hall signal processing series). ISBN 9780132162920.
- PARAMESH, J. et al. An 11-bit 330mhz 8x osr $\sigma\delta$ modulator for next-generation wlan. In: *VLSI Circuits, 2006. Digest of Technical Papers. 2006 Symposium on*. [S.l.: s.n.], 2006. p. 166 –167.
- PLASSCHE, R. J. V. D. Cmos integrated analog-to-digital and digital-to-analog converters. *Measurement Techniques*, Springer, v. 4, n. 11, p. 640, 2003.

PRIOR, C. A. *Processamento de Sinais Analógicos Amostrados Utilizando Técnicas de Chaveamento a Capacitor e a Corrente Aplicados à Conversão AD Sigma-Delta*. Tese (Doutorado) — Universidade Federal de Santa Maria - UFSM, 2009.

PRIOR, C. A.; RODRIGUES, C. R. A switched current sigma delta modulator using a low distortion feedforward topology. In: *Proc. 53rd IEEE Int Circuits and Systems (MWSCAS) Midwest Symp.* [S.l.: s.n.], 2010. p. 296–299.

RAZAVI, B. *Design of analog CMOS integrated circuits*. New York, NY: McGraw-Hill, 2001. (McGraw-Hill series in electrical and computer engineering).

RIFFAUD, P. et al. Charge injection error reduction circuit for switched-current systems. *Electronics Letters*, v. 33, n. 20, p. 1689 –1691, sep 1997. ISSN 0013-5194.

RODRIGUEZ-CALDERON, R. et al. Design of a 0.18 μm low-voltage switched-current sigma-delta modulator for multistandard communication systems. In: *Circuits and Systems, 2006. MWSCAS '06. 49th IEEE International Midwest Symposium on.* [S.l.: s.n.], 2006. v. 2, p. 405 –408. ISSN 1548-3746.

RODRIGUEZ-CALDERON, R.; SANTANA-CORTE, J.; SANDOVAL-IBARRA, F. Reducing non-idealities on switched-current sigma-delta modulators. In: *Proc. Fourth IEEE Int Devices, Circuits and Systems Caracas Conf.* [S.l.: s.n.], 2002.

ROSA, J. de la. Sigma-delta modulators: Tutorial overview, design guide, and state-of-the-art survey. *Circuits and Systems I: Regular Papers, IEEE Transactions on*, v. 58, n. 1, p. 1 –21, jan. 2011. ISSN 1549-8328.

ROSA, J. de la et al. Analysis of error mechanisms in switched-current sigma-delta modulators. *Analog Integrated Circuits and Signal Processing*, Springer Netherlands, v. 38, p. 175–201, 2004. ISSN 0925-1030.

ROSA, J. M. de la et al. A fourth-order bandpass sigma-delta modulator using current-mode analog/digital circuits. In: *Proc. 'Quality Measurements: The Indispensable Bridge between Theory and Reality'. IEEE Instrumentation and Measurement Technology Conf. IMTC-96.* [S.l.: s.n.], 1996. v. 2, p. 1145–1150.

ROSA, J. M. de la; PEREZ-VERDU, B.; RODRIGUEZ-VAZQUEZ, A. (Ed.). *Systematic Design of CMOS Switched-Current Bandpass Sigma-Delta Modulators for Digital Communication Chips*. 1st. ed. [S.l.]: Springer, 2002. 488 p.

RUSU, A. et al. The design of a low-distortion sigma-delta adc for wlan standards. In: *Proc. Int. Symp. Signals, Circuits and Systems ISSCS 2005.* [S.l.: s.n.], 2005. v. 1, p. 151–154.

SILVA, J. et al. Wideband low-distortion delta-sigma adc topology. *Electronics Letters*, v. 37, n. 12, p. 737–738, 2001.

SILVA, J.; MOON, U.-K.; TEMES, G. C. Low-distortion delta-sigma topologies for mash architectures. In: *Proc. Int. Symp. Circuits and Systems ISCAS '04.* [S.l.: s.n.], 2004. v. 1.

SILVA, J. B. da. *High-Performance Delta-Sigma Analog-to-Digital Converters*. Tese (Doutorado) — Oregon State University, 2004.

- SINN, P.; ROBERTS, G. A comparison of first and second-generation switched-current cells. In: *Circuits and Systems, 1994. ISCAS '94., 1994 IEEE International Symposium on*. [S.l.: s.n.], 1994. v. 5, p. 301 –304 vol.5.
- SONG, M.; LEE, Y.; KIM, W. A clock feedthrough reduction circuit for switched-current systems. *Solid-State Circuits, IEEE Journal of*, v. 28, n. 2, p. 133 –137, feb 1993. ISSN 0018-9200.
- SUNG, G.-M.; CHANG, K.-H.; LIN, W.-S. A 12-b 10-msamples/s cmos switched-current delta-sigma modulator. In: *Circuits and Systems, 2005. ISCAS 2005. IEEE International Symposium on*. [S.l.: s.n.], 2005. p. 5573 – 5576 Vol. 6.
- SUNG, G.-M. et al. A second-order sigma-delta modulator with switched-current memory cell for closed-loop motor control system. In: *Power Electronics Specialists Conference, 2006. PESC '06. 37th IEEE*. [S.l.: s.n.], 2006. p. 1 –5. ISSN 0275-9306.
- SUNG, G. M. et al. Mixed-mode chip implementation of digital space svpwm with simplified-cpu and 12-bit 2.56 ms/s switched-current delta-sigma adc in motor drive. n. 99, 2010. Early Access.
- SUNG, G.-M. et al. Mixed-mode chip implementation of digital space svpwm with simplified-cpu and 12-bit 2.56 ms/s switched-current delta-sigma adc in motor drive. *Power Electronics, IEEE Transactions on*, v. 27, n. 2, p. 916 –930, feb. 2012. ISSN 0885-8993.
- SUNG, G.-M.; YU, C.-P.; YAO, D.-A. A comparison of second-order sigma-delta modulator between switched-capacitor and switched-current techniques. In: *Proc. IEEE Asia Pacific Conf. Circuits and Systems APCCAS 2008*. [S.l.: s.n.], 2008. p. 1172–1175.
- TABATABAEI, A. et al. A dual channel $\sigma\delta$ adc with 40mhz aggregate signal bandwidth. In: *Solid-State Circuits Conference, 2003. Digest of Technical Papers. ISSCC. 2003 IEEE International*. [S.l.: s.n.], 2003. p. 66 – 478 vol.1. ISSN 0193-6530.
- TAN, N. A 1.2-v 0.8-mw si sigma-delta a/d converter in standard digital cmos process. In: *Solid-State Circuits Conference, 1995. ESSCIRC '95. Twenty-first European*. [S.l.: s.n.], 1995. p. 150 –153.
- TAN, N. Fourth-order si delta-sigma modulators for high-frequency applications. *Electronics Letters*, v. 31, n. 5, p. 333–334, 1995.
- TAN, N. 3.3 v class ab switched-current circuits and systems. *Circuits, Devices and Systems, IEE Proceedings -*, v. 143, n. 2, p. 97 –102, apr 1996. ISSN 1350-2409.
- TAN, N. Switched-current delta-sigma a/d converters. *Analog Integrated Circuits and Signal Processing*, Springer Netherlands, v. 9, p. 7–24, 1996. ISSN 0925-1030. 10.1007/BF00158848. Disponível em: <<http://dx.doi.org/10.1007/BF00158848>>.
- TAN, N. *Switched-current design and implementation of oversampling A/D converters*. [S.l.]: Kluwer Academic Publishers, 1997. (Kluwer international series in engineering and computer science). ISBN 9780792399636.
- TAN, N. et al. Current scaling technique for high dynamic range switched-current delta-sigma modulators. *Electronics Letters*, v. 32, n. 15, p. 1331 –1332, jul 1996. ISSN 0013-5194.

TOUMAZOU, C. et al. *Switched-currents: an analogue technique for digital technology*. [S.l.]: P. Peregrinus on behalf of the Institution of Electrical Engineers, 1993. (IEE circuits and systems series). ISBN 9780863412943.

TOUMAZOU, C.; HUGHES, J.; PATTULLO, D. Regulated cascode switched-current memory cell. *Electronics Letters*, v. 26, n. 5, p. 303 –305, march 1990. ISSN 0013-5194.

TRAFF, H. Novel approach to high speed cmos current comparators. *Electronics Letters*, v. 28, n. 3, p. 310 –312, jan. 1992. ISSN 0013-5194.

YOUNG, I. Analog mixed-signal circuits in advanced nano-scale cmos technology for microprocessors and socs. In: *ESSCIRC, 2010 Proceedings of the*. [S.l.: s.n.], 2010. p. 61 –70. ISSN 1930-8833.

ZHU, P.; TENHUNEN, H. Design and analysis of a cmos switched-current sigma-delta modulator using multi level simulations. *Analog Integrated Circuits and Signal Processing*, Springer Netherlands, v. 15, p. 153–168, 1998. ISSN 0925-1030. 10.1023/A:1008247722884. Disponível em: <<http://dx.doi.org/10.1023/A:1008247722884>>.

APÊNDICE A – DIAGRAMA DE PINAGEM DO CIRCUITO INTEGRADO

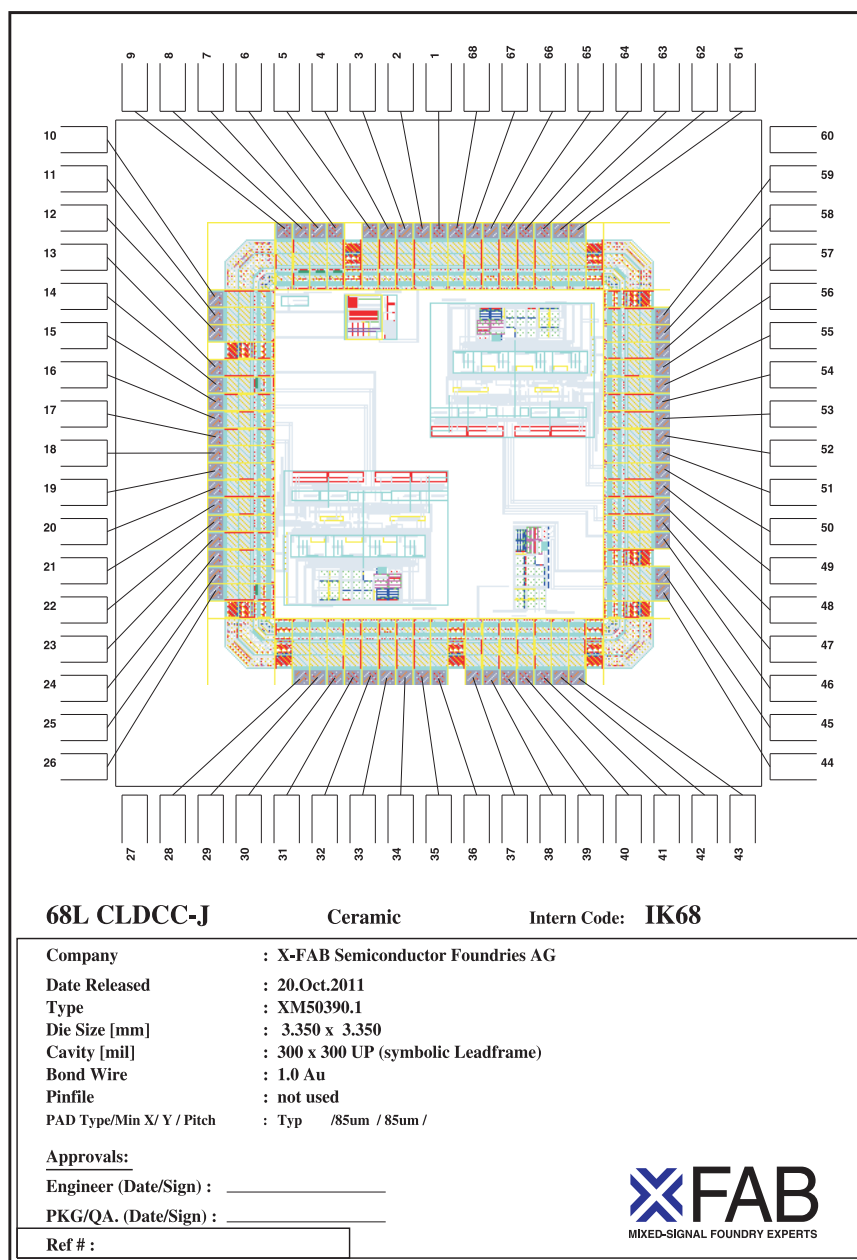


Figura 72: Encapsulamento cerâmico 68L CLDCC-J.

APÊNDICE B – CANCELAMENTO LÓGICO DIGITAL

```

% *****
% 1. Plots the Power Spectral Density of the bitstream
% 2. Calculates the SNR
% *****

clear all; clc;

bts1=load('~/bitstream1.csv');
bts2=load('~/bitstream2.csv');

bts1=bts1(:,2);
bts1=bts1-2.5;
bts2=bts2(:,2);
bts2=bts2-2.5;

g5=4;

% *****
% Global Sets
% *****
bw=20e3;           % Base-band
R=250;
Fs=R*2*bw;        % Oversampling frequency
Ts=1/Fs;
N=length(bts1)-1; % Samples number
Fin=8000;
Ntransient=0;
Vref=5;
finrad=Fin*2*pi;  % Input signal frequency in radians

s0=sprintf('** Simulation Parameters **');
s1=sprintf('  Fs(Hz)=%1.0f',Fs);
s2=sprintf('  Ts(s)=%1.6e',Ts);
s3=sprintf('  Fin(Hz)=%1.4f',Fin);
s4=sprintf('  BW(Hz)=%1.0f',bw);
s5=sprintf('  OSR=%1.0f',R);
s6=sprintf('  Npoints=%1.0f',N);
s7=sprintf('  tsim(sec)=%1.3f',N/Fs);
s8=sprintf('  Nperiods=%1.3f',N*Fin/Fs);
disp(s0)
disp(s1)

```

```

disp(s2)
disp(s3)
disp(s4)
disp(s5)
disp(s6)
disp(s7)
disp(s8)

% *****
% Open Simulink diagram first
% *****
open_system('cancelamento_logico_4nd_mdl')
% Starts Simulink simulation
sim('cancelamento_logico_4nd_mdl', (N+Ntransient)/Fs);

% *****
% Calculates SNR and PSD of the bitstream and signal
% *****
load('yout1.mat');
yout1=yout1';
yout1=yout1(:,2);

load('yout2.mat');
yout2=yout2';
yout2=yout2(:,2);

w=hann_pv(N); % Hann-window
f=Fin/Fs; % Normalized signal frequency
fB=N*(bw/Fs); % Base-band frequency bins

% *****
% PSD stage-1
% *****
figure(1);
clf;
yy1=zeros(1,N);
yy1=yout1(2+Ntransient:1+N+Ntransient)';
ptot1=zeros(1,N);
[snr1,ptot1]=calcSNR(yy1(1:N),f,1,fB,w,N);
semilogx(linspace(0,Fs/2,N/2), ptot1(1:N/2), 'b');
Rbit1=(snr1-1.76)/6.02; % Equivalent resolution in bits
hold on;

% *****
% PSD stage-2
% *****
figure(1)
yy2=zeros(1,N);
yy2=yout2(2+Ntransient:1+N+Ntransient)';
ptot2=zeros(1,N);
[snr2,ptot2]=calcSNR(yy2(1:N),f,1,fB,w,N);
semilogx(linspace(0,Fs/2,N/2), ptot2(1:N/2), 'r');
Rbit2=(snr2-1.76)/6.02; % Equivalent resolution in bits

```



```

title('PSD')
xlabel('Frequency [Hz]')
ylabel('PSD [dB]')
axis([0 Fs/2 -140 0]);
h = legend('1st-stage','2nd-stage',4);
set(h,'Interpreter','none');
grid on;

%-----
figure(2);
clf;
plot(linspace(0,Fs/2,N/2), ptot1(1:N/2), 'r');
hold on;
title('PSD 1nd-stage (detail)')
xlabel('Frequency [Hz]')
ylabel('PSD [dB]')
axis([0 Fs/(2*R) -140 10]);
grid on;
hold off;
text_handle = text(floor(Fs/(4*R)),-20, sprintf('SNR = %4.1fdB @ OSR=%d\n',snr1,R));
text_handle = text(floor(Fs/(4*R)),-40, sprintf('Rbit = %2.2f bits @ OSR=%d\n',Rbit1,R));

%-----
figure(3);
clf;
plot(linspace(0,Fs/2,N/2), ptot2(1:N/2), 'r');
hold on;
title('PSD 2nd-stage (detail)')
xlabel('Frequency [Hz]')
ylabel('PSD [dB]')
axis([0 Fs/(2*R) -140 10]);
grid on;
hold off;
text_handle = text(floor(Fs/(4*R)),-20, sprintf('SNR = %4.1fdB @ OSR=%d\n',snr2,R));
text_handle = text(floor(Fs/(4*R)),-40, sprintf('Rbit = %2.2f bits @ OSR=%d\n',Rbit2,R));

```