

UNIVERSIDADE FEDERAL DE SANTA MARIA
CENTRO DE TECNOLOGIA
PROGRAMA DE PÓS-GRADUAÇÃO EM ENGENHARIA ELÉTRICA

**ANÁLISE E PROJETO DE UMA TOPOLOGIA DE
DOIS ESTÁGIOS OTIMIZADA APLICADA À
ILUMINAÇÃO PÚBLICA COM LEDS**

DISSERTAÇÃO DE MESTRADO

Douglas Camponogara

Santa Maria, RS, Brasil

2012

**ANÁLISE E PROJETO DE UMA TOPOLOGIA DE
DOIS ESTÁGIOS OTIMIZADA APLICADA À
ILUMINAÇÃO PÚBLICA COM LEDS**

por

Douglas Camponogara

Dissertação apresentada ao Curso de Mestrado do Programa de Pós-Graduação em Engenharia Elétrica, Área de Concentração em Processamento de Energia, da Universidade Federal de Santa Maria (UFSM, RS), como requisito parcial para obtenção do grau de **Mestre em Engenharia Elétrica.**

Orientador: Prof. Dr. Alexandre Campos

Santa Maria, RS, Brasil

2012

©2012

Todos os direitos autorais reservados a Douglas Camponogara. A reprodução de partes ou do todo deste trabalho só poderá ser feita com autorização por escrito do autor.

Endereço: Av. Roraima, S/N, Bairro Camobi, Santa Maria, RS, 97.105-900

Fone: +55 53 32420966; Celular: +55 55 99525600;

Endereço Eletrônico: douglas.camponogara@ieee.org

**Universidade Federal de Santa Maria
Centro de Tecnologia
Programa de Pós-Graduação em Engenharia Elétrica**

A Comissão Examinadora, abaixo assinada,
aprova a Dissertação de Mestrado

**ANÁLISE E PROJETO DE UMA TOPOLOGIA DE DOIS
ESTÁGIOS OTIMIZADA APLICADA À ILUMINAÇÃO
PÚBLICA COM LEDS**

elaborada por
Douglas Camponogara

como requisito parcial para obtenção do grau de
Mestre em Engenharia Elétrica

COMISSÃO EXAMINADORA:

Alexandre Campos, Dr.
(Presidente/Orientador)

Arnaldo José Perin, Dr. (UFSC)

Tiago Bandeira Marchesan, Dr. (UFSM)

Santa Maria, 10 de julho de 2012

*Dedico este trabalho, com toda
a certeza, a meus pais.*

*Não só pela dedicação ímpar a
seus filhos, mas principalmente
pelo exemplo de união,
confiança e fé que me mostraram
durante todos esses anos.*

AGRADECIMENTOS

Meus sinceros agradecimentos:

A Deus por tudo que concerne minha vida e minha carreira.

A Universidade Federal de Santa Maria que possibilitou a minha formação e a CAPES pelo apoio financeiro.

Ao grupo GEDRE pelas oportunidades de aprendizado durante minha graduação e o meu mestrado e aos colegas presentes de maneira tão marcante em todos os momentos. Dentre esses colegas cito em especial Guilherme Farias e William Vizzoto, os quais contribuíram de maneira mais ativa neste trabalho e que dedicaram seu tempo e conhecimento em prol desta dissertação. Falando em colegas devo mencionar de maneira especial o nome de Diogo Vargas. Não só contribuiu diretamente com a implementação digital da estratégia de controle, como doou grande parte do seu tempo na solução de problemas práticos. Muito mais do que um grande profissional, um grande amigo.

Ao Prof. Alexandre Campos, o qual foi meu orientador neste trabalho, pela paciência ao escutar, pelos conselhos, muitas vezes fora da área profissional e pela amizade.

Ao Prof. Marco Antônio Dalla Costa, meu co-orientador, pela sua ajuda nas revisões, na estruturação deste trabalho e dos artigos publicados.

A minha família...onde palavras não são capazes de descrever sua importância, tanto em minha formação quanto em apoio nas horas mais difíceis. Simplesmente fundamentais!

“Eu quero saber como Deus criou este mundo. Não estou interessado neste ou naquele fenômeno, no espectro deste ou daquele elemento. Eu quero conhecer os pensamentos Dele, o resto são detalhes.”

Albert Einstein

RESUMO

Dissertação de Mestrado
Programa de Pós-Graduação em Engenharia Elétrica
Universidade Federal de Santa Maria, RS, Brasil

ANÁLISE E PROJETO DE UMA TOPOLOGIA DE DOIS ESTÁGIOS OTIMIZADA APLICADA À ILUMINAÇÃO PÚBLICA COM LEDS

AUTOR: DOUGLAS CAMPONOGARA

ORIENTADOR: ALEXANDRE CAMPOS

Local da Defesa e Data: Santa Maria, 10 de julho de 2012.

Este trabalho apresenta a análise e implementação de uma conexão entre dois conversores de potência, com aplicação para iluminação pública com LEDs. Essa conexão foi chamada de cascata otimizada. A principal ideia dessa conexão é a minimização da energia processada pelo segundo conversor, aumentando assim a eficiência do sistema. Além disso, o capacitor eletrolítico é eliminado desta topologia com o intuito de aumentar a vida útil do sistema. Para tal, a capacitância é reduzida, sendo a ondulação de baixa frequência, proveniente de tal redução, compensada ativamente pelo segundo conversor. Com isso, é possível unir alta eficiência e durabilidade, características consideradas fundamentais em um *driver* para LEDs. Para provar a ideia, dois protótipos foram desenvolvidos, um baseado em controle *feedback* e o outro baseado na união de um controle *feedback* com *feedforward*. Ambos mostraram bons resultados, no entanto o controle *feedback* mais o *feedforward* mostrou-se mais eficaz na compensação ativa da ondulação de barramento. Por fim, uma comparação entre as duas topologias mais utilizadas em *drivers* para LED e a cascata otimizada foi realizada. Os resultados obtidos mostraram sua possível faixa de aplicação, bem como vantagens e limitações.

Palavras-chave: LEDs, R^2P^2 , iluminação pública, conversores CC/CC, redução da capacitância

ABSTRACT

Master's Dissertation
Electrical Engineering Course
Federal University of Santa Maria, RS, Brazil

PROJECT AND ANALYSIS OF AN OPTIMIZED TWO STAGE TOPOLOGY APPLIED TO STREET LIGHTING WITH LEDS

AUTHOR: DOUGLAS CAMPONOGARA
SUPERVISOR: ALEXANDRE CAMPOS

Place and Date: Santa Maria, July 10th, 2012.

This work presents the analysis and implementation of a connection between two power converters, applied to street lighting with LEDs. This connection is called optimized cascade. The main idea of this connection is the reduction of the processed energy by the second converter, increasing this way the system efficiency. Besides that, the electrolytic capacitor is eliminated, aiming the life-span increase of the converter. To do that, the capacitance is reduced, causing a low frequency ripple, which is compensated by the second converter. This way, it is possible to unify high efficiency with long life-span on this converter. Such characteristics are considered fundamentals on LED driver. To prove the idea, two prototypes were built, one based on feedback control scheme and the other on a feedback plus feedforward control scheme. Both had shown good results, however the feedback plus feedforward controller proved to be more effective on the active compensation of the low frequency ripple. In the end, a comparison between the two most used topologies on LED driver with the optimized cascade was performed. The results had shown a possible application range, advantages e limitations of this idea.

Keywords: LED, R^2P^2 , street lighting, DC/DC converters, capacitance reduction

SUMÁRIO

Lista de Figuras

Lista de Tabelas

Lista de Símbolos

1	Introdução	p. 22
2	Estado da arte em drivers para LED	p. 26
2.1	Topologias Passivas	p. 26
2.2	Topologias Ativas	p. 28
2.2.1	Estágio único	p. 28
2.2.2	Duplo estágio	p. 30
2.2.2.1	Duplo Estágio Integrado	p. 31
2.2.2.2	Processamento parcial da energia	p. 32
3	Cascata otimizada	p. 35
3.1	Conceito básico	p. 35
3.1.1	Topologias candidatas	p. 38
3.1.1.1	Estágio CFP	p. 38
3.1.1.2	Estágio CP	p. 38
3.2	Redução da capacitância de barramento	p. 38
3.3	Modos de operação	p. 40
4	Projeto e Implementação	p. 43

4.1	Projeto dos conversores	p. 43
4.1.1	Projeto do CFP	p. 43
4.1.2	Projeto do CP	p. 47
4.2	Protótipo com controle <i>feedback</i>	p. 49
4.2.1	Controle do CFP	p. 50
4.2.2	Controle do CP	p. 58
4.2.3	Resultados experimentais	p. 62
4.2.4	Conclusões	p. 64
4.3	Protótipo com controle <i>feedback</i> + <i>feedforward</i>	p. 65
4.3.1	Controle do CP	p. 65
4.3.2	Resultados experimentais	p. 77
4.3.3	Conclusões	p. 80
4.4	Comparativo	p. 81
4.4.1	Parâmetros das topologias	p. 81
4.4.2	Resultados experimentais	p. 82
4.4.3	Conclusões	p. 83
5	Conclusões	p. 86
	Referências	p. 88

LISTA DE FIGURAS

FIGURA 1.1	Lâmpada da Philips vencedora do L-Prize	p. 22
FIGURA 1.2	Lâmpada de alta eficiência da Cree, concorrente ao prêmio de Lâmpada do Século 21	p. 23
FIGURA 1.3	Modelo elétrico equivalente do LED	p. 24
FIGURA 2.1	Divisão dos drivers para LED	p. 26
FIGURA 2.2	Topologias passivas CA utilizando: (a) Resistor (b) Capacitor . . .	p. 27
FIGURA 2.3	Estrutura básica das topologias passivas CC	p. 27
FIGURA 2.4	Filtros de tensão: (a) <i>Valley-Fill</i> , (b) <i>Valley-Fill</i> modificado, (c) Capacitor de suavização	p. 28
FIGURA 2.5	Filtros de corrente: (a) Indutor simples, (b) Cancelamento de ondulação	p. 28
FIGURA 2.6	Driver de estágio único para LEDs	p. 29
FIGURA 2.7	Conversor Flyback sem capacitor eletrolítico com controle por injeção de harmônicos	p. 29
FIGURA 2.8	Driver de dois estágios para LEDs	p. 30
FIGURA 2.9	Driver de dois estágios integrados	p. 31
FIGURA 2.10	Conversor <i>buck-boost</i> quadrático	p. 31
FIGURA 2.11	Conversor buck quadrático com potência pulsante na saída	p. 32
FIGURA 2.12	Driver com processamento parcial da energia pelo segundo conversor	p. 32
FIGURA 2.13	Topologia com estágio bidirecional em paralelo com o grupo de LEDs	p. 33
FIGURA 2.14	Topologia com absorção constante da corrente de entrada e estágio bidirecional para compensação da ondulação de baixa frequência	p. 34
FIGURA 2.15	Topologia com estágio bidirecional em série com o grupo de LEDs	p. 34
FIGURA 3.1	Proposta de ligação da cascata otimizada	p. 36
FIGURA 3.2	Eficiência da cascata otimizada versus o fator de participação e a eficiência do estágio CP	p. 37
FIGURA 3.3	Conversores CC-CC básicos: (a) <i>buck</i> , (b) <i>boost</i> , (c) <i>buck-boost</i> , (d) <i>forward</i> , (e) <i>flyback</i>	p. 39

FIGURA 3.4	Capacitância normalizada requisitada na saída do CFP para diferentes porcentagens da ondulação da tensão de barramento. C_b é a capacitância requisitada para $1\% \Delta V_{bus}$	p. 39
FIGURA 3.5	Formas de onda típicas da cascata otimizada	p. 40
FIGURA 3.6	Redução da capacitância (linha contínua) e redução da eficiência (linhas pontilhadas) para diversos valores de η_{cp}	p. 41
FIGURA 4.1	Circuito equivalente do conversor CFP	p. 44
FIGURA 4.2	Gráfico da potência de entrada, do capacitor e de saída	p. 47
FIGURA 4.3	Circuito equivalente para o conversor CP	p. 47
FIGURA 4.4	Carga e descarga do capacitor CP	p. 48
FIGURA 4.5	Esquemático do primeiro protótipo	p. 50
FIGURA 4.6	Malha de controle do CFP	p. 51
FIGURA 4.7	Circuito do controle do conversor CFP	p. 54
FIGURA 4.8	Circuito do SG3524 e do driver	p. 55
FIGURA 4.9	Diagrama de bode da função de transferência de malha aberta do CFP	p. 57
FIGURA 4.10	Diagrama de bode do CFP compensado	p. 57
FIGURA 4.11	Malha de controle do CP	p. 58
FIGURA 4.12	Circuito do controle do conversor CP	p. 60
FIGURA 4.13	Diagrama de bode do CP em malha aberta	p. 60
FIGURA 4.14	Diagrama de bode do CP em malha aberta compensado	p. 61
FIGURA 4.15	Protótipo analógico implementado	p. 62
FIGURA 4.16	Tensão e corrente na entrada da ponte retificadora (100V/div, 0,2A/div, 4ms/div).	p. 63
FIGURA 4.17	Verde: Corrente no indutor CFP (1A/div). Roxo: Corrente no indutor CP (0,5A/div). Escala grande: 4ms/div. Escala ampliada: $40\mu\text{s}/\text{div}$	p. 63
FIGURA 4.18	Roxo: Tensão de saída (25V/div). Azul: Tensão de barramento (25V/div). Ciano: Tensão de saída do CP (25V/div). Escala horizontal: 4ms/div.	p. 63
FIGURA 4.19	Tensão e corrente na lâmpada (25V/div, 0,2A/div). Escala horizontal: 4ms/div.	p. 64
FIGURA 4.20	Esquemático do segundo protótipo	p. 66
FIGURA 4.21	(a) Estrutura <i>feedback</i> . (b) Estrutura <i>feedforward</i>	p. 67
FIGURA 4.22	Malha de controle digital do CP	p. 67
FIGURA 4.23	Esquemático do controlador do CP	p. 68

FIGURA 4.24	Sinais de controle no microcontrolador	p. 68
FIGURA 4.25	Filtro e amplificador do sensor de corrente	p. 69
FIGURA 4.26	Divisor resistivo com o circuito responsável pela transmissão do sinal de tensão por corrente	p. 70
FIGURA 4.27	Diagrama de bode da função de transferência digital em malha aberta do conversor CP, com uma frequência de amostragem de $50kHz$. . .	p. 74
FIGURA 4.28	Diagrama de bode da função de transferência compensada digital em malha aberta do conversor CP, com uma frequência de amostragem de $50kHz$	p. 75
FIGURA 4.29	Resposta do CP ao degrau na tensão de barramento	p. 76
FIGURA 4.30	Diagrama da rotina implementada	p. 78
FIGURA 4.31	Protótipo digital implementado	p. 78
FIGURA 4.32	Tensão e corrente na entrada da ponte retificadora. (100V/div, 0.2A/div, 4ms/div)	p. 78
FIGURA 4.33	Ciano: Corrente no indutor CFP (1A/div). Roxo: Corrente no indutor CP (0,2A/div). Escala horizontal: 4ms/div.	p. 79
FIGURA 4.34	Roxo: Tensão de barramento (25V/div). Azul: Tensão de saída (25V/div). Verde: Tensão de saída do CP (25V/div). Escala horizontal: 4ms/div	p. 79
FIGURA 4.35	Tensão e corrente na lâmpada.(25V/div, 0,1A/div). Escala hori- zontal:4ms/div	p. 80
FIGURA 4.36	Esquemático das topologias comparadas: (a)TEU e (b)TEDI . . .	p. 81
FIGURA 4.37	Valores de capacitâncias de barramento para diferentes números de LEDs	p. 82
FIGURA 4.38	Corrente na entrada de cada topologia com respectiva TDH	p. 83
FIGURA 4.39	Tensão e corrente de saída de cada topologia	p. 84

LISTA DE TABELAS

TABELA 4.1	Parâmetros do protótipo implementado	p. 49
TABELA 4.2	Componentes do primeiro protótipo	p. 51
TABELA 4.3	Valores do ponto de operação	p. 53
TABELA 4.4	Valores do ponto de operação	p. 59
TABELA 4.5	Parâmetros do protótipo implementado	p. 65
TABELA 4.6	Componentes do segundo protótipo	p. 66
TABELA 4.7	Valores do ponto de operação	p. 73
TABELA 4.8	Parâmetros dos protótipos comparados	p. 81

LISTA DE SÍMBOLOS

ΔI_{lcp}	Ondulação de alta frequência da corrente no indutor do conversor CP
ΔV_{bus}	Ondulação de baixa frequência da tensão de barramento
ΔV_{ocp}	Ondulação de alta frequência da tensão no capacitor do conversor CP
η_{cfp}	Eficiência do primeiro estágio
η_{cp}	Eficiência do segundo estágio
η	Eficiência total
ω_p	Frequência angular do polo do controlador Tipo 2
ω_z	Frequência angular do zero do controlador Tipo 2
A/D	Analógico para Digital
A	Matriz de dinâmica do sistema
A _p	Matriz de dinâmica linearizada do sistema
B	Matriz de entrada do sistema
B _p	Matriz de entrada linearizada do sistema
C	Matriz de saída do sistema
C _{cl}	Valor do capacitor do filtro passa-baixa do sensoriamento da corrente de saída
C _{cp}	Função de transferência do controlador do conversor CP
C _{cp}	Valor do capacitor do conversor CP
C _f	Valor do capacitor de filtro da entrada
C _{fin}	Valor do capacitor de filtro da entrada no SG3524
C _{icp}	Função de transferência do controlador <i>Feedback</i>
C _{int}	Valor do capacitor do controlado do CFP
C _{intcfp}	Função de transferência do controlador do conversor CFP
C _{intdig}	Função de transferência do controlador integrador digital
C _{ppc}	Ganho do controlador <i>FeedForward</i>

Lista de Símbolos

C_{tedi}	- Valor do capacitor de barramento da topologia de estágio duplo integrado
C_{toc}	- Valor do capacitor de barramento da topologia cascata otimizada
C_{toc}	- Valor do capacitor de barramento da topologia de estágio único
C_1, C_2	Valores das capacitâncias do controlador Tipo 2
C_f	Valor da capacitância de filtro da referência 5V do SG3524
C_t	Valor da capacitância que define a frequência de operação do SG3524
CA	Corrente alternada
CC	Corrente contínua
CCM	<i>Continuous Conduction Mode</i>
CFP	Corretor do Fator de Potência
CP	Controlador de Potência
C_p	Matriz de saída linearizada do sistema
CTR	Taxa de transferência da corrente do opto acoplador
D_{cfp}	Modelo do diodo do conversor CFP
D_{cfp}	Razão cíclica do conversor CFP
D_{cp}	Modelo do diodo do conversor CP
D_{cp}	Razão cíclica de projeto do conversor CP
D_{cpmax}	Razão cíclica máxima do conversor CP
d_{fb_n}	Razão cíclica atual do controle integrador digital do conversor CP
$d_{fb_{n-1}}$	Razão cíclica do passo anterior do controle integrador digital do conversor CP
$d_{fb_{nQ21}}$	Razão cíclica atual do controle integrador digital na base Q21 do conversor CP
d_{ff_n}	Razão cíclica atual do controle <i>FeedForward</i> digital do conversor CP
$d_{ff_{nQ21}}$	Razão cíclica atual do controle <i>FeedForward</i> digital na base Q21 do conversor CP
d_{maxcfp}	Razão cíclica máxima do conversor CFP
D_{r1-4}	Modelo dos diodos de retificação
DCM	<i>Discontinuous Conduction Mode</i>
E	Matriz de transmissão direta do sistema

Lista de Símbolos

E_{cap}	Energia armazenada no capacitor do CFP
$E_{initcap}$	Energia inicial armazenada no capacitor do CFP
e_{n-1}	Erro do passo anterior do controle digital do conversor CP
E_p	Matriz de transmissão direta linearizada do sistema
f_{cftp}	Frequência de comutação do conversor CFP
f_{cp}	Frequência de comutação do conversor CP
f_p	Frequência do polo do controlador Tipo 2
f_r	Frequência da rede
f_z	Frequência do zero do controlador Tipo 2
FP	Fator de potência
FPGA	<i>Field Programmable Array</i>
FS	Fator de segurança
G_{idcp}	Função de transferência que relaciona a corrente nos LEDs com a razão cíclica do conversor CP
G_{ivpc}	Função de transferência relacionando a corrente de saída com a tensão de barramento
G_{macfp}	Função de transferência de malha aberta do conversor CFP
G_{macp}	Função de transferência de malha aberta do conversor CP
G_{opto}	Ganho do opto acoplador
G_{t2cp}	Função de transferência do controlador Tipo 2
G_{vdcfp}	Função de transferência que relaciona a tensão de barramento com a razão cíclica do conversor CFP
G_o	Ganho do controlador Tipo 2
$H_{a/d}$	Ganho do conversor A/D
H_{icp}	Ganho da conversão A/D e do sensor de corrente
H_{si}	Ganho do sensor de corrente
H_{vcfp}	Ganho do divisor resistivo no conversor CFP
H_{vcp}	Ganho do sensor de ondulação da tensão de barramento
I	Matriz identidade
I_{ccp}	Corrente no capacitor do conversor CP

Lista de Símbolos

I_{in}	Corrente de entrada
I_{incp}	Corrente de entrada do conversor CP
I_{lcfp}	Corrente no indutor do conversor CFP
I_{lcp}	Corrente média no indutor do conversor CP
I_{led}	Corrente nos LEDs
I_{ledmax}	Máxima corrente permitida no LED do opto acoplador
I_{ledref}	Corrente de referência dos LEDs
I_{ocfp}	Corrente na saída do conversor CFP
I_{ocp}	Corrente na saída do conversor CP
I_{pin}	Corrente de pico na entrada
k	Fator de proporção do processamento de potência
K_{idig}	Constante de integração do controlador integrador digital
K_i	Constante do integrador do controle do conversor CFP
L_{cfp}	Valor do indutor do conversor CFP
L_{cp}	Valor do indutor do conversor CP
L_{cp}	Valor do indutor do conversor CP
L_f	Valor do indutor de filtro da entrada
LED	<i>Light Emitting Diode</i>
N_{led}	Número de LEDs conectados em série na saída
N_b	Número de bits relativos a resolução do A/D
P_{bus}	Potência do CFP transferida diretamente à saída
P_{cap}	Potência instantânea do capacitor do CFP
P_{in}	Potência média de entrada
P_{ocp}	Potência de saída do conversor CP
P_{out}	Potência total de saída
PI	Proporcional-Integral
PWM	<i>Pulse Width Modulation</i>
Q1, Q2, Q3	Modelos dos transistores utilizados no <i>driver</i> do MOSFET
R^2P^2	<i>Reduced Redundant Power Processing</i>

Lista de Símbolos

R_1, R_2, R_i, R_f	Resistores responsáveis pelo ganho do somador no controle do conversor CFP
R_{bias}	Resistor responsável pela alimentação do TL431
R_c	Valor da resistência do coletor no SG5324
R_{cg1}, R_{cg2}	Valor dos resistores do ganho do sensoriamento da corrente de saída
R_{ci}	Valores do resistor limitador da corrente no <i>driver</i>
R_{cl}	Valor do resistor do filtro passa-baixa do sensoriamento da corrente de saída
R_{eq}	Resistência equivalente a carga vista pelo CFP
R_{f1}, R_{f2}	Divisor resistivo da tensão de barramento
R_{gate}	Valor da resistência conectada ao gate do MOSFET
R_{led}	Resistor limitador da corrente no LED do opto acoplador
R_{lim}	Valor da resistência do limitador de razão cíclica do controlador Tipo 2
R_s	Valor do resistor <i>shunt</i> para leitura da corrente nos LEDs
R_{vc}	Valor do resistor polarizador do transdutor de tensão para corrente do <i>FeedForward</i>
R_{vd1}, R_{vd2}	Valores dos resistores do divisor resistivo do controle <i>FeedForward</i>
R_{vg1}, R_{vg2}	Valores dos resistores que definem o ganho do transdutor de tensão para corrente do <i>FeedForward</i>
R_1, R_2	Valores das resistências do controlador Tipo 2
R_e	Resistor limitador da corrente no emissor do opto acoplador
R_f	Resistência série do modelo ideal do LED
R_t	Valor da resistência que define a frequência de operação do SG3524
S_{cfp}	Modelo do interruptor do conversor CFP
S_{cp}	Modelo do interruptor do conversor CP
T_r	Período da rede
TDH	Taxa de Distorção Harmônica
V_{bus}	Tensão média da saída do conversor CFP
V_{busref}	Referência da tensão de barramento
V_{cesat}	Tensão de saturação do transistor do opto acoplador
V_{fopto}	Queda de tensão no LED do opto

Lista de Símbolos

V_{in}	Tensão de entrada
V_{maxbus}	Tensão máxima de barramento
V_{mefp}	Tensão de pico do modulador PWM do conversor CFP
V_{mcp}	Tensão de pico do modulador PWM do conversor CP
V_{minbus}	Tensão mínima de barramento
V_{ocp}	Tensão de saída do conversor CP
V_{ocpmax}	Tensão de saída máxima do conversor CP
V_{out}	Tensão total de saída
V_{pin}	Tensão de pico na entrada
V_{ra}	Tensão da referência alta do A/D
V_{rb}	Tensão da referência baixa do A/D
$V_{reftl431}$	Tensão de referência interna do TL431
V_{tl431}	Mínima tensão assumida pelo TL431
V_f	Tensão direta do modelo ideal do LED
X	Vetor de estados do sistema
Y	Vetor de saída

1 INTRODUÇÃO

A eficiência luminosa do LED, atualmente, já supera as lâmpadas fluorescentes e as lâmpadas de alta pressão (HID) [Efficiency e Energy 2011]. Para sistemas de iluminação residencial, a solução LED mais o seu dispositivo de controle (*driver*) também já alcançou patamares de eficiência nunca antes atingidos.

Um exemplo claro foi demonstrado com a competição L-Prize, promovida pelo Departamento de Energia do Governo Norte-Americano. O intuito era incentivar a criação de uma lâmpada a LED com uma eficiência acima de 90lm/W. Além disso, a lâmpada deveria ser capaz de manter, no mínimo, 70% da luminosidade inicial depois de 25.000 horas de operação. A ganhadora desta competição foi a Philips Lighting North America, sendo seu protótipo possuidor de uma eficiência de 93,4lm/W. A luminosidade foi mantida em 99,3% da inicial após 25.000 horas [Lighting 2011].



Figura 1.1: Lâmpada da Philips vencedora do L-Prize

O mesmo departamento do governo norte-americano lançou um novo desafio, a Lâmpada do Século 21. A ideia é produzir uma lâmpada a LEDs com eficiência maior que

150lm/W, com um índice de reprodução de cor maior que 90% e uma temperatura de cor entre 2800-3000K. Com isso, a empresa CREE já anunciou a sua entrada no desafio com uma lâmpada capaz de gerar 152lm/W, com uma Renderização de Cor de 91% e emitindo uma luz amarelada na temperatura de 2800K [Cree 2011].



Figura 1.2: Lâmpada de alta eficiência da Cree, concorrente ao prêmio de Lâmpada do Século 21

Em ambos os casos, o governo norte-americano irá prover uma série de incentivos aos fabricantes vencedores em cada categoria, para que a implementação no mercado das novas lâmpadas seja possível.

Cabe lembrar que o LED não pode ser conectado diretamente na rede. É necessário um sistema intermediário que processe a energia para padrões aceitáveis a esse dispositivo. Esse sistema é conhecido como *driver*.

Ao contrário do que acontece na maioria dos equipamentos eletrônicos, o LED precisa de um controle de corrente, não de tensão. Um microcontrolador, por exemplo, aceita uma tensão fixa aplicada a ele, sendo que o mesmo drena mais ou menos corrente dependendo das tarefas que realiza. Já no LED, não é possível aplicar diretamente uma tensão e esperar uma determinada corrente. Olhando o modelo equivalente do LED (Figura 1.3) é possível notar que existe uma resistência (R_f) e uma fonte de tensão (V_f) em série. Esses parâmetros podem variar conforme a temperatura do LED e também com a corrente que passa por ele [Gacio et al. 2012]. Além disso, existem variações paramétricas entre os LEDs, isso sem mencionar variações entre LEDs semelhantes de fabricantes diferentes.

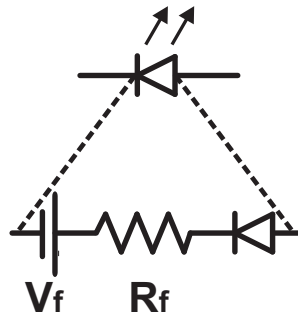


Figura 1.3: Modelo elétrico equivalente do LED

Somando-se a isso, o pequeno valor da resistência faz com que pequenas variações de tensão provoquem grandes variações de corrente. Por fim, a corrente média nos LEDs é o fator que determina a luminosidade emitida pelos mesmos. Todas essas condições fazem com que o *driver* projetado para um conjunto de LEDs atue de maneira a manter uma corrente constante em sua saída.

Logo, em sistemas de iluminação pública o *driver* sempre deve estar acompanhado do conjunto de LEDs. Assim, o mesmo exerce papel fundamental na durabilidade e na eficiência do sistema.

Um outro ponto importante, o qual vem sendo estudado com afincamento atualmente, é a questão da substituição do capacitor eletrolítico pelo capacitor de filme nos *drivers*. Isso acontece pelo fato do eletrolítico ter uma vida útil muito menor que a dos LEDs [Maddula e Balda 2005], [Parler]. Um grande trunfo do LED é a sua longa vida útil. Portanto projetar um *driver* que irá durar menos que o próprio LED, faz com que o sistema deixe de possuir essa importante vantagem.

Além disso, outra grande vantagem do LED é sua eficácia, ou seja, a relação lm/W. Como o *driver* faz parte de qualquer sistema de iluminação a LED, a sua eficiência entra na relação lm/W de tal sistema. Logo, o mesmo deve ter uma elevada eficiência, de modo que a sua participação no sistema não impacte significativamente no rendimento total.

Nota-se que o desenvolvimento de novos *drivers* é uma tarefa que exige capacidade de inovação do projetista. Muitos trabalhos vêm tentando unir eficiência com o uso de capacitores de filme, entretanto quando tal objetivo é alcançado, o sistema se mostra demasiado complexo e custoso para implementação, possivelmente inviabilizando a sua comercialização.

Em virtude do exposto, este trabalho tem como objetivo desenvolver uma nova proposta de *driver* para LEDs aplicados à iluminação pública, o qual deve contemplar:

- Elevada eficiência: A meta neste ponto é alcançar uma eficiência igual ou superior a 90%, maximizando assim a característica lm/W do LED;
- Simplicidade de implementação: Apesar do objetivo não ser a criação de um produto final, é interessante que desde a fundamentação básica o projeto tenha como foco a facilidade de implementação;
- Operação sem o uso de capacitor eletrolítico: O foco será em reduzir a capacitância de barramento para valores abaixo de $80\mu F$, onde torna-se viável o uso de capacitores de filme [Qin et al. 2008];
- Atendimento a norma IEC61000-3-2 Classe C: Esta norma regula a quantidade de harmônicos que serão injetados na rede pelo conversor.

O presente trabalho está organizado da seguinte forma. No Capítulo 2, será explorado o estado da arte em *drivers* para LED, mostrando como se dividem os *drivers* atualmente e os trabalhos mais inovadores nesta área. No Capítulo 3, a topologia proposta é apresentada juntamente com as suas principais equações de projeto e características. No Capítulo 4 é detalhado a implementação prática, desde o projeto dos conversores até a estrutura das malhas de controle envolvidas. Além disso, resultados práticos também são apresentados. Por fim, no Capítulo 5 são apresentadas as conclusões deste trabalho e as propostas para trabalhos futuros.

2 ESTADO DA ARTE EM DRIVERS PARA LED

Os *drivers* para LED estão divididos em topologias passivas e topologias ativas, conforme mostra a Figura 2.1.

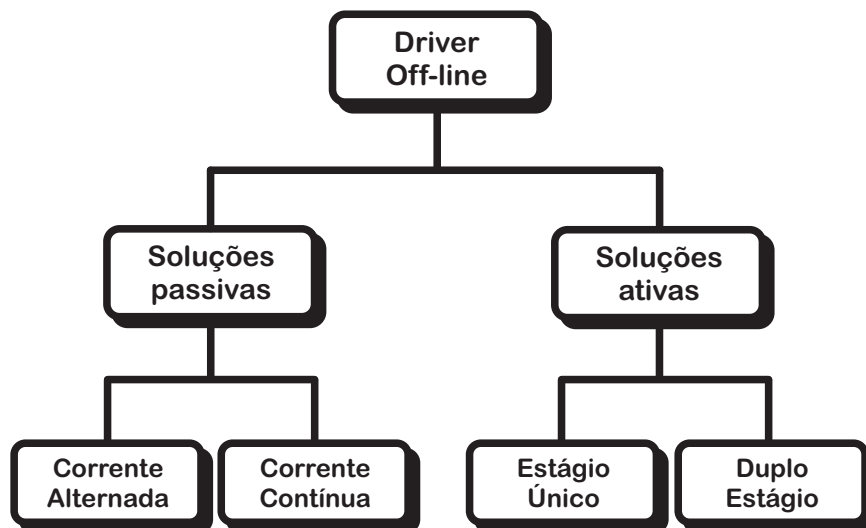


Figura 2.1: Divisão dos drivers para LED

Um *driver* é considerado passivo quando não possui nenhum interruptor controlado de maneira ativa. Já os *drivers* ativos se caracterizam não só pela presença de tal interruptor, como também de um circuito de controle da corrente.

2.1 Topologias Passivas

As topologias passivas são classificadas em tipo CA e tipo CC. As tipo CA baseiam no princípio da retificação inerente dos LEDs, pelo fato de serem diodos. Para limitar a corrente circulante são utilizados resistores ou capacitores [Baddela e Zinger 2004], com arranjos de vários LEDs, como mostrados na Figura 2.2.

Apesar da simplicidade e do baixo custo, estas configurações tendem a fazer um uso

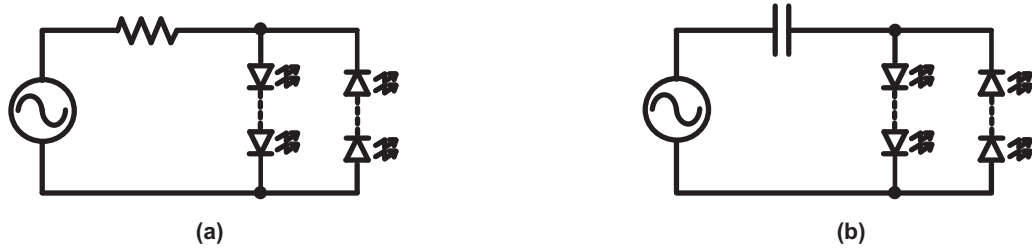


Figura 2.2: Topologias passivas CA utilizando: (a) Resistor (b) Capacitor

pífo das características do LED. Isso se deve ao fato que o pico da corrente de baixa frequência não pode ser maior que o valor especificado no *datasheet* do fabricante. Como a corrente é a metade de uma senoide pulsante, o valor médio da mesma será bem baixo [Chen, Li e Hui 2010].

Já as topologias passivas tipo CC apresentam uma corrente de saída constante, evitando o *flicker* visível da ondulação de baixa frequência. A estrutura básica deste tipo de configuração é mostrada na Figura 2.3.



Figura 2.3: Estrutura básica das topologias passivas CC

A parte de entrada é composta por um indutor, o qual atua tanto como filtro quanto para reduzir a sensibilidade da saída as variações de entrada, e por uma ponte retificadora.

Logo após a retificação, um filtro de tensão é utilizado. Este serve principalmente para diminuir o tamanho do filtro de corrente na saída. Dentro do observado na literatura, o filtro de tensão pode ser composto por: Circuito *Valley-Fill* (Figura 2.4(a)), Circuito *Valley-Fill* modificado (Figura 2.4(b)) e um simples capacitor de suavização (Figura 2.4(c)).

Já no caso do filtro de corrente, duas configurações são mostradas: um simples indutor (Figura 2.5(a)) e um circuito de cancelamento de ondulação (Figura 2.5(b)). O último funciona da seguinte maneira: a corrente I_1 é uma corrente CC com uma ondulação CA, que através da ação do transformador, induzirá uma corrente I_2 de fase oposta. Como a corrente de saída é o resultado da soma dessas duas correntes, em teoria, a ondulação CA deve ser cancelada.

A eficiência de topologias passivas CC é boa (acima de 90%), além de possuírem

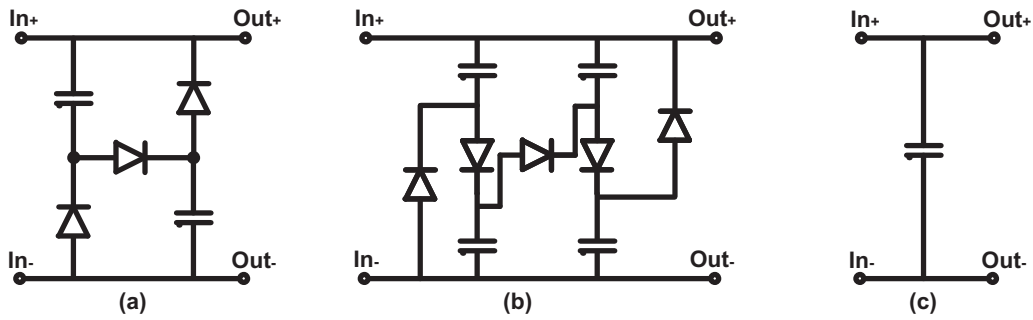


Figura 2.4: Filtros de tensão: (a) *Valley-Fill*, (b) *Valley-Fill* modificado, (c) Capacitor de suavização

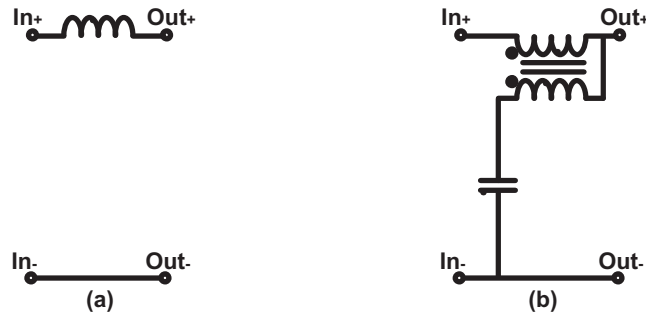


Figura 2.5: Filtros de corrente: (a) Indutor simples, (b) Cancelamento de ondulação

simplicidade de implementação, pois não existe componente ativo ou malha de controle.

Entretanto, a prática [Chen, Li e Hui 2010] revela que existe sempre uma relação direta entre a distorção da corrente de entrada e a ondulação na corrente de saída. Por exemplo, se a topologia tem uma baixa distorção na corrente de entrada é esperado uma corrente de saída com uma ondulação de baixa frequência relativamente elevada e vice-versa. Além disso, os componentes magnéticos são volumosos para a potência em questão.

2.2 Topologias Ativas

Na área de topologias ativas existem, basicamente, duas divisões: as de estágio único e as de dois estágios. Cada conversor é considerado como um estágio. A grande vantagem das topologias ativas é a possibilidade de ter uma malha de controle, a qual garante que a corrente nos LEDs vai estar dentro dos valores especificados, além de uma significativa redução no tamanho dos magnéticos empregados, devido à frequência de trabalho ser muitas vezes maior que a da rede.

2.2.1 Estágio único

As topologias de estágio único [Chiu et al. 2010], [Wang et al. 2010], [Pinto et al. 2012], [Pinto et al. 2011] [Ryu et al. 2011] são consideradas as soluções mais eficientes

para *driver* de LED. Isso é baseado no fato que a energia é processada apenas uma vez. Entretanto, para manter a corrente nos LEDs com uma pequena ondulação de baixa frequência, uma grande capacitância é necessária na saída. Isso leva ao uso de capacitores eletrolíticos, o que é totalmente indesejável para aplicações com LED. Como existe apenas um conversor, o mesmo deve ser responsável por manter o Fator de Potência (FP) e a Taxa de Distorção Harmônica (TDH) dentro da norma. Por isso ele é chamado de conversor Corretor do Fator de Potência (CFP).



Figura 2.6: Driver de estágio único para LEDs

Contudo, existem algumas soluções de estágio único sem capacitor eletrolítico na literatura [Wang et al. 2010], [Ryu et al. 2011]. A Figura 2.7 mostra a topologia proposta em [Wang et al. 2010]. O capacitor e o indutor de saída atuam como um filtro passa-baixa apenas para as harmônicas de alta frequência. Para reduzir a ondulação de baixa frequência, foi desenvolvido um método de injeção de harmônicos na malha de controle (mais precisamente a terceira e quinta harmônica).

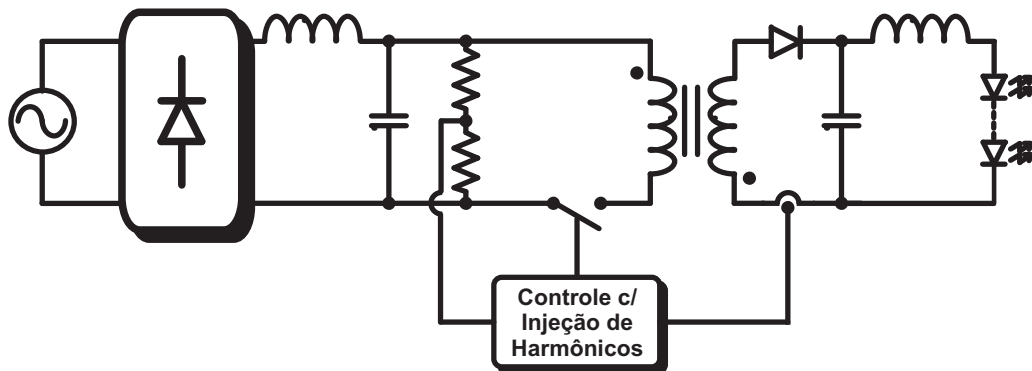


Figura 2.7: Conversor Flyback sem capacitor eletrolítico com controle por injeção de harmônicos

Mesmo reduzindo o pico da ondulação de baixa frequência, a mesma ainda é presente na saída, causando uma baixa utilização do LED, visto que o pico não pode ultrapassar o valor máximo permitido pelo fabricante, o que diminui a corrente média e consequentemente causa uma baixa utilização da capacidade luminosa do LED.

2.2.2 Duplo estágio

As topologias de duplo estágio caracterizam-se pela presença de um segundo conversor, o qual processa toda a energia entregue à carga. Tal conversor tem uma liberdade de atuação maior, visto que a sua operação não causa distorções na corrente de entrada. Com uma ação de controle mais rápida, é possível aumentar a ondulação de baixa frequência na saída do primeiro estágio, diminuindo assim o capacitor utilizado. Nesse caso, o segundo conversor atua para compensar a parte CA da tensão de barramento, entregando somente uma corrente CC aos LEDs [Garcia et al. 2009], [Weir e Cathell 2008]. Tal conversor também atua no controle da potência, sendo por isso conhecido como conversor Controlador da Potência (CP).

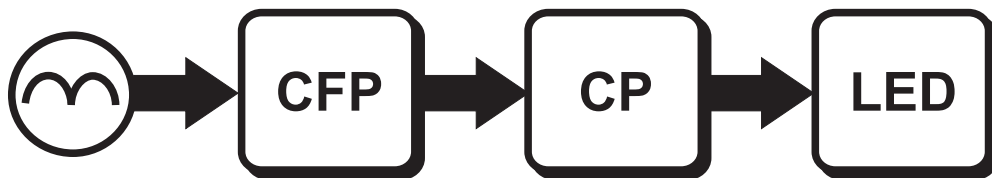


Figura 2.8: Driver de dois estágios para LEDs

Entretanto, incluir mais um estágio implica em um duplo processamento da energia, onde a eficiência total da topologia é dada por:

$$\eta = \eta_{cfp}\eta_{cp} \quad (2.1)$$

Onde:

η_{cfp} - Eficiência do primeiro estágio;

η_{cp} - Eficiência do segundo estágio.

Assim, tem-se uma diminuição efetiva na eficiência total do sistema com LED (lm/W), podendo, em certos casos, não valer mais a pena o uso de tal solução em comparação com as tradicionais (HID, Fluorescente Compacta, etc). Portanto, a maximização da eficiência em ambos os estágios é um ponto que deve ser verificado com especial atenção no projeto deste tipo de solução.

Visando a minimização dos problemas que um segundo estágio pode causar (redução de eficiência, aumento de componentes, complexidade do controle), existem sub-categorias com focos distintos.

2.2.2.1 Duplo Estágio Integrado

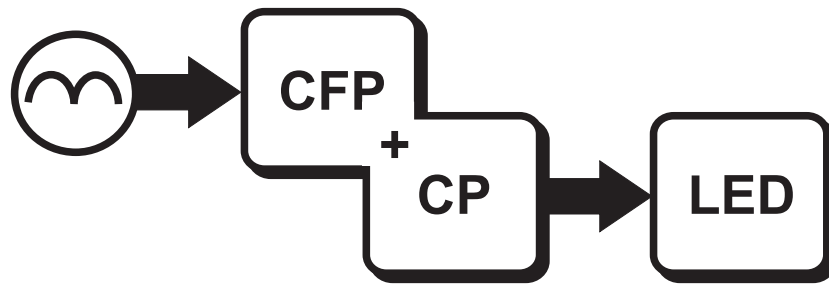
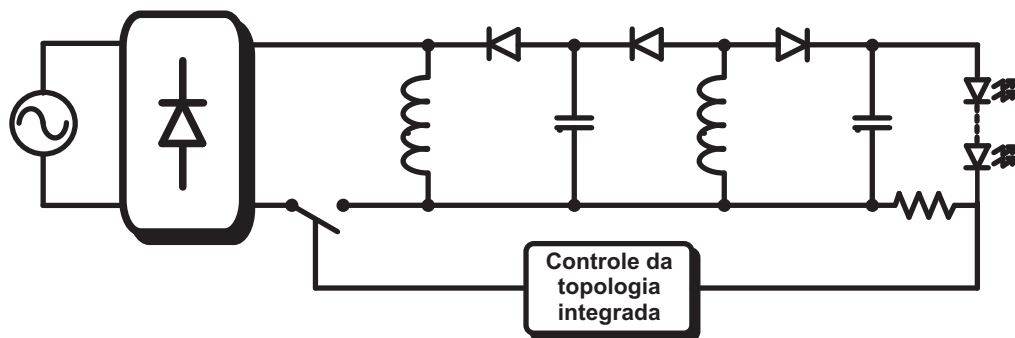


Figura 2.9: Driver de dois estágios integrados

Com o intuito de minimizar o número de semicondutores ativos presentes no conversor, além de simplificar o controle, integração de topologias foram propostas [Alonso et al. 2012], [Alonso et al. 2011], [Gacio et al. 2009], [Spiazzi, Buso e Meneghesso 2005], [Bo et al. 2009]. A integração do interruptor pode ser feita por sobre corrente, onde o interruptor deve suportar a soma das correntes dos dois estágios e por sobre tensão, no qual o semicondutor sofre a soma dos esforços de tensão de cada interruptor anterior.

Atualmente, diversos trabalhos nesta área foram desenvolvidos com o intuito de minimizar o capacitor de barramento. Um exemplo é o conversor *buck-boost* quadrático (Figura 2.10), desenvolvido em [Alonso et al. 2011], onde os dois conversores trabalham em DCM.

Figura 2.10: Conversor *buck-boost* quadrático

Foi descoberto que a operação neste modo deste conversor possibilita uma redução muito grande da capacitância do primeiro estágio. Isso não só possibilita o uso de capacitores de filme como reduz o custo dos mesmos, visto que o seu valor aumenta muito conforme o aumento da capacitância. Além disso, o controle da topologia é feito usando um simples integrador lento, medindo apenas a corrente de saída para controlar o seu valor médio.

Entretanto, a topologia *buck-boost* possui um sério problema de eficiência, dado pela

alta tensão imposta no interruptor, o que torna necessária uma análise mais profunda no sentido de verificar em qual faixa de potência esta solução é válida em termos de lm/W .

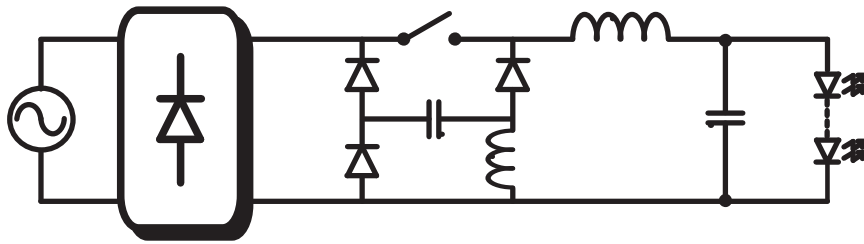


Figura 2.11: Conversor buck quadrático com potência pulsante na saída

Um outro conversor interessante é mostrado na Figura 2.11. Este trabalho foi desenvolvido em [Spiazzi, Buso e Meneghesso 2005]. A topologia em CCM é um *buck* em cascata com outro *buck*. A ideia é não utilizar o capacitor de saída para filtrar as ondulações de baixa frequência, o que gera uma potência pulsante na saída. O estudo foi focado no impacto que a corrente pulsante teria sobre o LED, operando este conversor em um dos seus modos DCM. Notou-se que a potência óptica é independente do valor de pico da corrente e diretamente relacionada com o valor médio da mesma. Outro ponto interessante é que o LED degrada-se muito mais rápido se o pico da corrente é maior, mesmo mantendo a corrente média constante.

2.2.2.2 Processamento parcial da energia

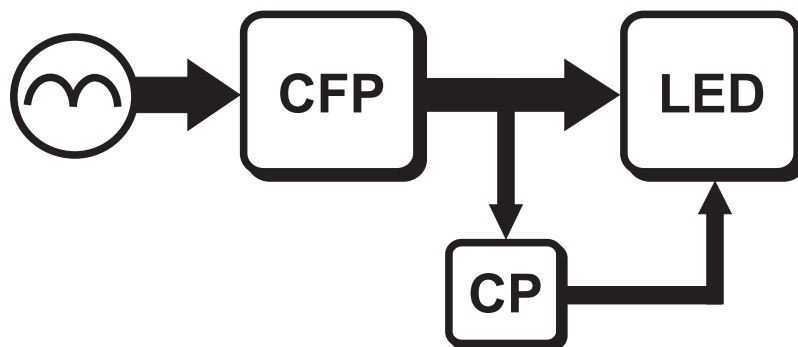


Figura 2.12: Driver com processamento parcial da energia pelo segundo conversor

Com o intuito de aumentar a eficiência na configuração dois estágios, existem trabalhos que focam na redução da energia processada pelo estágio secundário [Hu e Zane 2011], [Wang et al. 2011]. A ideia principal é fazer com que grande parte da energia seja transmitida diretamente aos LEDs, sendo que o segundo conversor atuaria apenas quando necessário para o controle da corrente nos LEDs e compensação da ondulação de baixa frequência.

A Figura 2.13 mostra o trabalho desenvolvido por [Wang et al. 2011], onde o segundo estágio é um conversor bidirecional em paralelo com a carga. Quando a tensão nos LEDs for maior que o desejado, o conversor absorve a energia excedente. Tal energia é devolvida para a carga quando a tensão do barramento for menor que a média. O controle do primeiro estágio é feito medindo a corrente do indutor no segundo estágio e fazendo a sua média, obtendo-se assim a corrente média de saída. Essa média é comparada com um valor de referência da corrente desejada. Já para o bidirecional, a segunda harmônica da corrente dos LEDs é extraída e somada com a diferença entre a tensão sensoriada no capacitor do conversor bidirecional com o valor de referência (o qual deve ser maior que o valor de tensão no capacitor do CFP). Esse sinal é comparado com a corrente de entrada do conversor bidirecional, gerando assim o sinal de controle a ser comparado com a dente de serra para gerar o sinal PWM.

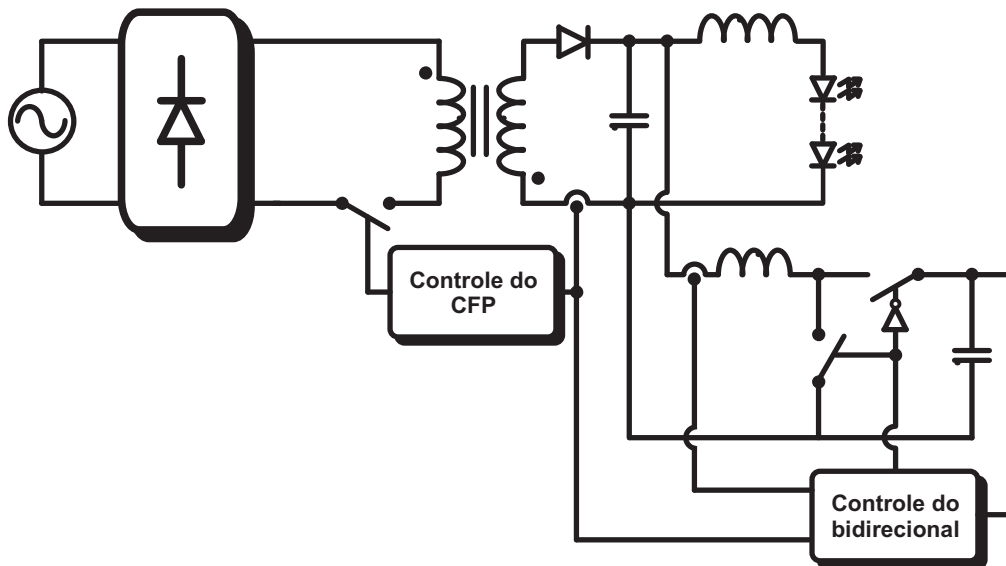


Figura 2.13: Topologia com estágio bidirecional em paralelo com o grupo de LEDs

Já em [Hu e Zane 2011], para diminuir ainda mais o capacitor de barramento, a estratégia de controle permite uma ondulação de baixa frequência controlada nos LEDs. O conversor de entrada é um boost operando modo de condução crítica, sendo o seu controle feito por um circuito integrado comercial próprio para esse tipo de operação. Um FPGA (Field Programmable Gate Array) com o circuito de sensoriamento correspondente e conversor A/D (Analogico para Digital) é utilizado no controle do estágio bidirecional. O FPGA envia ao circuito de controle do CFP um sinal digital, o qual é convertido para analógico através do circuito RC, utilizado no controle da potência fornecida pelo conversor CFP. O controle desta topologia envolve quatro malhas de controle, as quais inclui: CFP, regulação da corrente no LED, controle da tensão no capacitor de barramento e malha de controle da potência. Devido a sua complexidade, a mesma não será detalhada

neste trabalho.

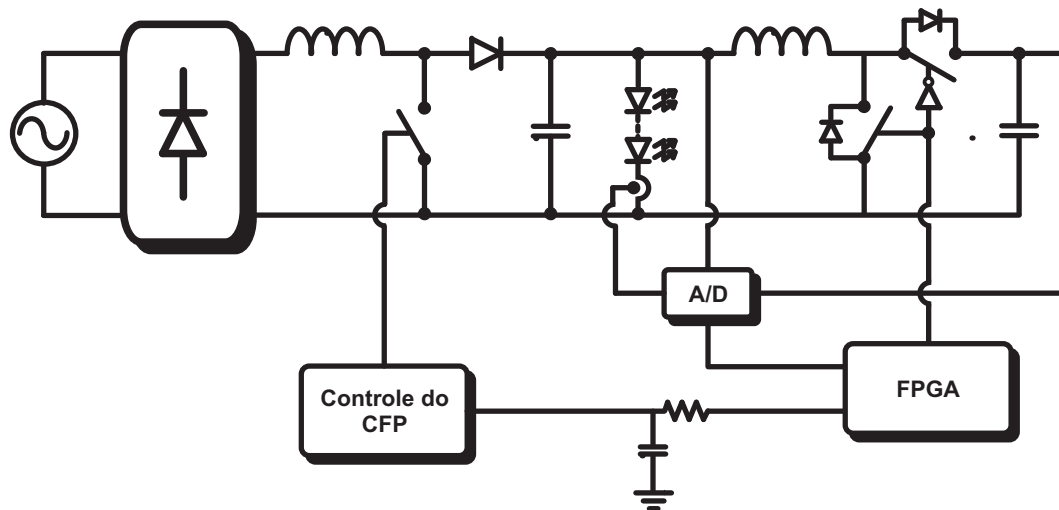


Figura 2.14: Topologia com absorção constante da corrente de entrada e estágio bidirecional para compensação da ondulação de baixa frequência

Uma outra ideia de processamento parcial é proposta em [Garcia et al. 2012]. Ao invés do conversor bidirecional ficar em paralelo, o mesmo é colocado em série com o grupo de LEDs, como pode ser visto na Figura 2.15. Uma outra diferença desta topologia é que o armazenamento da energia é feito com um indutor. O controle do estágio CFP é feito em malha aberta, ou seja, com uma razão cíclica fixa. Já o controle do estágio bidirecional é feito simplesmente subtraindo a corrente lida dos LEDs com o valor de referência, passando por um controlador Proporcional-Integral (PI).

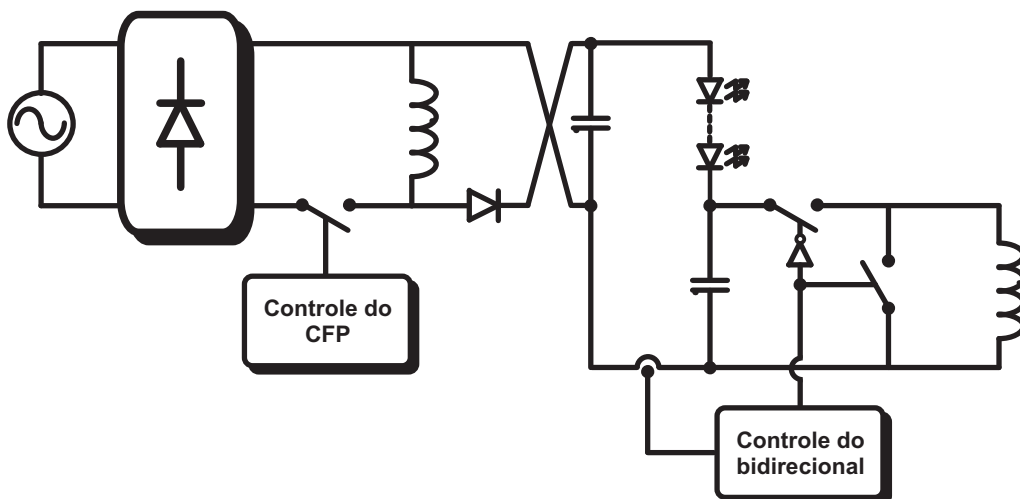


Figura 2.15: Topologia com estágio bidirecional em série com o grupo de LEDs

3 CASCATA OTIMIZADA

Como pode ser visto no Capítulo 2, existem várias ideias para eliminação do capacitor eletrolítico no *driver* para LEDs. Entretanto, unir alta eficiência e redução da capacitância tem se mostrado uma tarefa trabalhosa. Apesar de existirem trabalhos, como em [Wang et al. 2011] e [Hu e Zane 2011], com considerável sucesso em tal tarefa, a complexidade no controle, o número de interruptores e o custo de implementação do acionamento dos mesmos torna tais ideias difíceis de serem implementadas comercialmente.

Este capítulo irá abordar uma explicação detalhada sobre a nova forma de conexão entre conversores, a qual será chamada de cascata otimizada. Além disso, também será descrito como ocorre a redução da capacitância de barramento e os modos de operação deste tipo de topologia.

3.1 Conceito básico

A estrutura proposta neste trabalho é apresentada na Figura 3.1. A ideia básica é fazer com que apenas uma pequena parcela da potência total de saída seja processada pelo segundo conversor. Este conceito é conhecido na literatura como R^2P^2 (*Reduced Redundant Power Processing* ou Redução da Energia Redundante Processada) [Tse, Chow e Cheung 2001], [Cheung, Chow e Tse 2008]. Logo, a maior parte da potência é injetada diretamente do conversor CFP para a saída.

A corrente de saída média do conversor CP é a mesma que a aplicada nos LEDs, ou seja:

$$I_{led} = I_{ocp} \quad (3.1)$$

Já a corrente de saída do CFP é composta pela corrente de entrada do CP e pela corrente média de saída:

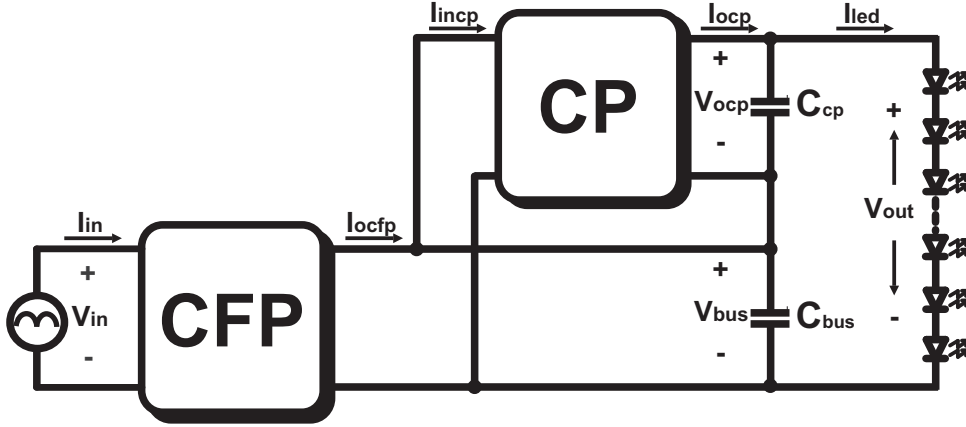


Figura 3.1: Proposta de ligação da cascata otimizada

$$I_{ocfp} = I_{led} + I_{incp} \quad (3.2)$$

Considerando a tensão de saída média de cada conversor constante, a potência de saída do conversor CP e a potência transmitida diretamente pra saída do conversor CFP é dada por:

$$P_{ocp} = I_{led}V_{ocp} \quad (3.3)$$

$$P_{bus} = I_{led}V_{bus} \quad (3.4)$$

A tensão total de saída é dada pela soma das tensões de cada conversor. Tem-se assim a potência total de saída:

$$P_{out} = V_{out}I_{led} = (V_{ocp} + V_{bus})I_{led} = P_{ocp} + P_{bus} \quad (3.5)$$

A quantidade de energia processada duas vezes é determinada pela tensão de saída assumida pelo CP, sendo essa proporção determinada pelo fator k :

$$k = \frac{V_{ocp}}{V_{out}} \quad (3.6)$$

É de conhecimento comum que a eficiência de uma topologia de dois estágios é dada por:

$$\eta_{total} = \eta_{cfp}\eta_{cp} \quad (3.7)$$

Logo, para encontrar a eficiência da topologia proposta, faz-se:

$$P_{out} = k.P_{in}.\eta_{cfp}.\eta_{cp} + (1 - k).P_{in}.\eta_{cfp} \quad (3.8)$$

Ou seja, a primeira parte da equação é relacionada a potência que será processada duas vezes, sendo a segunda parte condizente com a parcela de potência que será processada apenas pelo conversor CFP. Assim, tem-se:

$$\begin{aligned} \frac{P_{out}}{P_{in}} = \eta_{total} &= k.\eta_{cfp}.\eta_{cp} + (1 - k).\eta_{cfp} \\ \eta_{total} &= \eta_{cfp}.(1 + k.(\eta_{cp} - 1)) \end{aligned} \quad (3.9)$$

A Figura 3.2 mostra um gráfico relacionando a eficiência total com a eficiência do estágio CP e o fator k de participação. Assume-se por unitária a eficiência do conversor CFP.

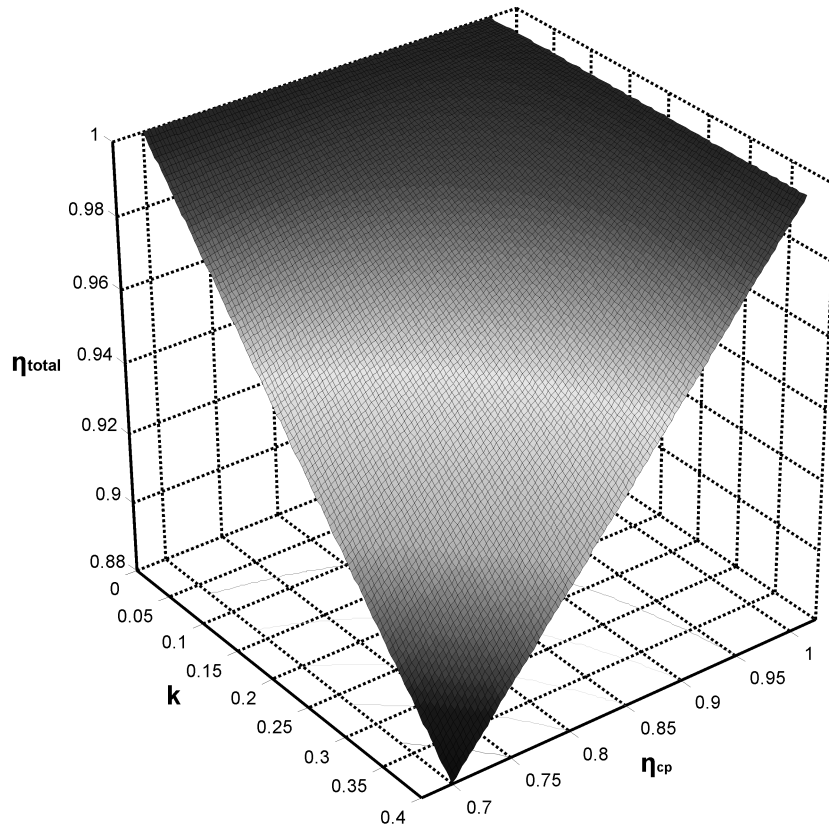


Figura 3.2: Eficiência da cascata otimizada versus o fator de participação e a eficiência do estágio CP

3.1.1 Topologias candidatas

Para uma correta operação da cascata otimizada é necessário considerar alguns fatores na escolha dos conversores a serem utilizados para cada estágio.

3.1.1.1 Estágio CFP

Como será visto adiante, a ondulação de baixa frequência no capacitor de saída deste conversor será significativa. Como um dos objetivos deste trabalho é atender as normas vigentes quanto a distorção harmônica, tal ondulação não poderá afetar a corrente de entrada.

Contudo, as topologias mais eficientes para CFP (*buck* e *boost*) possuem uma relação direta da tensão de barramento com a corrente de entrada, podendo causar distorções na mesma caso a tensão no barramento varie de maneira significativa. Logo, caso seja fundamental alta eficiência, uma análise adicional relacionando a Taxa de Distorção Harmônica (TDH) da corrente de entrada com a ondulação da tensão do capacitor de saída é necessária. Este trabalho não irá abordar tal análise pois o conversor CFP utilizado no protótipo é um *buck-boost*, o qual não apresenta relação entre a corrente de entrada e a tensão de barramento.

3.1.1.2 Estágio CP

Observando a Figura 3.1 é possível ver que existe uma ligação direta entre a entrada positiva e a saída negativa. Logo, o conversor que irá operar neste estágio precisa ter essa conexão intrinsecamente ou aceitar que a mesma seja feita.

Como pode ser visto na Figura 3.3 nem todas as topologias não-isoladas são candidatas a esse estágio. Isso se deve pelo fato que o estágio CP apresenta uma conexão entre a entrada positiva e a saída negativa, como mostra a Figura 3.1. O conversor deve permitir intrinsecamente essa conexão, como é o caso do *buck-boost* e das topologias isoladas. Entretanto, no caso das topologias isoladas, a característica de isolamento galvânica será perdida.

3.2 Redução da capacitância de barramento

Como comentado na Introdução, o objetivo deste trabalho é projetar um *driver* capaz de durar tanto quanto o próprio LED. Por isso, reduzir a capacitância de barramento,

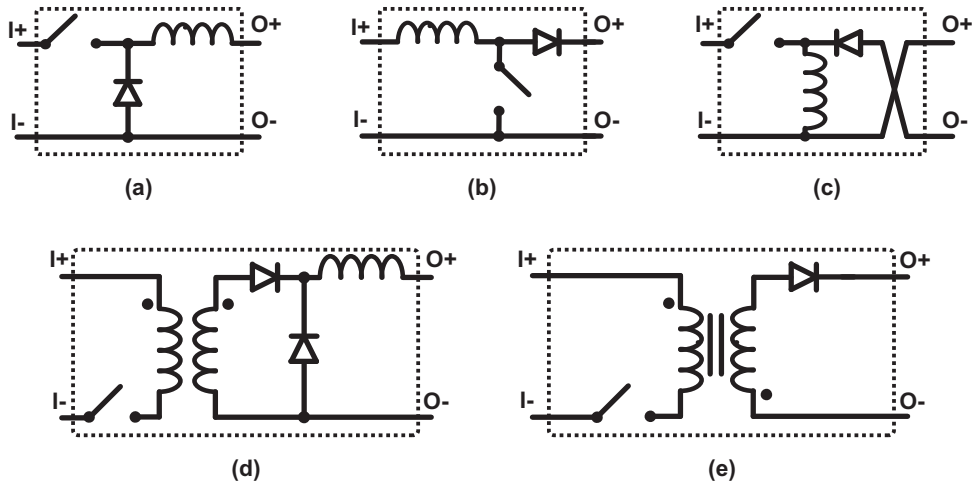


Figura 3.3: Conversores CC-CC básicos: (a) *buck*, (b) *boost*, (c) *buck-boost*, (d) *forward*, (e) *flyback*

com o intuito de utilizar outras tecnologias de capacitor, é de fundamental importância no cumprimento dos objetivos deste trabalho.

Geralmente, o alto valor de capacitância associado à *drivers* aplicados à iluminação pública, se deve às exigências de baixa ondulação na saída do CFP. Logo, uma maneira direta de reduzir esse valor seria permitir uma ondulação maior. A Figura 3.4 é um gráfico mostrando a redução da capacitância com o aumento da ondulação permitida na tensão sobre esse capacitor.

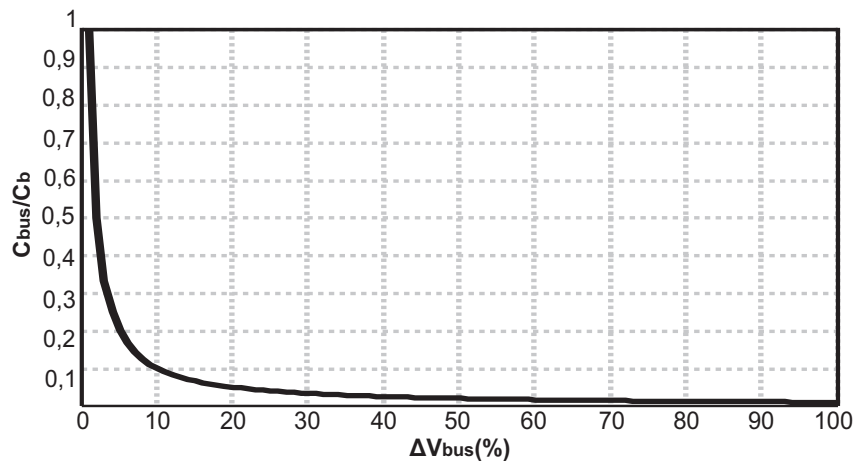


Figura 3.4: Capacitância normalizada requisitada na saída do CFP para diferentes porcentagens da ondulação da tensão de barramento. C_b é a capacitância requisitada para $1\% \Delta V_{bus}$

Resolvendo o problema da capacitância outro se cria. Essa ondulação de baixa frequência será repassada diretamente para a saída, o que não é desejado Pois pode diminuir a capacidade de utilização dos LEDs, lembrando que o pico da corrente não pode ultrapassar as especificações do fabricante. Dessa maneira, o valor médio da corrente é

baixo e, provavelmente, mais LEDs serão necessários para produzir uma luminosidade equivalente a do valor máximo de corrente permitido.

Para resolver esse problema, o estágio CP atua em fase oposta à tensão de barramento (V_{bus}), compensando dessa maneira essa variação indesejada, visto que a tensão de saída é dada pela soma dessas duas tensões. Para isso, o controle deve ser rápido o suficiente para conseguir atingir o objetivo. Detalhes sobre a abordagem utilizada no controle serão fornecidos no Capítulo 4. A Figura 3.5 mostra as principais formas de onda da cascata otimizada.

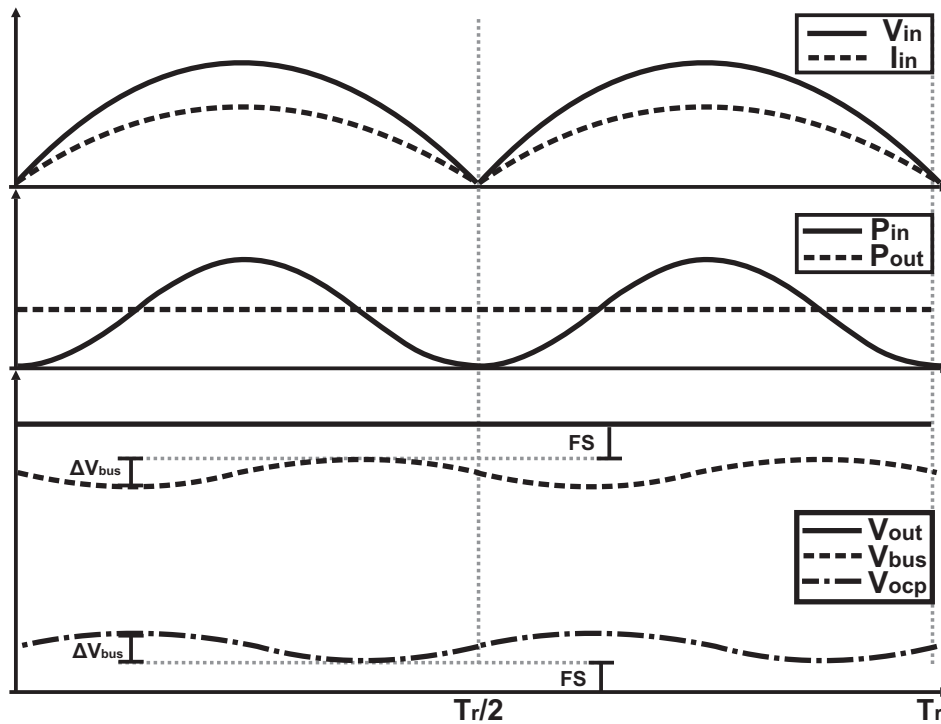


Figura 3.5: Formas de onda típicas da cascata otimizada

3.3 Modos de operação

Pela Figura 3.5 é possível perceber que existe uma relação entre a eficiência do conversor e o tamanho do capacitor de barramento, na cascata otimizada. Isso se deve ao fato que, quanto maior a capacitância no barramento, menor será a ondulação nessa tensão, logo menos energia o CP precisará processar, aumentando assim a eficiência. A Figura 3.6 mostra um gráfico relacionando, em percentual, a redução da capacitância de barramento e a redução da eficiência com o aumento do k . Na eficiência, foi assumido que o conversor CFP teria eficiência ideal (100%), sendo que foram considerados diversos valores para a eficiência do conversor CP.

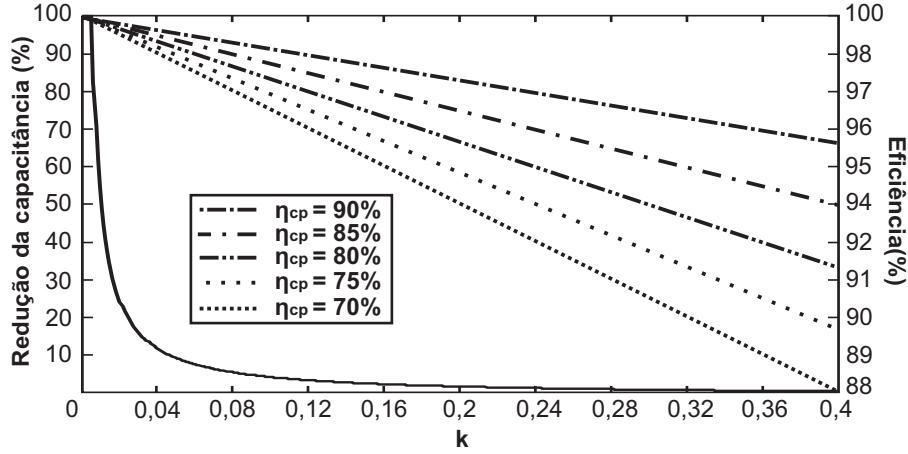


Figura 3.6: Redução da capacitância (linha contínua) e redução da eficiência (linhas pontilhadas) para diversos valores de η_{cp}

Nota-se que a redução da capacitância tem uma relação exponencial com a ondulação permitida. Após 20% de participação do CP, a redução no valor da capacitância não é tão significativo. Entretanto, a viabilidade de qual ponto de operação é o melhor varia para cada aplicação. Por isso é necessário definir qual parâmetro será prioritário na hora do projeto: redução do capacitor ou eficiência.

Anteriormente, devido à redução do capacitor de barramento, foi estabelecido ao CP que o mesmo deve atuar com o intuito de compensar a ondulação de baixa frequência. No entanto, é possível projetar o CP para que, além da compensação, o mesmo tenha total controle sobre a corrente nos LEDs ao custo de um processamento maior na energia. Abaixo serão explicados em detalhes os requisitos de cada função:

- **Compensador da ondulação de barramento:** Neste modo o estágio CP atuará de maneira a atenuar a ondulação de baixa frequência e manter a corrente média nos LEDs, seguindo o valor especificado. Dependendo da ondulação presente na saída do CFP, um fator de participação mínimo é necessário. Para deduzir a equação do k mínimo, será explicitada a equação da ondulação de baixa frequência:

$$\frac{\Delta V_{bus}}{2} = V_{maxbus} - V_{bus} \quad (3.10)$$

Conforme a Figura 3.5 é possível ver que a tensão máxima de barramento é dada por:

$$V_{maxbus} = V_{out} - FS \quad (3.11)$$

O Fator de Segurança (FS) adiciona uma margem entre a máxima tensão de barra-

mento e a tensão de saída. Isso se deve ao fato que o LED é um componente que apresenta variações paramétricas em suas características elétricas. Logo é necessário garantir que a máxima tensão de barramento ficará abaixo da tensão máxima estipulada nos LEDs para haver compensação pelo CP, pois o mesmo não consegue trabalhar com tensões negativas.

Continuando com a dedução, é fácil perceber pela Equação 3.6 que a tensão de barramento média é dada pelo equivalente oposto:

$$V_{bus} = V_{out} \cdot (1 - k) \quad (3.12)$$

Assim, tem-se que o k mínimo é dado por:

$$\frac{\Delta V_{bus}}{2} = V_{out} - FS - V_{out} \cdot (1 - k) = V_{out} \cdot k - FS$$

$$k = \frac{\Delta V_{bus} + 2 \cdot (FS)}{2 \cdot V_{out}} \quad (3.13)$$

- **LED *dimmer*:** Neste modo de operação a corrente nos LEDs poderá ser totalmente controlada pelo conversor CP, ou seja, o mesmo será responsável pelo total controle da média da corrente e por mantê-la constante.

Para tal, a máxima tensão do barramento não poderá ultrapassar a tensão direta dos LEDs. Também será adicionado neste caso o Fator de Segurança, a fim de garantir uma operação correta, mesmo sob variações paramétricas:

$$V_{maxbus} + FS = V_f \quad (3.14)$$

Logo, o k mínimo necessário será definido por:

$$\frac{\Delta V_{bus}}{2} = V_{maxbus} - V_{bus} = V_f - FS - V_{out}(1 - k)$$

$$k = \frac{-2 \cdot V_f + 2 \cdot (FS) + \Delta V_{bus} + 2 \cdot V_{out}}{2 \cdot V_{out}} \quad (3.15)$$

4 PROJETO E IMPLEMENTAÇÃO

Neste capítulo serão abordados os protótipos implementados. A primeira parte irá mostrar como foi feito o projeto da parte de potência dos conversores da topologia. Já a segunda parte é focada no protótipo projetado com um controlador do tipo *feedback*, onde será mostrado o projeto da parte de controle, além dos resultados experimentais obtidos. A terceira parte trata do protótipo implementado com uma estratégia de controle *feedback + feedforward*, a fim de obter melhores resultados no controle da corrente nos LEDs. Por fim, uma comparação da cascata otimizada com uma topologia de estágio único e outra topologia de estágio duplo integrado é feita na quarta parte.

Todos os conversores projetados baseiam-se em uma carga com 40 LEDs LUXEON Rebel LXML-PWN1-0100, alimentados com uma corrente média de $0,6A$. Esse LED possui um modelo com uma tensão direta $V_f = 2,85V$ e uma resistência série $0,5166\Omega$.

4.1 Projeto dos conversores

Esta seção está dividida no projeto do conversor CFP e no projeto do conversor CP. Como ambos os protótipos usam a mesma topologia nos dois estágios, serão detalhados apenas nesta seção as minúcias e deduções de cada componente.

4.1.1 Projeto do CFP

A principal função de um conversor CFP é fazer com que a corrente drenada da rede esteja em fase com a tensão e carregue o menor nível possível de distorção harmônica. Harmônicas ou corrente defasada da tensão sobrecarregam o sistema elétrico, podendo causar danos e interferências nos demais equipamentos conectados à rede. Por isso, existem normas que limitam a quantidade de harmônicas injetadas na rede, sendo a IEC61000-3-2 a mais utilizada.

Existem soluções ativas e passivas para a correção do fator de potência. As soluções passivas oferecem características como alta confiabilidade, insensibilidade a surtos e operação silenciosa. Entretanto são pesadas e volumosas, além de que não possibilitam uma grande regulação da tensão de saída das mesmas, o que as torna impraticáveis para esta aplicação.

Por isso, este trabalho teve como foco apenas as soluções ativas. Dentre os diversos tipos de conversores existentes e seus diferentes modos de operação, opta-se pela simplicidade de implementação, atendendo as exigências para este estágio, já demonstradas no Capítulo 3.

Portanto, o conversor escolhido para operação foi um *buck-boost* operando em Modo de Condução Descontínua (MDC). Isso porque a operação em MDC tem a característica de corrigir intrinsecamente o fator de potência, sem a necessidade de um controlador específico para tal, como ocorre no Modo de Condução Contínua (MCC).

Entretanto, para que o conversor não entre no modo MCC, é necessário encontrar a razão cíclica máxima de operação (D_{maxcfp}), sendo a mesma dada por (4.1). Vale lembrar que geralmente, a tensão de saída do CFP é chamada de tensão de barramento.

$$D_{maxcfp} \leq \frac{V_{minbus}}{V_{minbus} + V_{pin}} \quad (4.1)$$

Onde:

- V_{pin} - Tensão de pico da entrada;
- V_{minbus} - Tensão mínima no barramento.

Para o cálculo do indutor do CFP (L_{cfp}), assume-se o seguinte circuito equivalente:

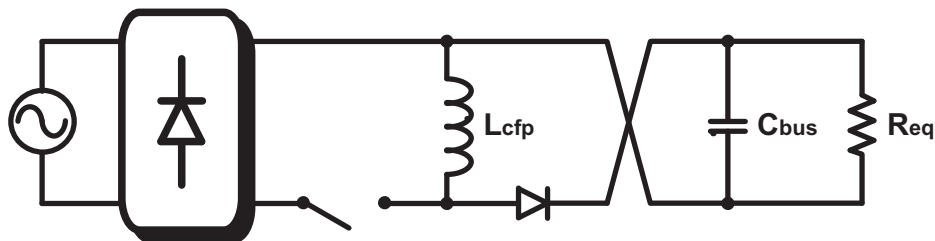


Figura 4.1: Circuito equivalente do conversor CFP

Onde a resistência equivalente (R_{eq}) da carga presente na saída (LEDs + CP), é dada por:

$$R_{eq} = \frac{V_{bus}^2}{P_{out}} \quad (4.2)$$

Onde:

- P_{out} - Potência de saída;
- V_{bus} - Tensão média do barramento.

Entretanto, o valor da resistência equivalente serve apenas para fins de testes práticos em malha aberta. Isso porque no cálculo do indutor, importa apenas a potência exigida desse conversor, como pode ser visto abaixo:

$$L_{cfp} = \frac{V_{pin} \cdot D_{maxcfp}}{4 \cdot f_{cfp} \cdot P_{out}} \quad (4.3)$$

Onde:

- f_{cfp} - Frequência de comutação do conversor CFP.

O cálculo do capacitor de barramento (C_{bus}) foi baseado na equação da energia acumulada no mesmo. Para chegar em tal equação, é necessário saber qual a potência instantânea envolvida neste componente, sendo a mesma definida por:

$$\begin{aligned} P_{cap}(t) &= P_{in} - P_{out} \\ P_{cap}(t) &= V_{pin} \cdot I_{pin} \cdot \sin^2(2\pi f_r t) - P_{out} \end{aligned} \quad (4.4)$$

Sabe-se que a potência média de entrada é dada por:

$$\begin{aligned} P_{in} &= \frac{1}{2\pi} \int_0^{2\pi} V_{pin} \cdot I_{pin} \cdot \sin^2(\omega t) d\omega t \\ P_{in} &= \frac{V_{pin} \cdot I_{pin}}{2\pi} \cdot \frac{1}{2} (\omega t - \sin(\omega t) \cdot \cos(\omega t)) \Big|_0^{2\pi} \\ P_{in} &= \frac{V_{pin} \cdot I_{pin}}{2} \end{aligned} \quad (4.5)$$

Considerando uma eficiência ideal no conversor:

$$\begin{aligned}
P_{out} &= P_{in} \\
P_{out} &= \frac{V_{pin} \cdot I_{pin}}{2} \\
2 \cdot P_{out} &= V_{pin} \cdot I_{pin}
\end{aligned} \tag{4.6}$$

Logo, substituindo (4.6) em (4.4), tem-se:

$$\begin{aligned}
P_{cap}(t) &= P_{out} \cdot (2 \cdot \sin^2(2\pi f_r t) - 1) \\
P_{cap}(t) &= -P_{out} \cdot \cos(4\pi f_r t)
\end{aligned} \tag{4.7}$$

O que demonstra que a potência no capacitor de barramento varia o dobro da frequência da rede. Em termos de armazenagem de energia, o capacitor absorve energia em um quarto do ciclo principal e devolve o mesmo montante no outro quarto de ciclo. A energia acumulada pode ser calculada por:

$$\begin{aligned}
E_{cap}(t) &= \int -P_{out} \cdot \cos(4\pi f_r t) \cdot dt + E_{initcap} \\
E_{cap}(t) &= -\frac{P_{out}}{4\pi f_r} \sin(4\pi f_r t) + E_{initcap}
\end{aligned} \tag{4.8}$$

Onde:

- $E_{initcap}$ - Energia inicial presente no capacitor

A energia acumulada pelo capacitor também pode ser definida por:

$$E_{cap}(t) = C_{bus} \frac{V_{bus}^2(t)}{2} \tag{4.9}$$

O gráfico da Figura 4.2 demonstra a potência de saída, a potência de entrada e a potência no capacitor.

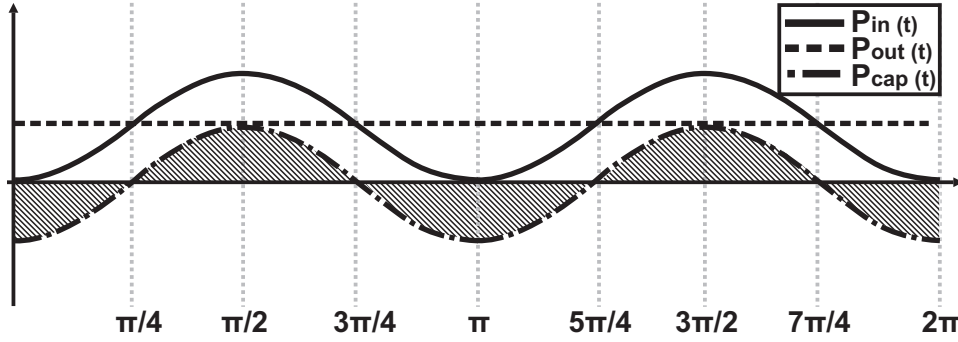


Figura 4.2: Gráfico da potência de entrada, do capacitor e de saída

Para encontrar a capacitância necessária para acumular a energia da área hachurada na Figura 4.2, com os requisitos de ondulação previstos no projeto, iguala-se (4.8) com (4.9).

$$\begin{aligned} \frac{C_{bus}}{2} \cdot (V_{busmax}^2 - V_{busmin}^2) &= E_{cap}(3\pi/4) - E_{cap}(\pi/4) \\ \frac{C_{bus}}{2} \cdot (V_{busmax}^2 - V_{busmin}^2) &= -\frac{P_{out}}{4\pi f_r} (\sin(2 \cdot (3\pi/4)) - \sin(2 \cdot (\pi/4))) \\ C_{bus} &= \frac{P_{out}}{\pi f_r} \cdot \frac{1}{(V_{busmax}^2 - V_{busmin}^2)} \end{aligned} \quad (4.10)$$

4.1.2 Projeto do CP

No estágio CP um conversor *buck-boost* operando em MCC foi empregado. Dentre as topologias não-isoladas, o *buck-boost* é a mais simples, sendo a operação em MCC justificada pela redução do capacitor de saída, o que possibilita uma ação mais rápida do controlador.

Para projetar o estágio CP, foi considerado o seguinte circuito equivalente.

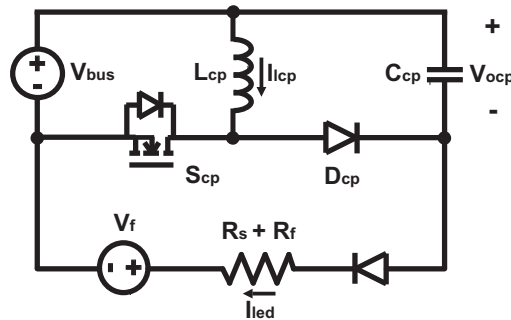


Figura 4.3: Circuito equivalente para o conversor CP

Nota-se que os LEDs foram substituídos pelo seu modelo ideal, composto de uma fonte de tensão (V_f), uma resistência série (R_f) e um diodo ideal. Já o conversor CFP foi

considerado uma fonte de tensão ideal, com uma ondulação de baixa frequência estipulada por ΔV_{bus} .

Como o CP trabalha para compensar a ondulação de baixa frequência, o seu projeto será assumido para o pior caso de operação. Ou seja, quando a tensão de barramento for mínima, sua razão cíclica de operação for máxima (D_{cpmax}) e a tensão de saída for máxima (V_{ocpmax}), logo:

$$D_{cpmax} = \frac{V_{ocpmax}}{V_{ocpmax} + V_{minbus}} \quad (4.11)$$

Onde a tensão máxima na saída do CP é dada por:

$$V_{ocpmax} = V_{ocp} + \frac{\Delta V_{bus}}{2} \quad (4.12)$$

O indutor de um buck-boost MCC (L_{cp}) pode ser calculado utilizando a seguinte relação [Fundamentals of Power Electronics 2001]:

$$L_{cp} = \frac{(V_{opmax}) \cdot (1 - D_{cpmax})}{f_{cp} \cdot \Delta I_{lcp} \cdot I_{lcpmax}} \quad (4.13)$$

Como pode ser visto acima, o cálculo foi feito considerando o pior caso de operação do CP. Ou seja, quando a tensão de barramento é mínima e o CP deve injetar a sua máxima tensão para manter a corrente de saída o mais constante possível.

Onde a corrente média máxima do indutor (I_{lcpmax}) é definida por:

$$I_{lcpmax} = \frac{I_{led}}{(1 - D_{cpmax})} \quad (4.14)$$

Por fim, para calcular o capacitor de saída, observa-se a Figura 4.4.

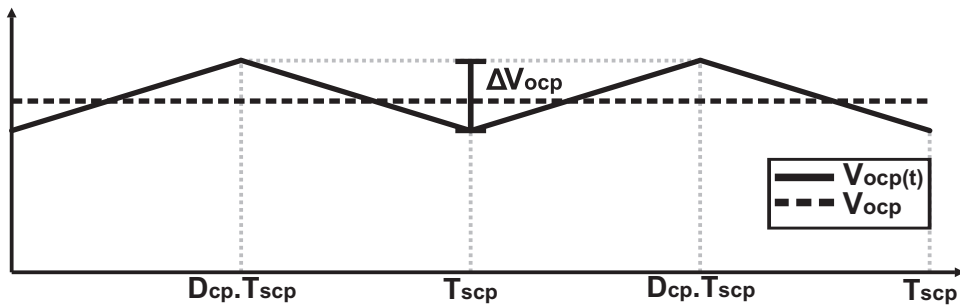


Figura 4.4: Carga e descarga do capacitor CP

Considerando o período de descarga do capacitor, sabe-se que:

$$I_{ccp} = C_{cp} \cdot \frac{dV_{ocp}}{dt} \quad (4.15)$$

Onde, durante a descarga, a corrente do capacitor é igual a corrente circulante na saída, ou seja, a corrente nos LEDs. Assim como no cálculo do indutor, considera-se o pior caso, logo:

$$I_{led} = C_{cp} \cdot \frac{\Delta V_{ocp} \cdot V_{ocpmax}}{D_{maxcp}}$$

$$C_{cp} = \frac{I_{led} \cdot D_{cpmax}}{\Delta V_{ocp} \cdot V_{ocpmax} \cdot f_{cp}} \quad (4.16)$$

4.2 Protótipo com controle *feedback*

Neste protótipo um controlador *feedback* Tipo 2 (Controle Proporcional Integral com um polo a mais para evitar ruídos provenientes da comutação) foi empregado no controle do conversor CP. A ideia deste protótipo foi provar a funcionalidade da proposta, com dois conversores operando em frequências diferentes, utilizando um controle *feedback* medindo apenas a corrente nos LEDs.

A Tabela 4.1 mostra as principais especificações utilizadas no projeto:

Parâmetro	Valor
Tensão de entrada	$V_{in} = 220V$
Frequência da rede	$f_r = 60Hz$
Potência de saída	$P_{out} = 75W$
Corrente nos LEDs	$I_{led} = 0,6A$
Número de LEDs na saída	$N_{led} = 40$
Tensão na saída	$V_{out} = 126,3V$
Frequência de comutação do CFP	$f_{cfp} = 25kHz$
Frequência de comutação do CP	$f_{cp} = 100kHz$
Fator de segurança	$FS = 10V$
Fator de participação	$k = 0,2$

Tabela 4.1: Parâmetros do protótipo implementado

Optou-se por primar a eficiência neste projeto. Portanto, como explicado no Capítulo 3, foi fixado um valor de k em 0,2, por ser um valor que possibilita uma redução considerável no capacitor de barramento com um pequeno impacto na eficiência. A partir desse valor foram encontradas a tensão de barramento,

$$V_{bus} = V_{out} \cdot (1 - k) = 101,04V \quad (4.17)$$

a ondulação na tensão de barramento,

$$\begin{aligned} \Delta V_{bus} &= (V_{maxbus} - V_{bus}) \cdot 2 \\ \Delta V_{bus} &= (V_{out} - FS - V_{bus}) \cdot 2 = 30,55V \end{aligned} \quad (4.18)$$

e a tensão na saída do CP,

$$V_{ocp} = V_{out} \cdot k = 25,28V \quad (4.19)$$

A partir desses valores, serão projetados os conversores CFP e CP. O esquemático completo do circuito é mostrado na Figura 4.5, sendo os componentes utilizados descritos na Tabela 4.2.

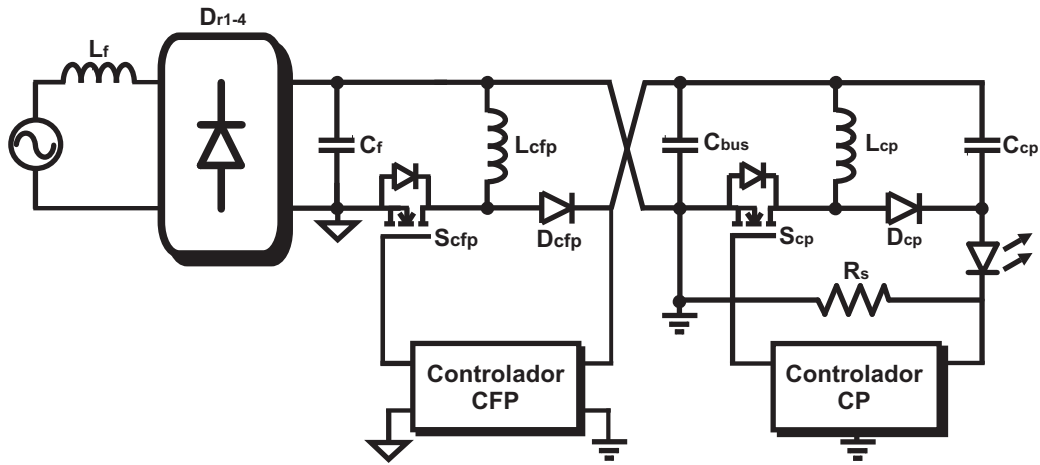


Figura 4.5: Esquemático do primeiro protótipo

4.2.1 Controle do CFP

Para garantir um balanço correto no processamento da energia, é necessário manter a tensão de barramento dentro dos valores de projeto. Para garantir essa condição, uma malha de controle é inserida a fim de regular o conversor CFP. A Figura 4.6 mostra o diagrama geral do CFP controlado.

Onde:

- V_{busref} - Referência da tensão de barramento;

Símbolo	Parâmetro	Valor
L_f	Indutor do filtro de entrada	$4,05mH$
C_f	Capacitor do filtro de entrada	$680nF$
D_{r1-4}	Diodos da retificação	1N4007
S_{cfp}	MOSFET do CFP	SPP08N60C3
L_{cfp}	Indutor do CFP	$510\mu H$
C_{bus}	Capacitor de barramento	$68\mu F$
D_{cfp}	Diodo do CFP	MUR160
S_{cp}	MOSFET do CP	SPB04N60C3
L_{cp}	Indutor do CP	$4,7mH$
C_{cp}	Capacitor do CP	$6,8\mu F$
D_{cp}	Diodo do CP	MUR160
R_s	Resistor shunt	1Ω

Tabela 4.2: Componentes do primeiro protótipo

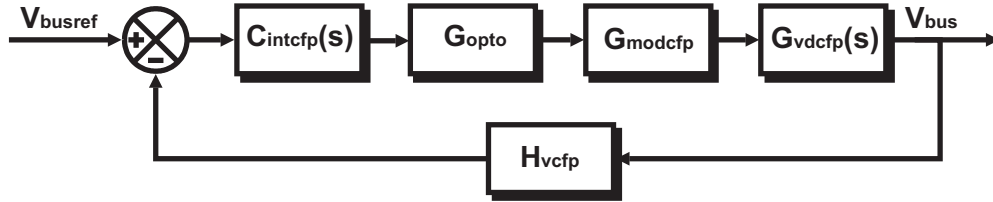


Figura 4.6: Malha de controle do CFP

- C_{intcfp} - Função de transferência do controlador;
- G_{opto} - Ganho do opto acoplador envolvido na malha;
- $1/V_{mcfp}$ - Ganho do modulador PWM;
- H_{vcfp} - Ganho do divisor resistivo;
- G_{vdcfp} - Função de transferência que relaciona a tensão de barramento com a razão cíclica do CFP.

Antes de explicar cada um dos parâmetros, é necessário realizar a modelagem matemática do conversor. Para tal, será usado o método de variáveis de estados médias (SSA - *State Space Averaging*). A operação do conversor é dividida em intervalos, onde uma média das equações diferenciais de cada estado é feita. Se as equações resultantes são não-lineares (o que torna impossível o uso das ferramentas clássicas de controle), um ponto de operação é selecionado e uma linearização é feita. O formato do sistema equacionado é mostrado abaixo:

$$\begin{aligned}\dot{X} &= A.X + B.U \\ Y &= C.X + E.U\end{aligned}\tag{4.20}$$

Onde:

- A - Matriz de dinâmica
- B - Matriz de entrada
- C - Matriz de saída
- E - Matriz de transmissão direta
- X - Vetor de estados
- Y - Vetor de saída

O modelo médio resultante do *buck-boost* MDC, com o termo de correção [Sun et al. 2001] (necessário em conversores MDC), é dado em (4.21). Cabe lembrar que, por envolver multiplicação de termos variantes no tempo, este é um modelo não-linear. Assim, antes de obter qualquer função de transferência, é necessário utilizar algum método de linearização.

$$\begin{aligned}\dot{X} &= \begin{bmatrix} \frac{2.V_{bus} \cdot f_{cfp}}{D_{cfp} \cdot V_{in}} & \frac{D_{cfp}}{L_{cfp}} \\ \frac{1}{C_{bus}} & \frac{1}{Req.C_{bus}} \end{bmatrix} \begin{bmatrix} I_{lcfp} \\ V_{bus} \end{bmatrix} + \begin{bmatrix} \frac{D_{cfp}}{L_{cfp}} \\ \frac{D_{cfp}^2}{2.L_{cfp} \cdot C_{cfp} \cdot f_{cfp}} \end{bmatrix} \begin{bmatrix} V_{in} \end{bmatrix} \\ Y &= \begin{bmatrix} 1 & 0 \\ 0 & 1 \end{bmatrix} \begin{bmatrix} I_{lcfp} \\ V_{bus} \end{bmatrix} + \begin{bmatrix} 0 \\ 0 \end{bmatrix} \begin{bmatrix} V_{in} \end{bmatrix}\end{aligned}\tag{4.21}$$

Onde:

- I_{lcfp} - Corrente no indutor do CFP;
- D_{cfp} - Razão cíclica do CFP;

O método de linearização utilizado foi por matriz de Jacobianos, a qual é mostrada abaixo:

$$\hat{X} = \begin{bmatrix} \frac{\partial I_{lcfp}}{\partial I_{lcfp}} & \frac{\partial I_{lcfp}}{\partial V_{bus}} \\ \frac{\partial V_{bus}}{\partial I_{lcfp}} & \frac{\partial V_{bus}}{\partial V_{bus}} \end{bmatrix} \begin{bmatrix} \hat{I}_{lcfp} \\ \hat{V}_{bus} \end{bmatrix} + \begin{bmatrix} \frac{\partial I_{lcfp}}{\partial V_{in}} & \frac{\partial I_{lcfp}}{\partial D_{cfp}} \\ \frac{\partial V_{bus}}{\partial V_{in}} & \frac{\partial V_{bus}}{\partial D_{cfp}} \end{bmatrix} \begin{bmatrix} \hat{V}_{in} \\ \hat{D}_{cfp} \end{bmatrix}$$

Para a escolha do ponto de linearização, foi considerado o instante em que a potência de entrada é igual a potência de saída, obtendo assim os seguintes valores:

Parâmetro	Valor
Tensão de entrada	$V_{in} = 260V$
Tensão do barramento	$V_{bus} = 105V$
Corrente no indutor CFP	$I_{lcfp} = 1,71A$

Tabela 4.3: Valores do ponto de operação

Por fim, a equação 4.22 mostra o modelo do conversor CFP linearizado para as atuais condições do projeto.

$$\hat{X} = \begin{bmatrix} -1.10^5 & -0,73.10^3 \\ 0,15.10^5 & -0,12.10^3 \end{bmatrix} \begin{bmatrix} \hat{I}_{lcfp} \\ \hat{V}_{bus} \end{bmatrix} + \begin{bmatrix} 0,08.10^4 & 1,30.10^6 \\ 0 & -0,06.10^6 \end{bmatrix} \begin{bmatrix} \hat{V}_{in} \\ \hat{D}_{cfp} \end{bmatrix}$$

$$\hat{Y} = \begin{bmatrix} 1 & 0 \\ 0 & 1 \end{bmatrix} \begin{bmatrix} \hat{I}_{lcfp} \\ \hat{V}_{bus} \end{bmatrix} + \begin{bmatrix} 0 & 0 \\ 0 & 0 \end{bmatrix} \begin{bmatrix} \hat{V}_{in} \\ \hat{D}_{cfp} \end{bmatrix} \quad (4.22)$$

Para extrair a função de transferência G_{vdcfp} , pode-se utilizar a seguinte expressão:

$$G = C_p \cdot (sI - A_p)^{-1} B_p + E_p \quad (4.23)$$

Onde:

- A_p - Matriz de dinâmica linearizada
- B_p - Matriz de entrada linearizada
- C_p - Matriz de saída linearizada
- E_p - Matriz de transmissão direta linearizada
- I - Matriz Identidade compatível com a matriz A_p .

Como a modelagem em questão possui duas saídas e duas entradas, quatro funções de transferência são esperadas. Entretanto, a única interessante do ponto de vista de controle é a G_{vdcfp} , a qual é demonstrada abaixo:

$$G_{vdcfp} = \frac{13,06 \cdot 10^5 s + 1,96 \cdot 10^8}{s^2 + 1,01 \cdot 10^5 s + 2,3 \cdot 10^7} \quad (4.24)$$

O objetivo do controle é apenas manter a média da tensão de barramento em 101V e não distorcer a corrente de entrada, logo um controle integrador lento (frequência de *crossover* de 12Hz) é utilizado. O circuito responsável por tal controle é exposto na Figura 4.7.

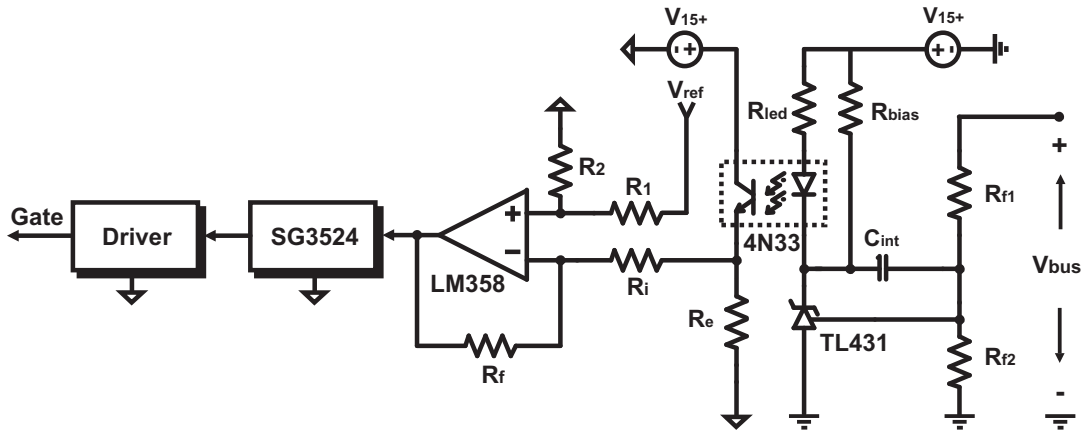


Figura 4.7: Circuito do controle do conversor CFP

O circuito é composto, basicamente, por um regulador *shunt* (TL431) e um opto acoplador (4N33). Apesar da topologia CFP atual não precisar de um controle isolado, este circuito foi projetado de maneira a permitir futuras implementações com topologias isoladas.

O resistor R_{bias} serve para polarizar o TL431 com o mínimo de corrente necessária à sua operação. O circuito conectado ao amplificador operacional LM358, faz com que o mesmo opere como um somador com ganho unitário.

Para gerar o sinal PWM foi utilizado o circuito integrado SG3524, sendo o esquemático do circuito mostrado na Figura 4.8. Entretanto, para comandar o MOSFET, é necessário um circuito que possa fazer a carga e a descarga da capacitância do gate de maneira rápida. Para isso, foi utilizada uma configuração de *driver* conhecida como Totem Pole. O cálculo dos componentes é simples, sendo o mesmo demonstrado em [Costa 2009].

É conhecido na literatura que o opto acoplador possui uma limitação dinâmica considerável [Panov e Jovanovic 2005] devido ao grande capacitor presente no transistor da saída. Entretanto, como o controle empregado neste conversor é lento, tais limitações não irão influenciar de maneira significativa na dinâmica do sistema. O ganho inserido pela circuitaria do opto é demonstrado abaixo:

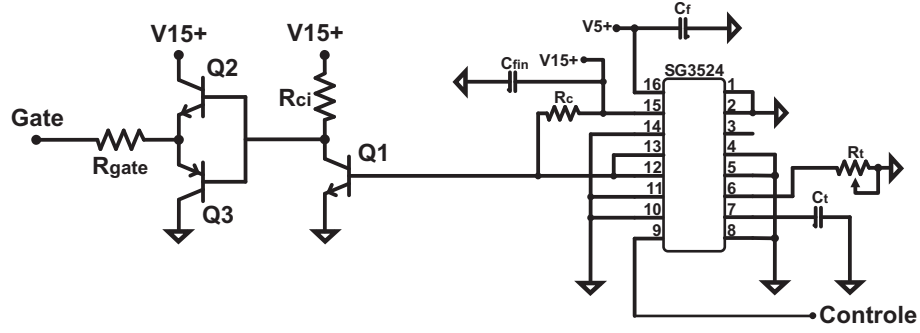


Figura 4.8: Circuito do SG3524 e do driver

$$G_{opto} = \frac{CTR \cdot R_e}{100 \cdot R_{led}} = 78,75 \quad (4.25)$$

Onde:

- CTR - Taxa de transferência da corrente (500%);
- R_e - Resistor do terminal emissor (13Ω);
- R_{led} - Resistor limitador da corrente do LED (189Ω).

Sendo o cálculo do R_{led} , definido por (4.26).

$$R_{led} = \frac{15 - V_{f_{opto}} - V_{tl431}}{I_{ledmax}} \quad (4.26)$$

Onde:

- $V_{f_{opto}}$ - Queda de tensão no LED do opto ($1,2V$);
- V_{tl431} - Mínima tensão assumida pelo TL431 ($2,5V$);
- I_{ledmax} - Máxima corrente permitida no LED do opto ($60mA$).

E o cálculo do R_e é definido por (4.27).

$$R_e = \frac{5 - V_{cesat}}{\frac{CTR \cdot I_{ledmax}}{100}} \quad (4.27)$$

Onde:

- V_{cesat} - Tensão de saturação do transistor do opto acoplador.

O ganho do modulador é definido pela tensão de pico da onda triangular do circuito modulador do PWM (V_{mcfp}), neste caso, um SG3524. Segundo o *datasheet* como tal pico é igual a $3,5V$, tem-se:

$$\begin{aligned} G_{modcfp} &= \frac{1}{V_{mcfp}} \\ G_{modcfp} &= \frac{1}{3,5} = 0,2857 \end{aligned} \quad (4.28)$$

Já no caso do divisor resistivo, considerando a tensão de referência do TL431 igual a $2,5$, o ganho deste sensor deve ser igual a:

$$H_{vcfp} = \frac{2,5}{101} = 0,0247 \quad (4.29)$$

Com todos os ganhos calculados, é possível demonstrar a função de transferência de malha aberta:

$$\begin{aligned} G_{macfp} &= H_{vcfp} \cdot G_{opto} \cdot G_{modcfp} \cdot G_{vdcfp} \\ G_{macfp} &= \frac{2,51 \cdot 10^6 s + 3,79 \cdot 10^8}{s^2 + 1,01 \cdot 10^5 + 2,3 \cdot 10^7} \end{aligned} \quad (4.30)$$

Na Figura 4.9 é mostrado o diagrama de bode da função de transferência de malha aberta do CFP. Através da ferramenta SisoTool[®] do MatLab[®] será projetado o controlador necessário.

No cálculo do integrador, implementado com um capacitor (C_{int}) e um resistor (R_{f1}), a função de transferência correspondente é:

$$G_{intcfp} = \frac{K_i}{s} = \frac{1}{s \cdot C_{int} \cdot R_{f1}} \quad (4.31)$$

É necessário encontrar a constante integradora (K_i). A frequência de *crossover* escolhida, mantendo em mente que a corrente de entrada não poderá ser distorcida pelo controle, é $12Hz$, uma década abaixo da frequência de oscilação da tensão no capacitor de barramento. O diagrama de bode do sistema compensado é mostrado na Figura 4.10.

O K_i encontrado foi $14,99$. Voltando a (4.31), nota-se que apenas o resistor superior do divisor resistivo influencia na característica dinâmica do controlador. O resistor R_{f2}

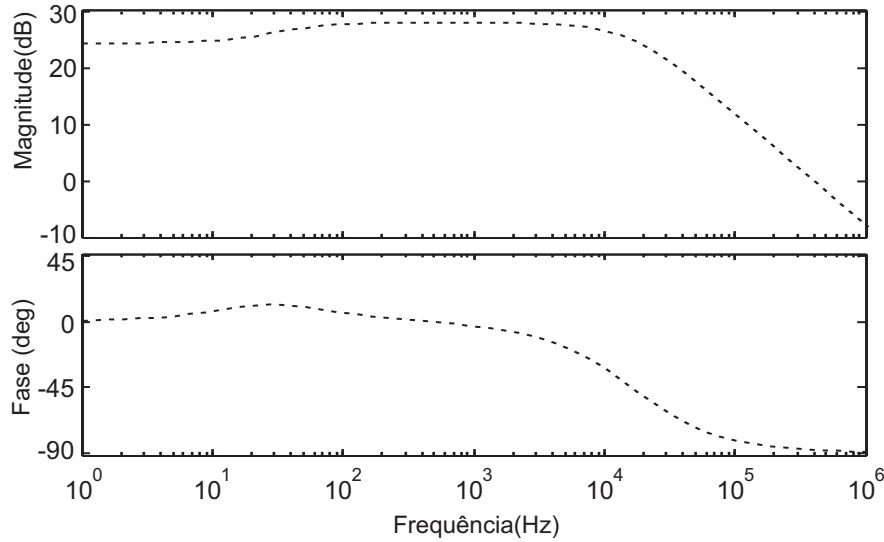


Figura 4.9: Diagrama de bode da função de transferência de malha aberta do CFP

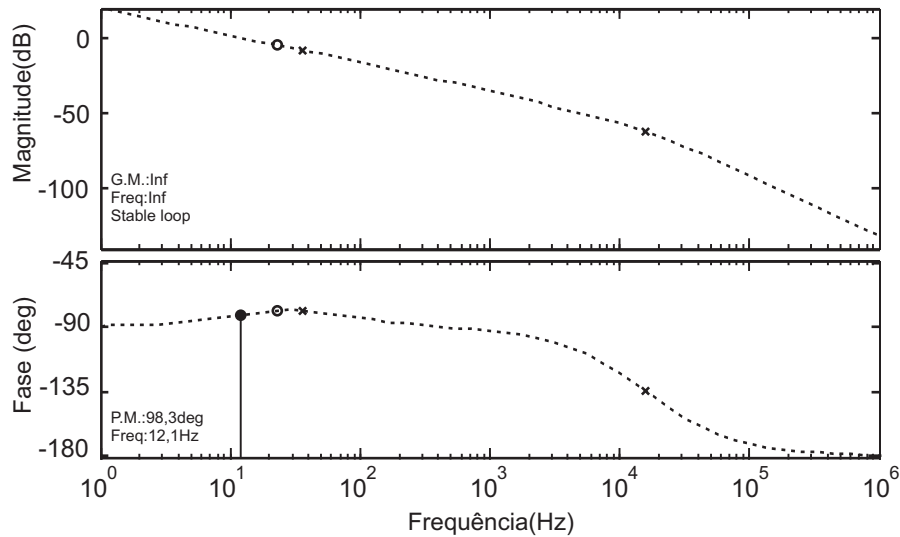


Figura 4.10: Diagrama de bode do CFP compensado

apenas define o valor de regime permanente da tensão de barramento. Estimando $C_{int} = 100nF$, R_{f1} será:

$$R_{f1} = \frac{1}{K_i \cdot C_{int}} = 667,1k\Omega \quad (4.32)$$

Sendo R_{f2} definido pela equação do divisor resistivo:

$$R_{f2} = \frac{V_{refl431} \cdot R_{f1}}{V_{bus} \left(1 - \frac{V_{refl431}}{V_{bus}}\right)} = 16,91k\Omega \quad (4.33)$$

Onde:

- $V_{refTL431}$ - Valor de referência interna do TL431 (2,5V).

4.2.2 Controle do CP

O principal objetivo da malha de controle deste conversor é manter a corrente nos LEDs o mais constante possível, de modo a eliminar a ondulação de baixa frequência da etapa CFP, mantendo a média no valor estipulado durante o projeto. A Figura 4.11 mostra o diagrama geral do CP com o controlador:

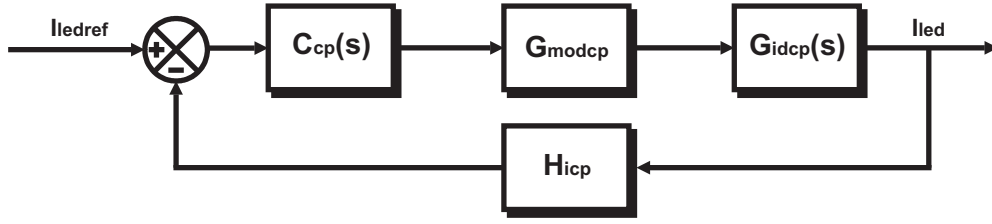


Figura 4.11: Malha de controle do CP

Onde:

- I_{ledref} - Corrente de referência dos LEDs;
- C_{cp} - Função de transferência do controlador;
- G_{modcp} - Ganho do modulador PWM;
- G_{idcp} - Função de transferência que relaciona a corrente nos LEDs com a razão cíclica do CP.

Assim como no conversor CFP, também será feita uma modelagem matemática, a fim de obter a função de transferência G_{idcp} . O método será o de variáveis de estado médias (SSA). Em (4.34) é mostrado o modelo médio do *buck-boost* operando em MCC. Nota-se que por envolver multiplicação de termos variantes no tempo, o sistema é não-linear. Logo, será necessário fazer uma linearização das equações antes de obter a função de transferência.

$$\begin{aligned} \dot{X} &= \begin{bmatrix} \frac{-1}{C_{cp} \cdot R_f} & \frac{1-D_{cp}}{C_{cp}} \\ \frac{-(1-D_{cp})}{L_{cp}} & 0 \end{bmatrix} \begin{bmatrix} V_{ocp} \\ I_{lcp} \end{bmatrix} + \begin{bmatrix} \frac{-1}{C_{cp} \cdot R_f} & \frac{1}{C_{cp} \cdot R_f} \\ \frac{D_{cp}}{L_{cp}} & 0 \end{bmatrix} \begin{bmatrix} V_{bus} \\ V_f \end{bmatrix} \\ \hat{Y} &= \begin{bmatrix} \frac{1}{R_f} & 0 \\ 1 & 0 \end{bmatrix} \begin{bmatrix} V_{ocp} \\ I_{lcp} \end{bmatrix} + \begin{bmatrix} \frac{1}{R_f} & \frac{-1}{R_f} \\ 0 & 0 \end{bmatrix} \begin{bmatrix} V_{bus} \\ V_f \end{bmatrix} \end{aligned} \quad (4.34)$$

Onde:

- R_f - Resistência série do grupo de LEDs;
- V_f - Tensão série do grupo de LEDs;
- D_{cp} - Razão cíclica de projeto do conversor CP;

O método de Jacobianos, descrito em (4.22), é usado para a linearização. Para a escolha do ponto de operação foi verificado onde a ação do controle seria mais crítica, ou seja, o ponto que possuir a menor margem de ganho e menor margem de fase. Tal ponto acontece quando a tensão de barramento é mínima, sendo o mesmo mostrado na Tabela 4.4:

Parâmetro	Valor
Tensão de barramento	$V_{bus} = 85,83V$
Tensão de saída	$V_{ocp} = 40,39V$
Corrente no indutor CP	$I_{lcp} = 0,83A$

Tabela 4.4: Valores do ponto de operação

Em (4.35) é mostrado o modelo matemático do CP linearizado para as atuais condições de projeto:

$$\begin{aligned} \dot{X} &= \begin{bmatrix} -6,79 \cdot 10^3 & 1 \cdot 10^5 \\ 0,11 \cdot 10^3 & 0 \end{bmatrix} \begin{bmatrix} V_{ocp} \\ I_{lcp} \end{bmatrix} + \begin{bmatrix} -6,79 \cdot 10^3 & -122,13 \cdot 10^3 \\ 0,05 \cdot 10^3 & 20,25 \cdot 10^3 \end{bmatrix} \begin{bmatrix} V_{bus} \\ D_{pc} \end{bmatrix} \\ \hat{Y} &= \begin{bmatrix} 0,04 & 0 \\ 1 & 0 \end{bmatrix} \begin{bmatrix} V_{ocp} \\ I_{lcp} \end{bmatrix} + \begin{bmatrix} 0,04 & 0 \\ 0 & 0 \end{bmatrix} \begin{bmatrix} V_{bus} \\ D_{pc} \end{bmatrix} \end{aligned} \quad (4.35)$$

Para extrair a função de transferência G_{idcp} , utiliza-se (4.23) com os dados da equação anterior, obtendo assim:

$$G_{idcp} = \frac{-5637s + 9,34 \cdot 10^7}{s^2 + 6788s + 1,09 \cdot 10^7} \quad (4.36)$$

O objetivo almejado para o controlador é manter a corrente nos LEDs o mais constante possível. Por isso, este controlador deve ser tão rápido quanto permitir a sua dinâmica. Portanto, foi escolhido um Tipo 2 (proporcional-integral com um pólo adicional) para controlar a planta, sendo o circuito analógico correspondente mostrado na Figura 4.12.

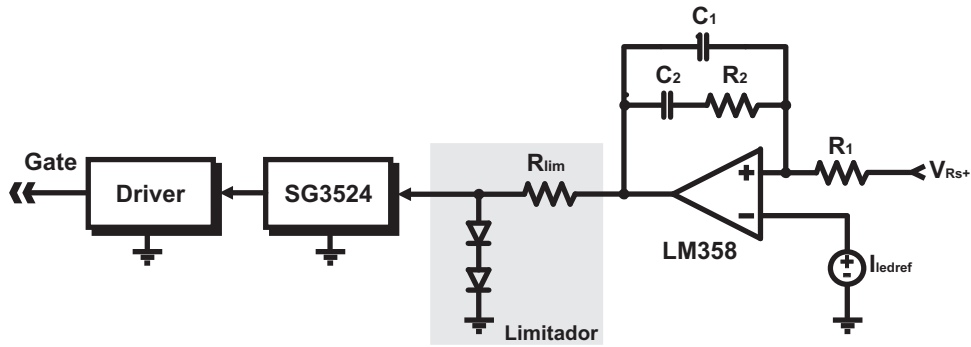


Figura 4.12: Circuito do controle do conversor CP

O circuito é composto por um amplificador operacional, o qual está configurado para exercer a ação do controle e um circuito limitador de razão cíclica. Esse por sua vez soluciona o problema de acúmulo de erro no integrador, evitando razões cíclicas extremamente altas na partida do conversor.

Como o circuito modulador do PWM será o mesmo que o do CFP (SG3524), a equação 4.29, a qual descreve o seu ganho, é válida neste estágio. Assim, tem-se a função de transferência de malha aberta dada por:

$$G_{macp} = H_{icp} \cdot G_{modcp} \cdot G_{idcp}$$

$$G_{macp} = \frac{-1611s + 2,67 \cdot 10^7}{s^2 + 6788s + 1,09 \cdot 10^7} \quad (4.37)$$

Sendo que na Figura 4.13 é mostrado o respectivo diagrama de bode. Com o uso da ferramenta do MatLab®, será projetado o controlador necessário.

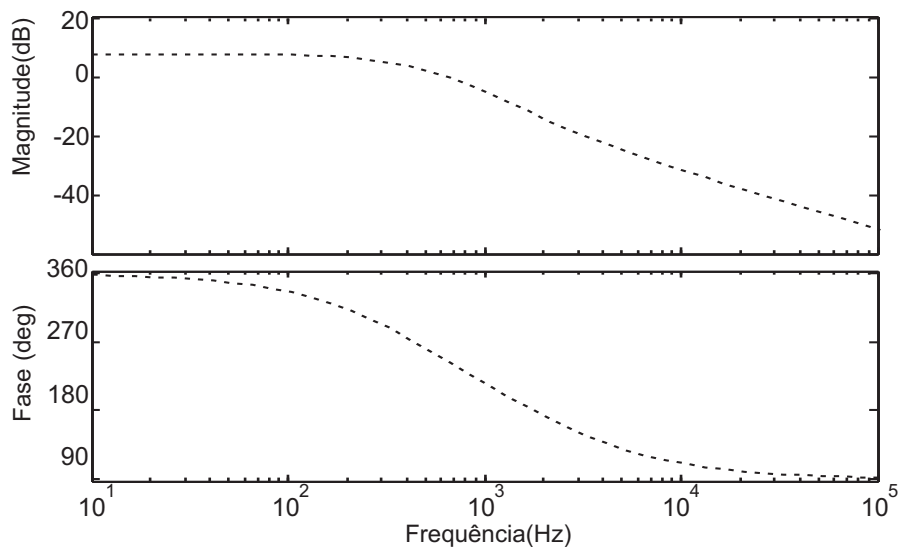


Figura 4.13: Diagrama de bode do CP em malha aberta

Posiciona-se o zero do integrador em $f_z = 10Hz$, a fim de obter uma melhor resposta dinâmica. O polo adicional foi posicionado em $f_p = 10kHz$, uma década abaixo da frequência de comutação, visto que sua função é atenuar o efeito das harmônicas provenientes da comutação. A frequência de *crossover* máxima obtida foi $1,2kHz$, pois acima dessa o sistema entra em instabilidade. O diagrama de bode do sistema compensado é mostrado na Figura 4.14, sendo a função de transferência do controlador Tipo 2 mostrada abaixo:

$$C_{t2cp} = G_0 \frac{s + \omega_z}{s(s + \omega_p)}$$

$$C_{t2cp} = 1,5 \cdot 10^5 \cdot \frac{s + 62,8}{s \cdot (s + 6,28 \cdot 10^4)} \quad (4.38)$$

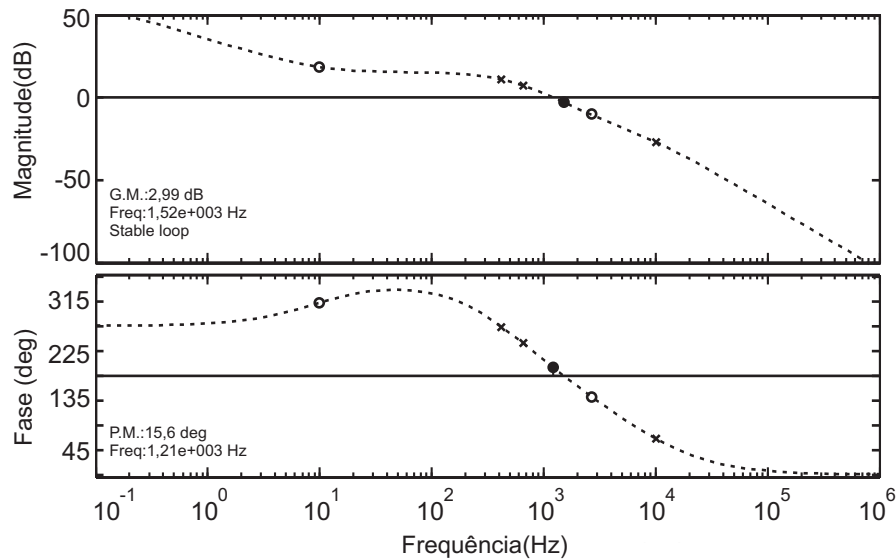


Figura 4.14: Diagrama de bode do CP em malha aberta compensado

Para iniciar o cálculo dos componentes do controlador é necessário uma estimativa inicial. Escolhe-se o resistor $R_2 = 15k\Omega$, sendo o capacitor C_1 calculado por:

$$C_1 = \frac{1}{2 \cdot \pi \cdot R_2 \cdot f_z}$$

$$C_1 = 1\mu F \quad (4.39)$$

Na sequência, o capacitor C_2 é calculado por:

$$C_2 = \frac{1}{2\pi R_2 \cdot (f_p - f_z)}$$

$$C_2 = 1nF \quad (4.40)$$

E por fim, o resistor R_1 é dado por:

$$R_1 = \frac{1}{G_0 \cdot C_2}$$

$$R_1 = 8k\Omega \quad (4.41)$$

4.2.3 Resultados experimentais

O protótipo montado em laboratório é mostrado na Figura 4.15. A implementação foi feita de maneira modular, ou seja, tanto o estágio CFP quanto o CP podiam ser testados separadamente, bem como suas placas de controle. A placa central é composta de 10 capacitores de $6,8\mu F$ ligados em paralelo, totalizando $68\mu F$. Tal arranjo foi necessário devido à falta de capacitores de filme com altas capacitância na época dos ensaios. O teste foi feito em condições de potência nominal com $220V_{rms}$ na entrada.

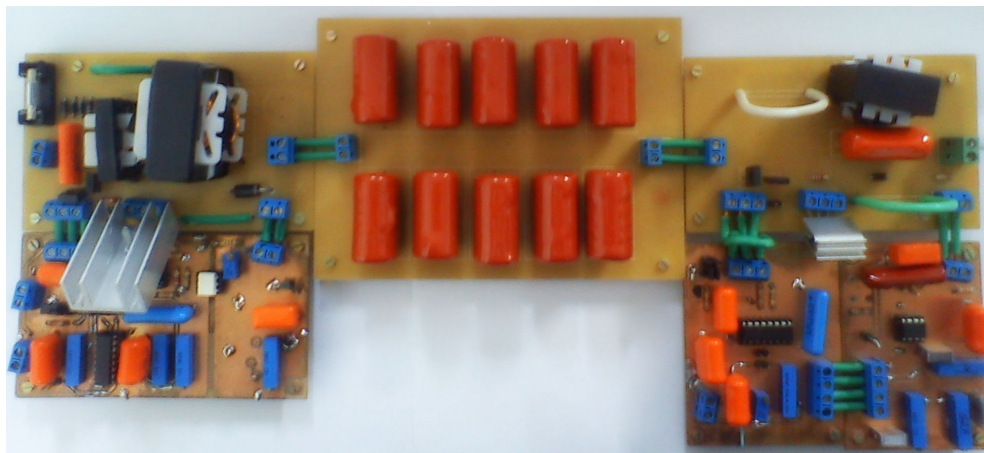


Figura 4.15: Protótipo analógico implementado

A Figura 4.16 mostra a corrente de entrada e a tensão de entrada da ponte retificadora. A corrente de entrada tem uma forma quase senoidal, com uma Taxa de Distorção Harmônica calculada de 14%, enquanto o Fator de Potência medido foi de 97%.

Já a Figura 4.17, demonstra a corrente no indutor CFP e no indutor CP. A amplificação do osciloscópio permite observar que o CFP opera corretamente em modo de condução

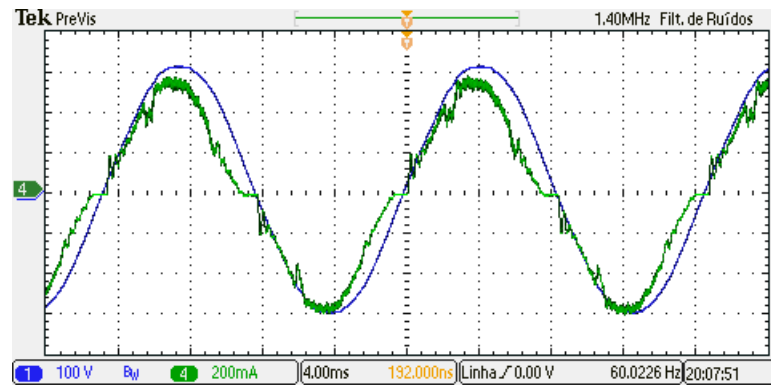


Figura 4.16: Tensão e corrente na entrada da ponte retificadora (100V/div, 0,2A/div, 4ms/div).

descontínua e o CP em modo de operação contínua.

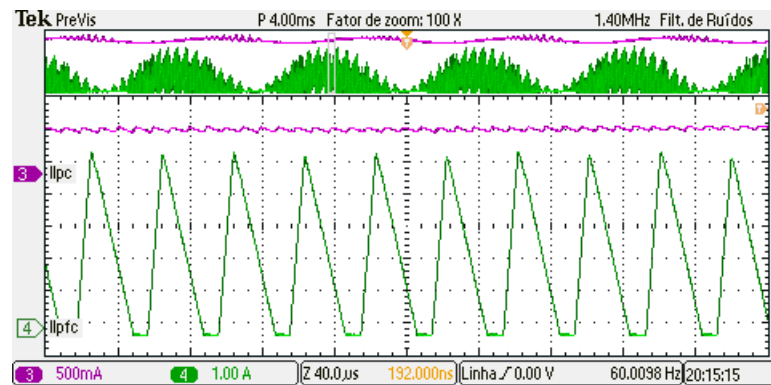


Figura 4.17: Verde: Corrente no indutor CFP (1A/div). Roxo: Corrente no indutor CP (0,5A/div). Escala grande: 4ms/div. Escala ampliada: $40\mu\text{s}/\text{div}$.

Como pode ser comprovado pela Figura 4.18, a tensão de saída total dá-se pela soma da tensão de barramento com a tensão de saída do CP. Além disso, fica claro que as duas últimas estão em fases opostas, o que prova a funcionalidade do controlador do conversor CP. Também nota-se que a tensão de barramento está precisamente ajustada na média de 101V.

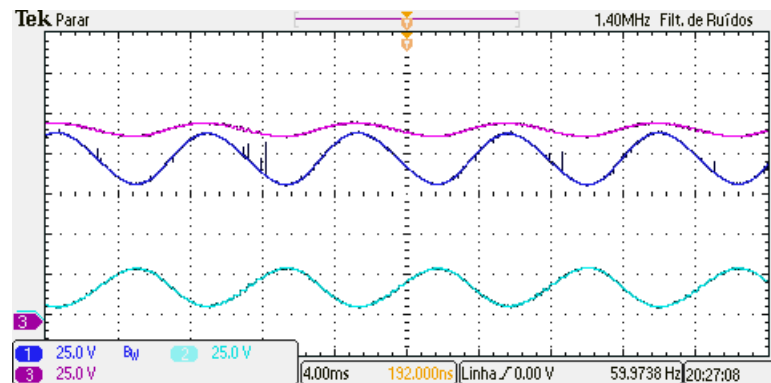


Figura 4.18: Roxo: Tensão de saída (25V/div). Azul: Tensão de barramento (25V/div). Ciano: Tensão de saída do CP (25V/div). Escala horizontal: 4ms/div.

Por fim, a Figura 4.19 mostra a tensão total de saída com a corrente nos LEDs. Existe

uma ondulação de baixa frequência repassada à saída, a qual gera uma ondulação pico-a-pico na corrente de 336mA . O rendimento medido, sem considerar as perdas das fontes auxiliares, foi de 94%.

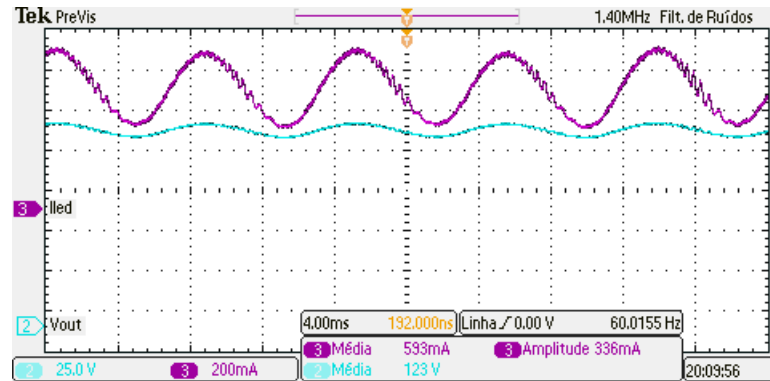


Figura 4.19: Tensão e corrente na lâmpada (25V/div, 0,2A/div). Escala horizontal:4ms/div.

4.2.4 Conclusões

Nesta seção foi apresentado o projeto de uma topologia utilizando o princípio da cascata otimizada. O controle foi feito de modo analógico devido a sua simplicidade e baixo custo.

O controle do conversor CFP mostrou-se eficaz na sua tarefa sem afetar de maneira significativa a distorção da corrente de entrada. Já o controlador do conversor CP, apesar de compensar a tensão de barramento, mostrou que é necessário investir em técnicas de controle mais adequadas a esta aplicação. Por isso, a próxima seção irá demonstrar uma técnica alternativa.

Os resultados experimentais mostraram não só a funcionalidade da ideia, como provaram as vantagens propostas tais como: alta eficiência e redução do capacitor de barramento. Além disso, a topologia mostrou simplicidade no acionamento dos interruptores e na retirada das medidas, as quais podem ser feitas utilizando o mesmo referencial.

4.3 Protótipo com controle *feedback* + *feedforward*

Neste protótipo a frequência dos dois conversores foi ajustada em $50kHz$ para fins de comparação com outras topologias. Além disso, uma nova estratégia de controle foi implementada, utilizando a resposta de um controlador *feedforward*, ou controlador por antecipação, somada a resposta de um controle *feedback*. O circuito do controlador do conversor CFP foi mantido o mesmo, sendo apenas adaptado o projeto para os novos valores do conversor.

A Tabela 4.5 mostra as principais especificações utilizadas no projeto.

Parâmetro	Valor
Tensão de entrada	$V_{in} = 220V$
Frequência da rede	$f_r = 60Hz$
Potência de saída	$P_{out} = 75W$
Corrente nos LEDs	$I_{led} = 0,6A$
Número de LEDs na saída	$N_{led} = 40$
Tensão na saída	$V_{out} = 126,3V$
Frequência de chaveamento do CFP	$f_{c_{fp}} = 50kHz$
Frequência de chaveamento do CP	$f_{cp} = 50kHz$
Fator de segurança	$FS = 10V$
Fator de participação	$k = 0.2$

Tabela 4.5: Parâmetros do protótipo implementado

Optou-se neste projeto pela eficiência. Assim, fixou-se o valor de k em 0,2 e calculou-se a tensão assumida para cada conversor, como já demonstrado em (4.17), (4.18) e (4.19):

$$V_{bus} = 101,04V \quad \Delta V_{bus} = 30,55V \quad V_{ocp} = 25,28V \quad (4.42)$$

O esquemático completo do circuito é demonstrado na Figura 4.20, sendo os componentes utilizados descritos na Tabela 4.6. Nota-se que a única diferença deste esquemático para o anterior está no controlador do conversor CP. Duas variáveis são lidas nesta estratégia de controle, sendo os motivos descritos na sequência.

4.3.1 Controle do CP

A principal função do CP é manter a corrente nos LEDs o mais constante possível, seguindo o nível médio especificado. Entretanto, esta é uma tarefa difícil de implementar com um controle *feedback* normal. Isso se deve pelo fato que, para tal controle atuar, é

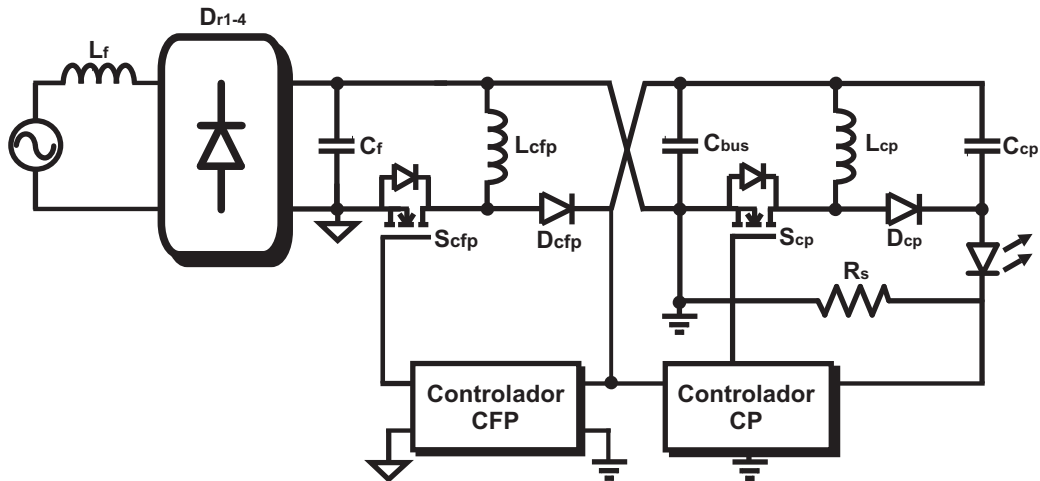


Figura 4.20: Esquemático do segundo protótipo

Símbolo	Parâmetro	Valor
L_f	Indutor do filtro de entrada	$3,07mH$
C_f	Capacitor do filtro de entrada	$330nF$
D_{r1-4}	Diodos da retificação	1N4007
S_{cfp}	MOSFET do CFP	SPP08N60C3
L_{cfp}	Indutor do CFP	$298,4\mu H$
C_{bus}	Capacitor de barramento	$68\mu F$
D_{cfp}	Diodo do CFP	MUR160
S_{cp}	MOSFET do CP	SPB04N60C3
L_{cp}	Indutor do CP	$3,11mH$
C_{cp}	Capacitor do CP	$6,8\mu F$
D_{cp}	Diodo do CP	MUR160
R_s	Resistor <i>shunt</i>	1Ω

Tabela 4.6: Componentes do segundo protótipo

necessário que o distúrbio no sistema (neste caso, a ondulação do capacitor de barramento) aconteça e afete a variável de saída (corrente nos LEDs). Só aí então o controle irá entrar em ação. Como visto na prática, tal estratégia mostrou uma ondulação de baixa frequência consideravelmente alta. Portanto, foram buscadas novas soluções para diminuir essa ondulação.

Como o distúrbio afeta diretamente a saída, a ação corretora necessita ser imediata, afim de que a corrente de saída seja afetada o mínimo possível. Uma solução que se encaixa neste cenário é o controle *feedforward*. A ideia básica deste tipo de controle é medir somente a variável causadora do distúrbio e tomar uma ação corretiva antes que a mesma afete o sinal de saída. A Figura 4.21 mostra um diagrama de bloco simplificado das estruturas *feedback* e da *feedforward*.

Entretanto, este controlador lida bem apenas com distúrbios do sistema, sendo difícil

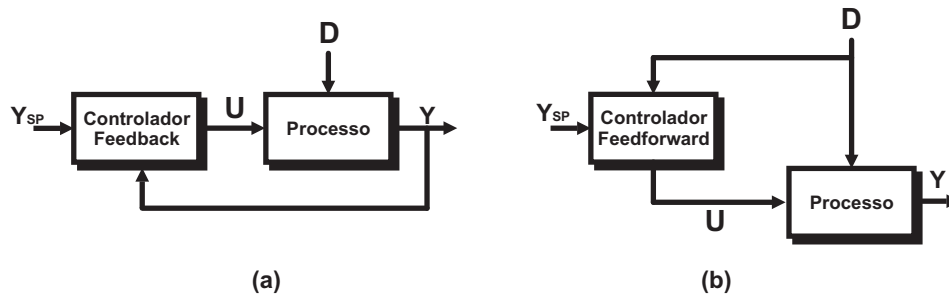


Figura 4.21: (a)Estrutura *feedback*. (b)Estrutura *feedforward*

para o mesmo manter um valor médio constante. Portanto, associado ao *feedforward*, um controle *feedback* lento fica responsável pelo controle do valor médio da corrente. Assim, o diagrama de blocos do sistema resultante é mostrado na figura abaixo:

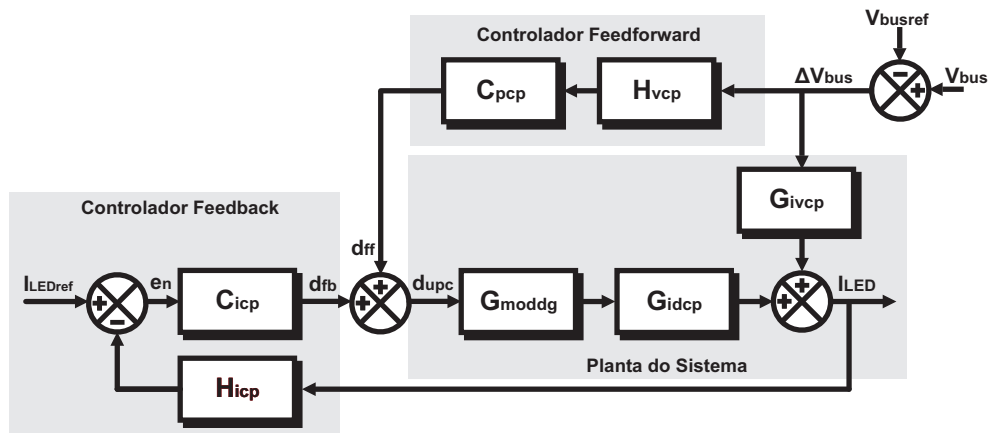


Figura 4.22: Malha de controle digital do CP

Onde:

- H_{icp} - Ganho da conversão A/D e do sensor de corrente;
- C_{icp} - Função de transferência do controlador *feedback*;
- H_{vcp} - Ganho do sensor da ondulação da tensão de barramento;
- C_{ppc} - Ganho do controlador *feedforward*;
- G_{moddg} - Ganho do modulador do PWM;
- G_{idcp} - Função de transferência do conversor relacionando a corrente de saída com a razão cíclica;
- G_{ivpc} - Função de transferência do conversor relacionando a corrente de saída com a tensão de barramento.

Ao contrário do protótipo anterior, optou-se por utilizar um microcontrolador no comando deste conversor. Além de simplificar a implementação deste tipo de controle, evita-se a maior parte dos problemas relacionados com a variação paramétrica dos componentes. O microcontrolador utilizado é um MCF51AC128, de 32 bits, com 128kB de memória flash e 16kB de RAM. Além disso, possui um conversor analógico para digital (A/D) de 12 bits.

Como pode ser visto na Figura 4.20, tanto a tensão de barramento quanto a corrente de saída são lidas. O diagrama do arranjo da instrumentação do controle CP é mostrado na figura abaixo. Cada um dos blocos de ganho será explicado adiante.



Figura 4.23: Esquemático do controlador do CP

Dois módulos PWM são utilizados: um para comandar o conversor e o outro como um gatilho para a conversão analógico para digital (A/D), a fim de evitar os ruídos da comutação na leitura das medidas. As formas de onda dos canais PWM são ilustradas na Figura 4.24.

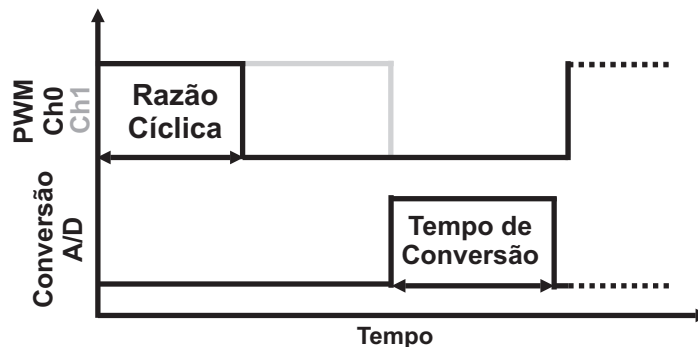


Figura 4.24: Sinais de controle no microcontrolador

Após o sensor de corrente, um circuito formado por um amplificador operacional é utilizado para amplificar o sinal do sensor cinco vezes e atuar como um filtro passa-baixa, a fim de evitar ruídos no circuito de controle. O ganho H_{icp} é formado pelo ganho do A/D do microcontrolador multiplicado pelo ganho do circuito do sensor de corrente. A equação resultante é mostrada em (4.44):

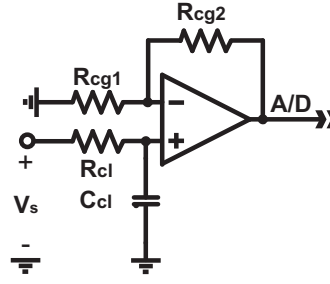


Figura 4.25: Filtro e amplificador do sensor de corrente

$$H_{icp} = H_{a/d} \cdot H_{si} = \frac{2^{N_b} \cdot H_{si}}{V_{ra} - V_{rb}}$$

$$H_{icp} = \frac{2^{12} \cdot 5}{5 - 0} = 4.096 \quad (4.43)$$

$$(4.44)$$

Onde:

- $H_{a/d}$ - Ganho do A/D;
- N_b - Número de bits relativos a resolução do A/D (12);
- H_{si} - Ganho do sensor de corrente (5);
- V_{ra} - Tensão da referência alta do A/D (5V);
- V_{rb} - Tensão da referência baixa do A/D (0V).

Já para a tensão de barramento, um divisor resistivo é utilizado em conjunto com um circuito responsável por transformar o sinal de tensão em corrente. Próximo do microcontrolador, o sinal de corrente é transformado novamente em tensão com um resistor. Esse circuito foi utilizado com o intuito de mitigar os ruídos provenientes da transmissão do sinal até o microcontrolador.

O ganho proveniente de toda a leitura de tensão é dado por:

$$H_{vcp} = H_{dr} \cdot H_{tc} \cdot H_{ct} \cdot H_{a/d} \quad (4.45)$$

Cada um desses ganhos será explicado em detalhes. O ganho H_{dr} é determinado pelo divisor resistivo. O cálculo do ganho necessário foi baseado na tensão máxima permitida na entrada do circuito responsável pela transdução do sinal de tensão para corrente. Essa

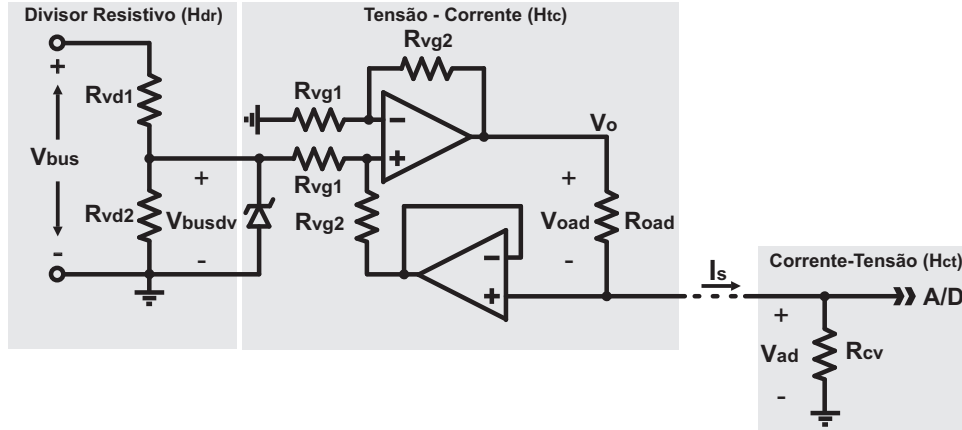


Figura 4.26: Divisor resistivo com o circuito responsável pela transmissão do sinal de tensão por corrente

tensão é limitada pelo diodo zener em paralelo com o resistor R_{vd2} , sendo que o mesmo atua quando V_{busdv} passar de $12V$. Em condições nominais, a tensão instantânea máxima de barramento é $115V$. Colocando uma margem de tolerância de 10% , tem-se o seguinte cálculo:

$$H_{dr} = \frac{12}{126,5}$$

$$H_{dr} = 0,0948 \quad (4.46)$$

Assumindo um valor de $R_{vd1} = 100k\Omega$, tem-se:

$$H_{dr} = \frac{R_{vd2}}{R_{vd1} + R_{vd2}}$$

$$R_{vd2} = \frac{R_{vd1} \cdot H_{dr}}{1 - H_{dr}} = \frac{100k \cdot 0,0948}{1 - 0,0948}$$

$$R_{vd2} = 10,47k\Omega \quad (4.47)$$

O transdutor tensão-corrente possui um ganho definido por H_{tc} . Para deduzir o cálculo deste circuito foi assumido que os resistores R_{vg1} e R_{vg2} são iguais. Isso irá facilitar a dedução do ganho. Começa-se o cálculo pela corrente que irá transmitir o sinal (I_s) no resistor R_{oad} :

$$I_s = \frac{V_{oad}}{R_{oad}} = \frac{V_o - V_{ad}}{R_{oad}} \quad (4.48)$$

O amplificador operacional forma um circuito somador. A entrada inversora é colocada

no mesmo referencial do interruptor e a entrada não-inversora é definida pela diferença de tensão entre V_{busdv} e V_{ad} . Substituindo a tensão de saída pela respectiva função de transferência do circuito somador, tem-se:

$$I_s = \frac{1}{R_{oad}} \cdot \frac{R_{vg2}}{R_{vg1}} \cdot ((V_{busdv} - V_{ad}) - 0) - \frac{V_{ad}}{R_{oad}} \quad (4.49)$$

Como assumimos que $R_{vg1} = R_{vg2}$, simplifica-se a equação:

$$\begin{aligned} I_s &= \frac{V_{busdv}}{R_{oad}} - \frac{2 \cdot V_{ad}}{R_{oad}} \\ I_s &= \frac{V_{busdv}}{R_{oad}} - \frac{2 \cdot I_s}{R_{oad} \cdot R_{cv}} \end{aligned} \quad (4.50)$$

Isolando I_s :

$$I_s = \frac{V_{busdv} \cdot R_{cv}}{2 + R_{oad} \cdot R_{cv}} \quad (4.51)$$

Assumindo que $R_{vc} \cdot R_{cv} \gg 2$ e colocando a equação na forma de ganho, tem-se:

$$H_{tc} = \frac{I_s}{V_{busdv}} = \frac{1}{R_{oad}} \quad (4.52)$$

Esse circuito deve ser projetado com base nas limitações do amplificador operacional que será usado. Neste projeto, será utilizado um LM358. A corrente máxima de saída que o mesmo pode lançar é 10mA, sendo sua tensão máxima na saída (caso alimentado com 15V) igual a 11V. Como deseja-se uma tensão máxima na entrada do A/D de 5V, estipula-se:

$$\begin{aligned} V_{oad} + V_{ad} &\leq V_o \\ V_{oad} + 5V &\leq 11V \\ V_{oad} &\leq 11V - 5V \\ V_{oad} &\leq 6V \end{aligned} \quad (4.53)$$

Assumindo uma corrente de saída 10% menor que a máxima estipulada pelo datasheet do LM358, tem-se:

$$\begin{aligned}
 R_{oad} &= \frac{V_{oad}}{I_s} = \frac{6}{0,009} \\
 R_{oad} &= 666,66\Omega
 \end{aligned}
 \tag{4.54}$$

Logo, tem-se que o ganho do transdutor tensão-corrente é dado por:

$$H_{tc} = \frac{1}{666,66} = 0,0015 \tag{4.55}$$

Por fim, para encontrar o ganho do transdutor corrente-tensão, calcula-se o resistor R_{ad} :

$$\begin{aligned}
 R_{ad} &= \frac{V_{ad}}{I_s} = \frac{5}{0,009} \\
 R_{ad} &= 555,55\Omega
 \end{aligned}
 \tag{4.56}$$

Logo, o ganho H_{ct} é dado por:

$$\begin{aligned}
 H_{ct} &= R_{ad} \\
 H_{ct} &= 555,55
 \end{aligned}
 \tag{4.57}$$

Os parâmetro do A/D utilizados foram os mesmos que em (4.44). Retomando (4.45), tem-se:

$$\begin{aligned}
 H_{vcp} &= 0,0948 \cdot 0,0015 \cdot 555,55 \cdot 819,2 \\
 H_{vcp} &= 64,71
 \end{aligned}
 \tag{4.58}$$

Em (4.34) é demonstrado o modelo médio do *buck-boost* operando em MCC. Como este modelo é não-linear um ponto de operação é escolhido. Assim como no protótipo anterior, a escolha do ponto de operação baseou-se na situação mais crítica para o controlador. Neste caso, tal situação denota-se quando a tensão de barramento assume seu valor mínimo, obrigando o conversor CP a atuar com a máxima tensão de saída. A Tabela 4.7 mostra os dados do ponto de operação escolhido.

Parâmetro	Valor
Tensão de barramento	$V_{bus} = 85,83V$
Tensão de saída	$V_{ocp} = 40,39V$
Corrente no indutor CP	$I_{lcp} = 0,83A$

Tabela 4.7: Valores do ponto de operação

Em (4.59) é mostrado o modelo do conversor CP linearizado para o ponto de operação escolhido.

$$\dot{X} = \begin{bmatrix} -6,82 \cdot 10^3 & 100,44 \cdot 10^3 \\ 0,22 \cdot 10^3 & 0 \end{bmatrix} \begin{bmatrix} V_{ocp} \\ I_{lcp} \end{bmatrix} + \begin{bmatrix} -6,82 \cdot 10^3 & -122,67 \cdot 10^3 \\ 0,1 \cdot 10^3 & 40,59 \cdot 10^3 \end{bmatrix} \begin{bmatrix} V_{bus} \\ D_{pc} \end{bmatrix}$$

$$\hat{Y} = \begin{bmatrix} 0,04 & 0 \\ 1 & 0 \end{bmatrix} \begin{bmatrix} V_{ocp} \\ I_{lcp} \end{bmatrix} + \begin{bmatrix} 0,04 & 0 \\ 0 & 0 \end{bmatrix} \begin{bmatrix} V_{bus} \\ D_{pc} \end{bmatrix} \quad (4.59)$$

A função de transferência G_{idcp} é extraída do modelo acima utilizando (4.23), obtendo assim:

$$G_{idcp}(s) = \frac{-5662s + 1,88 \cdot 10^8}{s^2 + 6818s + 2,19 \cdot 10^7} \quad (4.60)$$

Como o controle deste protótipo será implementado com um microcontrolador, é necessário ter, no mínimo, a função de transferência do controlador no domínio z . Portanto, a função de transferência $G_{idcp}(z)$, considerando uma frequência de amostragem de $50kHz$, é dada por:

$$G_{idcp}(z) = \frac{-0,06975z + 0,1401}{z^2 - 1,864z + 0,8725} \quad (4.61)$$

Há duas opções para projetar o controlador: faz-se o projeto do controlador com G_{idcp} no domínio z ou projeta-se no domínio da frequência e depois aplica-se a transformada Zade. Neste trabalho optou-se por projetar desde o início no domínio z . A função de transferência de malha aberta (4.62) é composta pela função de transferência $G_{idcp}(z)$, o ganho H_{icp} e o ganho do modulador (G_{moddg}).

$$G_{macp}(z) = \frac{H_{icp} \cdot G_{idcp} \cdot G_{moddg}}{z} \quad (4.62)$$

A amplitude da moduladora (V_{mdgcp}) é determinada pelo microcontrolador, sendo

neste caso 503 para um PWM do tipo assimétrico. A equação abaixo determina o ganho do modulador PWM.

$$G_{moddg} = \frac{1}{V_{mdgcp}} = \frac{1}{503}$$

$$G_{moddg} = 0,00198 \quad (4.63)$$

Logo, a função de transferência em malha aberta é demonstrada em (4.64). O diagrama de bode de malha aberta é ilustrado na Figura 4.27.

$$G_{macp}(z) = \frac{-0,4544z + 0,9125}{z^2 - 1,864z + 0,8725} \quad (4.64)$$

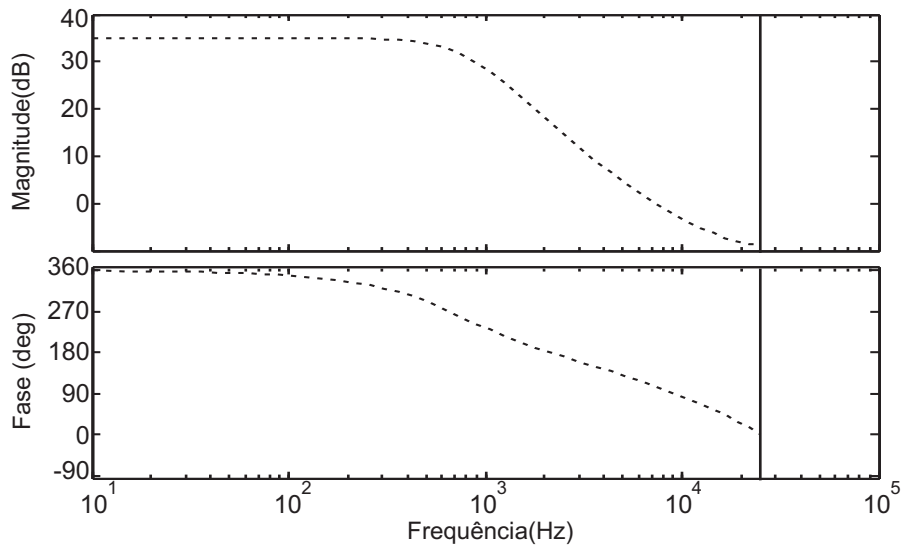


Figura 4.27: Diagrama de bode da função de transferência digital em malha aberta do conversor CP, com uma frequência de amostragem de $50kHz$.

Feito isso, tem-se todos os requisitos para projetar os controladores. O primeiro projeto será do controle *feedback*. A razão cíclica média responsável pela corrente média dos LEDs será gerada por um controlador integrador lento. Para que o mesmo não afete a operação do *feedforward*, a sua frequência de corte será em torno de $12Hz$. O integrador resultante é mostrado em (4.65), sendo o diagrama de bode de malha aberta do sistema compensado ilustrado na Figura 4.28.

$$C_{intdig} = K_{idig} \cdot \frac{1}{(z-1)}$$

$$C_{intdig} = 2,86 \cdot 10^{-5} \frac{1}{(z-1)} \quad (4.65)$$

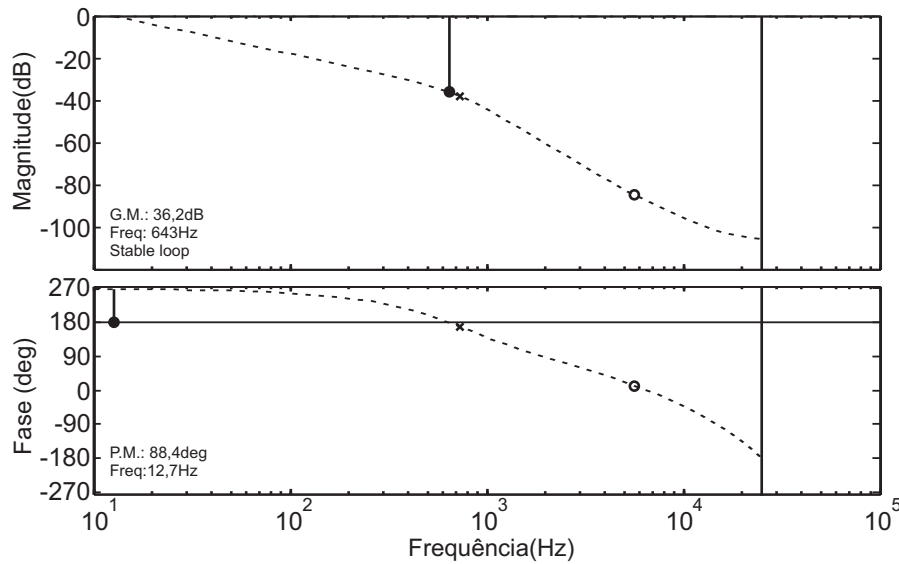


Figura 4.28: Diagrama de bode da função de transferência compensada digital em malha aberta do conversor CP, com uma frequência de amostragem de $50kHz$.

Existem, basicamente, duas maneiras de projetar um controle *feedforward*: pelo modelo estático da planta ou pelo modelo dinâmico [Process dynamics and control 2003]. Por questões de simplicidade de implementação, optou-se pelo projeto por modelo estático. Para deduzir a equação de projeto, começa-se pelo princípio ideal, ou seja, que o conversor CP irá compensar completamente a ondulação da tensão de barramento:

$$\hat{V}_{ocp} + \hat{V}_{bus} = 0$$

$$\hat{V}_{ocp} = -\hat{V}_{bus} \quad (4.66)$$

Onde:

$$\hat{V}_{ocp} = \frac{(V_{bus} + \hat{V}_{bus})\hat{D}_{cp}}{1 - \hat{D}_{cp}} \quad (4.67)$$

Observando o diagrama de blocos na Figura 4.22 é possível ver que a razão cíclica responsável pela compensação da tensão de barramento, pode ser deduzida por:

$$\hat{D}_{cp} = \hat{V}_{bus} \cdot H_{vcp} \cdot C_{pcp} \cdot \frac{1}{V_{mcp}} \quad (4.68)$$

Inserindo (4.68) em (4.67), tem-se:

$$\begin{aligned} \hat{V}_{ocp} &= (\hat{V}_{bus} + V_{bus}) \cdot \frac{(\hat{V}_{bus} \cdot H_{vcp} \cdot C_{pcp} \cdot \frac{1}{V_{mcp}})}{1 - \hat{V}_{bus} \cdot H_{vcp} \cdot C_{pcp}} \\ \hat{V}_{ocp} &= (\hat{V}_{bus} + V_{bus}) \cdot \frac{(\hat{V}_{bus} \cdot H_{vcp} \cdot C_{pcp})}{V_{mcp} - \hat{V}_{bus} \cdot H_{vcp} \cdot C_{pcp}} \end{aligned} \quad (4.69)$$

Voltando a (4.66) e aplicando (4.69), pode-se definir a constante responsável pelo controle *feedforward*:

$$\begin{aligned} \frac{\hat{V}_{bus} \cdot (\hat{V}_{bus} + V_{bus}) \cdot H_{vcp} \cdot C_{pcp}}{V_{mcp} - \hat{V}_{bus} \cdot H_{vcp} \cdot C_{pcp}} &= -\hat{V}_{bus} \\ (\hat{V}_{bus} + V_{bus}) \cdot H_{vcp} \cdot C_{pcp} &= -V_{mcp} + \hat{V}_{bus} \cdot H_{vcp} \cdot C_{pcp} \\ C_{pcp} &= \frac{-V_{mcp}}{V_{bus} \cdot H_{vcp}} = \frac{-503}{101.64, 71} \\ C_{pcp} &= -76, 96 \cdot 10^{-3} \end{aligned} \quad (4.70)$$

A Figura 4.29 mostra uma comparação da resposta do sistema com o controle *feedback* e com o controle *feedforward* com o *feedback*. Um degrau de 15V foi dado na tensão de barramento, sendo mostrada a influência de tal distúrbio na corrente sobre os LEDs. Fica claro que o controle *feedforward* junto com o *feedback* tem uma resposta dinâmica melhor, além de manter a média da corrente de saída no valor de referência.

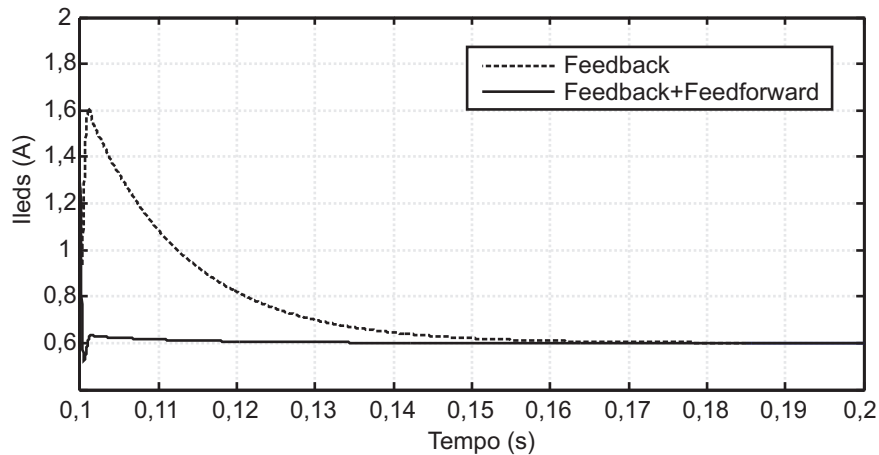


Figura 4.29: Resposta do CP ao degrau na tensão de barramento

As equações características, fundamentais para a escrita do controle no código do microcontrolador, do controlador *feedback* e do controlador *feedforward* são mostradas respectivamente abaixo:

$$\begin{aligned} d_{fb_n} &= d_{fb_{n-1}} + K_{icp} \cdot e_{n-1} \\ d_{fb_n} &= d_{fb_{n-1}} + 2,86 \cdot 10^{-5} \cdot e_{n-1} \end{aligned} \quad (4.71)$$

$$\begin{aligned} d_{ff_n} &= C_{pcp} \cdot (V_{bus} - 101) \\ d_{ff_n} &= 76,96 \cdot 10^{-3} \cdot (V_{bus} - 101) \end{aligned} \quad (4.72)$$

Para implementar este controle no MCF51AC128, será necessário usar um método conhecido como base Q. Esse método é utilizado para evitar o cálculo com ponto flutuante, visto que o microcontrolador escolhido é de baixo custo, o que impossibilita tal tipo de operação matemática. A técnica baseia-se na multiplicação por 2^Q , onde Q é a base escolhida. Ao final do cálculo basta apenas dividir pelo mesmo multiplicador, sendo que cada uma dessas operações ocupa apenas um ciclo de *clock*. A base Q escolhida deve fornecer precisão suficiente sem ocorrer estouro das variáveis internas no decorrer da rotina. Após várias simulações, a base escolhida foi a Q21, logo, as equações características ficam:

$$dfb_{nQ21} = dfb_{n-1} + 60 \cdot e_{n-1} \quad (4.73)$$

$$dff_{nQ21} = 161396 \cdot (V_{bus} - 101) \quad (4.74)$$

A fim de evitar razões cíclicas altas, um limitador foi inserido no controle integrador e na saída somada dos controladores, sendo que a rotina implementada no microcontrolador está demonstrada na Figura 4.30.

4.3.2 Resultados experimentais

O protótipo montado em laboratório é mostrado na Figura 4.31. Como no experimento anterior, a implementação foi feita de maneira modular, sendo que a parte do controle digital foi montada dentro de uma caixa metálica, separada da parte de potência, com o intuito de minimizar possíveis interferências e ruídos.

A corrente e a tensão de entrada na ponte retificadora são mostradas na Figura 4.32. A

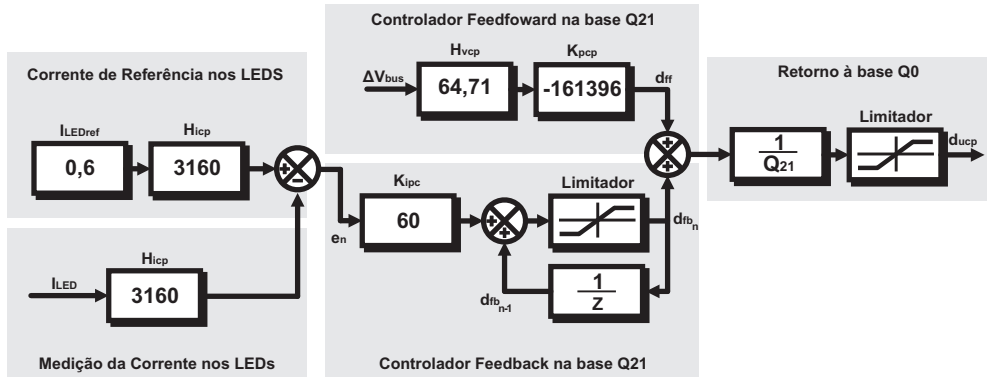


Figura 4.30: Diagrama da rotina implementada

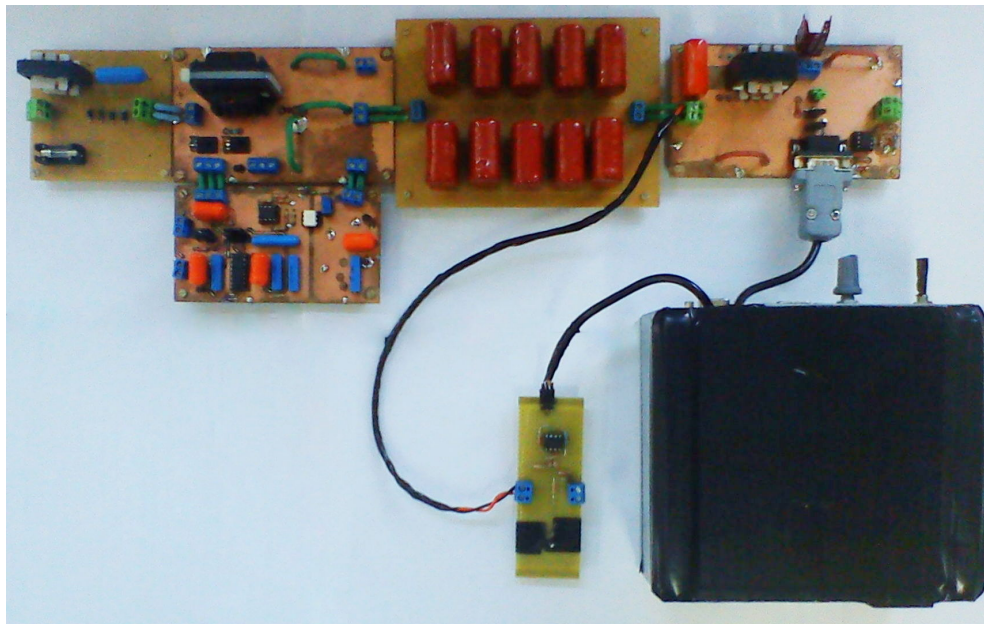


Figura 4.31: Protótipo digital implementado

Taxa de Distorção Harmônica (TDH) calculada da corrente de entrada é de 9%, enquanto que o Fator de Potência medido foi de 99%. Essa melhora nos resultados foi devido a diminuição do capacitor do filtro da entrada (C_f), conseqüente ao aumento da frequência de comutação do CFP.

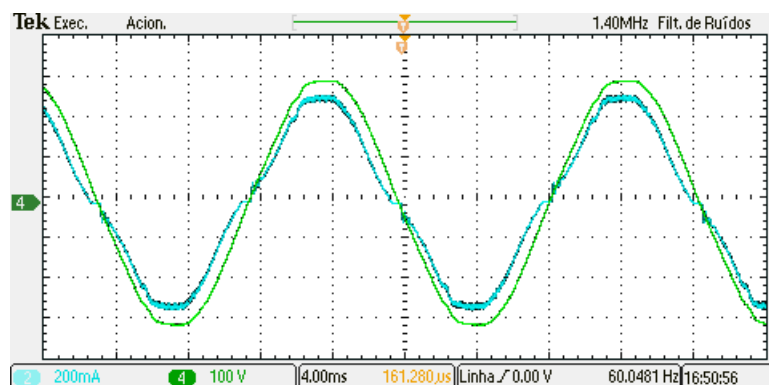


Figura 4.32: Tensão e corrente na entrada da ponte retificadora. (100V/div, 0.2A/div, 4ms/div)

A Figura 4.33 demonstra a corrente no indutor do conversor CFP e no indutor do conversor CP. Além do correto funcionamento nos respectivos modos de operação, é possível notar uma distorção na corrente do indutor CP, causada pelo esforço do controle em manter a corrente nos LEDs constante.

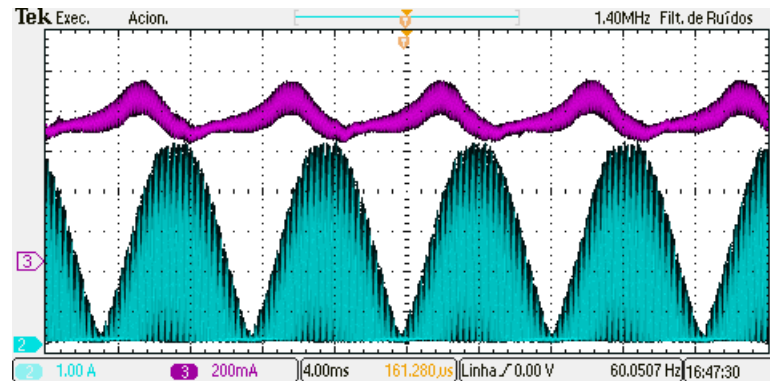


Figura 4.33: Ciano: Corrente no indutor CFP (1A/div). Roxo: Corrente no indutor CP (0,2A/div). Escala horizontal: 4ms/div.

A tensão de saída, de barramento e do conversor CP são reproduzidas na Figura 4.34. Em comparação com o protótipo anterior, nota-se que a tensão de saída apresenta-se mais constante, devido a ação mais rápida da nova estratégia de controle implementada. O controle do conversor CFP também mostra-se eficaz em manter a tensão de barramento regulada precisamente em 101V.

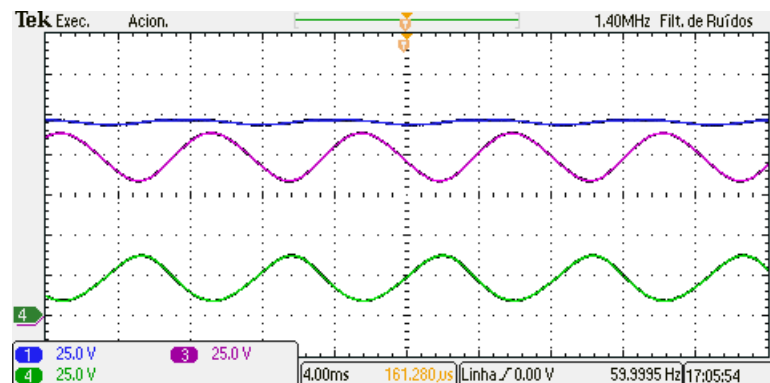


Figura 4.34: Roxo: Tensão de barramento (25V/div). Azul: Tensão de saída (25V/div). Verde: Tensão de saída do CP (25V/div). Escala horizontal: 4ms/div

A Figura 4.35 mostra a corrente nos LEDs e a tensão aplicada sobre os mesmos. Apesar do controle ser mais rápido que o anterior, ainda não foi possível eliminar totalmente a ondulação de baixa frequência na saída. Entretanto, de 336mA de ondulação, a mesma passou para 124mA, mostrando uma redução de 36

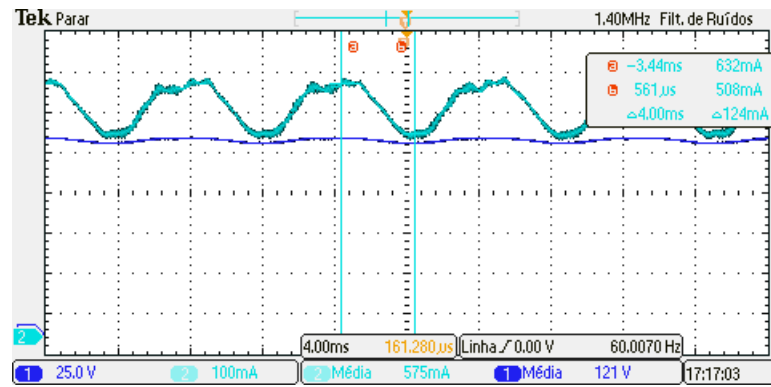


Figura 4.35: Tensão e corrente na lâmpada.(25V/div, 0,1A/div). Escala horizontal:4ms/div

4.3.3 Conclusões

Nesta seção foi apresentado um segundo protótipo da cascata otimizada. As topologias empregadas foram as mesmas do protótipo anterior, sendo apenas modificados a frequência de operação (conseqüentemente o projeto dos conversores) e a estratégia de controle utilizada no conversor CP, o qual é responsável pela compensação da ondulação de baixa frequência.

O controle foi implementado com um microcontrolador de baixo custo da Freescale, sendo que uma estratégia de controle por antecipação foi adicionada para melhorar a compensação da ondulação de baixa frequência. Resultados significativos foram alcançados, pois a corrente nos LEDs apresentou uma ondulação 37% menor que no protótipo anterior.

Entretanto, houve um decréscimo de 4% no rendimento, devido ao aumento da frequência de comutação do conversor CFP e a participação mais significativa do conversor CP no processamento da potência.

Por fim, vale ressaltar que mesmo adicionando uma medida a mais no controle da topologia, não seria necessário utilizar referências isoladas, já que tanto as medidas (tensão de barramento e corrente nos LEDs) quanto ao acionamento de ambos os interruptores podem ser colocados na mesmo referencial, o que novamente, simplifica e torna viável a sua implementação como produto.

4.4 Comparativo

Visando provar as características da cascata otimizada, com relação às principais topologias utilizadas em LEDs, uma comparação prática foi realizada. Foram comparados com a topologia cascata otimizada (TCO), uma topologia de estágio único (TEU) e uma topologia de estágio duplo integrado (TEDI). A topologia de estágio duplo não entrou no comparativo, pois a sua eficiência e valores de projeto são muito semelhantes à sua versão integrada. O esquemático da TEU e da TEDI encontram-se na Figura 4.36.

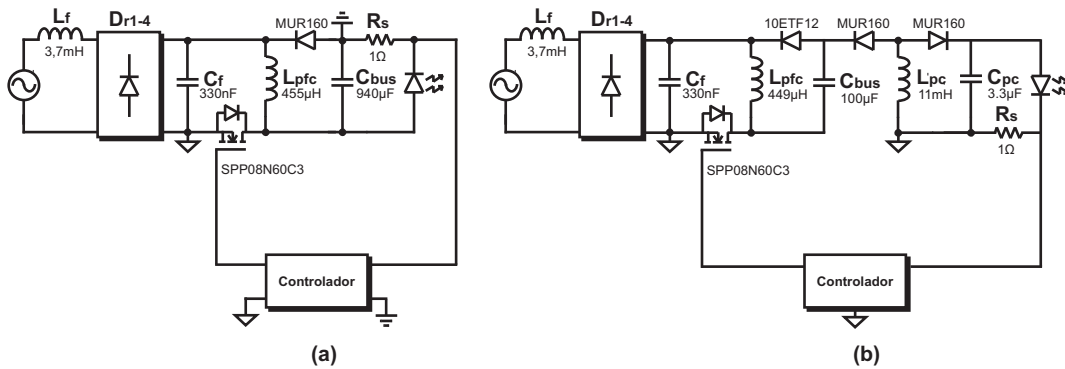


Figura 4.36: Esquemático das topologias comparadas: (a)TEU e (b)TEDI

4.4.1 Parâmetros das topologias

Os parâmetros de entrada dos três projetos estão descritos na Tabela 4.5. A Tabela 4.8 mostra os valores resultantes para o projeto de cada uma das topologias. O protótipo utilizado para a cascata otimizada foi o mesmo da seção anterior. A topologia de estágio único (TEU) é um *buck-boost* operando em MDC. Já para a topologia duplo estágio integrado, com o intuito de fazer uma comparação justa com a cascata otimizada, um *buck-boost* operando em MDC foi escolhido como CFP e um *buck-boost* operando em MCC foi escolhido como CP.

Parâmetro	TEU	TEDI	TCO
Ondulação em I_{led}	100mA	100mA	100mA
Tensão de barramento	126V	350V	101V
Ondulação em V_{bus}	4V	11,4V	30V
Indutância do CFP	455µH	449µH	433µH
Indutância do CP	-	11mH	4,7mH
Capacitância de barramento	940µF	100µF	68µF
Capacitor do CP	-	3,3µF	6,8µF

Tabela 4.8: Parâmetros dos protótipos comparados

A Figura 4.37 mostra o valor da capacitância para cada uma das topologias testadas com relação ao número de LEDs na sua saída. Nota-se que para um número pequeno, a TCO (considerando todas as condições listadas na Tabela 4.5), não fornece valores de capacitância melhores que a TEDI. No entanto, para um número superior a 20 LEDs a TCO mostra-se mais eficaz na redução da capacitância de barramento.

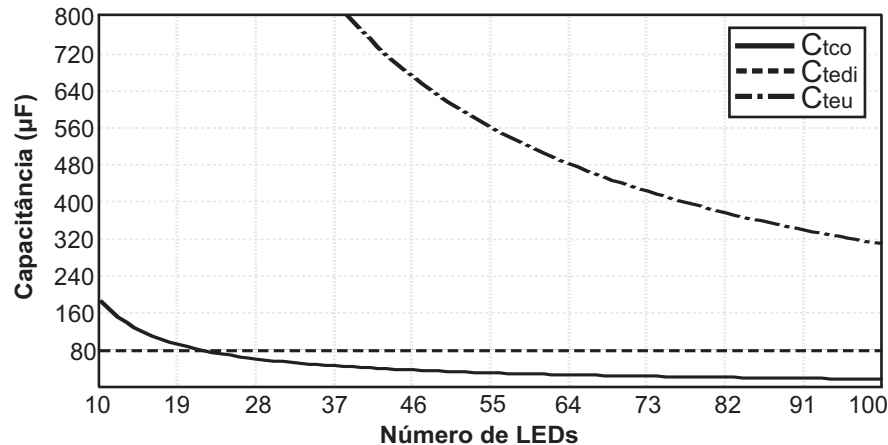


Figura 4.37: Valores de capacitâncias de barramento para diferentes números de LEDs

4.4.2 Resultados experimentais

Com relação a corrente de entrada, a Figura 4.38 expõe os resultados experimentais para cada uma das topologias bem como um gráfico da amplitude das harmônicas em comparação com a norma IEC61000-3-2 Classe C. Nota-se que todos os conversores atendem a norma. A TDH para a TEU foi de 4% com um Fator de Potência (FP) de 99% e um rendimento de 92%. Já para a TEDI, a TDH calculada foi de 13% com um FP de 98% e um rendimento de 86%. Por fim, a TCO obteve uma TDH calculada de 9% com um FP de 99% e um rendimento de 90%.

Na Figura 4.39 a tensão e a corrente na lâmpada LED são mostrados para cada conversor. A corrente nos LEDs tem quase a mesma ondulação para todas as topologias, com pequenas variações devido a diferença nos componentes projetados e nos disponíveis na prática. Nota-se que a TEDI apresenta uma pequena distorção na corrente circulante nos LEDs. Tal distorção é resultado de uma ressonância entre a capacitância dos componentes (diodos e interruptores) com o indutor CFP.

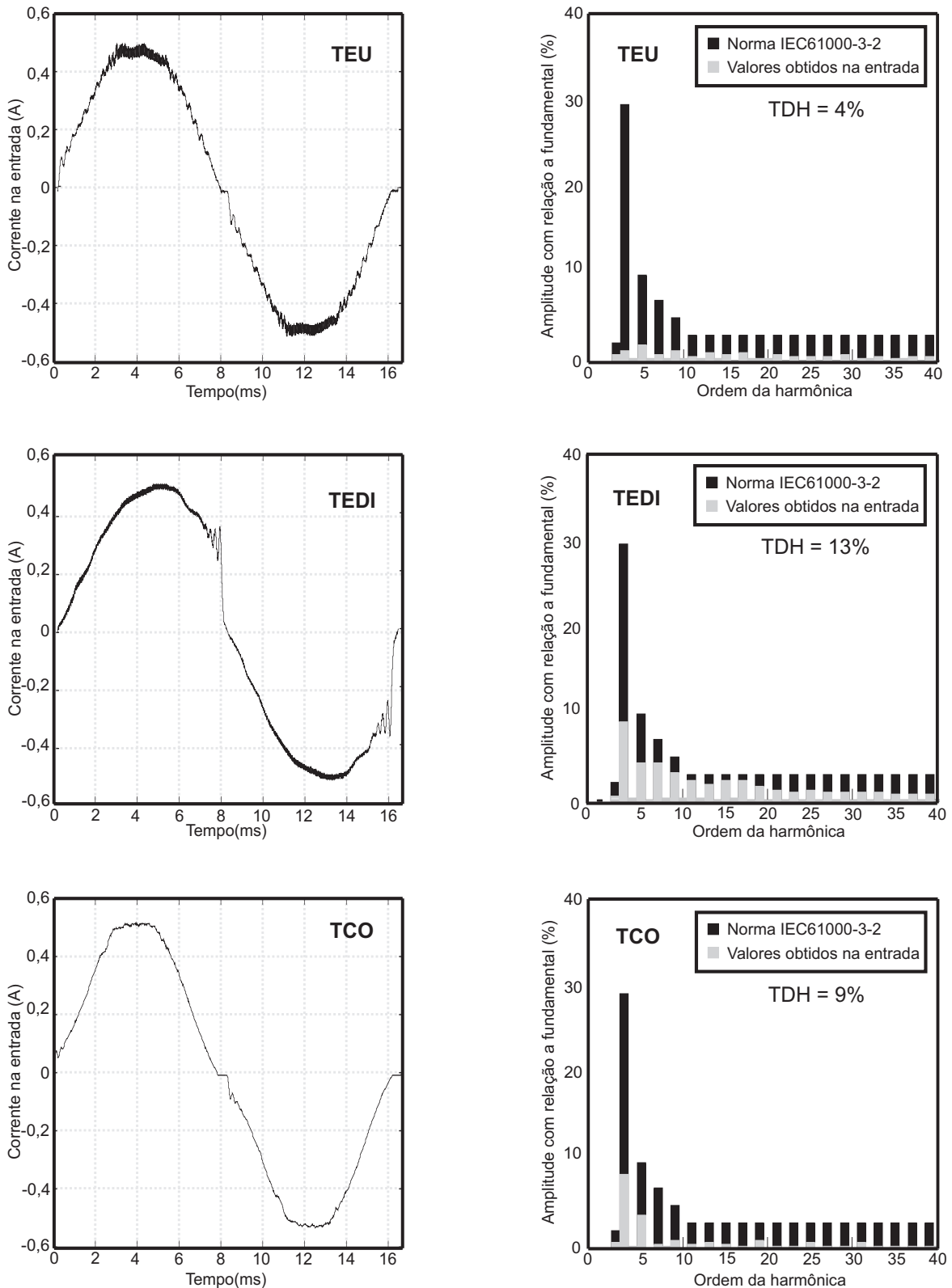


Figura 4.38: Corrente na entrada de cada topologia com respectiva TDH

4.4.3 Conclusões

Foi apresentada nesta subseção uma comparação entre três topologias: estágio único (TEU), estágio duplo integrado (TEDI) e cascata otimizada (TCO). Foi admitido um

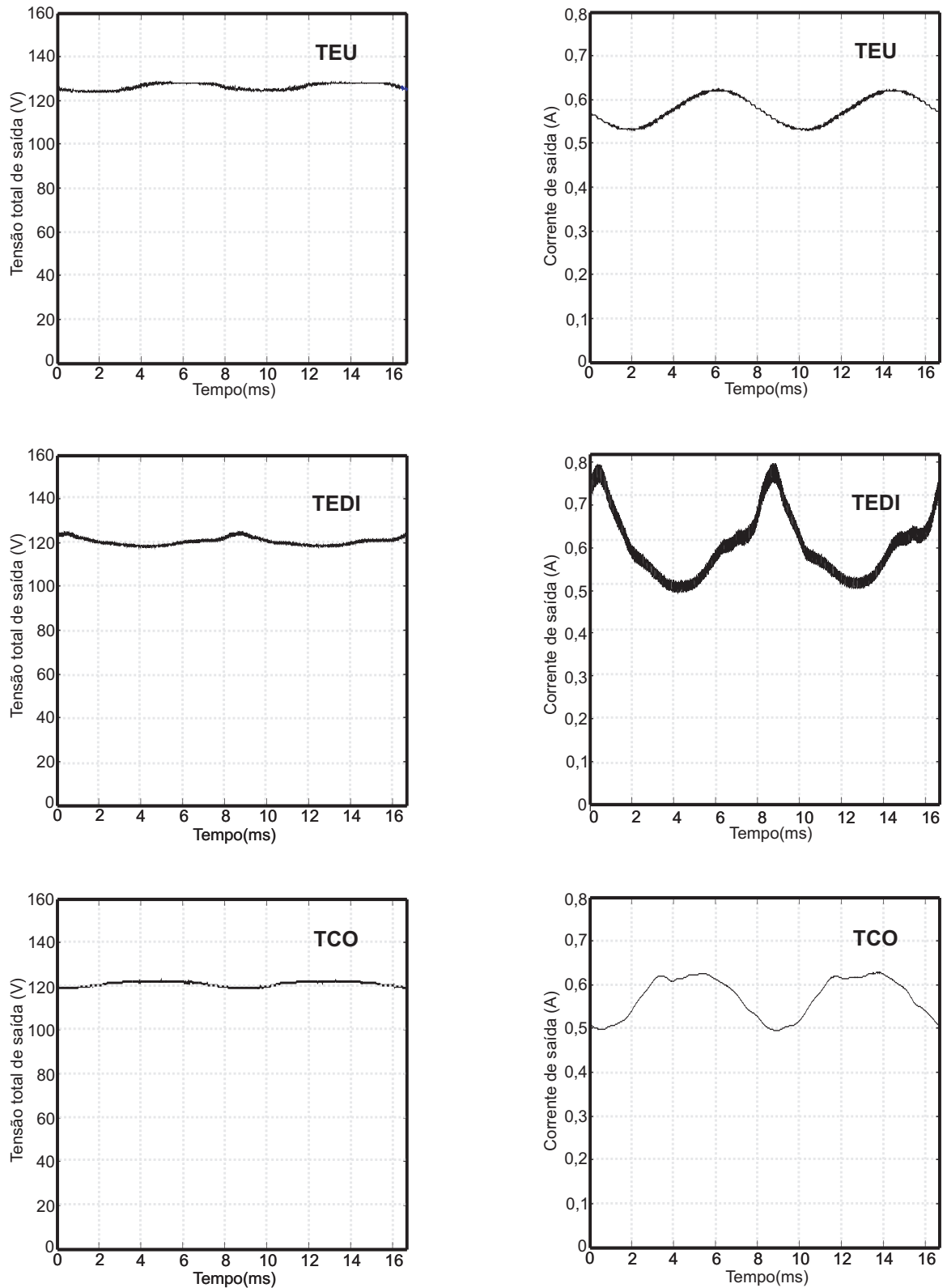


Figura 4.39: Tensão e corrente de saída de cada topologia

valor de ondulação de baixa frequência ($100mA$) igual nos três conversores.

A implementação prática mostrou, conforme previsto, que o rendimento da cascata otimizada (90%) encaixa-se como um meio termo entre a estágio único (92%) e a estágio

duplo (86%). Sendo que o parâmetro k possibilita aumentar ou diminuir o rendimento, conforme as necessidades do projeto.

Além disso, a cascata otimizada apresentou o menor capacitor de barramento. Entretanto, é possível atingir valores similares de capacitância com a TEDI ao aumentar a tensão de barramento. Por outro lado, a eficiência baixa ainda mais, devido ao aumento da tensão no interruptor.

Quanto a distorção na corrente de entrada, a TEDI apresentou a TDH mais significativa, devido a distorções causadas por ressonâncias entre os semicondutores e o indutor CFP. Já a TEU e a TCO apresentaram valores similares, sendo que a composição harmônica de todos os conversores estão dentro dos limites estipulados pela IEC61000-3-2.

5 CONCLUSÕES

Este trabalho descreve uma contribuição ao desenvolvimento de topologias aplicadas para iluminação pública com LEDs. O principal foco da ideia foi obter uma elevada eficiência com um circuito capaz de banir o uso do capacitor eletrolítico.

Inicialmente, no Capítulo 3, é apresentada a ideia de utilizar um sistema de dois estágios, fazendo contudo que o segundo conversor processe apenas parte da energia direcionada à carga. Tal conceito foi chamado de cascata otimizada. As principais equações de projeto foram mostradas, bem como o parâmetro de projeto k , o qual fornece uma flexibilidade relativa a quantidade de energia processada duas vezes, influenciando diretamente a eficiência total.

Com o intuito de provar a ideia, é demonstrado no Capítulo 4 a implementação de dois protótipos. O primeiro foi implementado com uma estratégia de controle *feedback*. O conversor operou de maneira regular, com alta eficiência, entretanto a ondulação de baixa frequência presente na corrente dos LEDs foi considerada alta. Por isso um segundo protótipo foi implementado, sendo usado neste uma nova estratégia baseada no controle *feedforward*. Devido a sua complexidade, a implementação foi feita com um microcontrolador. Como resultado, observou-se uma diminuição na ondulação de barramento de 37% com relação ao controle analógico.

Ainda no mesmo capítulo, foi realizado um comparativo entre a cascata otimizada e as duas topologias mais utilizadas como *driver* para LED: a de estágio único e a de estágio duplo integrado. Os resultados obtidos provaram que, considerando a eficiência, a cascata otimizada encaixa-se como um meio termo entre a de estágio único e a de estágio duplo integrado. No entanto, levando em conta a questão da eliminação do capacitor eletrolítico, a cascata otimizada mostrou-se eficaz, obtendo o menor capacitor para o número de LEDs testados. Observou-se também que para uma carga com menor potência, a estágio duplo integrado consegue valores de capacitância menores, continuando, contudo, com o mesmo problema da baixa eficiência, proveniente do duplo processamento da energia.

Finalmente, a topologia desenvolvida neste trabalho mostra que é possível unir alta eficiência e longa vida útil em uma solução. Além disso, a sua implementação mostrou-se simples, requisitando um microcontrolador de baixo custo. Cabe ressaltar que tanto o sensoriamento quanto o acionamento dos interruptores podem ser feitos no mesmo referencial.

Como sugestões para trabalhos futuros, cita-se:

1. Análise de topologias mais eficientes, como *buck* e *boost*, no estágio CFP. Esta análise deverá levar em consideração o impacto na distorção da corrente de entrada que a ondulação de baixa frequência na saída pode causar;
2. Implementação do estágio CP com mais de um conversor, dividindo a potência a ser processada entre tais conversores;
3. Análise do fluxo de potência na cascata otimizada, a fim de elucidar as limitações de redução do capacitor de barramento;
4. Estudos de diferentes estruturas de controle para o estágio CP, visando a diminuição da ondulação na saída e a estabilidade do sistema;
5. Desenvolver e aplicar técnicas de *dimming* para a cascata otimizada.

REFERÊNCIAS

- ALONSO, J. et al. Analysis and design of the integrated double buck-boost converter operating in full dcm for led lighting applications. In: *IECON 2011 - 37th Annual Conference on IEEE Industrial Electronics Society*. [S.l.: s.n.], 2011. p. 2889 –2894. ISSN 1553-572X.
- ALONSO, J. et al. Analysis and design of the integrated double buck-boost converter as a high-power-factor driver for power-led lamps. *Industrial Electronics, IEEE Transactions on*, v. 59, n. 4, p. 1689 –1697, april 2012. ISSN 0278-0046.
- BADDELA, S.; ZINGER, D. Parallel connected leds operated at high to improve current sharing. In: *Industry Applications Conference, 2004. 39th IAS Annual Meeting. Conference Record of the 2004 IEEE*. [S.l.: s.n.], 2004. v. 3, p. 1677 – 1681 vol.3. ISSN 0197-2618.
- BO, Z. et al. Design of boost-flyback single-stage pfc converter for led power supply without electrolytic capacitor for energy-storage. In: *Power Electronics and Motion Control Conference, 2009. IPEMC '09. IEEE 6th International*. [S.l.: s.n.], 2009. p. 1668 –1671.
- CHEN, W.; LI, S.; HUI, S. A comparative study on the circuit topologies for offline passive light-emitting diode (led) drivers with long lifetime amp; high efficiency. In: *Energy Conversion Congress and Exposition (ECCE), 2010 IEEE*. [S.l.: s.n.], 2010. p. 724 –730.
- CHEUNG, M.; CHOW, M.; TSE, C. Practical design and evaluation of a 1 kw pfc power supply based on reduced redundant power processing principle. *Industrial Electronics, IEEE Transactions on*, v. 55, n. 2, p. 665 –673, feb. 2008. ISSN 0278-0046.
- CHIU, H.-J. et al. A high-efficiency dimmable led driver for low-power lighting applications. *Industrial Electronics, IEEE Transactions on*, v. 57, n. 2, p. 735 –743, feb. 2010. ISSN 0278-0046.
- COSTA, R. E. da. *Sistematização do projeto de reatores eletrônicos para alimentação de lâmpadas de vapor de sódio em alta pressão para iluminação pública*. Dissertação (Mestrado) — Universidade Federal de Santa Maria, 2009.
- CREE. *Cree Prototype Exceeds DOE's 21st Century Lamp L PrizeSM Requirements*. ago. 2011. <http://www.cree.com/news-and-events/cree-news/press-releases/2011/august/110801-21st-century-lamp>.
- EFFICIENCY, U. D. of E. E.; ENERGY, R. *Multi Year Program Plan*. [S.l.], May 2011.
- FUNDAMENTALS of Power Electronics. 2°. ed. [S.l.]: Kluwer Academic Publishers, 2001.
- GACIO, D. et al. A universal-input single-stage high-power-factor power supply for hb-leds based on integrated buck-flyback converter. In: *Applied Power Electronics Conference and Exposition, 2009. APEC 2009. Twenty-Fourth Annual IEEE*. [S.l.: s.n.], 2009. p. 570 –576. ISSN 1048-2334.

- GACIO, D. et al. Effects of the junction temperature on the dynamic resistance of white leds. In: *Applied Power Electronics Conference and Exposition (APEC), 2012 Twenty-Seventh Annual IEEE*. [S.l.: s.n.], 2012. p. 1708 –1715.
- GARCIA, J. et al. Electronic driver without electrolytic capacitor for dimming high brightness leds. In: *Industrial Electronics, 2009. IECON '09. 35th Annual Conference of IEEE*. [S.l.: s.n.], 2009. p. 3518 –3523. ISSN 1553-572X.
- GARCIA, J. et al. Led driver with bidirectional series converter for If ripple cancelation. In: *IECON 2012 - 38th Annual Conference on IEEE Industrial Electronics Society*. [S.l.: s.n.], 2012.
- HU, Q.; ZANE, R. Off-line led driver with bidirectional second stage for reducing energy storage. In: *Energy Conversion Congress and Exposition (ECCE), 2011 IEEE*. [S.l.: s.n.], 2011. p. 2302 –2309.
- LIGHTING, U. D. of E. S.-S. *Department of Energy Announce Philips as Winner of L Prize Competition*. ago. 2011. <http://www.lightingprize.org/philips-winner.stm>.
- MADDULA, S.; BALDA, J. Lifetime of electrolytic capacitors in regenerative induction motor drives. In: *Power Electronics Specialists Conference, 2005. PESC '05. IEEE 36th*. [S.l.: s.n.], 2005. p. 153 –159.
- PANOV, Y.; JOVANOVIC, M. Small-signal analysis and control design of isolated power supplies with optocoupler feedback. *Power Electronics, IEEE Transactions on*, v. 20, n. 4, p. 823 – 832, july 2005. ISSN 0885-8993.
- PARLER, S. *Application Guide, Aluminum Electrolytic Capacitors*. [S.l.].
- PINTO, R. et al. A bidirectional buck-boost converter to supply leds from batteries during peak load time. In: *IECON 2011 - 37th Annual Conference on IEEE Industrial Electronics Society*. [S.l.: s.n.], 2011. p. 2848 –2853. ISSN 1553-572X.
- PINTO, R. et al. Compact emergency lamp using power leds. *Industrial Electronics, IEEE Transactions on*, v. 59, n. 4, p. 1728 –1738, april 2012. ISSN 0278-0046.
- PROCESS dynamics and control. 2°. ed. [S.l.]: John Wiley & Sons, Inc., 2003.
- QIN, Y. et al. Current source ballast for high power lighting emitting diodes without electrolytic capacitor. In: *Industrial Electronics, 2008. IECON 2008. 34th Annual Conference of IEEE*. [S.l.: s.n.], 2008. p. 1968 –1973. ISSN 1553-572X.
- RYU, M. et al. Electrolytic capacitor-less, non-isolated pfc converter for high-voltage leds driving. In: *Power Electronics and ECCE Asia (ICPE ECCE), 2011 IEEE 8th International Conference on*. [S.l.: s.n.], 2011. p. 499 –506. ISSN 2150-6078.
- SPIAZZI, G.; BUSO, S.; MENEGHESSO, G. Analysis of a high-power-factor electronic ballast for high brightness light emitting diodes. In: *Power Electronics Specialists Conference, 2005. PESC '05. IEEE 36th*. [S.l.: s.n.], 2005. p. 1494 –1499.
- SUN, J. et al. Averaged modeling of pwm converters operating in discontinuous conduction mode. *Power Electronics, IEEE Transactions on*, v. 16, n. 4, p. 482 –492, jul 2001. ISSN 0885-8993.

TSE, C.; CHOW, M.; CHEUNG, M. A family of pfc voltage regulator configurations with reduced redundant power processing. *Power Electronics, IEEE Transactions on*, v. 16, n. 6, p. 794 –802, nov 2001. ISSN 0885-8993.

WANG, B. et al. A method of reducing the peak-to-average ratio of led current for electrolytic capacitor-less ac-dc drivers. *Power Electronics, IEEE Transactions on*, v. 25, n. 3, p. 592 –601, march 2010. ISSN 0885-8993.

WANG, S. et al. A flicker-free electrolytic capacitor-less ac-dc led driver. *Power Electronics, IEEE Transactions on*, PP, n. 99, p. 1, 2011. ISSN 0885-8993.

WEIR, B.; CATHELL, F. *LED Streetlight Demands Smart Power Supply*. [S.l.], February 2008.