

**UNIVERSIDADE FEDERAL DE SANTA MARIA
CENTRO DE TECNOLOGIA
PROGRAMA DE PÓS-GRADUAÇÃO EM ENGENHARIA ELÉTRICA**

Guilherme Gindri Pereira

**CONVERSOR ELETRÔNICO DE ALTO FATOR DE POTÊNCIA PARA
ALIMENTAÇÃO DE LEDS APLICANDO A TÉCNICA INPUT CURRENT SHAPER**

Santa Maria, RS, Brasil
2017

Guilherme Gindri Pereira

**CONVERSOR ELETRÔNICO DE ALTO FATOR DE POTÊNCIA PARA
ALIMENTAÇÃO DE LEDS APLICANDO A TÉCNICA INPUT CURRENT SHAPER**

Dissertação apresentada ao Curso de Mestrado do Programa de Pós-Graduação em Engenharia Elétrica, área de concentração em Processamento de Energia da Universidade Federal de Santa Maria (UFSM, RS), como requisito parcial para obtenção do título de **Mestre em Engenharia Elétrica**.

Orientador: Prof. Dr. Marco Antônio Dalla Costa
Coorientador: Prof. Dr. José Marcos Alonso Álvarez

Santa Maria, RS, Brasil
2017

Ficha catalográfica elaborada através do Programa de Geração Automática da Biblioteca Central da UFSM, com os dados fornecidos pelo(a) autor(a).

Pereira, Guilherme Gindri

CONVERSOR ELETRÔNICO DE ALTO FATOR DE POTÊNCIA PARA ALIMENTAÇÃO DE LEDS APLICANDO A TÉCNICA INPUT CURRENT SHAPER / Guilherme Gindri Pereira.- 2017.

84 p.; 30 cm

Orientador: Marco Antônio Dalla Costa

Coorientador: José Marcos Alonso Álvarez

Dissertação (mestrado) - Universidade Federal de Santa Maria, Centro de Tecnologia, Programa de Pós-Graduação em Engenharia Elétrica, RS, 2017

1. Diodos Emissores de Luz 2. Correção de Fator de Potência 3. Input Current Shaper 4. Redução de Capacitâncias I. Dalla Costa, Marco Antônio II. Alonso Álvarez, José Marcos III. Título.

© 2017

Todos os direitos autorais reservados a Guilherme Gindri Pereira. A reprodução de partes ou do todo deste trabalho só poderá ser feita mediante a citação da fonte.

Endereço: Rua Cel. Niederauer, n. 265, Bairro Bonfim, Santa Maria, RS. CEP: 97020-160

Fone (0xx)55 3212 1857; E-mail: guilhermepereira@gedre.ufsm.br

Guilherme Gindri Pereira

**CONVERSOR ELETRÔNICO DE ALTO FATOR DE POTÊNCIA PARA
ALIMENTAÇÃO DE LEDS APLICANDO A TÉCNICA INPUT CURRENT SHAPER**

Dissertação apresentada ao Curso de Mestrado do Programa de Pós-Graduação em Engenharia Elétrica, área de concentração em Processamento de Energia da Universidade Federal de Santa Maria (UFSM, RS), como requisito parcial para obtenção do título de **Mestre em Engenharia Elétrica**.

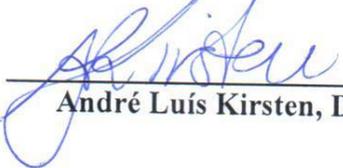
Aprovado em 31 de julho de 2017:



Marco Antônio Dalla Costa, Dr. (UFSM)
(Presidente/Orientador)



Douglas Camponogara, Dr. (UFSM)



André Luis Kirsten, Dr. (UFSC)

**Santa Maria, RS
2017**

AGRADECIMENTOS

Agradeço aos meus pais, Júlio César Pires Pereira e Janete Ângela Gindri Pereira pela educação, incentivo e suporte, servindo sempre de exemplo para que eu chegasse onde estou hoje.

À minha irmã Natália Gindri Pereira e à todos meus familiares, amigos e colegas de faculdade pelo apoio e momentos de descontração, essenciais para tornar minha trajetória mais tranquila. À minha namorada Caroline Mallmann pelo apoio, carinho e companhia tanto nas horas boas quanto nas horas difíceis.

Ao Prof. Dr. Marco Antônio Dalla Costa, pelos ensinamentos passados e estímulo com que orientou minhas atividades ao longo de toda minha carreira de iniciação científica, graduação e mestrado.

Aos colegas Aquiles Borin e Priscila Bolzan por toda amizade, companheirismo, parceria e apoio desde o CTISM até aqui.

À todos os colegas do GEDRE, minha segunda casa durante a graduação, por me proporcionarem um excelente ambiente de trabalho, complementando em minha formação, sempre com descontração. Em especial, ao futuro engenheiro Flávio Reck pela parceria e cooperação no desenvolvimento do trabalho. Ao colega de pós-graduação Renan Duarte, pela ajuda em diversas situações no laboratório. Ao Prof. Marcos Alonso pela sugestão do tema e ajuda na concepção deste trabalho.

À Universidade Federal de Santa Maria, pela qualidade do ensino público e gratuito, e à todos os professores e servidores que fizeram parte de alguma forma para a minha formação.

A todos aqueles que, de alguma forma, contribuíram para a realização deste trabalho, e não estão aqui nominalmente citados.

RESUMO

CONVERSOR ELETRÔNICO DE ALTO FATOR DE POTÊNCIA PARA ALIMENTAÇÃO DE LEDS APLICANDO A TÉCNICA INPUT CURRENT SHAPER

AUTOR: GUILHERME GINDRI PEREIRA
ORIENTADOR: MARCO ANTÔNIO DALLA COSTA

Este trabalho apresenta a análise, simulação, projeto e execução de uma topologia integrada de dois conversores estáticos CC/CC para acionamento de LEDs de potência, apresentando estágio de correção de fator de potência. A correção do fator de potência é um fator essencial quando se trabalha com LEDs, pois é necessário que se cumpram os padrões estabelecidos na norma NBR 16026. O estágio de correção de fator de potência é realizado por um conversor *Flyback* em modo de condução descontínua, aplicando a técnica *input current shaper*. Esta técnica consiste na conexão de um conversor operando como um emulador de resistência entre a ponte retificadora de entrada e o capacitor de barramento, a fim de aumentar o ângulo de condução da corrente de entrada, obtendo assim baixos valores de harmônicas de corrente injetados na rede elétrica. A redução do conteúdo harmônico é necessária para que se cumpra com a norma IEC 61000-3-2 Classe C, que regulamenta equipamentos de iluminação. O uso de um conversor *Flyback* operando como um emulador de resistência possibilita redução no processamento de energia, o que aumenta a eficiência total do conversor. O estágio de controle de potência para os LEDs é realizado por um conversor *Buck*, também em modo de condução descontínua, devido à sua simplicidade e pela característica de redutor de tensão. A integração é realizada a fim de se reduzir o número de interruptores ativos, diminuindo assim o número de circuitos auxiliares de comando e, conseqüentemente, o número total de componentes, volume e custo total do circuito. Além disto, o uso de dois estágios permite a redução da capacitância de barramento, pois o segundo estágio pode compensar a ondulação de baixa frequência. Deste modo, pode-se eliminar o uso de capacitores eletrolíticos ou utilizar capacitores de menor volume, aumentando assim a confiabilidade do circuito de acionamento, o que é um fator essencial para este tipo de aplicação. Portanto, além de um alto fator de potência e reduzida taxa de distorção harmônica, é esperada uma alta eficiência e elevada vida útil. O conversor apresenta também possibilidade de dimerização. Um protótipo foi implementado e os resultados experimentais obtidos são apresentados ao fim deste trabalho para confirmar a validade da técnica proposta.

Palavras-chave: Diodos Emissores de Luz. Correção de Fator de Potência. Input Current Shaper. Redução de Capacitâncias.

ABSTRACT

HIGH POWER FACTOR LED DRIVER BASED ON THE INPUT CURRENT SHAPER TECHNIQUE

**AUTHOR: GUILHERME GINDRI PEREIRA
ADVISOR: MARCO ANTÔNIO DALLA COSTA**

This work presents analysis, simulation, design and implementation of an integrated topology consisting of two static DC-DC converters to supply power LEDs, presenting high power factor. Power factor correction is essential when supplying LEDs in order to comply with regulations such as the NBR 16026. A discontinuous conduction mode operated Flyback converter is used to implement the power factor correction stage, applying the input current shaper technique. This technique consists on the connection of a converter operating as a resistance emulator placed between the main rectifier and the DC bus, in order to increase the conduction angle of the rectifier diodes, obtaining low current harmonics injected to the mains. Low current harmonics are necessary in order to comply with IEC 61000-3-2 Class C regulations for lighting equipment. The use of a Flyback converter operating as a resistance emulator provides reduced power processing, which increases the overall efficiency of the converter. Power control stage is performed by a Buck converter, also in discontinuous conduction mode, due to its simplicity and step-down voltage characteristic. Both converters are integrated, thus reducing the number of active switches and related auxiliary control circuitry, presenting reduced component count, volume and total cost. Furthermore, two-stage configuration allows for bus capacitance reduction, owing to the effect of low frequency filtering provided by the second stage. In this way, electrolytic capacitors can be avoided or capacitor volume can be reduced, thus increasing the reliability of the LED driver, which is an essential feature pursued in this type of converters. Therefore, in addition to a high power factor and reduced total harmonic distortion, it is expected for this driver to present high efficiency and no electrolytic capacitors, thus obtaining long lifetime. The driver also presents dimming capability. A prototype has been implemented and the experimental results obtained are presented at the end of this paper in order to validate the proposed technique.

Keywords: Light Emitting Diode. Power Factor Correction. Input Current Shaper. Capacitances Reduction.

LISTA DE FIGURAS

Figura 1 - Circuito equivalente simplificado do ICS tradicional.....	19
Figura 2 - Principais formas de onda do ICS tradicional	19
Figura 3 – Conversor <i>flyback</i> com enrolamento extra no primário.....	20
Figura 4 – Conversor <i>forward</i> com saídas atrasadas.....	21
Figura 5 – Conversor <i>flyback</i> ICS aplicado a um reator eletrônico	21
Figura 6 - Conversor ICS em paralelo.....	23
Figura 7 – Conversor <i>flyback</i> ICS de estágio único	24
Figura 8 - FFT da tensão de barramento	25
Figura 9 - Circuito equivalente simplificado do ICS.....	25
Figura 10 - Principais formas de onda do ICS	25
Figura 11 - Distorção da corrente de entrada considerando o <i>ripple</i> da tensão de barramento	26
Figura 12 - Valores máximos da tensão de barramento para diferentes valores de ripple	28
Figura 13 - Conversor <i>flyback</i> inserido na topologia	30
Figura 14 - Conversor <i>buck</i> inserido na topologia	30
Figura 15 - Topologia proposta não integrada	31
Figura 16 - Topologia proposta integrada	31
Figura 17 - Diagrama de distribuição de potência: (a) dois estágios independentes; (b) topologia proposta	32
Figura 18 - Diagrama simplificado do circuito da topologia proposta.....	33
Figura 19 - Circuitos equivalentes de cada etapa de operação: (a) etapa 1; (b) etapa 2; (c) etapa 3; (d) etapa 4.....	35
Figura 20 - Principais formas de onda do conversor proposto em um ciclo de comutação	36
Figura 21 - LEDs utilizados	38
Figura 22 - Esquemático do circuito simulado.....	41
Figura 23 - Resultados de simulação para entrada e tensão de barramento	41
Figura 24 - Resultados de simulação para o interruptor.....	42
Figura 25 - Resultados de simulação para os indutores <i>flyback</i> e <i>buck</i>	43
Figura 26 - Circuito simplificado para a modelagem.....	47
Figura 27 - Conversor buck com rede de interruptores	48
Figura 28 - Modelo médio do conversor	49
Figura 29 - Modelo de pequenos sinais do conversor <i>buck</i>	51
Figura 30 - Modelo simplificado de pequenos sinais do conversor <i>buck</i>	52
Figura 31 - Simulação do modelo e do conversor <i>buck</i> para perturbações de -5% na razão cíclica.....	53
Figura 32 - Simulação do modelo e do conversor completo para perturbações de -5% na razão cíclica.....	54
Figura 33 - Diagrama de blocos simplificado do sistema de controle.....	55
Figura 34 - Ondulação de corrente nos LEDs em função do ganho em 120 Hz	56
Figura 35 – Conteúdo harmônico da corrente de entrada para diferentes ganhos em 120 Hz	56
Figura 36 - THD e FP em função da ondulação de corrente	56
Figura 37 - Diagrama de blocos simplificado do sistema de controle digital	58
Figura 38 - Diagrama do conversor ICS em malha fechada.....	58
Figura 39 - Conversor em malha fechada com distúrbio na tensão de entrada.....	60
Figura 40 - Conversor em malha fechada com diferentes níveis de dimerização	61
Figura 41 - Conversor <i>flyback-buck</i> ICS com sistema de controle	62
Figura 42 – Foto do protótipo implementado: (a) placa de potência; (b) placa mãe.....	64
Figura 43 - Principais formas de onda para operação em malha fechada com valores nominais	66

Figura 44 - Principais formas de onda para operação em malha fechada para carga mínima..	66
Figura 45 – Formas de onda do conversor para 200 V_{RMS}	67
Figura 46 – Formas de onda do conversor para 235 V_{RMS}	67
Figura 47 – Conteúdo harmônico da corrente de entrada para diferentes V_{IN}	68
Figura 48 – Resposta do conversor a um degrau de 100% para 50% na referência de corrente	69
Figura 49 – Conteúdo harmônico da corrente de entrada para condições de dimerização	69
Figura 50 – THD e FP para diferentes valores de potência de saída.....	70
Figura 51 – Eficiência do conversor para diferentes valores de potência de saída	70
Figura 52 – THD e FP para diferentes valores de ondulação da tensão de barramento.....	71
Figura 53 – Formas de onda no interruptor para condições nominais	72
Figura 54 – Formas de onda de V_B , corrente de entrada e V_{RET} para condições nominais	72
Figura 55 – Formas de onda da corrente no indutor L_M para condições nominais.....	73
Figura 56 – Formas de onda da corrente no indutor L_{BU} para condições nominais	73

LISTA DE TABELAS

Tabela 1 – Especificações de projeto do conversor proposto.....	38
Tabela 2 – Parâmetros do LED.....	39
Tabela 3 – Parâmetros do conversor proposto.....	40
Tabela 4 – Especificações para os semicondutores passivos	44
Tabela 5 – Esforços nos semicondutores passivos	45
Tabela 6 – Parâmetros e componentes do protótipo.....	63
Tabela 7 – Principais resultados à plena carga	65
Tabela 8 – Relação das perdas em cada parte do conversor.....	74

SUMÁRIO

1	Introdução	12
1.1	Contextualização	12
1.2	Definição do problema e contribuição.....	13
1.3	Resultados esperados	16
1.4	Delimitações do trabalho	16
1.5	Organização da dissertação	17
2	Input Current Shaper	18
2.1	Introdução	18
2.2	Princípios básicos	18
2.3	Revisão do ICS aplicado à iluminação	19
2.4	Projeto do ICS	24
2.5	Conclusão	28
3	Conversor Flyback-Buck Integrado	29
3.1	Introdução	29
3.2	Estágio CFP	29
3.3	Estágio CP	30
3.4	Estágios CFP e CP integrados	31
3.5	Etapas de operação	33
3.6	Metodologia de projeto.....	36
3.7	Exemplo de projeto.....	38
3.8	Resultados de simulação.....	40
3.9	Esforços nos semicondutores	44
3.10	Conclusão	45
4	Modelagem e Controle da Topologia Proposta	46
4.1	Introdução	46
4.2	Modelagem	46
4.3	Análise do sistema de controle	54
4.4	Metodologia de projeto do compensador discreto.....	57
4.5	Projeto do compensador discreto.....	59
4.6	Resultados de simulação.....	60
4.7	Conclusão	61
5	Resultados Experimentais	62
5.1	Introdução.....	62
5.2	Conversor <i>flyback-buck</i> operando em malha fechada	65
5.3	Análise das perdas	74
5.4	Conclusão	74
6	Considerações Finais	75
6.1	Conclusão geral	75
6.2	Trabalhos futuros	76
6.3	Produção científica resultante.....	76
	Referências bibliográficas	77

1 INTRODUÇÃO

Este capítulo contextualiza o uso dos diodos emissores de luz em iluminação artificial, discutindo as vantagens, os desafios e os problemas encontrados, principalmente relativos aos circuitos de acionamentos de sistemas de iluminação. Além disso, são apresentadas as contribuições do trabalho, os resultados esperados, as delimitações e a estrutura da dissertação.

1.1 Contextualização

Almejando um aproveitamento sustentável dos recursos energéticos disponíveis, a busca por dispositivos e sistemas eletrônicos que apresentem alta eficiência é primordial. Sistemas de iluminação, por exemplo, são responsáveis por boa parte da energia elétrica utilizada no mundo, sendo essenciais para a realização das atividades do ser humano fora do horário de disponibilidade da luz solar, ou mesmo em locais onde esta luz não alcança. O desenvolvimento tecnológico neste setor é de extrema importância, tanto no que tange fontes de iluminação quanto em relação aos circuitos que as alimentam. Além da eficiência, outro fator importante é a qualidade da energia, a qual pode ser afetada pela carga que se está conectando à rede elétrica.

Dentre as tecnologias mais recentes na área da iluminação artificial, os diodos emissores de luz (LEDs, do inglês *Light-Emitting-Diodes*) são aqueles que apresentam o maior aumento no número de aplicações, tornando-se cada vez mais populares e acessíveis ao público geral. Estes dispositivos apresentam um baixo consumo de energia quando comparados às tradicionais fontes de luz, além de possuírem elevada vida útil, bom índice de reprodução de cores (IRC), tamanho reduzido, entre outras vantagens (COLE; CLAYTON; MARTIN, 2014; COLE; DRISCOLL, 2012).

Atualmente, a eficácia luminosa dos LEDs comerciais pode chegar a 160 lm/W, dependendo da tecnologia empregada para obtenção da luz branca (SCHRATZ et al., 2016). Porém, é esperado nos próximos anos que sejam atingidas eficácias próximas a 250 lm/W. A vida útil dos LEDs é outro fator importante, podendo alcançar de 25.000 até 90.000 horas (CHANG et al., 2012; DOE, 2016). Por não serem revestidos de vidro nem apresentarem filamentos, são mais resistentes a choques e vibrações, além de possuírem tamanho reduzido quando comparados às lâmpadas de descarga, por exemplo. Portanto, as características dos LEDs já os fazem compatíveis às tradicionais formas de obtenção de luz artificial, tanto para

ambientes internos (lâmpadas fluorescentes), quanto para ambientes externos (lâmpadas de Vapor de Sódio de Alta Pressão) (PINTO, 2012; SÁ JR., 2010).

Porém, existem alguns fatores relativos aos LEDs que podem ser considerados negativos, como alto custo e problemas de gerenciamento térmico. Embora o custo esteja sofrendo redução, a substituição dos sistemas de iluminação tradicionais por sistemas a base de LEDs ainda nem sempre é viável economicamente. Outra questão que dificulta o uso destes dispositivos é o fato destes converterem boa parte da energia fornecida a eles em forma de calor, o que faz necessário o uso de dissipadores de calor, que muitas vezes podem ter um volume considerável em relação à luminária.

Ainda assim, é notória a ascensão dos LEDs em aplicações de iluminação artificial, como em residências, escritórios, lojas, iluminação pública, indústrias, estacionamentos, entre inúmeros outros (CHANG et al., 2012). Por serem cargas de corrente contínua (CC), os LEDs não podem ser ligados diretamente à rede elétrica. A diferença instantânea de energia entre a potência pulsada de entrada e a potência de saída CC deve ser equilibrada para evitar um elevado nível de ondulação de baixa frequência na corrente dos LEDs. Além disto, os LEDs não são capazes de regular a própria corrente, necessitando de algum dispositivo de regulação de corrente, visto que a luz emitida é diretamente proporcional à sua corrente direta. Estes fatores trazem a necessidade do uso de um circuito eletrônico (*driver*) que forneça corrente e tensão nos níveis desejados, mas que também se equipare às características que tornam os LEDs vantajosos, como longa vida útil e alta eficiência.

Para se trabalhar com equipamentos de iluminação, é necessário também atentar para a taxa de distorção harmônica (THD, do inglês *Total Harmonic Distortion*) e o fator de potência (FP) a fim de que se obedeça a determinadas normas. A norma IEC 61000-3-2 Classe C (IEC61000-3-2, 2005), por exemplo, regulamenta os limites de conteúdo harmônico da corrente de entrada para equipamentos de iluminação acima de 25 W. Em relação ao FP, o programa *Energy Star* do departamento de energia dos EUA limita em 0,7 para aplicações residenciais e 0,9 para aplicações comerciais (ENERGY, 2010). A portaria nº 478 do Inmetro estabelece um FP mínimo de 0,92 para lâmpadas utilizadas em iluminação pública (INMETRO, 2013).

1.2 Definição do problema e contribuição

No cenário mundial atual referente à geração de energia elétrica, é essencial que se busque por formas mais eficientes do uso desta energia. Com a crise energética e o aumento dos preços das tarifas de consumo de energia elétrica, as vantagens apresentadas pelos LEDs

quanto à economia de energia tornam-se ainda mais desejadas. Isto faz com que a busca por um sistema eletrônico igualmente eficiente seja imprescindível, pois de outro modo corre-se o risco de que as vantagens apresentadas pelos LEDs sejam sobrepujadas por um sistema de baixa eficiência.

O circuito de alimentação que acompanha os LEDs tem grande importância na durabilidade e eficiência do sistema. É necessário que este possua alta eficiência para que o rendimento total do sistema não seja comprometido, além de ser composto de elementos com vida útil compatível com a dos LEDs. Um ponto crucial na vida útil de um conversor é o uso de capacitores eletrolíticos, que possuem vida útil muito inferior à dos LEDs (ALONSO et al., 2012). A substituição deste elemento por capacitores de filme de poliéster ou de polipropileno metalizado em circuitos de acionamento para LEDs tem sido alvo de diversos estudos (ALMEIDA, PEDRO S.; BRAGA; et al., 2015; ALONSO et al., 2012; CAMPONOVARA, 2012; SUN et al., 2016; YAO et al., 2012). Existem capacitores eletrolíticos que suportam maiores temperaturas e possuem vida útil elevada quando operados abaixo desta temperatura. Porém, para que se obtenha uma vida útil compatível à dos LEDs, além da baixa temperatura de operação, também seria necessária a operação com uma tensão reduzida, sobredimensionando os componentes, aumentando assim o volume e custo do circuito de alimentação do LED (ALMEIDA, PEDRO SANTOS et al., 2015).

Dentre as topologias ativas para alimentação de LEDs, que são aquelas que possuem interruptores ativos e controle de corrente, existem basicamente dois grupos principais: estágio único e estágio duplo. A primeira é a solução mais simples, onde um conversor com correção de fator de potência (CFP) é utilizado e sua tensão de barramento é aplicada diretamente aos LEDs. Por possuir uma quantidade reduzida de componentes, esta solução apresenta volume reduzido. Porém, altos valores de capacitância são necessários na saída para reduzir a ondulação de baixa frequência, o que geralmente resulta na necessidade do uso de capacitores eletrolíticos (ALONSO; CALLEJA; LOPEZ; et al., 1999; CHENG; CHENG; CHUNG, 2014). Alguns trabalhos existentes na literatura apresentam a possibilidade de se utilizar capacitores de filme em topologias de estágio único (BEIBEI WANG et al., 2010; RYU et al., 2011; SPIAZZI; BUSO; MENEGHESSO, 2005).

Porém, ainda que o pico da ondulação de baixa frequência seja reduzido, a corrente nos LEDs possui um alto nível CA, o que pode resultar em uma subutilização das características do LED. Para compensar este problema, pode-se fazer uso de mais de um conversor para processar a energia da rede para os LEDs, utilizando topologias de estágio duplo. Com a adição de mais um estágio responsável pela compensação da ondulação de

baixa frequência deve-se tomar cuidado para que a eficiência total do sistema não seja comprometida, pois esta será o produto das eficiências dos dois estágios (CAMPONOVARA et al., 2015). A topologia de estágio duplo mais simples consiste em dois estágios independentes, sendo um estágio CFP e outro de controle de potência (CP), responsável por manter um nível CC nos LEDs. Como os estágios são independentes em suas operações, é possível aumentar a tensão de saída do CFP e permitir uma maior ondulação, diminuindo o capacitor a ser utilizado, o que pode ser compensado ativamente pelo estágio de CP. Em (DE MELO et al., 2015) é utilizado um conversor ressonante para o estágio de controle de potência, otimizado para reduzir a ondulação em baixa frequência transmitida para os LEDs, apresentando maior eficiência quando comparada ao estágio de conversão com comutação forçada. Contudo, com a inclusão de mais um estágio, ocorre duplo processamento de energia, o que pode ocasionar em uma redução na eficiência total do sistema. Além disso, o número de interruptores ativos é maior, resultando em maior custo e complexidade de controle (CAMPONOVARA, 2012).

Uma solução possível para o problema da complexidade de circuitos de acionamento de estágio independente é a integração dos estágios de potência, CFP e CP, utilizando alguma técnica de integração de conversores CC-CC, obtendo assim a topologia de duplo estágio integrado (ALONSO et al., 2012, 1998; ALONSO; CALLEJA; LOPEZ; et al., 1999; LUZ, PAULO. C. V. et al., 2014). O principal motivo para a integração é a redução de semicondutores ativos, o que implica em redução no custo e simplificação do circuito de controle. Porém, nesta solução um grau de liberdade é perdido, pois ambos os conversores devem ser operados na mesma frequência e razão cíclica, além de que os esforços de tensão ou corrente no interruptor compartilhado serão maiores, aumentando as perdas por comutação e condução.

Uma alternativa para compensar estas perdas é a utilização de conversores ressonantes no estágio CP, o que eleva consideravelmente a eficiência do circuito de acionamento integrado para mais de 90% (ALMEIDA, PEDRO S.; BRAGA; et al., 2015). Utilizando-se de conversão ressonante no estágio CP obtém-se alta eficiência e também redução na capacitância do filtro, o que permite a substituição de capacitores eletrolíticos por capacitores de filme (ALMEIDA, P.S. et al., 2013). Duas topologias CFP com alta eficiência e sem capacitores eletrolíticos são apresentadas em (DA FONSECA et al., 2016), entretanto, possuem elevado número de componentes e não permitem dimerização.

Outra técnica utilizada é a de processamento parcial de energia. Como o principal problema de se utilizar dois estágios é o processamento redundante de energia, a ideia desta

configuração é fazer com que parte da energia seja transmitida diretamente aos LEDs. O segundo conversor entra em ação apenas quando necessário para controlar a corrente nos LEDs e compensar a ondulação de baixa frequência (CAMPONOGARA, 2012).

Um dos modos para se utilizar esta configuração é empregando o segundo estágio apenas para compensar a ondulação de baixa frequência, armazenando energia na metade do ciclo e devolvendo para a carga na outra metade. A energia pode ser armazenada em um indutor ou capacitor, e o segundo conversor pode ser conectado em paralelo ou em série com a carga. Como o segundo estágio opera recebendo e devolvendo energia, deve ser implementado por um conversor bidirecional (GARCIA, J. et al., 2012). Outra forma para reduzir o processamento de energia é baseada na conexão da saída em série, onde a tensão de saída é composta pela soma da tensão do primeiro e do segundo estágio. Fazendo com que o segundo estágio processe uma razão menor da tensão, obtém-se um aumento na eficiência de conversão (CAMPONOGARA et al., 2015).

A técnica denominada *input current shaper* (ICS) também apresenta redução no processamento de energia. Diversos estudos foram realizados utilizando esta técnica para topologias CFP, principalmente aplicadas a reatores de lâmpadas fluorescentes (BRKOVIC; CUK, 1992; KORNETZKY; HUAI HEI; BATARSEH, 1997; QIAO; SMEDLEY, 2001; SEBASTIAN et al., 1998a, b). Seu uso em circuitos de alimentação de LEDs é relativamente novo (LAMAR, D. G. et al., 2014; LAMAR, D G et al., 2016; PEREIRA, G G et al., 2015; PEREIRA, GUILHERME G. et al., 2017), sendo a técnica escolhida para realizar o estágio CFP neste trabalho.

1.3 Resultados esperados

Através do uso de uma técnica de correção de fator de potência que apresenta processamento reduzido de energia, espera-se a obtenção de uma topologia com elevado rendimento e que atenda às normas citadas anteriormente. Além disso, com o uso de dois estágios integrados, almeja-se uma redução no valor da capacitância de barramento, permitindo um maior nível de ondulação da tensão de barramento, evitando-se deste modo o uso de capacitores eletrolíticos.

1.4 Delimitações do trabalho

Este trabalho está limitado à análise de uma topologia de circuito eletrônico para alimentação de LEDs utilizando a técnica ICS, consistindo de prévia revisão bibliográfica do

tema, apresentação do projeto do conversor, do sistema de controle e da obtenção de um protótipo experimental.

1.5 Organização da dissertação

Os demais capítulos desta dissertação estão estruturados da seguinte maneira:

No capítulo dois é apresentada a técnica de CFP denominada *input current shaper*, a qual é o foco deste trabalho. Os princípios básicos de funcionamento são apresentados, bem como uma revisão bibliográfica do estado da arte em topologias ICS. Uma nova abordagem que considera os efeitos de um elevado nível de ondulação na tensão de barramento é apresentada, com o princípio de funcionamento e as diretrizes para o projeto.

O terceiro capítulo apresenta a topologia proposta para alimentar os LEDs de potência, utilizando a técnica ICS. São apresentados os dois estágios e os conversores a serem utilizados em cada um, para então ser apresentada a topologia completa integrada e suas etapas de operação. O procedimento de projeto é apresentado, contendo as principais equações para projetar tanto o conversor que realiza o estágio de CFP quanto o de CP. Ao final do capítulo são apresentados resultados de simulação em ambiente de *software* do conversor projetado utilizando a metodologia apresentada.

O sistema de controle digital é apresentado no capítulo quatro, partindo da modelagem do conversor, para uma análise do sistema, metodologia de projeto do compensador e resultados de simulação.

Para fins de comprovação da viabilidade da topologia proposta, o quinto capítulo apresenta os resultados obtidos experimentalmente através do protótipo desenvolvido.

O sexto capítulo consiste nas conclusões gerais acerca do trabalho, bem como das sugestões para trabalhos futuros e dos trabalhos científicos publicados durante o desenvolvimento desta dissertação.

2 INPUT CURRENT SHAPER

Este capítulo trata da técnica de correção de fator de potência denominada de *Input Current Shaper*. Seu princípio de funcionamento é explicado, uma revisão sobre trabalhos publicados utilizando a técnica é feita e os parâmetros de projeto necessários são apresentados. Os requisitos para atender-se às normas também são abordados.

2.1 Introdução

Equipamentos eletrônicos são cada vez mais comuns, seja em aplicações residenciais, comerciais ou industriais. Sendo estes equipamentos operados em corrente contínua (CC) e conectados à rede elétrica em corrente alternada (CA), tem-se a necessidade do uso de retificadores CA-CC. Quando conectados à rede elétrica, estes equipamentos se comportam como cargas não-lineares. Com o aumento de cargas não-lineares, aumenta a quantidade de harmônicos de baixa frequência injetados na rede. Isto pode ocasionar em problemas como queda de tensão da rede, harmônicos circulando no neutro, sobreaquecimento nos transformadores e geradores, ruído de frequência audível e oscilações mecânicas em motores (MAÑAS, 2004).

A proliferação de cargas não-lineares fez com que os órgãos competentes criassem normas para regulamentar os limites do conteúdo harmônico. Isto motivou a busca por soluções de circuitos eletrônicos com conteúdo harmônico reduzido, ou circuitos com correção de fator de potência (CFP). Inúmeras são as soluções existentes para CFP, sendo inviável abordar todas em um só trabalho. Portanto, como dito anteriormente, este trabalho irá tratar especificamente da técnica ICS.

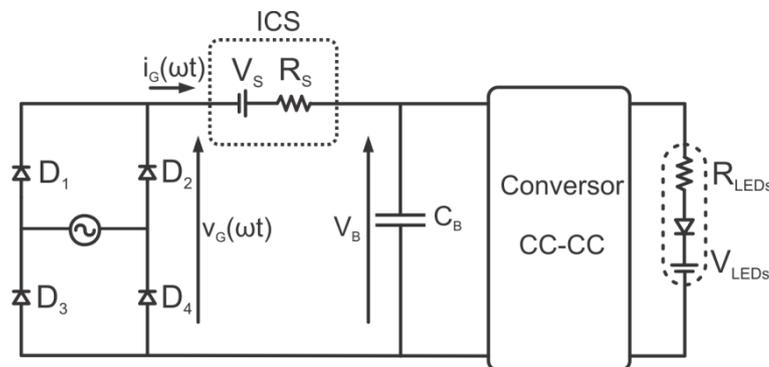
2.2 Princípios básicos

A técnica ICS baseia-se na inserção de um conversor em série, cujo modelo pode ser representado por uma fonte de tensão e um Resistor sem Perdas (RSP), entre a ponte retificadora de diodos e o capacitor de barramento. Com isto, aumenta-se o ângulo de condução dos diodos, tornando a carga do capacitor mais suave e aumentando o fator de potência (ALONSO; CALLEJA; RIBAS; LOPEZ; SEBASTIAN, 1999). Este RSP, também chamado de emulador de resistência, pode ser implementado utilizando conversores tradicionais com algumas modificações, ou através da adição de uma conexão na saída do conversor principal (CALLEJA et al., 1999a; HERNANDEZ et al., 2010; HERNANDO et al.,

1998; HUBER, L.; JOVANOVIC, 1997; QIAO; SMEDLEY, 2001; SEBASTIAN et al., 2002; SEBASTIAN; FERNANDEZ; et al., 2001; ZHANG et al., 2011).

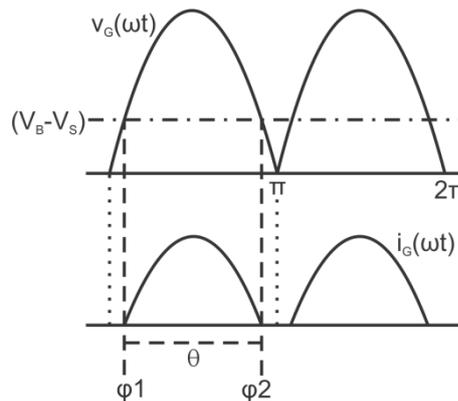
O circuito equivalente simplificado da ideia proposta pode ser visto na Figura 1. A fonte de tensão V_S e o RSP R_S representam o ICS. Quando a tensão retificada da rede $v_G(\omega t)$ é maior que a diferença entre a tensão V_B no capacitor de barramento C_B , e a tensão do ICS V_S , os diodos da ponte retificadora entram em condução e a corrente de entrada segue um comportamento próximo de uma senoide, como pode ser visto na Figura 2.

Figura 1 - Circuito equivalente simplificado do ICS tradicional



Fonte: Autor.

Figura 2 - Principais formas de onda do ICS tradicional



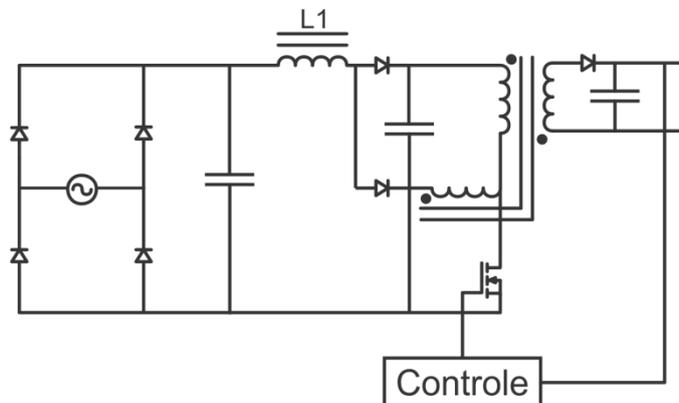
Fonte: Autor.

2.3 Revisão do ICS aplicado à iluminação

Um conversor *flyback* com um enrolamento extra no primário foi proposto por (FU-SHENG TSAI; MARKOWSKI; WHITCOMB, 1996), como ilustrado na Figura 3. Apesar de não ser utilizada a nomenclatura no artigo, o uso do indutor L_I nesta topologia configura a utilização de um conversor *boost* operando como ICS. Baseado nesta ideia, um *boost* podendo

operar tanto em Modo de Condução Descontínua (MCD) quanto em Modo de Condução Contínua (MCC) é utilizado como ICS em (HUBER, LASZLO; JOVANOVIC, 1997). Neste caso, um conversor *forward* operando em MCC é utilizado na saída. São utilizados dois enrolamentos auxiliares, com tensões opostas à da entrada, acoplados ao primário do indutor do *forward* a fim de se reduzir a tensão no barramento. Além disso, com um *forward* ou um *flyback* no segundo estágio, tem-se transferência direta de parte da energia para a saída através do enrolamento auxiliar em série com o indutor do boost. Apesar disso, ambos os casos apresentam baixos rendimentos, menores que 80%.

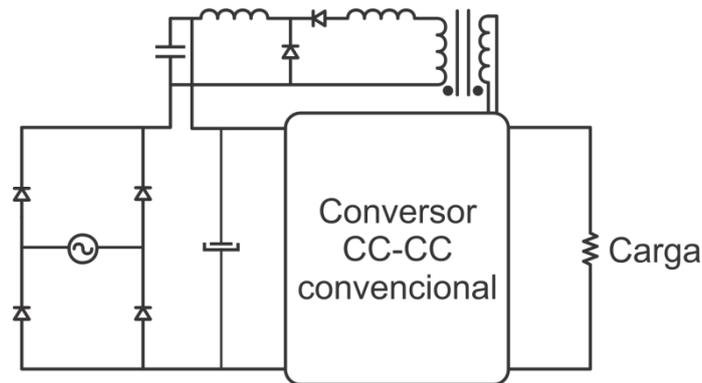
Figura 3 – Conversor *flyback* com enrolamento extra no primário



Fonte: (FU-SHENG TSAI; MARKOWSKI; WHITCOMB, 1996) adaptado.

Baseado no conceito da inserção de um RSP e uma fonte de tensão entre o capacitor de barramento e a ponte retificadora de diodos, o conversor *forward* com saídas atrasadas é proposto em (SEBASTIAN et al., 1998b) e (HERNANDO et al., 1998), como mostra a Figura 4. A ideia é incluir uma saída adicional ao transformador do conversor principal e conectá-la em série entre o capacitor e a ponte, configurando o ICS. A energia armazenada no “indutor atrasador” é transferida ao ramo de desmagnetização. A mesma topologia é estudada em (SEBASTIAN et al., 1999) para 4 projetos diferentes, verificando um compromisso entre o ângulo de condução dos diodos e a eficiência do conversor. Em (SEBASTIAN; FERNANDEZ; et al., 2001) é obtida uma melhora na eficiência, atingindo valores maiores de 90%. Ao invés do uso de um *flyback* ou um *forward* na saída, o uso de um *buck* é proposto por (FERNANDEZ et al., 1999). Como o conversor não apresenta indutor acoplado, foi adicionado um enrolamento auxiliar ao indutor do *buck*. A eficiência obtida é de 90%.

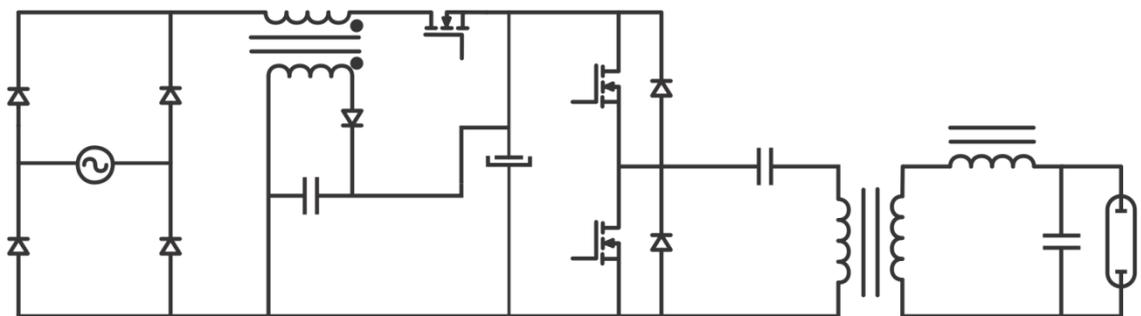
Figura 4 – Conversor *forward* com saídas atrasadas



Fonte: (SEBASTIAN et al., 1998b) adaptado.

O conceito de ICS começa a ser mais explorado em (ALONSO; CALLEJA; RIBAS; LOPEZ; SEBASTIAN, 1999), aplicado a reatores eletrônicos para lâmpadas fluorescentes. O conversor *forward* é utilizado como ICS, sendo obtida uma eficiência de 81%. Similarmente, em (ALONSO; CALLEJA; RIBAS; LOPEZ; RICO; et al., 1999) é utilizado um conversor *flyback* como ICS, conforme mostrado na Figura 5, obtendo 91% de eficiência. Ambos os casos são tratados também em (CALLEJA et al., 1999b), com uma melhora na eficiência do conversor *forward* (84%).

Figura 5 – Conversor *flyback* ICS aplicado a um reator eletrônico



Fonte: (ALONSO; CALLEJA; RIBAS; LOPEZ; SEBASTIAN, 1999) adaptado.

A fim de se reduzir o volume total dos dispositivos magnéticos, 4 novas topologias foram propostas por (SEBASTIAN; FERNANDEZ; VILLEGAS; HERNANDO; OLLERO, 2000; SEBASTIAN; FERNANDEZ; VILLEGAS; HERNANDO; PRIETO, 2000). Estas topologias baseiam-se no uso de retificadores de onda completa, ao invés de meia onda. São utilizados conversores simétricos na saída, como half-bridge, full-bridge e push-pull. Apesar da redução no volume dos magnéticos, baixos valores de eficiência foram obtidos, variando entre 75% e 85%. Uma boa comparação entre um conversor de estágio único usando uma das

topologias propostas nos trabalhos citados e um conversor de estágio duplo usando um *boost* é feita por (FERNANDEZ et al., 2001), mostrando melhora na eficiência.

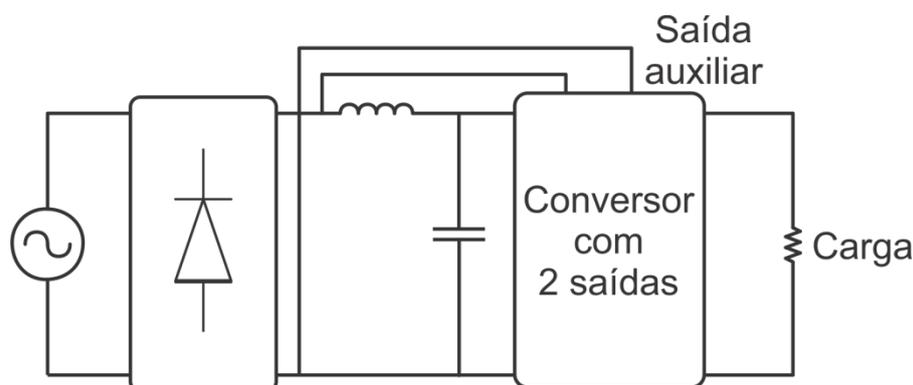
Um estudo similar aos anteriores, porém aplicado à conversores assimétricos (*forward*, *flyback*, SEPIC, etc.) é feito por (SEBASTIAN et al., 2002). As topologias de ICS são as mesmas 4 anteriores, porém agora aplicados a um conversor *flyback* na saída. Apesar da energia reciclada pelo ICS, a eficiência ainda é similar à dos casos anteriores, também mantendo a vantagem da redução dos magnéticos. Outras topologias removendo um dos indutores, bem como uma análise para diferentes fatores de qualidade é feita por (VILLAREJO et al., 2007).

Uma análise de diversas topologias baseadas no conversor *boost* como células de ICS com dois ou três terminais é feita por (HUBER, LASZLO et al., 2001; QIAO; SMEDLEY, 2001). A eficiência atingiu valores entre 80% e 84%.

Em (PONCE et al., 2002) é realizada a integração de um conversor *buck-boost* ICS com um inversor ressonante para alimentação de lâmpadas fluorescentes. A ideia baseia-se no conceito de RSP e fonte de tensão, porém com a resistência em paralelo com a ponte retificadora, ao contrário dos casos citados anteriormente. Através da integração dos conversores, foi possível eliminar o interruptor do conversor ICS, adicionando-se 4 diodos. Foi obtida uma alta eficiência (93%).

O uso da técnica ICS com o conversor em paralelo é apresentada em (HERNANDEZ et al., 2002; VAZQUEZ, N. et al., 2002). Nesta topologia, uma das saídas alimenta a carga e a saída auxiliar realiza o ICS, porém conectada em paralelo com a entrada, como ilustra a Figura 6. O circuito implementado utiliza um conversor *flyback* na saída, com um enrolamento auxiliar, funcionando similarmente a um conversor *forward*. Uma variação desta topologia utilizando um autotransformador é proposta por (VAZQUEZ, N. et al., 2004). Uma melhora na eficiência é obtida devido ao processamento parcial de energia (VAZQUEZ, N. et al., 2005). Em (VAZQUEZ, N. et al., 2008; VAZQUEZ, NIMROD et al., 2008) a mesma ideia é proposta, porém com operação em DCM. Os valores de eficiência variaram de 84% a 94%.

Figura 6 - Conversor ICS em paralelo



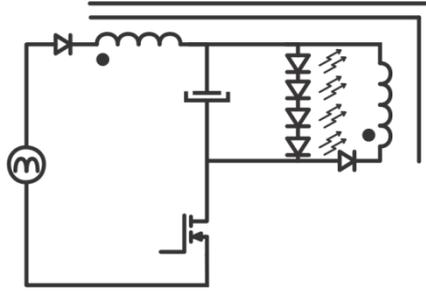
Fonte: (HERNANDEZ et al., 2002) adaptado.

Uma nova forma de se implementar um conversor *boost* como ICS é apresentada por (LON-KOU CHANG; HSING-FU LIU, 2003). A topologia baseia-se na substituição do indutor *boost* por um enrolamento auxiliar do conversor de saída, neste caso um *flyback*. Com isto, é possível reduzir-se o volume dos dispositivos magnéticos. Outras topologias baseadas nesta ideia são propostas em (LON-KOU CHANG; HSING-FU LIU, 2004), sendo implementado com um *forward* na saída.

Uma nova topologia utilizando um conversor *flyback* com uma saída auxiliar é proposta por (HAO MA; YUE JI; YE XU, 2009, 2010). Devido à transferência direta de energia, foram obtidos valores de eficiência entre 84% e 90%, dependendo da tensão de entrada e da carga.

O primeiro registro do uso do conceito de RSP para alimentação de LEDs é feito por (LAMAR, D. G. et al., 2014). Neste artigo, um *flyback* é utilizado como RSP, realizando tanto CFP quanto CP, sendo a topologia conforme Figura 7. A fim de que se garanta operação em MCD, operação em Modo de Condução Crítica (MCCr) é imposta no menor valor da tensão da rede e potência máxima. É obtida uma eficiência em torno de 90%, com simplicidade e baixo custo, porém é utilizado capacitor eletrolítico. O uso de um conversor CFP sem ponte como ICS seguido de um *half-bridge* é proposto por (CHENG et al., 2015), obtendo alta eficiência (93%), porém também com uso de capacitores eletrolíticos.

Figura 7 – Conversor *flyback* ICS de estágio único



Fonte: (LAMAR, D. G. et al., 2014) adaptado.

Similarmente ao que foi proposto em (SEBASTIAN et al., 1999), porém aplicado à LEDs, é proposta uma topologia utilizando enrolamentos auxiliares a partir do indutor acoplado do *flyback* em (LAMAR, DIEGO G et al., 2016). O foco deste trabalho é a eliminação do capacitor eletrolítico, o que é feito com sucesso. Porém, a eficiência obtida foi reduzida para 82%.

2.4 Projeto do ICS

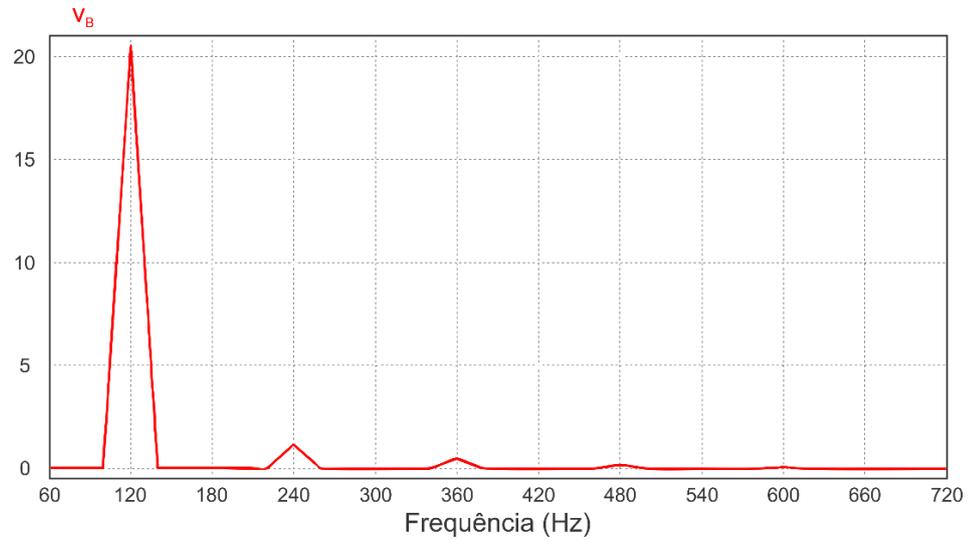
Um dos principais objetivos deste trabalho é substituir capacitores eletrolíticos por alguma tecnologia com maior vida útil através da redução dos valores de capacitância. Entretanto, esta redução na capacitância causa um aumento na ondulação de baixa frequência, ou *ripple*, da tensão de barramento. Portanto, a tensão de barramento não pode ser tratada como uma fonte de tensão constante V_B , mas sim como uma função que varia no tempo, $v_B(\omega t)$ (LAMAR, DIEGO G et al., 2016). Uma equação simplificada para $v_B(\omega t)$ é mostrada em (1), com uma aproximação por uma senoide com o dobro da frequência da rede e com ângulo de defasagem igual a zero. As componentes das frequências mais altas podem ser desprezadas, pois são filtradas por C_B , possuindo amplitudes reduzidas se comparadas à fundamental, como mostra a Figura 8.

$$v_B(\omega t) = V_B[1 - (r/2) \text{sen}(2\omega t)] \quad (1)$$

Onde r é o *ripple* relativo de tensão do barramento.

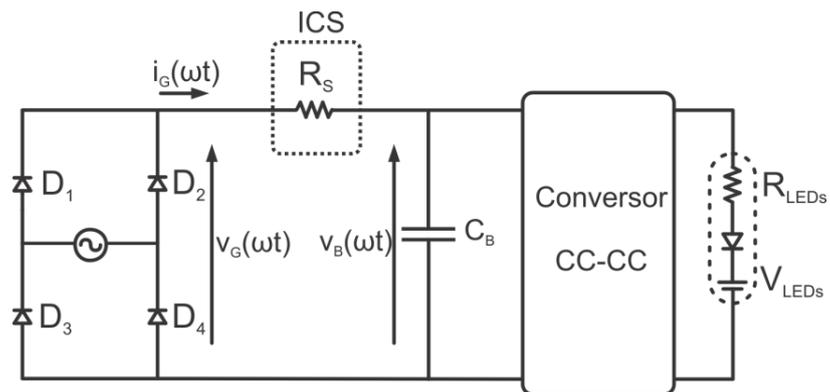
Nas análises que serão feitas posteriormente, V_S será considerado zero, pois o conversor a ser utilizado apresenta esta característica. Portanto, o circuito equivalente simplificado não será mais como o mostrado na Figura 1, mas sim como na Figura 9, tendo as formas de onda ilustradas na Figura 10.

Figura 8 - FFT da tensão de barramento



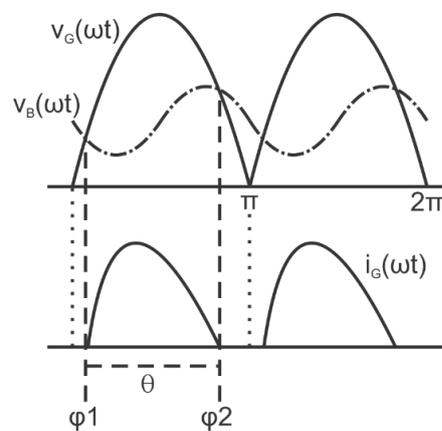
Fonte: Autor.

Figura 9 - Circuito equivalente simplificado do ICS



Fonte: Autor.

Figura 10 - Principais formas de onda do ICS



Fonte: Autor.

A equação (2) representa a tensão retificada da rede, onde V_G é o valor de pico da tensão da rede.

$$v_G(\omega t) = V_G |\text{sen}(\omega t)| \quad (2)$$

Então, a corrente de entrada retificada de um ICS dentro de meio período pode ser expressa como mostrado em:

$$i_G(\omega t) = \frac{v_G(\omega t) - v_B(\omega t)}{R_S} \quad (3)$$

Esta equação é válida apenas para o intervalo $[\varphi_1, \varphi_2]$ onde $v_G(\omega t)$ é maior que $v_B(\omega t)$.

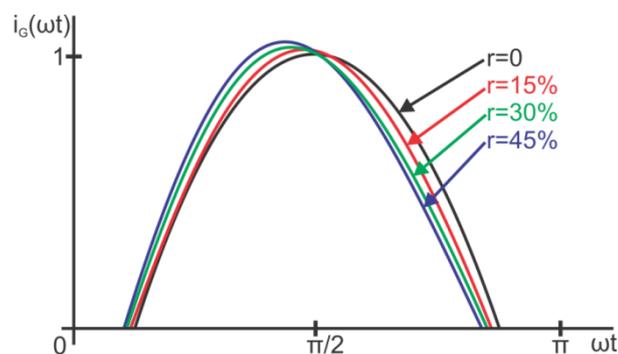
Os limites deste intervalo podem ser encontrados igualando (3) a zero:

$$v_G(\varphi_i) - v_B(\varphi_i) = 0 \quad (4)$$

Onde φ_i $i=1, 2$ são os ângulos limites do intervalo de condução, como mostrado na Figura 10.

Projetos tradicionais de ICS (CALLEJA et al., 1999b; HERNANDEZ et al., 2010; LAMAR, D. G. et al., 2014; PEREIRA, G G et al., 2015; SEBASTIAN et al., 1998a, 1999; SEBASTIAN; HERNANDO; et al., 2001) são baseados em um ângulo de condução θ mínimo a fim de que se cumpram as normas, particularmente a IEC 61000-3-2. Entretanto, V_B é considerado uma fonte de tensão CC constante nestes trabalhos, resultando em uma corrente de entrada em fase com a tensão da rede e perfeitamente senoidal neste intervalo, tendo seu valor de pico centrado em $\omega t = \pi/2$, conforme Figura 2. A Figura 10 ilustra o efeito de um elevado *ripple* na corrente de entrada do ICS. É possível notar que $i_G(\omega t)$ não está em fase com $v_G(\omega t)$, que seu valor de pico instantâneo está desviado para ângulos menores que 90° e ainda que a forma da corrente não é mais perfeitamente senoidal. Conforme pode ser visto na Figura 11, um elevado *ripple* na tensão de barramento causa uma mudança no θ , o que requer alguns ajustes no projeto.

Figura 11 - Distorção da corrente de entrada considerando o *ripple* da tensão de barramento



Fonte: Autor.

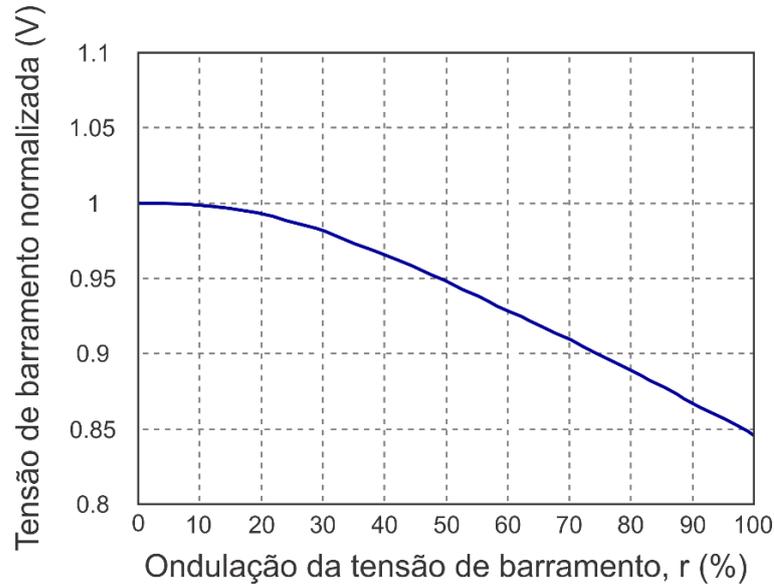
Os autores em (LAMAR, D G et al., 2016) apresentam uma análise desta distorção, porém não deixam claro como o *ripple* afeta o ângulo de condução mínimo que atende as regulações. Para que se possam satisfazer os requerimentos da norma IEC 61000-3-2, não é necessário atingir uma forma de onda de corrente de entrada perfeitamente senoidal e em fase com a tensão. Como comprovado por (CALLEJA et al., 1999a), um ângulo de condução maior que $129,1^\circ$ garante que todas as harmônicas de corrente irão atender os requerimentos da norma. Este valor de θ é encontrado comparando cada harmônica com seu respectivo limite da norma. Para este valor mínimo de θ , o FP seria 0,9 e a THD seria 30%. Para uma tensão da rede de $220 V_{RMS}$, o valor máximo de V_B para se obter este ângulo seria 134 V.

Contudo, a metodologia utilizada nessa análise considera V_B com *ripple* igual a zero. Conforme o *ripple* aumenta, o conteúdo harmônico da corrente de entrada também aumenta, como mostrado na Figura 11. Então, V_B deve ser reduzido a fim de que se mantenha dentro da norma, o que significa que quanto maior for o *ripple*, menor o valor médio da tensão de barramento deve ser. O procedimento para se obter o valor de V_B em função do *ripple* é o mesmo utilizado para se obter V_B sem considerar *ripple*. Estes valores foram obtidos comparando cada harmônica de (3) com o respectivo limite da norma matematicamente. O resultado é mostrado na Figura 12, onde valores médios normalizados de V_B estão em função do *ripple* r .

O gráfico mostra os pontos calculados e uma interpolação polinomial, resultando em (5). Esta equação representa o valor de tensão de barramento média normalizada em função do *ripple* $V_{Bn}(r)$ necessário para que se cumpra a norma. Este valor deve ser multiplicado pelo valor máximo permitido de V_B , obtido através de uma situação sem considerar o *ripple*, para que se cumpra a norma IEC 61000-3-2 Classe C. A metodologia para se encontrar o valor máximo de V_B é desenvolvida por (KIRSTEN, ANDRÉ, 2011).

$$V_{Bn}(r) = -0.098r^2 - 0.0665r + 1.0062 \quad (5)$$

Figura 12 - Valores máximos da tensão de barramento para diferentes valores de ripple



Fonte: Autor.

A potência média de entrada P_{IN} é dada por:

$$P_{IN} = \frac{1}{\pi} \int_{\varphi_1}^{\varphi_2} v_G(\omega t) i_G(\omega t) d\omega t \quad (6)$$

A partir de (3) e (6) pode-se obter a resistência necessária do ICS R_S :

$$R_S = \frac{1}{\pi P_{IN}} \int_{\varphi_1}^{\varphi_2} v_G(\omega t) [v_G(\omega t) - v_B(\omega t)] d\omega t \quad (7)$$

Esta metodologia é válida para qualquer ICS operando como um emulador de resistência.

2.5 Conclusão

Este capítulo apresentou a técnica de correção de fator de potência denominada *Input Current Shaper*. Foram apresentadas suas características básicas, princípio de funcionamento, equacionamento e uma revisão dos trabalhos existentes na literatura.

O conversor ICS, responsável pelo estágio CFP, deve possuir característica resistiva perante a fonte e ainda permitir redução no processamento de energia. Um conversor *flyback* operando em MCD e com uma pequena modificação na sua conexão possui estas características, conforme será apresentado no capítulo seguinte. Portanto, um conversor *flyback* é inserido entre a ponte retificadora e o capacitor de barramento, operando como RSP.

3 CONVERSOR FLYBACK-BUCK INTEGRADO

Neste capítulo é apresentada a topologia proposta para o circuito de acionamento dos LEDs, tanto do conversor que implementa a técnica ICS do estágio CFP, quanto do conversor que realiza o estágio CP. Serão apresentadas as etapas de operação, bem como a metodologia de projeto, com um exemplo de projeto e os resultados de simulação do conversor.

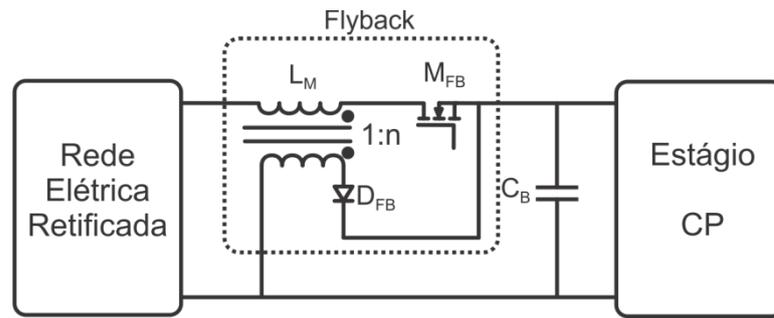
3.1 Introdução

A fim de que se possa fazer uma escolha aprimorada para cada estágio do circuito de acionamento, é necessário definir previamente quais os requisitos que este deverá cumprir. As condições, neste caso, são as seguintes:

- Alimentação através da rede elétrica, 220 V_{RMS} e 60 Hz;
- Tensão e corrente de saída apropriadas para alimentar um módulo com 2 LEDs de potência Bridgelux (BXRA-C4500) conectados em série, totalizando 105 W, 50 V e 2,1 A;
- Elevado fator de potência e baixo valor de THD, visando respeitar os limites das normas NBR16026 e IEC 61000-3-2 Classe C;
- Elevado rendimento (acima de 90%);
- Elevada vida útil, principalmente evitando o uso de capacitores eletrolíticos.

3.2 Estágio CFP

Conforme definido no capítulo anterior, o estágio CFP será realizado aplicando a técnica ICS, utilizando um conversor *flyback* operando em MCD. O conversor é inserido entre a ponte retificadora de diodos da entrada e o capacitor de barramento C_B , operando como um RSP. Uma modificação na conexão do conversor é feita, como pode ser visto na Figura 13. Desta forma, quando o interruptor M_{FB} está conduzindo, a energia é entregue diretamente à saída do conversor, ou seja, o conversor processa apenas parte da energia. Outra vantagem apresentada pelo *flyback* está relacionada à restrição da razão cíclica máxima que garante a operação em MCD. Através da relação de espiras do indutor acoplado, tem-se mais um grau de liberdade no projeto, ao contrário de outros conversores similares, como o *buck-boost*.

Figura 13 - Conversor *flyback* inserido na topologia

Fonte: Autor.

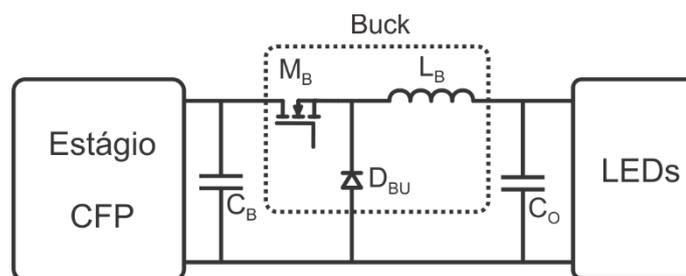
Este conversor operando em MCD, assumindo uma razão cíclica D e uma frequência de comutação f_s constantes, apresenta comportamento de uma carga resistiva perante a fonte de entrada. O valor desta resistência R_{FB} é dado pela equação (8), de onde se pode notar que variando a razão cíclica, varia-se o valor da resistência, a qual será a mesma resistência R_S do ICS. Para um flyback operando como ICS, a tensão CC equivalente V_S é igual à zero (CALLEJA et al., 2003).

$$R_{FB} = \frac{2f_s L_M}{D^2} \quad (8)$$

Onde L_M é a indutância do *flyback*.

3.3 Estágio CP

O estágio CP é responsável por suprir os LEDs com os níveis adequados de tensão e corrente. Sendo a tensão do módulo de LEDs utilizado igual a 50 V, um conversor com característica de redutor de tensão é necessário. Devido à sua simplicidade, é escolhido um conversor *buck*, também operando em MCD, conforme mostra a Figura 14. Este modo de operação foi escolhido pois permite um *ripple* reduzido na saída quando comparado ao MCC.

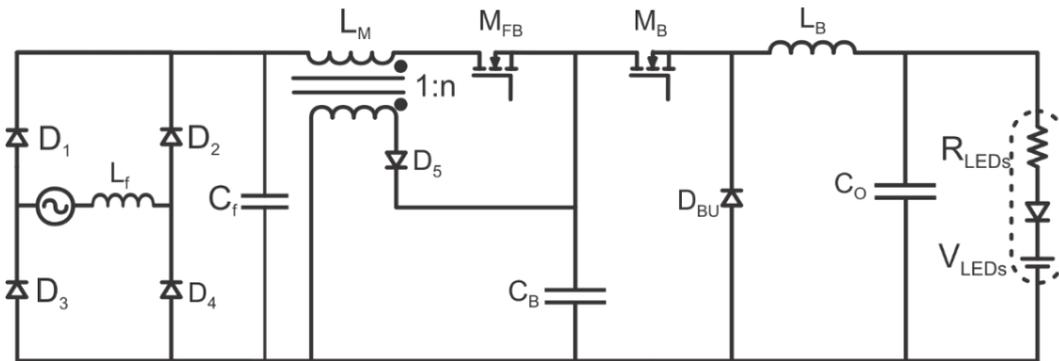
Figura 14 - Conversor *buck* inserido na topologia

Fonte: Autor.

3.4 Estágios CFP e CP integrados

A topologia contendo os dois estágios conectados independentemente é ilustrada na Figura 15. Ambos os estágios operam em MCD, na mesma frequência de comutação e razão cíclica.

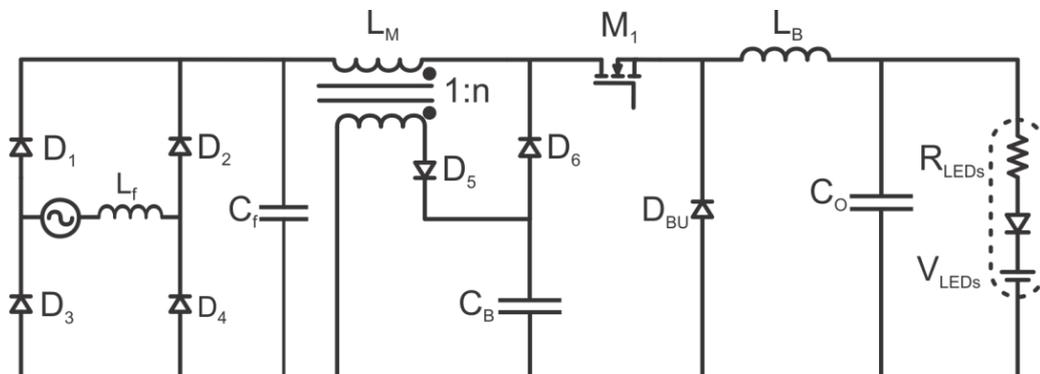
Figura 15 - Topologia proposta não integrada



Fonte: Autor.

Como se pode notar, esta topologia apresenta dois interruptores, um para cada conversor, o que não é desejável. Porém, como ambos estão conectados em um ponto comum e podem ser operados com a mesma frequência e razão cíclica, é possível realizar a integração dos dois conversores (WU; CHEN, 1998). O circuito equivalente da topologia integrada pode ser visto na Figura 16, obtendo-se assim a topologia proposta neste trabalho.

Figura 16 - Topologia proposta integrada



Fonte: Autor.

É importante salientar que esta solução não deve ser analisada da mesma forma que uma topologia de dois estágios em cascata, visto que o *flyback* apenas processa parte da energia, sendo que o restante é enviado diretamente para a saída através do conversor *buck*. Isso ocorre porque quando a chave M_1 está em condução, a potência é entregue diretamente ao *buck* e à carga. Quando a chave está bloqueada, apenas o *buck* alimenta a carga, fazendo com que a energia seja processada duas vezes. O rendimento neste caso é maior do que se fossem utilizados dois estágios (ALONSO; CALLEJA; RIBAS; LOPEZ; RICO; et al., 1999).

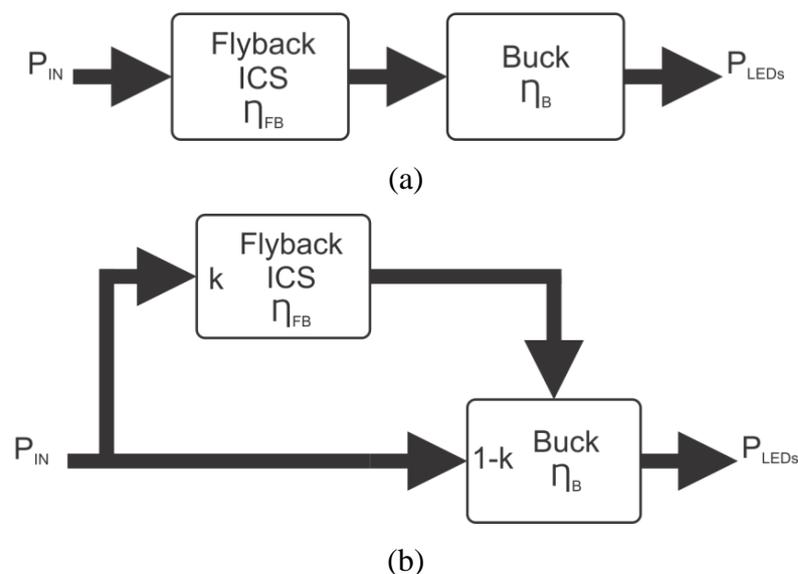
A eficiência total do conversor η_{TOTAL} é dada por:

$$\eta_{TOTAL} = \eta_B(1 - k) + \eta_F\eta_Bk \quad (9)$$

Onde η_B é a eficiência do *buck*, η_F é a eficiência do *flyback* e k é o fator de distribuição de potência, o qual dependerá da potência processada pelo conversor *flyback* (CALLEJA et al., 2003).

Em um conversor integrado comum em cascata, onde a energia é processada pelos dois estágios, o rendimento é dado simplesmente pela multiplicação das duas eficiências dos dois conversores. A Figura 17(a) ilustra o fluxo de potência para este caso. Tomando como exemplo dois conversores com 90% de rendimento, tem-se um rendimento total de 81%. No caso da topologia proposta, o fluxo de potência ocorre como ilustrado na Figura 17(b). Através de (9), para este mesmo exemplo, com $k=0,5$, encontra-se um rendimento de 85,5%, ou seja, uma melhora de 5,5%.

Figura 17 - Diagrama de distribuição de potência: (a) dois estágios independentes; (b) topologia proposta

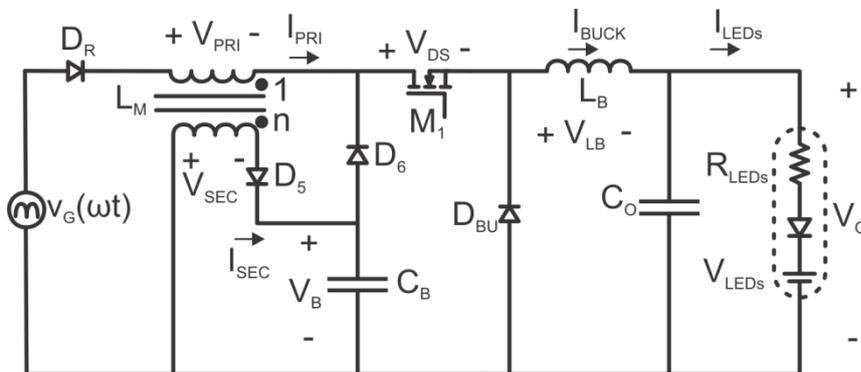


3.5 Etapas de operação

A topologia proposta apresenta dois modos de operação distintos, sendo um quando $v_G(\omega t)$ é menor que $v_B(\omega t)$ e outro quando $v_G(\omega t)$ é maior que $v_B(\omega t)$. A análise do princípio de operação a seguir considera apenas o segundo caso, pois no primeiro caso os diodos da ponte retificadora não estão em condução e não há corrente circulando pelo conversor *flyback*.

Para facilitar a explicação das etapas de operação, é realizada uma simplificação do circuito mostrado na Figura 16. A fonte de tensão CA e o filtro LC de entrada são representados por uma fonte de tensão senoidal retificada e a ponte retificadora de diodos é representada por um diodo em série D_R , como ilustra a Figura 18.

Figura 18 - Diagrama simplificado do circuito da topologia proposta



Fonte: Autor.

Em regime permanente, a topologia proposta apresenta quatro etapas de operação durante um ciclo de comutação. Como a frequência de comutação f_s é muito maior que a frequência da rede, a tensão de entrada é considerada constante durante cada período de comutação T_s . Além disso, os capacitores C_B e C_O podem ser considerados fontes de tensão CC constantes durante T_s . Todos os semicondutores são considerados ideais.

Os diagramas dos circuitos equivalentes e as principais formas de onda da topologia proposta durante um período de comutação são mostrados na Figura 19 e na Figura 20, respectivamente.

As quatro etapas de operação se dão da seguinte forma:

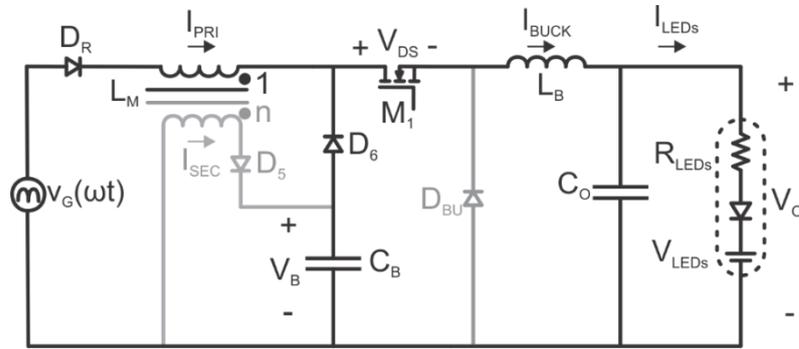
- **Etapas 1 ($t_0 - t_1$):** tem início quando M_1 entra em condução. D_6 entra em condução, enquanto D_5 e D_{bu} estão bloqueados. Como o valor de V_G é maior que V_B , D_R está em condução. Os indutores L_M e L_B estão sendo carregados linearmente a partir de zero, garantindo comutação em zero de corrente (ZCS,

do inglês *Zero Current Switching*) na entrada em condução de M_1 . Parte da energia está sendo diretamente transferida para a carga. O tempo de duração desta etapa é igual a DT_S , onde D é a razão cíclica. Em $t=t_1$, o semicondutor M_1 é bloqueado e esta etapa chega ao fim.

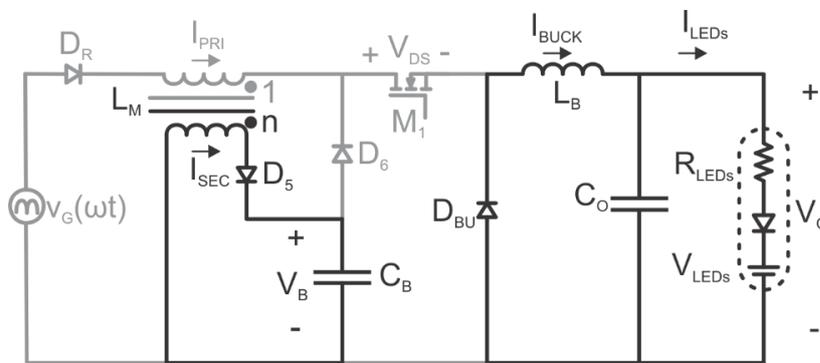
- **Etapa 2 ($t_1 - t_2$):** quando M_1 é bloqueado, D_6 para de conduzir, enquanto D_5 e D_{bu} estão diretamente polarizados. A energia armazenada em L_M é transferida para C_B através do enrolamento secundário. A energia armazenada em L_B é transferida para C_O e para os LEDs. Esta etapa acaba quando a corrente I_{SEC} atinge zero.
- **Etapa 3 ($t_2 - t_3$):** D_5 está bloqueado e apenas D_{bu} está em condução. A energia armazenada em L_B ainda está sendo transferida para C_O e para os LEDs. Esta etapa acaba quando I_{BUCK} atinge zero.
- **Etapa 4 ($t_3 - t_4$):** durante esta etapa, todos os dispositivos semicondutores estão bloqueados e a carga é alimentada por C_O . Esta etapa continua até o início do próximo ciclo de comutação, quando M_1 é ligado novamente.

É importante salientar que, dependendo dos parâmetros de projeto, o indutor do L_B pode se descarregar antes de L_M , alterando a etapa 3. Porém, isto não irá afetar o funcionamento do conversor como ICS. Neste trabalho, o conversor será projetado para funcionar conforme as etapas anteriormente.

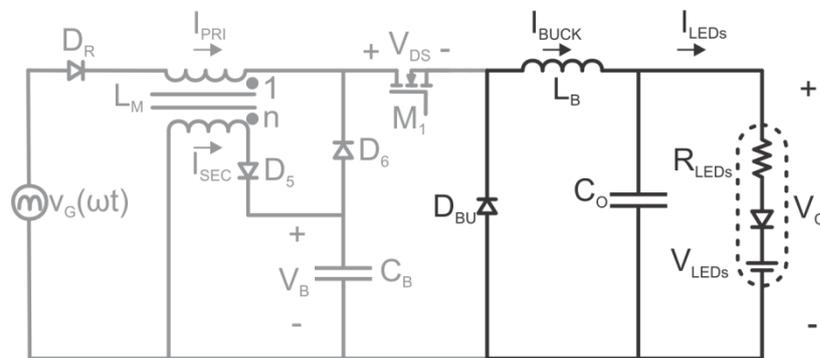
Figura 19 - Circuitos equivalentes de cada etapa de operação: (a) etapa 1; (b) etapa 2; (c) etapa 3; (d) etapa 4



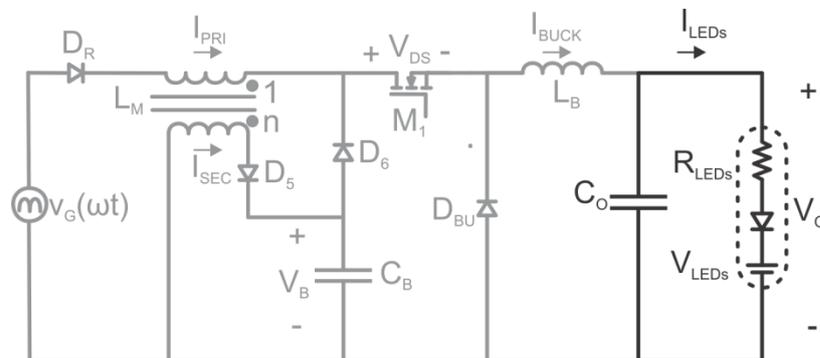
(a)



(b)

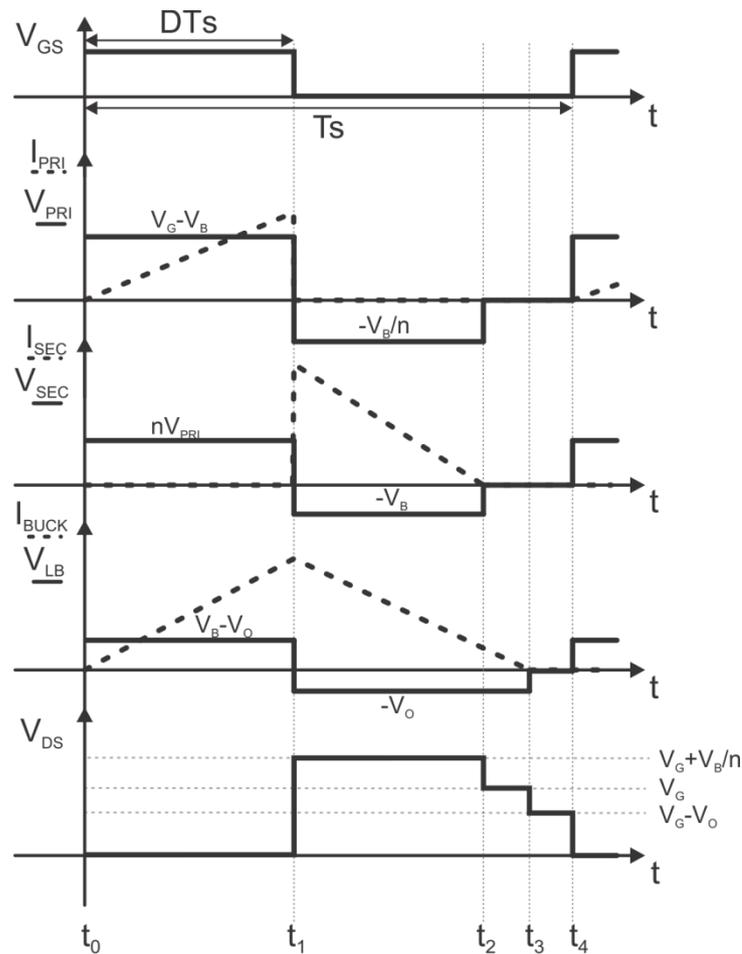


(c)



(d)

Figura 20 - Principais formas de onda do conversor proposto em um ciclo de comutação



Fonte: Autor.

3.6 Metodologia de projeto

Com base no que foi apresentado até este momento, esta seção tem como objetivo demonstrar os procedimentos para se realizar o projeto dos componentes da topologia proposta para implementação prática.

Em primeiro lugar, é necessário definir a tensão média de barramento V_B e o valor da ondulação de baixa frequência r que ela irá possuir. Conforme visto no capítulo anterior, o valor máximo possível de V_B , para uma situação sem ondulação, é multiplicado pelo valor de $V_{Bn}(r)$, dado por (5), de acordo com o r escolhido. Com isto, tem-se o valor máximo de V_B para o nível de ondulação desejado.

A fim de que se garanta a operação em MCD, é necessário que se obedeçam as restrições para razão cíclica D e para a relação de espiras do indutor acoplado do *flyback* n :

$$D < V_o/V_B \quad (10)$$

$$n < \frac{V_B}{V_{G_MAX} - V_B} \frac{1 - D}{D} \quad (11)$$

A resistência R_S necessária para o ICS, conforme definido anteriormente, é dada por (7). Esta resistência será igual à resistência R_{FB} do conversor *flyback*, definida por (8), de onde se pode definir o valor da indutância do *flyback* L_M :

$$L_M = R_S D^2 / 2f_s \quad (12)$$

O conversor *buck* operando em MCD possui uma resistência de entrada dada por:

$$R_{BUCK} = (V_B^2 - V_B V_O) / P_{BUCK} \quad (13)$$

Considerando a potência de entrada P_{BUCK} do *buck* igual à potência de saída do conversor P_O , é possível calcular a indutância necessária do indutor do *buck* L_B através de:

$$L_B = R_{BUCK} D^2 / 2f_s \quad (14)$$

Para o projeto do capacitor de barramento, leva-se em consideração a ondulação da tensão de barramento, a qual pode ser calculada através da carga ΔQ aplicada ao capacitor C_B , conforme:

$$\Delta V_B = \frac{\Delta Q}{C_B} = \frac{1}{2\omega C_B} \int_0^\pi |\hat{i}_B| d\omega t \quad (15)$$

Onde ω é a frequência angular da rede e \hat{i}_B é a componente CA da corrente de saída do ICS, a qual é filtrada por C_B .

A corrente \hat{i}_B pode ser encontrada subtraindo-se a corrente total de saída do ICS $i_B(\omega t)$, dada por (16), pelo seu valor médio I_B , dado por (17).

$$i_B(\omega t) = \frac{V_G^2 \sin(\omega t)^2 - V_G \sin(\omega t) v_B(\omega t)}{R_S v_B(\omega t)} \quad (16)$$

$$I_B = \frac{1}{\pi} \int_0^\pi i_B(\omega t) d\omega t \quad (17)$$

Então, o valor da capacitância de barramento pode ser encontrado por:

$$C_B = \frac{1}{2\omega \Delta V_B} \int_0^\pi |i_B(\omega t) - I_B| d\omega t \quad (18)$$

O capacitor de saída C_O é projetado para filtrar apenas a ondulação resultante da comutação em alta frequência, a qual é superposta à ondulação de baixa frequência da tensão de barramento, aumentando a ondulação de corrente dos LEDs. Seu valor é dado por:

$$C_O = (1 - D) / (8L_B \% \Delta V_O f_s^2) \quad (19)$$

Onde $\%V_O$ é a ondulação da tensão de saída relativa.

3.7 Exemplo de projeto

Nas seções anteriores foi apresentada a metodologia completa para o conversor ICS *flyback-buck* integrado. Esta seção tem como objetivo apresentar o projeto da topologia proposta que será implementada experimentalmente. A Tabela 1 resume as especificações para o projeto do conversor proposto.

Tabela 1 – Especificações de projeto do conversor proposto

Parâmetro	Símbolo	Valor
Tensão eficaz de entrada	V_{IN}	200-235 V _{RMS}
Frequência da rede	f_r	60 Hz
Tensão média de saída	V_O	50 V
Corrente média de entrada	I_{LEDs}	2,1 A
Potência média de saída	P_O	105 W
Frequência de comutação	f_s	100 kHz
Ondulação da tensão de barramento	r	50%
Ondulação da tensão de saída em alta frequência	$\Delta V_O(\%)$	1,5%

O circuito de alimentação será projetado para suprir dois LEDs Bridgelux (BXRA-C4500) de 25 V/ 2,1 A conectados em série, resultando em 105 W de potência de saída e 50 V de tensão de saída. Os LEDs utilizados são mostrados na Figura 21 e suas características são mostradas na Tabela 2. Uma frequência de comutação f_s de 100 kHz foi escolhida para fins de comparação com conversores similares (GACIO et al., 2011; SEBASTIAN et al., 1998a, 1999; STEVANOVIC; CUK, 1993; VAZQUEZ, NIMROD et al., 2008).

Figura 21 - LEDs utilizados



Fonte: (BRIDGELUX, 2012).

Tabela 2 – Parâmetros do LED

Parâmetro	Símbolo	Valor
Temperatura de cor correlata	CCT	5600 K (cool-white)
Fluxo luminoso nominal	Φ_{NOM}	5000 lm
Tensão nominal	V_{NOM}	25,4 V
Corrente nominal	I_{LEDs}	2,1 A
Tensão limiar total	V_{TH}	45 V
Resistência série total	R_{LEDs}	2,77 Ω

Fonte: (BRIDGELUX, 2012).

Como um dos objetivos do trabalho é a redução da capacitância de barramento, uma ondulação de 50% será permitida em C_B . De acordo com (5), para este valor de r , a tensão de barramento deve ser multiplicada por 0,948 para que se obtenha o valor máximo de V_B . Sem considerar a ondulação, o valor máximo de V_B seria 134 V para a tensão de entrada utilizada. Aplicando o fator multiplicador que leva em conta a ondulação, a tensão V_B máxima resultante é 127 V. Este é o maior valor permitido para a tensão média de barramento, com 50% de ondulação, que mantém o conversor operando na norma IEC 61000-3-2 Classe C. Portanto, considerando uma margem de segurança de aproximadamente 10%, define-se uma tensão de barramento média de 112 V, garantindo alto FP, baixa THD e cumprimento das normas.

Conforme dito anteriormente, este conversor será conectado diretamente à rede elétrica, tendo como tensão de entrada nominal de 220 V_{RMS}, admitindo-se uma variação de 200-235 V_{RMS}. Para o valor máximo de tensão de entrada (235 V_{RMS}) o valor de tensão de pico é $V_{G_MÁX}=331$ V.

A partir de (10) tem-se o valor máximo para a razão cíclica de 0,446, enquanto (11) resulta em uma relação de espiras máxima de 0,76. Portanto, é utilizada uma razão cíclica $D=0,4$ e uma relação de espiras $n=0,75$.

O valor do RSP, ou seja, da resistência R_S do ICS, é encontrado a partir de (7). Para uma potência de entrada de 105 W, considerando 100% de eficiência, $R_S=251$ Ω . Pode-se então calcular a indutância do *flyback* a partir de (12), resultando em $L_M=201$ μ H.

Considerando a potência de entrada do *buck* P_{BUCK} igual à potência de saída P_O , é possível calcular R_{BUCK} através de (13) e a indutância L_B por (14), resultando em 55,6 μ H.

O cálculo do capacitor de barramento é feito utilizando (18). Para uma ondulação relativa de 50%, o valor necessário para C_B é 60 μ F. É escolhido o valor comercial mais

próximo, 68 μF , o que permite o uso de um capacitor de filme. O capacitor de saída, para uma ondulação relativa de alta frequência de 1,5%, conforme (19), deve ser de 8,99 μF . Portanto, um capacitor de 10 μF é utilizado.

O filtro LC de entrada é projetado seguindo a metodologia apresentada em (KIRSTEN, ANDRÉ, 2011), considerando a frequência de corte de 1/10 da frequência de comutação e o fator de amortecimento 0,707. São obtidos os valores de $L_f=2,58$ mH e $C_f=100$ nF.

Um resumo dos valores dos parâmetros pode ser visto na Tabela 3.

Tabela 3 – Parâmetros do conversor proposto

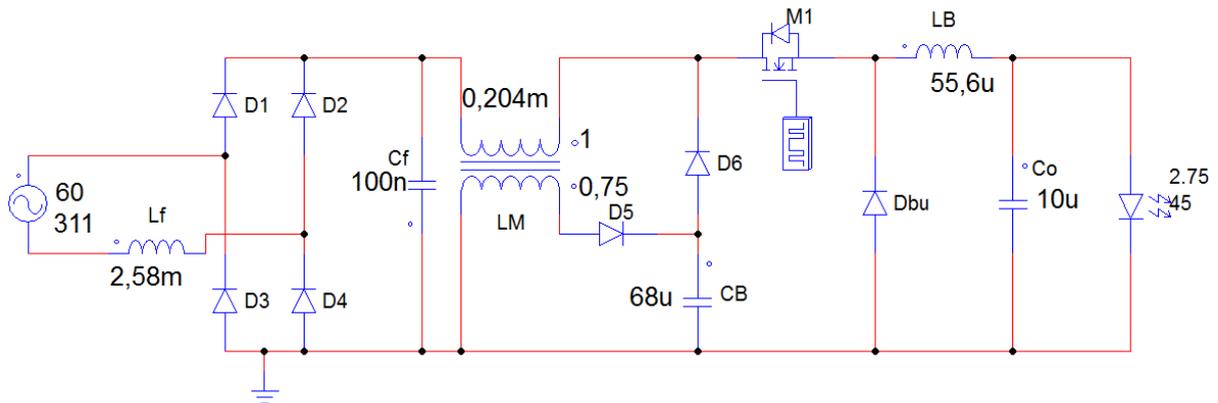
Parâmetro	Símbolo	Valor
Tensão média de barramento	V_B	112 V
Indutor de Filtro de Entrada	L_f	2,58 mH
Capacitor do Filtro de Entrada	C_f	100 nF
Indutância magnetizante	L_M	0,204 mH
Relação de espiras do <i>flyback</i>	$l:n$	0,75
Capacitor de Barramento	C_B	68 μF / 250 V
Capacitor de Saída	C_O	10 μF / 63 V
Indutor do Buck	L_B	55,6 μH
Razão Cíclica	D	0,4

3.8 Resultados de simulação

Para fins de validação da metodologia de projeto proposta, o conversor é simulado com os valores obtidos na seção anterior, para condições nominais de operação. Para simulação da carga é utilizado o modelo elétrico equivalente dos LEDs, com uma fonte de tensão, diodo ideal e resistência série, com os valores mostrados na Tabela 2. O esquemático do circuito simulado no *software* PSIM é mostrado na Figura 22.

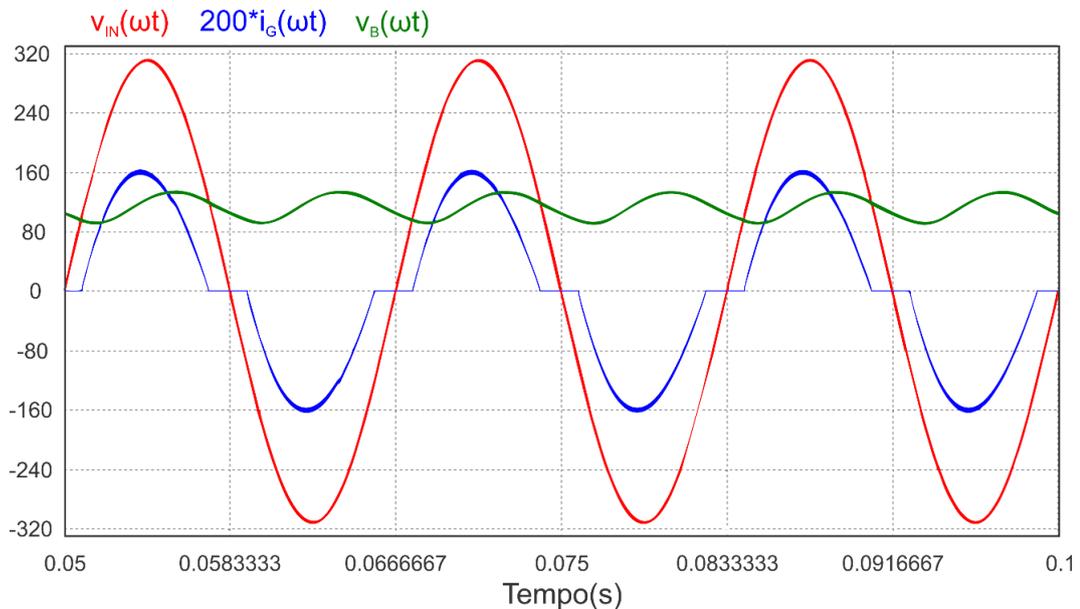
A Figura 23 mostra as formas de onda de tensão e corrente na entrada, bem como da tensão de barramento. É possível notar que a corrente de entrada apresenta o comportamento esperado conforme apresentado no Capítulo 2, praticamente em fase com a tensão, atingindo um FP de 0,97. A tensão de barramento apresenta o valor médio de 112 V, com um nível de ondulação de aproximadamente 50%.

Figura 22 - Esquemático do circuito simulado



Fonte: Autor.

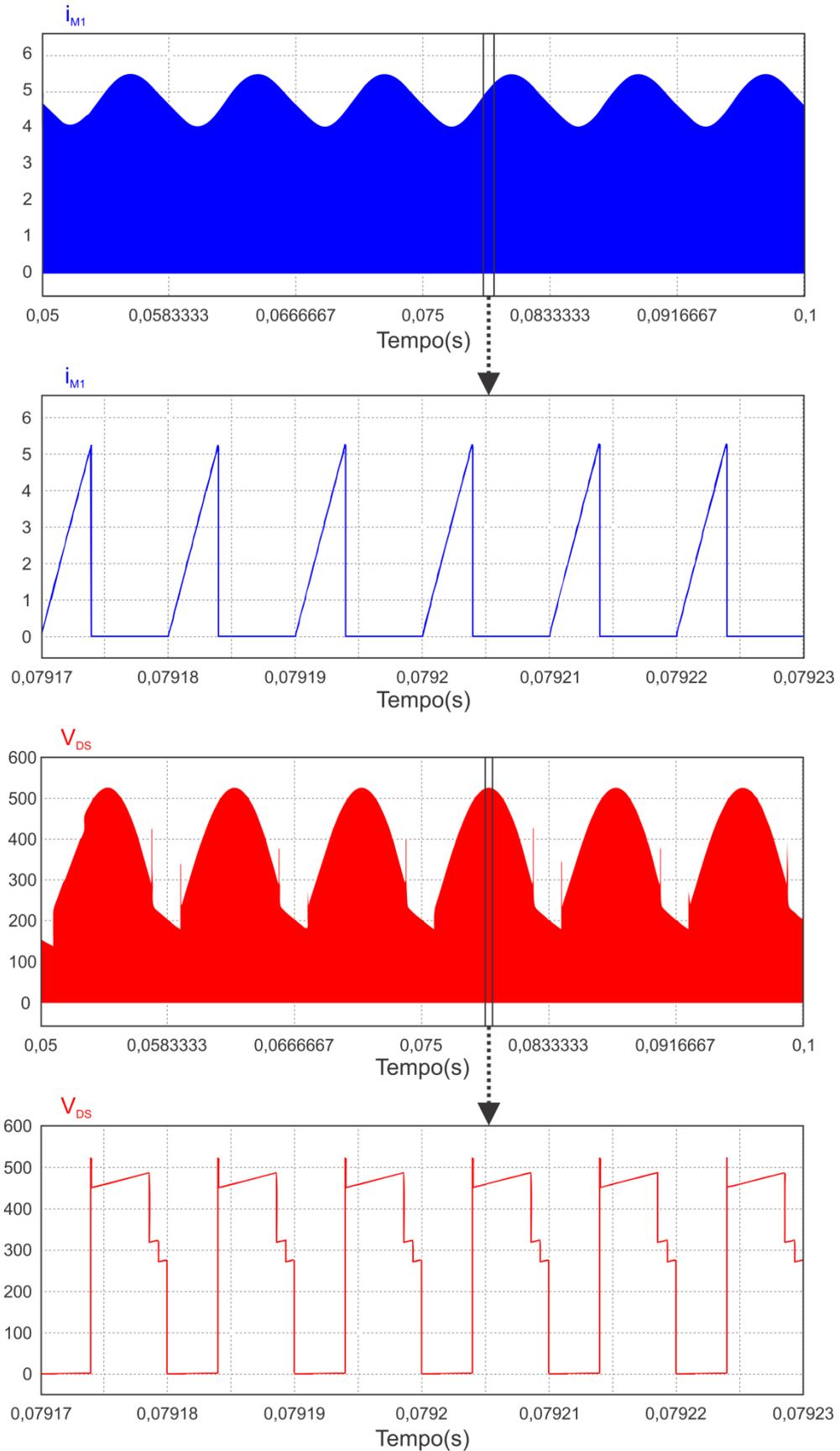
Figura 23 - Resultados de simulação para entrada e tensão de barramento



Fonte: Autor.

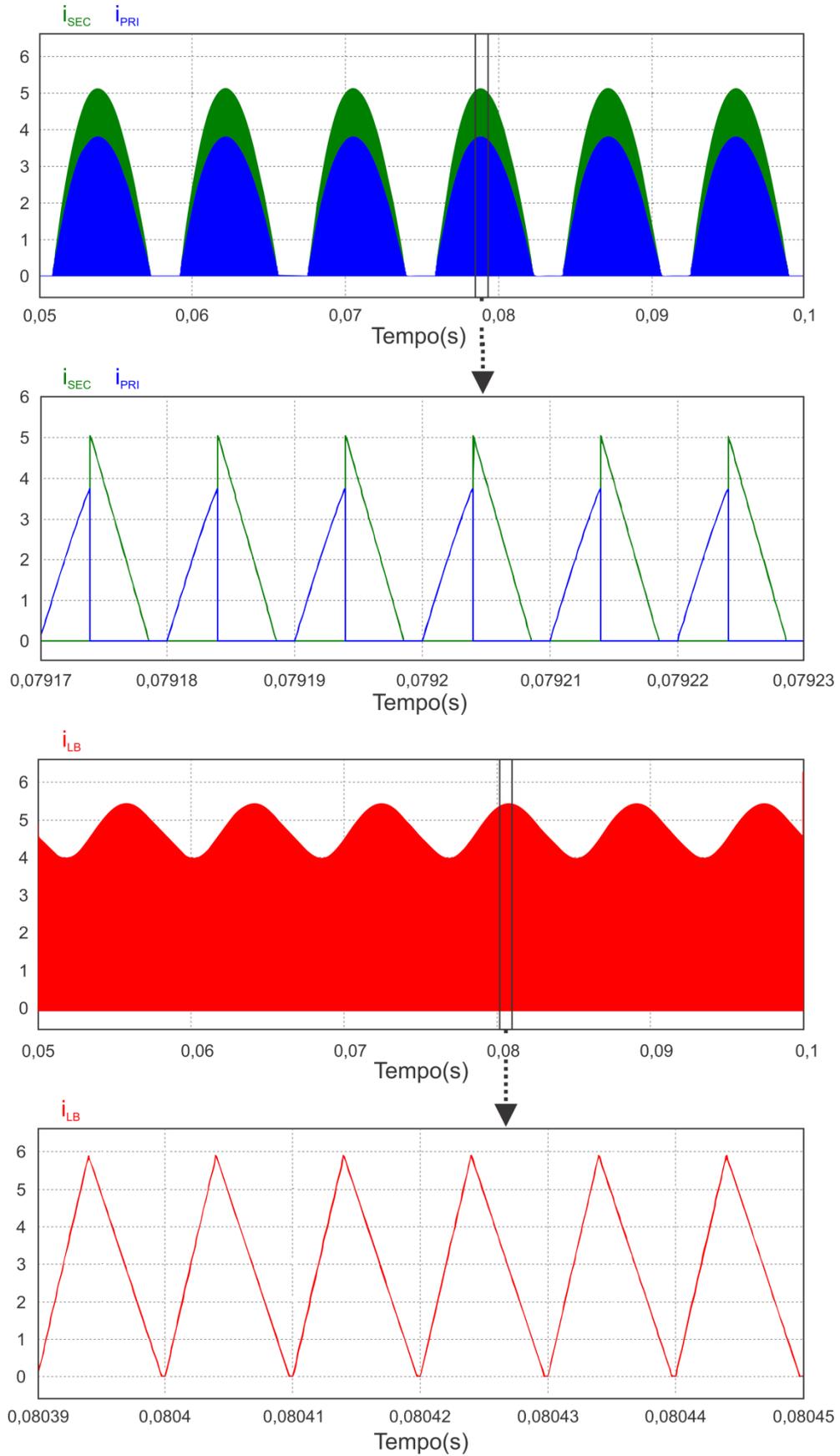
A Figura 24 mostra as formas de onda de corrente e tensão no interruptor e a Figura 25 mostra a corrente nos indutores L_M e L_B . No interruptor, os valores máximos de tensão e corrente obtidos foram 511 V e 5,5 A, respectivamente, com uma corrente eficaz de 1,74 A. Através das formas de onda em alta frequência das correntes em ambos indutores, é possível notar que os indutores estão sendo completamente descarregados antes do final de cada ciclo de comutação. Isto caracteriza a operação dos conversores em MCD.

Figura 24 - Resultados de simulação para o interruptor



Fonte: Autor.

Figura 25 - Resultados de simulação para os indutores *flyback* e *buck*



Fonte: Autor.

3.9 Esforços nos semicondutores

Esta seção tem como objetivo a obtenção dos valores necessários para a escolha correta dos dispositivos semicondutores. Os valores de interesse são o valor eficaz de corrente no semicondutor ativo (interruptor), o valor médio de corrente para os semicondutores passivos (diodos) e a tensão de pico para ambos.

Para o cálculo do valor eficaz da corrente no interruptor, faz-se a raiz da soma da média quadrática em cada período de comutação. O número de períodos de comutação em alta frequência ocorridos durante a metade de um ciclo da rede NC é dado por (20).

$$NC = \frac{T_R}{2 \cdot T_S} \quad (20)$$

Onde T_R é o período da tensão da rede.

A equação que define o valor da corrente eficaz no interruptor M_I é dada por (21).

$$I_{M1(ef)} = \sqrt{\frac{2}{T_R} \sum_{N=1}^{NC} \int_0^{DT_S} \left[\frac{V_B - \frac{r}{2} V_B \sin\left(\frac{4\pi f_{rede} N}{f_s}\right) - V_O}{L_{BUCK}} t \right]^2 dt} = 1,8 A \quad (21)$$

A tensão máxima aplicada ao interruptor é dada por (22).

$$V_{DS(pk)} = V_G + \frac{V_B + \frac{r}{2} \cdot V_B}{n} = 497 V \quad (22)$$

As equações utilizadas para encontrar os valores de projeto dos elementos semicondutores passivos são mostradas na Tabela 4. A Tabela 5 apresenta uma comparação entre os valores calculados e os valores obtidos em simulação, demonstrando a conformidade das especificações para os semicondutores passivos.

Tabela 4 – Especificações para os semicondutores passivos

Diodos	Corrente média	Tensão máxima
$D_1 - D_4$	$\frac{1}{2\pi} \int_0^\pi i_G(t) dt$	V_G
D_5	$\frac{1}{\pi} \int_{\varphi_1}^{\varphi_2} \left[\frac{(v_G(t) - v_B(t))^2 D^2}{2L_M v_B(t) f_s} \right] dt$	$(V_G - V_B)n + V_B$
D_6	$\frac{1}{\pi} \int_{\varphi_1}^{\varphi_2} \left[\frac{(v_G(t) - v_B(t))^2 D^2}{2L_M v_B(t) f_s} \right] dt$	$\frac{V_B}{n} + V_G - V_B$
D_{bu}	$\frac{1}{\pi} \int_0^\pi \left[\frac{(v_B(t) - V_O)^2 D^2}{2 \cdot L_{BUCK} V_O f_s} \right] dt$	$V_B + \frac{r}{2} \cdot V_B$

Tabela 5 – Esforços nos semicondutores passivos

Semicondutor	Corrente média		Tensão máxima	
	Teórico	Simulado	Teórico	Simulado
$D_1 - D_4$	195 mA	203 mA	331 V	331 V
D_5	575 mA	538 mA	261 V	280 V
D_6	575 mA	526 mA	349 V	361 V
D_{bu}	1,27 A	1,2 A	140 V	133 V

3.10 Conclusão

Este capítulo apresentou o conversor proposto, sendo definidos os conversores *flyback* e *buck* para realização dos estágios CFP e CP, respectivamente. Ambos os conversores são integrados através do interruptor compartilhado, o que reduz o número de dispositivos semicondutores ativos. Seu princípio de funcionamento foi descrito com uma explicação de cada etapa de operação.

A metodologia de projeto foi apresentada, com projeto detalhado dos componentes. Foi apresentado um exemplo de projeto, com posterior comprovação do funcionamento através de simulações. Com a possibilidade de se permitir um maior nível de ondulação de baixa frequência no barramento, foi possível utilizar um valor reduzido de capacitância, o que, combinado a um valor relativamente baixo de tensão, resulta em menor volume do elemento capacitivo. Além disso, pode-se evitar o uso de capacitores eletrolíticos. Finalmente, as equações para dimensionamento dos dispositivos semicondutores foram obtidas e comprovadas por simulação.

O próximo capítulo apresenta a modelagem da topologia proposta e o projeto do seu sistema de controle.

4 MODELAGEM E CONTROLE DA TOPOLOGIA PROPOSTA

O objetivo deste capítulo é apresentar a modelagem e o controle do conversor integrado *flyback-buck* proposto. A modelagem é realizada através do modelo médio da chave modulada por largura de pulso (PWM, do inglês *Pulse Width Modulation*). Para o controle da corrente de saída do conversor, é utilizado um controlador Proporcional-Integral (PI) implementado digitalmente. A validação da modelagem e o funcionamento do sistema de controle são comprovados através de simulação.

4.1 Introdução

Um conversor aplicado à iluminação deve ser responsável por manter a intensidade luminosa constante, sem variações indesejadas. Devido à sua baixa resistência série, os LEDs apresentam uma alta sensibilidade na variação da corrente para variações na tensão aplicada. Portanto, para evitar que pequenas variações paramétricas ou perturbações no sistema ocasionem variações na intensidade luminosa dos LEDs, é necessário um sistema de controle que mantenha o valor médio da corrente nos LEDs constante.

A forma convencional para a realização deste controle é baseada na realimentação da variável de interesse, neste caso a corrente nos LEDs. Compara-se o valor desta variável com um valor de referência, o que gera um erro, ou seja, uma diferença entre o valor medido e o valor desejado. Este erro é então processado por um sistema de compensação que tem como objetivo atuar no conversor para anular este erro.

O projeto do controle será feito para os parâmetros apresentados no Capítulo 3. O sistema de controle deverá manter o valor médio da corrente dos LEDs independente das variações na tensão da rede. Os limites de variação da tensão de entrada foram definidos baseados na Portaria nº 389 do INMETRO (INMETRO, 2014), que define uma variação de 92-106% da tensão de entrada nominal. Isto resulta em uma variação de 202-233 V, portanto foi definido um limite de 15 V superior e 20 V inferior.

4.2 Modelagem

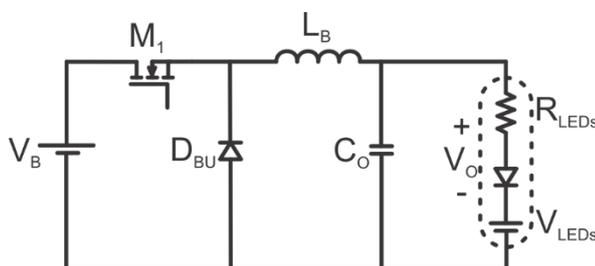
A fim de que se possa projetar corretamente o sistema de controle, é necessário que se conheça o comportamento das variáveis de saída para variações nas variáveis de entrada. As variáveis de saída são aquelas a serem controladas, neste caso a corrente nos LEDs. As

variáveis de entrada são as variáveis de controle, aquelas utilizadas para controlar o conversor, neste caso a razão cíclica. Esta relação pode ser encontrada através da modelagem do conversor, onde se obtém um modelo matemático, geralmente no domínio da frequência na forma de funções de transferência (FT).

Ainda que o conversor possua dois estágios diferentes integrados, estes operam de forma independente, ou seja, estão desacoplados. O estágio CP é similar a uma carga para o estágio CFP, enquanto o estágio CFP opera como uma fonte de tensão para o estágio CP. Portanto, é possível simplificar a saída do estágio CFP por uma fonte de tensão com valor igual à tensão V_B , realizando a modelagem apenas do estágio CP. Esta simplificação é possível, pois, em topologias integradas onde o estágio CFP opera em MCD, a tensão de barramento não depende da razão cíclica (DALLA COSTA, 2008).

O objeto da modelagem será, então, apenas o conversor CP, ou seja, o conversor *buck*, conforme mostra a Figura 26. Para a carga é considerado o modelo elétrico equivalente dos LEDs.

Figura 26 - Circuito simplificado para a modelagem



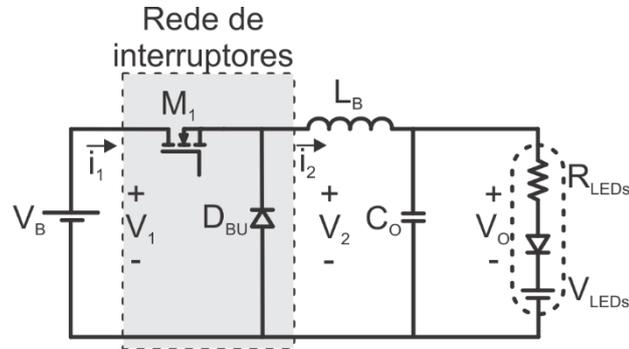
Fonte: Autor.

A técnica de modelagem baseada no modelo médio da chave PWM é vastamente utilizada para conversores operando em MCD (BENDER, 2012; DA LUZ, PAULO CESAR, 2013; KIRSTEN, ANDRÉ, 2011; MENKE, 2016), obtendo-se uma representação muito próxima da realidade para o comportamento dinâmico dos conversores. Esta técnica consiste na substituição da rede de interruptores do circuito por fontes dependentes de tensão e corrente que representam os valores médios de tensão e corrente nestes interruptores (ERICKSON; MAKSIMOVIĆ, 2001). O modelo completo é composto pelo modelo médio e pelo modelo CA de pequenos sinais.

Neste método, deve-se definir os terminais associados aos interruptores controlados e não-controlados (diodos), conforme Figura 27. O interruptor é modelado por um RSP equivalente R_e . O diodo é modelado por uma fonte de potência dependente da potência que

seria dissipada por R_e (ERICKSON; MAKSIMOVIĆ, 2001). O terminal 1 é identificado por V_1 e i_1 , e o terminal 2 é identificado por V_2 e i_2 .

Figura 27 - Conversor buck com rede de interruptores



Fonte: Autor.

Calcula-se, em primeiro lugar, o valor médio das formas de onda nos terminais 1 e 2. O valor médio da tensão na porta 1 é igual à tensão média da fonte V_B , conforme (23). Como a tensão média sobre o indutor é nula, tem-se que a tensão média da porta 2 é igual a tensão média de saída V_O do conversor, conforme (24).

$$\langle v_1(t) \rangle_{T_S} = V_B \quad (23)$$

$$\langle v_2(t) \rangle_{T_S} = V_O \quad (24)$$

O cálculo da corrente média na porta 1 é dado da seguinte forma:

$$\langle i_1(t) \rangle_{T_S} = \frac{i_{pk} \cdot d_1(t)}{2} \quad (25)$$

Onde $d_1(t)$ é o valor da razão cíclica e o valor de pico da corrente é dado por:

$$i_{pk} = \frac{\langle v_1(t) \rangle_{T_S} \cdot d_1(t) \cdot T_S}{L_B} \quad (26)$$

Assim, combinando (25) e (26), tem-se a corrente média na porta 1:

$$\langle i_1(t) \rangle_{T_S} = \frac{\langle v_1(t) \rangle_{T_S} \cdot d_1(t)^2 \cdot T_S}{2 \cdot L_B} \quad (27)$$

Para o cálculo da corrente média na porta 2, utiliza-se:

$$\langle i_2(t) \rangle_{T_S} = \frac{i_{pk} \cdot d_2(t)}{2} \quad (28)$$

Onde $d_2(t)$ é obtido através do balanço de tensão sobre o indutor L_B :

$$d_2(t) = \frac{\langle v_1(t) \rangle_{T_S}}{\langle v_2(t) \rangle_{T_S}} d_1(t) \quad (29)$$

Desta forma, a corrente média na porta 2 é dada por:

$$\langle i_2(t) \rangle_{T_S} = \frac{\langle v_1(t) \rangle_{T_S}^2}{\langle v_2(t) \rangle_{T_S}} \cdot \frac{d_1(t)^2 \cdot T_S}{2 \cdot L_B} \quad (30)$$

O interruptor do circuito será representado através de R_e , que pode ser definido como:

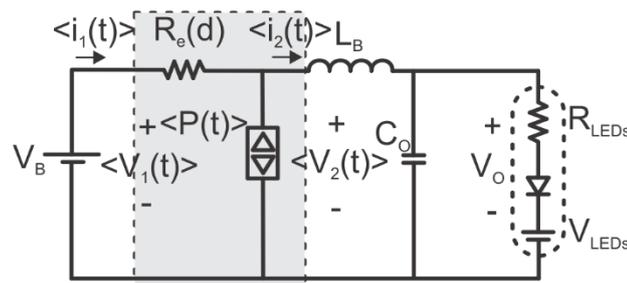
$$R_e = \frac{\langle v_1(t) \rangle_{T_S}}{\langle i_1(t) \rangle_{T_S}} = \frac{2 \cdot L_B}{D^2 \cdot T_S} \quad (31)$$

Para a representação do diodo, utiliza-se uma fonte de potência obtida pela seguinte equação:

$$\langle P_{out}(t) \rangle_{T_S} = \langle i_2(t) \rangle_{T_S} \cdot \langle v_2(t) \rangle_{T_S} = \frac{\langle v_B(t) \rangle_{T_S}^2}{R_e} \quad (32)$$

É possível provar, através desta equação, que a potência de saída independe da carga na modelagem deste conversor operando em DCM. O modelo médio resultante do conversor é mostrado na Figura 28.

Figura 28 - Modelo médio do conversor



Fonte: Autor.

Para a obtenção do modelo CA de pequenos sinais é necessário que o modelo médio seja perturbado, pois a perturbação deste modelo demonstra que o mesmo é não linear. Desta forma, torna-se necessário a linearização do modelo para a utilização de técnicas tradicionais de controle. As equações que representam as perturbações nos sinais do modelo médio são apresentadas abaixo:

$$\begin{aligned} \langle v_1(t) \rangle_{T_S} &= V_1 + \hat{v}_1(t) \\ \langle i_1(t) \rangle_{T_S} &= I_1 + \hat{i}_1(t) \\ \langle v_2(t) \rangle_{T_S} &= V_2 + \hat{v}_2(t) \\ \langle i_2(t) \rangle_{T_S} &= I_2 + \hat{i}_2(t) \\ d(t) &= D + \hat{d}(t) \end{aligned} \quad (33)$$

Considerando a equação da corrente de entrada como uma função da tensão de entrada, de saída e razão cíclica, obtém-se:

$$\langle i_1(t) \rangle_{T_S} = \frac{\langle v_1(t) \rangle_{T_S}}{R_e(D)} = f_1(\langle v_1(t) \rangle_{T_S}, \langle v_2(t) \rangle_{T_S}, d(t)) \quad (34)$$

Através da série de Taylor, é possível expandir a equação acima em torno do ponto de operação (V_1, V_2, D) . A equação abaixo demonstra esta expansão, onde os termos de ordem superior já estão eliminados.

$$I_1 + \hat{i}_1 = f_1(V_1, V_2, D) + \hat{v}_1(t) \left. \frac{\partial f_1(V_1, V_2, D)}{\partial v_1} \right|_{v_1=V_1} + \hat{v}_2(t) \left. \frac{\partial f_1(V_1, V_2, D)}{\partial v_2} \right|_{v_2=V_2} + \hat{d}(t) \left. \frac{\partial f_1(V_1, V_2, D)}{\partial d} \right|_{d=D} \quad (35)$$

Sendo os termos CC e CA dados pelas seguintes equações:

$$I_1 = f_1(V_1, V_2, D) = \frac{V_1}{R_e(D)} \quad (36)$$

$$\hat{i}_1(t) = \hat{v}_1(t) \frac{1}{r_1} + \hat{v}_2(t) g_1 + \hat{d}(t) j_1 \quad (37)$$

Onde:

$$g_1 = \left. \frac{\partial f_1(V_1, V_2, D)}{\partial v_2} \right|_{v_2=V_2} = 0 \quad (38)$$

$$\frac{1}{r_1} = \left. \frac{\partial f_1(V_1, V_2, D)}{\partial v_1} \right|_{v_1=V_1} = \frac{1}{R_e(D)} \quad (39)$$

$$j_1 = \left. \frac{\partial f_1(V_1, V_2, D)}{\partial d} \right|_{d=D} = \frac{V_1 D T_S}{L_B} \quad (40)$$

De maneira análoga, considera-se a corrente $i_2(t)$ dada pela equação (41), seguida de sua representação pela série de Taylor em (42):

$$\langle i_2(t) \rangle_{T_S} = \frac{\langle v_1(t) \rangle_{T_S}^2}{\langle v_2(t) \rangle_{T_S} \cdot R_e(D)} = f_2(\langle v_1(t) \rangle_{T_S}, \langle v_2(t) \rangle_{T_S}, d(t)) \quad (41)$$

$$I_2 + \hat{i}_2 = f_2(V_1, V_2, D) + \hat{v}_1(t) \left. \frac{\partial f_2(V_1, V_2, D)}{\partial v_1} \right|_{v_1=V_1} + \hat{v}_2(t) \left. \frac{\partial f_2(V_1, V_2, D)}{\partial v_2} \right|_{v_2=V_2} + \hat{d}(t) \left. \frac{\partial f_2(V_1, V_2, D)}{\partial d} \right|_{d=D} \quad (42)$$

O termo CC e CA são apresentados abaixo:

$$I_2 = f_2(V_1, V_2, D) = \frac{V_1^2}{V_2 R_e(D)} \quad (43)$$

$$\hat{i}_2(t) = \hat{v}_1(t) g_2 + \hat{v}_2(t) \frac{1}{r_2} + \hat{d}(t) j_2 \quad (44)$$

Onde:

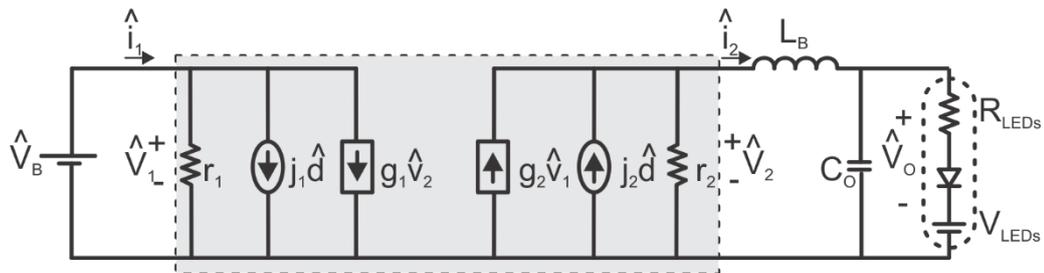
$$g_2 = \left. \frac{\partial f_2(V_1, V_2, D)}{\partial v_1} \right|_{v_2=V_2} = \frac{2V_1}{V_2 R_e(D)} \quad (45)$$

$$\frac{1}{r_2} = \left. \frac{\partial f_2(V_1, V_2, D)}{\partial v_2} \right|_{v_1=V_1} = \frac{V_1^2}{V_2^2 R_e(D)} \quad (46)$$

$$j_2 = \left. \frac{\partial f_1(V_1, V_2, D)}{\partial d} \right|_{d=D} = \frac{2V_1^2}{DV_2 R_e(D)} \quad (47)$$

A partir destas equações, é possível representar o conversor substituindo os semicondutores por resistências equivalentes e fontes de corrente dependentes, conforme mostra a Figura 29. Desta forma, pode-se analisar o circuito através de técnicas clássicas de análise de circuitos lineares.

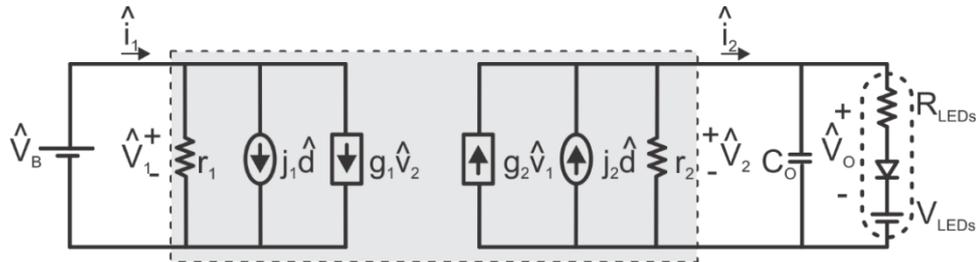
Figura 29 - Modelo de pequenos sinais do conversor *buck*



Fonte: Autor.

O circuito equivalente do conversor possui dois elementos reativos, C_O e L_B , o que resulta em uma FT com dois polos. O polo resultante do capacitor está localizado em baixa frequência, enquanto o polo resultante do indutor ocorre em uma frequência elevada, próxima à frequência de comutação. Como a resposta dinâmica do conversor é dominada pelo polo de baixa frequência, é possível desprezar o indutor L_B na análise do modelo CA para obtenção das funções de transferência de interesse. O circuito equivalente então é simplificado como mostrado na Figura 30.

Figura 30 - Modelo simplificado de pequenos sinais do conversor *buck*



Fonte: Autor.

Através da análise deste modelo simplificado pode-se encontrar a FT que relaciona a variável de interesse, que neste caso é a corrente nos LEDs, com a variável a ser controlada, ou seja, a razão cíclica.

Analisando a Figura 29, nota-se que a perturbação na corrente do terminal 2 pode ser encontrada por:

$$\hat{i}_2(t) = \hat{i}_c(t) + \hat{i}_{LEDs}(t) \quad (48)$$

A qual pode ser expandida para:

$$\hat{v}_1(t)g_2 + \hat{v}_2(t)\frac{1}{r_2} + \hat{d}(t)j_2 = C_o \frac{d}{dt} \hat{v}_2(t) + \frac{V_o - V_{TH}}{R_{LEDs}} \quad (49)$$

Como dito anteriormente, a FT de interesse é a que relaciona a corrente nos LEDs em função da razão cíclica $G_{id}(s)$. Um dos caminhos para encontrá-la é a partir da FT da perturbação na tensão de saída em função da razão cíclica $G_{vd}(s)$, onde $G_{id}(s)$ é obtida dividindo-se $G_{vd}(s)$ pela resistência equivalente do modelo dos LEDs R_{LEDs} . A FT da tensão de saída pela razão cíclica é encontrada aplicando a transformada de Laplace em (49), desconsiderando a perturbação na tensão de barramento. Isolam-se então na equação a variação na tensão de saída e a variação na razão cíclica, obtendo-se:

$$G_{vd}(s) = \frac{\hat{v}_o(t)}{\hat{d}(t)} = \frac{\frac{2V_1(1-M)}{C_o \cdot D \cdot M \cdot R_e}}{s + \frac{1}{R_{LEDs}C_o} + \frac{1}{r_2C_o}} \quad (50)$$

Onde:

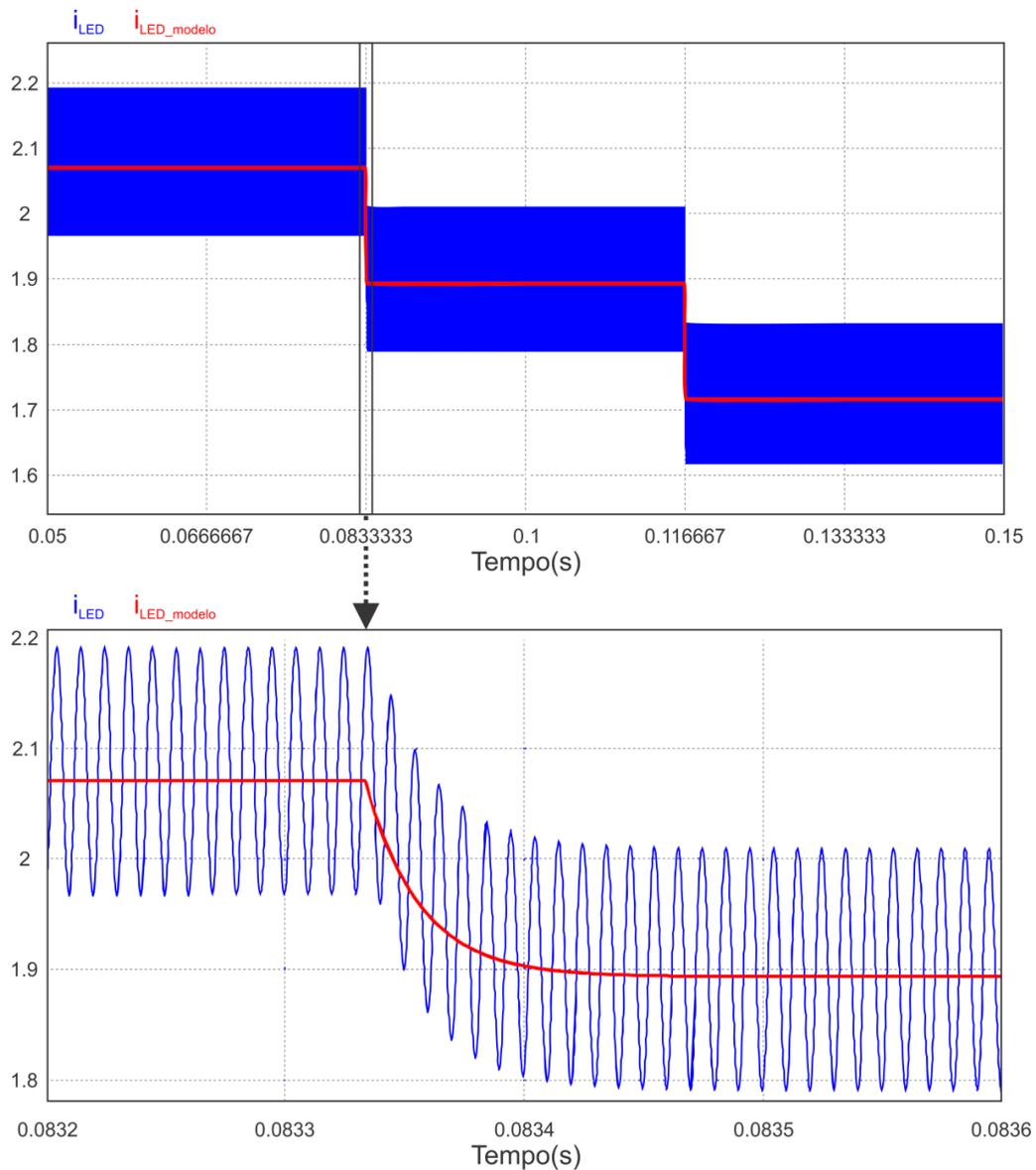
$$M = \frac{2}{1 + \sqrt{\left(1 + 4 \frac{R_e I_{LEDs}}{V_o}\right)}} \quad (51)$$

Dividindo-se a FT de (50) por R_{LEDs} , obtém-se a FT da corrente nos LEDs em função da razão cíclica, dada por (52), calculada para os valores nominais de operação do conversor e para os parâmetros de projeto obtidos no capítulo anterior.

$$G_{id}(s) = \frac{G_{vd}(s)}{R_{LEDs}} = \frac{\frac{2V_1(1-M)}{C_O \cdot D \cdot M \cdot R_e R_{LEDs}}}{s + \frac{1}{R_{LEDs} C_O} + \frac{1}{r_2 C_O}} = \frac{382950}{s + 43339} \quad (52)$$

A fim de se validar o modelo obtido, foram feitas simulações do modelo da planta e do conversor *buck* conectado à uma fonte CC na entrada, utilizando o *software* PSIM. Duas perturbações de 5% negativas foram aplicadas à razão cíclica, tanto do modelo quanto do conversor, como mostra a Figura 31. Pode-se notar que o valor médio da corrente é seguido pelo modelo com precisão.

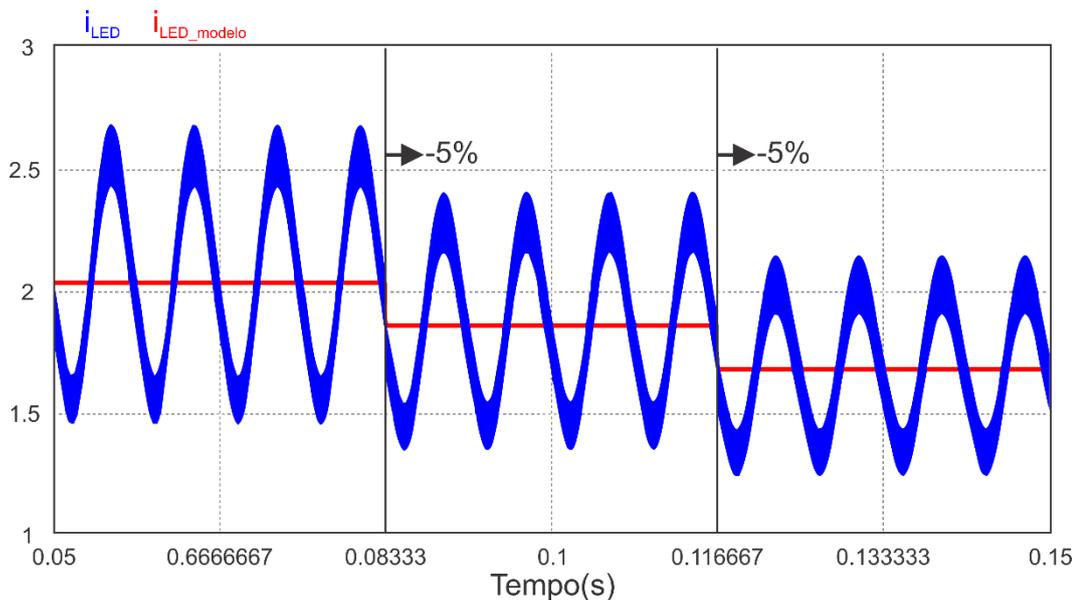
Figura 31 - Simulação do modelo e do conversor *buck* para perturbações de -5% na razão cíclica



Fonte: Autor.

Para fins de comprovação de que o modelo para o conversor *buck* é também válido para o conversor completo, foi realizada a simulação do modelo da planta e do conversor completo. Os resultados são mostrados na Figura 32, onde é possível perceber a concordância do modelo com o valor médio de corrente nos LEDs, mesmo considerando a ondulação de baixa frequência. Portanto, o modelo obtido é válido para o uso no projeto do controle.

Figura 32 - Simulação do modelo e do conversor completo para perturbações de -5% na razão cíclica



Fonte: Autor.

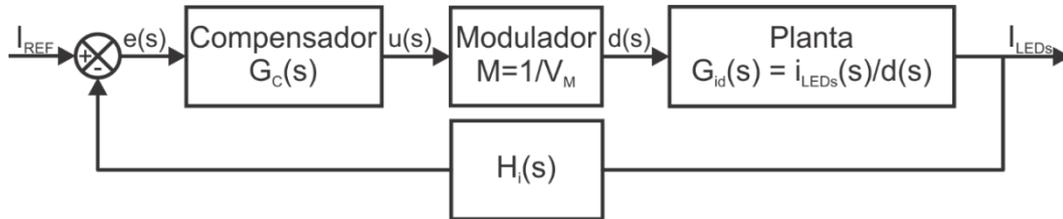
4.3 Análise do sistema de controle

A carga a ser acionada são LEDs aplicados à iluminação, onde se deseja um determinado fluxo luminoso. Como o fluxo luminoso emitido pelos LEDs é diretamente proporcional à corrente direta aplicada, esta será a variável a ser controlada. O controlador deverá, portanto, manter a corrente média de saída regulada. Além disso, um sistema de controle pode ser projetado para também atuar na redução da ondulação de baixa frequência, possibilitando redução na capacitância de barramento.

O diagrama de blocos do sistema de controle adotado pode ser visto na Figura 33. A FT do sensor de corrente é representada por $H_i(s)$, $G_C(s)$ é a FT do compensador, I/V_M representa o ganho do modulador PWM e $G_{id}(s)$ é a FT do modelo do conversor, obtida anteriormente. A corrente de referência a ser mantida nos LEDs é representada por I_{REF} , o erro

entre o valor medido e a referência é representado por $e(s)$, a ação de controle é dada por $u(s)$ e a razão cíclica a ser aplicada no interruptor é dada por $d(s)$.

Figura 33 - Diagrama de blocos simplificado do sistema de controle



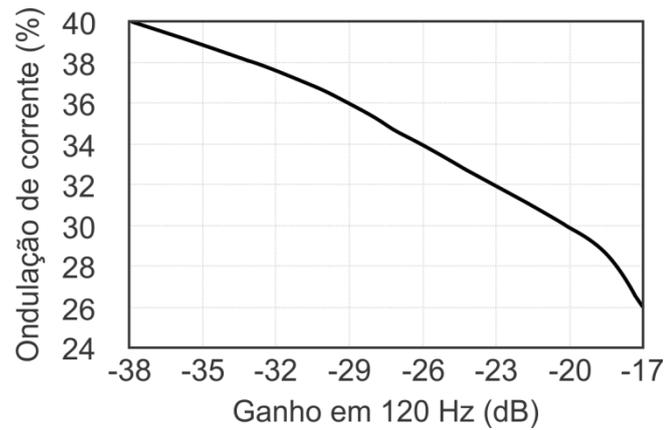
Fonte: Autor.

O compensador pode ser projetado para atuar com alto ganho na frequência de interesse, neste caso a ondulação em baixa frequência (120 Hz). Isto pode resultar em uma redução na ondulação de baixa frequência, o que possibilita o uso de menores valores de capacitâncias. Porém, a atuação do controlador sobre a ondulação em 120 Hz faz com que a razão cíclica varie periodicamente. Se esta variação ocorrer em uma frequência muito mais alta que a da rede, a resistência equivalente do conversor CFP pode variar demasiadamente durante um período da rede, perdendo sua linearidade e introduzindo distorções da corrente de entrada. Portanto, deve-se encontrar um ponto ótimo na relação da redução na ondulação em baixa frequência e no aumento da distorção da corrente de entrada, o que causa redução no FP e aumento na THD.

Foi escolhido um controlador do tipo Proporcional-Integral (PI) para a malha de corrente devido à sua característica de erro nulo em regime permanente para respostas do tipo degrau e por sua simplicidade de implementação.

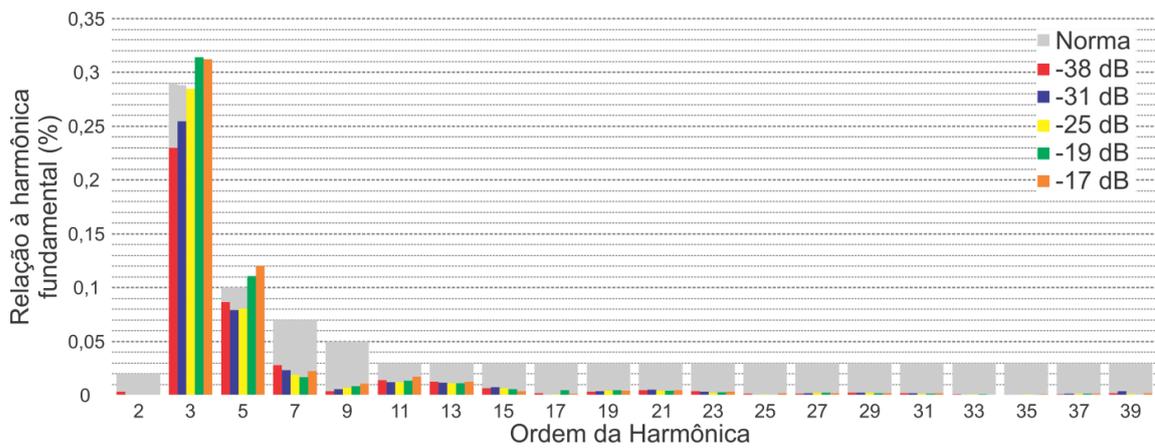
A frequência do zero foi alocada uma década abaixo da frequência de comutação, 10 kHz. Então, o ganho do compensador foi ajustado a fim de se obter frequências de cruzamento por zero próximas de 120 Hz, com diferentes ganhos nesta frequência. Através de simulações, foi possível notar o efeito de diferentes ganhos na frequência de interesse na ondulação da corrente de saída, como mostra a Figura 34. A Figura 35 mostra o conteúdo harmônico da corrente de entrada para frequências de cruzamento variando de 10 Hz até 150 Hz, resultando em ganhos na frequência de 120 Hz variando de -38 dB até -17 dB. Os valores de THD e FP para cada valor de ondulação de corrente podem ser vistos na Figura 36. Pode-se notar que quanto maior o ganho em 120 Hz, menor a ondulação de baixa frequência da corrente. Porém, há um acréscimo na distorção da corrente de entrada, o que prejudica a THD e o FP.

Figura 34 - Ondulação de corrente nos LEDs em função do ganho em 120 Hz



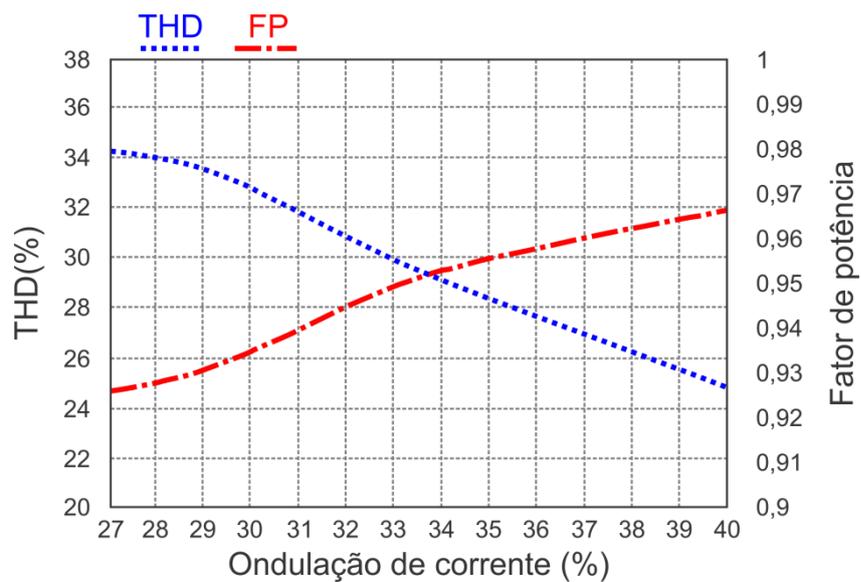
Fonte: Autor.

Figura 35 – Conteúdo harmônico da corrente de entrada para diferentes ganhos em 120 Hz



Fonte: Autor.

Figura 36 - THD e FP em função da ondulação de corrente



Fonte: Autor.

Com o objetivo de se cumprir as normas citadas anteriormente, foi definida uma frequência de cruzamento de 30 Hz (ganho em 120 Hz de -31 dB), obtendo-se $FP = 0,96$, $THD = 26,86\%$ e uma ondulação de corrente de 37%. O conteúdo harmônico da corrente de entrada está em conformidade com a norma, conforme pode ser observado nas barras azuis do gráfico da Figura 35. Foi obtida a seguinte função de transferência do compensador:

$$G_C(s) = 0,00034 \frac{s + 62832}{s} \quad (53)$$

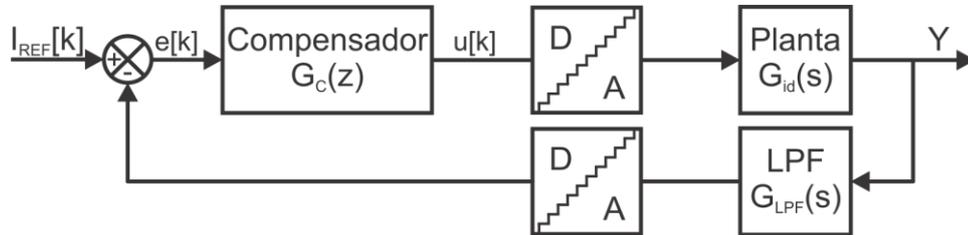
4.4 Metodologia de projeto do compensador discreto

O sistema de controle pode ser implementado de forma analógica ou digital. A primeira utiliza circuitos eletrônicos com amplificadores operacionais e a segunda utiliza microcontroladores. Apesar de serem soluções robustas, as soluções analógicas apresentam dificuldade em alterações no projeto depois de implementado, além de apresentar maior custo e dificuldade de implementação conforme a complexidade aumenta. Devido principalmente à flexibilidade, soluções baseadas em controle digital estão sendo cada vez mais utilizadas em sistemas de iluminação artificial. Esta flexibilidade vem do fato de que a operação do sistema de controle pode ser completamente alterada apenas alterando o programa a ser executado no microcontrolador (OGATA, 1995). Outras vantagens apresentadas por sistemas de controle digitais são a confiabilidade, imunidade a ruídos, facilidade para implementação de dimerização e a possibilidade da implementação de controles complexos através de programação (KIRSTEN, ANDRÉ LUÍS et al., 2013). Portanto, optou-se neste trabalho pelo uso de um sistema de controle digital.

Um novo diagrama de blocos simplificado é mostrado na Figura 37, agora para o sistema controlado digitalmente, com as variáveis e o controlador discretos. Os ganhos dos sensores e dos conversores analógico-digital (AD) e digital-analógico (DA) são considerados unitários no projeto do compensador, sendo compensados no programa de implementação. A representação deste diagrama aplicado no conversor é mostrada na Figura 38. A medição da corrente nos LEDs é feita utilizando um resistor *shunt*, sendo amplificada pelo ganho do sensor. Um filtro passa-baixa (LPF, do inglês *Low Pass Filter*) é aplicado ao sinal medido a fim de se evitar o efeito *aliasing* (OGATA, 1995). Este sinal filtrado é amostrado pelo conversor AD presente no microcontrolador, gerando o sinal de saída discreto, o qual é comparado com a referência $I_{REF}(k)$, gerando o erro $e(k)$, aplicado ao compensador discreto

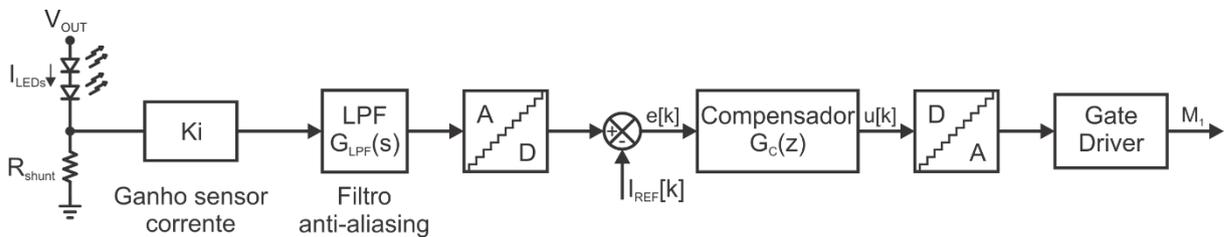
$G_C(z)$. O compensador calcula a ação de controle discreta $u(k)$, que é convertida para um sinal analógico pelo conversor DA e então atua sobre a planta.

Figura 37 - Diagrama de blocos simplificado do sistema de controle digital



Fonte: Autor.

Figura 38 - Diagrama do conversor ICS em malha fechada



Fonte: Autor.

Quando se trabalha com controle analógico, o projeto do compensador é feito diretamente no domínio da frequência, com a análise da resposta em frequência da planta. Porém, em um sistema de controle digital as variáveis precisam ser discretizadas, tornando esta análise inviável. Para contornar este problema, é utilizado um método de aproximação da resposta em frequência, podendo-se então aplicar as ferramentas de análise e projeto baseadas no Diagrama de Bode em sistemas discretos. Esta aproximação é feita através da resposta em frequência do sistema no plano w . A metodologia de projeto é apresentada em (OGATA, 1995), sendo adaptada para os seguintes passos em (MENKE, 2016):

1º Passo: obter uma FT $G(z)$ através da multiplicação da planta do conversor $G_{id}(s)$ pela FT do LPF $G_{LPF}(s)$, seguido da discretização pelo método ZOH (*Zero Order Hold*), considerando a frequência de amostragem do sinal de saída.

2º Passo: adicionar um atraso unitário z^{-1} à $G(z)$, a fim de que se considere a dinâmica do atraso no transporte quando a lei de controle é modificada, obtendo-se assim uma lei de controle estritamente própria, onde o cálculo da ação de controle do passo atual é realizado no passo anterior, otimizando a utilização do MCU.

3º Passo: converter a função $G(z) z^{-1}$ através do método bilinear em uma função no plano w , a qual corresponde à FTMA não compensada $G_{NC}(w)$. Esta função, neste plano, pode ser utilizada para o projeto do sistema de controle discreto utilizando o mesmo método de sistemas de controle contínuo baseado na resposta em frequência. Portanto, pode-se realizar o projeto do compensador $G_C(w)$.

4º Passo: discretizar o compensador $G_C(w)$ através do método bilinear, considerando a frequência de amostragem, obtendo-se assim o compensador no domínio discreto z , $G_C(z)$.

5º Passo: utilizar a equação das diferenças discretas $G_C(z) z^{-1}$ para a implementação no microcontrolador.

4.5 Projeto do compensador discreto

Baseado na metodologia proposta anteriormente, esta seção apresenta o projeto do sistema de controle do conversor ICS. Em primeiro lugar, define-se a frequência de amostragem f_{sample} da corrente nos LEDs em 10 kHz, uma década abaixo da frequência de comutação do conversor. O filtro *anti-aliasing* utilizado é composto por um circuito RC, com uma frequência de corte dada por (54). O valor desta frequência foi definido em uma década abaixo de f_{sample} , 1 kHz. Portanto, a FT resultante do LPF é dada por (55).

$$f_{LPF} = \frac{1}{2\pi R_{LPF} C_{LPF}} \quad (54)$$

$$G_{LPF}(s) = \frac{1}{R_{LPF} C_{LPF} s + 1} = \frac{1}{0,0001641s + 1} \quad (55)$$

Seguindo os passos apresentados na seção anterior, o projeto do compensador é realizado para os valores de tensão de entrada e potência de saída nominais do conversor.

1º Passo: multiplicando-se a FT da planta do conversor $G_{id}(s)$ pela FT do LPF $G_{LPF}(s)$ e discretizando pelo método ZOH, considerando f_{sample} , obtém-se:

$$G(z) = \frac{0,3465z + 0,2486}{z^2 - 1,301z + 0,3679} \quad (56)$$

2º Passo: adicionando-se um atraso unitário z^{-1} à $G(z)$, tem-se:

$$G(z)z^{-1} = \frac{0,3465z + 0,2486}{z^3 - 1,301z^2 + 0,3679z} \quad (57)$$

3º Passo: convertendo a função $G(z) z^{-1}$ em uma função no plano w , obtém-se $G_{NC}(w)$:

$$G_{NC}(w) = \frac{0,03669w^3 + 14960w^2 - 4,093 \times 10^9w + 2,23 \times 10^{14}}{w^3 + 1,474 \times 10^5w^2 + 4,988 \times 10^9w + 2,513 \times 10^{13}} \quad (58)$$

Através de (58) é possível projetar o compensador PI, resultando em:

$$G_C(w) = \frac{0,00034w + 21,36}{w} \quad (59)$$

4º Passo: discretizando-se $G_C(w)$, obtém-se $G_C(z)$:

$$G_C(z) = \frac{0,0005536z - 0,0001264}{z - 1} \quad (60)$$

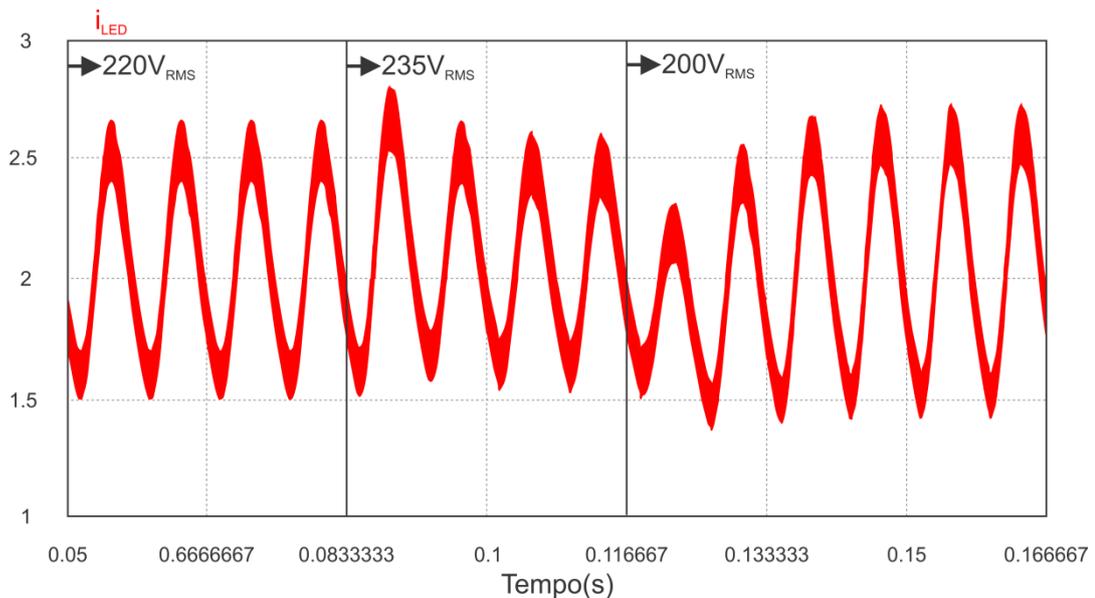
5º Passo: utiliza-se a equação das diferenças discretas aplicando um atraso z^{-1} , obtendo-se assim a lei de controle implementável em um microcontrolador:

$$u[k + 1] = u[k] + 0,0005536e[k] + 0,0001264e[k - 1] \quad (61)$$

4.6 Resultados de simulação

O conversor foi simulado em malha fechada utilizando o controlador projetado na seção anterior. Em um primeiro momento, é aplicada uma tensão de entrada de 220 V_{RMS}, com a referência de corrente no valor nominal de 2,1 A. No instante t=83,333 ms é aplicado um degrau de tensão de 220 V_{RMS} para 235 V_{RMS}, e em t=116,667 ms outro degrau para 200 V_{RMS}. O resultado pode ser visto na Figura 39, onde se pode notar que o controlador mantém o valor médio da corrente nos LEDs regulado, apesar dos distúrbios na tensão de alimentação.

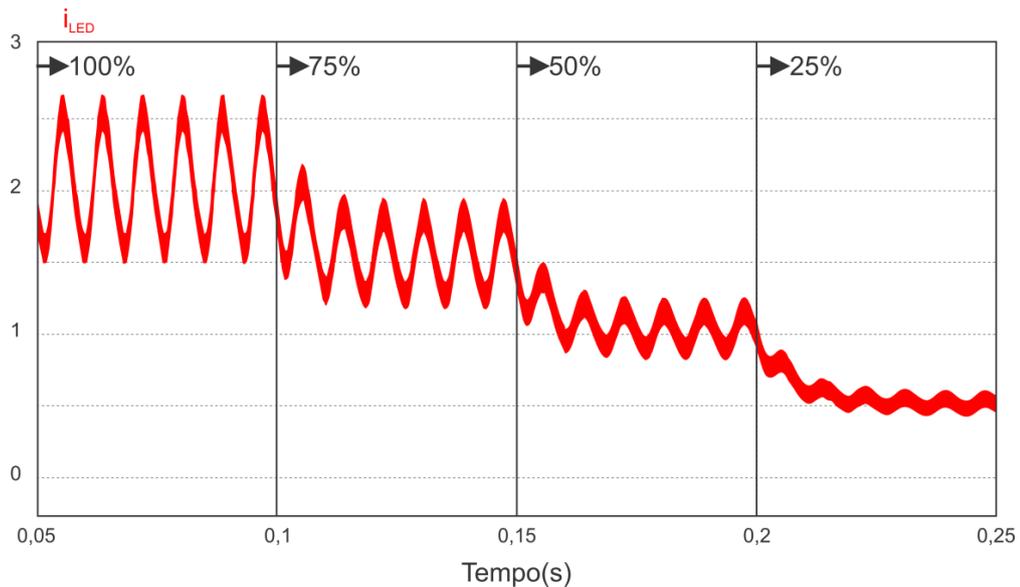
Figura 39 - Conversor em malha fechada com distúrbio na tensão de entrada



Fonte: Autor.

Com o objetivo de comprovar o funcionamento do conversor com dimerização, o conversor é simulado para valores nominais de tensão de entrada, aplicando-se variações na referência da corrente nos LEDs. Para tanto, o valor da referência foi variado de 100% para 75%, 50% até 25% do valor nominal, conforme pode ser visto na Figura 40.

Figura 40 - Conversor em malha fechada com diferentes níveis de dimerização



Fonte: Autor.

4.7 Conclusão

Neste capítulo foram apresentados a modelagem e o projeto do sistema de controle do conversor proposto. A partir das especificações e características do conversor, foi realizada a modelagem do mesmo utilizando a técnica do modelo médio da chave PWM. Foi observado que os estágios PFC e PC operam independentemente, sendo possível modelar apenas o segundo estágio, o que foi comprovado através de simulações. Em seguida, foi feita uma análise do sistema de controle, onde foi definido o uso de um compensador do tipo PI. Esta escolha se deu devido ao fato deste controlador apresentar elevado ganho CC, garantindo que a corrente nos LEDs irá manter seu valor de referência independente de distúrbios. Posteriormente, foi apresentada uma metodologia passo a passo para o projeto do compensador, o qual é implementado digitalmente. Enfim, a eficácia do sistema de controle foi comprovada através de simulações para distúrbios na tensão de entrada e variações na referência da corrente nos LEDs. Além disso, para todos os casos simulados, o conversor continua cumprindo as especificações das normas.

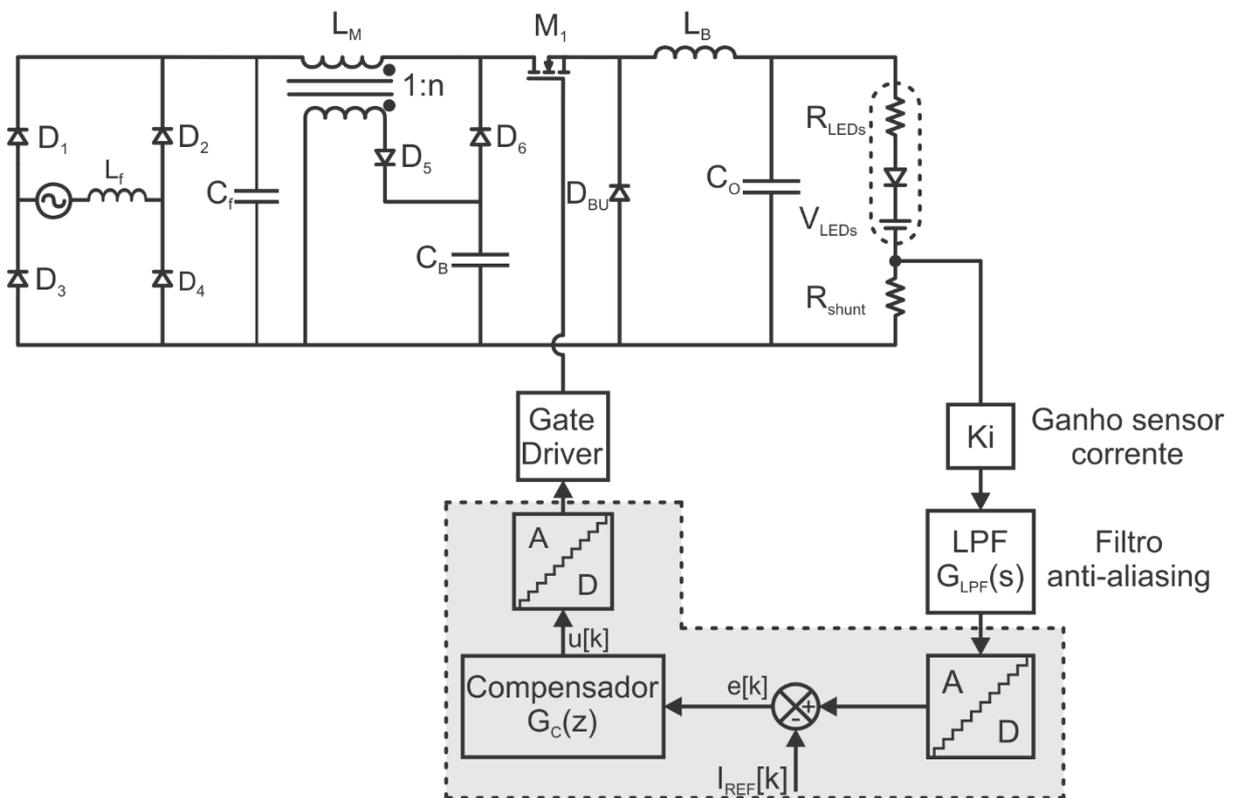
5 RESULTADOS EXPERIMENTAIS

Neste capítulo são apresentados e analisados os resultados experimentais obtidos com a implementação da topologia proposta em laboratório. São avaliados o rendimento do conversor, FP, THD e ondulação na corrente dos LEDs para diferentes pontos de operação.

5.1 Introdução

A topologia completa proposta contendo a representação em diagrama de blocos do sistema de controle pode ser vista na Figura 41. A Tabela 6 reúne as informações dos parâmetros de projeto do conversor e das informações sobre os componentes utilizados no protótipo.

Figura 41 - Conversor *flyback-buck* ICS com sistema de controle



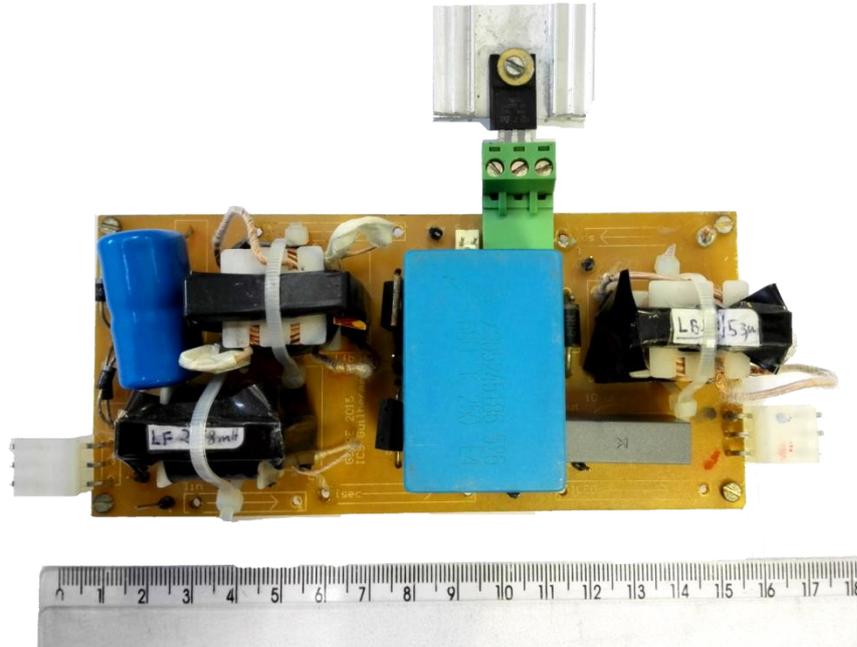
Fonte: Autor.

Tabela 6 – Parâmetros e componentes do protótipo

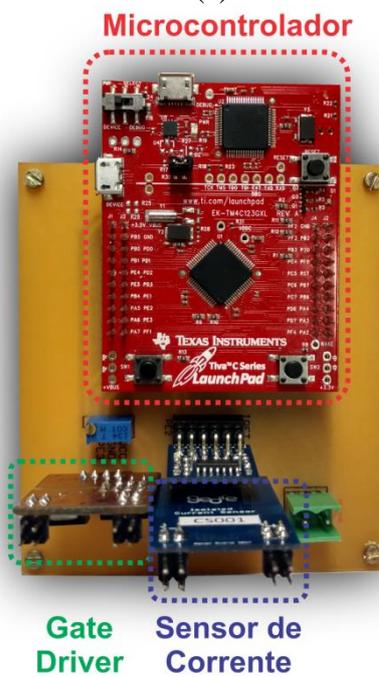
Parâmetros do conversor		
Tensão eficaz de entrada	V_{IN}	200 - 235 V _{RMS}
Frequência da rede	f_r	60 Hz
Frequência de comutação	f_s	100 kHz
Tensão média de saída	V_O	50 V
Corrente média de entrada	I_{LEDs}	2,1 A
Potência de saída	P_O	105 – 21 W
Tensão média de barramento	V_B	112 V
Ondulação da tensão de barramento	r	50%
Ondulação da tensão de saída em f_s	$\Delta V_O(\%)$	1,5%
Razão cíclica nominal	D	0,4
Especificações dos componentes		
Indutor do filtro de entrada E30/7 – 136 espiras – 8xAWG34 (Litz)	L_f	2,58 mH
Capacitor do filtro de entrada Filme de poliéster	C_f	100 nF/400 V
Indutor acoplado <i>flyback</i> E30/7 – np = 45 – 12xAWG34 (Litz) ns = 34 – 20xAWG34 (Litz)	L_M	0,204 mH
Relação de espiras do <i>flyback</i>	$1:n$	0,75
Capacitor de barramento Filme de poliéster metalizado	C_B	68 μ F / 250 V
Capacitor de saída Filme de poliéster metalizado	C_O	10 μ F / 63 V
Indutância do buck E30/7 – 21 espiras – 35xAWG34 (Litz)	L_B	55,6 μ H
Interruptor MOSFET	M_1	13N80K5
Diodos da ponte retificadora	$D_1 - D_4$	MUR160
Diodo do <i>flyback</i>	D_5	BYC10DX
Diodo de integração	D_6	HFA08TB60
Diodo do <i>buck</i>	D_{bu}	MUR460
Resistor <i>shunt</i>	R_{shunt}	0,05 Ω

Uma foto da placa de potência do protótipo implementado em bancada pode ser vista na Figura 42(a). A Figura 42(b) mostra a placa mãe, onde são conectadas as placas do sensor de corrente, do microcontrolador e do *gate driver*.

Figura 42 – Foto do protótipo implementado: (a) placa de potência; (b) placa mãe



(a)



(b)

Fonte: Autor.

5.2 Conversor *flyback-buck* operando em malha fechada

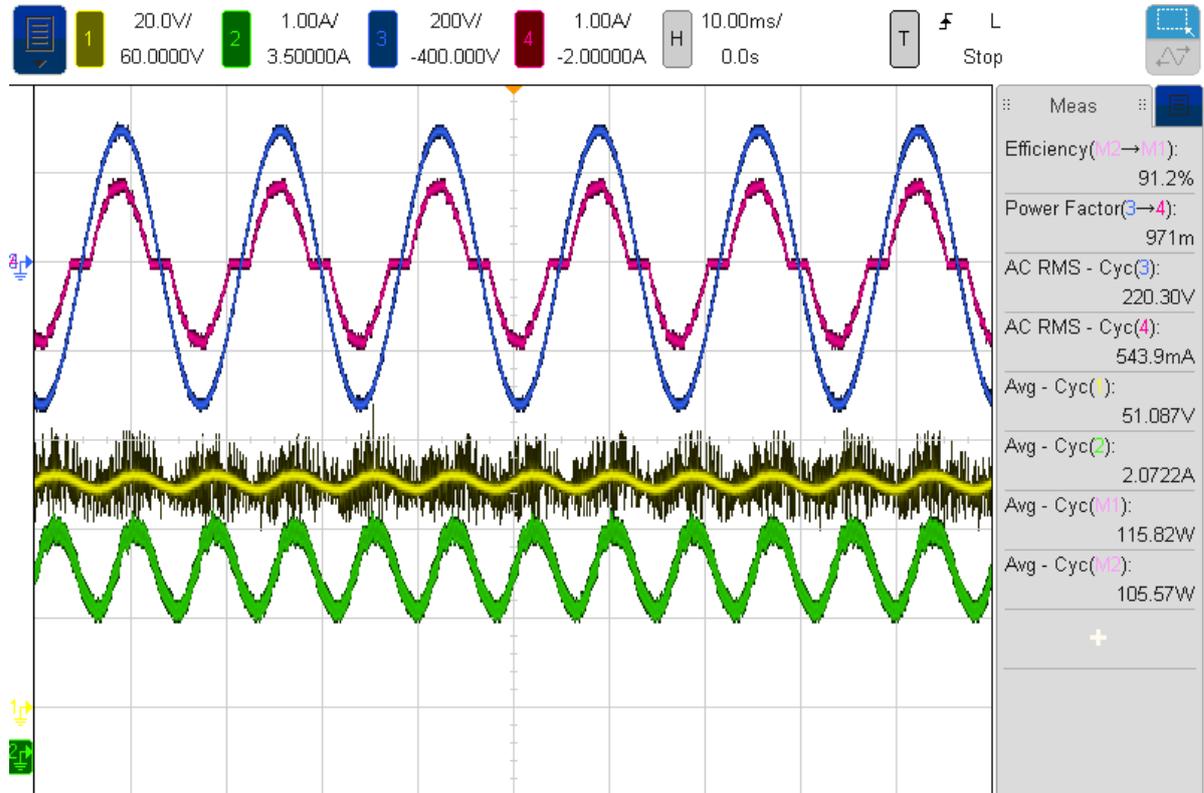
A topologia completa foi ensaiada em laboratório, aplicando o sistema de controle apresentado no Capítulo 4. Um resumo com os principais resultados obtidos nas medições é mostrado na Tabela 7. A Figura 43 mostra as formas de onda das tensões e correntes de entrada e saída para o conversor operando em tensão nominal (220 V_{RMS}) e potência nominal (105 W). Um valor de eficiência de 91% foi obtido. Verifica-se uma corrente média nos LEDs de 2,07 A, com uma ondulação de aproximadamente 40%. Apesar deste alto valor de ondulação de corrente de saída, a degradação da performance dos LEDs é pequena e o *flicker* é aceitável se o dissipador e a corrente de operação são escolhidos corretamente (ALMEIDA, PEDRO S.; BENDER; et al., 2015). As mesmas formas de onda são mostradas na Figura 44, porém para 20% de carga (~20 W, $I_{LED}=0,45$ A). É possível notar que em ambos os casos a corrente de entrada está aproximadamente em fase com a tensão, o que comprova o funcionamento do conversor como CFP, tanto para plena quanto para mínima carga.

Tabela 7 – Principais resultados à plena carga

Parâmetro	Símbolo	Valor
Tensão da rede	V_G	220 V _{RMS}
Corrente da rede	I_G	544 mA _{RMS}
Tensão de saída	V_O	51 V
Corrente nos LEDs	I_{LEDs}	2,07 A
Tensão de barramento	V_B	110 V
Potência de entrada	P_{IN}	115 W
Potência de saída	P_{OUT}	105 W
Eficiência	η	91%
Tensão de pico na chave	V_{DS_PICO}	763 V _{PICO}
Corrente de pico na chave	I_{MI_PICO}	5,6 A _{PICO}
Corrente eficaz na chave	I_{MI_RMS}	1,44 A _{RMS}

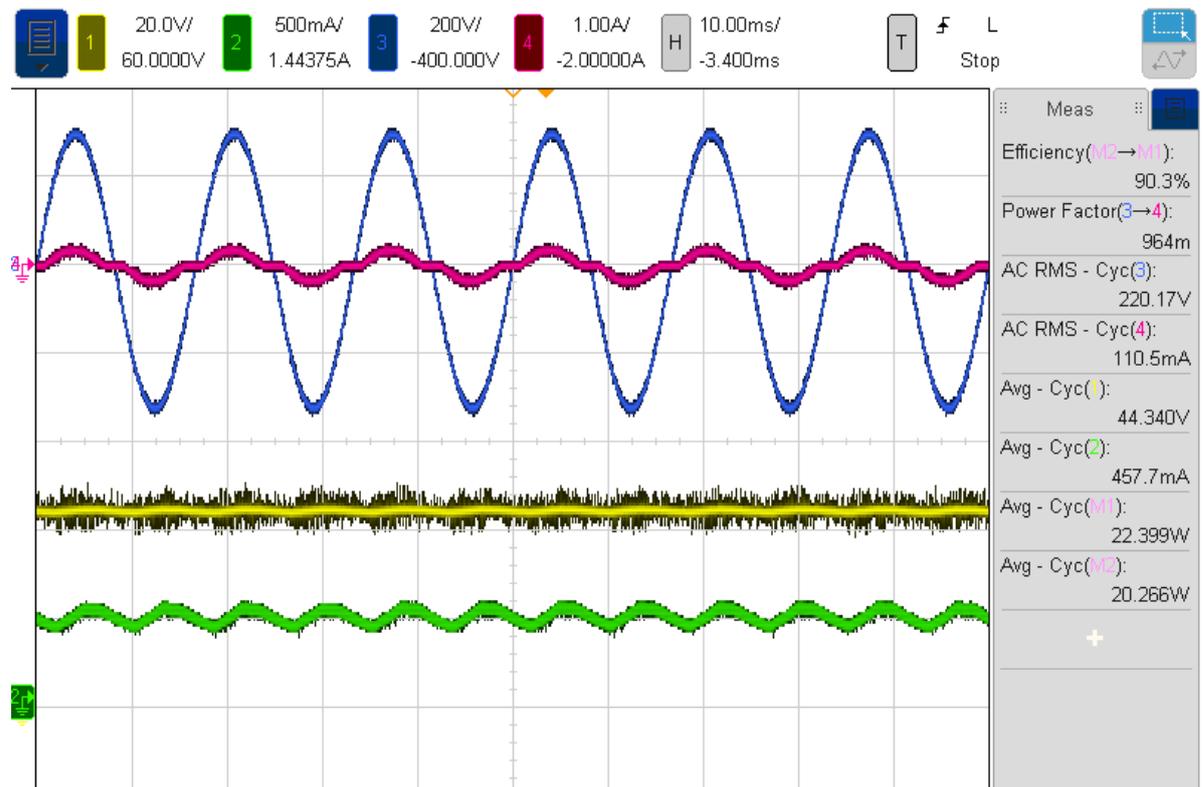
Os resultados para as condições máximas e mínimas de tensão de entrada são mostrados a seguir, na Figura 45 e na Figura 46, respectivamente. Pode-se observar que o valor de corrente média nos LEDs é mantido muito próximo do nominal. Na Figura 47 é mostrada uma comparação entre o conteúdo harmônico para os três casos de tensão de entrada, mínimo, nominal e máximo, comprovando o funcionamento do conversor como CFP mesmo com oscilações na tensão de alimentação.

Figura 43 - Principais formas de onda para operação em malha fechada com valores nominais



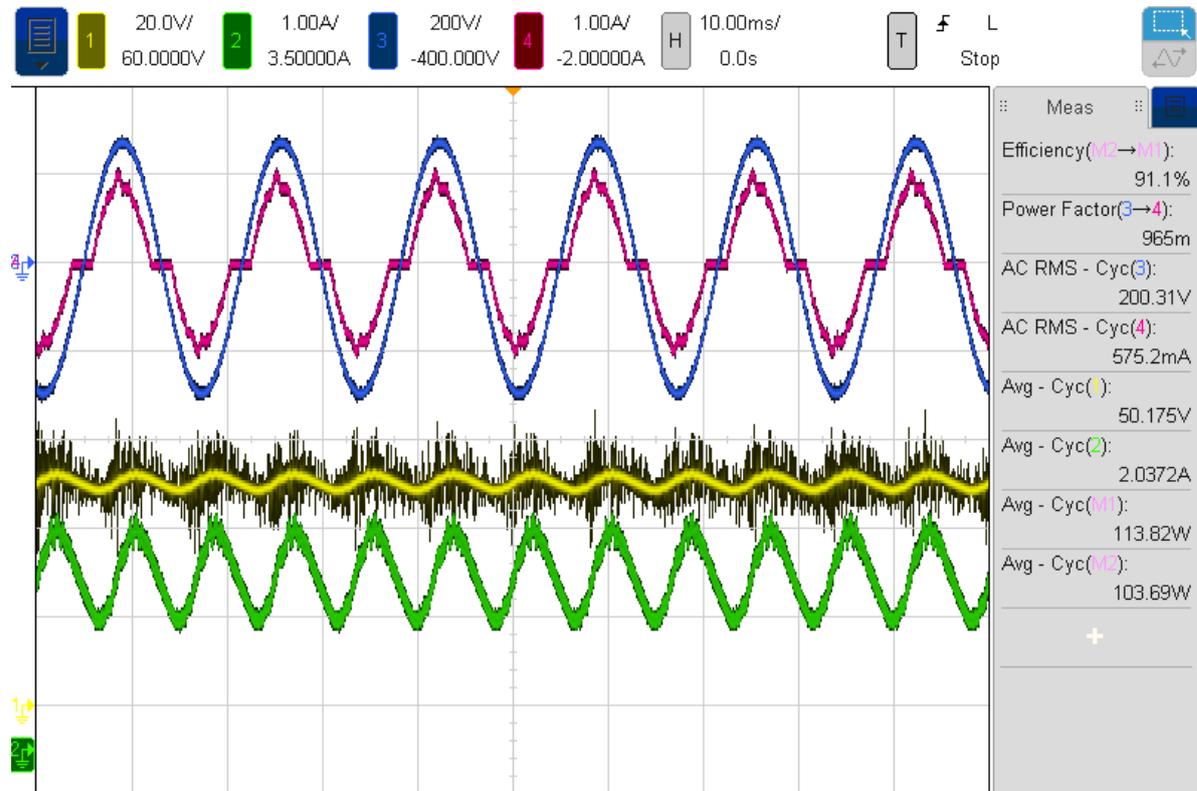
Fonte: Autor.

Figura 44 - Principais formas de onda para operação em malha fechada para carga mínima



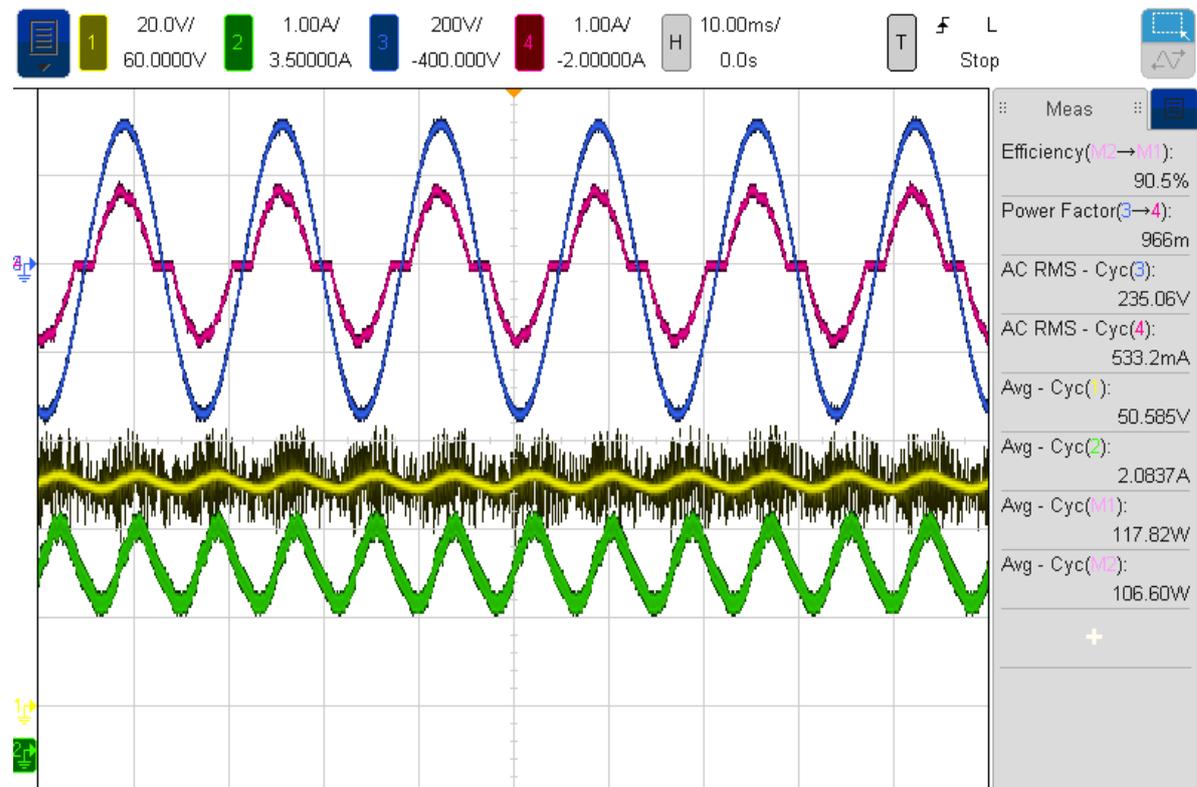
Fonte: Autor.

Figura 45 – Formas de onda do conversor para 200 V_{RMS}



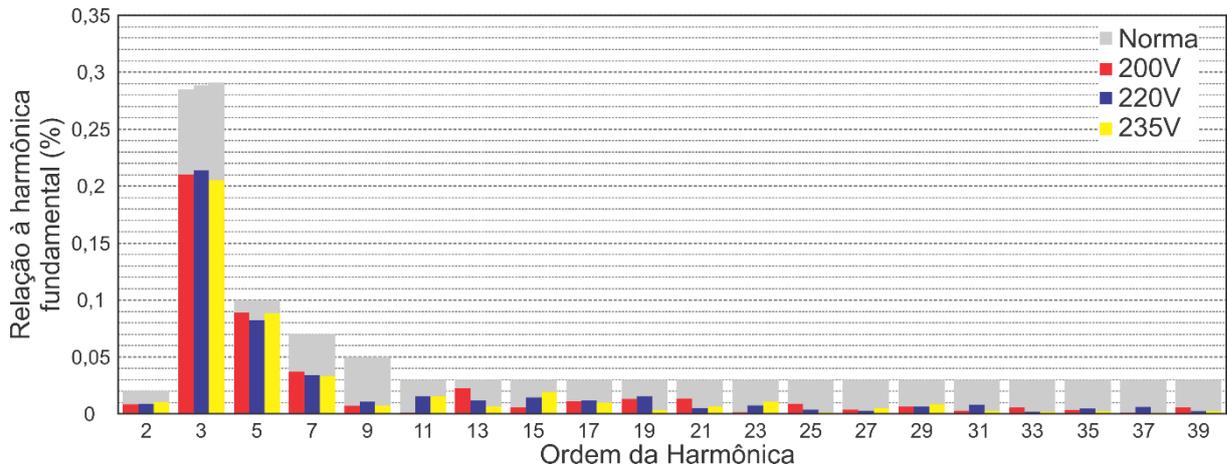
Fonte: Autor.

Figura 46 – Formas de onda do conversor para 235 V_{RMS}



Fonte: Autor.

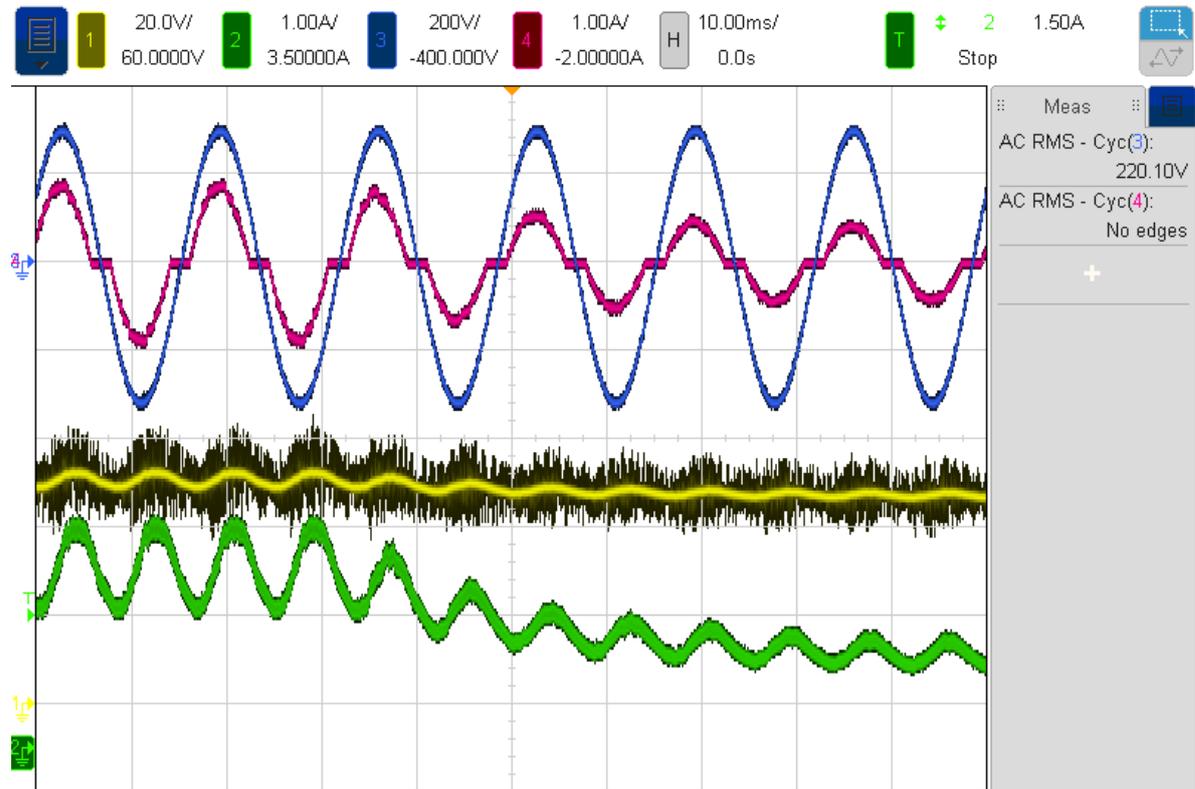
Figura 47 – Conteúdo harmônico da corrente de entrada para diferentes V_{IN}



Fonte: Autor.

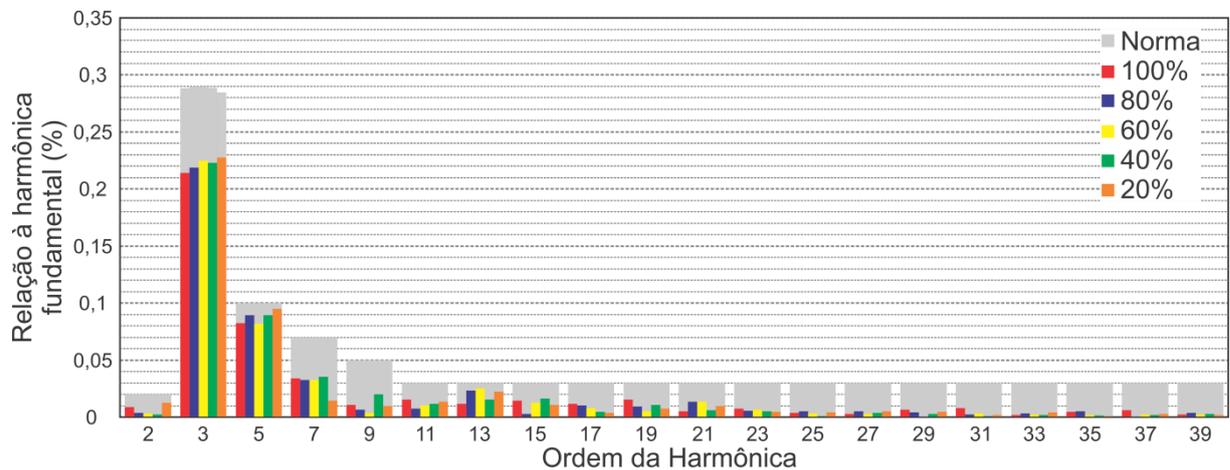
A partir da operação em condições nominais, foi aplicado um degrau na referência da corrente de 50%, resultando nas formas de onda mostradas na Figura 48. Com o intuito de testar a possibilidade de dimerização, a técnica de Modulação por Amplitude (AM) foi aplicada, reduzindo-se o valor da referência da corrente nos LEDs de 2,1 A até aproximadamente 0,4 A. Deste modo, a potência de saída foi reduzida de 100% até 20% do valor nominal. O conteúdo harmônico da corrente de entrada para toda faixa de potência de saída para tensão nominal pode ser visto na Figura 49. Estes valores são comparados com os requerimentos da norma IEC 61000-3-2 Classe C para cada harmônico, porém a norma não impõe obrigatoriedade de cumprimento para potências abaixo da nominal. A Figura 50 mostra os valores de THD e FP teóricos e experimentais para diferentes valores de potência de saída. Foram obtidos, à plena carga, THD de 22,3% e FP de 0,97. O conversor apresentou baixo conteúdo harmônico para toda a faixa de operação, estando em conformidade com a norma.

Figura 48 – Resposta do conversor a um degrau de 100% para 50% na referência de corrente



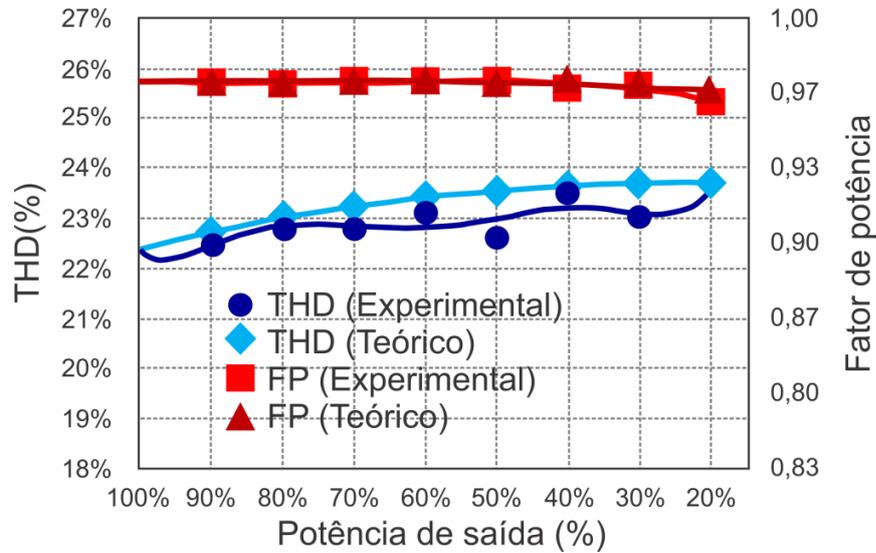
Fonte: Autor.

Figura 49 – Conteúdo harmônico da corrente de entrada para condições de dimerização



Fonte: Autor.

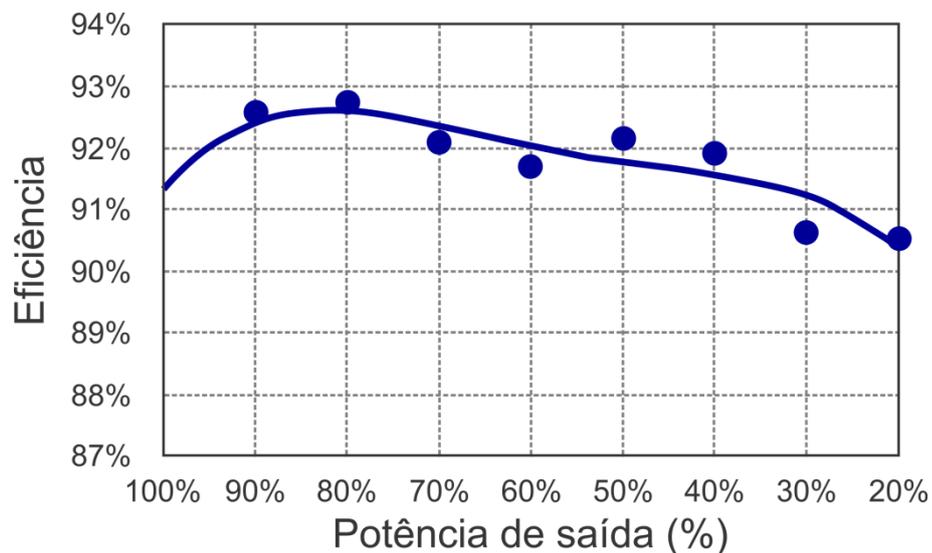
Figura 50 – THD e FP para diferentes valores de potência de saída



Fonte: Autor.

A variação da eficiência do conversor ao longo da faixa de operação de dimerização é mostrada na Figura 51. Uma pequena redução na eficiência pode ser notada, devido ao fato que na medida em que a razão cíclica é reduzida, menos potência é entregue diretamente à carga. Tanto esta figura quanto a Figura 50 apresentam os pontos medidos e uma interpolação polinomial.

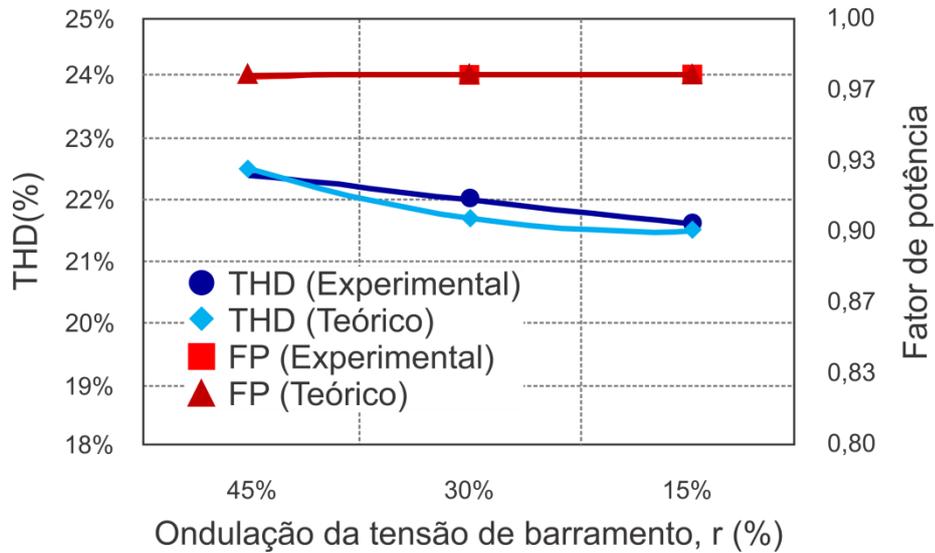
Figura 51 – Eficiência do conversor para diferentes valores de potência de saída



Fonte: Autor.

A Figura 52 mostra a THD e o FP para diferentes valores de ondulação de barramento. Quanto menor a ondulação, menor o valor da THD, o que valida a teoria proposta no Capítulo 2.

Figura 52 – THD e FP para diferentes valores de ondulação da tensão de barramento



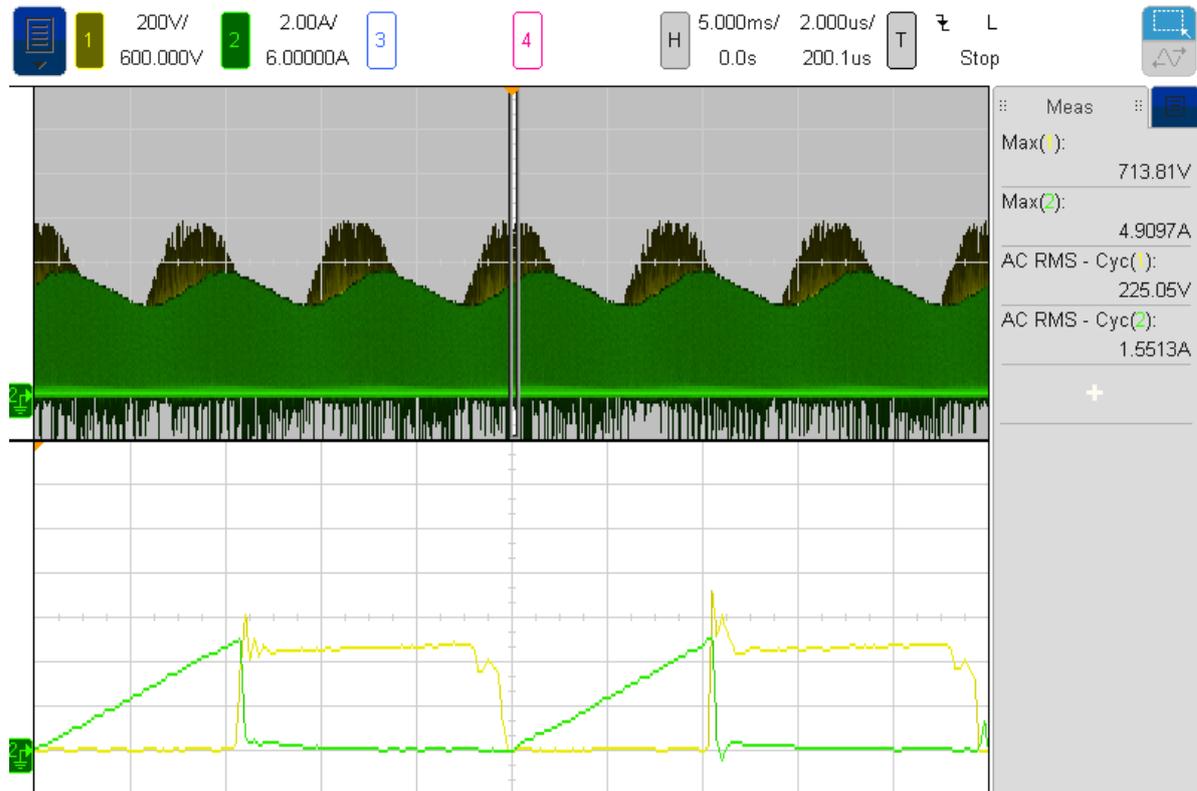
Fonte: Autor.

As formas de onda de corrente e tensão no interruptor M_I para valores nominais são mostrados na Figura 53, com um detalhamento em alta frequência. Como esperado, para um conversor operado em MCD, é obtido ZCS na entrada em condução da chave, enquanto o bloqueio é feito por comutação forçada. Um alto pico de tensão pode ser visto durante o bloqueio da chave, o que pode ser eliminado utilizando um circuito *snubber*. Isto permitiria o uso de um interruptor com menores valores de tensão máxima. Apesar disto, a tensão e a corrente na chave não excederam os valores máximos do MOSFET usado (800 V e 12 A).

A Figura 54 mostra que os diodos da ponte retificadora só permanecem conduzindo quando a tensão de entrada retificada V_{RET} é maior que a tensão de barramento V_B . A ondulação da tensão de barramento é aproximadamente 50%, conforme projetado.

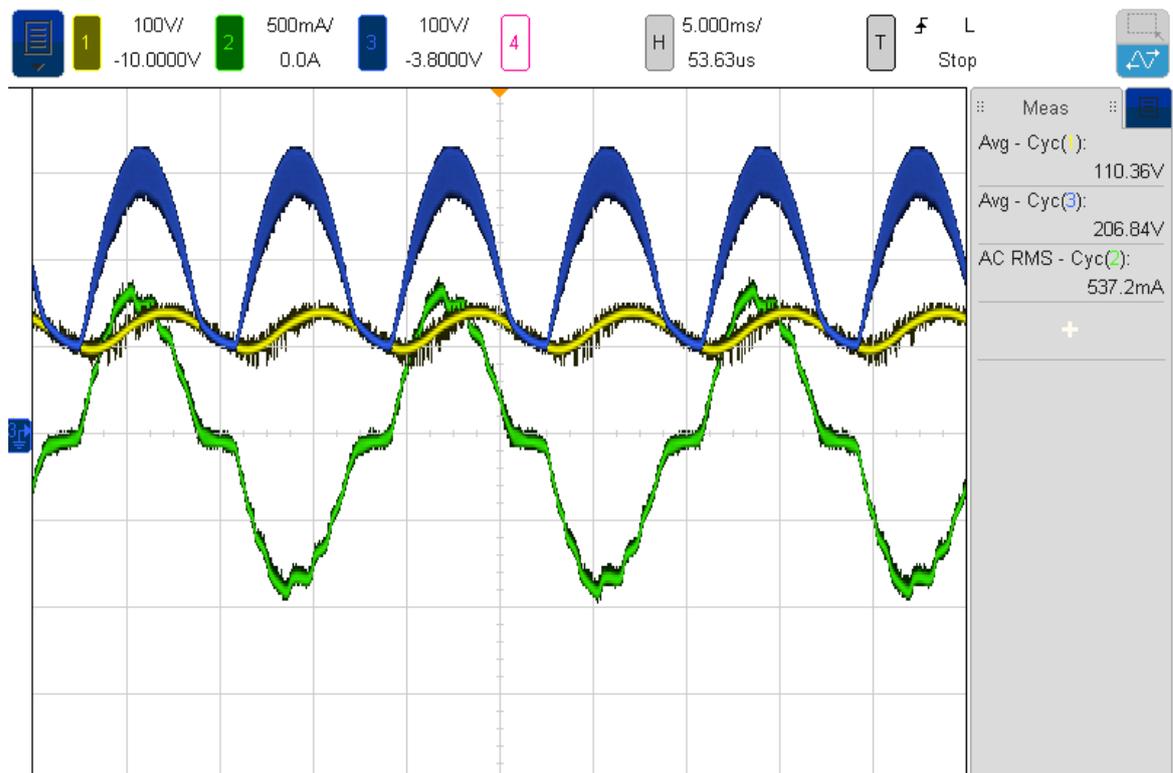
Com o intuito de ilustrar o funcionamento dos conversores em MDC, a corrente no indutor do *flyback* é mostrada na Figura 55 e a corrente no indutor do *buck* é mostrada na Figura 56. Em ambos os casos, a corrente atinge zero antes do próximo ciclo de comutação ter início, demonstrando a operação em MCD.

Figura 53 – Formas de onda no interruptor para condições nominais



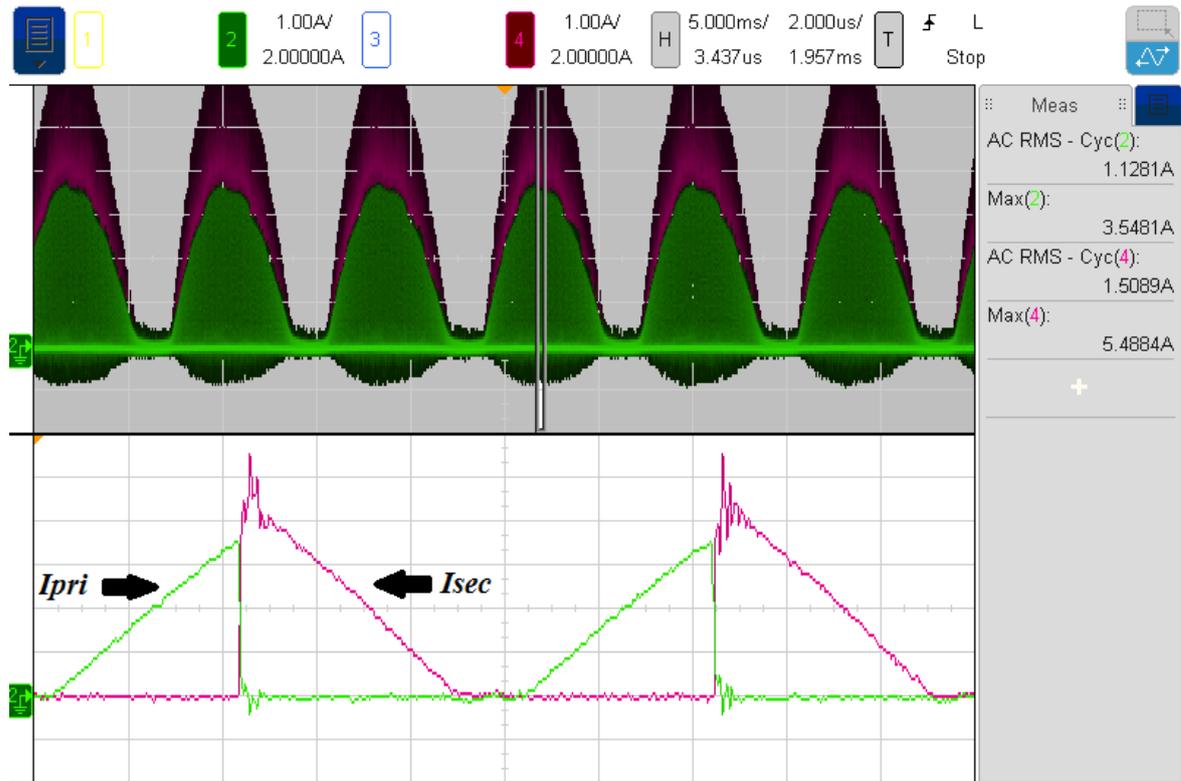
Fonte: Autor.

Figura 54 – Formas de onda de V_B , corrente de entrada e V_{RET} para condições nominais



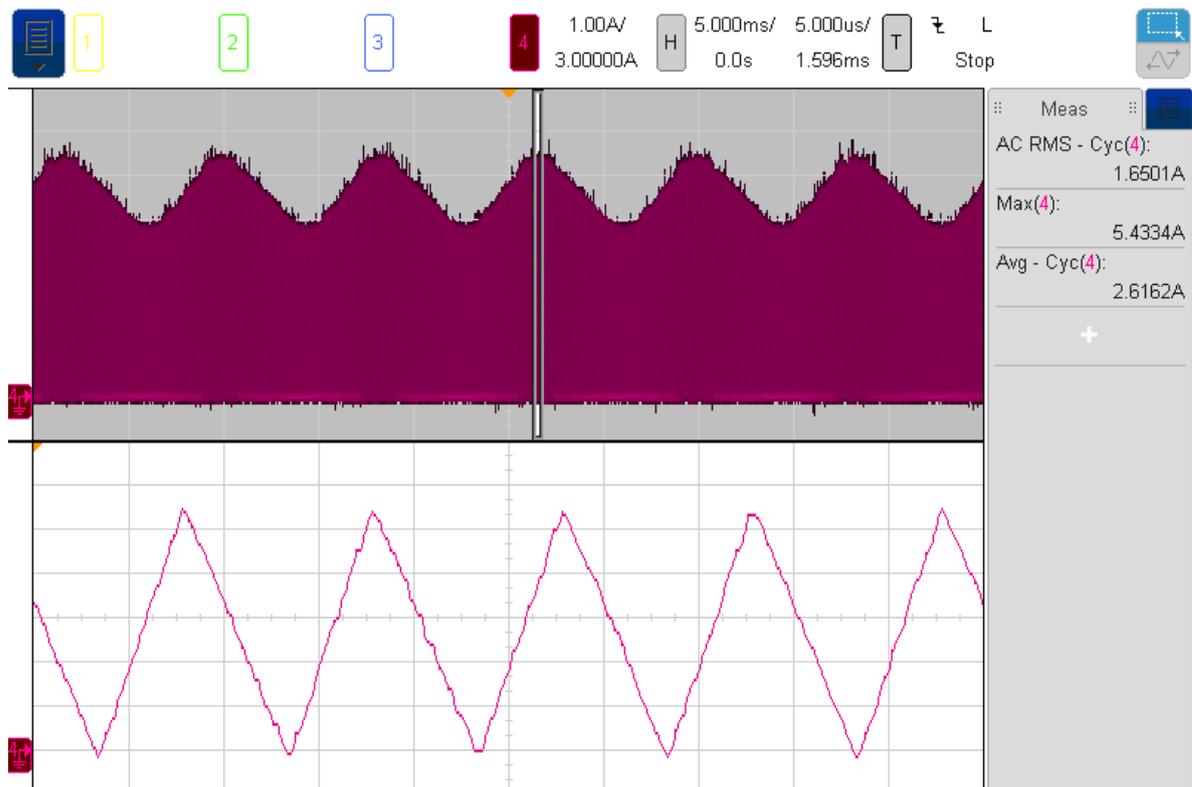
Fonte: Autor.

Figura 55 – Formas de onda da corrente no indutor L_M para condições nominais



Fonte: Autor.

Figura 56 – Formas de onda da corrente no indutor L_{BU} para condições nominais



Fonte: Autor.

5.3 Análise das perdas

A potência do conversor foi dividida entre as potências dissipadas na entrada (retificador e filtro), no conversor *flyback*, nos dispositivos semicondutores compartilhados e no conversor *buck*. A Tabela 8 mostra um resumo das perdas do conversor em cada parte separadamente.

Tabela 8 – Relação das perdas em cada parte do conversor

Parâmetro	Valor
Retificador e filtro de entrada	3 W
Conversor <i>flyback</i>	3,9 W
Interruptor e diodos compartilhados	2,3 W
Conversor <i>buck</i>	0,8 W
Total	10 W

A potência medida no conversor *flyback* é 63 W, o que resulta em um processamento de apenas 60% da potência total da topologia pelo estágio CFP. A eficiência do *flyback* η_F atingida é de 90%, enquanto η_B atinge 99% de eficiência. A eficiência total, de acordo com (9), para $k=0,6$, seria 93,4%. Entretanto, isto não considera as perdas no retificador e no filtro de entrada, que apresentam 97,4% de eficiência. Multiplicando-se este valor pelo calculado anteriormente, a eficiência obtida é de 91%, validando (9).

5.4 Conclusão

Este capítulo apresentou os resultados e as análises do protótipo implementado experimentalmente da topologia proposta. O conversor apresentou alta eficiência, atendendo à norma IEC 61000-3-2, sem utilização de capacitores eletrolíticos e com possibilidade de dimerização. A topologia integra dois estágios em um, porém com processamento parcial de energia, possibilitando a obtenção de uma eficiência acima de 90%, para variação da potência de saída até 20% da nominal. Em geral, em aplicações similares, um conversor de dois estágios é necessário, o que requer dois interruptores ativos, obtendo-se eficiências em torno de 80-85% (GARCIA, O. et al., 1999; HU; ZANE, 2011; KIM et al., 2016). Outra possibilidade é a integração dos dois estágios em um através do interruptor compartilhado, obtendo-se eficiências entre 80-90% (ALONSO; CALLEJA; LOPEZ; et al., 1999; CALLEJA et al., 2003; CHENG et al., 2015).

6 CONSIDERAÇÕES FINAIS

6.1 Conclusão geral

Na busca por um sistema de iluminação artificial com alto rendimento e que mantenha a qualidade da energia elétrica, este trabalho apresentou uma solução para circuitos de acionamento de um módulo de LEDs totalizando 105 W, com alto fator de potência, aplicando a técnica *input current shaper*. Com isto, buscou-se o cumprimento das normas referentes à equipamentos de iluminação, além da adição de funcionalidades como a possibilidade de dimerização.

Após a realização de uma ampla revisão bibliográfica sobre o uso da técnica ICS na literatura, o conversor *flyback* foi escolhido para atuar como ICS devido à sua vasta utilização, apresentando diversas vantagens, como facilidade de controle da intensidade luminosa e redução do processamento de energia. Através da inserção de um *flyback* entre a ponte retificadora de diodos de entrada e o capacitor de barramento é possível aumentar o ângulo de condução destes diodos até um valor mínimo, reduzindo a injeção de harmônicas de corrente na rede elétrica e, conseqüentemente, aumentando o fator de potência. Para o estágio de controle de potência foi utilizado um conversor *buck*, responsável por suprir os LEDs com um valor de tensão adequado.

Foi proposta uma topologia de dois estágios integrada, o que faz com que a ondulação de baixa frequência no segundo estágio seja atenuada, permitindo um maior nível de ondulação no barramento. Se apenas um conversor de estágio único fosse conectado diretamente aos LEDs, considerando a mesma ondulação de corrente, o maior nível de ondulação permitido no barramento seria de 5%, ao contrário dos 50% obtidos na topologia proposta. Isto significa uma redução de 10 vezes no valor da capacitância, fazendo com que seja possível empregar-se capacitores de alta vida útil, como os de filme de poliéster, por exemplo, o que aumenta a confiabilidade e vida útil do circuito de acionamento de LEDs. Caso a principal questão seja o custo ou volume, esta solução também permite o uso de capacitores eletrolíticos com menores valores de tensão e capacitância.

A partir da definição da topologia e da realização do seu projeto, foi possível obter o seu modelo dinâmico, considerando o modelo elétrico equivalente do LED. Inicialmente, o modelo considerou apenas o estágio de controle de potência, tendo posteriormente sua

validade expandida para a topologia completa, o que foi validado através de simulações. O sistema de controle foi projetado, tendo sua implementação feita digitalmente.

Com o intuito de validar a ideia apresentada, a topologia proposta foi avaliada, projetada, simulada, implementada através de um protótipo, e os resultados foram apresentados. Os resultados obtidos foram satisfatórios, especialmente em relação à THD e ao FP, que atingiram valores que atendem às normas referentes a equipamentos de iluminação para diferentes pontos de operação. Além disso, um rendimento acima de 90% foi alcançado em toda faixa de dimerização.

Este trabalho apresentou uma contribuição em relação ao projeto de conversores ICS, considerando a influência da ondulação no barramento. Enfim, a técnica de correção do fator de potência utilizada tem caráter inovador no que tange circuitos de alimentação de LEDs, visto que seu uso na literatura limita-se principalmente a reatores eletrônicos para lâmpadas fluorescentes.

6.2 Trabalhos futuros

Alguns pontos ainda podem ser otimizados, tendo como objetivo aumentar ainda mais o desempenho do *driver* de LEDs. Dentre estes pontos, pode-se citar estudos acerca da redução na ondulação de baixa frequência da corrente nos LEDs, análises de outras topologias, aplicando diferentes conversores como ICS, aplicação de técnicas avançadas de controle e desenvolvimento de um *driver* com tensão de entrada universal.

6.3 Produção científica resultante

Como resultado deste trabalho, foi publicado o seguinte trabalho em um periódico internacional classificação Qualis A1:

PEREIRA, Guilherme G. et al. LED Driver based on Input Current Shaper without Electrolytic Capacitor. **IEEE Transactions on Industrial Electronics** v. 64, n. 6, p. 4520–4529, 2017. Disponível em: <http://ieeexplore.ieee.org/document/7815260/>.

REFERÊNCIAS BIBLIOGRÁFICAS

- ALMEIDA, P.S. et al. Application of series resonant converters to reduce ripple transmission to LED arrays in offline drivers. **Electronics Letters** v. 49, n. 6, p. 414–415, 14 mar. 2013.
- ALMEIDA, Pedro S.; BRAGA, Henrique A C; et al. Offline soft-switched LED driver based on an integrated bridgeless boost-asymmetrical half-bridge converter. **IEEE Transactions on Industry Applications** v. 51, n. 1, p. 761–769, 2015.
- ALMEIDA, Pedro S.; BENDER, Vitor C.; et al. Static and Dynamic Photoelectrothermal Modeling of LED Lamps Including Low-Frequency Current Ripple Effects. **IEEE Transactions on Power Electronics** v. 30, n. 7, p. 3841–3851, jul. 2015.
- ALMEIDA, Pedro Santos et al. Matching LED and Driver Life Spans: A Review of Different Techniques. **IEEE Industrial Electronics Magazine** v. 9, n. 2, p. 36–47, jun. 2015.
- ALONSO, J. M. et al. Reducing storage capacitance in off-line LED power supplies by using integrated converters. **Conference Record - IAS Annual Meeting IEEE Industry Applications Society** p. 1–8, 2012.
- ALONSO, J.M.; CALLEJA, A.J.; LOPEZ, E.; et al. Analysis and experimental results of a single-stage high-power-factor electronic ballast based on flyback converter. 1999, In: APEC '98 Thirteenth Annual Applied Power Electronics Conference and Exposition. **Anais... IEEE**, 1999. p.1142–1148.
- ALONSO, J.M.; CALLEJA, A.J.; RIBAS, J; LOPEZ, E.; RICO, M; et al. Investigation of a novel high-power-factor electronic ballast based on the input current shaper. 1999, In: 30th Annual IEEE Power Electronics Specialists Conference. Record. (Cat. No.99CH36321). **Anais... IEEE**, 1999. p.1109–1114.
- ALONSO, J.M. et al. Single-stage constant-wattage high-power-factor electronic ballast with dimming capability. 1998, In: PESC 98 Record. 29th Annual IEEE Power Electronics Specialists Conference (Cat. No.98CH36196). **Anais... IEEE**, 1998. p.2021–2027.
- ALONSO, J M; CALLEJA, A J; RIBAS, J; LOPEZ, E; SEBASTIAN, J. Using Input Current Shaper in the Implementation of High-Power-Factor Electronic Ballasts. **IEEE Transactions on Power Electronics** p. 746–752, 1999.
- BEIBEI WANG et al. A Method of Reducing the Peak-to-Average Ratio of LED Current for Electrolytic Capacitor-Less AC-DC Drivers. **IEEE Transactions on Power Electronics** v. 25, n. 3, p. 592–601, mar. 2010.
- BENDER, Vitor Cristiano. **Metodologia de Projeto Eletrotérmico de LEDs Aplicada ao Desenvolvimento de Sistemas de Iluminação Pública**. 2012. Dissertação (Mestrado em Engenharia Elétrica) - Universidade Federal de Santa Maria, Santa Maria, RS, 2012.
- BRIDGELUX. *Bridgelux RS Array Series Data Sheet* ., 2012
- BRKOVIC, M.; CUK, S. Input current shaper using Cuk converter. **[Proceedings] Fourteenth International Telecommunications Energy Conference - INTELEC '92** p. 532–539, 1992.
- CALLEJA, A.J. et al. Design and experimental results of an input-current-shaper based electronic ballast. 1999a, In: Conference Record of the 1999 IEEE Industry Applications Conference. Thirty-Forth IAS Annual Meeting (Cat. No.99CH36370). **Anais... IEEE**, 1999. p.269–276.
- CALLEJA, A.J. et al. Design and experimental results of an input-current-shaper based electronic ballast. 1999b, In: Conference Record of the 1999 IEEE Industry Applications

Conference. Thirty-Forth IAS Annual Meeting (Cat. No.99CH36370). **Anais... IEEE**, 1999. p.269–276.

CALLEJA, A.J. et al. Design and experimental results of an input-current-shaper based electronic ballast. **IEEE Transactions on Power Electronics** v. 18, n. 2, p. 547–557, mar. 2003.

CAMPONOGARA, Douglas. **Análise E Projeto De Uma Topologia De Dois Estágios Otimizada Aplicada À Iluminação Pública Com Leds**. 2012. Dissertação (Mestrado em Engenharia Elétrica) - Universidade Federal de Santa Maria, Santa Maria, RS, 2012.

CAMPONOGARA, Douglas et al. Capacitance Reduction With An Optimized Converter Connection Applied to LED Drivers. **IEEE Transactions on Industrial Electronics** v. 62, n. 1, p. 184–192, jan. 2015.

CHANG, Moon-Hwan et al. Light emitting diodes reliability review. **Microelectronics Reliability** v. 52, n. 5, p. 762–782, 2012.

CHENG, Chun-An et al. Design and Implementation of a Single-Stage Driver for Supplying an LED Street-Lighting Module With Power Factor Corrections. **IEEE Transactions on Power Electronics** v. 30, n. 2, p. 956–966, fev. 2015.

CHENG, Chun-An; CHENG, Hung-Liang; CHUNG, Tsung-Yuan. A Novel Single-Stage High-Power-Factor LED Street-Lighting Driver With Coupled Inductors. **IEEE Transactions on Industry Applications** v. 50, n. 5, p. 3037–3045, set. 2014.

COLE, Marty; CLAYTON, Howard; MARTIN, Ken. Solid state lighting: The new normal in lighting. ago. 2014, In: 2014 IEEE Petroleum and Chemical Industry Conference - Brasil (PCIC Brasil). **Anais... IEEE**, ago. 2014. p.194–202.

COLE, Marty; DRISCOLL, Tim. The lighting revolution: If we were experts before, we're novices now. 2012, In: 2012 Petroleum and Chemical Industry Conference (PCIC). **Anais... IEEE**, 2012. p.1–12.

DA FONSECA, Zito et al. Single-Stage High Power Factor Converters Requiring Low DC-Link Capacitance to Drive Power LEDs. **IEEE Transactions on Industrial Electronics** v. 46, n. c, p. 1–1, 2016.

DA LUZ, Paulo Cesar. **Sistema eletrônico isolado com elevado fator de potência e reduzidas capacitâncias para alimentação de leds aplicado à iluminação pública**. 2013. 146 p. Dissertação (Mestrado em Engenharia Elétrica) - Universidade Federal de Santa Maria, Santa Maria, RS, 2013.

DALLA COSTA, Marco Antonio. **Compensación de resonancias acústicas en lámparas de descargas en halogenuros metálicos por medio de onda cuadrada de baja frecuencia: caracterización de lámparas y propuesta de nuevas topologías de alimentación**. 2008. Tese (Doutorado em Engenharia Elétrica) - Universidade de Oviedo, Gijón, Espanha, 2008.

DE MELO, Maicol Flores et al. Self-oscillating series-resonant led driver applied to reduce low-frequency current ripple transmission. out. 2015, In: 2015 IEEE Industry Applications Society Annual Meeting. **Anais... IEEE**, out. 2015. p.1–7.

DOE. Solid-State Lighting R&D Plan. n. June, p. 191, 2016.

ENERGY. U.S. DEPARTMENT OF. **ENERGY STAR Program Requirements for Solid State Lighting Luminaries, Version 1.3**. U.S. Environmental Protection Agency and U.S. Dept. Energy, 2010.

ERICKSON, Robert W; MAKSIMOVIĆ, Dragan. **Fundamentals of Power Electronics**.

2nd. ed. 2001. 900 p.

FERNANDEZ, A. et al. One stage, fast response, buck based AC-to-DC converter with active input current shaping. 1999, In: 30th Annual IEEE Power Electronics Specialists Conference. Record. (Cat. No.99CH36321). **Anais... IEEE**, 1999. p.99–104.

FERNANDEZ, A. et al. Size comparison between a half bridge converter with an AICS and a two-stage boost converter operating in a narrow input voltage range. 2001, In: 2001 IEEE 32nd Annual Power Electronics Specialists Conference (IEEE Cat. No.01CH37230). **Anais... IEEE**, 2001. p.1793–1798.

FU-SHENG TSAI; MARKOWSKI, P.; WHITCOMB, E. Off-line flyback converter with input harmonic current correction. 1996, In: Proceedings of Intelec'96 - International Telecommunications Energy Conference. **Anais... IEEE**, 1996. p.120–124.

GACIO, David et al. A Universal-Input Single-Stage High-Power-Factor Power Supply for HB-LEDs Based on Integrated Buck-Flyback Converter. **IEEE Transactions on Industrial Electronics** v. 58, n. 2, p. 589–599, fev. 2011.

GARCIA, J. et al. LED driver with bidirectional series converter for low frequency ripple cancelation. out. 2012, In: IECON 2012 - 38th Annual Conference on IEEE Industrial Electronics Society. **Anais... IEEE**, out. 2012. p.4563–4568.

GARCIA, O. et al. An alternative to supply DC voltages with high power factor. **IEEE Transactions on Industrial Electronics** v. 46, n. 4, p. 703–709, 1999.

HAO MA; YUE JI; YE XU. Design and Analysis of Single-Stage Power Factor Correction Converter With a Feedback Winding. **IEEE Transactions on Power Electronics** v. 25, n. 6, p. 1460–1470, jun. 2010.

HAO MA; YUE JI; YE XU. Single-stage power factor correction converter with coupled input current shaping inductor. jul. 2009, In: 2009 IEEE International Symposium on Industrial Electronics. **Anais... IEEE**, jul. 2009. p.1257–1262.

HERNANDEZ, C et al. Electronic ballast based on a series active input current shaper. ago. 2010, In: 12th IEEE International Power Electronics Congress. **Anais... IEEE**, ago. 2010. p.3–8.

HERNANDEZ, C. et al. The parallel active input current shaper. 2002, In: VIII IEEE International Power Electronics Congress, 2002. Technical Proceedings. CIEP 2002. **Anais... IEEE**, 2002. p.258–263.

HERNANDO, M et al. A new active waveshaping technique to comply with IEC 1000-3-2. 1998, In: IECON '98. Proceedings of the 24th Annual Conference of the IEEE Industrial Electronics Society (Cat. No.98CH36200). **Anais... IEEE**, 1998. p.837–842.

HU, Qingcong; ZANE, Regan. Minimizing required energy storage in off-line LED drivers based on series-input converter modules. **IEEE Transactions on Power Electronics** v. 26, n. 10, p. 2887–2895, 2011.

HUBER, L.; JOVANOVIC, M.M. Design optimization of single-stage, single-switch input-current shapers. 1997, In: PESC97. Record 28th Annual IEEE Power Electronics Specialists Conference. Formerly Power Conditioning Specialists Conference 1970-71. Power Processing and Electronic Specialists Conference 1972. **Anais... IEEE**, 1997. p.519–526.

HUBER, Laszlo et al. Generalized topologies of single-stage input-current-shaping circuits. **IEEE Transactions on Power Electronics** v. 16, n. 4, p. 508–513, jul. 2001.

HUBER, Laszlo; JOVANOVIC, M.M. Single-stage, single-switch, isolated power supply

technique with input-current shaping and fast output-voltage regulation for universal input-voltage-range applications. 1997, In: Proceedings of APEC 97 - Applied Power Electronics Conference. **Anais... IEEE**, 1997. p.272–280.

IEC61000-3-2. *Electromagnetic compatibility (EMC) - Part 3-2: Limits for harmonic current emissions*. . International Electrotechnical Commission, Geneva, Switzerland, November. , 2005

INMETRO. **Portaria Inmetro N. 478.** , 2013.

INMETRO. **Portaria n.º 389.** , 2014.

KIM, Hyun-Chang et al. An AC-DC LED Driver with a Two Parallel Inverted Buck Topology for Reducing the Light Flicker in Lighting Applications to Low-Risk Levels. **IEEE Transactions on Power Electronics** v. 8993, n. c, p. 1–1, 2016.

KIRSTEN, André. **Reator eletrônico para lâmpadas de descarga em alta pressão baseado no conversor biflyback inversor**. 2011. 185 p. Dissertação (Mestrado em Engenharia Elétrica) - Universidade Federal de Santa Maria, Santa Maria, RS, 2011.

KIRSTEN, André Luís et al. Digital control strategy for HID lamp electronic ballasts. **IEEE Transactions on Industrial Electronics** v. 60, n. 2, p. 608–618, 2013.

KORNETZKY, P.; HUAI HEI; BATARSEH, I. A novel one-stage power factor correction converter. 1997, In: Proceedings of APEC 97 - Applied Power Electronics Conference. **Anais... IEEE**, 1997. p.251–258.

LAMAR, D. G. et al. Using the loss-free resistor concept to design a simple ac-dc HB-LED driver for retrofit lamp applications. mar. 2014, In: 2014 IEEE Applied Power Electronics Conference and Exposition - APEC 2014. **Anais... IEEE**, mar. 2014. p.117–124.

LAMAR, D G et al. A sustained increase of input current distortion in active input current shapers to eliminate electrolytic capacitor for designing ac to dc HB-LED drivers for retrofit lamps applications. mar. 2016, In: 2016 IEEE Applied Power Electronics Conference and Exposition (APEC). **Anais... IEEE**, mar. 2016. p.1823–1830.

LAMAR, Diego G et al. Active input current shaper without electrolytic capacitor for retrofit lamps applications. **IEEE Transactions on Power Electronics** v. PP, n. 99, p. 1–1, 2016.

LON-KOU CHANG; HSING-FU LIU. A flexible and cost-effective family for AC/DC converters with input-current-shaper and fast output-voltage-regulation. 2004, In: 2004 IEEE 35th Annual Power Electronics Specialists Conference (IEEE Cat. No.04CH37551). **Anais... IEEE**, 2004. p.3113–3119.

LON-KOU CHANG; HSING-FU LIU. A flexible and low cost design for flyback AC/DC converter with harmonic current correction. 2003, In: Eighteenth Annual IEEE Applied Power Electronics Conference and Exposition, 2003. APEC '03. **Anais... IEEE**, 2003. p.677–683.

LUZ, Paulo. C. V. et al. An integrated insulated Buck-Boost-Flyback converter to feed LED's lamps to street lighting with reduced capacitances. dez. 2014, In: 2014 11th IEEE/IAS International Conference on Industry Applications. **Anais... IEEE**, dez. 2014. p.1–6.

MAÑAS, José Antonio Villarejo. **Reductores activos de armónicos basados en redes de alta impedancia derivadas de la familia reductora**. 2004. 388 p. Tese (Doutorado em Engenharia Elétrica) - Universidad Politécnica de Cartagena, 2004.

MENKE, Maikel. **Sistema eletrônico de alto fator de potência com entrada universal e controle de intensidade luminosa para o acionamento de LEDs**. 2016. 217 p. Dissertação (Mestrado em Engenharia Elétrica) - Universidade Federal de Santa Maria, Santa Maria, RS,

2016.

OGATA, Katsuhiko. **Discrete Time Control Systems**. 2nd. ed. 1995. 760 p.

PEREIRA, G G et al. High-power-factor LED driver based on input current shaper using a flyback converter. out. 2015, In: 2015 IEEE Industry Applications Society Annual Meeting. **Anais... IEEE**, out. 2015. p.1–6.

PEREIRA, Guilherme G. et al. LED Driver based on Input Current Shaper without Electrolytic Capacitor. **IEEE Transactions on Industrial Electronics** v. 64, n. 6, p. 4520–4529, 2017.

PINTO, Rafael Adaime. **Sistemas eletrônicos para iluminação de exteriores empregando diodos emissores de luz (LEDs) alimentados pela rede elétrica e por baterias**. 2012. 252 p. Tese (Doutorado em Engenharia Elétrica) - Universidade Federal de Santa Maria, Santa Maria, RS, 2012.

PONCE, Mario et al. Evaluation of an improved input current shaper used as power factor corrector in electronic ballast. 2002, In: 2002 IEEE International Symposium on Circuits and Systems. Proceedings (Cat. No.02CH37353). **Anais... IEEE**, 2002. p.IV-349-IV-352.

QIAO, Chongming; SMEDLEY, K.M. A topology survey of single-stage power factor corrector with a boost type input-current-shaper. **IEEE Transactions on Power Electronics** v. 16, n. 3, p. 360–368, maio 2001.

RYU, Myunghyo et al. Electrolytic capacitor-less, non-isolated PFC converter for high-voltage LEDs driving. maio 2011, In: 8th International Conference on Power Electronics - ECCE Asia. **Anais... IEEE**, maio 2011. p.499–506.

SÁ JR., Edilson Mineiro. **Estudo de Estruturas de Reatores Eletrônicos para LEDs de Iluminação**. 2010. 185 p. Tese (Doutorado em Engenharia Elétrica) - Universidade Federal de Santa Catarina, Florianópolis, SC, 2010.

SCHRATZ, Michael et al. A New Way to See the Light: Improving Light Quality with Cost-Effective LED Technology. **IEEE Industry Applications Magazine** v. 22, n. 4, p. 55–62, jul. 2016.

SEBASTIAN, J.; FERNANDEZ, A.; VILLEGAS, P.; HERNANDO, M.; OLLERO, S. A new active input current shaper for converters with symmetrically driven transformer. 2000, In: APEC 2000. Fifteenth Annual IEEE Applied Power Electronics Conference and Exposition (Cat. No.00CH37058). **Anais... IEEE**, 2000. p.468–474.

SEBASTIAN, J. et al. A new input current shaping technique using converters operating in continuous conduction mode. 1998a, In: PESC 98 Record. 29th Annual IEEE Power Electronics Specialists Conference (Cat. No.98CH36196). **Anais... IEEE**, 1998. p.1330–1336.

SEBASTIAN, J. et al. Design of an AC-to-DC converter based on a flyback converter with active input current shaper. 1999, In: APEC '99. Fourteenth Annual Applied Power Electronics Conference and Exposition. 1999 Conference Proceedings (Cat. No.99CH36285). **Anais... IEEE**, 1999. p.84–90 vol.1.

SEBASTIAN, J.; FERNANDEZ, A.; et al. Improved active input current shapers for converters with symmetrically driven transformer. **IEEE Transactions on Industry Applications** v. 37, n. 2, p. 592–600, 2001.

SEBASTIAN, J. et al. Input current shaper based on the series connection of a voltage source and a loss-free resistor. 1998b, In: APEC '98 Thirteenth Annual Applied Power Electronics Conference and Exposition. **Anais... IEEE**, 1998. p.461–467.

SEBASTIAN, J.; HERNANDO, M.M.; et al. Input current shaper based on the series connection of a voltage source and a loss-free resistor. **IEEE Transactions on Industry Applications** v. 37, n. 2, p. 583–591, 2001.

SEBASTIAN, J. et al. New active input current shapers to allow AC-to-DC converters with asymmetrically driven transformers to comply with the IEC-1000-3-2. **IEEE Transactions on Power Electronics** v. 17, n. 4, p. 493–501, jul. 2002.

SEBASTIAN, J.; FERNANDEZ, A.; VILLEGAS, P.; HERNANDO, M.; PRIETO, M.J. New topologies of active input current shapers to allow AC-to-DC converters to comply with the IEC-1000-3-2. 2000, In: 2000 IEEE 31st Annual Power Electronics Specialists Conference. Conference Proceedings (Cat. No.00CH37018). **Anais... IEEE**, 2000. p.565–570.

SPIAZZI, Giorgio; BUSO, Simone; MENEGHESSO, Gaudenzio. Analysis of a High-Power-Factor Electronic Ballast for High Brightness Light Emitting Diodes. 2005, In: IEEE 36th Conference on Power Electronics Specialists, 2005. **Anais... IEEE**, 2005. p.1494–1499.

STEVANOVIC, L.D.; CUK, Slobodan. Input current shaping and regulation of multiple outputs in a single isolated converter. 1993, In: Proceedings of Intelec 93: 15th International Telecommunications Energy Conference. **Anais... IEEE**, 1993. p.326–333.

SUN, Bo et al. PoF-Simulation-Assisted Reliability Prediction for Electrolytic Capacitor in LED Drivers. **IEEE Transactions on Industrial Electronics** v. 46, n. c, p. 1–1, 2016.

VAZQUEZ, N. et al. A different approach to implement an active input current shaper. 2002, In: 2002 IEEE 33rd Annual IEEE Power Electronics Specialists Conference. Proceedings (Cat. No.02CH37289). **Anais... IEEE**, 2002. p.1126–1131.

VAZQUEZ, N. et al. A Different Approach to Implement an Active Input Current Shaper. **IEEE Transactions on Industrial Electronics** v. 52, n. 1, p. 132–138, fev. 2005.

VAZQUEZ, N. et al. A new active input current shaper with reduced power processing. 2004, In: 9th IEEE International Power Electronics Congress, 2004. CIEP 2004. **Anais... IEEE**, 2004. p.41–45.

VAZQUEZ, N. et al. Input current shaper operating in DCM. ago. 2008, In: 2008 11th IEEE International Power Electronics Congress. **Anais... IEEE**, ago. 2008. p.11–14.

VAZQUEZ, Nimrod et al. The parallel active input current shaper operating in DCM. jun. 2008, In: 2008 IEEE Power Electronics Specialists Conference. **Anais... IEEE**, jun. 2008. p.3226–3230.

VILLAREJO, José A et al. Optimizing the Design of Single-Stage Power-Factor Correctors. **IEEE Transactions on Industrial Electronics** v. 54, n. 3, p. 1472–1482, jun. 2007.

WU, Tsai Fu; CHEN, Yu Kai. A systematic and unified approach to modeling PWM DC/DC converters based on the graft scheme. **IEEE Transactions on Industrial Electronics** v. 45, n. 1, p. 88–98, 1998.

YAO, Kai et al. Reducing Storage Capacitor of a DCM Boost PFC Converter. v. 27, n. 1, p. 151–160, 2012.

ZHANG, Qian et al. A snubber cell for single-stage PFC with a boost type input current shaper and isolated dc/dc converter. **IEEE Energy Conversion Congress and Exposition: Energy Conversion Innovation for a Clean Energy Future, ECCE 2011, Proceedings** p. 2609–2613, 2011.