

**UNIVERSIDADE FEDERAL DE SANTA MARIA
CENTRO DE TECNOLOGIA
PROGRAMA DE PÓS-GRADUAÇÃO EM INFORMÁTICA**

**ESTIMULADOR ELÉTRICO FUNCIONAL
COM BALANCEAMENTO ATIVO DE
CARGAS INTEGRADO EM TECNOLOGIA
CMOS DE 130nm**

DISSERTAÇÃO DE MESTRADO

Rafael Silveira

Santa Maria, RS, Brasil

2017

**ESTIMULADOR ELÉTRICO FUNCIONAL COM
BALANCEAMENTO ATIVO DE CARGAS INTEGRADO EM
TECNOLOGIA CMOS DE 130nm**

Rafael Silveira

Dissertação apresentada ao Curso de Mestrado Programa de
Pós-Graduação em Informática (PPGI), Área de Concentração em
Computação, da Universidade Federal de Santa Maria (UFSM, RS),
como requisito parcial para obtenção do grau de
Mestre em Ciência da Computação

Orientador: Prof. Dr. Cesar Ramos Rodrigues

Co-orientador: Prof. Dr. Cesar Augusto Prior

Santa Maria, RS, Brasil

2017

Silveira, Rafael

ESTIMULADOR ELÉTRICO FUNCIONAL COM BALANCEAMENTO ATIVO DE CARGAS INTEGRADO EM TECNOLOGIA CMOS DE 130nm / por Rafael Silveira. – 2017.

78 f.: il.; 30 cm.

Orientador: Cesar Ramos Rodrigues

Co-orientador: Cesar Augusto Prior

Dissertação (Mestrado) - Universidade Federal de Santa Maria, Centro de Tecnologia, Programa de Pós-Graduação em Informática, RS, 2017.

1. Estimulação Elétrica Funcional. 2. Neuroestimulador. 3. Balanceamento de carga. I. Ramos Rodrigues, Cesar. II. Augusto Prior, Cesar. III. Título.

© 2017

Todos os direitos autorais reservados a Rafael Silveira. A reprodução de partes ou do todo deste trabalho só poderá ser feita mediante a citação da fonte.

E-mail: rafaels.svp@gmail.com

**Universidade Federal de Santa Maria
Centro de Tecnologia
Programa de Pós-Graduação em Informática**

A Comissão Examinadora, abaixo assinada,
aprova a Dissertação de Mestrado

**ESTIMULADOR ELÉTRICO FUNCIONAL COM BALANCEAMENTO
ATIVO DE CARGAS INTEGRADO EM TECNOLOGIA CMOS DE
130nm**

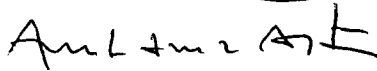
elaborada por
Rafael Silveira
como requisito parcial para obtenção do grau de

Mestre em Ciência da Computação

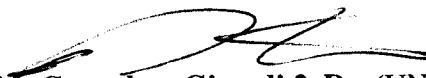
COMISSÃO EXAMINADORA:



Cesar Ramos Rodrigues, Dr.
(Presidente/Orientador)



André Luiz Aita 1, Dr. (UFSM)



Alessandro Gonçalves Girardi 2, Dr. (UNIPAMPA)

Santa Maria, 11 de Setembro de 2017.

RESUMO

Dissertação de Mestrado
Programa de Pós-Graduação em Informática
Universidade Federal de Santa Maria

ESTIMULADOR ELÉTRICO FUNCIONAL COM BALANCEAMENTO ATIVO DE CARGAS INTEGRADO EM TECNOLOGIA CMOS DE 130nm

AUTOR: RAFAEL SILVEIRA

ORIENTADOR: CESAR RAMOS RODRIGUES

CO-ORIENTADOR: CESAR AUGUSTO PRIOR

Local da Defesa e Data: Santa Maria, 11 de Setembro de 2017.

A estimulação elétrica funcional (FES) é uma técnica que vem sendo usada para restaurar funções neurológicas. Entre os exemplos bem sucedidos do uso de FES estão as recuperações da audição e da visão em pacientes que sofreram doenças neurológicas. No entanto, uma das principais preocupações em relação à neuroestimulação é garantir uma operação segura, ou seja, não causar nenhum dano ao tecido em decorrência de uma estimulação elétrica de longo prazo. O acúmulo de cargas no tecido pode provocar a corrosão do eletrodo e a geração de material tóxico que danifica o tecido. Visando essa segurança, é proposta uma metodologia para o controle de desbalanceamento de carga através de um circuito de realimentação e a alternância dos pulsos elétricos.

O presente trabalho tem como objetivo propor a implementação de um Neuroestimulador com balanceamento de carga ativo em tecnologia CMOS de 130nm. Uma decisão essencial que precisa ser tomada em um projeto de um Neuroestimulador é a escolha da tecnologia de fabricação. Levando em consideração a escolha de uma tecnologia de 130nm de baixa tensão, é proposta também, uma metodologia de implementação de chaves tolerantes à tensão, que visa compartilhar o mesmo "*baseline*" dos circuitos digitais, reduzindo custos e também a área do circuito como um todo.

Todos resultados são demonstrados no nível de simulação de esquemático, com inclusão dos parâmetros extraídos do *layout* e análise de Monte Carlo para validar o circuito. O Projeto foi fabricado através do programa "MPW" (*multi-program wafer*) do IMEC, mas as amostras não foram recebidas a tempo de permitir a inclusão dos resultados dos teste neste trabalho.

Palavras-chave: Estimulação Elétrica Funcional. Neuroestimulador. Balanceamento de carga.

ABSTRACT

Master's Dissertation
Post-Graduate Program in Informatics
Federal University of Santa Maria

FUNCTIONAL ELECTRICAL STIMULATOR WITH ACTIVE BALANCING OF INTEGRATED CHARGES IN 130NM CMOS TECHNOLOGY

AUTHOR: RAFAEL SILVEIRA

ADVISOR: CESAR RAMOS RODRIGUES

COADVISOR: CESAR AUGUSTO PRIOR

Defense Place and Date: Santa Maria, March 11st, 2017.

Functional electrical stimulation (FES) is a technique that has been used to restore neurological functions. Successful examples of the use of FES include hearing and vision recoveries in patients suffering from neurological disorders. However, one of the main concerns with regard to neurostimulation is to ensure a safe operation, ie, to not cause any damage to the tissue as a result of long-term electrical stimulation. The accumulation of charges in the tissue can lead to corrosion of the electrode and the generation of toxic material that damages the tissue. Aiming this safety, a methodology is proposed for the control of charge unbalance through a feedback circuit and the alternation of electric pulses.

The current work objective is to propose the implementation of a Neurostimulator with active charge balancing in 130 nm CMOS technology. An essential decision that needs to be made in a Neurostimulator project is the choice of manufacturing technology. Considering the choice of a low voltage 130nm technology, a voltage tolerant switch implementation methodology is also proposed, which aims to share the same baseline of the digital circuits, reducing costs and also the area of the circuit itself.

All results are demonstrated at the schematic simulation level, including the parameters extracted from the layout and Monte Carlo analysis to validate the circuit. The project was fabricated through the "MPW" (multi-program wafer) program of the IMEC, but the samples were not received in time to allow inclusion of test results in this work.

Keywords: Functional electrical stimulation. Neurostimulation. Charge balancing.

LISTA DE FIGURAS

Figura 2.1 – Tipos de pulso elétrico	16
Figura 2.2 – Sequência de pulsos alternados	18
Figura 2.3 – Modelo elétrico para um eletrodo	20
Figura 3.1 – Circuito para Balanço de Carga	21
Figura 3.2 – Chaves para polaridade do estímulo	22
Figura 3.3 – Dispositivos empilhados em série com transistor M_{SKN} (DAC)	24
Figura 3.4 – Arquitetura DAC	25
Figura 3.5 – Circuito de cópia de corrente	27
Figura 3.6 – Amplificador Operacional	28
Figura 3.7 – Circuito para injeção de carga nos capacitores de forma alternada.....	30
Figura 3.8 – Ligação Mestre-Escravo dos registradores	31
Figura 3.9 – Diagrama de tempo para leitura no registrador de saída.....	32
Figura 3.10 – Topologia de célula para 1 bit	33
Figura 3.11 – Registrador de 32 bits	34
Figura 3.12 – Dinâmica e operação do controle do equilíbrio de carga	35
Figura 4.1 – Chaves com o Deslocador de nível	37
Figura 4.2 – Esquemático Chaves Tipo P_1 e Tipo N_2	38
Figura 4.3 – Funcionamento Chave Tipo N: a) Na condição de corte, b) em condução	39
Figura 4.4 – Funcionamento Chave Tipo P: a) Na condição de corte, b) em condução	41
Figura 4.5 – Esquemático Deslocador	42
Figura 4.6 – Layout do circuito Neuroestimulador.....	46
Figura 4.7 – Layout do circuito Ponte-H de Estimulação.....	47
Figura 4.8 – Layout do circuito Chaves tipo N	48
Figura 4.9 – Layout do circuito Chaves tipo P.....	49
Figura 4.10 – Layout do circuito Deslocador de nível.....	50
Figura 4.11 – Layout do circuito DAC	51
Figura 4.12 – Layout do circuito Cópia de Corrente	52
Figura 4.13 – Layout do circuito Amplificador	53
Figura 4.14 – Layout do circuito Estimativa do desbalanceamento de carga	54
Figura 4.15 – Layout do circuito Controlador	55
Figura 4.16 – Layout do circuito de uma célula do Registrador	55
Figura 4.17 – Layout do Circuito Integrado completo	56
Figura 4.18 – Mapeamento de <i>pads</i> e encapsulamento	57
Figura 4.19 – VDS Chave N.....	58
Figura 4.20 – VGS Chave N.....	59
Figura 4.21 – VDS Chave P	60
Figura 4.22 – VGS Chave P	61
Figura 4.23 – Corrente e tensão no eletrodo $Ve+$	62
Figura 4.24 – Eficiência	63
Figura 4.25 – Pulsos do Deslocador de Nível.....	64
Figura 4.26 – Simulações de Monte Carlo para VDS e VGS da chave P	65
Figura 4.27 – Simulações de Monte Carlo para VDS e VGS da chave N	65
Figura 4.28 – Corrente e tensão nos eletrodos	66
Figura 4.29 – Simulação de desbalanço de corrente em malha aberta	67
Figura 4.30 – Simulação de desbalanço de corrente em malha controlada	68

Figura 4.31 – Simulação de desbalanço de tensão 69

LISTA DE TABELAS

Tabela 2.1 – Parâmetros do modelo elétrico	20
Tabela 4.1 – Tamanho dos transistores Chave N	40
Tabela 4.2 – Tamanho dos transistores Chave P	41
Tabela 4.3 – Tamanho dos componentes Deslocador de nível	44

LISTA DE ABREVIATURAS E SIGLAS

FES	<i>Functional Electrical Stimulation</i>
CMOS	<i>Complementary Metal-Oxide-Semiconductor</i>
NMOS	<i>N-type metal-oxide-semiconductor</i>
PMOS	<i>P-type metal-oxide-semiconductor</i>
HV	<i>High Voltage</i>
CI	Circuito Integrado
DC	<i>Direct Current</i>
DAC	<i>Digital-to-Analog Converter</i>
VHDL	<i>VHSIC Hardware Description Language</i>
MOSFET	<i>Metal Oxide Semiconductor Field Effect Transistor</i>
SPI	<i>Serial Peripheral Interface</i>
GND	<i>GrouND</i> - Referência para 0V
VGS	Tensão entre terminais <i>gate</i> e fonte de um dispositivo MOSFET
VDS	Tensão entre terminais dreno e fonte de um dispositivo MOSFET
LVS	<i>Layout Versus Schematic</i>
DRC	<i>Design Rule Check</i>
ERC	<i>Electrical Rule Check</i>

SUMÁRIO

1 INTRODUÇÃO	12
1.1 Motivação	12
1.2 Justificativa	13
1.3 Objetivos	14
2 PRINCÍPIOS DA ESTIMULAÇÃO ELÉTRICA FUNCIONAL (FES)	15
2.1 Tipos de Estimulação	15
2.2 Balanceamento de carga	17
2.3 Sequência de pulsos alternados	18
2.4 Modelo Elétrico da interface eletrodo-tecido	18
3 ESTIMULADOR COM BALANÇO DE CARGA - VISÃO GERAL	21
3.1 Polaridade do estímulo	22
3.2 DAC	24
3.3 Cópia da corrente	26
3.3.1 Amplificador Operacional.....	28
3.4 Estimativa do desbalanceamento de carga	29
3.5 Controlador	30
3.6 Dinâmica da malha de controle	34
4 IMPLEMENTAÇÃO E RESULTADOS	36
4.1 Ponte-H de Estimulação	36
4.1.1 Chaves Tipo P e N	37
4.1.1.1 Chave tipo N.....	38
4.1.1.2 Chaves Tipo P	40
4.1.2 Deslocador de nível.....	41
4.2 Implementação Física	44
4.2.1 Layout circuito Ponte-H de Estimulação	47
4.2.1.1 Layout circuito Chave tipo N	47
4.2.1.2 Layout circuito Chave tipo P	48
4.2.1.3 Layout Circuito Deslocador de nível	49
4.2.2 Layout circuito DAC.....	50
4.2.3 Layout circuito Cópia de Corrente	52
4.2.4 Layout circuito Amplificador.....	53
4.2.5 Layout circuito Estimativa do desbalanceamento de carga	53
4.2.6 Layout circuito Controlador	54
4.2.7 Layout Circuito Integrado completo	55
4.3 Resultados	57
4.3.1 Simulações da Chaves tipo P e N	57
4.3.2 Deslocador de nível.....	63
4.3.3 Simulações de Monte Carlo	64
4.3.4 Simulações com parâmetros extraídos do <i>Layout</i>	66
5 CONCLUSÃO E TRABALHOS FUTUROS	70
REFERÊNCIAS	71
APÊNDICES	74

1 INTRODUÇÃO

Atualmente, o uso de implantes médicos que visam melhorar o padrão de vida dos pacientes que sofrem com doenças neurológicas, como perda de visão e audição, tem aumentado significativamente (JUNG et al., 2011). A estimulação elétrica funcional (FES) é uma técnica que vem sendo usada para restaurar funções neurológicas. Implantes cocleares (CLARK, 2003), estimuladores da retina (CHUN; YANG; LEHMANN, 2014) e (WALTER, 2016) são exemplos bem sucedidos do uso de FES para recuperar a audição e visão em pacientes que sofreram doenças neurológicas. A FES consiste em aplicar um sinal elétrico, com parâmetros bem definidos, entre dois ou mais pontos do tecido biológico, por meio de eletrodos (TEIXEIRA, 2015). Dessa forma, uma pessoa cujos nervos foram danificados, interrompendo o caminho dos estímulos para os músculos da perna, por exemplo, pode utilizar um dispositivo baseado em FES para iniciar um movimento. Um bom exemplo pode ser visto em (RIENER, 2016), onde competidores com paraplegia completa participam de uma corrida de bicicleta, com os nervos estimulados artificialmente. Outra aplicação proposta por (ODDO et al., 2016), faz uso de FES aliada a uma tecnologia que emula a dinâmica de disparo de aferentes cutâneos para restaurar o senso de toque, permitindo que pessoas com um braço amputado pudessem diferenciar texturas diferentes.

1.1 Motivação

Existem alguns desafios a serem superados no projeto de um neuroestimulador. Um deles, que é decisão essencial para o desenvolvimento de um circuito FES, está na escolha da tecnologia de fabricação, pois como o conjunto tecidos e eletrodos apresenta impedâncias na ordem de $k\Omega$, a tensão necessária para produzir uma resposta na estimulação é maior que a suportada por transistores fabricados em processos CMOS de baixa tensão. Existem processos de fabricação com transistores de alta tensão (HV), mas é desejável o uso de transistores comuns para poder compartilhar o "baseline" dos circuitos digitais, reduzindo custos e ampliando a gama de escolhas. Outro desafio é garantir por um longo período de tempo o bom funcionamento dos componentes usados, pois como é um circuito implantado, não pode ser trocado periodicamente. Para melhorar a eficiência e diminuir o tamanho desses implantes, busca-se a diminuição, tanto no número de transistores CMOS, quanto no tamanho dos transistores usados.

Um dos métodos mais adotados, atualmente, para condição de funcionamento de longo

prazo dos dispositivos é garantir que cada transistor opere dentro do limite de tolerância da queda de tensão em cima dele. Uma abordagem alternativa é utilizar topologias de circuitos com transistores CMOS que garantam a confiabilidade de cada transistor. A principal estratégia é usar uma topologia que empilhe um número suficiente de transistores para dividir as sobreensões entre os seus terminais. Para isso, é necessário também, um circuito de controle auxiliar que garanta uma correta distribuição de quedas de tensão entre os dispositivos empilhados. O presente trabalho tem como principal contribuição científica apresentar uma nova topologia para chaves tolerantes à tensão, que reduz o número de 17, para 5 transistores, em comparação com trabalhos anteriores. Outra contribuição é implementar uma técnica de balanceamento ativo de cargas aliada com uma proposta de estimular o tecido com uma sequência de pulsos de corrente alternados, que foi testada apenas em nível de simulação. Com base nessas informações, surgiu a motivação de desenvolver um neuroestimulador com balanço de carga em CI.

1.2 Justificativa

Mesmo que se busque uma diminuição no tamanho do circuito, um longo prazo de funcionamento do seus componentes e o baixo consumo de energia, para uma maior duração da bateria, a segurança (não causar dano ao tecido em decorrência de uma estimulação elétrica de longo prazo) continua sendo a principal preocupação para um circuito implantado (ALEX; LEHMANN, 20013). Alguns estudos sobre danos nos tecidos, apontam dois fatores responsáveis: aumento da temperatura e acúmulo de cargas (íons). O acúmulo de cargas, por sua vez, advém de dois fatores: 1) quando o limite de estimulação do eletrodo é excedido, a componente Faradaica das correntes aumenta em relação às não-Faradaicas (MERRILL; BIKSON; JEFFERYS, 2005); 2) desequilíbrio na estimulação, com injeções diferentes de carga durante os pulsos catódico e anódico. O resultado de ambos os fatores é deixar espécies iônicas não neutralizadas no tecido. Esse desbalanceamento se reflete, na prática, com a presença de uma componente DC que provoca a corrosão do eletrodo e a geração de material tóxico, danificando o tecido (CHUN; YANG; LEHMANN, 2014). Outros estudos mostram que o dano tecidual ocorre na estimulação crônica dos implantes cocleares, onde o desequilíbrio de carga (corrente DC residual) é mantido acima de 100 nA. (HUANG et al., 2014). Além da corrente, a tensão residual nos eletrodos, após o período de estimulação, também deve ser levado em consideração nos neuroestimuladores. Em geral, um limite de segurança aceito é a janela de oxidação da água na interface eletrodo/tecido, quando esse limite é excedido, há formação de bolhas de gás. Esse

limite depende do material usado no eletrodo: para platina, por exemplo, a janela de segurança é entre $-0,6\text{V}$ e $+0,8\text{V}$, de acordo com (LO et al., 2013).

1.3 Objetivos

O principal objetivo deste trabalho é a implementação de estimulador elétrico funcional com balanceamento de carga em si, utilizando apenas transistores padrão da tecnologia. Para isto é proposta uma nova topologia de chaves, usadas para permitir que um circuito integrado possa ser alimentado com uma tensão superior à permitida pela tecnologia, evitando o uso de transistores de alta tensão. O funcionamento da mesma é demonstrado em um neuroestimulador com balanceamento de carga ativo. As chaves desenvolvidas substituíram blocos ideais do neuroestimulador proposto por (TEIXEIRA, 2015), em nível de esquemático. Para validar o circuito foram feitas simulações em nível de esquemático, verificações de "*layout*" e simulações com parâmetros extraídos do "*layout*". Após cumpridas essas etapas, foi desenvolvida a prototipação do CI.

2 PRINCÍPIOS DA ESTIMULAÇÃO ELÉTRICA FUNCIONAL (FES)

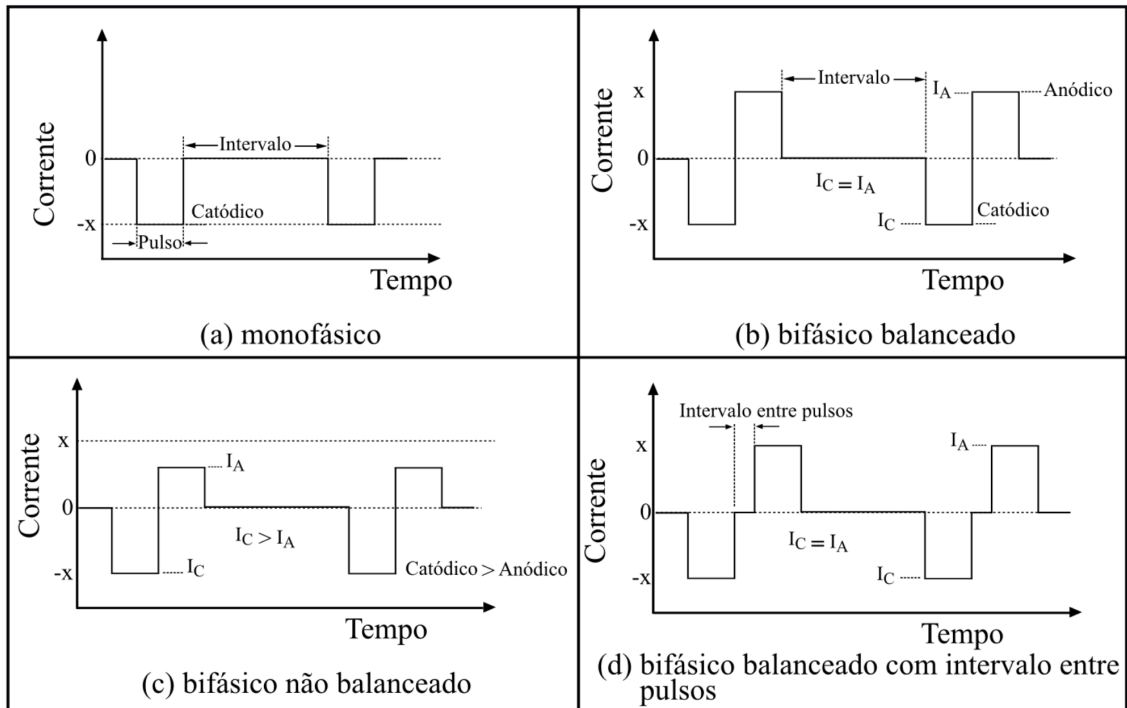
Experimentos fisiológicos demonstram que a estimulação elétrica pode provocar respostas funcionais sobre o tecido neural. Várias próteses artificiais são baseadas na estimulação elétrica do tecido através de eletrodos (TEHOVNIK, 1996). A estimulação elétrica do tecido geralmente é realizada pela entrega de uma série de pulsos de corrente, através de uma interface de eletrodo/tecido (KRISHNAN; KELLY, 2012).

2.1 Tipos de Estimulação

Existem dois tipos de estimulação que podem ser usadas: 1) Monopolar: É feita através da entrega de pulsos de corrente monofásicos, onde uma corrente constante é aplicada no tecido por um período de tempo (normalmente entre dezenas e centenas de microssegundos), seguido por um intervalo de tempo sem nenhuma aplicação de intensidade de estímulo até o próximo pulso. Em termos de capacidade de provocar a resposta fisiológica desejada, esse tipo de estimulação é a mais efetiva (MERRILL; BIKSON; JEFFERYS, 2005), mas requer componentes passivos para manutenção do balanceamento de carga. O potencial do eletrodo permanece negativo durante o intervalo entre pulsos monofásicos catódicos, pois a capacitância do eletrodo carregado descarrega lentamente, permitindo um excesso de carga acumulada que será prejudicial ao tecido ao longo de uma estimulação. 2) Bipolar: Essa técnica, que aliada a métodos de balanceamento, tem sido mais usada em estimuladores integrados, pois não necessita de componentes passivos para a manutenção do balanceamento de carga. Na estimulação bipolar, a cada ciclo, são aplicados dois pulsos de corrente com duração idênticas mas polaridades opostas, seguido de um período de latência até a próxima estimulação. A primeira fase do pulso bifásico, chamada de fase estimulante, é usada para provocar o estímulo. A segunda fase, chamada de reversão, é usada para reverter os processos eletroquímicos que ocorrem durante o pulso estimulante. Normalmente um pulso catódico é usado na fase de estimulação e um anódico na fase de reversão, pois essa sequência possui um limiar de estimulação ligeiramente inferior ao estímulo anódico com reversão catódica (MERRILL; BIKSON; JEFFERYS, 2005). A figura 2.1(a) ilustra o comportamento do tipo de pulso monofásico com corrente catódica, a figura 2.1(b) ilustra o pulso bifásico balanceado com estímulo catódico e reversão anódica, onde ambos pulsos possuem a mesma intensidade. A figura 2.1(c) mostra o pulso bifásico não

balanceado, onde a corrente catódica é maior que a corrente anódica e a figura 2.1(d) ilustra o pulso bifásico balanceado com um intervalo entre pulsos.

Figura 2.1 – Tipos de pulso elétrico



Fonte: Autor (2017)

Em uma estimulação bifásica balanceada, a primeira fase (estimulante) tem o mesmo papel do pulso monofásico, já a segunda (reversão) é utilizada para reverter a direção dos processos eletroquímicos (acúmulo de carga negativa ou positiva) causada pela fase estimulante. Essa metodologia é amplamente utilizada para prevenir danos ao tecido. Porém, o equilíbrio da carga não equivale necessariamente ao equilíbrio eletroquímico. Durante a estimulação, há reações irreversíveis durante a fase catódica, como por exemplo a redução de oxigênio e diferentes reações irreversíveis durante a fase anódica, como a corrosão de eletrodo. Portanto, uma não é o inverso da outra e tal desequilíbrio eletroquímico permite a ocorrência de reações irreversíveis. A estimulação bifásica não balanceada pode ser usada para reduzir os potenciais mais positivos durante a fase anódica em relação à estimulação bifásica balanceada e evitar a corrosão dos eletrodos, conforme mostrado em (SCHEINER; MORTIMER, 1990). Além da corrosão dos eletrodos, outra preocupação com a forma de onda bifásica balanceada é que a fase de reversão pode atenuar algum efeito fisiológico desejado da fase estimulante, suprimindo um potencial induzido pela primeira fase de estimulação. Conforme mostrado em (GORMAN; MORTIMER, 1983), ao introduzir um intervalo entre pulsos nas fases de estimulação e inversão, o limiar para

a estimulação bifásica se assemelha ao do monofásico e também permite que o potencial do eletrodo permaneça relativamente negativo durante o período de atraso. Um atraso de $100\mu s$ é suficiente para evitar o efeito de supressão da fase de reversão e por ser um período bastante curto, o acúmulo de carga fica dentro de um nível aceitável (MERRILL; BIKSON; JEFFERYS, 2005).

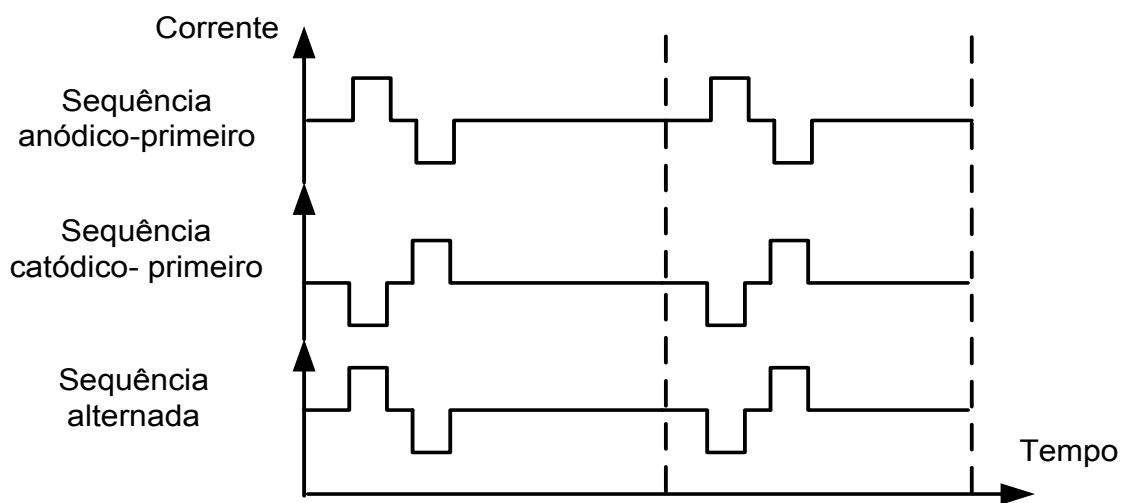
2.2 Balanceamento de carga

Como visto anteriormente, uma forma de onda bifásica consiste em um pulso de corrente catódico, usado para estimular, seguido de um pulso de corrente anódico, usado para neutralizar a carga total entregue ao tecido. O principal objetivo do pulso bifásico balanceado é manter o local que está recebendo o estímulo com carga muito próxima de zero, pois quando uma carga residual diferente de zero é estabelecida no local, uma corrente DC flui para o tecido, podendo causar danos irreversíveis tanto no eletrodo, quanto no tecido (LO et al., 2013). Portanto, em uma estimulação de média ou longa duração é necessário ter um balanço entre a carga injetada e a retirada do tecido. Um método simples para evitar essa corrente DC (conhecida como balanceamento passivo) consiste da inserção de um capacitor de bloqueio entre cada eletrodo estimulante e a saída do estimulador, mas a capacitância necessária seria muito grande, impossibilitando o uso de um capacitor em um chip implantável (SIT; SARPESHKA, 2007). A metodologia proposta por (TEIXEIRA, 2015), que é um aperfeiçoamento à proposta por (RODRIGUES; LEHMANN; SUANING, 2013), visa solucionar o problema de desbalanceamento de carga através da medida de carga real injetada nos eletrodos, através da cópia de corrente nos terminais de saída. Essa medida é usada para realimentar o sistema a fim de deixar esse desbalanceamento muito próximo de zero em um período longo de tempo de estimulação. A estimativa de desbalanceamento é feita através de dois capacitores, sendo um carregado com a carga proporcional do primeiro semiciclo e outro com a do segundo semiciclo. Dessa forma, a diferença de tensão armazenada nos dois capacitores é o desbalanceamento medido. O controle das intensidades dos pulsos é feito através de um conversor Digital para analógico (DAC). O DAC é responsável por definir a intensidade do pulso através da fase de pré-carga, onde os capacitores são carregados com uma tensão determinada. Dessa forma, o desbalanceamento do ciclo anterior pode ser somado a essa tensão que será usada para definir a intensidade do pulso no próximo ciclo.

2.3 Sequência de pulsos alternados

No uso de estimuladores com pulsos bifásicos, a opção mais utilizada é a aplicação de um pulso catódico seguida de um anódico, em todo período de estimulação (DO et al., 2013)(CHUN; YANG; LEHMANN, 2014) (GUO; LEE, 2009)(SIT; SARPESHKA, 2007). Nesse trabalho, é proposta uma alternância na sequência de pulsos, ou seja, trocar a polaridade de estímulo a cada ciclo. A Figura 2.2 ilustra a diferença entre as três sequências de pulsos bifásicos.

Figura 2.2 – Sequência de pulsos alternados



Fonte: TEIXEIRA (2015)

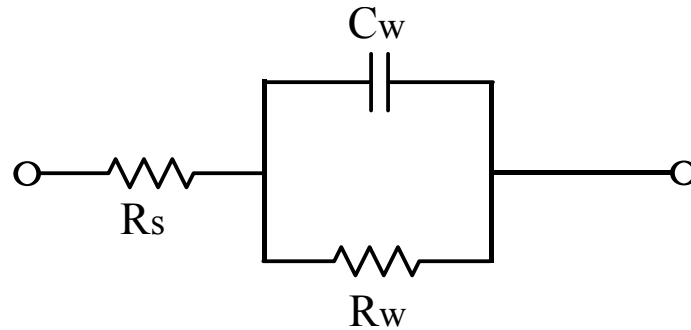
Resultados apresentados por (SHEPHERD; JAVEL, 1999), mostram que não houve diferença significativa na probabilidade de disparo do potencial de ação de células entre estímulo catódico ou anódico primeiro. Levando esses resultados em consideração, é proposto adotar uma sequência alternada de polaridades, uma vez que estudos feitos por (ALVAREZ et al., 2007) comprovaram com sucesso essa metodologia de alternância de pulsos para redução no desbalanço de carga.

2.4 Modelo Elétrico da interface eletrodo-tecido

A principal função dos neuroestimuladores é induzir a resposta neurológica desejada, através da entrega e recuperação de carga nas células nervosas por meio de eletrodos (CHUN; YANG; LEHMANN, 2014). Quando um eletrodo metálico é colocado em um meio fisiológico, como o fluido extracelular, é formada uma interface entre as duas camadas. Na camada do eletrodo metálico e nos circuitos elétricos anexados, a carga é transportada por elétrons, já no

meio fisiológico (ou eletrólito), a carga é carregada por íons. Em um sistema mais simples, dois eletrodos são colocados em um eletrólito e a corrente elétrica passa entre os eletrodos através do eletrólito. Um dos dois eletrodos é chamado de eletrodo de trabalho e o outro de contra-eletrodo. De uma forma geral, existem dois mecanismos principais de transferência de carga na interface eletrodo/eletrólito. Uma é reação não-faradaica, onde nenhum elétron é transferido entre eletrodo e eletrólito, e o outro é uma reação faradaica, na qual os elétrons são transferidos entre eletrodo e eletrólito. A carga pode ser injetada do eletrodo para o eletrólito por meio de processos faradaicos de oxidação e redução. A redução requer a adição de um elétron e ocorre no eletrodo que é conduzido negativamente. A oxidação requer a remoção de um elétron e ocorre no eletrodo que é conduzido positivamente (MERRILL; BIKSON; JEFFERYS, 2005). Para que seja possível fazer simulações elétricas é adotado um modelo básico que irá fornecer a mesma resposta elétrica de um eletrodo à uma estimulação elétrica funcional com pulsos bifásicos balanceados. O modelo proposto por (MERRILL; BIKSON; JEFFERYS, 2005), que já foi usado em outros trabalhos (CHUN; YANG; LEHMANN, 2014) (SIT; SARPESHKA, 2007) é mostrado na figura 2.3. O modelo usa um capacitor C_w para representar a capacidade do eletrodo para causar fluxo de carga no eletrólito, sem transferência de elétrons, em paralelo com um resistor R_w que representa o processo faradaico de redução e oxidação onde ocorre transferência de elétrons entre eletrodo e eletrólito. De uma forma geral pode-se considerar que a capacitância representa o armazenamento de carga e que a impedância faradaica representa a dissipação de carga. O resistor R_s representa a resistência total por onde flui a corrente entre eletrodo e eletrólito, causando queda de tensão e perda de energia.

Figura 2.3 – Modelo elétrico para um eletrodo



Fonte: Autor (2017)

A tabela 2.1 ilustra os parâmetros adotados para os valores de C_w , R_w e R_s , que são baseados no trabalho proposto por (CHUN; YANG; LEHMANN, 2014) para um eletrodo de platina usado em uma prótese de retina.

Tabela 2.1 – Parâmetros do modelo elétrico

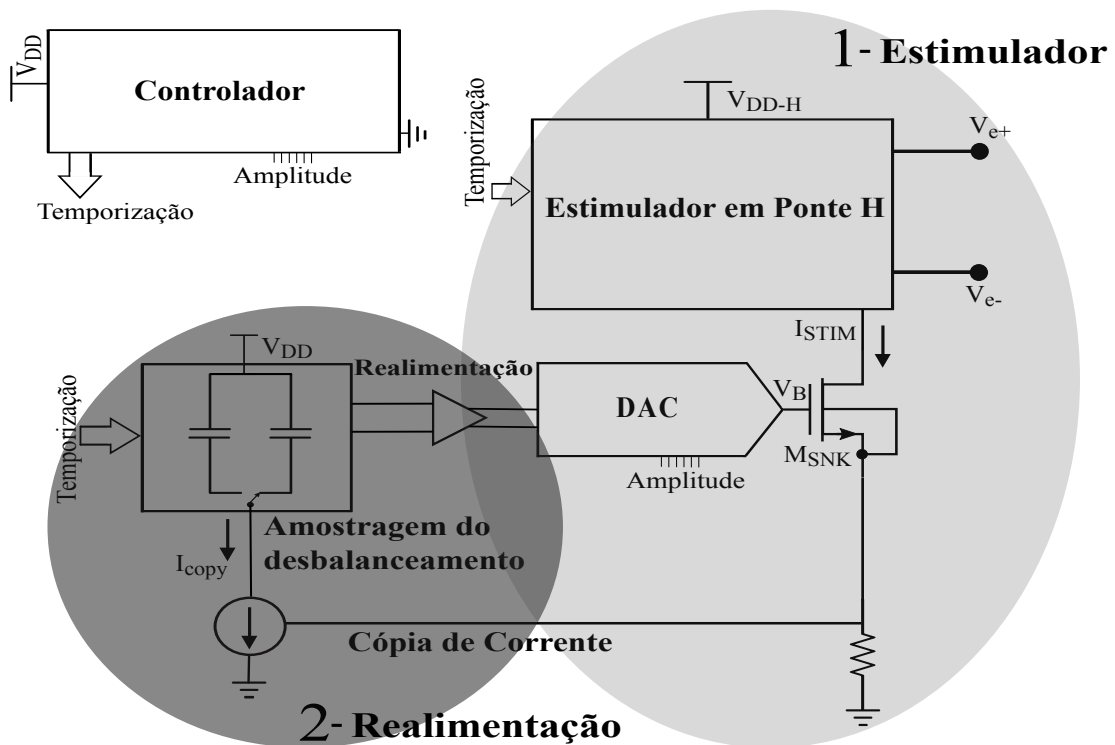
Parâmetro	Valor
R_s	10K Ω
C_w	100nF
R_w	10M Ω

Fonte: (CHUN; YANG; LEHMANN, 2014)

3 ESTIMULADOR COM BALANÇO DE CARGA - VISÃO GERAL

Esse capítulo mostra o circuito para FES, que implementa a metodologia de controle e equilíbrio de carga, proposta por (TEIXEIRA, 2015). Todos os blocos descritos foram enviados para fabricação em circuito integrado e a metodologia de balanço de carga mostrada é um aperfeiçoamento da proposta por (RODRIGUES; LEHMANN; SUANING, 2013). A figura 3.1 apresenta, de forma simplificada, o diagrama de blocos do sistema proposto, onde a parte 1 do sistema é o estimulador e a parte 2 a realimentação do balanço de carga.

Figura 3.1 – Circuito para Balanço de Carga



Fonte: Adaptado de TEIXEIRA (2015)

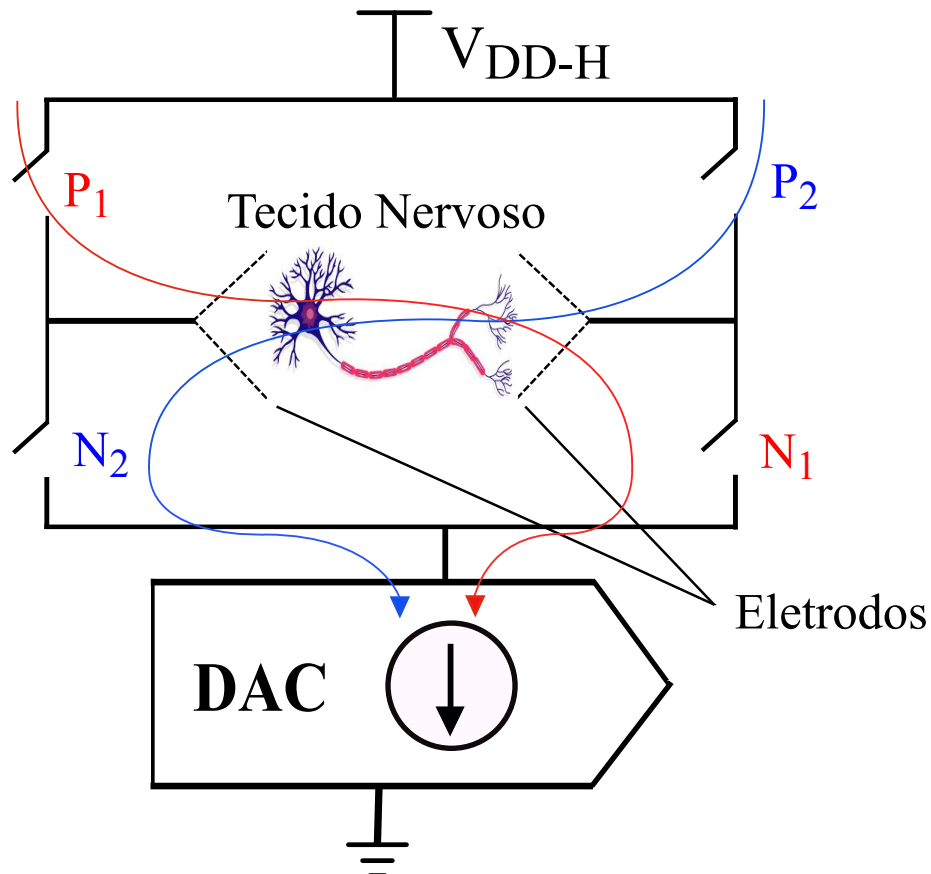
O objetivo do circuito é gerar um sinal de estimulação bifásico com amplitudes de correntes bem definidas. Esse sinal é aplicado nos eletrodos que estimulam o tecido alvo da aplicação. O Estimulador em ponte H é responsável por gerar o pulso de corrente, controlado pelo DAC, nas duas polaridades necessárias para o estímulo (pulso bifásico). O DAC é usado para controlar a intensidade do estímulo, através do controle do pulso de corrente que é gerado pelo Estimulador em ponte H. As funções do Controlador são o envio dos pulsos para chavear o estimulador em Ponte H, determinar a amplitude da corrente e carregar e descarregar os capacitores de amostra de corrente. A fase de realimentação é feita pela cópia de corrente nos

eletrodos e usada para controlar o balanço da carga aplicada. Durante essa fase, o amplificador operacional é usado para a amplificação da diferença entre as duas tensões produzidas pela cópia de corrente I_{COPY} e pela corrente no eletrodo I_{STIM} . A estimativa do desbalanceamento entre as cargas elétricas é feita pela amostragem do desbalanceamento, onde a cópia gera uma quantidade de carga proporcional à carga real injetada e retirada, em cada fase da estimulação. Esse desbalanceamento é feito usando dois capacitores, sendo que um é carregado com uma carga proporcional ao primeiro semiciclo e o outro com a carga do segundo semiciclo. A seguir é demonstrado como é o funcionamento de cada bloco utilizado, tanto para gerar os pulsos, quanto para fazer o balanceamento de carga.

3.1 Polaridade do estímulo

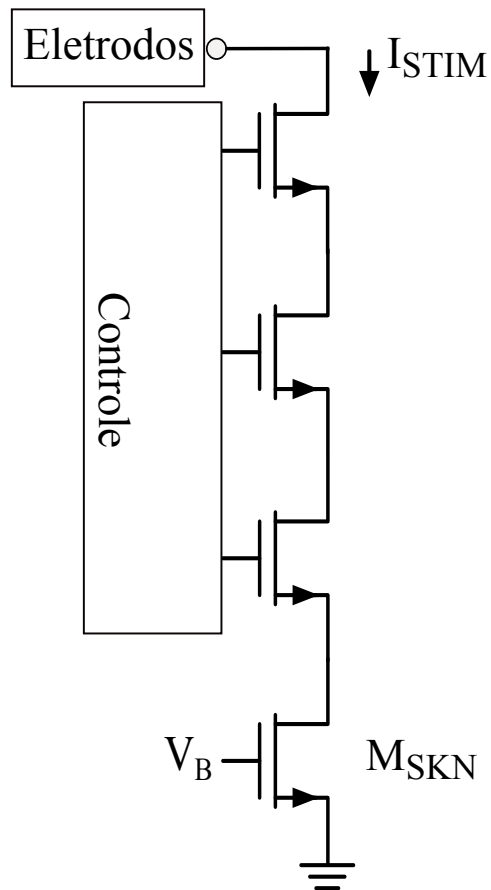
A polaridade do estímulo aplicada à carga pode ser feita através da estrutura demonstrada na figura 3.2. Essa estrutura é capaz de aplicar o pulso de corrente, controlado pelo DAC, nos dois sentidos necessários para o estímulo.

Figura 3.2 – Chaves para polaridade do estímulo



A geração das duas polaridades de estímulo é possível fazendo com que a corrente circule por P_1 e N_1 durante a fase (1) ou por P_2 e N_2 durante a segunda fase de estimulação (2). O uso dessas chaves elimina a necessidade de usar duas fontes de corrente, e consequentemente dois DACs, que aumentaria o desbalanço entre os pulsos devido ao descasamento entre elementos de dois circuitos DAC diferentes. A maior tensão de bloqueio que as chaves suportam é correspondente à maior tensão aplicada aos terminais dos eletrodos e à tensão de alimentação do circuito, no caso em que todos os interruptores estão em bloqueio. O uso dessa estrutura também permite que o DAC e o circuito para controle das chaves sejam implementados com transistores de baixa tensão. Quando estão conduzindo, os transistores empilhados suportam toda a tensão que excede 3,3V nos terminais do DAC, pois é formada uma estrutura tipo cascode com o transistor M_{SNK} . A figura 3.3 mostra a operação de uma chave em série com o transistor M_{SNK} pertencente ao DAC. Sendo a tensão V_B responsável por controlar o *gate* do transistor M_{SNK} e I_{STIM} o sentido da corrente na chave. Existe a necessidade de ter outro circuito de controle para garantir que cada transistores opere dentro do limite de queda de tensão, estabelecido pela tecnologia, que nesse caso é de 3,3V. Uma metodologia proposta para esse circuito é demonstrada na seção 4.2.1.

Figura 3.3 – Dispositivos empilhados em série com transistor M_{SKN} (DAC)

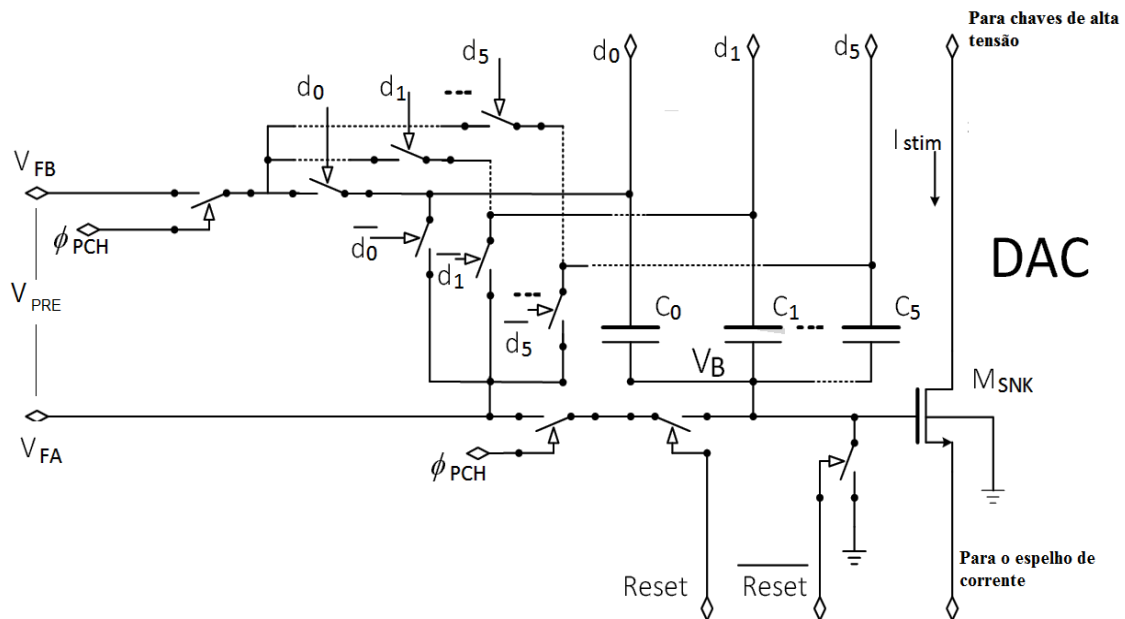


Fonte: Adaptado de TEIXEIRA (2015)

3.2 DAC

O controle da intensidade do pulso de corrente é exercido por um conversor Digital para Analógico (DAC). O DAC usado é do tipo redistribuição de carga (*charge redistribution*), conforme mostrado na figura 3.4.

Figura 3.4 – Arquitetura DAC



Fonte: TEIXEIRA (2015)

Este tipo de DAC é formado por um arranjo de chaves, um banco de capacitores com capacitâncias em escala binária (C_0 - C_5), onde cada capacitor é equivalente a um bit da palavra de configuração, com capacitância proporcional ao peso binário deste bit e um transistor (M_{SNK}) utilizado para converter a tensão de saída do conversor em corrente. A operação é dividida em quatro fases: 1) configuração, 2) pré-carga, 3) redistribuição e 4) geração do pulso. Na fase de configuração é definida a palavra digital por meio do barramento binário d_0 - d_5 . Na pré-carga, os capacitores equivalentes aos bits, em nível alto da palavra de configuração, são carregados com uma tensão determinada que equivale à diferença na tensão entre os nós V_{FA} e V_{FB} . Na fase de redistribuição de carga, os terminais dos capacitores equivalentes a bits em nível alto são ligados à alimentação mais positiva (V_{REF}), e o restante é ligado ao terra. A tensão no terminal comum a todos os capacitores (V_B) é definida pela redistribuição das cargas entre os capacitores e ligada ao *gate* do transistor M_{SNK} . A fase de geração do pulso ocorre enquanto a tensão em V_B for mantida, definindo a intensidade dos pulsos. A pré-carga é realizada com V_{PRE} somente nos capacitores em que os bits corresponderão a nível lógico alto, enquanto os outros capacitores são descarregados. Dessa forma, a tensão V_B é gerada de acordo com a Equação 3.1. A tensão V_{REF} é o valor no qual são conectados os capacitores equivalentes aos bits com nível lógico alto; na fase de redistribuição de carga, V_{PRE} é a tensão

de pré-carga existente nesses capacitores, C_1 a capacitância total da associação de capacitores ligados aos bits com nível lógico alto, para a palavra de configuração digital selecionada e C_0 é a soma das capacitâncias dos capacitores ligados aos bits de nível lógico baixo e do *gate* de M_{SNK} .

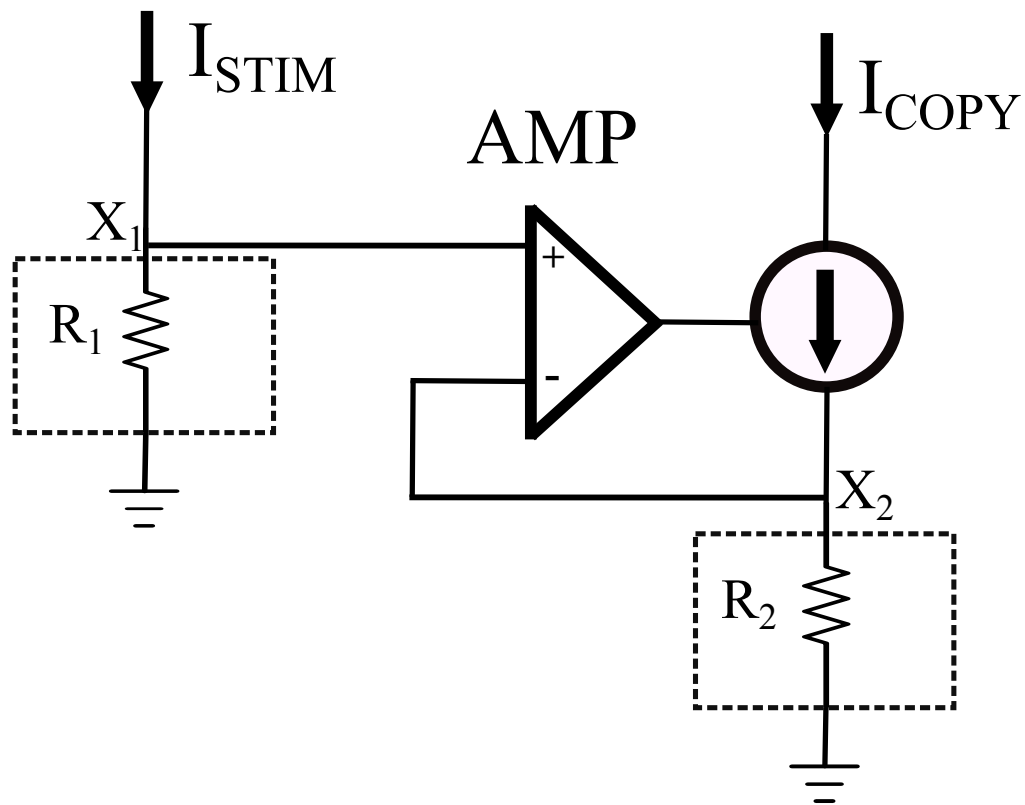
$$V_B = \frac{C_1}{C_1 + C_0} \cdot V_{REF} + \frac{C_1}{C_1 + C_0} \cdot V_{PRE} \quad (3.1)$$

A variação de tensões possíveis em V_B é de 0V até $V_{REF} + V_{PRE}$, ficando limitada pela capacitância do *gate* de M_{SNK} . Uma característica relevante do circuito DAC usado é a possibilidade de configuração pela palavra digital e o uso da tensão V_{PRE} para definir a corrente de saída. Como a tensão V_{PRE} é uma grandeza analógica, possibilita que a variação causada na corrente de saída seja controlada como uma variável contínua. Esta diferença entre a tensão V_{PRE} e a corrente de saída I_D é usada para realimentação no circuito proposto.

3.3 Cópia da corrente

A medição da corrente nos eletrodos é usada para controlar o balanço da carga aplicada. A cópia dessa corrente aplicada no tecido é usada para que se possa determinar se o desbalanço entre dois pulsos é negativo ou positivo. Essa informação é suficiente para que a malha de controle efetue a compensação de carga no sentido oposto do desbalanço medido. O circuito usado para cópia de corrente é demonstrado na figura 3.5. A tensão de cada nó (X_1 ou X_2) é correspondente à corrente de entrada (flui pelos eletrodos) ou de saída (resultado da cópia). A tensão no nó X_1 é correspondente à entrada, que recebe a corrente a ser copiada (I_{STIM}), e no nó X_2 é injetada a corrente resultante da cópia (I_{COPY}), que esta fluindo por R_2 .

Figura 3.5 – Circuito de cópia de corrente



Fonte: Adaptado de TEIXEIRA (2015)

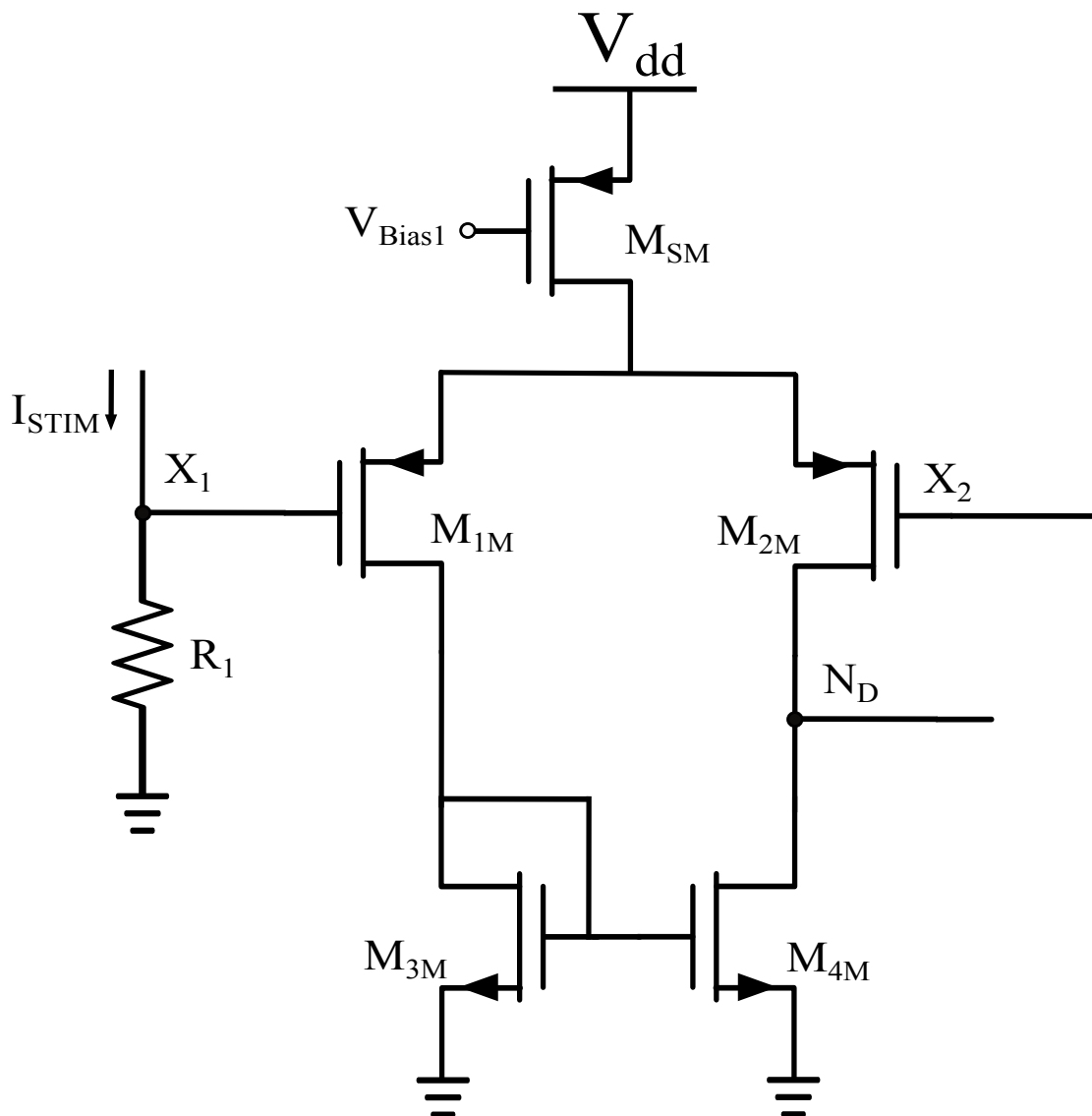
A vantagem de definir uma relação de cópia pelos resistores R_1 e R_2 é o grau de liberdade existente, pois permite que se possa implementar qualquer relação de cópia. A razão entre as correntes (Rel_{COPIA}) é dada pela equação 3.2, assumindo que X_1 e X_2 têm a mesma tensão. A desigualdade entre as correntes é obtida com a amplificação da diferença entre as duas tensões para controle da fonte de corrente ligada ao nó X_1 do circuito, usando o amplificador operacional (AMP).

$$Rel_{COPIA} = \frac{I_{COPY}}{I_{STIM}} = \frac{R_1}{R_2} \quad (3.2)$$

3.3.1 Amplificador Operacional

O amplificador operacional usado no circuito, mostrado na Figura 3.6, é formado pelos transistores M_{SM} , M_{1M} , M_{2M} , M_{3M} e M_{4M} . A topologia de amplificador diferencial, com a saída em apenas um sinal (*single ended*), foi adotada pois não são necessários dois sinais para controle da fonte de corrente (MOSFET M_{7M}). O sinal de saída é a tensão no nó N_D . O uso da carga para o circuito amplificador como um espelho de corrente, formado por M_{3M} e M_{4M} , permite que o ganho aumente e evita a necessidade de um circuito para polarização da carga.

Figura 3.6 – Amplificador Operacional



Fonte: Adaptado de TEIXEIRA (2015)

Para esta topologia de amplificador diferencial, o ganho entre as tensões de entrada

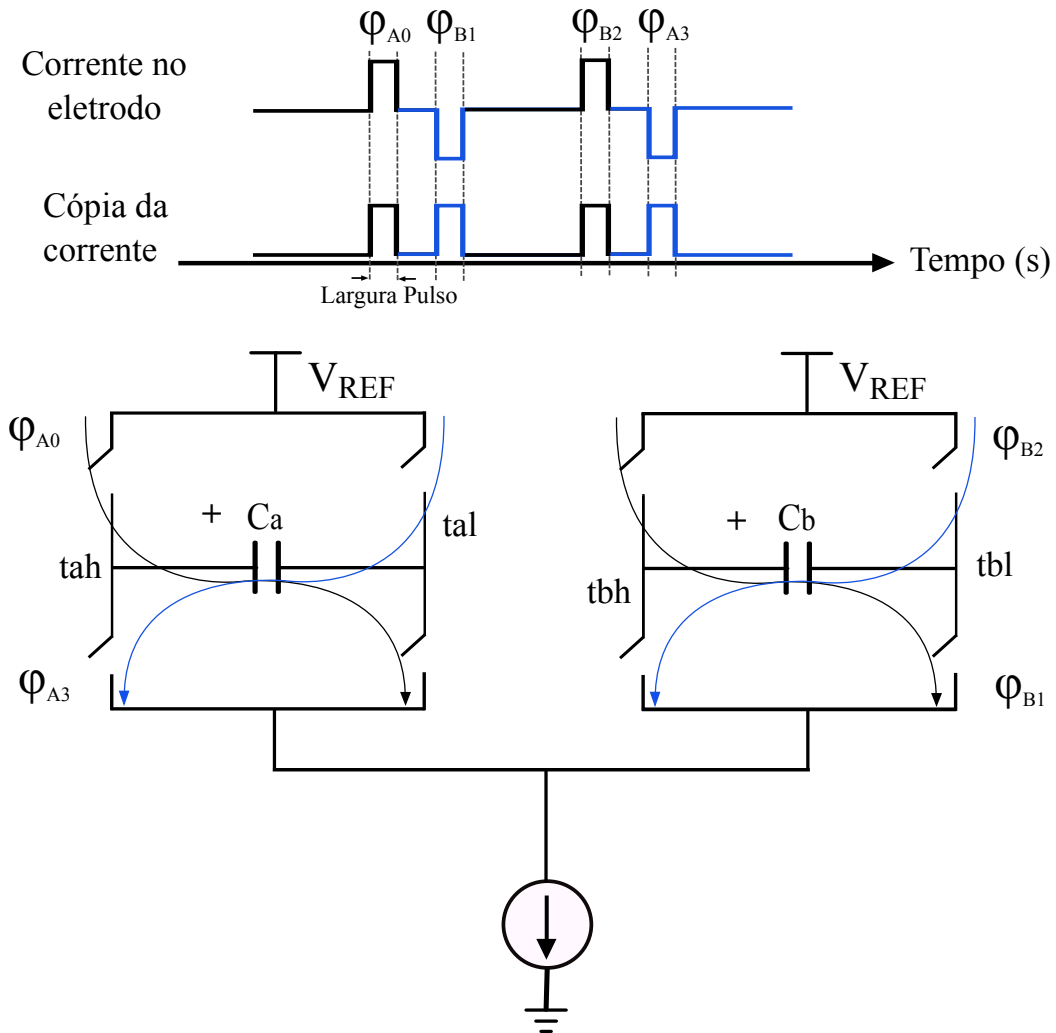
(nós X_1 e X_2) e o nó N_D é dado pela Equação 3.3, na qual r_{o2} é a impedância vista do terminal de dreno de M_{2M} , r_{o4} é a impedância vista do terminal de dreno de M_{4M} e gm_{m12} , a transcondutância dos transistores M_{1M} e M_{2M} .

$$G = \frac{r_{o2} \cdot r_{o4}}{r_{o2} + r_{o4}} \cdot gm_{m12} \quad (3.3)$$

3.4 Estimativa do desbalanceamento de carga

A estimativa do desbalanceamento entre as cargas elétricas injetada e retirada do tecido é feita através da cópia da corrente de estimulação (I_{STIM}). A cópia gera uma quantidade de carga proporcional à carga real injetada e retirada, em cada fase da estimulação. São usados dois capacitores, C_a e C_b , sendo que um é carregado com a carga proporcional ao primeiro semiciclo e o outro com a carga do segundo semiciclo, conforme ilustrado na figura 3.7. O descasamento entre os capacitores é anulado com a inversão da polaridade e semiciclo em que são carregados. A polaridade do capacitor C_a é alterada usando o primeiro (ϕ_{A0}) e o quarto (ϕ_{A3}) semiciclos, e a do capacitor C_b entre o segundo (ϕ_{B1}) e o terceiro (ϕ_{B2}) semiciclos de estimulação, repetindo essa sequência a cada 2 ciclos. A tensão resultante do desbalanço de carga é medida entre os nós tal e tbl , enquanto que os nós tah e tbh são mantidos conectados a V_{REF} . A diferença entre as tensões nos nós tah e tal é V_{C_a} , e a diferença entre as tensões nos nós tah e tbl é V_{C_b} . A diferença entre as tensões dos dois capacitores ($V_{C_a} - V_{C_b}$) é o resultado de desbalanço medido.

Figura 3.7 – Circuito para injeção de carga nos capacitores de forma alternada



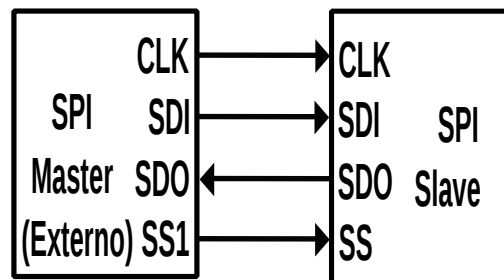
Fonte: Adaptado de TEIXEIRA (2015)

3.5 Controlador

O neuroestimulador faz uso de palavras binárias para controle e configuração de alguns blocos, como por exemplo, ajustar o valor do DAC para intensidade do estímulo, fornecer o pulso para os deslocadores que controlam as chaves, entre outros. Foi usado para fornecer esses sinais de controle um circuito baseado em SPI (*Serial Peripheral Interface*), que é uma forma simples de enviar dados através de um barramento serial. Um sistema com SPI pode ser visto, de uma forma geral, como um registrador de deslocamento de bits formado por outros registradores de deslocamento de bits, configurando uma arquitetura mestre-escravo (*master-slave*). A arquitetura usada para implementar os registradores é mostrada na Figura 3.8, onde SDI envia o bit serial do mestre para o escravo, SDO envia o bit serial do escravo para o

mestre, CLK é o sinal de clock serial e SS é a entrada/saída do mestre e entrada do escravo, usada para selecionar o escravo para transferência de dados (escrita e leitura de dados da SPI). Cada registrador foi implementado como um *flip-flop* tipo D. Os bits de controle serão gerados externamente, através de um computador ou um microcontrolador, e serão carregados a cada ciclo na SPI.

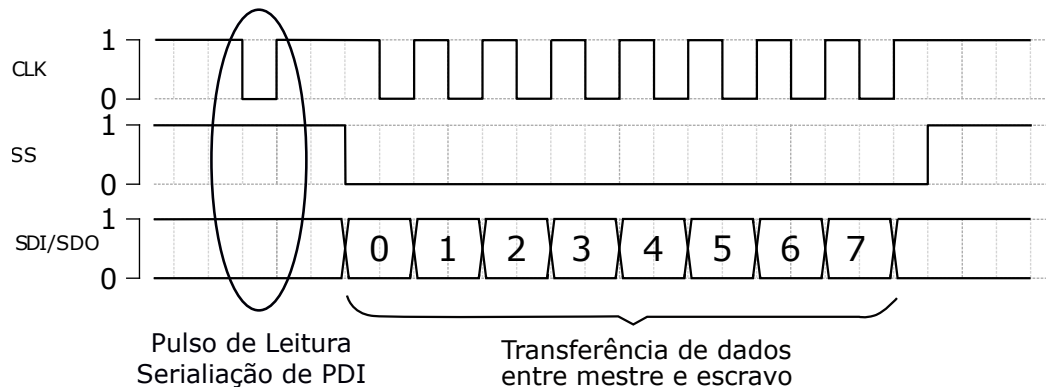
Figura 3.8 – Ligação Mestre-Escravo dos registradores



Fonte: Autor (2017)

A programação do sistema externo é bem simples, pois só precisa definir a ordem e a amplitude de estimulação e gerar os comandos para realimentação do erro de balanço. A escrita dos dados nos registradores internos de um circuito com essa SPI é feita toda vez que houver uma borda de subida do sinal de SS, assim os dados armazenados no registrador de deslocamento serão transferidos aos registradores internos do circuito. Para leitura, existem duas formas possíveis de ler os dados dos registradores. Uma delas é para leitura indiscriminada de pulsos de curta duração (*Spike*) nas portas paralelas, a outra é a leitura específica de um dado nas entradas paralelas. Para leitura de um pulso de um spike, em qualquer momento que ele aparecer, é necessário que o sinal usado para selecionar o escravo para leitura (SS) esteja em nível alto e o sinal de clock serial (CLK) seja mantido alto até que surja apenas ‘1’s em SDO. Para leitura de um dado, o sinal de SS deve estar em nível lógico alto e ser seguido por um pulso de clock, depois SS deve ser colocado em GND e o sinal de clock serial deve deslocar os n-bits do dado, conforme mostra a Figura 3.9.

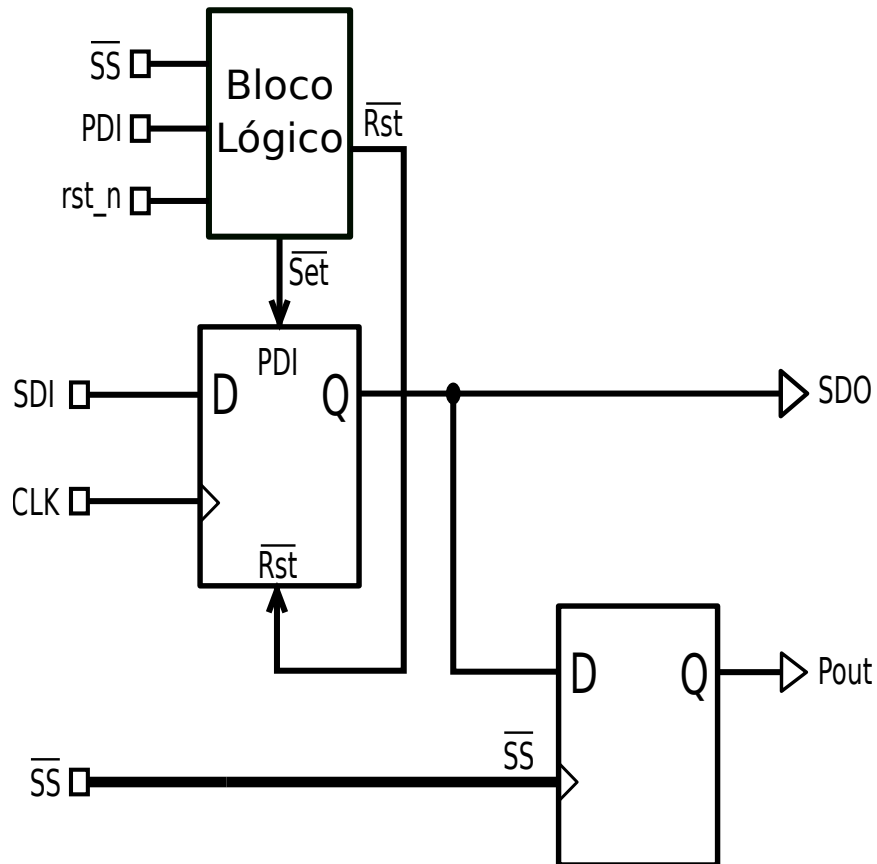
Figura 3.9 – Diagrama de tempo para leitura no registrador de saída



Fonte: Autor (2017)

A Figura 3.10 apresenta uma célula de um bit para a interface SPI, que possui 2 flip-flops utilizados para formar os registradores de deslocamento e um bloco lógico. A utilização de dois *flip-flops* é necessária para que um seja responsável pelo deslocamento dos dados e o outro para manter os dados após o mestre desabilitar a transferência no escravo. Assim, apenas quando SS está alto que um valor detectado pelo registrador de deslocamento pode ser salvo no outro registrador. No bloco lógico, os sinais de SS, *rst_n* e PDI controlam qual tipo de dado deve entrar no registrador de deslocamento. Quando SS está em nível lógico alto, apenas o bit de PDI é armazenado no registrador de deslocamento. Quando SS entra em nível lógico baixo, os bits que aparecem em MOSI são deslocados pelo registrador de deslocamento da SPI.

Figura 3.10 – Topologia de célula para 1 bit



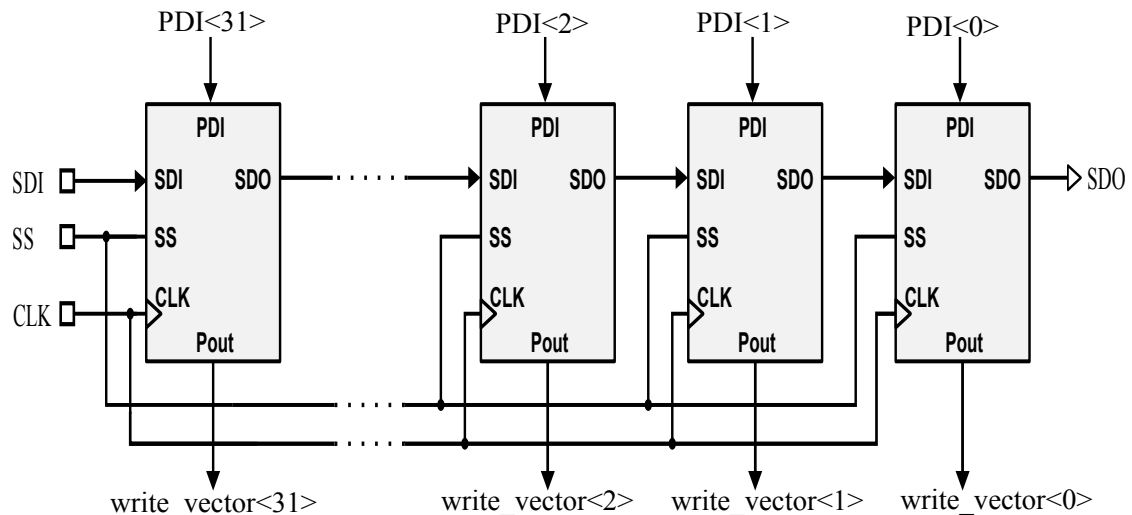
Fonte: Autor (2017)

O neuroestimulador possui 26 bits para configuração e controle. Mas como existem outros circuitos no CI que não fazem parte do escopo desse trabalho, e que também usam bits de controle serial, foi desenvolvido um registrador cascadeado para 32 bits. A estrutura é esquematizada na figura 3.11, onde as entradas seriais SDI, SS e CLK serão fornecidas por um microcontrolador. Os sinais de controle utilizados pelo neuroestimulador são as saídas $write_vector<31:0>$, onde:

- $write_vector<7:0>$ - carga e descarga dos capacitores de amostra de corrente;
- $write_vector<8>$ - reinicia o DAC;
- $write_vector<9>$ - habilita o DAC;
- $write_vector<13:10>$ - configura os bits de duração;
- $write_vector<15:14>$ - definem a polaridade da realimentação;
- $write_vector<16>$ - habilita o espelho de corrente;
- $write_vector<22:17>$ - bits que determinam um valor de saída do DAC;

- write_vector<24:23> - habilitam o controle do chaveamento das chaves tolerantes do neuroestimulador;
- write_vector<25> - sinal que aplica um erro no amplificador;
- write_vector<31:25> - sinais usados em outros circuitos do CI.

Figura 3.11 – Registrador de 32 bits



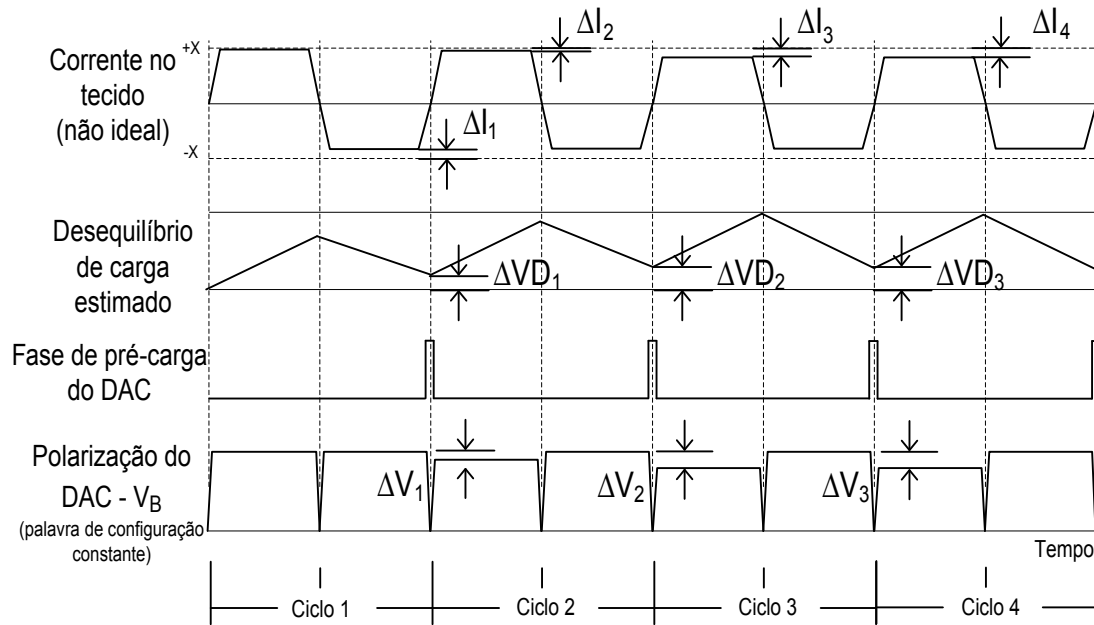
Fonte: Autor (2017)

3.6 Dinâmica da malha de controle

Ao reunir todos os blocos descritos nesse capítulo, pode-se apresentar um esboço da dinâmica de operação do controle de desbalanceamento de carga. Conforme ilustra a Figura 3.12, quando a diferença entre os pulsos de corrente no ciclo 1 (ΔI_1) gera um desbalanceamento medido $\Delta V D_1$, o sinal da ação de controle é usado na pré-carga no DAC, alterando a tensão gerada V_B . No ciclo 2, o primeiro pulso já sofre alteração e diminui (ΔI_2) em relação ao do ciclo 1. No ciclo 3, o primeiro pulso diminui (ΔI_3), fazendo com que no ciclo 4, a diferença (ΔI_4) seja igual a (ΔI_1), nesse ponto o desequilíbrio se estabiliza. Os pulsos de corrente gerados podem causar um desequilíbrio, tanto negativo, quanto positivo, esse valor será compensado, no sentido contrário, no próximo ciclo. Ao longo do tempo o desbalanço de carga estimado para de aumentar, pois está sempre sendo compensado e fica limitado a $\Delta V D_3$. Para que o equilíbrio seja mantido em todos os ciclos, o DAC sofre pré-carga com $\Delta V D_3$, que permanece armazenado nos capacitores, o que se repete na variação de ΔV_3 na tensão de polarização. De uma forma geral, pode-se resumir o funcionamento da seguinte maneira: o sinal de desbalanceamento de carga é medido, depois de receber um pequeno ganho é aplicado como ação de

controle no DAC (pré-carga).

Figura 3.12 – Dinâmica e operação do controle do equilíbrio de carga



Fonte: TEIXEIRA (2015)

4 IMPLEMENTAÇÃO E RESULTADOS

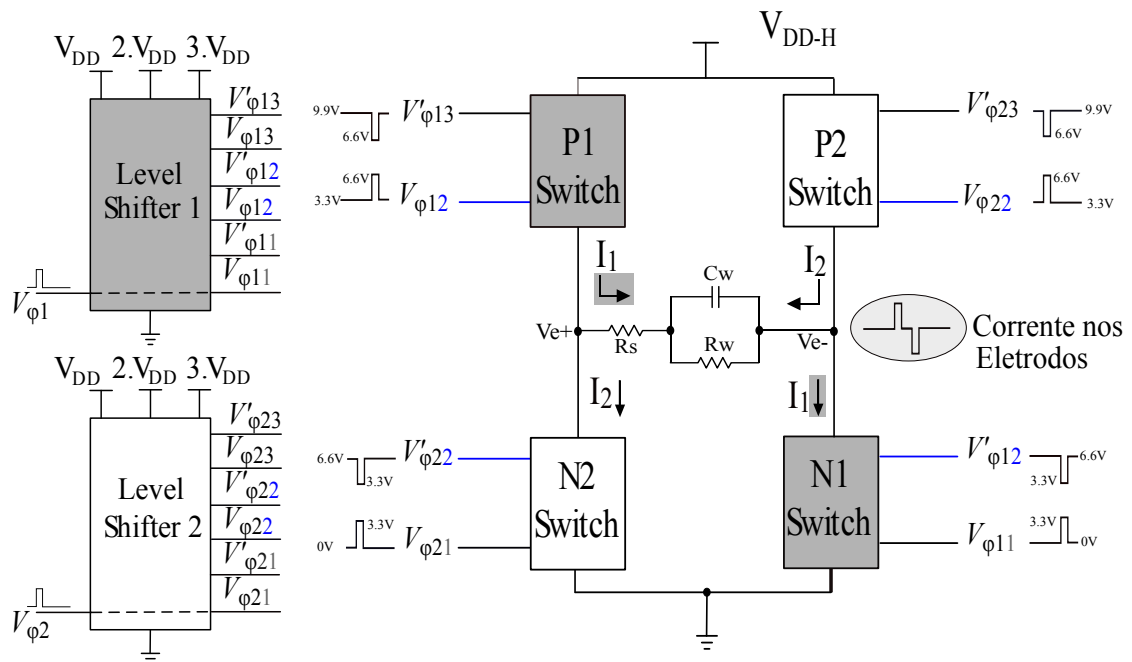
O funcionamento e as escolhas de projeto de todos os blocos desenvolvidos são mostrados a seguir. A tecnologia escolhida para o desenvolvimento dos blocos, simulação e validação foi a UMC L130 Mixed-Mode/RF. Essa tecnologia, do tipo CMOS, pertence à geração de processo com largura de canal mínima de 130nm e foi escolhida para que pudesse haver uma integração com outros blocos do neuroestimulador já desenvolvidos. Além da implementação física do Neuroestimulador, a nova topologia de chaves tolerantes à tensão é apresentada. O bloco Ponte-H de Estimulação foi desenvolvido usando duas estruturas tipo *cascode* com transistores tipo N (Chaves tipo N) e duas estruturas tipo *cascode* com transistores tipo P (Chaves tipo P). Estas chaves necessitam de pulsos de comando em diversos níveis de tensão, os quais são fornecidos por dois deslocadores de nível.

4.1 Ponte-H de Estimulação

O sistema responsável por gerar o estímulo (Ponte-H de estimulação) é composto por duas chaves tipo N, duas chaves tipo P e dois deslocadores de nível. As chaves tipo P e tipo N necessitam de pulsos que variam de 0-3,3V, 3,3-6,6V e 6,6-9,9V. Como o pulso escolhido para o estímulo é bifásico balanceado, as chaves precisam gerar um sinal pulsado em duas fases. A largura do pulso e o período são configuráveis, os valores adotados para as simulações foram de $200\mu\text{s}$ para a largura do pulso e um período de 2ms, a partir da mesma estratégia adotada por (TEIXEIRA, 2015). Para que fosse possível gerar um pulso em 2 fases, foi implementada a topologia demonstrada na figura 4.1. A nomenclatura dada aos pulsos segue a seguinte ordem: $V_{\phi ij}$, onde $i = 1$ ou 2 é a fase do pulso, $j = 1, 2$ ou 3 é o nível de tensão, sendo $1 = 0-3,3\text{V}$, $2 = 3,3-6,6\text{V}$ ou $3 = 6,6-9,9\text{V}$. Sempre que for usado V significa que o pulso é alto (de menor tensão para maior tensão), quando for usado V' significa que o pulso é invertido (de maior tensão para menor tensão). Os pulsos do deslocador 1: $V_{\phi 11}$ (0-3,3V), $V'_{\phi 12}$ (6,6-3,3V), $V_{\phi 12}$ (3,3-6,6V) e $V'_{\phi 13}$ (6,6-9,9V) controlam as chaves N_1 e P_1 . Os pulsos do deslocador 2: $V_{\phi 21}$ (0-3,3V), $V'_{\phi 22}$ (6,6-3,3V), $V_{\phi 22}$ (3,3-6,6V) e $V'_{\phi 23}$ (6,6-9,9V) controlam as chaves N_2 e P_2 . Dessa forma, se as chaves N_1 e P_1 estão conduzindo, N_2 e P_2 estão abertas e se N_2 e P_2 estão conduzindo, N_1 e P_1 estão abertas. Como a corrente I_1 circula pelos eletrodos somente se N_1 e P_1 estão conduzindo, o pulso de corrente é gerado em uma fase. Quando a corrente I_2 circular pelos eletrodos, o pulso é gerado na outra fase. O intervalo entre pulsos é gerado através de um atraso entre o

pulso de entrada do deslocador 1 em relação ao deslocador 2.

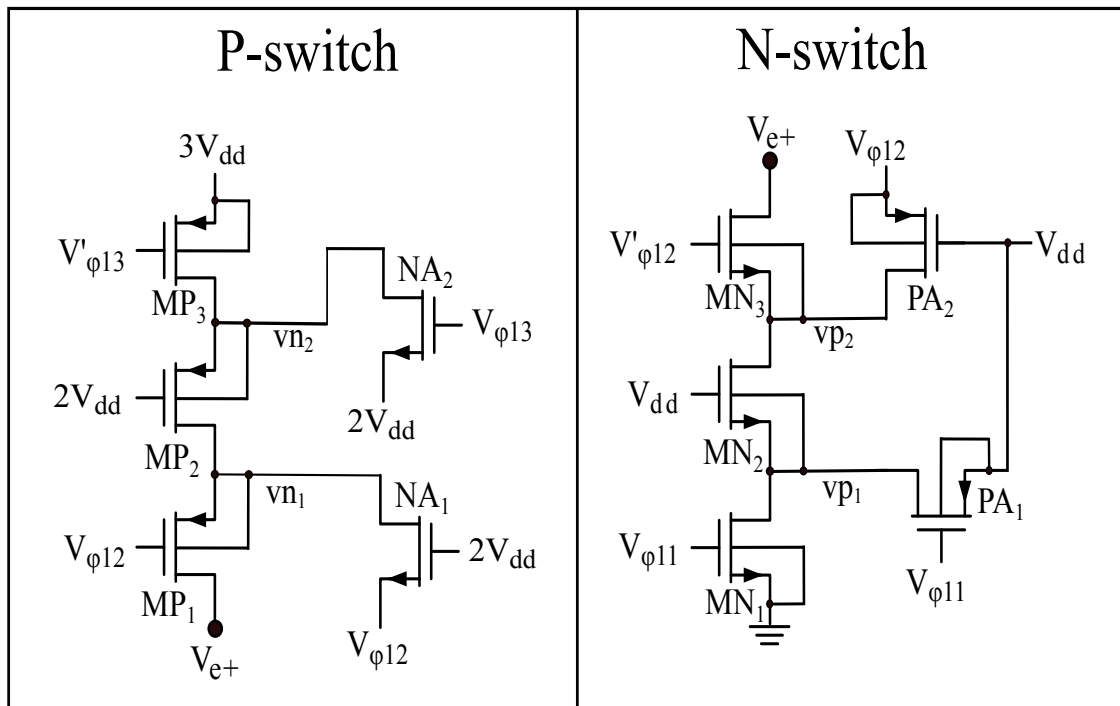
Figura 4.1 – Chaves com o Deslocador de nível



Fonte: Autor 2017.

4.1.1 Chaves Tipo P e N

Uma nova topologia de chave tolerante à tensão é proposta nesse trabalho e apresentada na figura 4.2. Essa topologia visa tanto a segurança, quanto a redução de consumo e área. As chaves reduzem o número de transistores de 17 para 5, em relação à metodologia proposta por (ALEX; LEHMANN, 20013), pois usa somente dois transistores auxiliares para garantir que a queda de tensão em cima de cada transistor não ultrapasse 3,3V, ou seja apenas um transistor por nó interno da estrutura cascode ($MP_1 - 3$ e $MN_1 - 3$). Ambas as chaves P e N possuem três transistores principais, dimensionados para fornecer uma corrente de estimulação máxima de 1mA, e dois transistores auxiliares que controlam as tensões nos seus nós intermediários (vn1 e vn2 na chave P e vp1 e vp2 na chave N), quando as chaves não estão conduzindo corrente. Os transistores auxiliares PA_1 e PA_2 (Chave N) ou NA_1 e NA_2 (Chave P) têm o papel importante de garantir que as tensões dreno-source (VDS) e de gate-source (VGS) dos transistores principais não ultrapassem a tensão máxima permitida pela tecnologia (3,3V), pois em maior parte da estimulação as chaves estão em estado de alta impedância.

Figura 4.2 – Esquemático Chaves Tipo P_1 e Tipo N_2 

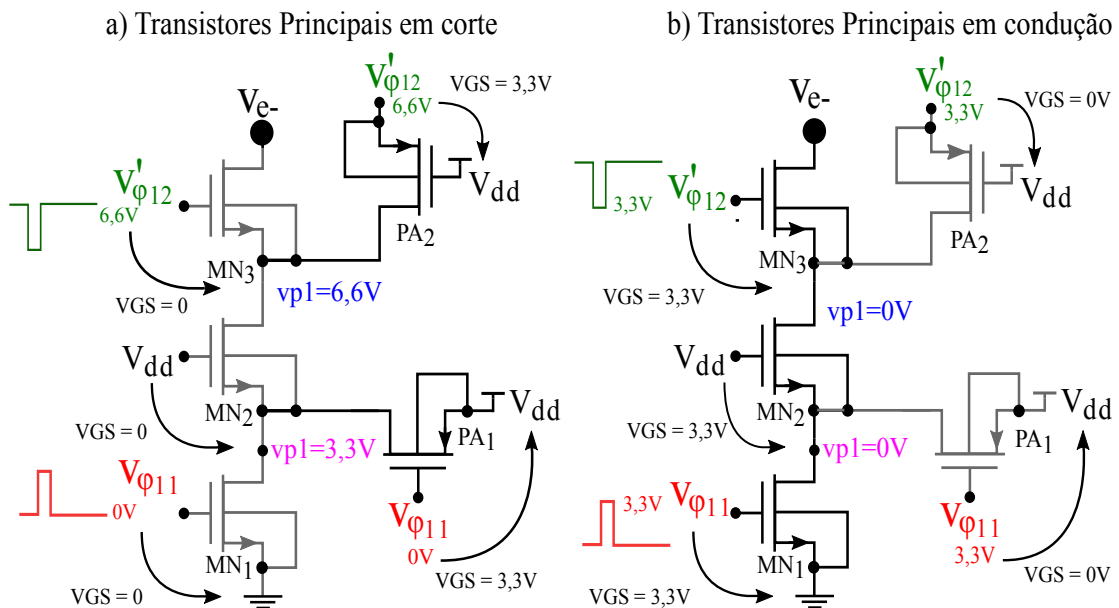
Fonte: Autor 2017.

4.1.1.1 Chave tipo N

As chaves tipo N recebem no dreno do transistor MN_3 a tensão dos eletrodos V_{e+} ou V_{e-} e a fonte de MN_1 é conectada ao DAC, responsável por controlar a magnitude da corrente de estimulação. Para melhor explicar, a figura 4.3 ilustra o funcionamento da chave N conectada à uma referência = 0V (GND). A figura está dividida em 2 partes, a) mostrando o comportamento quando os três transistores principais estão em corte ($V_{GS} = 0$) e b) quando estão conduzindo ($V_{GS} > 0V$). A chave N requer dois sinais de controle $V'_{\phi_{i2}}$ (6,6V-3,3) e $V'_{\phi_{i1}}$ (0-3,3V), usadas nos gates dos transistores principais MN_3 e MN_1 , e nos auxiliares PA_2 na fonte e PA_1 no gate. Quando $V_{\phi_{11}} = 0V$, o VGS de MN_1 também é 0, fazendo com que o transistor fique na condição de corte. O transistor auxiliar PA_1 , que também usa a tensão de $V_{\phi_{11}}$ no seu gate, passa a ter o VGS alto, pois sua fonte está conectada a V_{dd} , forçando a tensão $vp1$ do nó intermediário a ficar em 3,3V. Como o gate de MN_2 está conectado em V_{dd} , o mesmo também está em corte, pois sua fonte está conectada em $vp1$, portanto o VGS também é 0. Nesse mesmo instante $V'_{\phi_{12}} = 6,6V$, como a fonte do transistor auxiliar PA_2 é alimentada por $V'_{\phi_{12}}$ e o seu gate por V_{dd} , o VGS dele é alto, forçando o nó intermediário a ficar com a tensão de 6,6V, e como o gate de MN_1 está conectado a $V'_{\phi_{12}}$, o VGS dele é 0V e também está em corte. Dessa forma, garante-se

que quando as chaves não estão conduzindo, as tensões nos nós intermediários dos transistores MOS conectados em cascode sejam bem definidas. Quando as chaves estão conduzindo, $V_{\phi 11}$ e $V'_{\phi 12} = V_{dd}$, forçam o VGS de PA_1 e de PA_2 a ser 0V e deixam os transistores principais em estado de condução com $VGS > 0V$.

Figura 4.3 – Funcionamento Chave Tipo N: a) Na condição de corte, b) em condução



Fonte: Autor 2017.

A tabela 4.1 mostra os valores adotados para W (largura) e L (comprimento) dos transistores usados. Esses valores são os menores possíveis para que a tensão fique em 9.6V quando todos transistores estiverem conduzindo, ou seja, ou seja, uma queda máxima de tensão de 133,3mV em cada transistor principal e o limite máximo de corrente de 1mA, em cada eletrodo, seja respeitado. Como a ideia do circuito é ser implantável, outro fator que deve ser levado em consideração é redução de área. Dessa forma, o W dos transistores não pode ser aumentado visando diminuir o consumo, os valores adotados levaram em consideração uma menor área possível ocupada. A preocupação com a área ocupada é levada em consideração, pois essa topologia de chaves tolerantes à tensão pode ser usada usadas em outros circuitos, não especificamente em neuroestimuladores.

Tabela 4.1 – Tamanho dos transistores Chave N

Transistor	W	L
MN3	$25\mu\text{m}$	340nm
MN2	$25\mu\text{m}$	340nm
MN1	$25\mu\text{m}$	340nm
PA2	$1\mu\text{m}$	300nm
PA1	$1\mu\text{m}$	300nm

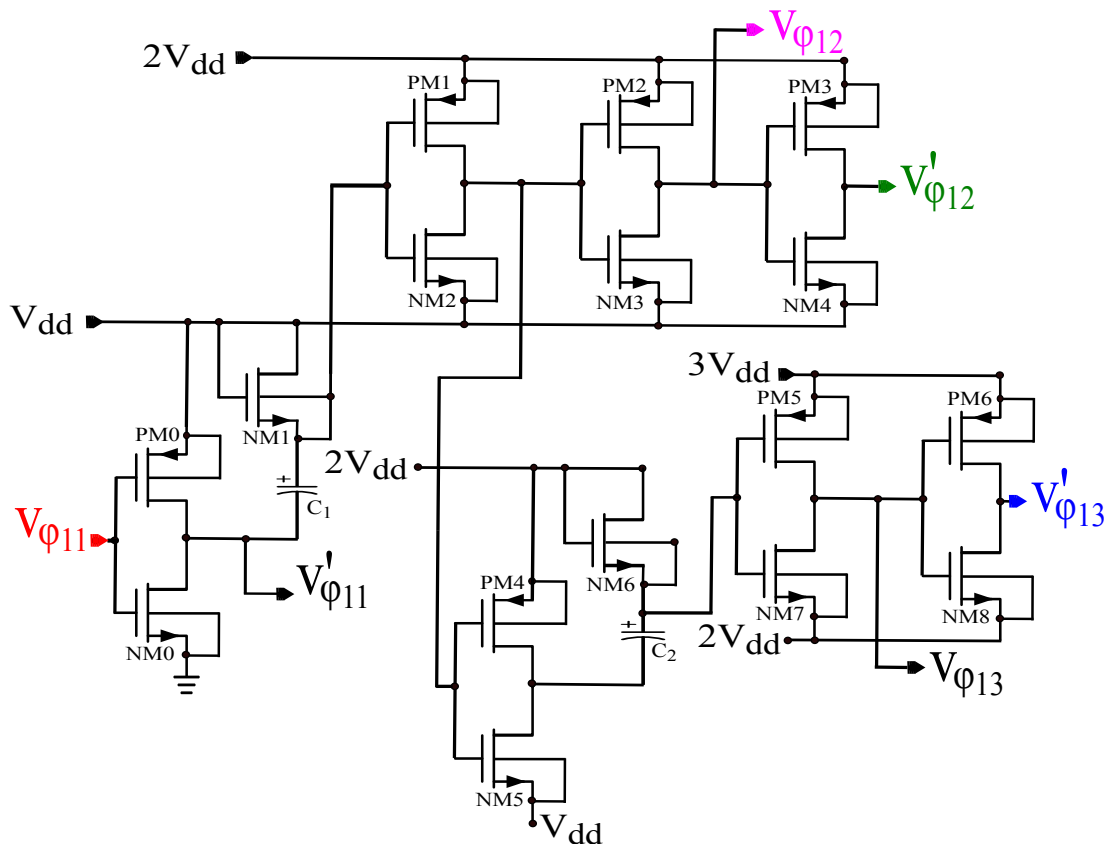
Fonte: Autor 2017.

4.1.1.2 Chaves Tipo P

O funcionamento da Chave P é análogo ao da chave N, apenas com as tensões de referência invertidas, onde era 0V passa a ser $3V_{dd}$ e V_{dd} é trocado por $2V_{dd}$. A ideia para garantir VGS e VDS sempre menores que 3,3V é a mesma, quando as chaves não estão conduzindo os transistores auxiliares garantem as tensões nos nós intermediários. As tensões que controlam a chave são: $2V_{dd}$ (6,6V), $V'_{\phi 13}$ (9,9V-6,6) e $V_{\phi 12}$ (3,3-6,6V). A figura 4.4 está dividida em 2 partes, a) mostrando o comportamento quando os três transistores principais estão em corte (VGS = 0) e b) quando estão conduzindo (VGS alto). No instante em que $V'_{\phi 13} = 9,9\text{V}$, o VGS de MP_1 é 0, fazendo com que o transistor fique na condição de corte. O transistor auxiliar NA_1 , que também usa a tensão de $V'_{\phi 13}$ no seu gate, passa a ter o VGS alto, pois sua fonte está conectada a $2V_{dd}$, forçando a tensão vn2 do nó intermediário a ficar em 6,6V. Como o gate de MP_2 está conectada em $2V_{dd}$, o mesmo também está em corte, pois sua fonte está conectada em vn2, portanto o VGS também é 0. Nesse mesmo instante $V_{\phi 12} = 3,3\text{V}$, como a fonte do transistor auxiliar NA_1 é alimentada por $V_{\phi 12}$ e o seu gate por V_{dd} , o VGS dele é alto, forçando o nó intermediário a ficar com a tensão de 3,3V, e como o gate de MP_3 está conectada a $V_{\phi 12}$, o VGS dele é zero e também está em corte. Dessa forma, garante-se que quando as chaves não estão conduzindo, as tensões nos nós intermediários dos transistores PMOS conectados em cascode sejam bem definidas. Quando os transistores principais estão conduzindo (figura 4.4 b), $V'_{\phi 13}$ e $V_{\phi 12} = 2V_{dd}$, forçam o VGS de NA_1 e de NA_2 a ser 0V e deixam os transistores principais em estado de condução com VGS alto.

seguinte forma: Quando o pulso de 0-3V é aplicado à entrada do inversor (PM_0 e NM_0) for alto, conduz a placa inferior do capacitor C_1 a 0V. Como o gate de NM_1 está sempre em V_{DD} , portanto o mesmo entra em condução e C_1 carrega até V_{DD} . Quando o pulso de entrada for baixo, a saída do inversor (PM_0 e NM_0) é alta, puxando a placa inferior de C_1 até V_{DD} , ao contrário da fase anterior. Como agora o gate e fonte de NM_1 estão em V_{DD} , o mesmo não está em condução, portanto o nó entre a fonte de NM_1 e a placa superior de C_1 tem agora uma tensão igual a $2V_{DD}$. A mesma lógica é usada cascadeando o mesmo circuito com uma entrada de 3,3-6,6V, vindo do próprio circuito, para que a tensão seja deslocada de 6,6-9,9V. A diferença está apenas nas referências adotadas para as fontes dos transistores, antes 0V em NM_0 e 3,3V em PM_0 , NM_1 , NM_2 e NM_3 e $2V_{DD}$ em PM_1 , PM_2 e PM_3 . Como a queda de tensão não pode passar de 3,3V para essa tecnologia, os valores para as fontes dos transistores desse estágio foram alteradas para 3,3V em NM_5 , $2V_{DD}$ em PM_4 , NM_7 e NM_8 e $3V_{DD}$ em PM_5 e PM_6 . A topologia está representada na figura 4.25.

Figura 4.5 – Esquemático Deslocador



Fonte: Autor 2017.

Os tamanhos dos transistores e capacitores foram dimensionados para fornecer todas as tensões necessárias, visando o menor uso de área possível. Como a tendência é que capacitores

ocupem uma área maior que a de um transistor em um circuito integrado (CI), a capacitância considerada mínima para produzir o valor de tensão de 3,3V foi de 235fF, sendo adotada para C_1 e C_2 . Os transistores NM_1 e NM_6 são usados apenas como chaves, portanto o valor de W para ambos é o menor possível. Os transistores PM_0 e NM_0 estão com os drenos conectados configurando um inversor, dessa forma o tamanho de W adotado foi o mínimo possível para inverter o sinal sem nenhuma perda. Como as regiões tipo N contém elétrons livres como portadores majoritários, enquanto que a região tipo P contém lacunas como portadores majoritários, a capacidade de um transistor de fornecer corrente depende, entre outros fatores, da mobilidade μ . Essa mobilidade é diferente entre transistores P e N, pois as constantes de mobilidade de elétrons e lacunas são diferentes. Os valores dessas mobilidades no silício, fornecidas pela tecnologia usada, são de $\mu_n = \frac{1,04e^{-2}}{V.s}$ para elétrons dos transistores tipo P e $\frac{3,05^{-2}}{V.s}$ para lacunas dos transistores N, ou seja, $(\mu_n) \approx 3,5(\mu_p)$. Levando essa mobilidade em consideração, para não haver um descasamento entre transistores tipo P e tipo N, em todas configurações de transistores operando como inversores, o valor de W nos transistores P é três vezes maior que o W dos transistores N. O sinal deslocado em 3,3V vindo desse estágio do circuito, passa para o estágio seguinte, onde é invertido novamente por PM_1 e NM_2 , ambos com valores de W apenas suficiente para essa inversão e estabilizar o pulso, como uma espécie de *buffer*. Para não usar como saída, o mesmo sinal usado para alimentar o próximo estágio do circuito, que irá deslocar o pulso em mais 3,3V, os transistores PM_2 , NM_3 , PM_3 e NM_4 são usados para fornecer os pulsos de saída de 3,3-6,6V e 6,6-3,3V. O valor adotado para o $W = 90\mu m$ desses transistores é grande, pois a saída alimenta as duas chaves (P e N). Para evitar um descasamento muito grande entre o tamanho dos transistores que estão gerando o sinal de saída e os que estão recebendo esse sinal como entrada, foi adotado um valor considerado seguro para deixar o sinal estável. No estágio que desloca o sinal em mais 3,3V (6,6V-9,9), os transistores PM_4 e NM_5 têm o valor de W mínimo, pois sua função é a mesma de PM_1 e NM_2 . Já os transistores PM_5 , NM_7 , PM_6 e NM_8 possuem a mesma função de PM_2 , NM_3 , PM_3 e NM_4 . Nesse caso o valor de W foi reduzido pois a saída só alimenta a chave P. Os valores para W , L e M (multiplicidade) estão demonstrados na tabela 4.3.

Tabela 4.3 – Tamanho dos componentes Deslocador de nível

Componente	W	L	M
Transistor PM0	1.5 μ m	500nm	1
Transistor PM1	5 μ m	600nm	1
Transistor PM2	90 μ m	300nm	2
Transistor PM3	90 μ m	300nm	2
Transistor PM4	1.5 μ m	500nm	1
Transistor PM5	30 μ m	1 μ m	2
Transistor PM6	40 μ m	1.5 μ m	2
Transistor NM0	500nm	340nm	1
Transistor NM1	160nm	340nm	1
Transistor NM2	1.6 μ m	600nm	1
Transistor NM3	30 μ m	340nm	2
Transistor NM4	30 μ m	340nm	2
Transistor NM5	500nm	340nm	1
Transistor NM6	160nm	340nm	1
Transistor NM7	10 μ m	500nm	2
Transistor NM8	13 μ m	500nm	2
Capacitor C1	24 μ m	21 μ m	1
Capacitor C2	24 μ m	21 μ m	1

Fonte: Autor 2017.

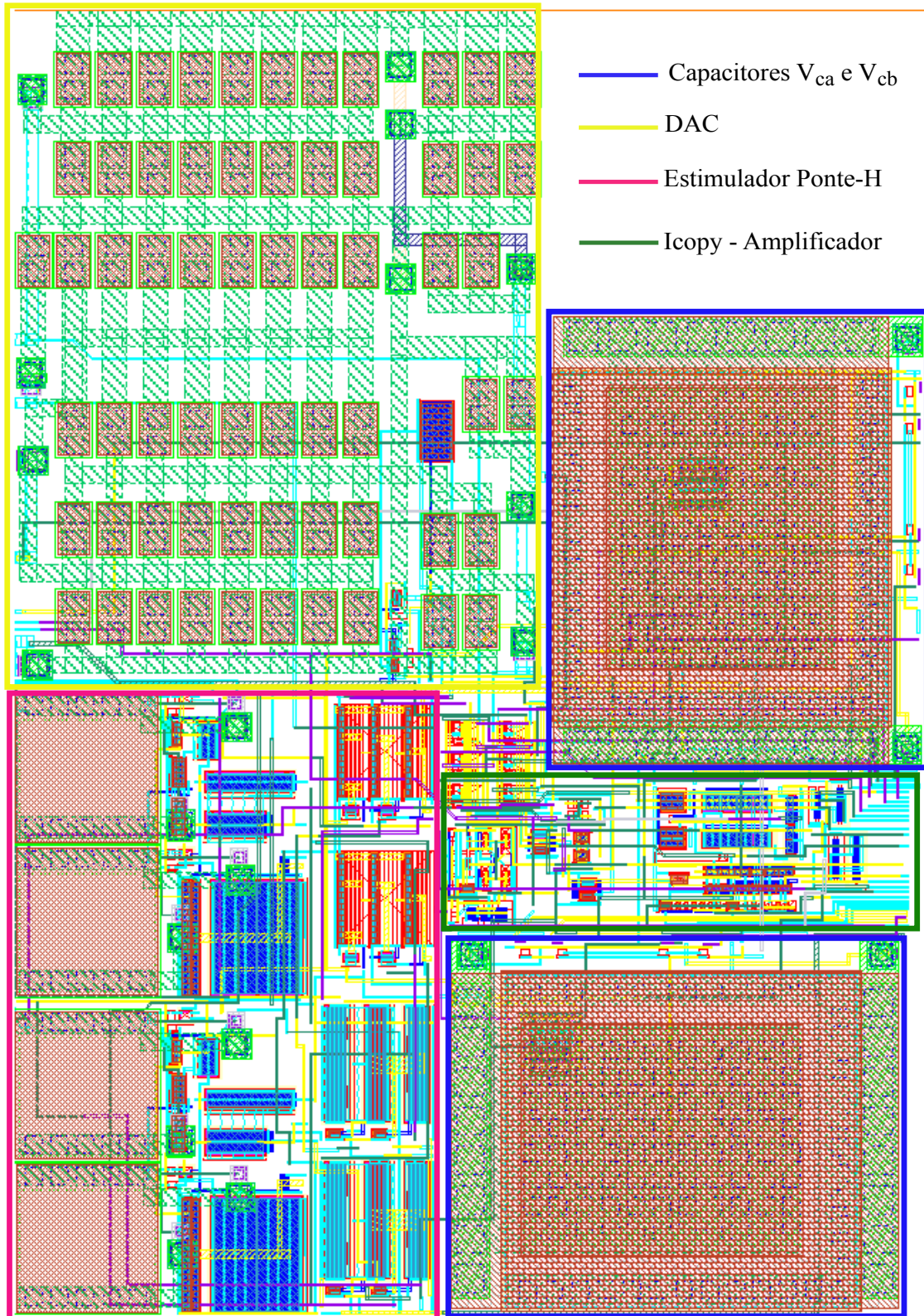
4.2 Implementação Física

O layout de um CI consiste em desenhar a representação física em escala do circuito, para que seja usado diretamente na sua fabricação. A ferramenta de projeto eletrônico automatizada (EDA) utilizada neste trabalho é (*Virtuoso Analog Design Environment XL*). A versão física do circuito é representada por máscaras, usadas na construção de cada camada durante o processo de fabricação. Para criação do layout é necessário um conjunto de regras vinculado ao processo, entre elas dimensões mínimas e máximas entre metais, as quais são estipuladas pela empresa fabricante do CI. No caso deste trabalho, as regras de layout obedecidas foram fornecidas pela empresa *Europractice IC Service*, para o uso da tecnologia UMC L130 MM/RF de 130nm. A tecnologia foi escolhida levando em consideração a continuidade do projeto, pois já haviam blocos projetos nesta tecnologia, e a facilidade de integração de todos os bloco do Neuroestimulador. Dentre as características da tecnologia pode-se destacar:

As verificações de LVS (*Layout Versus Schematic*), DRC (*Design Rule Check*) e ERC (*Electric Rule Check*) foram feitas através da plataforma *Virtuoso* com a ferramenta de verificação *Assura*. A verificação de LVS tem como objetivo avaliar se as ligações e tamanhos dos componentes no *Layout* estão de acordo com as do esquemático. A verificação de DRC é res-

ponsável pelas regras de projeto, como por exemplo, distância entre metais. Já a verificação de ERC foi usada para evitar efeito de antena. A Figura 4.6 ilustra o *Layout* do circuito completo de neuroestimulação, com os principais componentes circulos, conforme legenda. A área ocupada pelo Neuroestimulador foi de $161\mu\text{m} \times 232\mu\text{m}$.

Figura 4.6 – Layout do circuito Neuroestimulador

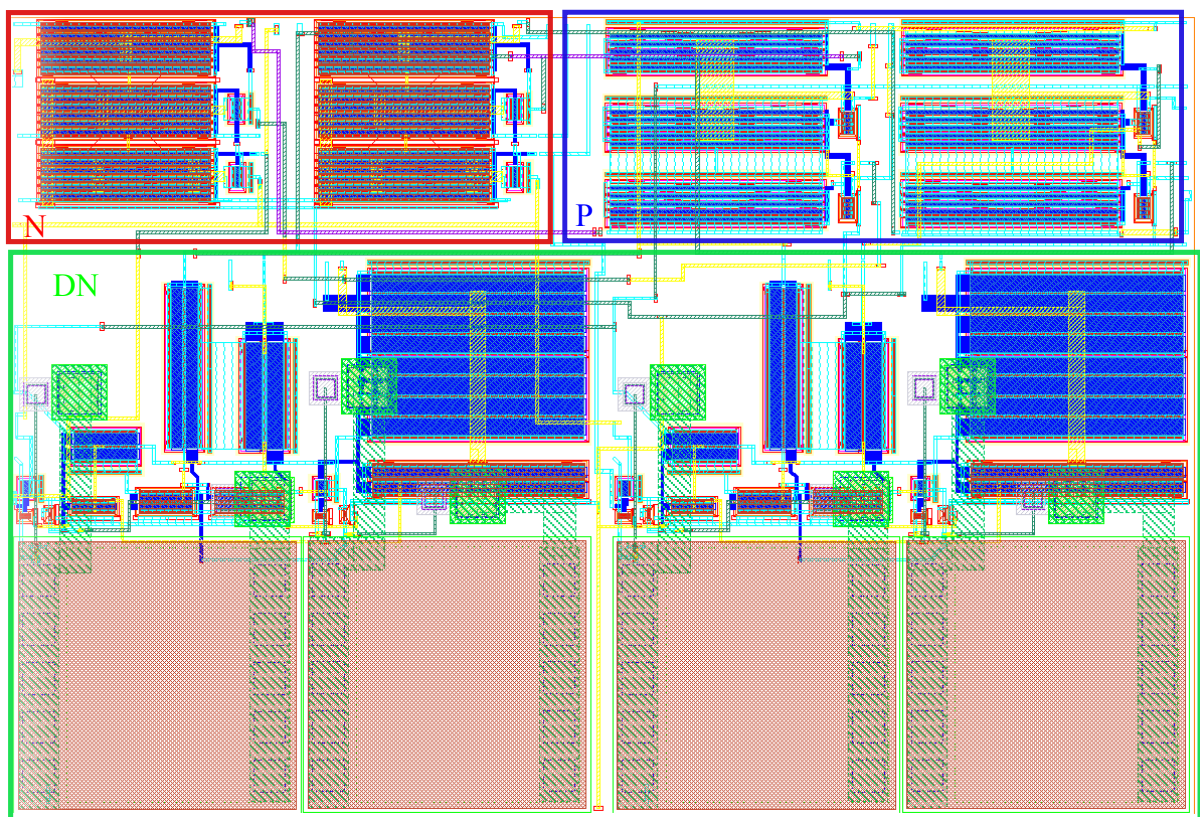


Fonte: Autor (2017)

4.2.1 Layout circuito Ponte-H de Estimulação

A figura 4.7 ilustra o *Layout* do circuito Ponte-H de Estimulação, composto pelas Chaves tipo N (vermelho) e P (azul) e dois deslocadores de nível (verde). A chave N ocupa uma área menor pois é formada por transistores de W/L três vezes menor em comparação à P, devido a mobilidade dos elétrons ser maior que a mobilidade das lacunas. A Ponte-H ocupa uma área de $111\mu\text{m} \times 75\mu\text{m}$.

Figura 4.7 – Layout do circuito Ponte-H de Estimulação

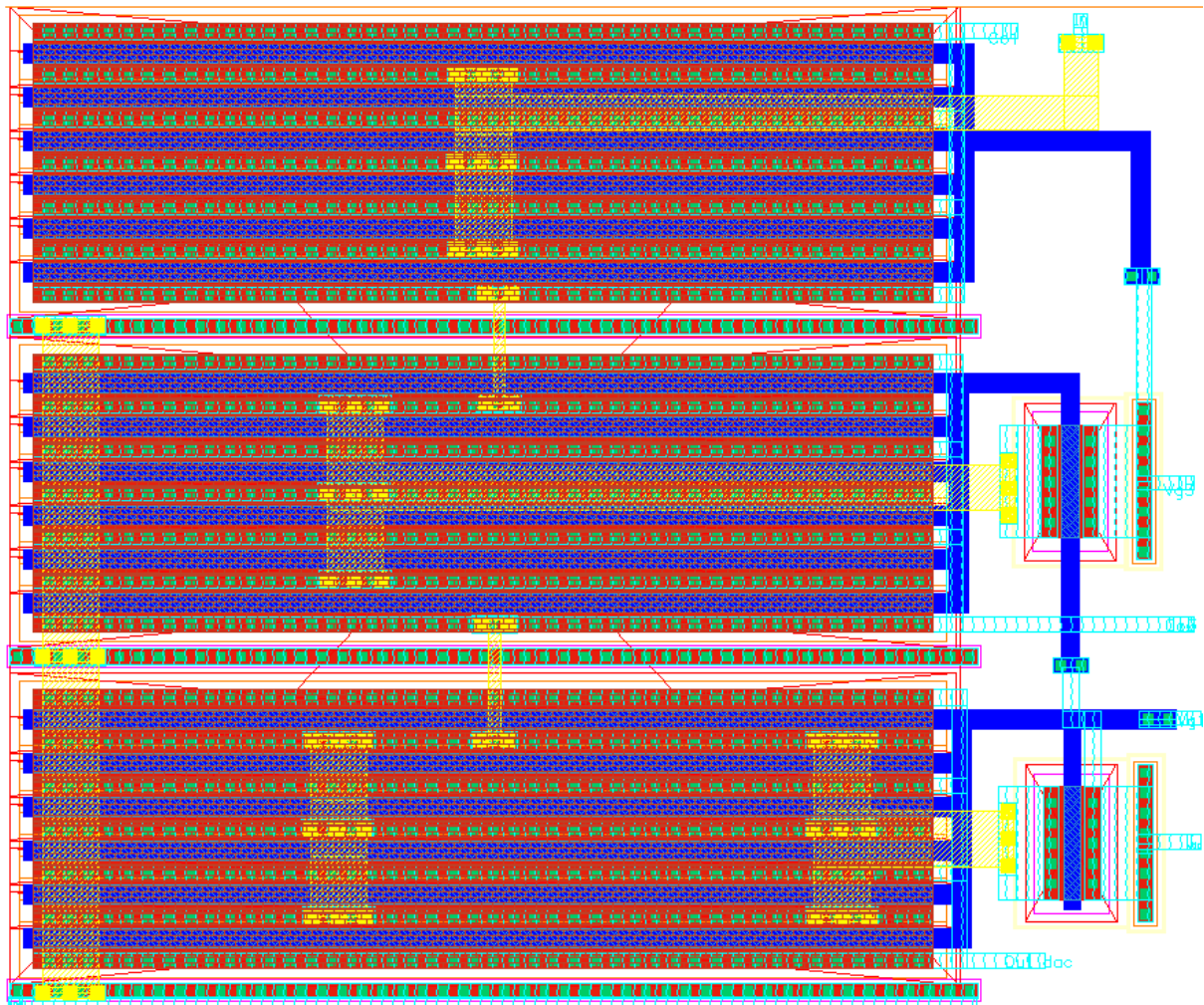


Fonte: Autor (2017)

4.2.1.1 Layout circuito Chave tipo N

O *Layout* do circuito Chave tipo N é mostrado na figura 4.8, onde os transistores principais MN_3 , MN_2 e MN_1 foram particionados utilizando configurações *multi-finger*, a fim de reduzir os efeitos das resistências de porta e de capacitâncias parasitas, além de deixar o bloco mais simétrico, visando a redução de área. O circuito ocupou uma área de $21\mu\text{m} \times 17\mu\text{m}$.

Figura 4.8 – Layout do circuito Chaves tipo N

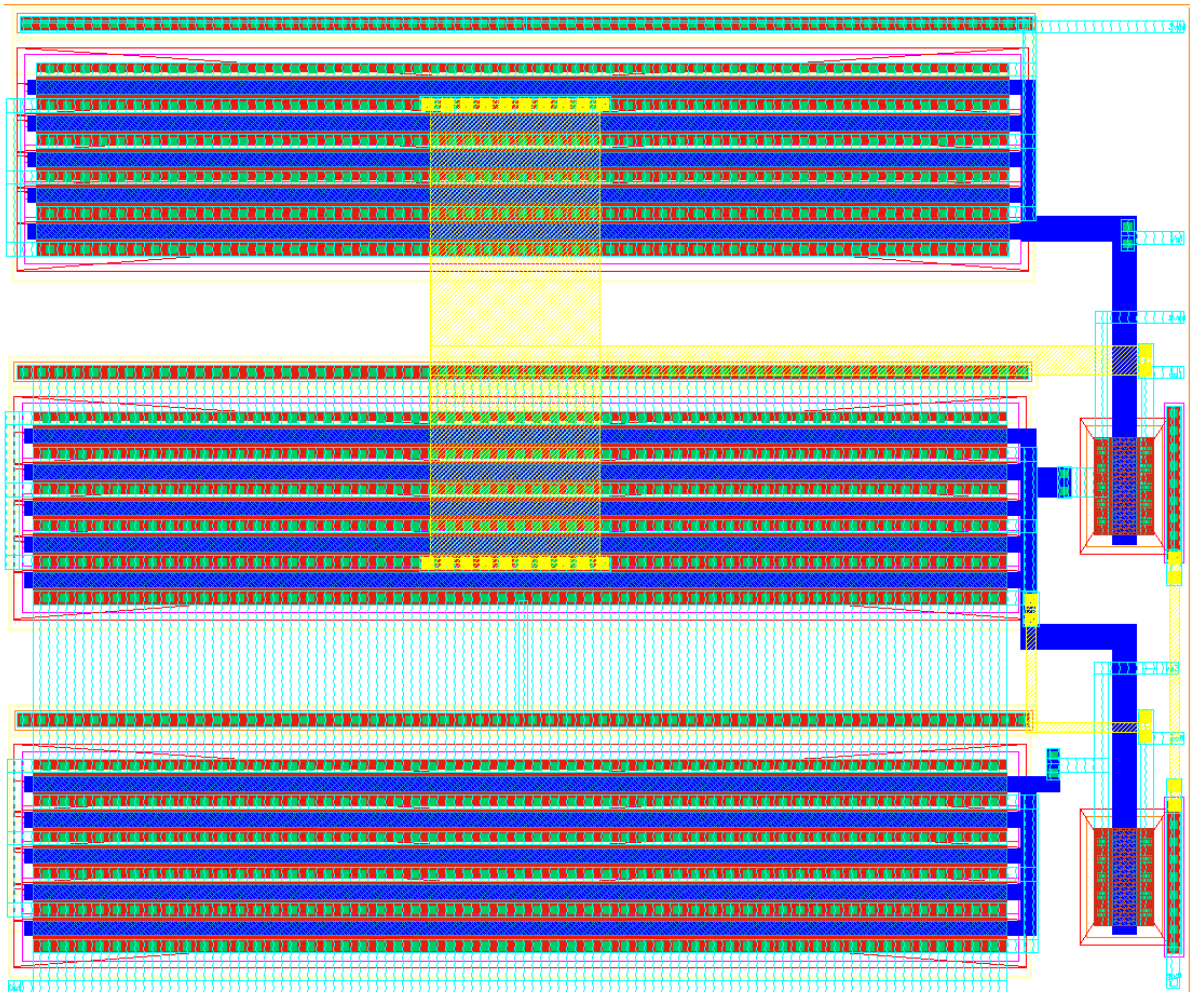


Fonte: Autor (2017)

4.2.1.2 Layout circuito Chave tipo P

A figura 4.9 ilustra o *Layout* do circuito Chave tipo P. Da mesma forma que a metodologia usada no circuito da chave tipo N, os transistores principais MP_3 , MP_2 e MP_1 também foram particionados utilizando configurações *multi-finger*. A área ocupada pelo circuito foi de $24\mu\text{m} \times 20\mu\text{m}$.

Figura 4.9 – Layout do circuito Chaves tipo P

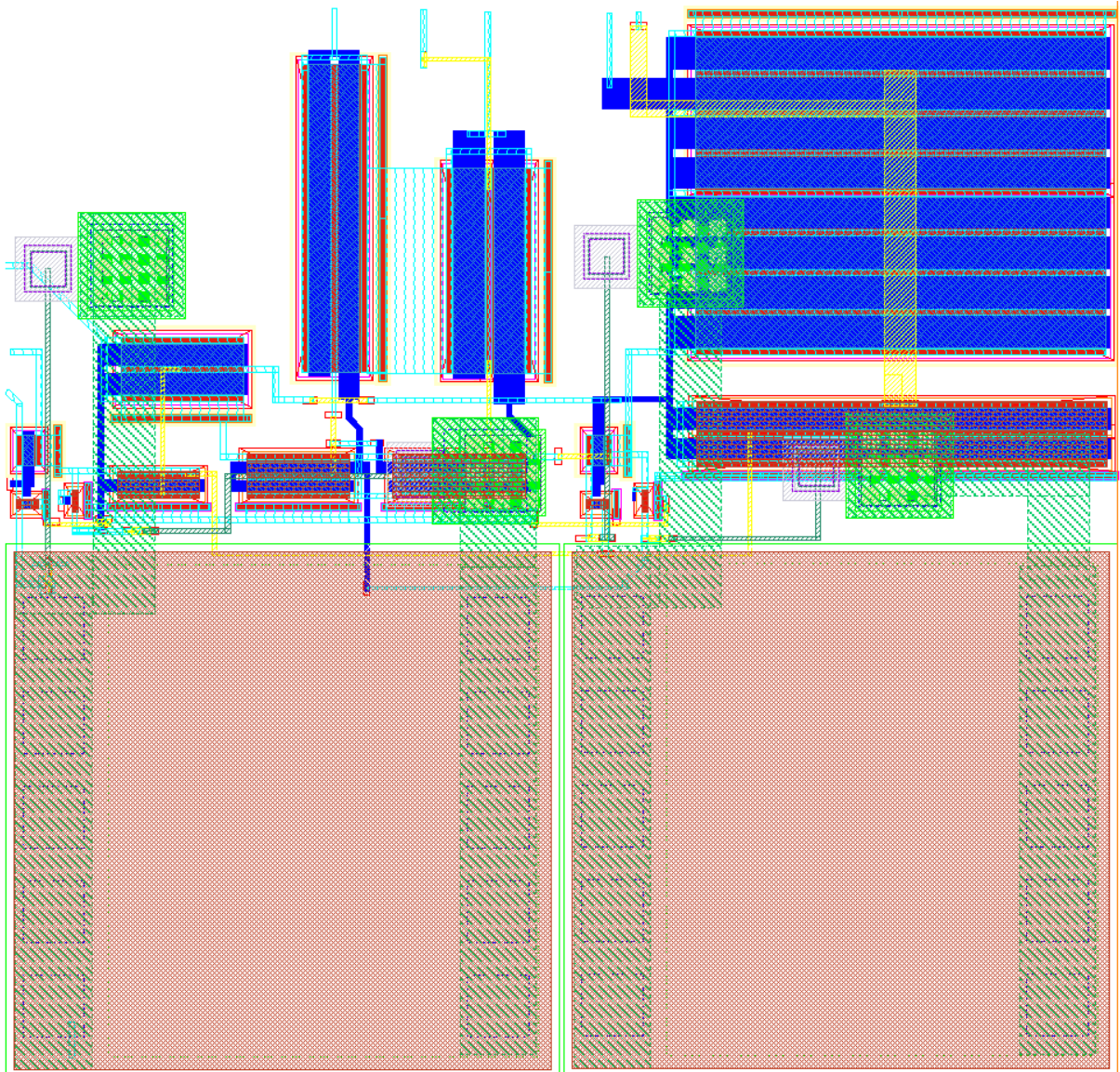


Fonte: Autor (2017)

4.2.1.3 Layout Circuito Deslocador de nível

O *Layout* do circuito Deslocador de nível é demonstrado na figura 4.10, da mesma forma que nos circuitos das chaves tipo P e N, os transistores com um W muito grande, PM_6 , PM_5 , PM_3 , PM_2 , NM_7 , NM_4 , e NM_3 também foram particionados utilizando configurações *multi-finger*. Os capacitores usados foram *MIMCAPS_MML130E*, com capacitância de 500fF. Para atingir essa capacitância, o tamanho de usado foi de $24\mu\text{m} \times 21\mu\text{m}$, com uma capacitância parasita de $\frac{1\text{mF}}{\text{m}^2}$. O circuito com 1 deslocador ocupa uma área de $54\mu\text{m} \times 52\mu\text{m}$.

Figura 4.10 – Layout do circuito Deslocador de nível



Fonte: Autor (2017)

4.2.2 Layout circuito DAC

A figura 4.11 ilustra o *Layout* do circuito DAC. O principal cuidado tomado na criação do *Layout* foi para que a distância mínima de $1,6\mu\text{m}$ entre os metais *AL_RDL* fosse obedecida. Os capacitores usados também foram *MIMCAPS_MML130E*, um tamanho de $4,5\mu\text{m} \times 3,9\mu\text{m}$ com capacitância de 20fF . Para representar o peso binário de cada bit (capacitor), foi feita uma ligação em paralelo, por exemplo, bit 0: um capacitor, bit 1: 2 capacitores em paralelo, bit 3: 4 capacitores em paralelo, e assim sucessivamente. A área ocupada pelo circuito foi de $94\mu\text{m} \times 120\mu\text{m}$.

Figura 4.11 – Layout do circuito DAC

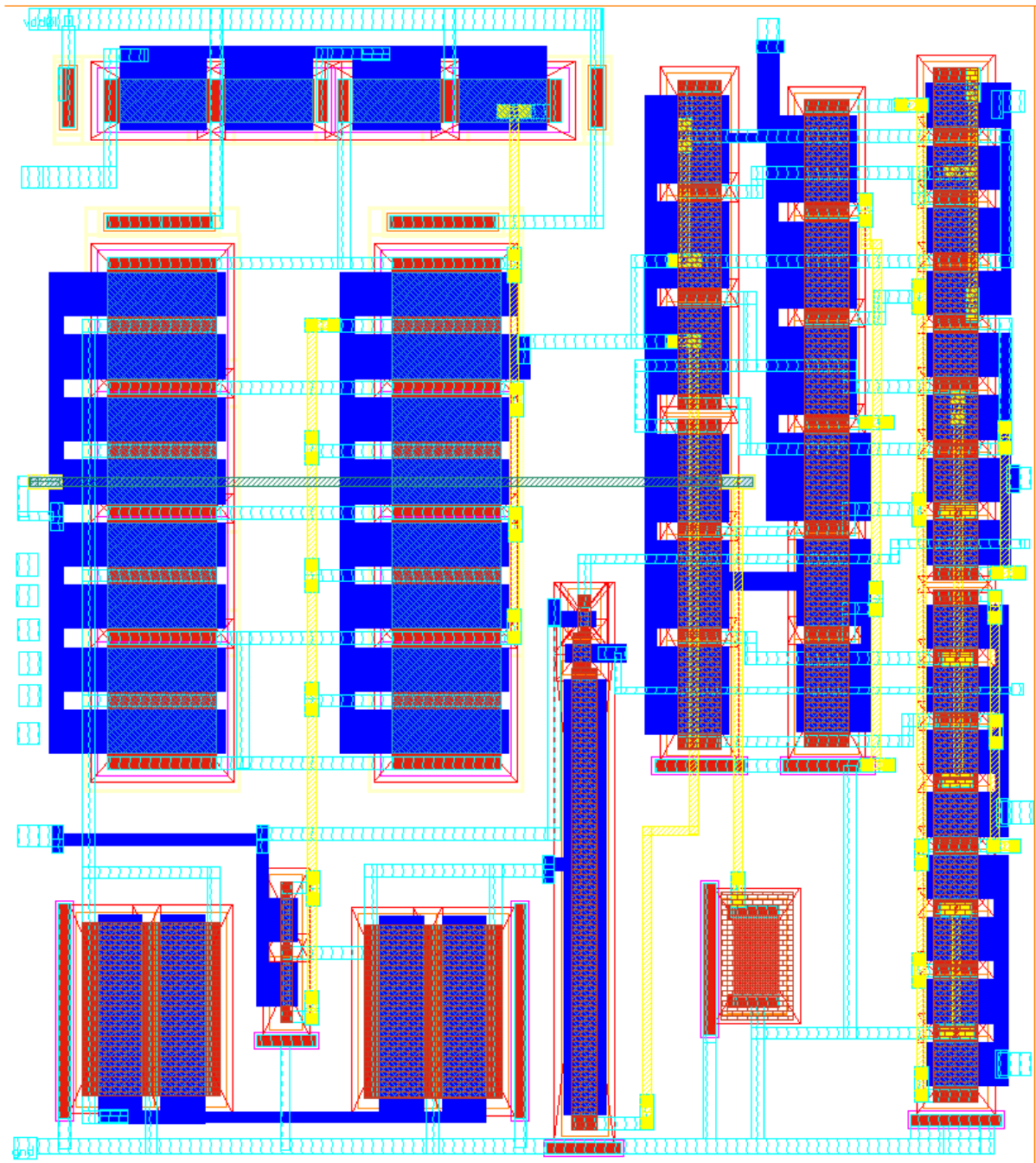


Fonte: Autor (2017)

4.2.3 Layout circuito Cópia de Corrente

Para implementação do circuito de cópia de corrente foi usado um espelho de corrente, conforme ilustra a Figura 4.12. Igualmente como nos circuitos anteriores, os transistores com um W muito grande, também foram particionados utilizando configurações *multi-finger*. O circuito ocupa uma área de $24\mu\text{m} \times 27\mu\text{m}$.

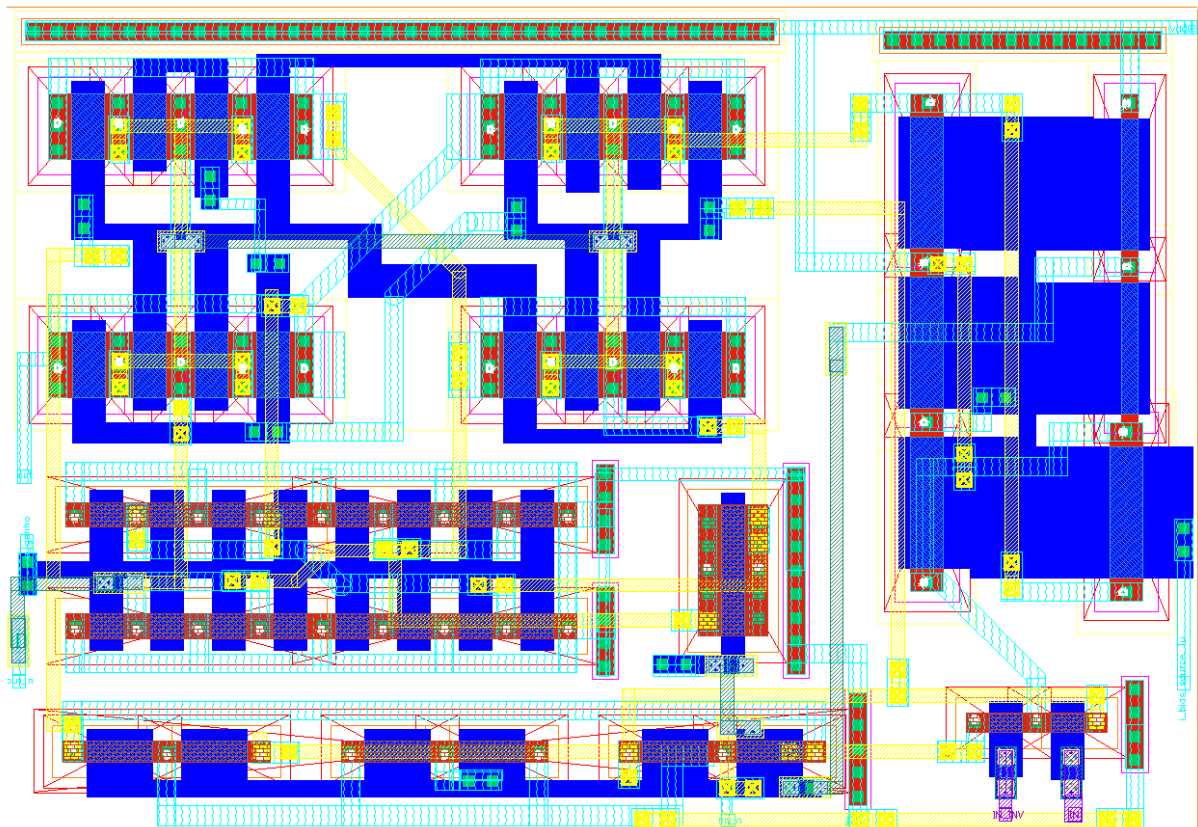
Figura 4.12 – Layout do circuito Cópia de Corrente



4.2.4 Layout circuito Amplificador

Para implementação do *Layout* do circuito Amplificador foi usada a técnica de configuração topológica tipo centróide comum, a fim de reduzir efeitos de descasamento (*mismatch*) devido às variações de processo, conforme ilustra a Figura 4.13. A área ocupada pelo circuito foi de $18\mu\text{m} \times 12\mu\text{m}$.

Figura 4.13 – Layout do circuito Amplificador

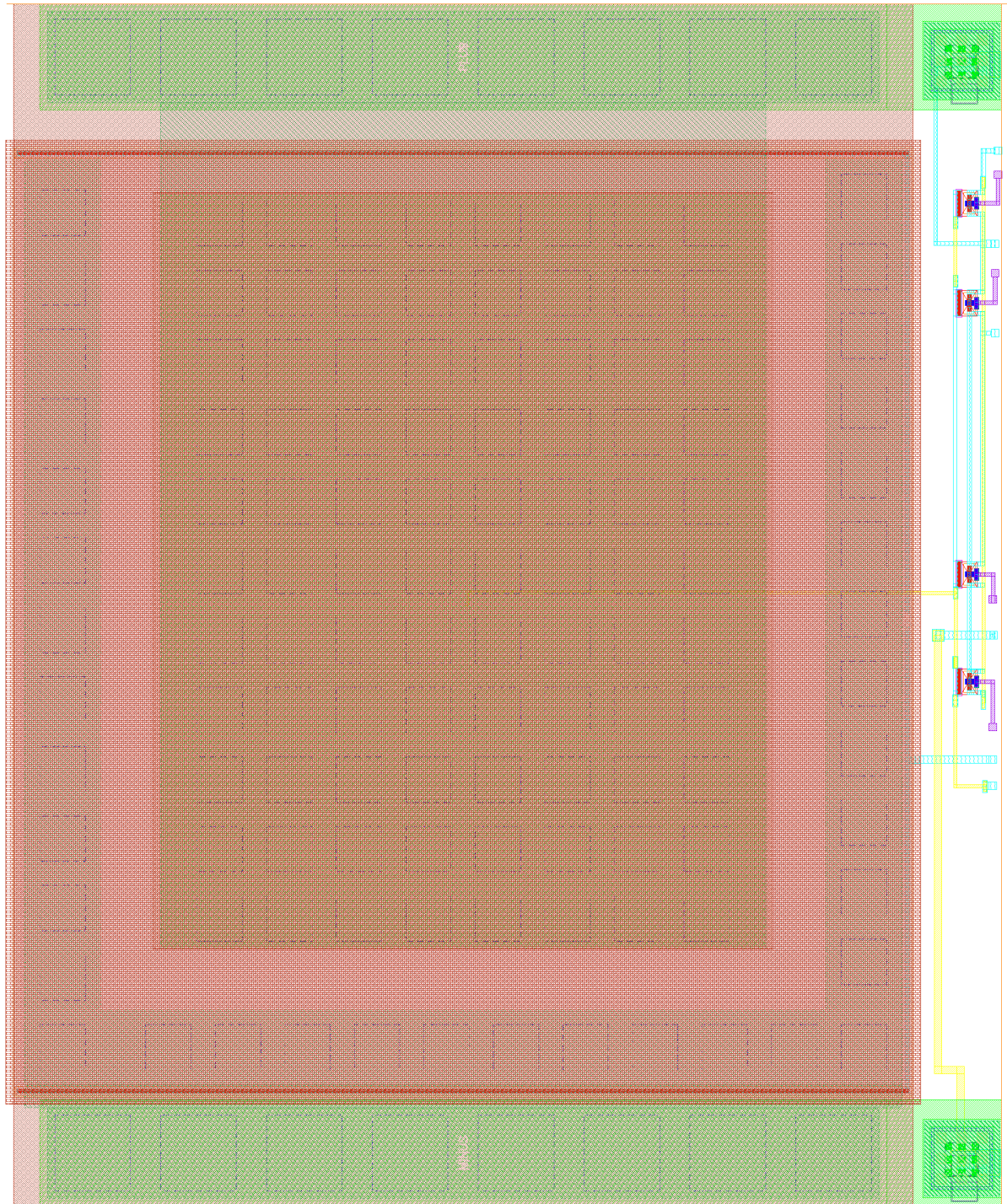


Fonte: Autor (2017)

4.2.5 Layout circuito Estimativa do desbalanceamento de carga

A figura 4.14 ilustra o *Layout* do circuito para um capacitor usado no desbalanceamento de carga. Como ambos são iguais, apenas mudam os sinais recebidos, ele é duplicado para formar o circuito de Estimativa do desbalanceamento de carga que utiliza dois capacitores. Os capacitores usados foram *MIMCAPS_RF*, pois precisam de uma capacitância de 2pF, que não era possível conseguir com os capacitores *MIMCAPS_MML130E*. O tamanho de cada capacitor é de $50\mu\text{m} \times 40\mu\text{m}$. A área ocupada pelo circuito para um capacitor é de $66\mu\text{m} \times 80\mu\text{m}$.

Figura 4.14 – Layout do circuito Estimativa do desbalanceamento de carga



Fonte: Autor (2017)

4.2.6 Layout circuito Controlador

A figura 4.15 ilustra o *Layout* do circuito Controlador (registrador cascadeado para 32 bits). A área ocupada pelo circuito é de $26\mu\text{m}$ de largura por $788\mu\text{m}$ de altura.

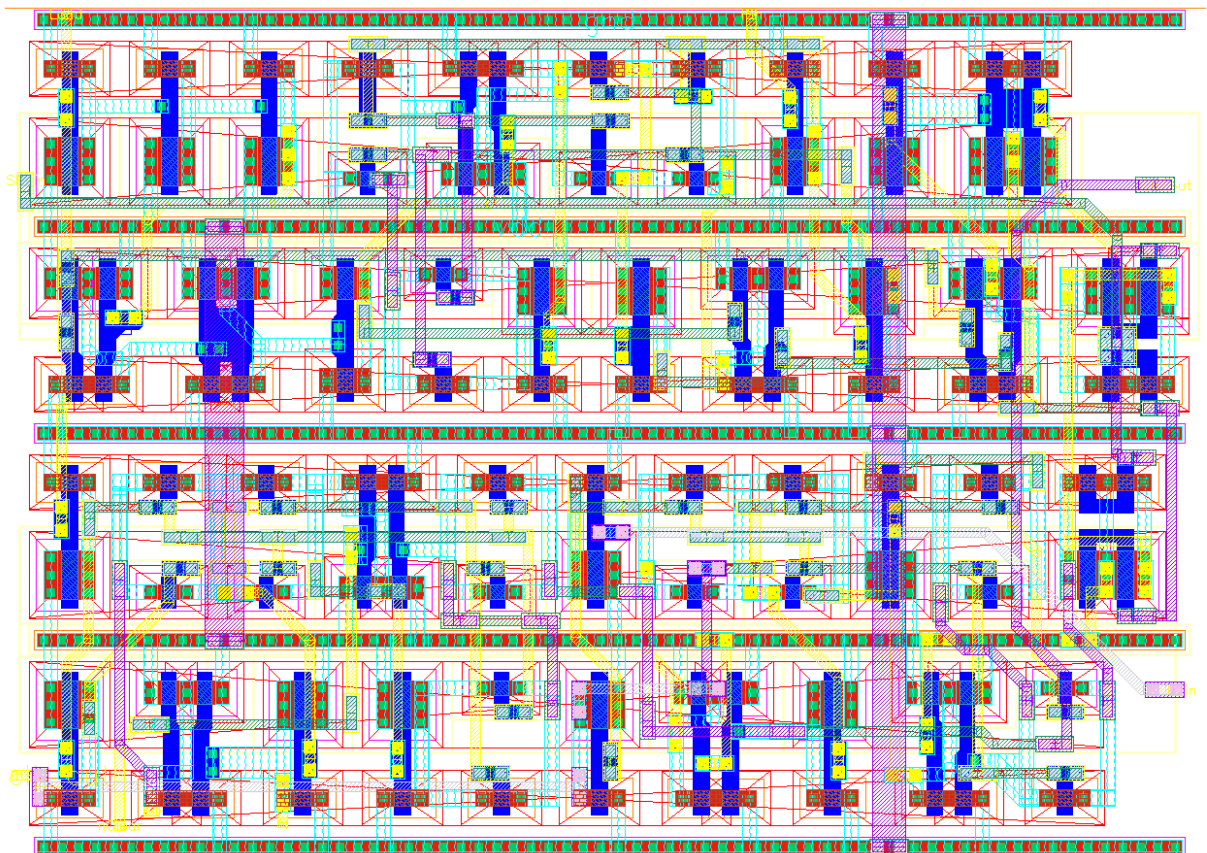
Figura 4.15 – Layout do circuito Controlador



Fonte: Autor (2017)

O *Layout* de uma célula correspondente a 1 bit, representada por um registrador tipo D é demonstrado na figura 4.16.

Figura 4.16 – Layout do circuito de uma célula do Registrador



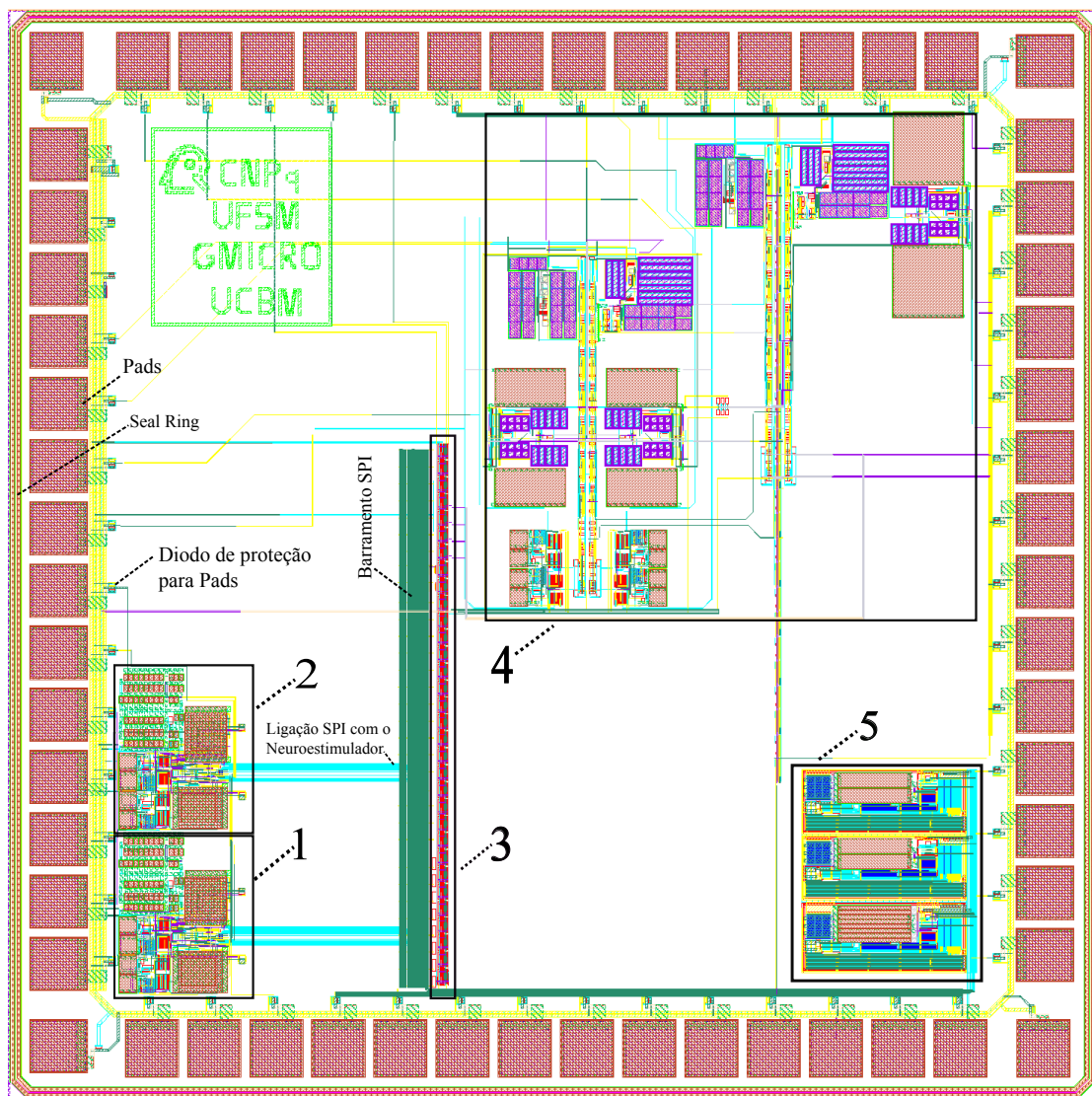
Fonte: Autor (2017)

4.2.7 Layout Circuito Integrado completo

A figura 4.17 ilustra o *Layout* de todo o CI, contendo todos os blocos projetados, os *PADs*, diodos de proteção para *PADs* e o anel de guarda (*Seal Ring*). A dimensão total do CI ficou em 1,58mm x 1,58mm. O bloco de *Layout* 1 representa o Estimulador com as entradas ligadas diretamente no Controlador, o bloco 2 representa esse mesmo circuito estimulador, mas com suas entradas mapeadas para *pads*, para que possa ser ligado com estímulo de uma fonte

externa ou até mesmo de outro circuito do próprio CI. O bloco 3 ilustra o *Layout* do registrador SPI (cascadeado para 32 bits), onde suas entradas estão mapeadas para *pads* e suas saídas para os demais circuitos do CI. É possível observar que foi construído um barramento paralelo ao Controlador para facilitar as ligações com o neuroestimulador e os demais blocos. O bloco 4 ilustra um circuito para canal de aquisição e estimulação, que utiliza as chaves desenvolvidas neste projeto. Embora esteja relacionado a este trabalho, sua discussão está fora do escopo desta dissertação. O bloco 5 representa um circuito oscilador controlado por temperatura e não tem relação com este trabalho.

Figura 4.17 – Layout do Circuito Integrado completo

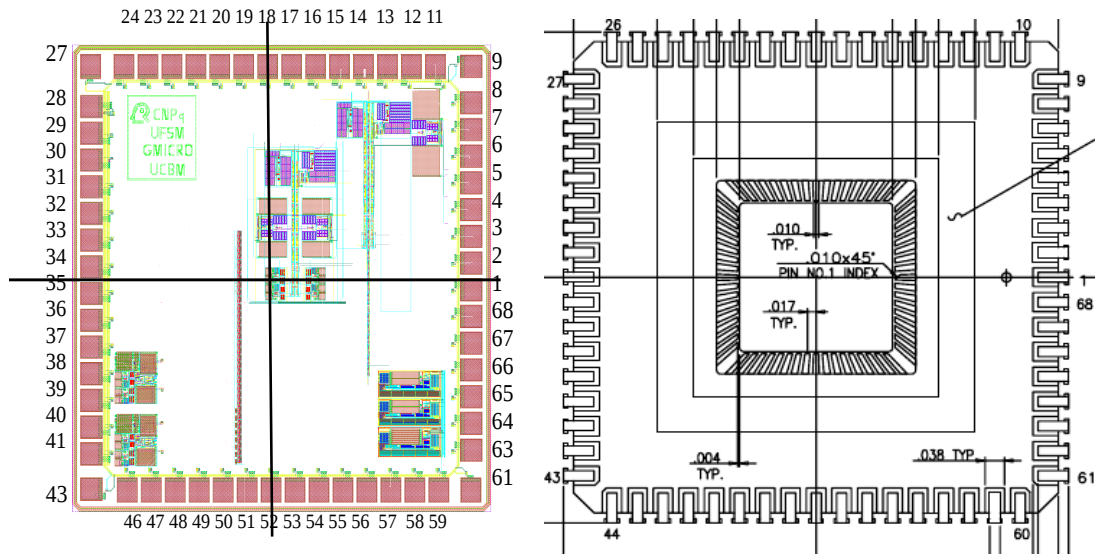


Fonte: Autor (2017)

O encapsulamento adotado para este projeto foi o *JLCC68* com 68 pinos. A figura 4.18 ilustra o mapeamento dos *pads* e o encapsulamento do CI, mostrando apenas as entradas e

saídas dos circuitos referentes a esse trabalho.

Figura 4.18 – Mapeamento de *pads* e encapsulamento



pad35 - Pulso para Estimulador 2
 pad36 - Pulso para Estimulador 2
 pad37 - $V_{DD} = 1,65V$
 pad38 - Saída V_{e+} Estimulador 2
 pad39 - Saída V_{e-} Estimulador 2
 pad40 - Saída V_{e+} Estimulador 1
 pad41 - Saída V_{e-} Estimulador 1
 pad09 - $V_{DD} = 1,2V$

pad46 - Fonte 370mV
 pad47 - Fonte 453mV
 pad48 - Fonte 590mV
 pad50 - CLK (Controlador)
 pad51 - SDO (Controlador)
 pad20 - LOAD (Controlador)
 pad21 - SDI (Controlador)
 pad22 - nRST (Controlador)

Fonte: Autor (2017)

4.3 Resultados

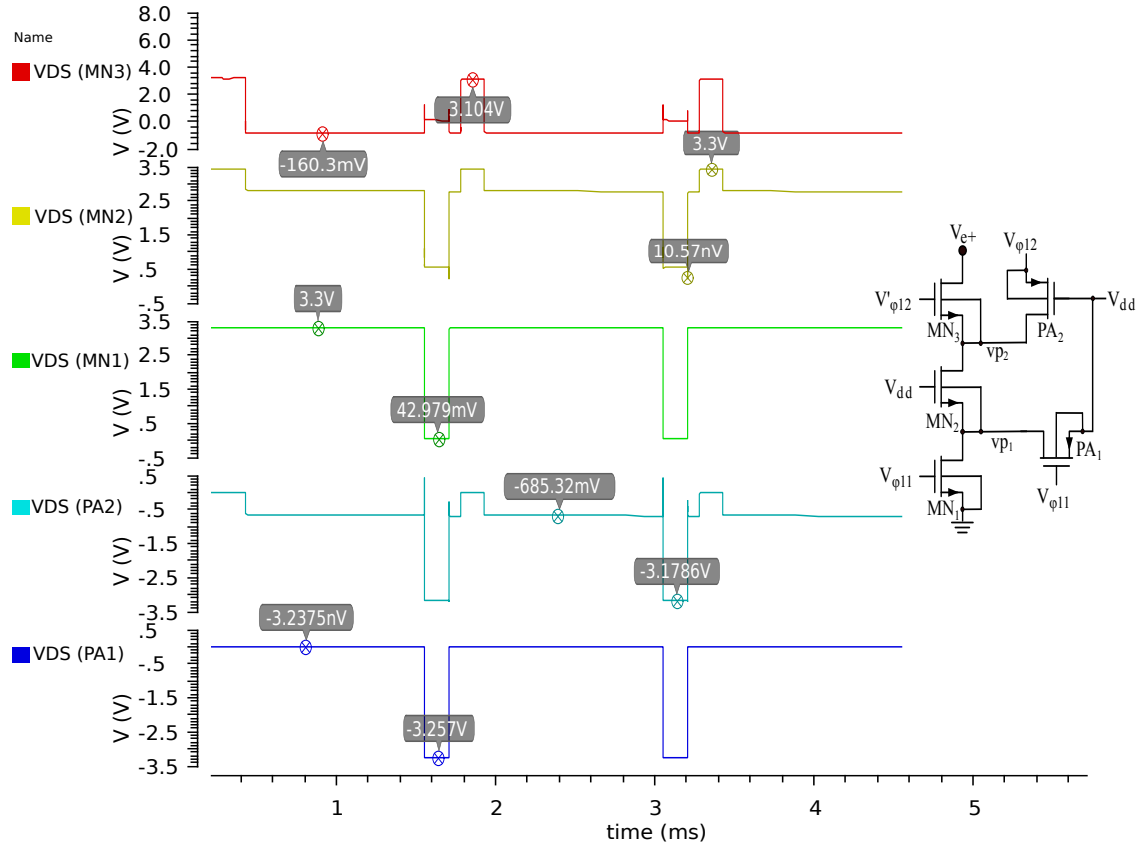
O funcionamento das chaves é validado no nível de simulação elétrica, demonstrando que VGS e VDS, tanto dos transistores principais, quanto dos auxiliares não ultrapassam o valor de 3,3V permitido pela tecnologia. Os diagramas das chaves foram incluídos nas simulações, em uma escala menor, para facilitar a interpretação dos gráficos. Todas simulações foram feitas por um intervalo de tempo de de 5ms, com um período de 2ms e largura de pulso = $200\mu s$.

4.3.1 Simulações da Chaves tipo P e N

A Figura 4.19 ilustra o comportamento do VDS dos transistores principais (MN_3 , MN_2 , MN_1) e dos auxiliares (PA_2 e PA_1) para a chave N. O VDS de MN_3 chaveia entre 3,1V e -0,16V, o de MN_2 entre 3,3V e 0V e o de MN_1 entre 3,3V e 42.9mV. Já no transistor auxiliar

PA_2 varia de $-3,17V$ a $105mV$ e o PA_1 de $-3,25V$ a $0V$.

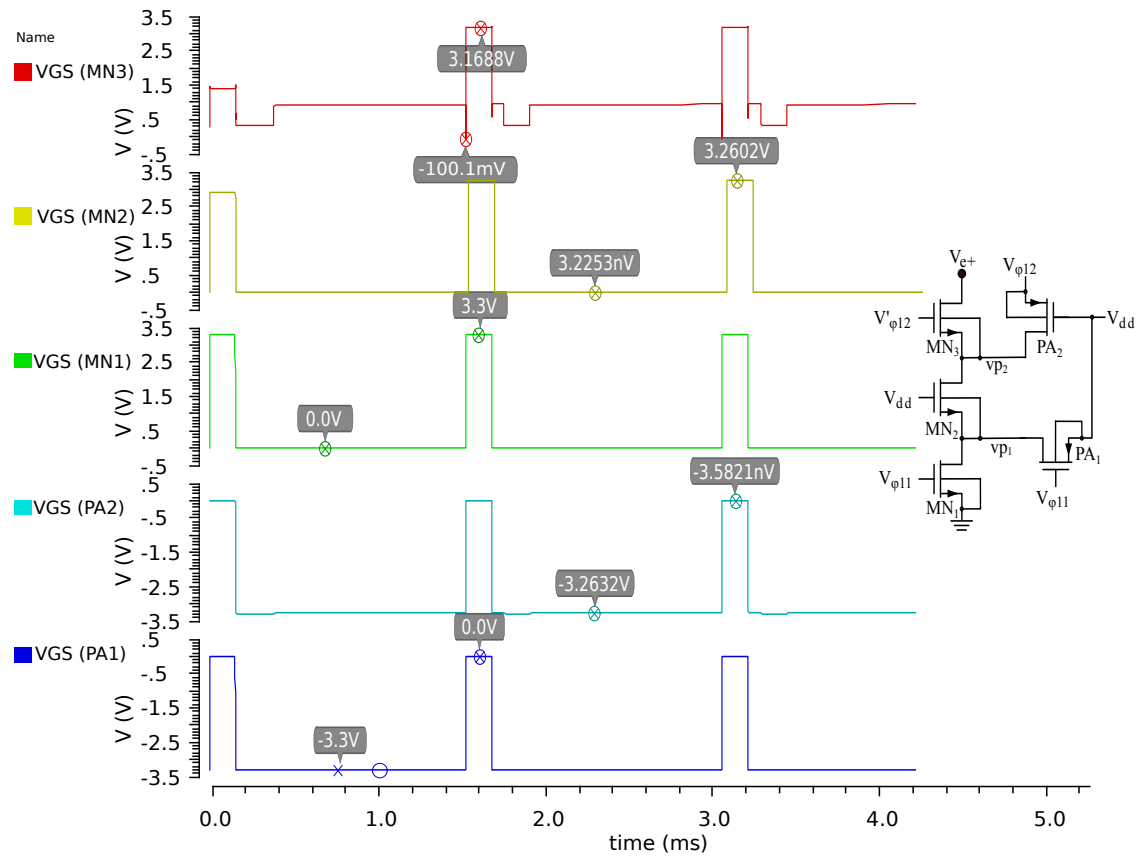
Figura 4.19 – VDS Chave N



Fonte: Autor (2017)

A Figura 4.20 ilustra o comportamento de VGS para os mesmos transistores da figura anterior. O VGS de MN_3 varia entre $3,16V$ e $-0,10mV$, o de MN_2 entre $3,26V$ e $0V$ e o de MN_1 entre $3,3V$ e $0V$. No transistor auxiliar PA_2 varia de $0V$ a $-3,26V$ e o PA_1 de $-3,3V$ a $0V$.

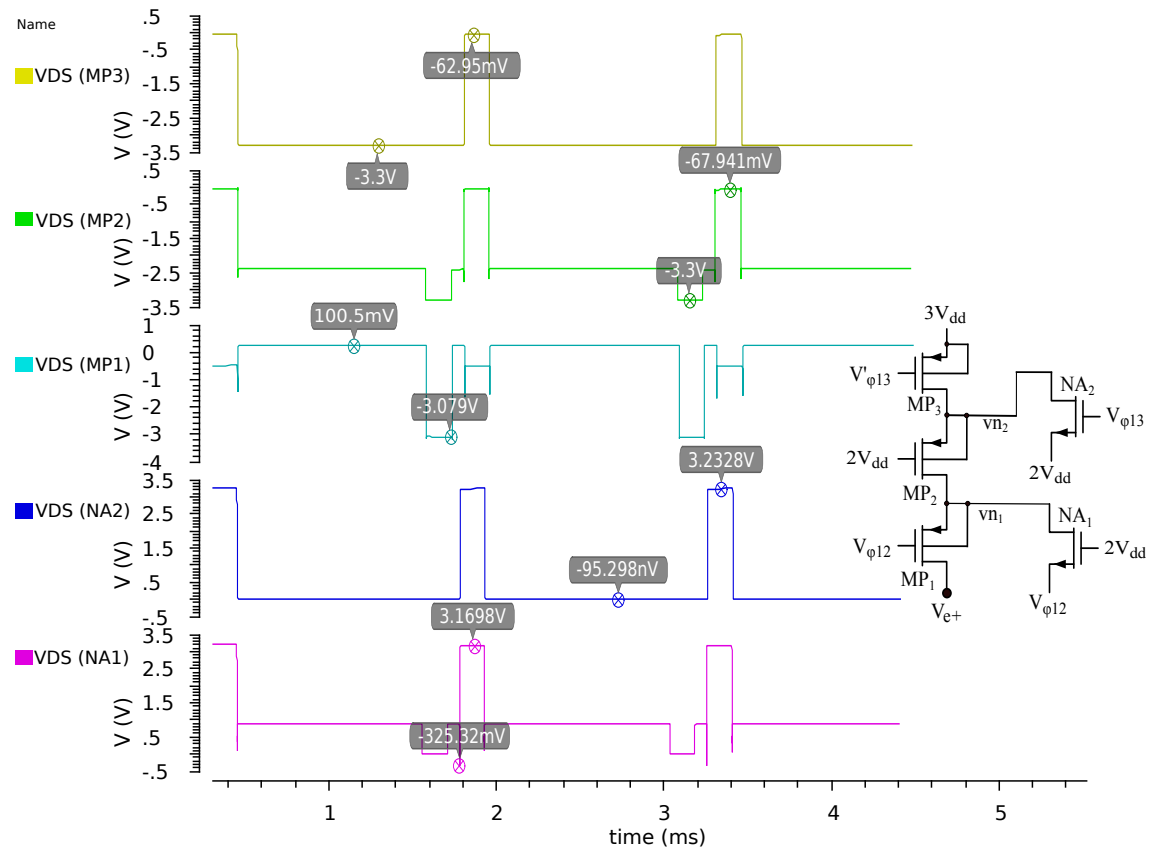
Figura 4.20 – VGS Chave N



Fonte: Autor (2017)

A Figura 4.21 ilustra o comportamento do VDS dos transistores principais (MP_3 , MP_2 , MP_1) e dos auxiliares (NA_2 e NA_1) para a chave P. O VDS de MP_3 chaveia entre -3,3V e -62,9mV, o de MP_2 entre -3,3V e -67,94mV e o de MP_1 entre -3,07V e 0,10V. No transistor auxiliar NA_2 varia de 3,23V a 0V e o NA_1 de 3,17V a -0,12V.

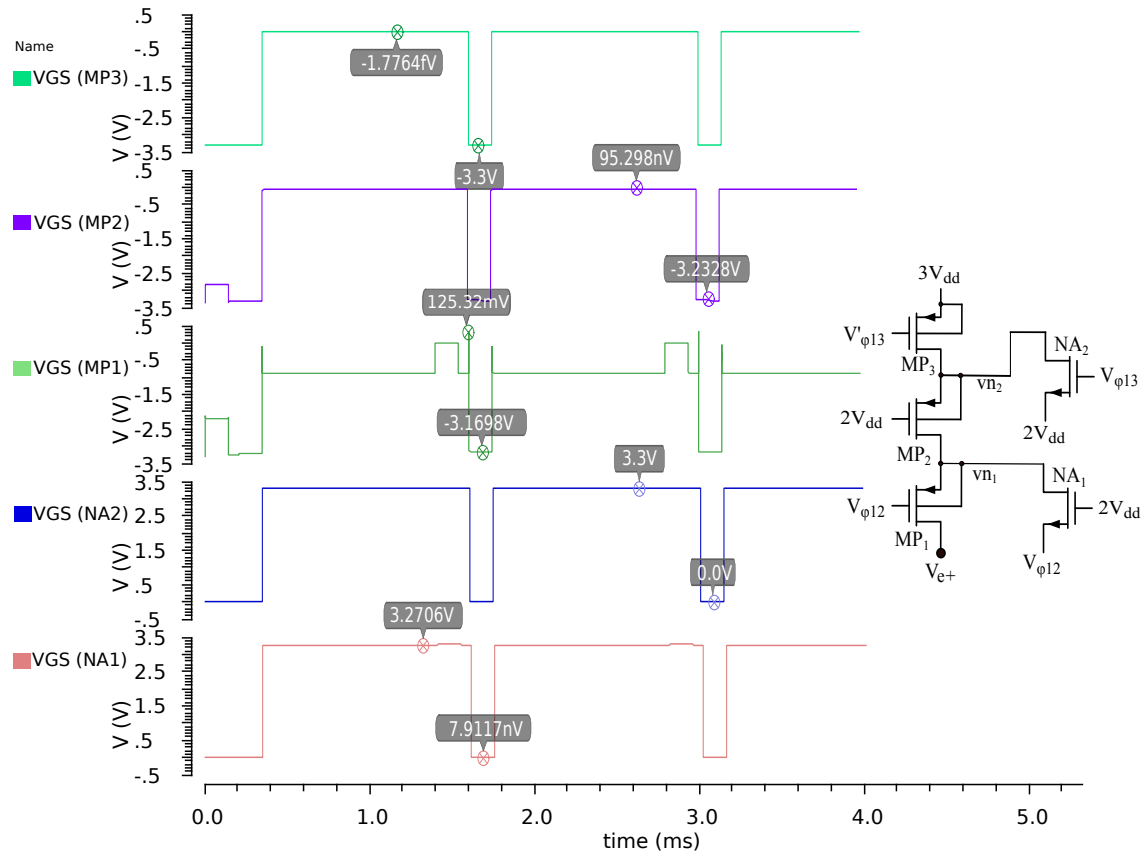
Figura 4.21 – VDS Chave P



Fonte: Autor (2017)

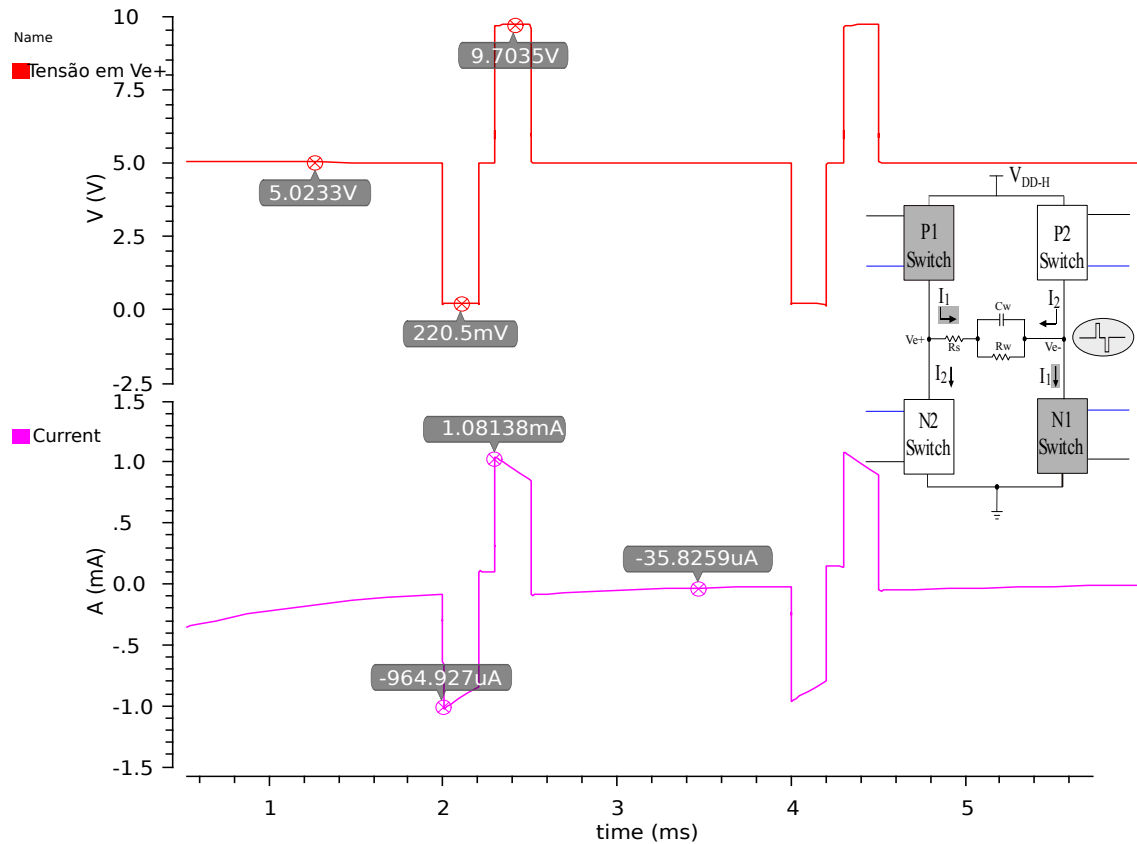
O comportamento de VGS para os mesmos transistores da figura anterior é demonstrado na Figura 4.22. O VGS de MP_3 varia de -3,3V a 0V, o de MP_2 varia de -3,23V a 0V e o de MP_1 de -3,17V a 0,125V. Já o transistor auxiliar NA_2 varia de 3,3V a 0V e o NA_1 de 3,27V a 0V.

Figura 4.22 – VGS Chave P



Fonte: Autor (2017)

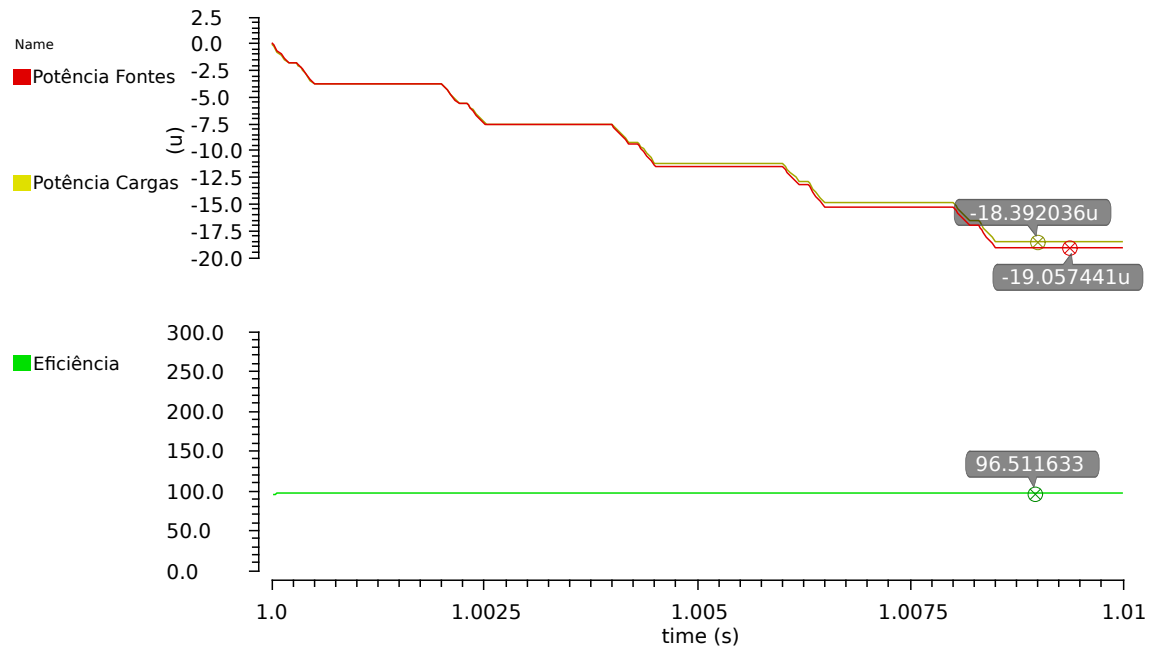
A figura 4.28 mostra o comportamento da tensão e da corrente em V_{e+} . Foi incluído na figura dos resultados da simulação, em uma escala menor, um diagrama do circuito Ponte-H de estimulação para um melhor entendimento. A tensão varia de 9,7V a 220mV quando são gerados os pulsos catódicos e anódicos e se mantém a 5.02V durante o intervalo sem estímulo. Já a corrente de estimulação fica em torno de 1mA no momento dos pulsos e muito próxima de 0 no intervalo sem estimulação.

Figura 4.23 – Corrente e tensão no eletrodo V_{e+} 

Fonte: Autor (2017)

A eficiência das chaves pode ser obtida comparando a potência drenada na fonte x potência entregue à carga. A figura 4.24 mostra que a potência drenada na fonte = $19,05 \mu\text{W}$ e a potência entregue à carga = $18,31 \mu\text{W}$, ou seja, uma eficiência de 96,5% para os valores adotados de W e L dos transistores, caso dobre o tamanho dos transistores, a eficiência aumenta para 97,7%.

Figura 4.24 – Eficiência

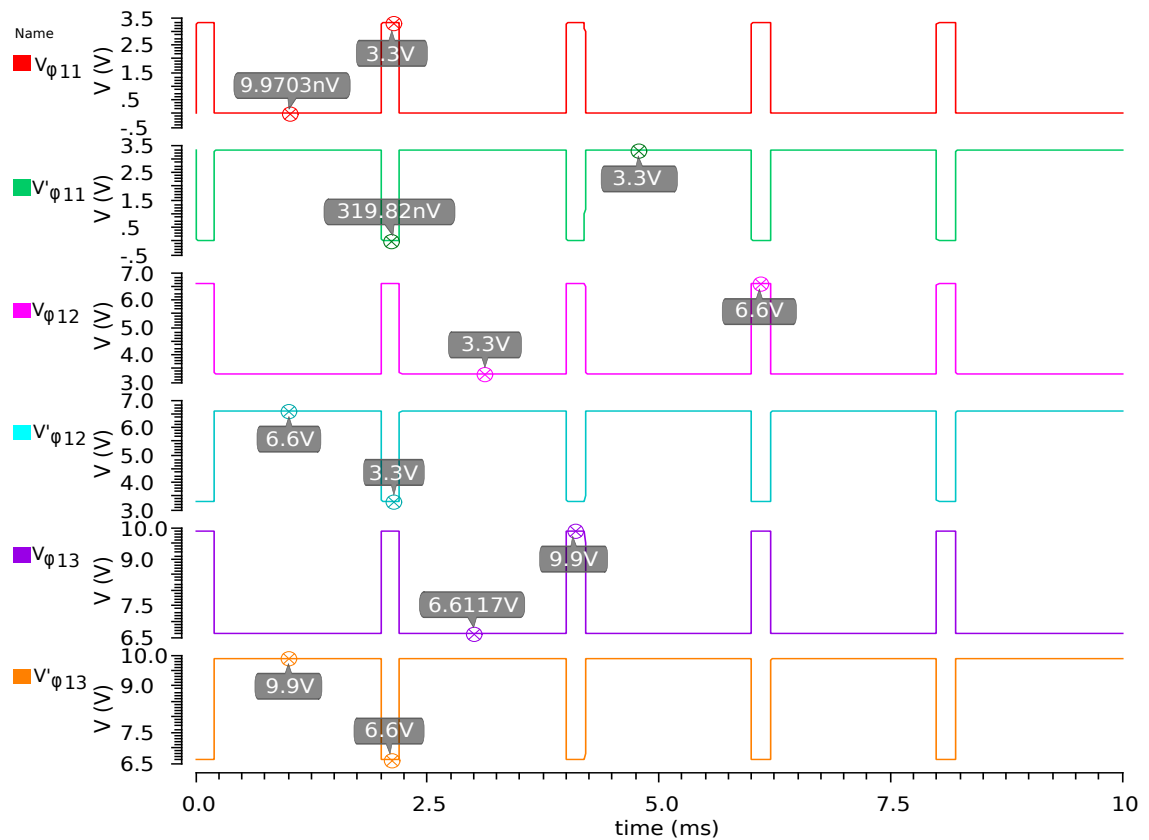


Fonte: Autor (2017)

4.3.2 Deslocador de nível

A figura 4.25 ilustra o funcionamento de deslocador de nível, mostrando todas as saídas do deslocador: pulsos de 0-3,3V, 3,3V-0, 3,3V-6,6V, 6,6V-3,3V, 6,6V-9,9V e 9,9V-6,6V.

Figura 4.25 – Pulsos do Deslocador de Nível

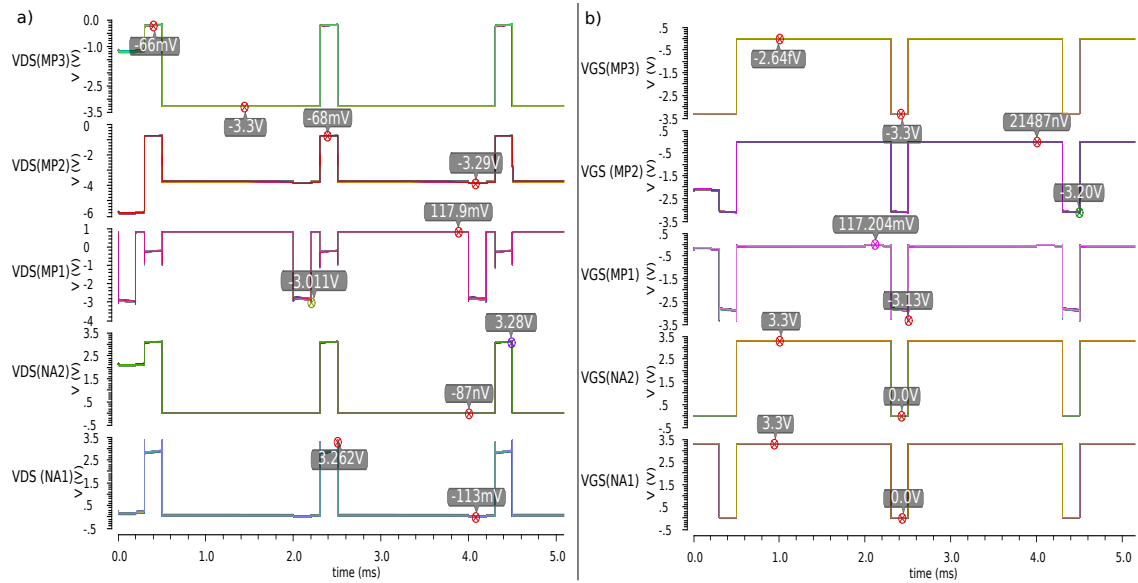


Fonte: Autor (2017)

4.3.3 Simulações de Monte Carlo

As simulações de Monte Carlo foram feitas nas chaves tipo P e tipo N para mostrar que mesmo com a variação de parâmetros, o VDS e o VGS dos transistores não ultrapassa os 3,3V suportados pela tecnologia. As simulações foram feitas com um tempo de 5ms e 200 pontos de variação. A figura 4.26a mostra o resultado dos valores de VDS para a chave tipo P e a figura 4.26b os valores de VGS.

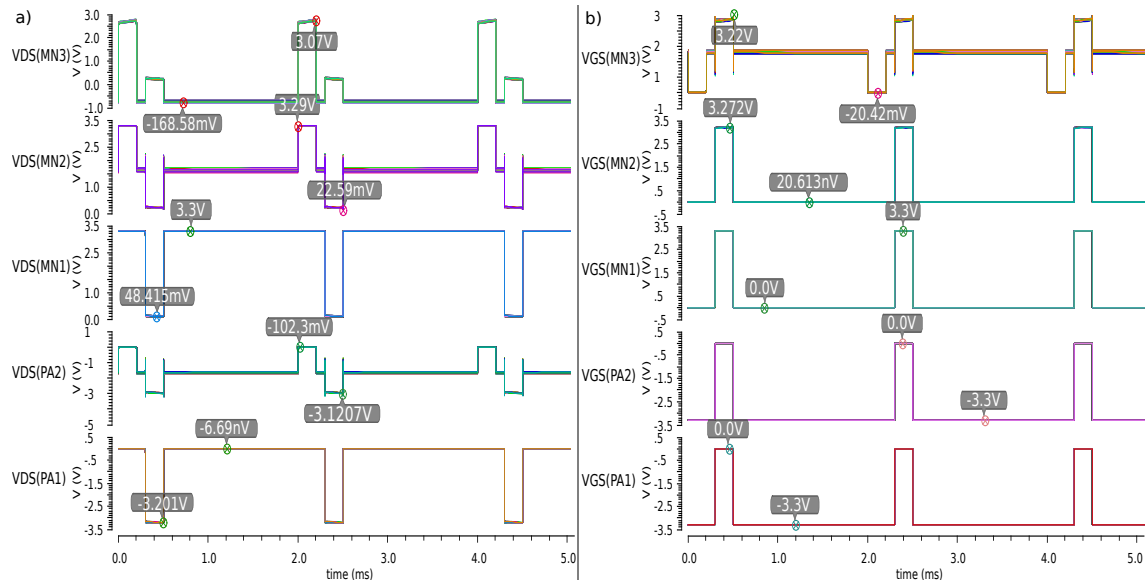
Figura 4.26 – Simulações de Monte Carlo para VDS e VGS da chave P



Fonte: Autor (2017)

A figura 4.27a mostra os mesmos resultados dos valores de VDS para a chave tipo N e a figura 4.26b os valores de VGS.

Figura 4.27 – Simulações de Monte Carlo para VDS e VGS da chave N



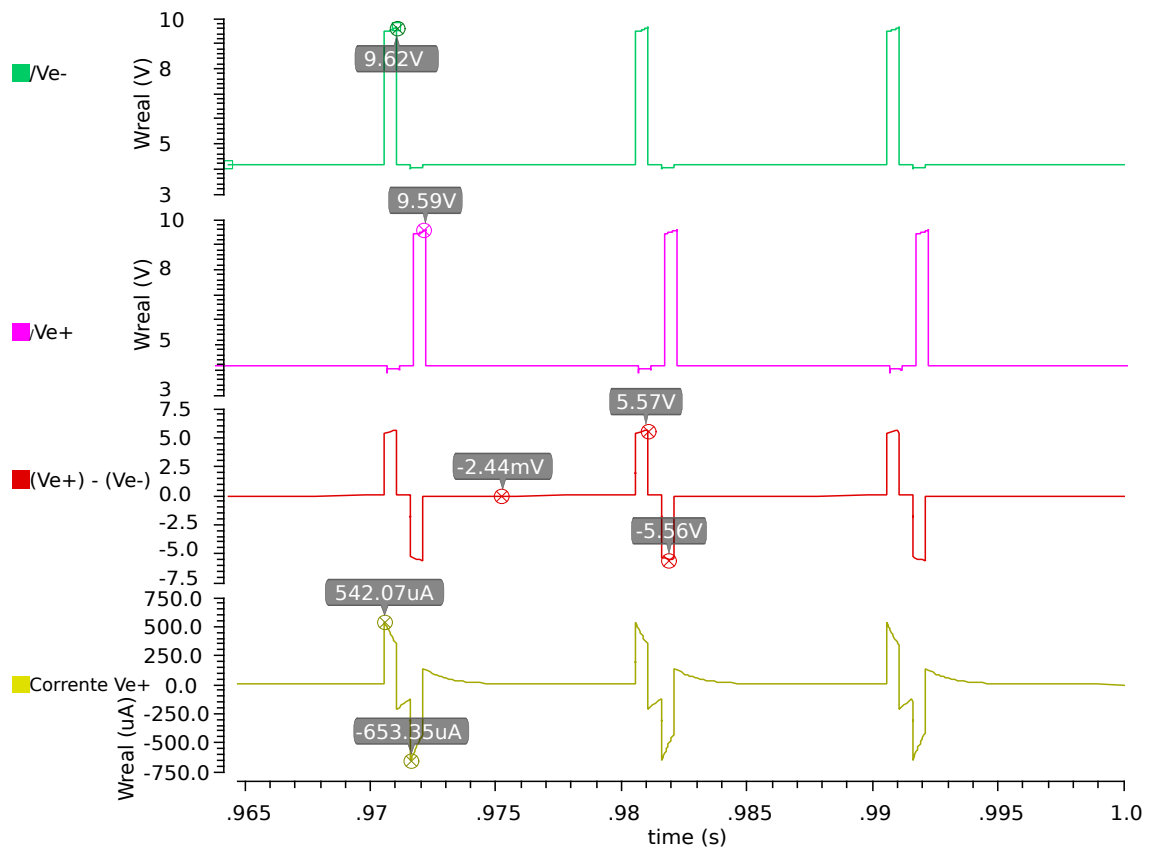
Fonte: Autor (2017)

É possível observar que mesmo com as variações da simulação de Monte Carlo, no circuito das chaves, tanto o VDS, quanto o VGS não ultrapassam a tensão de 3,3V. Como os resultados ficaram muito próximos aos resultados da simulação nominal, é possível inferir que a tensão e a corrente nos eletrodos também não variam muito, não sendo necessário fazer uma simulação de Monte Carlo para todo circuito.

4.3.4 Simulações com parâmetros extraídos do *Layout*

A figura 4.28 mostra o resultado da simulação em um intervalo de tempo de 0.965ms até 1s. Os resultados demonstram que a tensão nos eletrodos $Ve+$ e $Ve-$ fica em torno de 9,6V. Quando são gerados os pulsos catódicos e anódicos, se mantém em torno 5.5V e durante o intervalo sem estímulo a tensão de $Ve+$ menos a tensão de $Ve-$ é praticamente 0 (na ordem de mV). Já a corrente em $Ve+$ fica em torno dos $600\mu A$, controlada pelo DAC, no momento dos pulsos e no período em que não acontece o estímulo permanece muito próxima de 0.

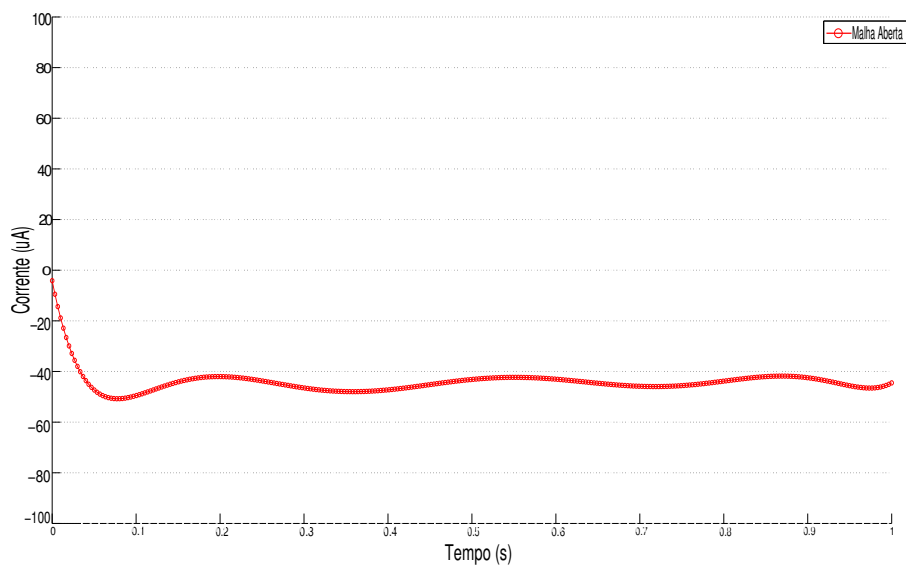
Figura 4.28 – Corrente e tensão nos eletrodos



Fonte: Autor (2017)

A figura 4.29 mostra o resultado da simulação do layout extraído do circuito, por um intervalo de tempo de 1s, em malha aberta (sem realimentação) para balanceamento de carga. O gráfico da corrente em $Ve+$ em função do tempo, mostra que o desbalanceamento de carga se estabiliza em $-50\mu A$, ou seja, bem acima do limite considerado seguro que é de $100nA$.

Figura 4.29 – Simulação de desbalanço de corrente em malha aberta



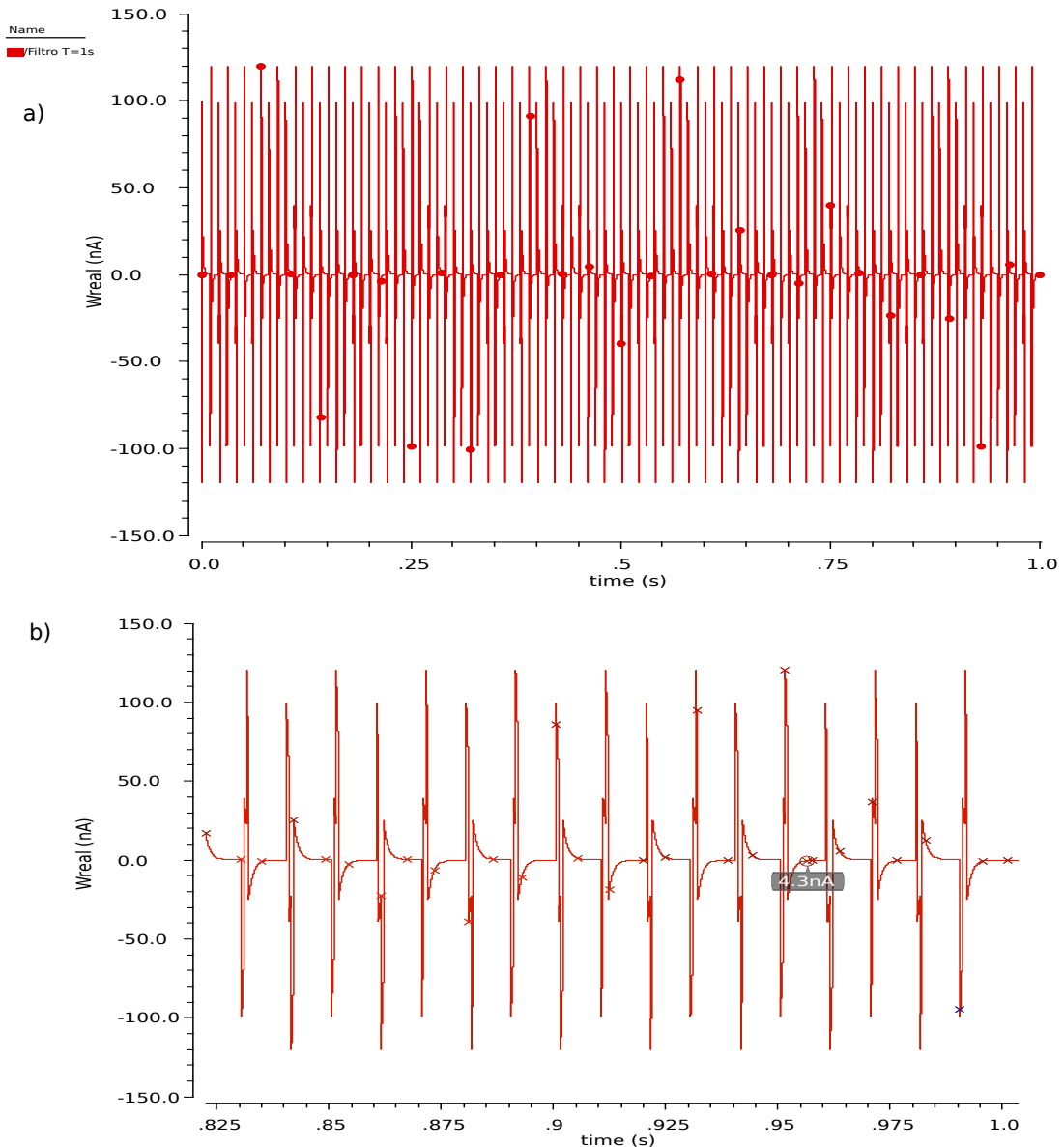
Fonte: Autor (2017)

A figura 4.30 a) mostra a simulação, com malha controlada (com realimentação), de 1s com pulsos de $500\mu\text{s}$ e um período de 10ms sem estímulo. Com a técnica proposta de alternância de pulsos e a realimentação, o desbalanço de carga apresenta uma tendência a ficar muito próximo de 0V ao longo do tempo. A figura 4.30 b) ilustra uma aproximação da figura a) para mostrar que a corrente se estabiliza em torno de 4nA. Com esse controle é possível garantir que o excesso de corrente no tecido fique abaixo dos 100nA, limite considerado por (HUANG et al., 2014) seguro para implantes cocleares. A técnica de alternância de pulsos e a realimentação fizeram com que o desbalanceamento ficasse abaixo, em termos de porcentagem, aos apresentados por (FANG et al., 2007), (LUAN; G.CONSTANDINOU, 2014) e (SIT; SARPESHKA, 2007) e muito próximo dos resultados apresentados por (GUO; LEE, 2009) e (CHUN; YANG; LEHMANN, 2014). O circuito para redução do desbalanceamento proposto por (FANG et al., 2007), além da realimentação, também usa um controlador digital, um comparador e um resistor em série com o eletrodo para medir a carga entregue ao tecido e comparar com a carga desejada. Já (GUO; LEE, 2009), (SIT; SARPESHKA, 2007) e (CHUN; YANG; LEHMANN, 2014) apresentam soluções em malha aberta validadas em condições controladas. De acordo com (FANG et al., 2007), considerando as propriedades não-lineares e variáveis de tempo da interface eletrodo-tecido como carga, soluções de circuito aberto para estimuladores não conseguem alcançar alto desempenho. Precisão de carga, desequilíbrio de carga e eficiência de energia não são relatados diretamente nas literaturas de *design* de estimuladores em malha

aberta.

Mesmo que os resultados deste trabalho fiquem próximos das literaturas citadas, o fato de usar realimentação para deixar o circuito mais confiável e não usar elementos passivos em série com os eletrodos é um diferencial.

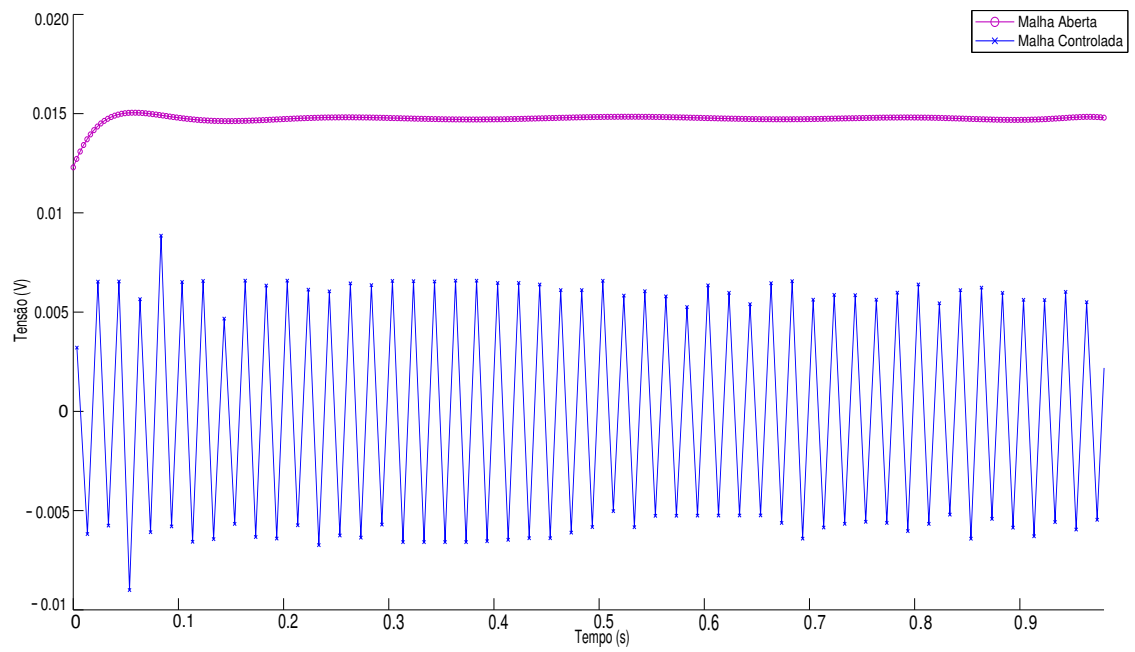
Figura 4.30 – Simulação de desbalanço de corrente em malha controlada



Fonte: Autor (2017)

A figura 4.31 mostra que a tensão residual, em malha controlada, alterna entre 7mV e -7mV. Já a tensão residual em malha aberta se estabiliza em 15mV. Ambas dentro da janela considerada segura por (LO et al., 2013) que é de -0,6V a 0,8V.

Figura 4.31 – Simulação de desbalanço de tensão



Fonte: Autor (2017)

5 CONCLUSÃO E TRABALHOS FUTUROS

Neste trabalho foi apresentada uma proposta para um circuito de neuroestimulação com balanceamento de carga e uma implementação de chaves tolerantes à tensão, juntamente com um deslocador de nível.

A nova topologia de chaves tolerantes à tensão, mostrou-se eficiente para suportar uma tensão de 9,9V em transistores que operam com uma tensão de 3,3V, e ainda reduziu o número de transistores usados em relação a trabalhos anteriores. Os resultados das simulações usadas para demonstrar o funcionamento desses blocos e do neuroestimulador mostraram que a substituição dos blocos ideais pelo blocos desenvolvidos não alterou os resultados já demonstrados anteriormente.

Os resultados das simulações com o circuito extraído do *layout* do circuito demonstraram que o neuroestimulador atende à necessidade de manter o desbalanço de carga abaixo dos 100nA, e ainda melhora esses resultados com a técnica de alternância de pulsos elétricos.

Como sugestão para trabalhos futuros, fica o teste do Circuito Integrado, a possibilidade de desenvolver um circuito de polarização, visto que, o Neuroestimulador é alimentado com tensões diferentes, fornecidas por fontes externas. Além do circuito de polarização para tensão, ainda existem correntes sendo geradas por fontes externas, que também podem ser substituídas por transistores. Existe, também, a possibilidade do Neuroestimulador ser testado com outros circuitos que forneçam os pulsos de entrada, uma vez que foi colocado no CI uma versão com as entradas mapeadas para *pads*. No próprio CI, um dos circuitos adicionados simula o comportamento de aferentes que visam restaurar o senso de toque. A integração desses dois circuitos seria plenamente viável, bastaria conectar a saída dos aferentes às entradas do Neuroestimulador.

REFERÊNCIAS

- ALEX, A. Z.; LEHMANN, T. High-Voltage Tolerant Switch Configuration Using Standard 3.3-V 0.5- μ m Silicon-On-Sapphire CMOS Transistors. **Circuits and Systems (MWSCAS), IEEE 56th International Midwest Symposium**, [S.l.], Aug 2013.
- ALEX, A. Z.; LEHMANN, T.; RODRIGUES, C. A 7.8V Neurostimulator Based on Cascoded Low-Voltage Silicon-on-Sapphire MOS Transistors. **Circuits and Systems (MWSCAS), 2013 IEEE 56th International Midwest Symposium**, [S.l.], August 2013.
- ALVAREZ, I. et al. Generalized alternating stimulation: a novel method to reduce stimulus artifact in electrically evoked compound action potentials. **Journal of Neuroscience Methods**, [S.l.], v.165, p.95–6103, September 2007.
- CHUN, H.; YANG, Y.; LEHMANN, T. Safety Ensuring Retinal Prosthesis With Precise Charge Balance and Low Power Consumption. **IEEE TRANSACTIONS ON BIOMEDICAL CIRCUITS AND SYSTEMS**, [S.l.], v.8, p.108–118, FEBRUARY 2014.
- CLARK, G. **Cochlear Implants: fundamentals and applications**. New York, NY: Springer-Verlag, 2003.
- DO, A. T. et al. A current-mode stimulator circuit with two-step charge balancing background calibration. **Circuits and Systems (ISCAS), 2013 IEEE International Symposium on**, [S.l.], August 2013.
- FANG, X. et al. Novel Charge-Metering Stimulus Amplifier for Biomimetic Implantable Prosthesis. , [S.l.], May 2007.
- GORMAN, P. H.; MORTIMER, J. T. The Effect of Stimulus Parameters on the Recruitment Characteristics of Direct Nerve Stimulation. , [S.l.], v.BME-30, p.407–414, July 1983.
- GUO, S.; LEE, H. Biphasic-current-pulse self-calibration techniques for monopolar current stimulation. **Biomedical Circuits and Systems Conference, 2009. BioCAS 2009. IEEE**, [S.l.], September 2009.
- HUANG, C. Q. et al. Electrical Stimulation of the Auditory Nerve: direct current measurement in vivo. **IEEE TRANSACTIONS ON BIOMEDICAL ENGINEERING**, [S.l.], v.46, p.461–470, April 2014.

- JUNG, L. H. et al. Towards a Chip Scale Neurostimulator: system architecture of a current-driven 98 channel neurostimulator via a two-wire interface. **33rd Annual International Conference of the IEEE EMBS**, [S.l.], September 2011.
- KRISHNAN, A.; KELLY, S. K. On the Cause and Control of Residual Voltage Generated by Electrical Stimulation of Neural Tissue. **34th Annual International Conference of the IEEE EMBS**, [S.l.], August 2012.
- LO, Y.-K. et al. Precision Control of Pulse Widths for Charge Balancing in Functional Electrical Stimulation. **6th Annual International IEEE EMBS Conference on Neural Engineering**, [S.l.], November 2013.
- LUAN, S.; G.CONSTANDINOU, T. A charge-metering method for voltage-mode neural stimulation. **Journal of Neuroscience Methods**, [S.l.], v.224, p.39–47, March 2014.
- MERRILL, D. R.; BIKSON, M.; JEFFERYYS, J. G. Electrical stimulation of excitable tissue: design of efficacious and safe protocols. **Journal of Neuroscience Methods**, [S.l.], 2005.
- ODDO, C. M. et al. Intra-neural stimulation elicits discrimination of textural features by artificial fingertip in intact and amputee humans. **eLIFE**, [S.l.], p.1–27, March 2016.
- RIENER, R. The Cybathlon promotes the development of assistive technology for people with physical disabilities. **Journal of NeuroEngineering and Rehabilitation**, [S.l.], 2016.
- RODRIGUES, C.; LEHMANN, T.; SUANING, G. A 2.6V Silicon-on Sapphire CMOS Current Imbalance Sensing Circuit for Neurostimulation Applications. **Circuits and Systems (MWS-CAS), 2013 IEEE 56th International Midwest Symposium**, [S.l.], August 2013.
- SCHEINER, A.; MORTIMER, J. T. Imbalanced Biphasic Electrical Stimulation: muscle tissue damage. **Annals of Biomedical Engineerin**, [S.l.], 1990.
- SHEPHERD, R. K.; JAVEL, E. Effect of stimulus waveshape on single fibre response properties. **Hearing Research**, [S.l.], v.130, p.171–188, September 1999.
- SIT, J.-J.; SARPESHKA, R. A Low-Power Blocking-Capacitor-Free Charge-Balanced Electrode-Stimulator Chip With Less Than 6 nA DC Error for 1-mA Full-Scale Stimulation. **IEEE TRANSACTIONS ON BIOMEDICAL CIRCUITS AND SYSTEMS**, [S.l.], v.1, p.172–183, September 2007.

TEHOVNIK, E. J. Electrical stimulation of neural tissue to evoke behavioral responses. **Journal of Neuroscience Methods**, [S.l.], v.65, p.1–17, March 1996.

TEIXEIRA, L. **Projeto de Circuitos Integrados para Balanço de Carga e Redução da Tensão Residual em Estimulação Neural**. [S.l.]: Dissertação (Mestrado em Ciências da Computação), Universidade Federal de Santa Maria, Santa Maria, 2015.

WALTER, P. **A Fully Intraocular Approach for a Bi-Directional Retinal Prosthesis**. New York, NY: Springer International Publishing, 2016.

APÊNDICES

APÊNDICE A – Artigo Publicado

O desenvolvimento das Chaves tolerantes à tensão resultou em um artigo aprovado que será apresentado no evento Workshop on Circuits and System Design - WCAS 2017. O mesmo está intitulado como A simplified topology of voltage-tolerant switches for implantable functional electrical stimulation e encontra-se na íntegra a seguir.

A simplified topology of voltage-tolerant switches for implantable functional electrical stimulation

Rafael Silveira

Federal University of Santa Maria
Av. Roraima 1000
Santa Maria, RS 97105-900
rafaelss.svp@gmail.com

Cesar Rodrigues

Federal University of Santa Maria
Av. Roraima 1000
Santa Maria, RS 97105-900
cesar@ieeee.org

Afonso Plantes

Federal University of Santa Maria
Av. Roraima 1000
Santa Maria, RS 97105-900
afonso.plants@gmail.com

César Prior

Federal University of Santa Maria
Av. Roraima 1000
Santa Maria, RS 97105-900
cesar.prior@ieeee.org

ABSTRACT

In this letter we propose a simplified topology for voltage tolerant switches which are able to withstand three times the voltage rating of each transistor. It consists of only five devices: three cascoded transistors in the stimulation current path and two working as auxiliary switches. The proposed topology achieves reduced leakage through auxiliary control devices while more than halving the transistor count with respect to similar topologies.

CCS CONCEPTS

•**Hardware** → *Integrated circuits; Analog, mixed-signal and radio frequency;*

KEYWORDS

Switches, High-voltage, Stimulation

1 INTRODUCTION

One of the major challenges for today's biomedical engineering research is the development of wireless implantable neural interfaces. The functional electric stimulation (FES) is a key function for those systems and meets application in diverse types of prosthesis (cochlear [2], retina [3], limbs [5, 7]), and also in treatments, like the deep brain stimulation [4]. Most of FES front-ends rely on the availability of high voltage transistors, which limits the range of choice for fabrication technologies. An alternative approach is using circuit topology solutions for implementing high-voltage switches with transistors from CMOS baseline process. To preserve the circuit lifetime, voltage ratings of transistors must be respected in order to keep electric field strengths below critical values thus avoiding lifetime degradation mechanisms [9] namely oxide breakdown, hot-carrier degradation, and junction breakdown. Furthermore, for compatibility with ICs from previous generations, a large number of chips in advanced CMOS processes must be able to interface at voltages higher than their supply voltage. The main topological strategy for limiting voltages is cascoding a sufficient number of devices for dividing overvoltages among their terminals. Auxiliary circuits have been included in order assure the correct distribution of voltage drops among devices when switches are

open [1, 8, 9]. We propose a minimum topology for voltage tolerant switches implemented with cascoded transistors and one auxiliary transistor per intermediate node of the main current path. The operation is demonstrated at the simulation level with 3.3V transistors from UMC130nm process, which has no availability of high-voltage transistors.

2 PROPOSED CIRCUIT

The high-voltage (HV) tolerant switches were designed to implement an H-Bridge stimulator as shown in Fig.1. In addition to N and P-switches, and two charge-pump based level shifters, it also comprises a charge-sharing DAC with current output, which is not addressed here. The level shifters are identical to those presented at [8], and are necessary because main transistors in N and P-switches require their gates to be driven by control signals having different reference voltages (i.e., gnd, Vdd, 2Vdd, and 3Vdd).

Topologies of N and P-switches (P1 and N2 from Fig.1) with respective voltage signals at their nodes are schematically detailed in the Fig.2. Each switch comprises three main, and two auxiliary transistors. Main transistors MP1-MP3 in P1 (or MN1-NM3 in N2) are sized to source (sink) the maximum stimulation current (1mA) into (from) the electrodes (Ve+ and Ve-) with few millivolts of voltage drop. The auxiliary transistors PA1-PA2 (or NA1-NA2) have function of clamping drain to source and gate to source voltages of main transistors to Vdd when switches are in the high-impedance state.

Referring to the N2-switch, if the control signal $V_{\phi 2}=V_{\phi 21}$ is initially low (0V), the gate to source voltage of MN1 is set to zero, driving the transistor into the cutoff condition. At the same time, a shifted copy of $V_{\phi 21}$ also assumes its low logic level, i.e. $V_{\phi 22}=2V_{dd}$. Hence, to ensure that NM2 and NM3 are also in cutoff condition, nodes nn1 and nn2 must be set respectively to Vdd and 2Vdd, ensuring VGS=0 for both transistors. When N2 is open, voltages at intermediate nodes of cascoded MOS transistors are poorly defined [6]. Thus, auxiliary transistors PA1 and PA2 are employed to clamp nn1 and nn2 to Vdd and 2Vdd respectively. A condition for driving PA1 and PA2 is that voltages between any of their terminals must be smaller than $-V_{dd}$. For PA1, this requirement can be met by driving its source terminal to $V'_{\phi 21}$, as this is the signal it is

expected to track. The switching action of PA1 is accomplished by connecting its gate to Vdd. It sets $V_{GS}=V_{\phi_{21}}-V_{dd}$, which turns it on for $V_{\phi_{21}}=0$, and off for $V_{\phi_{21}}=V_{dd}$, just as expected. It can be also observed that by keeping drain to source voltage of PA1 always close to zero contributes to reduce leakage currents in this transistor. The expected behavior of PA2 is being in triode condition when N2 is open and cutoff when N2 is in conduction. That defines its voltage nodes as follows: For PA2 in triode region $V_D=V_S=2V_{DD}$ and $V_G=V_{DD}$; in the cutoff condition $V_D=0V$, $V_G=V_S=V_{DD}$, and $V_S=V_{DD}$. This analysis lead us to conclude that VG must be set to VDD, and VS can be driven by $V_{\phi_{21}}$ if it is inverted and up-shifted by VDD. The resulting signal is referred as $V'_{\phi_{22}}$ in Fig.2.

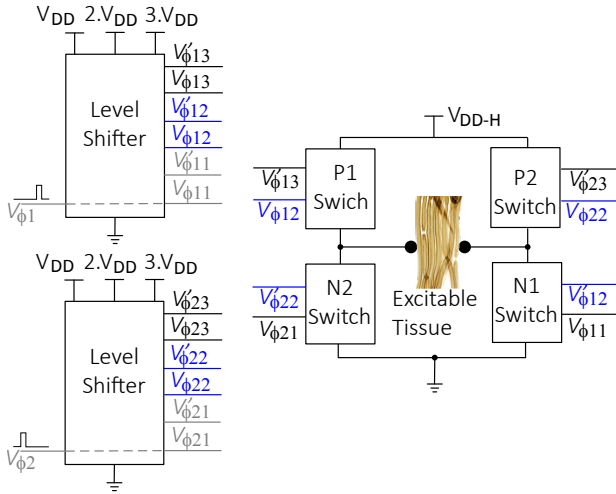


Figure 1: Functional electric stimulator architecture using HV tolerant N and P-switches.

The same rationale fits the P1-switch by replacing MN_i with MP_i , and NA_j with PA_j , being $i=1..3$ and $j=1, 2$. Since P transistors operate with negative VGS and VDS, roles played by gnd and 3VDD are interchanged, as well as for Vdd and 2Vdd. Pulses for driving the switch P1 are indicated as $V'_{\phi_{13}}$ and $V'_{\phi_{12}}$ in Fig.2.

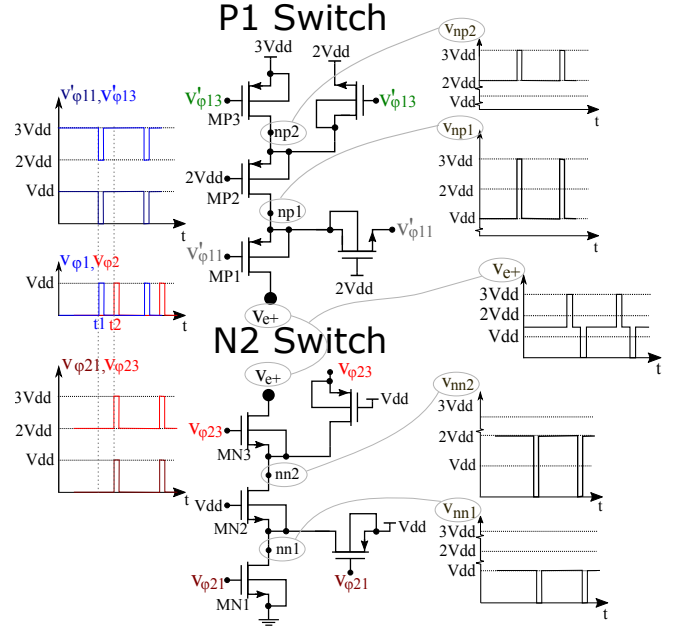


Figure 2: Schematics of P and N HV switches employed to implement the FES. Driving signals and resulting voltage swings at intermediate nodes are included.

3 SIMULATION RESULTS

An H-bridge composed of two N and two P-switches were simulated with post-layout extracted parameters included in order to characterize their functionality. Simulation was performed using the UMC130nm CMOS technology (United Microelectronics Corporation, Taiwan) design kit. As power dissipation occurs almost exclusively because of voltage drops across MN_{1-3} and MP_{1-3} during stimulation, transistors were sized as a result of compromise between area and efficiency. In N1 and N2: $MN_3=MN_2=MN_1$ ($W/L=25\mu m/340nm$), $PA_2=PA_1$ ($W/L=1\mu m/300nm$); and for P1 and P2: $MP_3=MP_2=MP_1$ ($W/L=70\mu m/300nm$), $NA_2=NA_1$ ($W/L=1\mu m/340nm$). Their ability of stimulating with voltage swings of approximately 9.9V (3.VDD) can be observed in Fig.3.a. Bipolar stimulation currents with 1mA of magnitude are obtained when the electrode-tissue model shown in Fig.3.b is connected to the H-bridge. Voltage waveforms for VDS and VGS of each transistor in N1 switch and P1 switch are respectively presented in Figs.3.c and d. These simulated waveforms indicate that the proposed topology is effective at delivering voltages three times larger than transistors' rating while relying on a reduced number of devices.

Furthermore, by eliminating passive elements from biasing circuit and using just two auxiliary transistors the bridge consumes $3.80\mu W$ from supply for delivering $3.67\mu W$ into electrodes, achieving an efficiency of approximately 96.5%. Efficiency can be further improved at the cost of additional area. As an example, by doubling W of main transistors efficiency is increased to 97.7%.

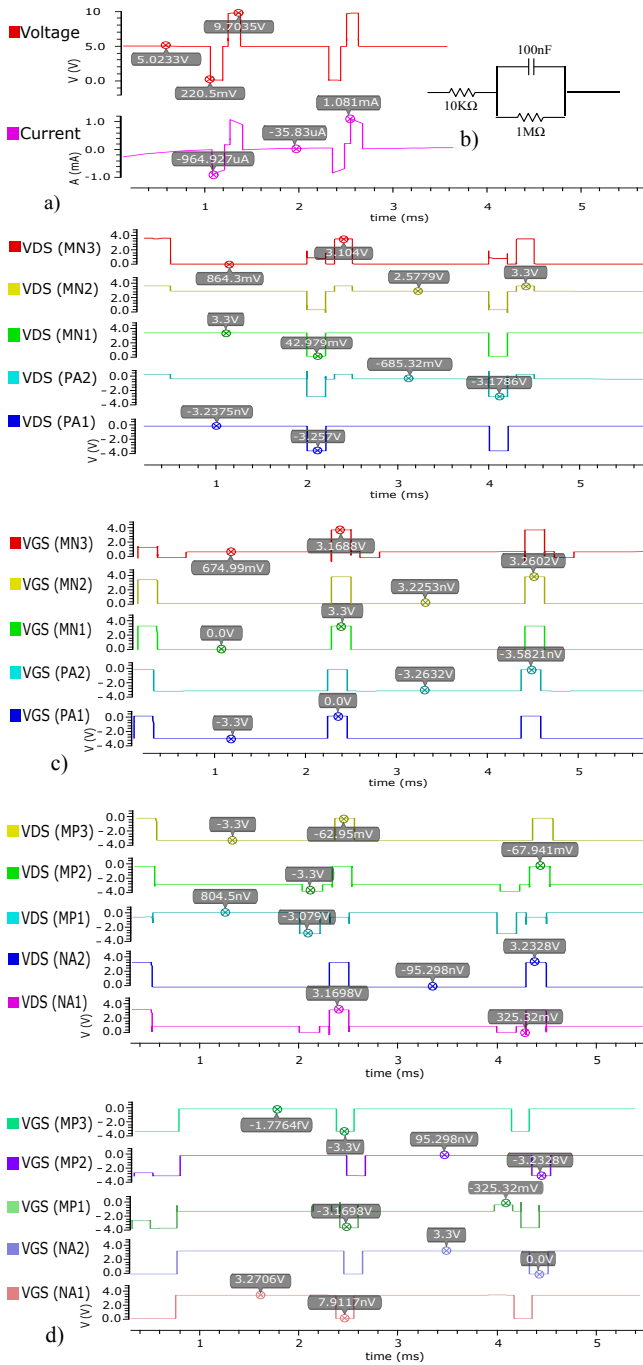


Figure 3: Simulation results: a) Maximum stimulation current and voltage across the electrodes. b) Electrical model assumed to the interface nerve-electrodes. c) Waveforms for VGS and VDS of each transistor in N1 switch, and d) in P1 switch.

4 CONCLUSION

We proposed a simplified topology for implementing voltage tolerant switches. Its functionality was demonstrated at simulation level in an H-bridge for FES. Each switch comprises three cascoded devices in the stimulation current path. Only two auxiliary transistors are required for keeping all voltages on each transistor under the voltage rating of the technology. That represents a significant reduction of transistors counting in comparison to previous topologies [1, 8].

This work has been supported by CNPq, grant 487183/2013-4

C.R.Rodrigues, R.S.Silveira. (UFMS, Santa Maria, Brazil)

E-mail: cesar@ieee.org

REFERENCES

- [1] Asish Z. Alex and Torsten Lehmann. 2014. High-Voltage Tolerant Switch Configuration Using Standard 3.3-V 0.5- μ m Silicon-On-Sapphire CMOS Transistors. *IEEE APCCAS* (Nov 2014), 591–594. DOI:<https://doi.org/10.1109/APCCAS.2014.7032850>
- [2] Graeme Clark. 2003. *Cochlear Implants: Fundamentals and Applications*. Springer International Publishing, New York, NY.
- [3] Veit Peter Gabel. 2017. *Artificial Vision - A Clinical Guide (1st ed.)*. Springer International Publishing, New York, NY.
- [4] Alex C. S. Gong, Yi. H. Lai, Han S. Huang, Chun Y. Lo, Nicole Lee, Chen Yuan P., Hsun P. Tu, Yen C. Yang, James C. C. Lin, and Yin Y. C. Chen. 2015. A Programmable High-Voltage Compliance Neural Stimulator for Deep Brain Stimulation in Vivo. *Sensors* 15, 6 (Jun 2015), 12700–12719. DOI:<http://dx.doi.org/10.3390/s150612700>
- [5] Maria C. Oddo, Stanisa Raspopovic, Fiorenzo Artoni, Alberto Mazzoni, Giacomo Spigler, Francesco Petrini, Federica Giambattistelli, Fabrizio Vecchio, Francesca Miraglia, Loredana Zollo, Giovanni D. Pino, Domenico Camboni, Maria C. Carrozza, Eugenio Guglielmelli, Paolo M. Rossini, Ugo Faraguna, and Silvestro Micera. 2016. Intraneural stimulation elicits discrimination of textural features by artificial fingertip in intact and amputee humans. *eLIFE* (March 2016), 1–27. DOI:<http://dx.doi.org/10.7554/eLife.09148.001>
- [6] Behzad Razavi. 2000. *Design of Analog CMOS Integrated Circuits*. McGraw-Hill, New York, NY.
- [7] Robert Riener. 2016. The Cybathlon promotes the development of assistive technology for people with physical disabilities. *Journal of NeuroEngineering and Rehabilitation* (May 2016), 13–49. DOI:<https://doi.org/10.1186/s12984-016-0157-2>
- [8] Cesar Rodrigues, Asish Z. Alex, and Torsten Lehmann. 2013. A 7.8V neurostimulator based on cascoded low-voltage Silicon-on-Sapphire MOS transistors. *IEEE MWSCAS* (Aug 2013), 165–168. DOI:<https://doi.org/10.1109/MWSCAS.2013.6674611>
- [9] Makoto Takahashi, Takayasu Sakurai, Kazuhiro Sawada, Kazutaka Nogami, Makoto Ichida, and Koji Matsuda. 1992. 3.3V-5V compatible I/O circuit without thick gate oxide. *IEEE CICC* (May 1992), 23.3.1–23.3.4. DOI:<https://doi.org/10.1109/CICC.1992.591341>