

CONVERSOR BOOST COM INDUTOR ACOPLADO E CAPACITOR CHAVEADO SEM PICO DE CORRENTE NOS SEMICONDUTORES

Pablo Henrique Costa da Silva Bernardo Loureiro
Universidade Federal de Santa Maria
Cachoeira do Sul, Brasil
pablo_loureiro@hotmail.com

Antônio Manuel Santos Spencer Andrade
Universidade Federal de Santa Maria
Cachoeira do Sul, Brasil
antoniom.spencer@gmail.com

Abstract— No presente artigo é proposto um conversor híbrido de alto ganho de tensão, baseado em estrutura de entrada de conversores *boost* e na estrutura de saída da combinação *ladder* de capacitor chaveado e indutor acoplado. Essa combinação da célula do capacitor chaveado e do indutor acoplado permite que não ocorra pico de correntes causados pelo capacitor chaveado. Assim, o conversor apresenta baixo esforço de corrente e tensão nos componentes. Junto a isso, o conversor apresenta ZCS em todos os diodos, o que permite alcançar um bom desempenho em altas frequências. Para validar essas avaliações, simulações foram feitas e validaram as análises teóricas.

Palavra Chave— Capacitor Chaveado; Conversor Boost; Indutor Acoplado.

I. INTRODUÇÃO

O estudo sobre conversores CC-CC de alto ganho de tensão utilizando técnicas elevadoras de tensão, vem crescendo com o passar dos anos [1-3]. Estes conversores usualmente são alimentados por painéis solares ou células a combustíveis em que a tensão varia de 20 a 45 V, apresentando uma tensão de saída maior que 380 V e processando uma potência de 200 a 240 W [4]. Para estes conversores fornecerem um alto ganho e processarem uma alta potência é crucial reduzir os esforços de tensão no interruptor ativo e no diodo de saída [5]. Já que para suportar um maior esforço de tensão nos componentes, eles devem apresentar maiores resistências intrínsecas [6]. Gerando maiores perdas por condução e aumento do custo [7-8].

Os conversores a capacitores chaveados conseguem fornecer o ganho desejado com baixo esforço de tensão nos componentes [9]. O interesse por essa técnica de elevação de tensão tem aumentado devido: simplicidade de composição, por dispensar a utilização de dispositivos magnéticos e ainda por fornecer um alto valor de tensão de saída se comparado com a tensão de bloqueio dos diodos [10]. Todavia este ganho não é controlado por uma razão cíclica [11]. Estes conversores apresentam elevador esforços de corrente no instante de comutação do interruptor, acarretando em elevadas perdas. Para que ocorra este controle pode-se associar uma célula elevadora a este conversor, gerando os chamados conversores híbridos.

O conversor apresentado em [9] é formado por um conversor com a estrutura *ladder* de capacitor chaveado com

entrada *boost*. Com o intuito de incrementar o ganho, em [11] a célula *boost* é substituída por uma célula de *Z-source* com dois interruptores. Apresentando picos de corrente devido a estrutura de capacitor chaveado, em [12] é associado um indutor L_{aux} na célula do capacitor chaveado. Em [13] é demonstrada outra abordagem, utilizando conversores a capacitores chaveados com uma célula de entrada *boost* associando um indutor acoplado a mesma. Já em [14] é mostrado um conjunto de conversores a capacitores chaveados e células multiplicadoras de tensão utilizando uma célula *boost* de entrada. Uma síntese de conversores a capacitor chaveado com conexão diferencial é apresentado em [15]. Contudo todos os conjuntos de conversores têm por objetivo manter as vantagens do capacitor chaveado, aumentar o ganho e reduzir os picos de corrente deste tipo de conversor.

Este presente artigo tem por objetivo contribuir em relação a conversores CC-CC elevadores de tensão baseados na célula *ladder* de capacitor chaveado, propondo uma nova topologia de conversor CC-CC com célula de entrada *boost* com indutor acoplado e estrutura *ladder*. Para isso, o artigo está organizado na seguinte forma: inicialmente a topologia do conversor, suas etapas de operação, ganho de tensão e metodologia de projeto serão avaliados na seção II. Na seção III serão tratados os resultados de simulação validando assim as avaliações feitas no decorrer do artigo. Por fim, a seção IV discute as principais conclusões do artigo.

II. AVALIAÇÃO TEORICA DA TOPOLOGIA

Nesta seção o objetivo é apresentar a topologia proposta do conversor híbrido com a célula de entrada de um conversor *boost* com indutor acoplado associado a uma célula de saída

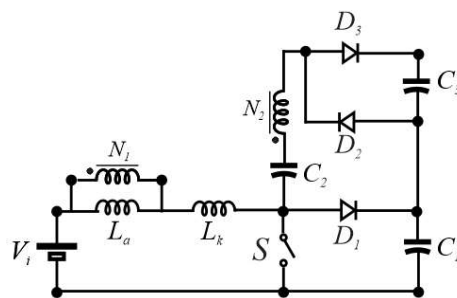


Fig. 1 Topologia do conversor proposto

ladder de capacitor chaveado.

A. Topologia

O conversor proposto, Fig. 1, apresenta baixo esforço de tensão nos componentes além de alcançar um ganho de tensão devido a utilização do indutor acoplado. Junto a isso, o indutor acoplado permite controlar os picos de corrente ainda fornece um ganho de tensão no carregamento do capacitor a partir do

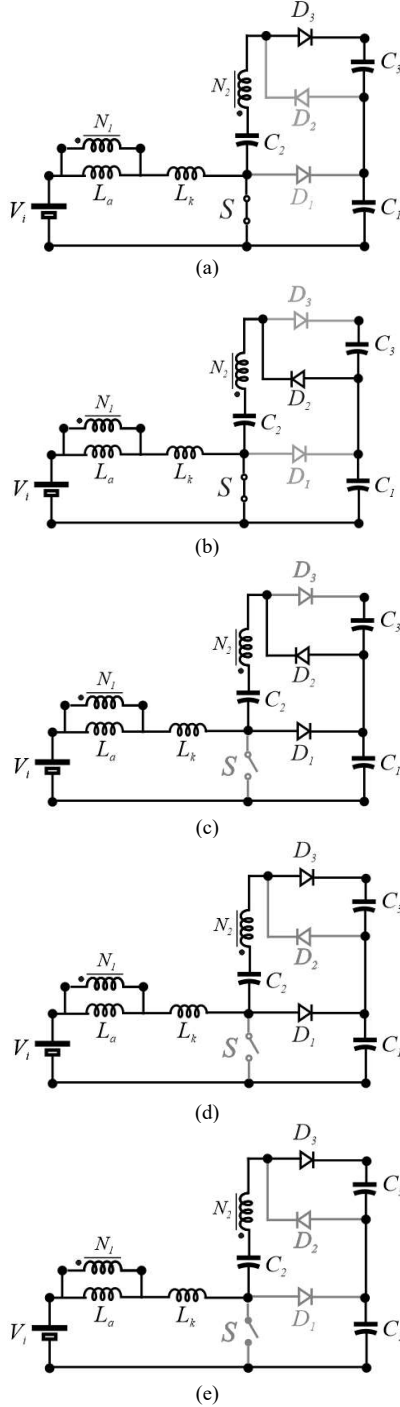


Fig. 2 Etapas de operação do conversor proposto. (a) Etapa 1. (b) Etapa 2. (c) Etapa 3. (d) Etapa 4. (e) Etapa 5.

posicionamento do secundário do indutor acoplado (N_2). Na Fig. 2 e 3 são apresentadas as etapas de operação e as formas de ondas teóricas do conversor operando em modo de condução contínua (CCM). Para a avaliação do conversor proposto foram realizadas as seguintes considerações:

- Os capacitores são grandes o suficiente, logo suas tensões são consideradas constantes;
- A relação de transformação do indutor acoplado é dada por $N=N_2/N_1$;
- A indutância de dispersão é representada por L_k ;
- Os semicondutores são considerados ideais, i.e., sem perdas;
- Os componentes em cinza não estão conduzindo.

B. Etapas de operação

Etapa 1 [$t_0 - t_1$, Fig. 2(a)]: A etapa se inicia quando o interruptor S é acionado, fazendo com que os indutores L_a magnetizem com a tensão de $(V_{C2}-V_{C3}-V_{C1})/N$ enquanto o indutor L_k se magnetiza com a tensão $(NV_1 - V_{C2}+V_{C3}+V_{C1})/N$. Os capacitores C_1 está descarregando enquanto os C_2 e C_3 está carregando, já os diodos, temos que o diodo D_3 está conduzindo enquanto os diodos D_1 e D_2 estão em bloqueio. Como pode ser visto na Fig. 3, a corrente no interruptor S inicia em zero.

Etapa 2 [$t_1 - t_2$, Fig. 2(b)]: Esta etapa de operação inicia quando o diodo D_2 e D_3 inicia e termina sua condução, respectivamente. Pode ser visto na Fig. 3, que ambos os diodos comutam com zero de corrente. Os indutores L_a e L_k estão se magnetizando com a tensão $(V_{C2}-V_{C1})/N$ e $(NV_1-V_{C2}+V_{C1})/N$ respectivamente. O capacitor C_2 está carregando e os capacitores C_1 e C_3 estão descarregando. Já os semicondutores faltantes, o interruptor S está conduzindo e o diodo D_1 está em bloqueio.

Etapa 3 [$t_2 - t_3$, Fig. 2(c)]: Inicia quando o interruptor S é bloqueado, o indutor L_a se desmagnetiza com tensão V_{C2}/N e L_k começam a se desmagnetizar com tensão $(NV_1-NV_{C1}-V_{C2})/N$. enquanto os diodos D_1 e D_2 estão em condução e o D_3 está em bloqueio, fazendo com que o capacitor e C_1 carregue e os capacitores C_2 e C_3 descarreguem.

Etapa 4 [$t_3 - t_4$, Fig. 2(d)]: Esta etapa de operação inicia quando os diodos D_2 e D_3 termina e inicia sua condução respectivamente. Pode ser visto na Fig. 3, que ambos os diodos comutam com zero de corrente. O interruptor S está em bloqueio e o diodo D_1 está conduzindo. Os indutores L_a e L_k estão desmagnetizando com a tensão de $(V_{C2}-V_{C3})/N$ e $(NV_1-NV_{C1}-V_{C2}+V_{C3})/N$ respectivamente. Os capacitores C_1 e C_3 estão carregando, enquanto o capacitor C_2 está descarregando.

Etapa 5 [$t_4 - t_5$, Fig. 3(e)]: Inicia quando o diodo D_1 termina sua condução, comutando com zero de corrente. Os indutores L_a e L_k continuam descarregando com a tensão $(V_1+V_{C2}-V_{C3}-V_{C1})L_a/((N+1)(L_a(N^2+1)+L_k))$ e $(V_1+V_{C2}-V_{C3}-V_{C1})L_k/(L_a(N^2+1)+L_k)$, respectivamente. Os capacitores C_1 e C_3 estão carregando e C_2 está descarregando, já os semicondutores S , D_1 , D_2 estão bloqueados, enquanto que o diodo D_3 permanece em condução.

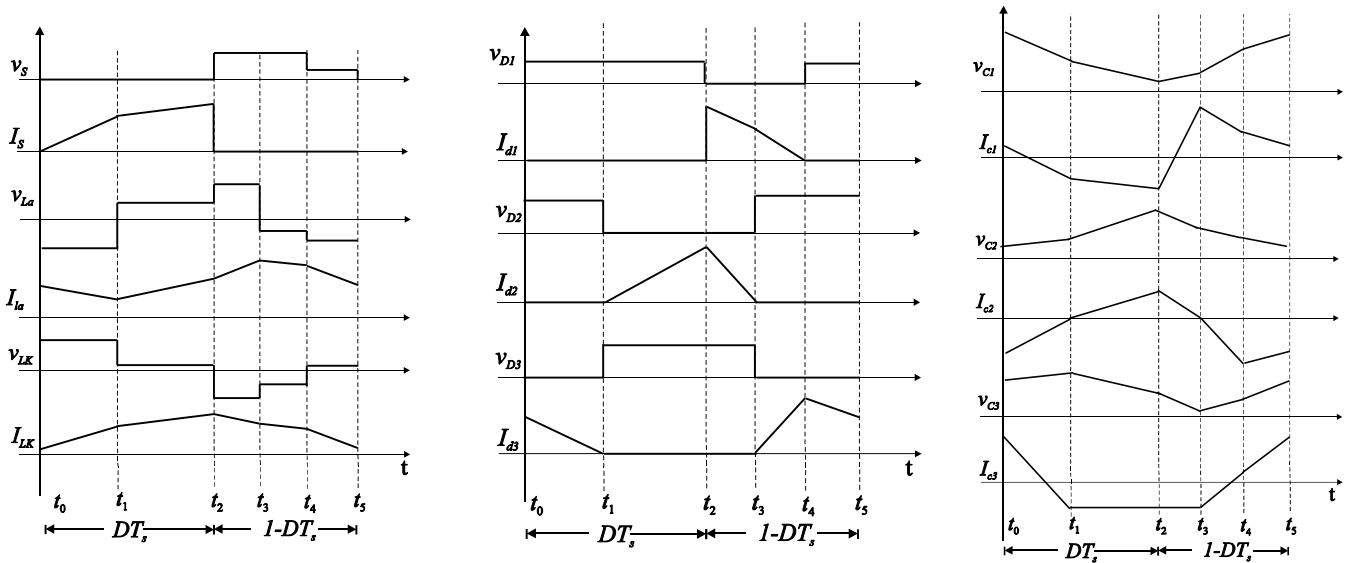


Fig. 3 Formas de onda teóricas de tensão e corrente nos componentes. (a) Formas de onda de Tensões e Correntes no Interruptor e Indutores. (b) Formas de onda de Tensões e Correntes nos Diodos. (c) Formas de onda de Tensões e Correntes nos Capacitores.

C. Derivação do Ganho de Tensão

Para encontrar o ganho do conversor proposto é considerada a topologia ideal, sem a indutância de dispersão (L_k). Assim, é feito o balanço de energia no indutor L_a :

$$\int_0^{T_s} v_{L_a} dt = 0 \quad (1)$$

A partir disso, a tensão do capacitor C_1 pode ser encontrada:

$$\frac{V_{C_1}}{V_i} = \frac{1}{1-D} \quad (2)$$

Enquanto que a tensão do capacitor C_2 é dada por:

$$\frac{V_{C_2}}{V_i} = \frac{N+1-ND}{1-D} \quad (3)$$

A tensão do capacitor C_3 é dada por:

$$\frac{V_{C_3}}{V_i} = \frac{N+1}{1-D} \quad (4)$$

Visto que a estrutura do capacitor chaveado é do tipo *ladder*, logo a tensão de saída é a soma das tensões $V_{C_1} + V_{C_3}$, conforme:

$$M = \frac{V_o}{V_i} = \frac{N+2}{1-D} \quad (5)$$

A partir disso, o ganho de tensão é plotado na Fig. 4. Como

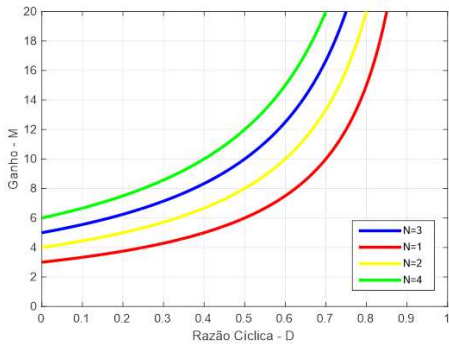


Fig. 4 Ganho de tensão do conversor proposto, D vs M para diferentes N

pode ser visto, o conversor alcança um elevado ganho.

D. Esforço de de Tensão

Como pode ser visto nas etapas de operação, o conversor não possui picos de correntes causados pela célula de capacitor chaveado. Logo, tem-se um esforço de corrente baixo nos semicondutores. Em relação ao esforço de tensão, o conversor proposto possui baixo esforço de tensão, como pode ser visto abaixo:

$$V_s = \frac{1}{1-D} V_i \quad (6)$$

$$V_{D_1} = \frac{1}{1-D} V_i \quad (7)$$

$$V_{D_2} = \frac{N+1}{1-D} V_i \quad (8)$$

$$V_{D_3} = \frac{N+1}{1-D} V_i \quad (9)$$

Isso permite garantir que interruptor com baixo $R_{DS(on)}$ e diodos com baixo v_f sejam utilizados, o que preserva o rendimento do conversor proposto.

E. Metodologia de Projeto

Os semicondutores devem atender os limites de esforço de tensão para operarem de forma satisfatória no conversor. Além disso, a indutância de magnetização do indutor acoplado pode ser calculada da seguinte forma:

$$L_a = \frac{DV_i}{f_s \Delta i_{L_a}} \quad (10)$$

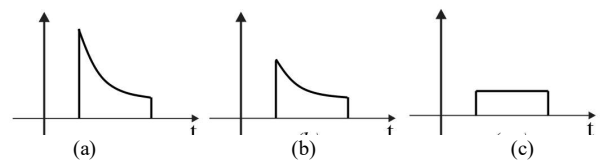


Fig. 5 Comportamento da corrente do capacitor chaveado. (a) carga total; (b) meia carga; (c) carga nula.

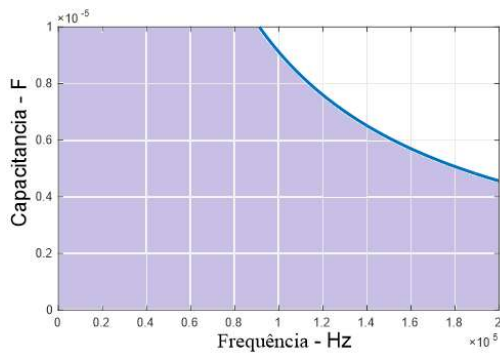


Fig. 6 Gráfico para escolha da capacitância

Enquanto que os capacitores (C_1 , C_2 e C_3) da célula do capacitor chaveado podem operar de três modos, conforme pode ser visto na Fig. 5. No modo de carga total, Fig. 5(a), as perdas são maiores devido ao pico de corrente, porém os valores dos capacitores são muito menores que os outros dois modos. Visto que o conversor proposto possui a vantagem de não apresentar pico de corrente, foi escolhido o modo de carga total para projetar os capacitores, dado a seguir:

$$C < \frac{0,1}{f_s (RSE + R_{DS(on)})} \quad (11)$$

onde RSE é a resistência intrínseca dos capacitores e $R_{DS(on)}$ do interruptor. Esta equação foi obtida ao analisar a equação demonstrada em [16] que trata de capacitores trabalhando em meia carga.

Para avaliar (11) foi plotada a Fig. 6, onde foi adotado o valor de 0,1 para o RSE e de 0,0097 para o $R_{DS(on)}$. Como pode

Tabela I – Parâmetros do Conversor

Componentes	Valores
V_i	30 V
V_o	400 V
P_i	200 W
N	3
D	0.625
M	13,33
f_s	100 kHz
L_a, L_k	57 μ H, 0.5 μ H
C_1, C_2, C_3	3.3 μ F, 3.3 μ F, 3.3 μ F

ser visto, para garantir (11) qualquer valor abaixo da curva em azul da Fig. 6 pode ser escolhido. Para garantir maior confiabilidade do conversor, pode ser escolhidos capacitores com capacitância baixa, conseqüentemente, não será necessário utilizar capacitores eletrolíticos.

III. SIMULAÇÃO

Nesta seção foi feita a simulação do conversor utilizando o Software PSIM[®] para comprovação das avaliações teóricas feitas durante o artigo. Para a simulação foram utilizados os parâmetros da Tabela I.

A tensão de saída do conversor juntamente com a tensão de entrada podem ser vistas na Fig. 7(a), assim comprovando que o conversor alcança o ganho necessário. As tensões dos

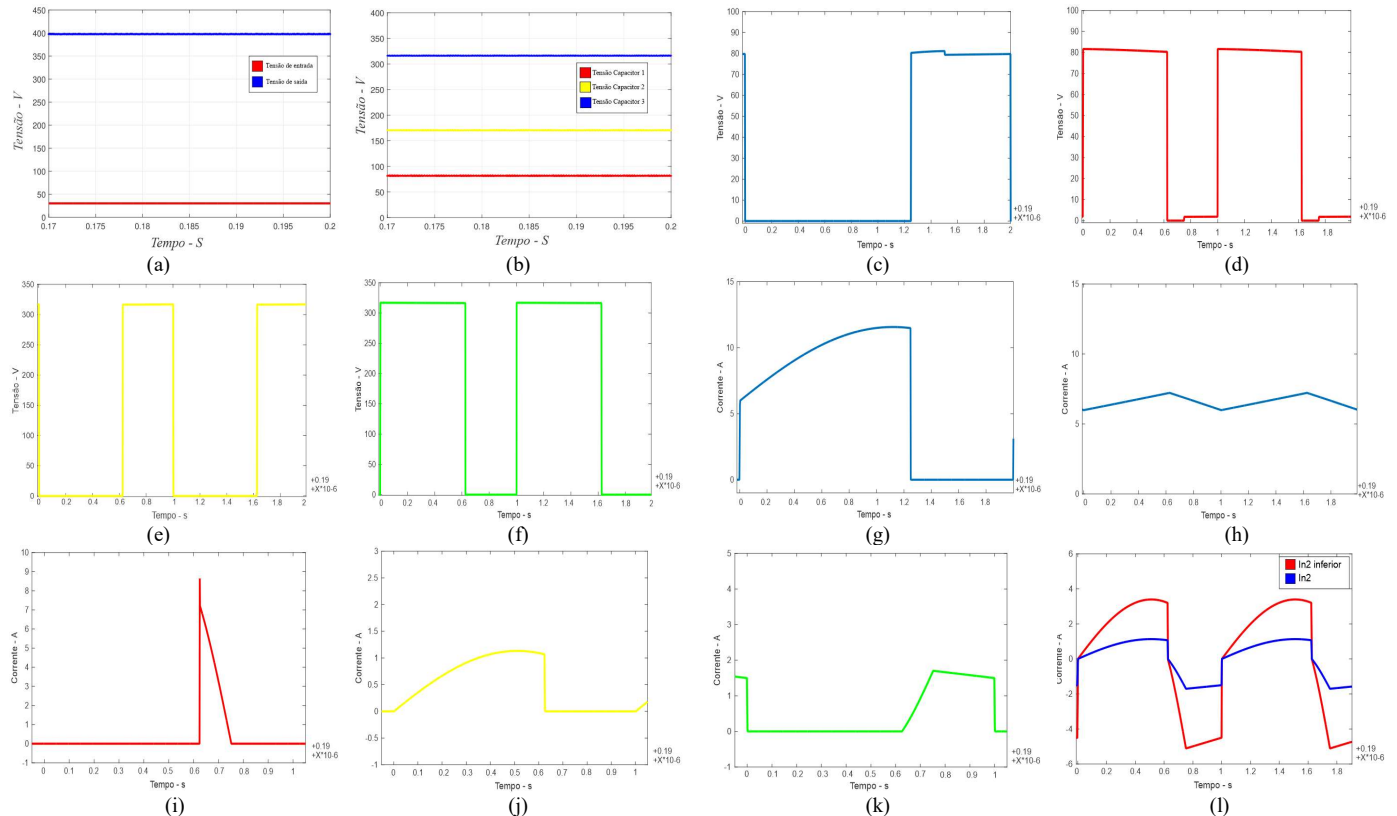


Fig. 7 Resultados de Simulação. (a) V_i e V_o . (b) V_{C1} , V_{C2} e V_{C3} . (c) V_S . (d) V_{D1} . (e) V_{D2} . (f) V_{D3} . (g) i_S . (h) i_{L_a} . (i) i_{D1} . (j) i_{D2} . (k) i_{D3} . (l) i_{N1} e i_{N2} .

capacitores podem ser vistas na Fig. 7(b), que ao substituir os valores da Tabela I nas equações (2 – 4) se comprovam válidas. Enquanto aos semicondutores, pode-se observar a corrente e a tensão no interruptor na Fig. 7(c) e (g), onde é possível ver que o interruptor parte com a corrente zerada. Em relação ao diodo D_1 , sua tensão e corrente estão na Fig. 7(d) e (i), pode ser observado que quando ocorre o seu bloqueio forma ZCS. O diodo D_2 e D_3 apresentam um ZCS, as suas tensões e correntes podem ser observadas na Fig. 7 (e), (f), (j) e (k), respectivamente. Onde fica evidente que a corrente nestes componentes partem de zero. Por fim, Fig. 7(h) e (l) apresenta a corrente da magnetizante, do enrolamento do primário e do secundário do indutor acoplado.

IV. CONCLUSÃO

Foi apresentado um conversor CC-CC de alto ganho de tensão híbrido, utilizando uma célula elevadora de tensão e uma célula de capacitor chaveado modelo *ladder*. O conversor proposto apresenta: elevado ganho de tensão; baixo esforço de tensão nos componentes; ZCS nos semicondutores; baixo esforço de corrente nos semicondutores, livre de picos de corrente causado pelo capacitor chaveado; e maior confiabilidade visto que não necessita de capacitores eletrolíticos. Para validar o desempenho do conversor, foi utilizado o software PSIM® para efetuar as simulações e comprovando assim as análises teóricas.

REFERENCES

- [1] M. Forouzesh, Y. P. Siwakoti, S. A. Gorji, F. Blaabjerg and B. Lehman, "Step-Up DC–DC Converters: A Comprehensive Review of Voltage-Boosting Techniques, Topologies, and Applications," in IEEE Transactions on Power Electronics, vol. 32, no. 12, pp. 9143-9178, Dec. 2017
- [2] Y. Guan, C. Cecati, J. M. Alonso and Z. Zhang, "Review of High-Frequency High-Voltage-Conversion-Ratio dc-dc Converters," in IEEE Journal of Emerging and Selected Topics in Industrial Electronics, 2021.
- [3] Schmitz, L., Martins, D. C. e Coelho, R. F., "Generalized High Step-Up DC-DC Boost-Based Converter With Gain Cell," IEEE Transactions on Circuits and Systems I: Regular Papers, vol. 64, no. 2, pp. 480-493, Feb. 2017
- [4] Ali, Kawsar, et al. "A GaN-based High Step-Up Half-Bridge Resonant Converter for Interfacing PV Modules to DC Data Centers." 2019 IEEE 4th International Future Energy Electronics Conference (IFEEEC). IEEE, 2019.
- [5] Q. Zhao e F. C. Lee, "High-efficiency, high step-up DC-DC converters," IEEE Transactions on Power Electronics, vol. 18, no. 1, pp. 65-73, Jan. 2003.
- [6] A. M. S. S. Andrade; R. A. Guisso, Quasi-Z-source network DC–DC converter with different techniques to achieve a high voltage gain. Electronics Letters, v. 54, n. 11, p. 710-712, 2018.
- [7] A. M. S. S. Andrade; L. Schuch; M. L. S. Martin, Very high voltage step-up integrated quadratic-boost-zeta converter. In: 2015 IEEE 24th International Symposium on Industrial Electronics (ISIE). IEEE, 2015. p. 422-427.
- [8] Maccarini, M. C. "Retificador monofásico com fator de potência unitário, de alto ganho, baseado em um conversor boost híbrido," Dissertação de Mestrado, UFSC, 2013
- [9] (CHANG; LIN, 2018).
- [10] Silva, G. V., Coelho, R. F., e Lazzarin, T. B., "Modelagem do Conversor Boost com Células a Capacitor Chaveado por Meio de um Conversor Equivalente de Ordem Reduzida," Eletrônica de Potência, v. 22, p. 288-297, 2017.
- [11] Tang, Y., Wang, T. H, e Yaohua, A., "Switched-capacitorbased active-network converter with high voltage gain," IEEE transactions on power electronics, v. 29, n. 6, p. 2959-2968, 2013.
- [12] Tang, Y., Wang, T., e FU, D., "Multicell switchedinductor/switched-capacitor combined active-network converters," IEEE Transactions on Power Electronics, v. 30, n. 4, p. 2063-2072, 2015
- [13] Andrade, A. M. S. S., Mattos, E., Schuch, L., Hey, H. L., e Martins, M. L. S., "Synthesis and comparative analysis of very high step-up DC–DC converters adopting coupled-inductor and voltage multiplier cells," IEEE Transactions on Power Electronics, v. 33, n. 7, p. 5880- 5897, 2018.
- [14] Andrade, J. M., Salvador, M. A., Coelho, R. F. e Lazzarin, T. B., "General Method for Synthesizing High Gain Stepup dc-dc Converters Based on Differential Connections," IEEE Transactions on Power Electronics, 2020.
- [15] B. Axelord; Y. Berkovich; A. Ioinovici. Switched-capacitor/switched-inductor structures for getting transformerless hybrid DC–DC PWM converters. IEEE Transactions on Circuits and Systems I: Regular Papers, v. 55, n. 2, p. 687-696, 2008
- [16] de Andrade¹, J. M., Silva, G. V., Coelho¹, R. F., & Lazzarin¹, T. B. Inversor boost a capacitor chaveado conectado à rede elétrica.
- [17] Y. Tang, T. Wang, Y. He, "A Switched-Capacitor-Based Active-Network Converter With High Voltage Gain," IEEE Transactions on Power Electronics, vol. 29, no. 6, pp. 2959-2968, June 2014