

UNIVERSIDADE FEDERAL DE SANTA MARIA
CENTRO DE TECNOLOGIA
CURSO DE GRADUAÇÃO EM ENGENHARIA ELÉTRICA

Guilherme de Freitas Beffart

**ANÁLISE DE CONTROLADORES DE CORRENTE ATRAVÉS DE
HARDWARE IN THE LOOP**

Santa Maria, RS
2019

Guilherme de Freitas Beffart

**ANÁLISE DE CONTROLADORES DE CORRENTE ATRAVÉS DE HARDWARE IN
THE LOOP**

Trabalho de Conclusão de Curso apresentado ao Curso de Graduação em Engenharia Elétrica, Área de Concentração em Engenharias IV, da Universidade Federal de Santa Maria (UFSM, RS), como requisito parcial para obtenção do grau de **Graduando em Engenharia Elétrica**.

ORIENTADOR: Prof. Humberto Pinheiro

Santa Maria, RS
2019

Ficha catalográfica elaborada através do Programa de Geração Automática da Biblioteca Central da UFSM, com os dados fornecidos pelo(a) autor(a).

de Tal, Fulano
TÍTULO DO TRABALHO / Fulano de Tal.-2015.
50 f.; 30cm

Orientador: João da Silva
Coorientadora: Maria da Costa
Tese (doutorado) - Universidade Federal de Santa
Maria, Centro de Ciências Naturais e Exatas, Programa de
Pós-Graduação em Meteorologia, RS, 2015

1. Teste 1 2. Teste 2 3. Teste 3 I. da Silva, João
II. da Costa, Maria III. Título.

©2019

Todos os direitos autorais reservados a Guilherme de Freitas Beffart. A reprodução de partes ou do todo deste trabalho só poderá ser feita mediante a citação da fonte.

End. Eletr.: guilhermebeffart@gmail.com

Guilherme de Freitas Beffart

**ANÁLISE DE CONTROLADORES DE CORRENTE ATRAVÉS DE HARDWARE IN
THE LOOP**

Trabalho de Conclusão de Curso apresentado ao Curso de Graduação em Engenharia Elétrica, Área de Concentração em Engenharias IV, da Universidade Federal de Santa Maria (UFSM, RS), como requisito parcial para obtenção do grau de **Graduando em Engenharia Elétrica**.

Aprovado em 15 de julho de 2019:

Humberto Pinheiro, Dr. (UFSM)
(Presidente/Orientador)

Vinícius Xavier, Eng. (UFSM)

Samuel Hunsche, Eng. (UFSM)

Santa Maria, RS
2019

DEDICATÓRIA

Ao caos

AGRADECIMENTOS

Google

*"Quem, de três milênios,
não é capaz de se dar conta,
vive na ignorância, na sombra,
à mercê dos dias, do tempo"*

(Johann Wolfgang von Goethe)

RESUMO

ANÁLISE DE CONTROLADORES DE CORRENTE ATRAVÉS DE HARDWARE IN THE LOOP

AUTOR: Guilherme de Freitas Beffart

ORIENTADOR: Humberto Pinheiro

Este trabalho de conclusão de curso pode ser compreendido como uma análise entre três controladores de corrente. Foram realizados diversos testes com os mesmos parâmetros para uma comparação justa e técnica.

Palavras-chave: Controladores. Hardware-in-the-Loop. Low Voltage Ride Through. Test Driven Design.

ABSTRACT

ANALYSIS OF CURRENT CONTROLLERS THROUGH HARDWARE IN THE LOOP

AUTHOR: Guilherme de Freitas Beffart

ADVISOR: Humberto Pinheiro

This work is based in the comparison between three current controllers. Several tests were carried out with the same parameters for a fair and technical comparison

Keywords: Controller. Hardware-in-the-Loop. Low Voltage Ride Through. Test Driven Design.

LISTA DE FIGURAS

Figura 2.1 – Diagrama de Blocos de um Sistema Elétrico de Potência.	15
Figura 2.2 – Amplitude de tensão em coordenadas ABC	16
Figura 2.3 – Amplitude de tensão em coordenadas $\alpha\beta$	17
Figura 2.4 – Relação ideal entre as fases no plano $\alpha\beta$	18
Figura 2.5 – Exemplo de Sistema Desequilibrado	19
Figura 2.6 – Sequência Positiva	19
Figura 2.7 – Sequência Negativa	20
Figura 2.8 – Sequência zero	20
Figura 2.9 – Influência das harmônicas	21
Figura 2.10 – Distorção causada pela presença da 5 ^a harmônica	22
Figura 2.11 – Relação entre as fases desbalanceadas no plano $\alpha\beta$	23
Figura 2.12 – <i>phase jump</i> ocorrendo em simulação	24
Figura 2.13 – Demonstração de um SEP onde ocorre uma falta	25
Figura 2.14 – Tensão de Pré Falta	25
Figura 2.15 – Tensão de Pré-Falta	26
Figura 2.16 – Falta Trifásica	26
Figura 2.17 – Tensão de Pré-Falta	27
Figura 2.18 – Falta Monofásico Terra	27
Figura 2.19 – Tensão de Pré-Falta	28
Figura 2.20 – Falta Bifásica	28
Figura 2.21 – Tensão de Pré-Falta	29
Figura 2.22 – Propagação da Falta	29
Figura 2.23 – Tensão de Pré-Falta	30
Figura 2.24 – Falta Bifásico Terra	30
Figura 2.25 – Tensão de Pré-Falta	31
Figura 2.26 – Propagação da Falta Tipo E	31
Figura 2.27 – Tensão de Pré-Falta	32
Figura 2.28 – Propagação da Falta Tipo F	32
Figura 2.29 – Potência Ativa e Reativa	34
Figura 3.1 – <i>Discrete Controller Design and Validation for Grid Connected Smart Inverters</i>	37
Figura 3.2 – Bode do sistema contínuo (laranja) e discretizado (azul).	40
Figura 3.3 – Bode da tensão da rede contínua (laranja) e discretizada (azul).	41
Figura 3.4 – Diagrama de blocos do controlador de corrente.	42
Figura 3.5 – Diagrama de blocos da Ação do Windup.	44
Figura 3.6 – Diagrama de Blocos do controlador	44
Figura 3.7 – Diagrama de Blocos de um Controlador.	45
Figura 3.8 – Typhoon HIL Control Center	48
Figura 3.9 – Boost através do software PSIM	49
Figura 3.10 – Boost através do software Typhoon HIL	49
Figura 3.11 – Planta analisada	50
Figura 4.1 – Sumário dos testes	51
Figura 4.2 – Sumário dos testes <i>deadbeat</i>	53
Figura 4.3 – Sumário do teste de THD do controlador <i>deadbeat</i>	53
Figura 4.4 – Sumário do teste EN2 do controlador <i>deadbeat</i>	54

Figura 4.5 – Sumário do teste de THD do controlador <i>Single Resonant</i>	54
Figura 4.6 – Sumário do teste EN2 do controlador <i>Single Resonant</i>	55
Figura 4.7 – Sumário do teste EN2 do controlador <i>Single Resonant</i>	55
Figura 4.8 – Sumário do teste de THD do controlador <i>Single Resonant</i>	56
Figura 4.9 – Sumário do teste de THD do controlador <i>Single Resonant</i>	56

LISTA DE TABELAS

Tabela 3.1 – Parâmetros estabelecidos	47
---	----

LISTA DE ABREVIATURAS E SIGLAS

<i>TDD</i>	<i>Test Driven Design</i>
<i>LVRT</i>	<i>Low Voltage Ride-Through</i>
<i>SCADA</i>	<i>Supervisory Control and Data Acquisition</i>
<i>SEP</i>	<i>Sistema Elétrico de Potência</i>
<i>POC</i>	<i>Point Of Connection</i>
<i>PCC</i>	<i>Point of Common Coupling</i>
<i>VUF</i>	<i>Voltage Unbalance Factor</i>

SUMÁRIO

1	INTRODUÇÃO	13
1.1	TEST DRIVEN DESIGN	13
1.2	LOW VOLTAGE RIDE-THROUGH	13
1.3	HARDWARE IN THE LOOP	13
1.4	MOTIVAÇÃO DO TRABALHO	14
1.5	DELIMITAÇÃO DO TEMA	14
1.6	OBJETIVOS	14
2	REVISÃO TEÓRICA	15
2.1	DEFINIÇÃO DE UM SISTEMA ELÉTRICO DE POTÊNCIA	15
2.2	COORDENADAS ABC	16
2.3	COORDENADAS $\alpha\beta$	17
2.4	NÃO IDEALIDADES	18
2.4.1	Sequência Positiva	19
2.4.2	Sequência Negativa	20
2.4.3	Sequência Zero	20
2.4.4	Taxa de Distorção Harmônica	21
2.4.5	Harmônicas de Tensão	22
2.4.6	Desbalanceamento de Tensão	23
2.4.7	Voltage sags and swells	24
2.4.8	Phase Jump	24
2.5	FALTAS	25
2.5.1	Falta Tipo A	26
2.5.2	Falta Tipo B	27
2.5.3	Falta Tipo C	28
2.5.4	Falta Tipo D	29
2.5.5	Falta Tipo E	30
2.5.6	Falta Tipo F	31
2.5.7	Falta Tipo G	32
2.6	DEFINIÇÃO DE LOW VOLTAGE RIDE THROUGH	33
2.6.1	Comportamento de motores em LVRT	33
2.7	DEFINIÇÃO DE TEST DRIVEN DESIGN (TDD)	35
2.8	DEFINIÇÃO DE HARDWARE IN THE LOOP	35
3	METODOLOGIA	36
3.1	PYTHON	36
3.1.1	Introdução	37
3.1.2	Parâmetros do Sistema de Potência	37
3.1.3	Caracterização da rede	38
3.1.4	Modelo de Espaço de Estados	39
3.1.5	Representação de Espaço de estados	40
3.1.6	Discretização	40
3.1.7	Delay do controlador	41
3.1.8	Design do Controlador de Corrente	42
3.1.9	Controlador Ressonante	42
3.1.10	Modelo Completo	43
3.1.11	State Feedback Control - Discrete LQR (Linear Quadratic Regulator)	43

3.1.12	Ação do Windup	44
3.1.13	Operação sob Rede forte	44
3.1.14	Operação sob Rede Fraca	45
3.1.15	Estabilidade com Rede Fraca	45
3.2	CONTROLADOR	46
3.2.1	Deadbeat	46
3.2.2	RHLQC	46
3.2.3	Single Resonant	46
3.3	TYPHOON HIL	46
3.4	SOFTWARE TYPHOON HIL CONTROL CENTER	48
3.5	SCHEMATIC EDITOR	48
3.5.1	Análise do circuito	50
4	ANÁLISE DOS RESULTADOS	51
4.1	DESCRIÇÃO DOS TESTES	52
4.1.1	THD	52
4.1.2	EN2	52
4.1.3	EN2MAX	52
4.1.4	Tset	52
4.1.5	IGM	52
4.1.6	ICM	52
4.2	RELATÓRIO DO CONTROLADOR DEADBEAT	53
4.2.1	Deadbeat THD	53
4.2.2	Deadbeat EN2	54
4.3	RELATÓRIO DO CONTROLADOR SINGLE RESONANT	54
4.3.1	Single Resonant EN2	55
4.3.2	Single Resonant EN2max	55
4.4	RELATÓRIO DO CONTROLADOR RHLQC	55
4.4.1	RHLQC THD	56
5	CONCLUSÃO	57
	REFERÊNCIAS BIBLIOGRÁFICAS	58
6	RELATÓRIO DEADBEAT	59
7	RELATÓRIO SINGLE RESONANT	81
8	RELATÓRIO RHLQC	103

1 INTRODUÇÃO

Inicialmente, serão apresentados neste capítulo os conceitos estudados neste Trabalho de Conclusão de Curso. Será abordado o conceito de Test Driven Design Janzen e Saiedian (2005), como chave no trabalho. Foram estudados no trabalho conceitos como comparação entre Controladores e Hardware in the Loop.

O objetivo desse trabalho foi a comparação entre três tipos de controladores que serão abordados com maiores detalhes dentro do trabalho.

1.1 TEST DRIVEN DESIGN

Test Driven design é uma metodologia na qual o programa é escrito de maneira a facilitar a automatização de testes e, neste caso poder verificar mais pontos de operação com poucos comandos.

1.2 LOW VOLTAGE RIDE-THROUGH

Low Voltage Ride-Through (LVRT) é um conceito que vem sendo adotado em vários países, baseado nos requerimentos da IEEE 1547 (IEEE Std 1547.2-2008).

O conceito pode ser definido como a capacidade de um gerador se manter ligado à um Sistema Elétrico de Potência (SEP) após a ocorrência de falta.

1.3 HARDWARE IN THE LOOP

Hardware in the Loop (HIL) (Rahnamai, K.;Rowlands, J., 2017, p.603-606) é um conceito onde um circuito pode ser simulado e ter modificações ocorrendo em tempo real, sem a necessidade de fazer variações previamente detalhadas.

Deste modo, ao acessar o circuito previamente simulado em um sistema SCADA (Supervisory Control and Data Acquisition) é possível verificar diversos pontos de operação de um sistema como se o mesmo estivesse em tempo real.

1.4 MOTIVAÇÃO DO TRABALHO

O tema possui como motivação um estudo sobre a estabilidade de conversores através do uso da ferramenta de Typhoon HIL, juntamente com programação em Python.

1.5 DELIMITAÇÃO DO TEMA

O trabalho possui como foco o estudo e comparação entre conversores utilizando uma mesma métrica. Desta maneira será possível analisar a estabilidade dos mesmos em diferentes condições de operação. Assim, determinar quais são os melhores controladores para a aplicação estudada e quais são as falhas que ocorreram nos mesmos.

1.6 OBJETIVOS

Podemos definir os **objetivos gerais** deste trabalho como:

- Estudo sobre Test Driven Design;
- Uso de ferramentas computacionais para análise de sistemas.

Os **objetivos específicos** são:

- LVRT aplicado à rede fraca e forte;
- Comparação entre controladores.

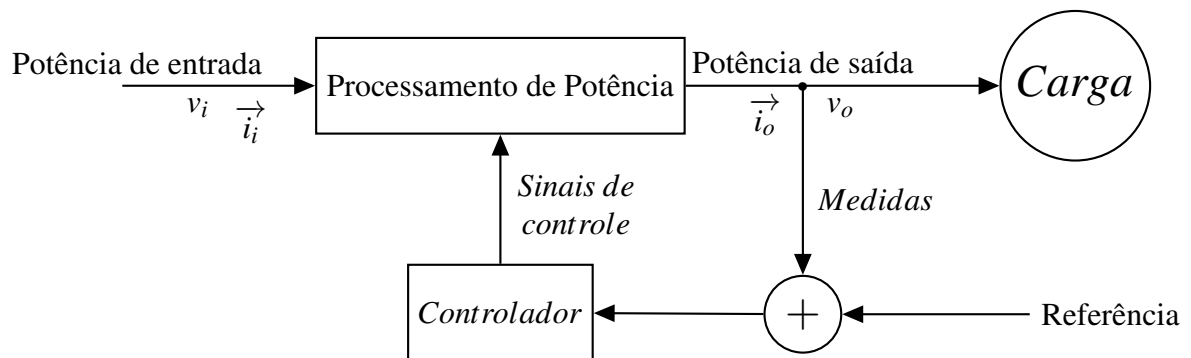
2 REVISÃO TEÓRICA

Este capítulo tem como objetivo uma revisão teórica sobre os fundamentos em que este trabalho será baseado. Serão abordados temas como sistema de coordenadas ABC e $\alpha \beta$, não idealidades, tipos de faltas em linhas de transmissão, *Low Voltage Ride Through*, Test Driven Design e Hardware-in-the-loop.

2.1 DEFINIÇÃO DE UM SISTEMA ELÉTRICO DE POTÊNCIA

Podemos considerar que a Eletrônica de Potência pode ser compreendida como um meio de processar e controlar o fluxo de energia elétrica entre uma fonte de potência e uma carga Mohan, Undeland e Robbins (2003) conforme apresentado na Figura 2.1.

Figura 2.1 – Diagrama de Blocos de um Sistema Elétrico de Potência.



Fonte: Adaptado de Mohan, Undeland e Robbins (2003).

Para que um sistema possa funcionar de maneira adequada, os controladores são de vital importância. Este trabalho foca no estudo de controladores através do conceito de Test Driven Design.

Segundo Janzen e Saiedian (2005), a estratégia de *test-driven development* requer que testes automatizados sejam escritos para desenvolverem códigos funcionais em iterações rápidas e pequenas.

2.2 COORDENADAS ABC

Para casos ideais, podemos definir as tensões de linha através de coordenadas ABC, sendo uma para cada linha. Podemos observar como se comportam as amplitudes de tensão através da Figura 2.2. Onde:

- V_{p1} é a amplitude do componente de sequência positiva;
- θ é a posição angular;
- ϕ_{p1} é o ângulo de fase.

Equacionalmente, podemos demonstrar através das Equações 2.1, 2.2, 2.3 e 2.4.

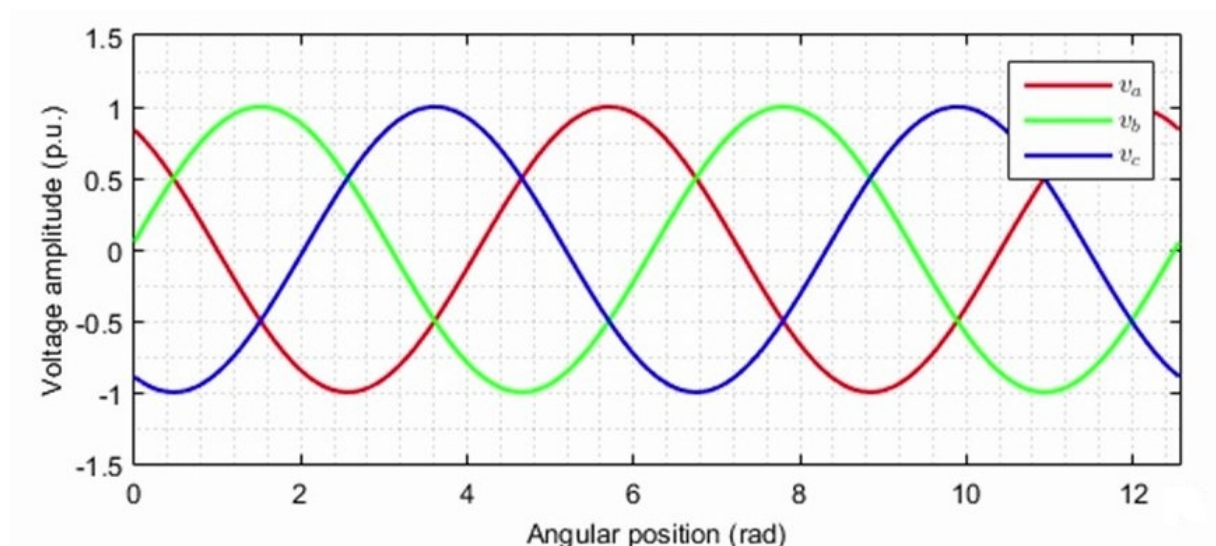
$$v_a = V_{p1} \cos(\theta + \phi_{p1}) \quad (2.1)$$

$$v_b = V_{p1} \cos(\theta - 2\pi/3 + \phi_{p1}) \quad (2.2)$$

$$v_c = V_{p1} \cos(\theta + 2\pi/3 + \phi_{p1}) \quad (2.3)$$

$$\frac{d\theta}{dt} = \omega \quad (2.4)$$

Figura 2.2 – Amplitude de tensão em coordenadas ABC



2.3 COORDENADAS $\alpha\beta$

Normalmente em caso de inversores, são utilizadas coordenadas $\alpha\beta$. Para tal, é utilizada uma transformação chamada Transformada de *Clarke*. Podemos observar o resultado pela Equação 2.5 e pelas Equações 2.6, 2.7 e 2.8.

Esta transformação normalmente é feita para que aconteça um ganho computacional, trabalhando com dois vetores e um linearmente independente.

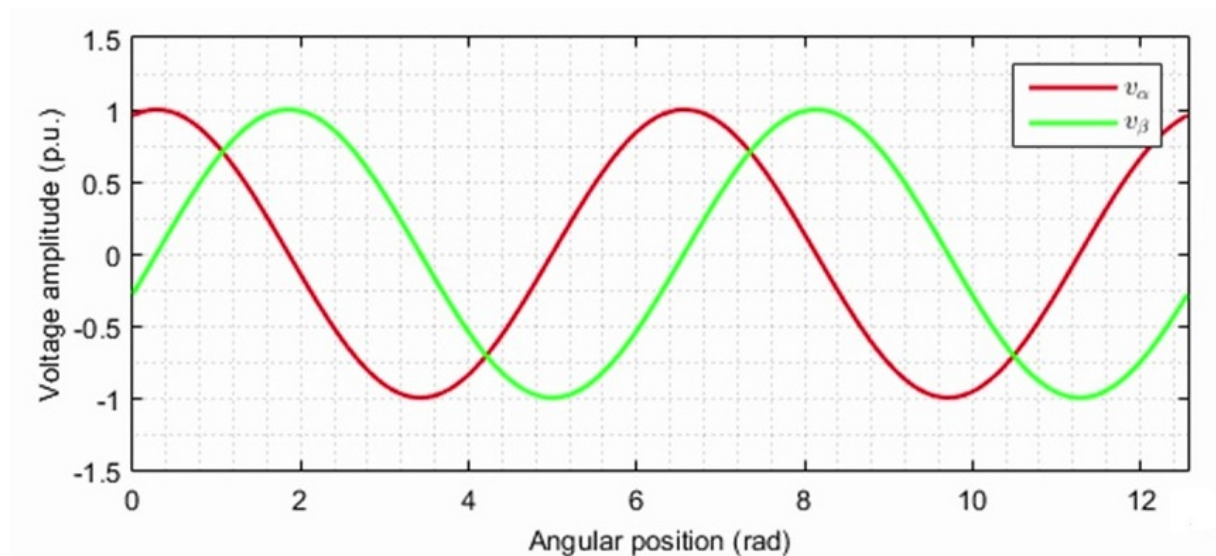
$$\begin{bmatrix} v_\alpha \\ v_\beta \\ v_0 \end{bmatrix} = \frac{2}{3} \begin{bmatrix} 1 & -\frac{1}{2} & -\frac{1}{2} \\ 0 & \frac{\sqrt{3}}{2} & -\frac{\sqrt{3}}{2} \\ \frac{1}{\sqrt{2}} & \frac{1}{\sqrt{2}} & \frac{1}{\sqrt{2}} \end{bmatrix} \begin{bmatrix} v_a \\ v_b \\ v_c \end{bmatrix} \quad (2.5)$$

$$v_\alpha = V_{p1} \cos(\theta + \phi_{p1}) \quad (2.6)$$

$$v_\beta = V_{p1} \sin(\theta + \phi_{p1}) \quad (2.7)$$

$$\frac{d\theta}{dt} = \omega \quad (2.8)$$

Figura 2.3 – Amplitude de tensão em coordenadas $\alpha\beta$



Fonte: Typhoon. Disponível em <<https://www.typhoon-hil.com/>> Acesso em: 08/10/2018

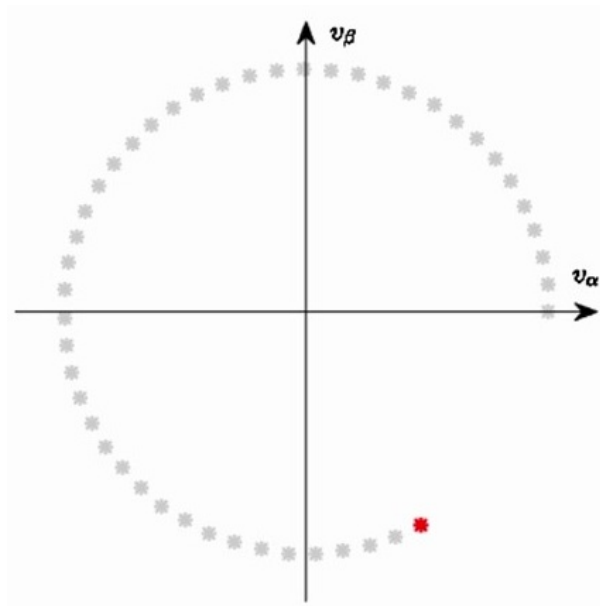
2.4 NÃO IDEALIDADES

Em um Sistema Elétrico de Potência (SEP) ideal, podemos considerar as seguintes questões:

$$\begin{aligned}v_{\alpha} &= V_{p1} \cos(\theta + \phi_{p1}) \\v_{\beta} &= -V_{p1} \sin(\theta + \phi_{p1}) \\ \frac{d\theta}{dt} &= \omega\end{aligned}$$

E a relação entre as fases pode ser observada no plano α e β como uma trajetória circular, descrita na Figura 2.4.

Figura 2.4 – Relação ideal entre as fases no plano $\alpha\beta$



Fonte: Typhoon. Disponível em <<https://www.typhoon-hil.com/>> Acesso em: 08/10/2018

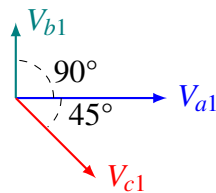
Um SEP, no entanto, possui diversas não idealidades devido a diversos fatores envolvidos. Iremos aqui demonstrar algumas das principais não idealidades.

Começaremos pelo desequilíbrio de um SEP. Como sistema muito grande possui diversos problemas e cargas que causam um desequilíbrio no mesmo. Desta forma, as equações que são propostas não seriam capazes de resolver esse problema. Entretanto, segundo Fortescue (1918), podemos definir que "Um sistema trifásico desequilibrado pode ser decomposto em três sistemas equilibrados, onde esta decomposição é única". Esses três sistemas podem ser compreendidos como Sequência Positiva, Sequência Negativa e Sequência Zero.

Podemos analisar um sistema desequilibrado como o da Figura 2.5 como um sistema equilibrado se utilizarmos este teorema.

O Teorema de Fortescue é válido para desequilíbrios nas correntes e tensões. Se houver desbalanço nas fases, como diferença de impedância de uma fase para outra, o Teorema começa a se tornar inválido.

Figura 2.5 – Exemplo de Sistema Desequilibrado



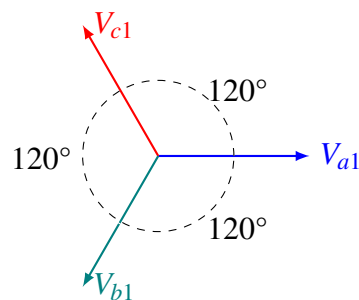
Fonte: Adaptado de (Fortescue, C.L., 1918).

2.4.1 Sequência Positiva

Podemos definir dois dos principais conceitos envolvidos na sequência positiva como:

- Os três fasores são equilibrados;
 - Mesmo valor de módulo;
 - Fasores igualmente defasados de 120° .
- Sequência de fase idêntica ao sistema.

Figura 2.6 – Sequência Positiva



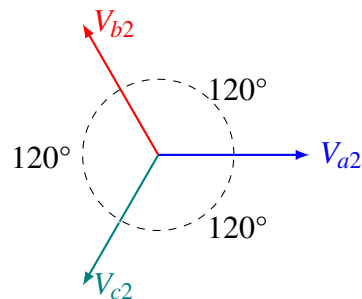
Fonte: Adaptado de Fortescue (1918).

2.4.2 Sequência Negativa

Para a sequência negativa, podemos determinar algumas das suas principais características como:

- Os três fasores são equilibrados.
 - Mesmo valor de módulo;
 - Fasores igualmente defasados de 120° .
- Sequência de fase inversa ao sistema.

Figura 2.7 – Sequência Negativa



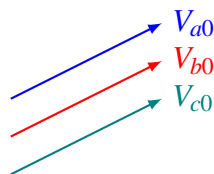
Fonte: Adaptado de Fortescue (1918).

2.4.3 Sequência Zero

A sequência zero no entanto possui diferenças maiores, conforme demonstradas abaixo:

- Os três fasores possuem o mesmo valor de módulo;
- Possuem o mesmo ângulo de fase (defasagem de 0°).

Figura 2.8 – Sequência zero



Fonte: Adaptado de Fortescue (1918).

2.4.4 Taxa de Distorção Harmônica

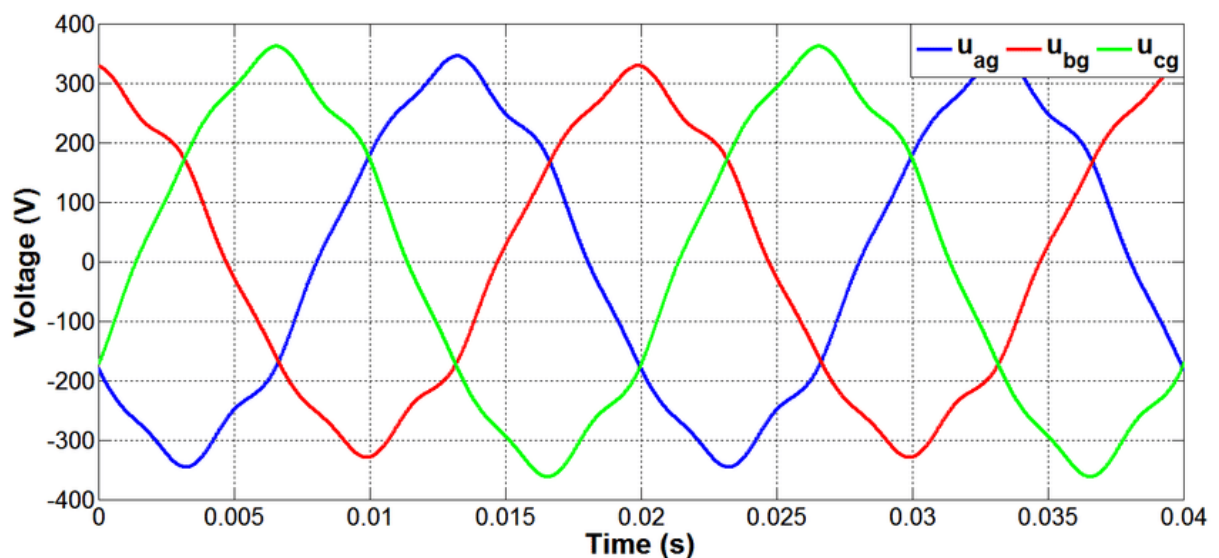
Podemos dizer que uma distorção na forma de onda é considerada harmônica quando a deformação possui um formato similar em cada ciclo da frequência fundamental. Nesses casos, o espectro de frequências possuirá apenas frequências múltiplas inteiras da frequência fundamental.

Devido à cargas não lineares na rede, como transistores ou diodos por exemplo, é gerada uma corrente harmônica que acaba sendo injetada na rede. Essa corrente possui uma frequência múltipla da frequência fundamental. Ou seja, no Brasil a frequência fundamental é 60Hz, sendo sua segunda harmônica de 120Hz e a terceira de 180Hz.

Essas correntes acabam causando um desequilíbrio na tensão e no fator de potência. Ainda é possível em alguns casos que na soma vetorial a corrente aumente para valores acima do desejado. Por questões físicas, as harmônicas que mais causam problemas são as harmônicas de múltiplos ímpares, como a terceira e quinta (Adzic; Vlado; Dumnic; Celanovic; Katic, 2013).

Podemos observar pela Figura 2.9 como é o comportamento das tensões sobre influência da 5ª e 7ª harmônicas. A frequência fundamental será de 60Hz com valor eficaz de 230V. As harmônicas possuem amplitude de 3.5% do valor da fundamental.

Figura 2.9 – Influência das harmônicas



Fonte: (Adzic; Vlado; Dumnic; Celanovic; Katic, 2013)

2.4.5 Harmônicas de Tensão

Neste caso, será observada a influência 5ª harmônica da sequência negativa.

E o equacionamento das amplitudes de tensão considerando Taxa de Distorção Harmônica (THD) é descrito abaixo:

$$v_a = V_{p1}\cos(\theta + \phi_{p1}) + V_{n5}\cos(5\theta + \phi_{n5}) \quad (2.9)$$

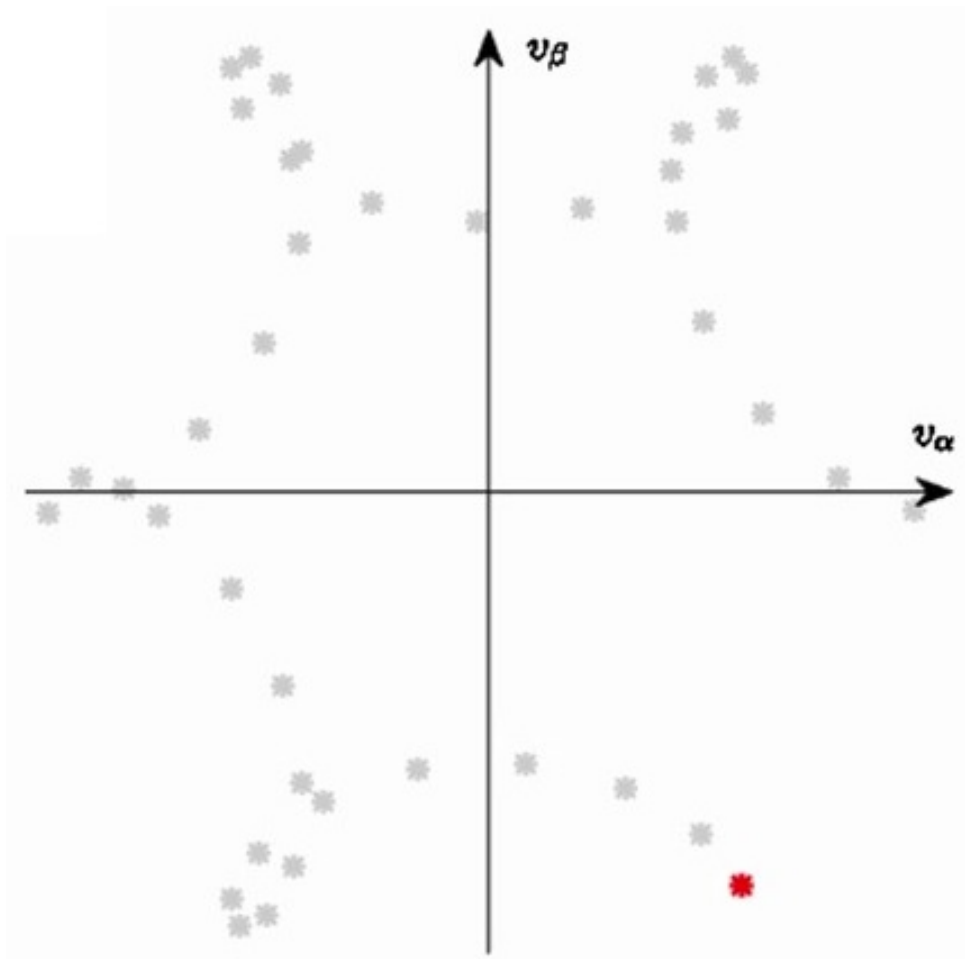
$$v_b = V_{p1}\cos(\theta - 2\pi/3 + \phi_{p1}) + V_{n5}\cos(5\theta + \phi_{n5} + 2\pi/3) \quad (2.10)$$

$$v_c = V_{p1}\cos(\theta + 2\pi/3 + \phi_{p1}) + V_{n5}\cos(5\theta + \phi_{n5} - 2\pi/3) \quad (2.11)$$

$$\frac{d\theta}{dt} = \omega \quad (2.12)$$

Na presença das mesmas, a trajetória no plano $\alpha\beta$ é mais complexa, conforme pode ser observada pela Figura 2.10.

Figura 2.10 – Distorção causada pela presença da 5ª harmônica



2.4.6 Desbalanceamento de Tensão

É comum que no ponto de conexão (PCC - *Point of Common Coupling*) do SEP, que as tensões não estejam em seu valor nominal.

$$v_a = V_{p1}\cos(\theta + \phi_{p1}) + V_{n1}\cos(\theta + \phi_{n1}) \quad (2.13)$$

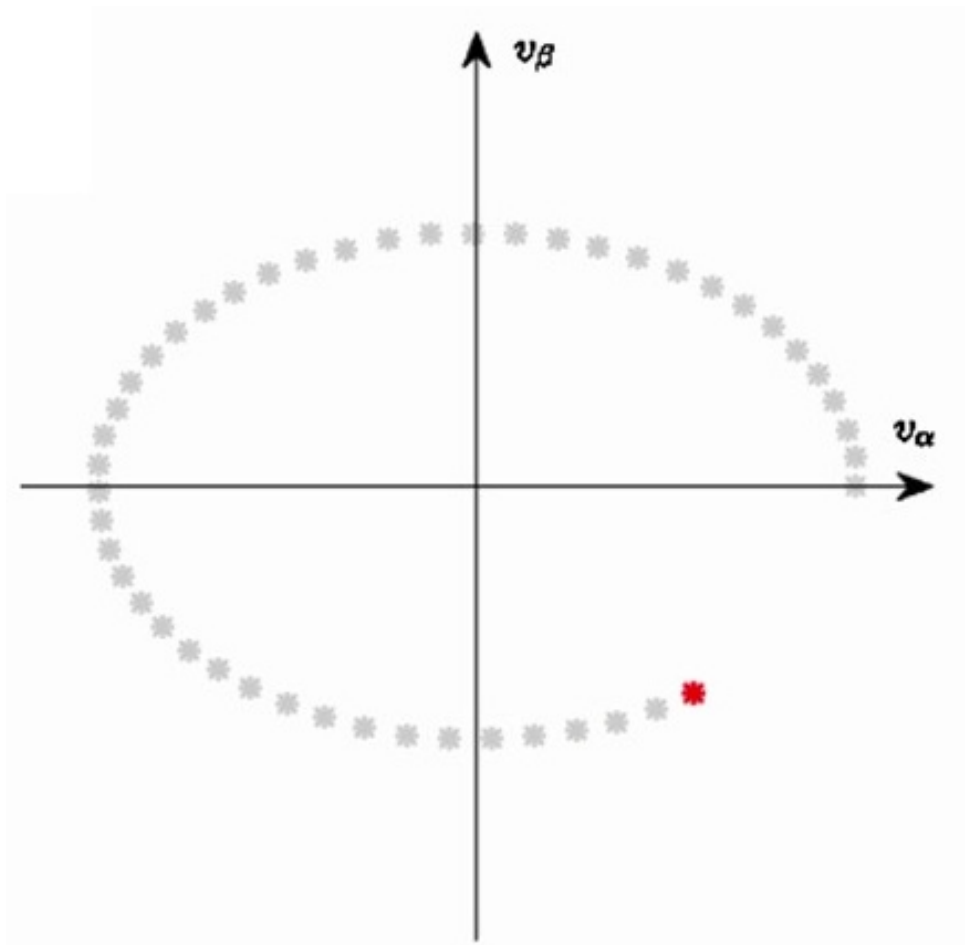
$$v_b = V_{p1}\cos(\theta - 2\pi/3 + \phi_{p1}) + V_{n1}\cos(\theta + 2\pi/3 + \phi_{n1}) \quad (2.14)$$

$$v_c = V_{p1}\cos(\theta + 2\pi/3 + \phi_{p1}) + V_{n1}\cos(\theta - 2\pi/3 + \phi_{n1}) \quad (2.15)$$

$$\frac{d\theta}{dt} = \omega \quad (2.16)$$

Neste modo a relação no plano $\alpha\beta$ possui uma trajetória elíptica, conforme pode ser observada pela Figura 2.11. Utilizando um *Voltage Unbalance Factor* (VUF) de 0.2. Sendo VUF a relação entre os componentes de sequência positiva e negativa.

Figura 2.11 – Relação entre as fases desbalanceadas no plano $\alpha\beta$



2.4.7 Voltage sags and swells

Uma das não idealidades que o de ser encontrada é a variação da tensão no *PCC*. Podemos definir como:

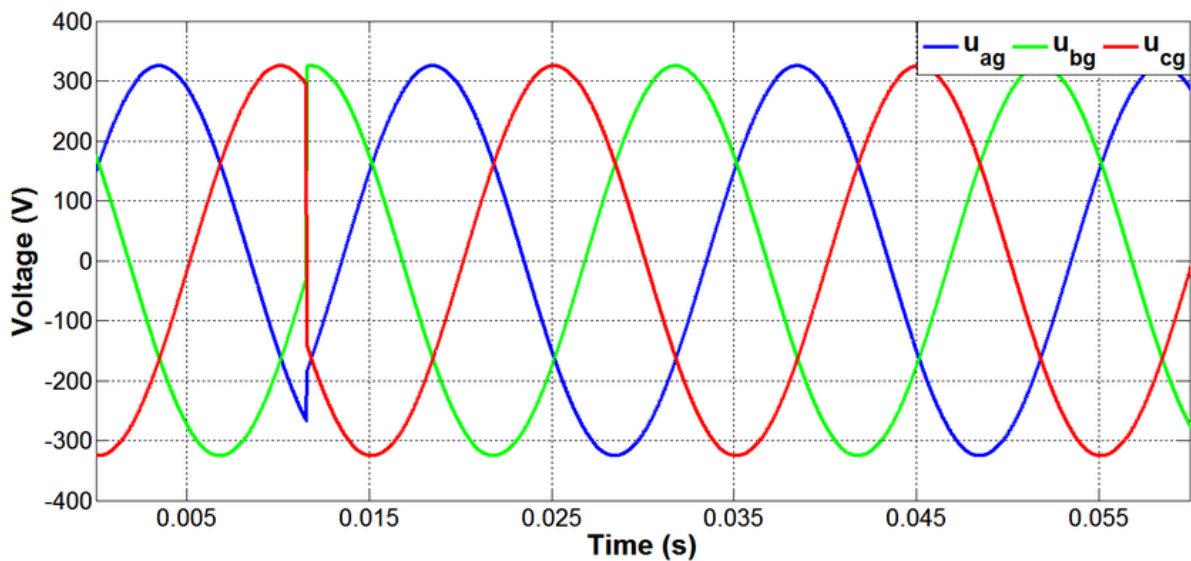
- *Voltage sags* - quando ocorre uma redução do valor nominal no *PCC*.
- *Voltage swell* - quando ocorre um acréscimo do valor nominal no *PCC*.

2.4.8 Phase Jump

Em linhas de transmissão, é possível que ocorra uma falta em uma linha ou em um transformador. Essa remoção do elemento que possui a falta pode resultar em uma variação do ângulo da tensão no barramento.

Podemos observar um exemplo de *phase jump* através da Figura 2.12

Figura 2.12 – *phase jump* ocorrendo em simulação



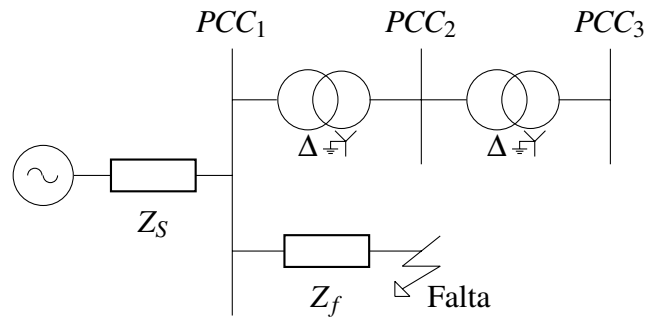
Fonte: (Adzic; Vlado; Dumnic; Celanovic; Katic, 2013)

Um valor súbito de *phase jump* na tensão apresenta um distúrbio no sistema, que pode ser usado para avaliação da dinâmica do mesmo.

2.5 FALTAS

Para uma análise dos tipos de faltas que serão estudados, será demonstrado através de uma falta que ocorre conforme SEP da Figura 2.13. Onde Z_S é a impedância da fonte e Z_F é a impedância de falta.

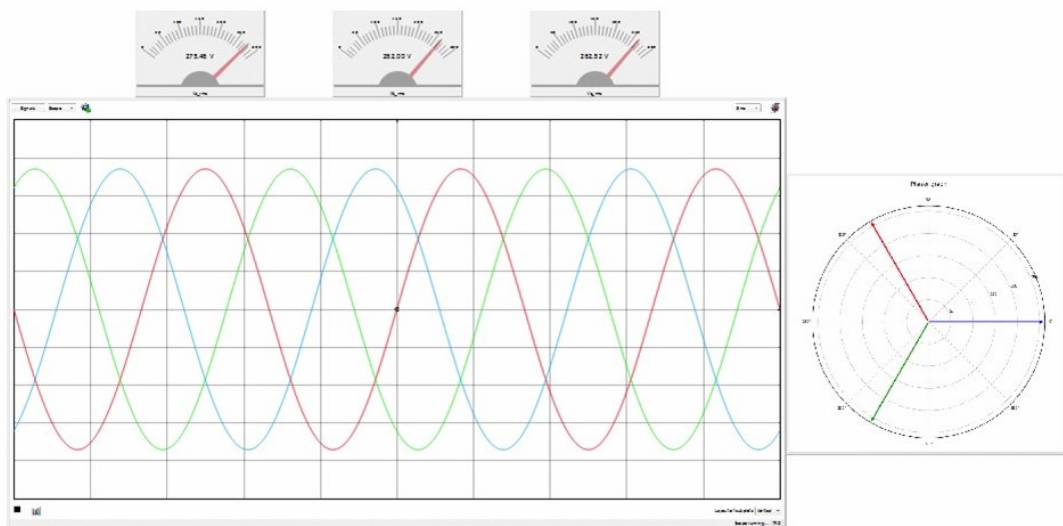
Figura 2.13 – Demonstração de um SEP onde ocorre uma falta



Fonte: Adaptado de Typhoon. Disponível em <<https://www.typhoon-hil.com/>> Acesso em: 08/10/2018.

A Figura 2.14 demonstra como o SEP se comporta dentro de um sistema SCADA. Podemos observar 3 medidores analógicos, sendo um para cada fase. Um osciloscópio analisando as amplitudes de fase e também um gráfico polar.

Figura 2.14 – Tensão de Pré Falta

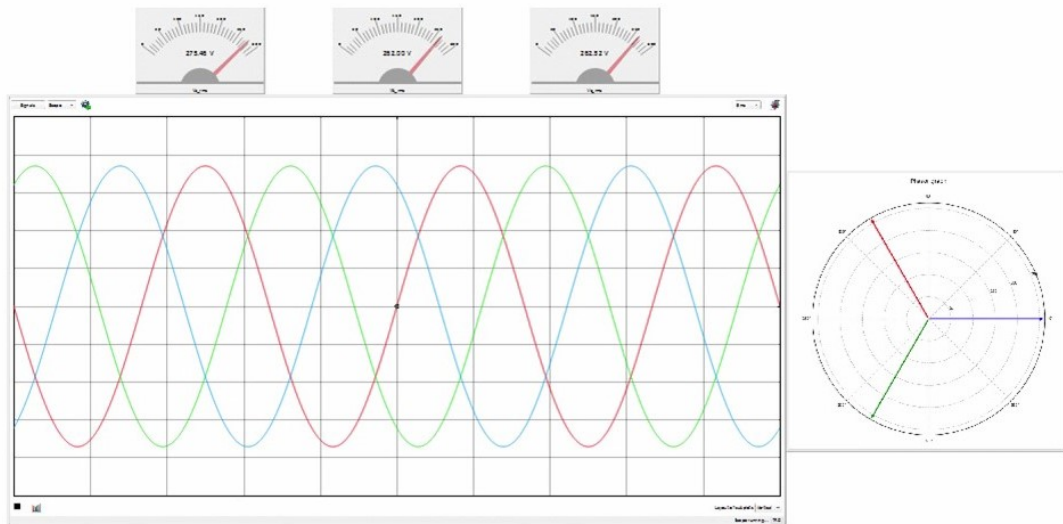


Fonte: Typhoon. Disponível em <<https://www.typhoon-hil.com/>> Acesso em: 08/10/2018

2.5.1 Falta Tipo A

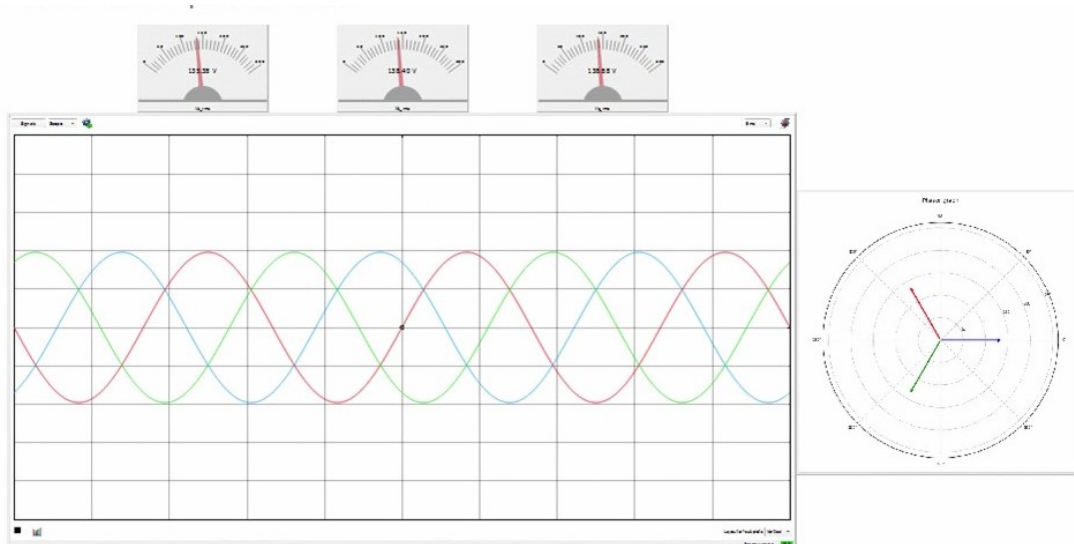
A falta tipo A é uma falta do tipo trifásica. Podemos observar através das Figuras 2.15 e 2.16 o comportamento do sistema durante a falta.

Figura 2.15 – Tensão de Pré-Falta



Fonte: Typhoon. Disponível em <<https://www.typhoon-hil.com/>> Acesso em: 08/10/2018

Figura 2.16 – Falta Trifásica

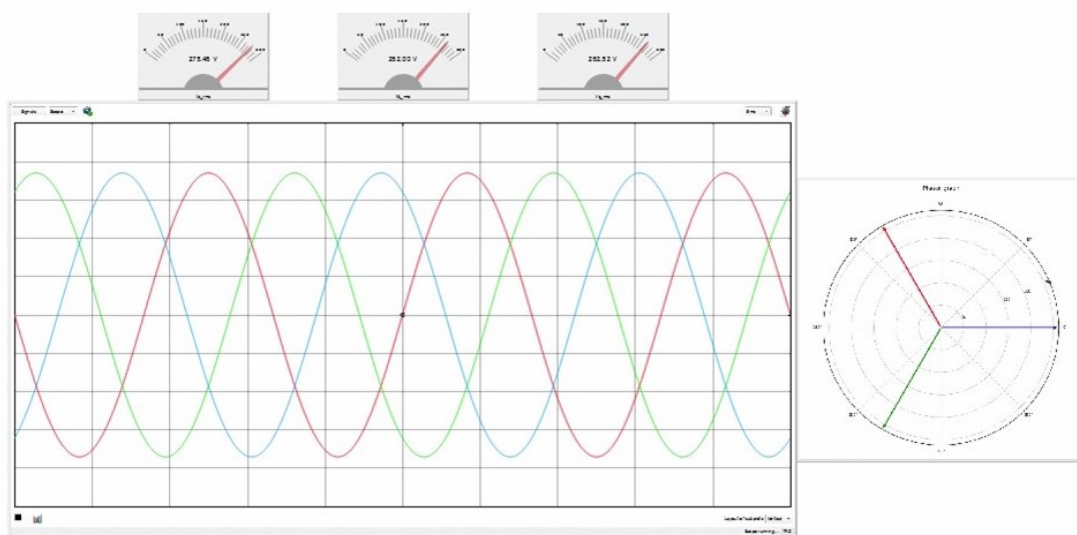


Fonte: Typhoon . Disponível em <<https://www.typhoon-hil.com/>> Acesso em: 08/10/2018

2.5.2 Falta Tipo B

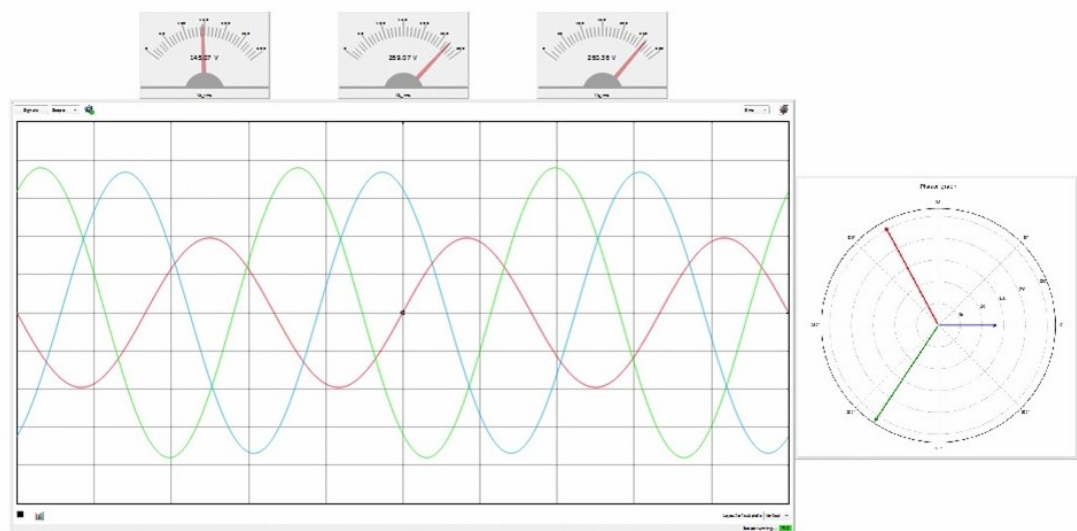
A falta tipo B é uma falta do tipo monofásica. Podemos observar como o SEP se comporta durante essa falta através da diferença entre as Figuras 2.17 e 2.18. Neste caso é observado um leve *phase jump* nas outras duas fases.

Figura 2.17 – Tensão de Pré-Falta



Fonte: Typhoon . Disponível em <<https://www.typhoon-hil.com/>> Acesso em: 08/10/2018

Figura 2.18 – Falta Monofásico Terra

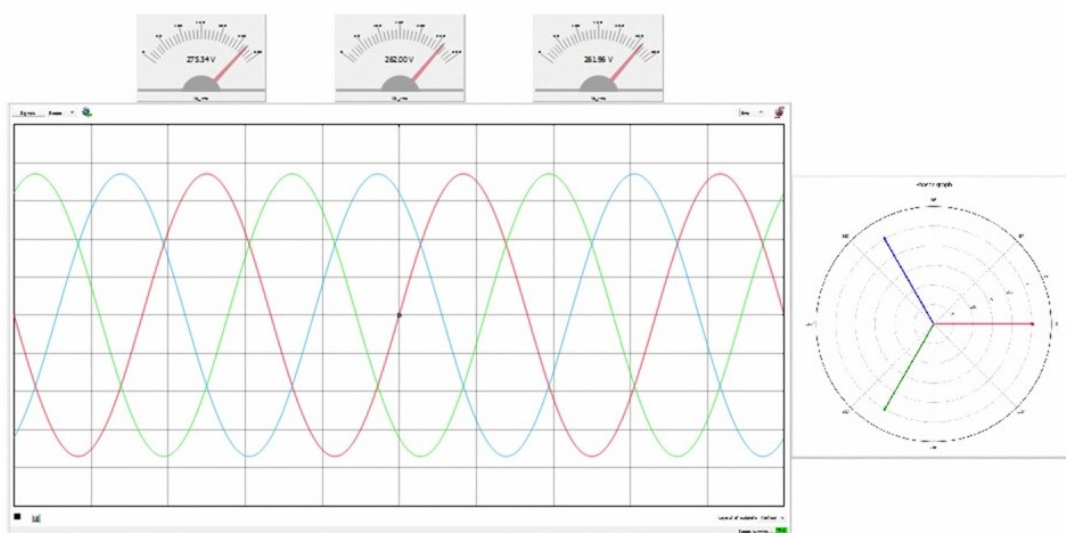


Fonte: Typhoon . Disponível em <<https://www.typhoon-hil.com/>> Acesso em: 08/10/2018

2.5.3 Falta Tipo C

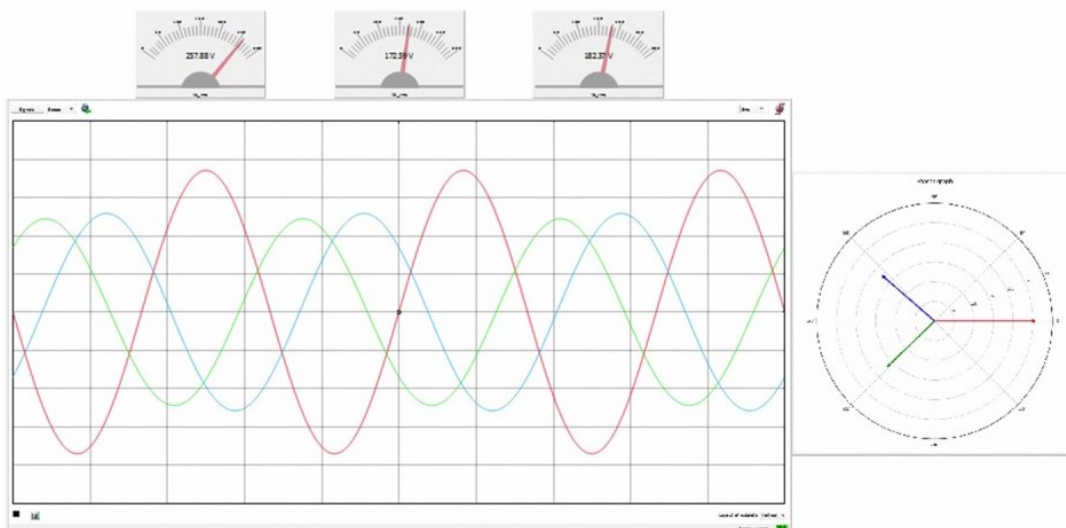
Uma falta tipo C é uma falta bifásica. Podemos observar pelas Figuras 2.19 e 2.20 que além de haver uma queda de tensão em duas fases, as duas se aproximam uma da outra causando *phase jump*.

Figura 2.19 – Tensão de Pré-Falta



Fonte: Typhoon . Disponível em <<https://www.typhoon-hil.com/>> Acesso em: 08/10/2018

Figura 2.20 – Falta Bifásica

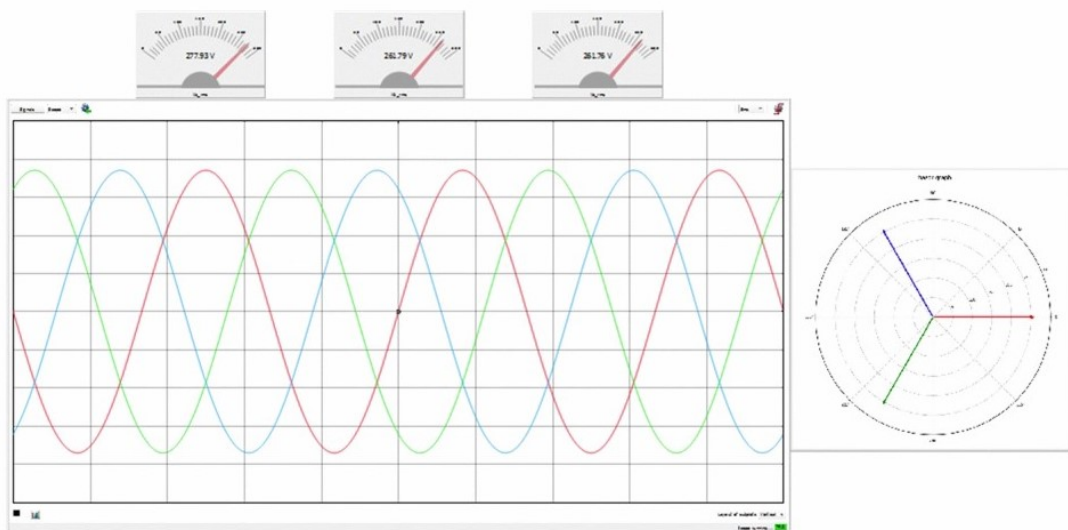


Fonte: Typhoon . Disponível em <<https://www.typhoon-hil.com/>> Acesso em: 08/10/2018

2.5.4 Falta Tipo D

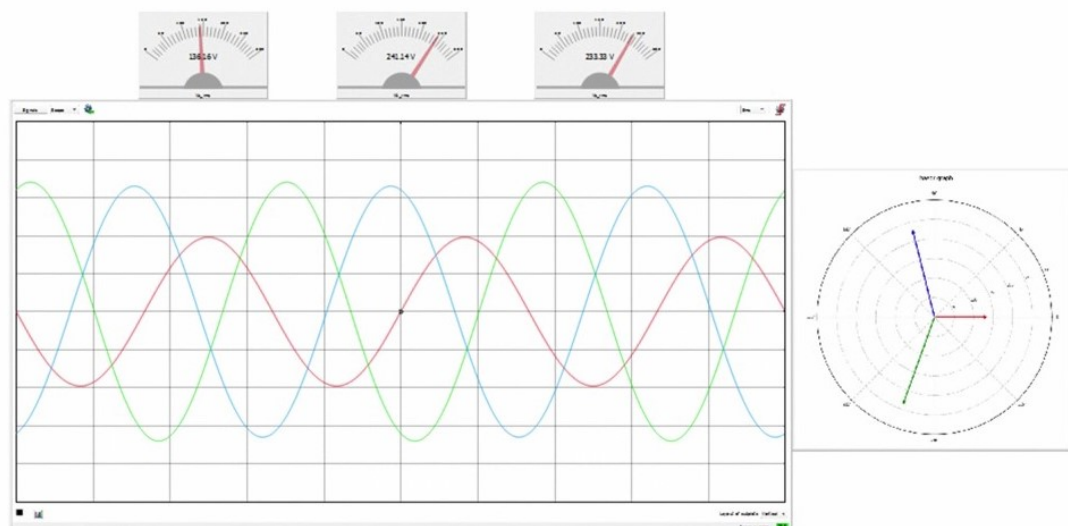
Uma falta tipo D é a propagação da falta do tipo C que é sentida em um transformador Delta - Y. As 3 faltas são afetadas nesse caso com queda de tensão e *phase jump*. Podemos observar pelas Figuras 2.21 e 2.22 o comportamento do sistema durante a falta.

Figura 2.21 – Tensão de Pré-Falta



Fonte: Typhoon . Disponível em <<https://www.typhoon-hil.com/>> Acesso em: 08/10/2018

Figura 2.22 – Propagação da Falta

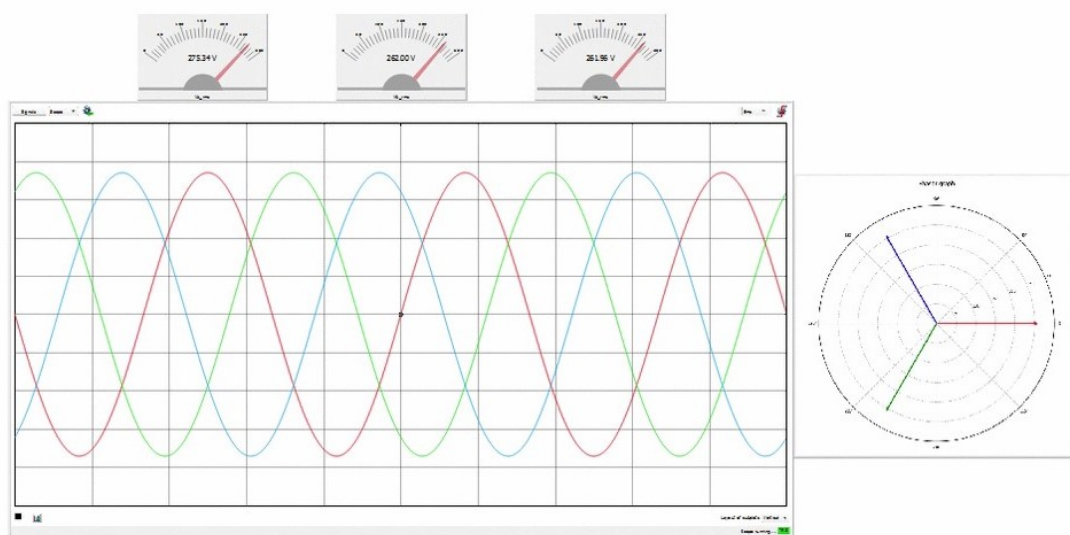


Fonte: Typhoon . Disponível em <<https://www.typhoon-hil.com/>> Acesso em: 08/10/2018

2.5.5 Falta Tipo E

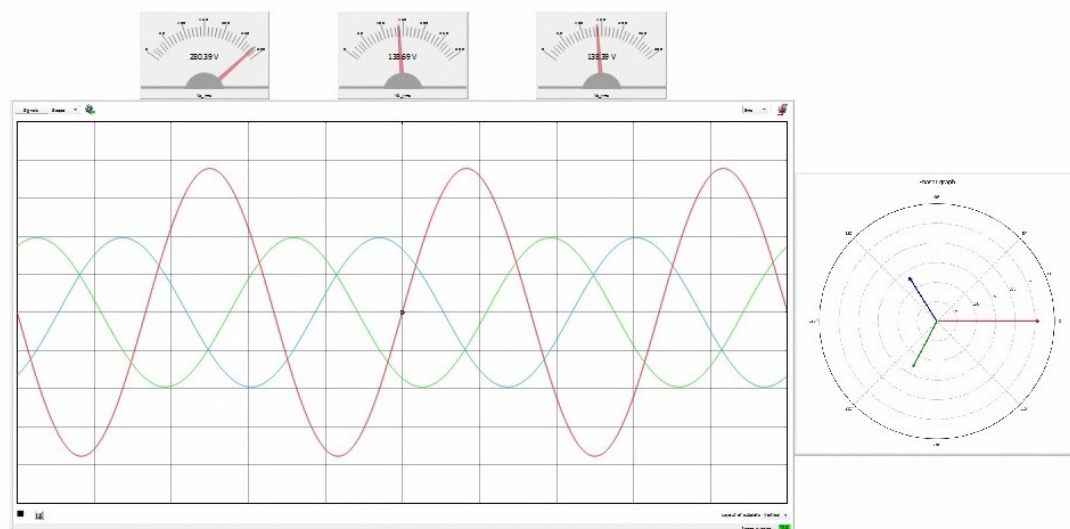
A falta tipo E é uma falta onde duas fases estão em curto circuito e em contato com o solo. Neste caso é notado apenas a queda de tensão e não é observado o caso de *phase jump*. As Figuras 2.23 e 2.24 demonstram o comportamento do sistema.

Figura 2.23 – Tensão de Pré-Falta



Fonte: Typhoon . Disponível em <<https://www.typhoon-hil.com/>> Acesso em: 08/10/2018

Figura 2.24 – Falta Bifásico Terra

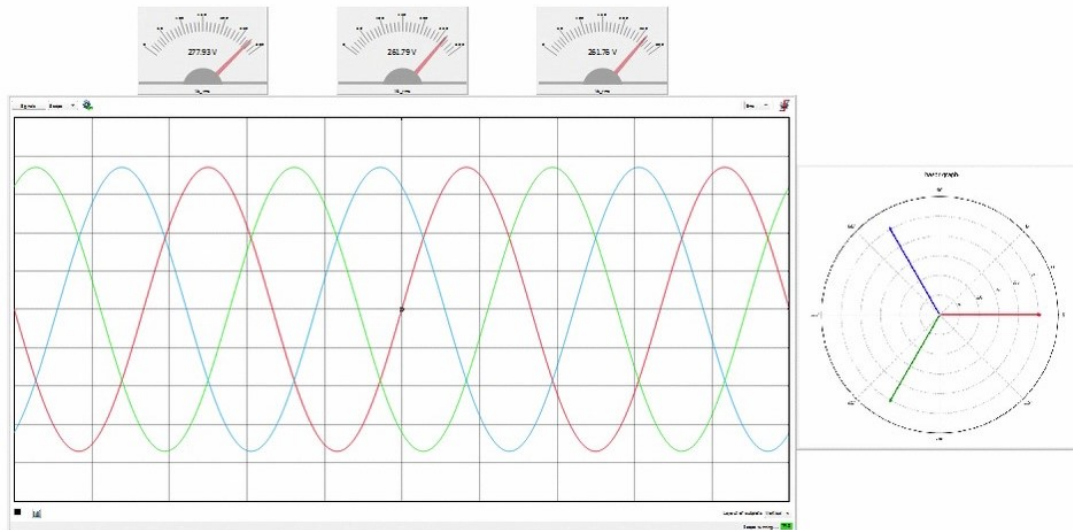


Fonte: Typhoon . Disponível em <<https://www.typhoon-hil.com/>> Acesso em: 08/10/2018

2.5.6 Falta Tipo F

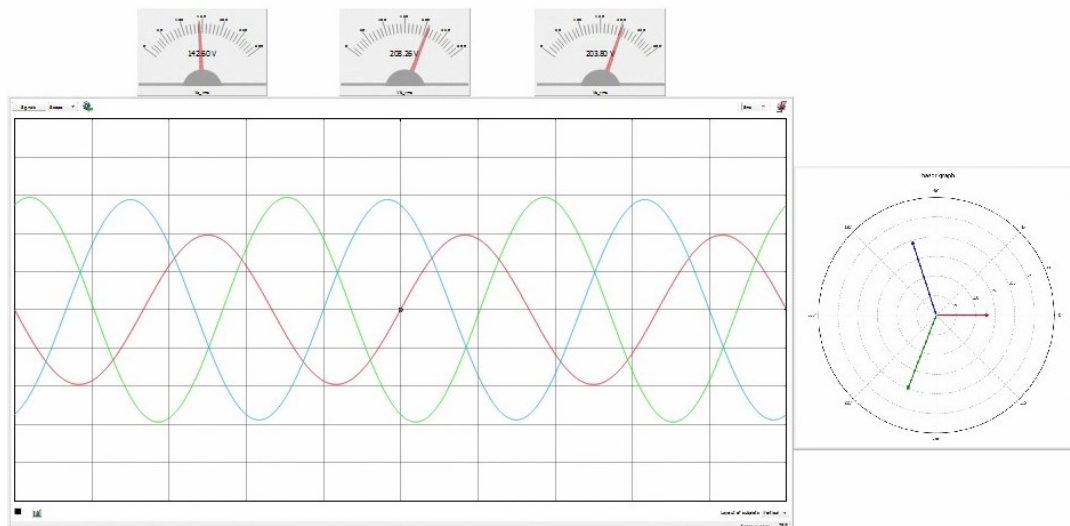
Uma falta do tipo F é similar à falta do tipo D, sendo esta a propagação da falta tipo E em um transformador Delta - Y. As Figuras 2.25 e 2.26 demonstram o comportamento do sistema durante a falta.

Figura 2.25 – Tensão de Pré-Falta



Fonte: Typhoon . Disponível em <<https://www.typhoon-hil.com/>> Acesso em: 08/10/2018

Figura 2.26 – Propagação da Falta Tipo E

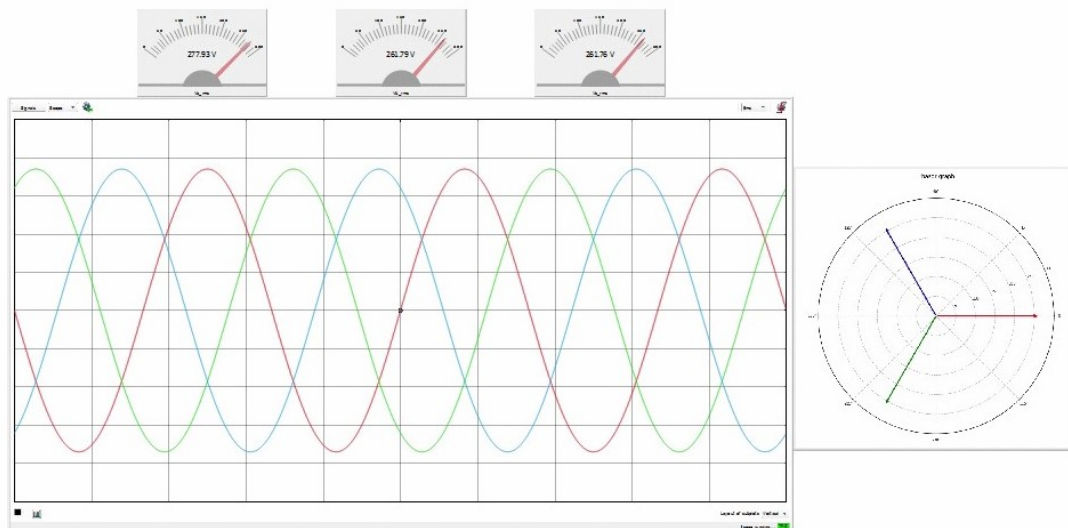


Fonte: Typhoon . Disponível em <<https://www.typhoon-hil.com/>> Acesso em: 08/10/2018

2.5.7 Falta Tipo G

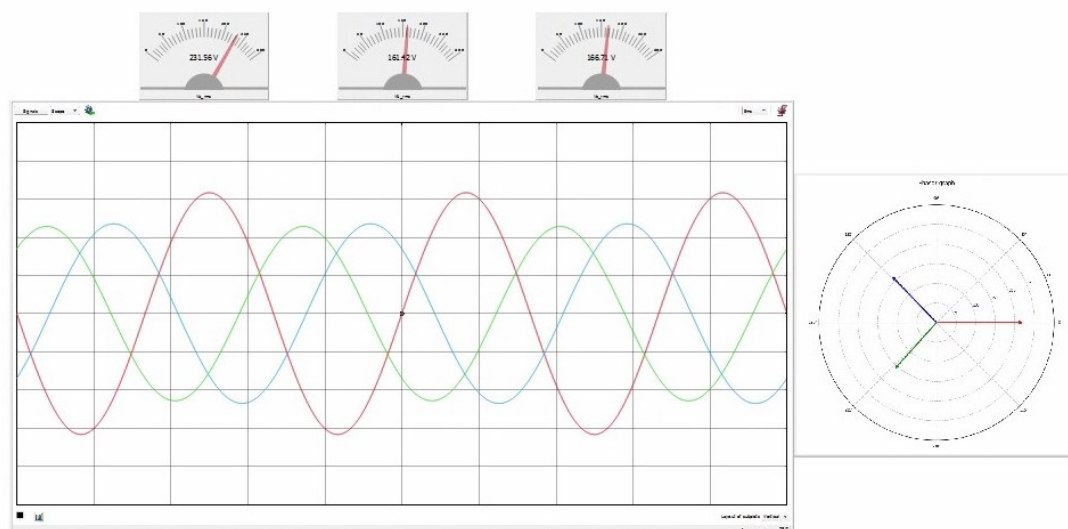
A falta do tipo G é uma propagação da falta tipo F em um transformador Delta - Y. Neste caso, ela é similar à uma falta do tipo C onde as três fases são alteradas tanto em tensão quando em possuir *phase jump*. Podemos observar esse comportamento através das Figuras 2.27 e 2.28.

Figura 2.27 – Tensão de Pré-Falta



Fonte: Typhoon . Disponível em <<https://www.typhoon-hil.com/>> Acesso em: 08/10/2018

Figura 2.28 – Propagação da Falta Tipo F



Fonte: Typhoon . Disponível em <<https://www.typhoon-hil.com/>> Acesso em: 08/10/2018

2.6 DEFINIÇÃO DE LOW VOLTAGE RIDE THROUGH

Podemos definir que Low Voltage Ride Through (*LVRT*) é a capacidade de certos geradores elétricos de se manterem conectados na rede por curtos períodos de tempo quando a tensão no sistema é muito baixa. É necessário que em nível de distribuição seja utilizado um controle de modo que problemas em plantas eólicas não causem um curto-circuito em sistemas de transmissão, sejam eles de alta tensão (*HV - High Voltage*) quando as tensões estão entre 50kV e 230kV ou extra alta tensão (*EHV - Extra High Voltage*) quando as tensões são superiores à 230kV e inferiores à 750kV.

Com o aparecimento de novas tecnologias na área de geração de energia, foi observado que o uso de energia eólica traria grandes vantagens ao sistema. Muitos fatores foram estudados para verificar a viabilidade e confiabilidade de um sistema que possui esse tipo de geração presente.

Quanto ao despacho de potência, quanto maior a produção, mais perigoso se tornam as instabilidades que podem ser sofridas em todo o sistema. Por exemplo, se houver acidentes ou distúrbios em uma planta eólica, isso pode acarretar em *voltage swags* no *PCC* que pode levar o sistema à uma queda catastrófica.

2.6.1 Comportamento de motores em LVRT

As seguintes informações foram repassadas por Wallace Ascef, Diretor Técnico da empresa Ingeteam. As informações são referentes aos geradores produzidos por eles.

DFIG

- Evento de Curto-circuito

Durante um evento de curto-circuito na rede elétrica é o estator que está conectado a rede e o comportamento irá se assemelhar a de um gerador hidráulico. Nesta situação a máquina tende a disparar e fortes exigências de torque são sentidas no eixo da máquina. Nesta situação a tensão do rotor se eleva e tende a romper a isolação. Para sanar estes problemas são instalados dentro do inversor conjuntos de Chopper ou Crowbar ativo que irão dissipar parte da energia induzida no rotor para os resistores e desta forma mantendo a máquina conectada a rede. Caso o sistema de proteção não consiga suportar esta situação o Crowbar passivo irá atuar e curto-circuitar os terminais do rotor, freando a máquina.

- Geração de reativo

A turbina DFIG gera reativo pela máquina duplamente alimentada e está restrita a excitação desta máquina. Normalmente gera entre 0,85 indutivo e 0,9 capacitivo.

- Funcionamento em baixas velocidades

A turbina DFIG funciona de -40% a +15% da velocidade nominal.

Full Converter

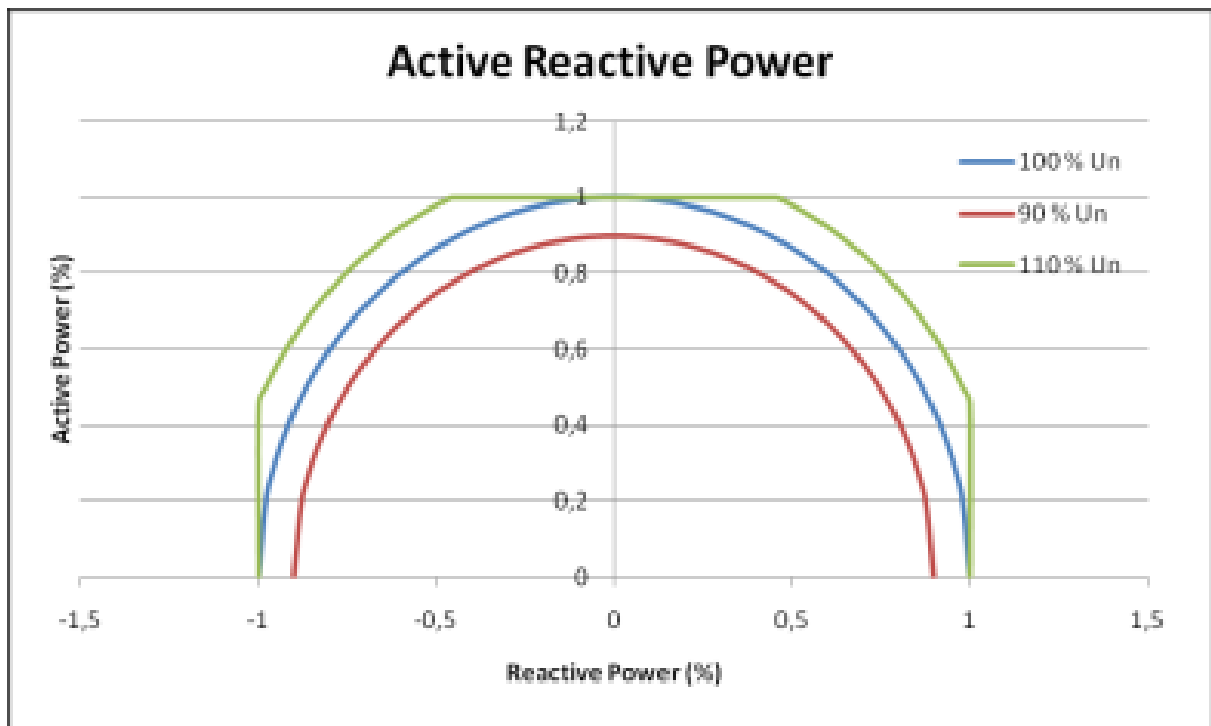
- Evento de Curto-circuito

Durante o evento de curto-circuito quem está conectado a rede elétrica é o inversor e nesta situação ele irá limitar a corrente de saída em 1 pu. O inversor irá neste período transitório dissipar o excesso de energia do gerador eólico em resistências e irá realizar uma operação de redução de energia da turbina eólica. O eixo nesta situação não sofre grandes impactos e a suportabilidade a eventos de curto-circuito é superior ao da máquina DFIG.

- Geração de reativo

O inversor conectado a saída da turbina eólica produz energia conforme características do inversor que normalmente podem ser de -0,8 a 0,8. Em alguns casos o inversor possui uma capacidade do semi-ciclo completo conforme imagem abaixo.

Figura 2.29 – Potência Ativa e Reativa



Fonte: Ingeteam (Disponível em <<https://www.ingeteam.com/>> Acesso em: 08/10/2018)

- Funcionamento em baixas velocidades

A turbina Full converter funciona de -70% a +15% da velocidade nominal.

2.7 DEFINIÇÃO DE TEST DRIVEN DESIGN (TDD)

Tradicionalmente, testes ocorrem após o código ser desenvolvido. Os testes podem ser feitos pelo próprio programador ou alguém designado à isso. Os testes podem levar alguns minutos ou meses desta maneira.

Através do uso de TDD o programador pode construir o programa baseando-se nos testes que serão executados. Logo, o programador pode rodar os testes imediatamente após o programa ter sido finalizado.

Mesmo que o nome implique que TDD é um método de testes, um exame mais aprofundado mostra que é um termo muito mais abrangente.

Adicionalmente, TDD envolve automatização de testes individuais em um programa. Automatização de testes envolvem utilizar uma plataforma para tal, como JUnit. No caso deste trabalho, é utilizado o software da **Typhoon HiL** em conjunto com a linguagem **Python**.

Frameworks automatizados para testes minimizam os esforços computacionais, reduzindo um grande número de testes para apenas alguns botões, contrastando com uma programação manual que geram um desgaste de tempo dos desenvolvedores. Através dessa automação, podemos determinar diversos parâmetros para serem testados individualmente, podendo verificar os diversos estados de um sistema.

2.8 DEFINIÇÃO DE HARDWARE IN THE LOOP

Podemos entender *Hardware in the loop (HIL)* como uma técnica que é utilizada em desenvolvimento e testes de sistemas muito complexos.

Nela podemos definir diversos sistemas e testá-los em diversas condições com facilidade e agilidade, bem como podemos testar o sistema em tempo real antes de sua aplicação. Desta forma é possível encontrar e corrigir erros muito antes de aplicar em um sistema físico.

Neste trabalho será utilizada a plataforma de HIL produzida pela Typhoon HIL, onde é possível definir sistemas, testá-los em tempo real utilizando um sistema SCADA. Ou ainda utilizando Python e definindo diversos pontos de operação ao sistema e obtendo um relatório completo e detalhado.

3 METODOLOGIA

Podemos definir o tema em três partes, na primeira será rodado um código em Python, no qual serão verificados diversos pontos de operação.

Através dos valores obtidos pelo controlador, será realizado um teste em tempo real através de um sistema em SCADA no qual poderá ser observado o comportamento do SEP.

Após verificar se o controlador está funcionando, é rodado um relatório completo testando diversos pontos de operação do sistema. Esta é uma das principais vantagens desse tipo de abordagem.

Serão testados os seguintes controladores:

- *Deadbeat*
- *RHLQC - Receding Horizon Linear Quadratic Control*
- *Single Ressonant*

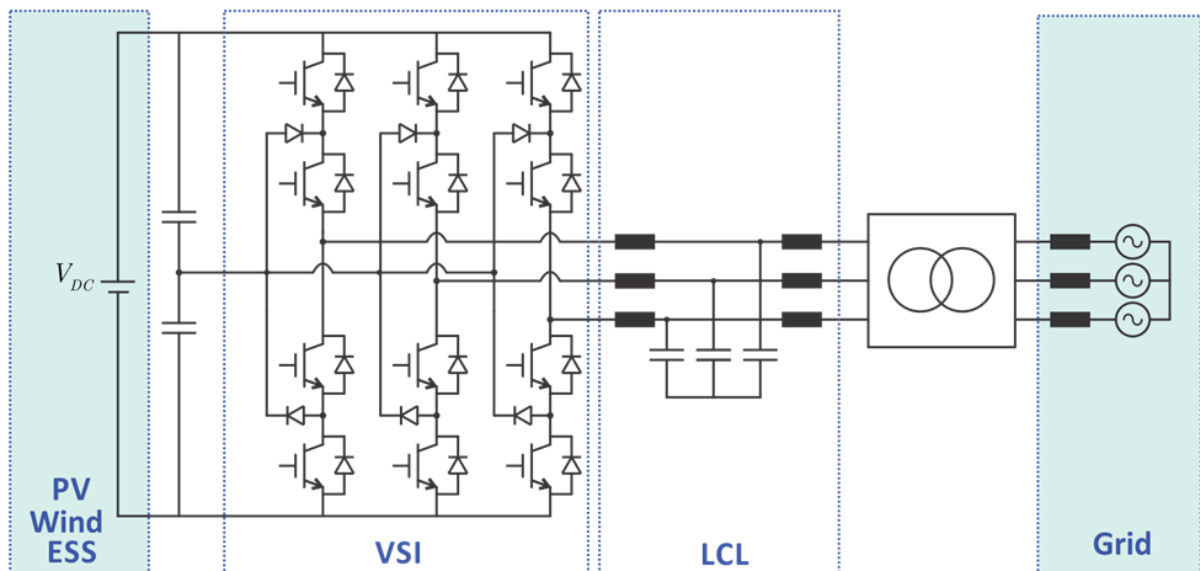
3.1 PYTHON

Na primeira fase será utilizado o compilador Júpiter. Uma das vantagens em utilizar esse sistema é que é um software livre através da biblioteca Python Control voltada para a área de controle, com uma sintaxe parecida com a plataforma Matlab.

3.1.1 Introdução

Este projeto de controlador será baseado no tutorial *Discrete Controller Design and Validation for Grid Connected Smart Inverters* apresentado no *IEEE COMPEL 2017* (PINHEIRO, 2017).

Figura 3.1 – *Discrete Controller Design and Validation for Grid Connected Smart Inverters*



Fonte: Pinheiro (2017)

3.1.2 Parâmetros do Sistema de Potência

Para que um sistema seja simulado de modo mais eficiente, será necessário definir alguns valores muito próximo dos valores reais de um SEP.

Para tal, serão utilizados os seguintes valores:

Potência Nominal do Inversor	100 kVA
Tensão RSM de linha	380 V
Frequência da rede	377 rad/s
Indutância do Filtro LCL pelo lado do conversor	500 μ H
Resistência do Filtro LCL pelo lado do conversor	0.01 Ω
Capacitância do Filtro LCL	100 μ F
Indutância do Filtro LCL pelo lado da rede	50 μ H
Resistência do Filtro LCL pelo lado da rede	0.01 Ω

A partir dos dados informados, é possível determinar por 3.1 que a frequência de ressonância não amortecida é de 2.36kHz.

$$\omega = \frac{\sqrt{\frac{L_1 + L_2}{L_1 * L_2}}}{\frac{6.28}{1000}} \quad (3.1)$$

3.1.3 Caracterização da rede

Podemos caracterizar a rede a partir do seu *PCC*. Na simulação, foram consideradas dois tipos de rede:

- Rede Forte - Nesta condição a razão de curto-circuito (SCR) é muito grande, tornando-a em uma fonte de tensão ideal;
- Rede Fraca - Nesta condição o equivalente da indutância e a resistência série podem ser encontrados pela relação SCR e pela razão X/R.

Podemos determinar que um inversor de 100 kW conectado à um SEP trifásico de 380V possuindo um SCR = 2 e a relação X/R = 2, o equivalente Thevenin série pode ser determinado pelas Equações 3.2 e 3.3 respectivamente que a indutância e a resistência série são $L_g = 1.71 \text{ mH}$ e $R_g = 0.32 \Omega$.

$$L_g = \frac{X_R \cdot R_g}{\omega} \quad (3.2)$$

$$R_g = \frac{Z_{th}}{\sqrt{(X_R \cdot 2 + 1)}} \quad (3.3)$$

Onde Z_{th} pode ser determinado pela Equação 3.4.

$$Z_{th} = \frac{V_{rated_line_2_line}}{P_{sc}} \quad (3.4)$$

3.1.4 Modelo de Espaço de Estados

Podemos demonstrar a representação do filtro LCL através de espaços de estados, considerando a corrente da rede como variável de saída. Esta representação pode ser observada através da Equação 3.5.

$$\begin{aligned} \frac{d}{dt} \begin{bmatrix} i_1 \\ v_c \\ i_2 \end{bmatrix} &= \begin{bmatrix} -\frac{r_1}{L_1} & -\frac{1}{L_1} & 0 \\ \frac{1}{C_f} & 0 & -\frac{1}{C_f} \\ 0 & \frac{1}{L_2} & -\frac{r_2}{L_2} \end{bmatrix} \begin{bmatrix} i_1 \\ v_c \\ i_2 \end{bmatrix} + \begin{bmatrix} \frac{1}{L_1} \\ 0 \\ 0 \end{bmatrix} u + \begin{bmatrix} 0 \\ 0 \\ -\frac{1}{L_2} \end{bmatrix} V_g \\ y(k) &= \begin{bmatrix} 0 & 0 & 1 \end{bmatrix} \begin{bmatrix} i_1 \\ v_c \\ i_2 \end{bmatrix} \end{aligned} \quad (3.5)$$

Ou ainda:

$$A = \begin{bmatrix} -\frac{r_1}{L_1} & -\frac{1}{L_1} & 0 \\ \frac{1}{C_f} & 0 & -\frac{1}{C_f} \\ 0 & \frac{1}{L_2} & -\frac{r_2}{L_2} \end{bmatrix} \quad (3.6)$$

$$B = \begin{bmatrix} \frac{1}{L_1} \\ 0 \\ 0 \end{bmatrix} \quad (3.7)$$

$$C = \begin{bmatrix} 0 & 0 & 1 \end{bmatrix} \quad (3.8)$$

$$C1 = \begin{bmatrix} 0 & 0 & -1 \end{bmatrix} \quad (3.9)$$

$$D = 0 \quad (3.10)$$

$$F = \begin{bmatrix} 0 \\ 0 \\ -\frac{1}{L_2} \end{bmatrix} \quad (3.11)$$

3.1.5 Representação de Espaço de estados

Serão definidos duas representações de espaços de estados para o inversor e para o filtro LCL.

A primeira possui a tensão AC do inversor como parâmetro de entrada e a corrente AC como saída. Esta representação para o espaço de estados é utilizada no design do controlador.

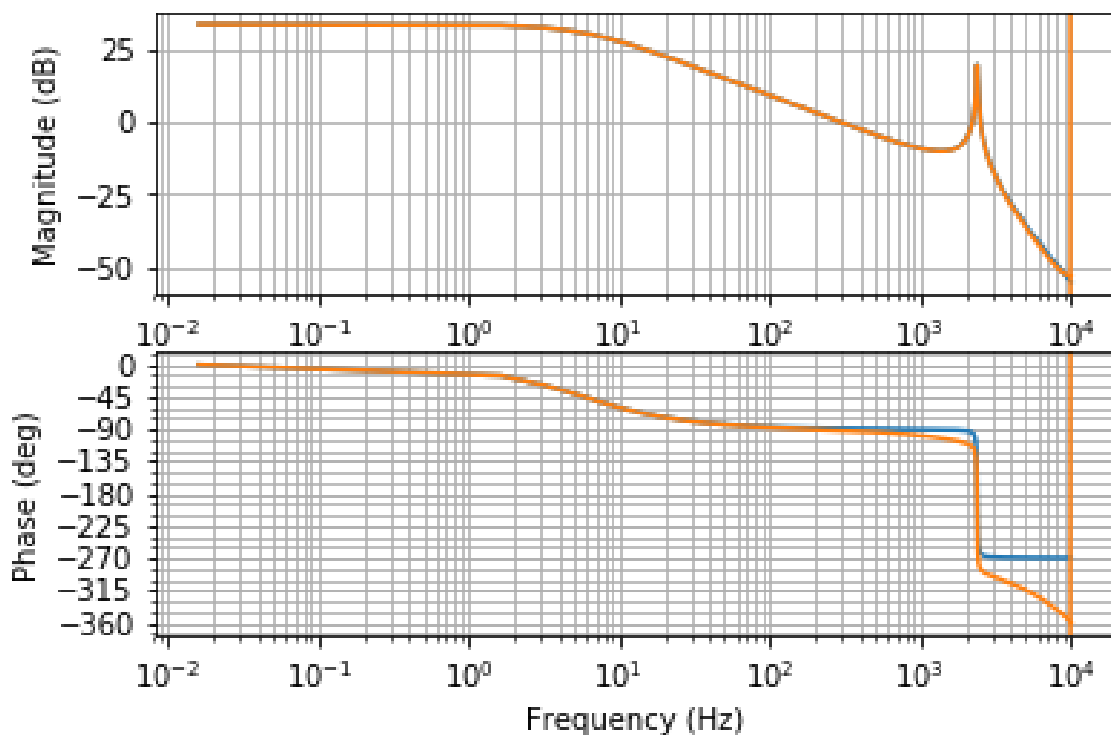
A segunda possui a tensão da rede como parâmetro de entrada e a corrente da rede como parâmetro de saída, de modo a representar a admitância do conversor vista pela rede.

3.1.6 Discretização

A frequência de amostragem será definida como 20kHz, ou seja, um período de $50\mu\text{s}$. Para o design do controlador de corrente da rede no domínio do tempo discreto, o inversor será representado por um **zero-order holder ZOH**. Podemos assumir que inicialmente que a rede é uma fonte de tensão ideal de amplitude constante.

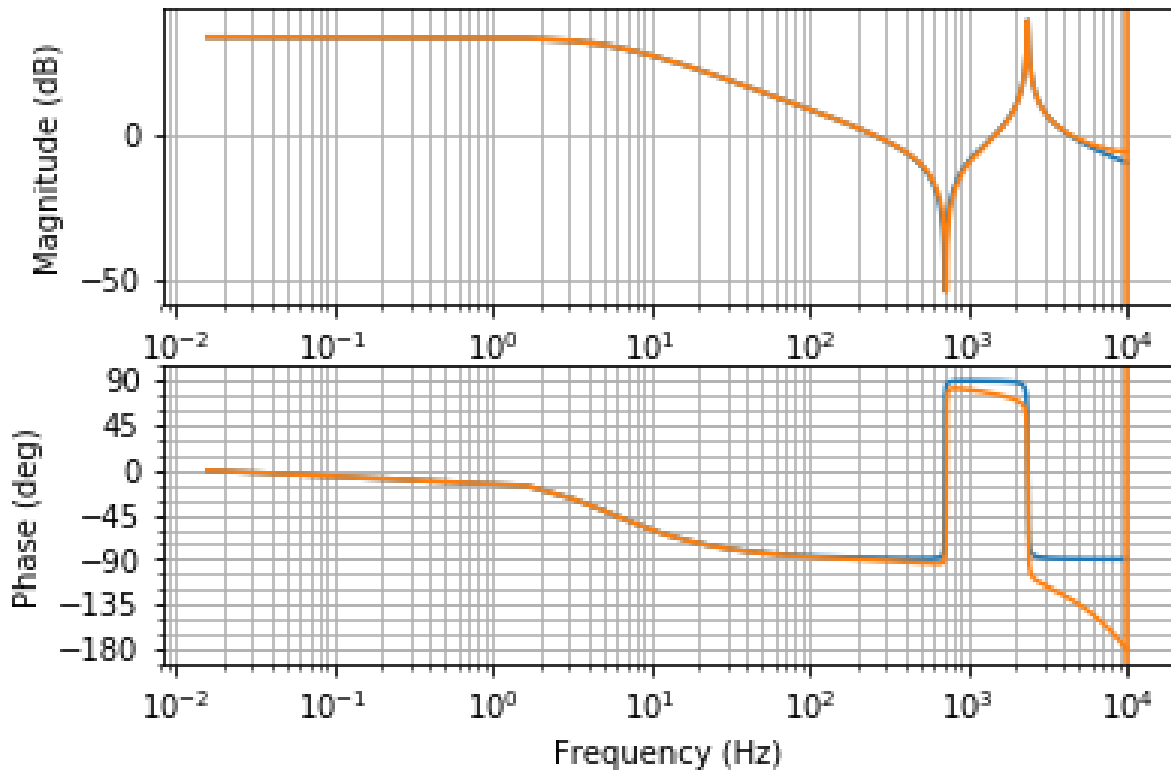
Podemos então comparar as respostas no modo contínuo e em frequência através do Bode da Figura 3.2.

Figura 3.2 – Bode do sistema contínuo (laranja) e discretizado (azul).



É possível ver a principal diferença entre o modelo discreto e o contínuo está na fase no modo de alta frequência. Podemos observar na Figura 3.3 melhor a admitância de saída em malha aberta no domínio contínuo e discreto.

Figura 3.3 – Bode da tensão da rede contínua (laranja) e discretizada (azul).



Fonte: Pinheiro (2017)

3.1.7 Delay do controlador

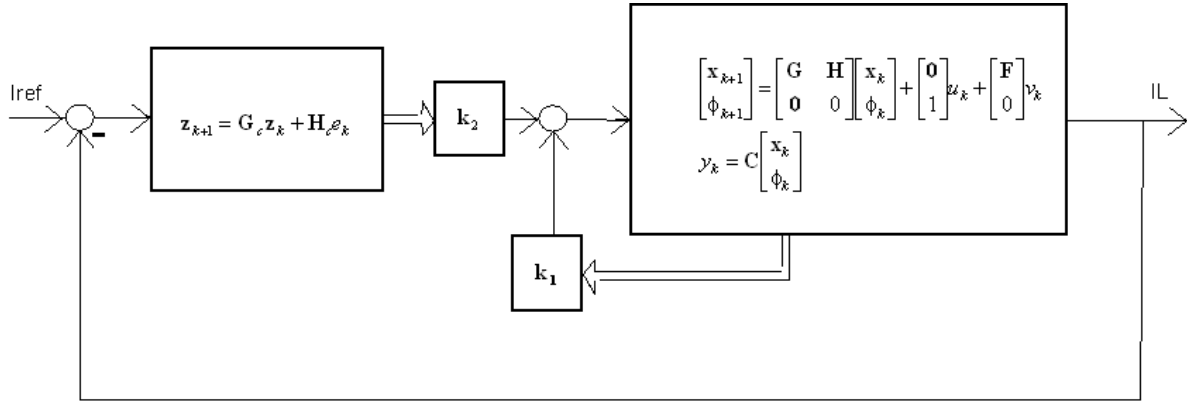
Para que seja possível levar em conta o delay de amostragem associado à implementação de um microcontrolador, um estado adicional pode ser incluído no modelo discreto. Logo, o sistema pode ser definido como:

$$\begin{aligned} \begin{bmatrix} x(k+1) \\ \phi(k+1) \end{bmatrix} &= \begin{bmatrix} A_d & B_d \\ 0_{1 \times 3} & 0 \end{bmatrix} \begin{bmatrix} x(k) \\ \phi(k) \end{bmatrix} + \begin{bmatrix} 0_{3 \times 1} \\ 1 \end{bmatrix} u_c(k) + \begin{bmatrix} F_d \\ 0 \end{bmatrix} v_g(k) \\ y(k) &= \begin{bmatrix} C_d & 0 \end{bmatrix} \begin{bmatrix} x(k) \\ \phi(k) \end{bmatrix} \end{aligned} \quad (3.12)$$

3.1.8 Design do Controlador de Corrente

O controlador de corrente pode ser observado pelo diagrama de blocos da Figura 3.4.

Figura 3.4 – Diagrama de blocos do controlador de corrente.



Fonte: Pinheiro (2017)

3.1.9 Controlador Ressonante

O bloco do controlador será implementado como um controlador ressonante. O controlador discreto para um ganho não infinito pode ser definido pela Equação 3.13.

$$G_{res}(z) = \frac{*}{z^2 - 2e^{-\alpha T_s} \cos(\omega T_s)z + e^{-2\alpha T_s}} \quad (3.13)$$

Onde α , para cada frequência angular ω , depende da razão de amortecimento ζ é:

$$a = \frac{\omega \zeta}{\sqrt{1 - \zeta^2}} \quad (3.14)$$

Podemos determinar a realização do espaço de estados através da Equação 3.15.

$$R = \begin{bmatrix} 0 & 1 \\ -e^{-2\alpha T_s} & 2e^{-\alpha T_s} \cos(\omega T_s) \end{bmatrix}, T = \begin{bmatrix} 0 \\ 1 \end{bmatrix} \quad (3.15)$$

Harmônicas na rede podem ser rejeitadas pela adição de mais blocos associados com outras frequências. Neste caso, a realização em estado de espaços pode ser um bloco diagonal com um bloco individual de estado de espaços ressonante na frequência considerada. O que permite o controlador ressonante com apenas um bloco ligado à frequência fundamental à ser considerada.

3.1.10 Modelo Completo

Logo, é possível determinar o espaço de estados discreto completo agregando o bloco do controlador ressonante, onde n e sc são respectivamente o número de blocos ressonantes e o vetor de estados associado com o controlador ressonante. Podemos observar o modelo matemático associado pela Equação 3.16.

$$\begin{aligned}
 \begin{bmatrix} x(k+1) \\ \phi(k+1) \\ x_c(k+1) \end{bmatrix} &= \begin{bmatrix} A_d & B_d & 0_{3 \times 2n} \\ 0_{1 \times 3} & 0 & 0_{1 \times 2n} \\ -TC_d & 0_{2n \times 1} & R \end{bmatrix} \begin{bmatrix} x(k) \\ \phi(k) \\ x_c(k) \end{bmatrix} + \\
 + \begin{bmatrix} 0_{3 \times 1} \\ 1 \\ 0_{2n \times 1} \end{bmatrix} u(k) &+ \begin{bmatrix} F_d \\ 0 \\ 0_{2n \times 1} \end{bmatrix} V_g(k) + \begin{bmatrix} 0_{3 \times 1} \\ 0 \\ T \end{bmatrix} i^*(k) \quad (3.16) \\
 y(k) &= \begin{bmatrix} C_d & 0 & 0_{1 \times 2n} \end{bmatrix} \begin{bmatrix} x(k) \\ \phi(k) \\ x_c(k) \end{bmatrix}
 \end{aligned}$$

3.1.11 State Feedback Control - Discrete LQR (Linear Quadratic Regulator)

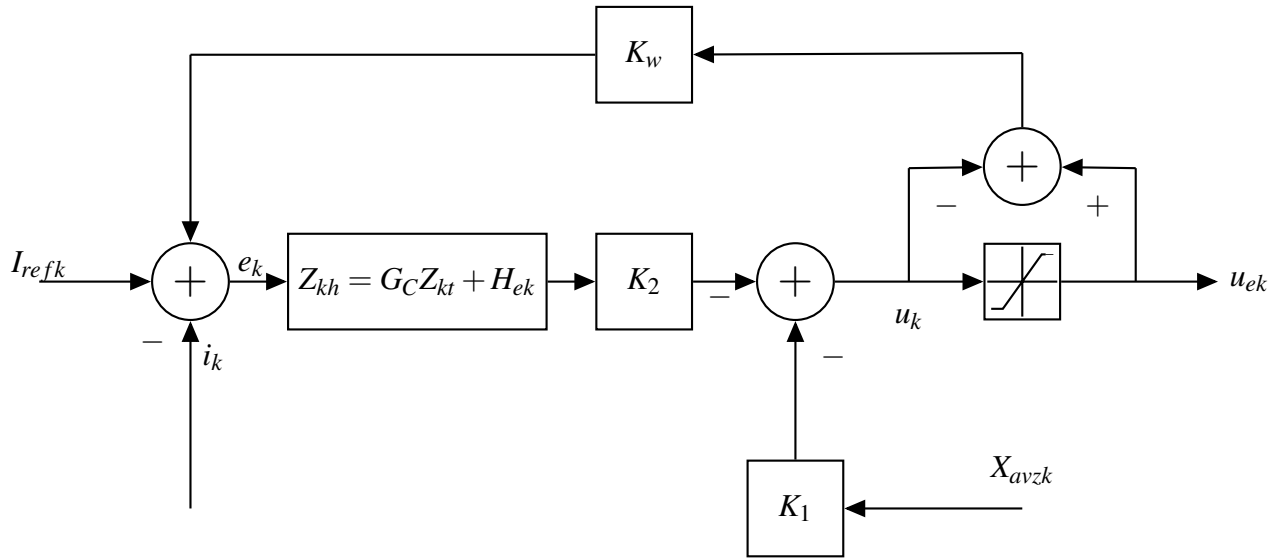
Podemos observar pela Figura 3.1 que existe um estado de espaços na planta que é o filtro LCL associado à corrente dos indutores e à tensão dos capacitores, bem como do bloco do controlador ressonante.

É necessário então determinar os ganhos do estado de feedback k_1 e k_2 . Para tal, será utilizado um Regulador Linear Quadrático (LQR) que é um excelente método de controle pois ele minimiza o uso de pesos associados ao espaço de estados e entradas do controlador segundo Pinheiro (2017).

3.1.12 Ação do Windup

É aconselhável realocar os autovalores durante a saturação da ação de controle, esta ação pode ser feita com o ganho k_w como pode ser observado pela Figura 3.5.

Figura 3.5 – Diagrama de blocos da Ação do Windup.

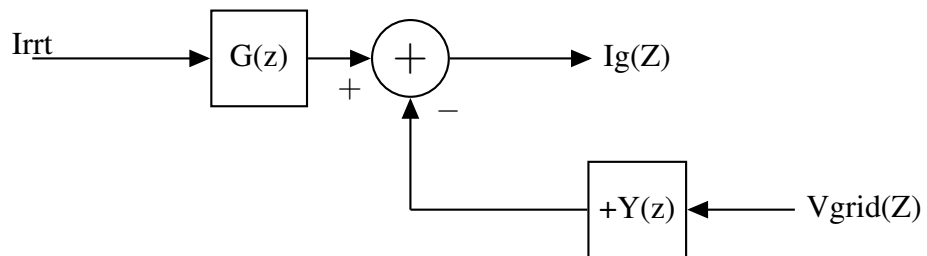


Fonte: (PINHEIRO, 2017)

3.1.13 Operação sob Rede forte

Sob a ação de uma rede forte, podemos definir o controlador de corrente através do diagrama de blocos conforme a Figura 3.6.

Figura 3.6 – Diagrama de Blocos do controlador

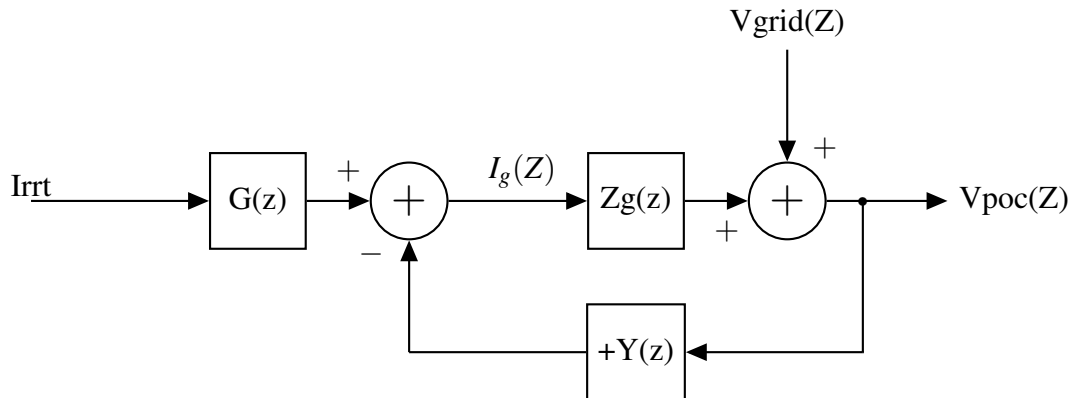


Fonte: (PINHEIRO, 2017)

3.1.14 Operação sob Rede Fraca

Para uma rede fraca, podemos determinar o funcionamento através do diagrama de Blocos da Figura 3.7.

Figura 3.7 – Diagrama de Blocos de um Controlador.



Fonte: (PINHEIRO, 2017)

Neste caso a rede é representada por um barramento infinito através de um equivalente série de Thevenin, onde a indutância e a resistência obtidas através da razão de curto circuito (SCR) e a razão X/R vistas a partir do ponto de conexão (Point of Connection - POC) do conversor.

3.1.15 Estabilidade com Rede Fraca

A estabilidade do sistema quando conectado à uma rede fraca pode ser determinado pela relação $Y(z)Zg(z)$.

Analisando pelo Critério de Estabilidade de Nyquist através da Equação 3.17, o sistema será estável se $Zg(z)$ e $Y(z)$ não possuírem polos instáveis e $GH(z)$ for diferente de $-1+j0$.

$$\frac{G(z)}{1 + GH(z)} \quad (3.17)$$

3.2 CONTROLADOR

Foi testada a viabilidade dos mesmos controladores a partir dos parâmetros estabelecidos na tabela 3.1.

3.2.1 Deadbeat

Uma breve descrição para este método de controle discreto, é que este modelo consiste em definir qual o sinal de entrada necessário para atingir o regime permanente com um número mínimo de iterações.

Este tipo de controle é utilizado com frequência em controle de processos, devido à suas características dinâmicas. Neste método de controle através de *feedback*, os ganhos são determinado através de uma tabela baseada na planta do sistema.

3.2.2 RHLQC

Este controlador possui como nome *Receding Horizon Linear Quadratic Control* Kwon PhD; Soohye Han (2005). Controladores que seguem o conceito de *Receding Horizon* são controladores que utilizam o modelos preditivos de controle.

Modelos preditivos de controle utilizam o estado atual e anteriores da planta para prever qual será o próximo estado e controlar o mesmo.

3.2.3 Single Resonant

Controladores Proporcionais Integrais (PI) e Proporcionais Ressonantes (PR) devem obter a mesma performance em uma referência síncrona. UM Controlador PI na referência síncrona resulta em um controlador PR através de uma transformada utilizando uma referência estacionária.

No caso de uma referência estacionária, o controlador PI necessitaria de um ganho infinito para zerar o erro de regime permanente.

3.3 TYPHOON HIL

Typhoon Hil é um software especializado em Hardware-in-the-Loop. Ou seja, podemos simular um circuito definindo parâmetros que podem ser modificados como se o circuito

Tabela 3.1 – Parâmetros estabelecidos

Variável	Valor	Observação
V _{g_RMS}	220	Tensão de fase em (V) <i>RMS</i>
Id _{nom}	214	Valor da corrente de pico em (A)
max _{thd}	2	Valor médio máximo aceito de THD na corrente da rede em (%) para as 3 fases
max_ErrorN2	3.5	Valor máximo do erro médio aceito para rastreamento de corrente. Norm2 sendo aplicada no vetor da corrente no plano alfa beta
max_ErrorN2_max	8.0	Valor máximo do erro aceito para rastreamento de corrente. Norm2 sendo aplicada no vetor da corrente no plano alfa beta
max_err_st	21.4	Rastreamento do erro de desvio do regime permanente usado para medição do tempo de acomodação em (A)
max_settling_time	10	Tempo máximo de acomodação em (ms)
max_I _{g_max}	250	Valor máximo aceito de <i>overshoot</i> da corrente da rede em (A) <i>RMS</i>
max_ic_max	325	Valor máximo aceito de <i>overshoot</i> para a corrente de pico no conversor em (A)
max _{thdi}	8.0	<i>THDi threshold</i> para detecção de instabilidade em (%)
max _{thdh}	3:4,5:4,7:4,9:4, 11:2,13:2,15:2, 17:1.5,19:1.5, 21:1.5,23:0.6, 25:0.6,27:0.6, 29:0.6,31:0.6	Valores obtidos de IEEE 1547 (2003)
time_in_nominal_condition	0.2	Tempo de simulação em condições nominais pré-falta em (s)
total_capture_time	0.5	Tempo total simulado em (s)
time_harmonic	0.4	Tempo de simulação para cada teste de harmônicas em (s). As harmônicas são implementadas em 0.2s
time_idref_step	2.0	Tempo simulado para cada passo em (s)

Fonte: (PINHEIRO, 2017)

estivesse funcionando em tempo real.

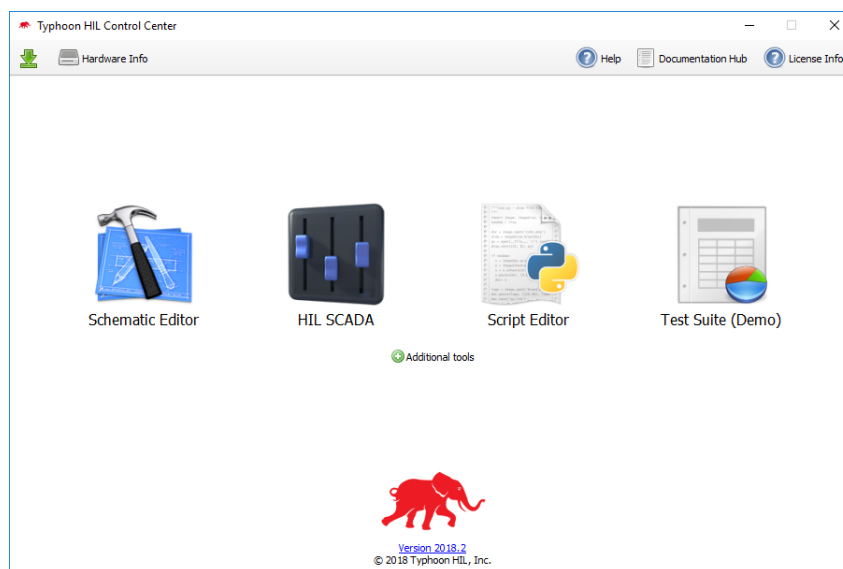
Uma das grandes vantagens é poder testar diferentes pontos de operação e observá-los durante a simulação, assim, é possível determinar facilmente como a planta irá reagir dependendo de diferentes pontos de operação.

Ainda, utilizando Python é possível criar relatórios através do software. O engenheiro responsável pode determinar diversos parâmetros e verificar o comportamento da planta através destas simulações.

3.4 SOFTWARE TYPHOON HIL CONTROL CENTER

Podemos observar pela Figura 3.8, o layout inicial do software e as ferramentas disponíveis pelo mesmo.

Figura 3.8 – Typhoon HIL Control Center



Fonte: Typhoon. Disponível em <<https://www.typhoon-hil.com/>>

3.5 SCHEMATIC EDITOR

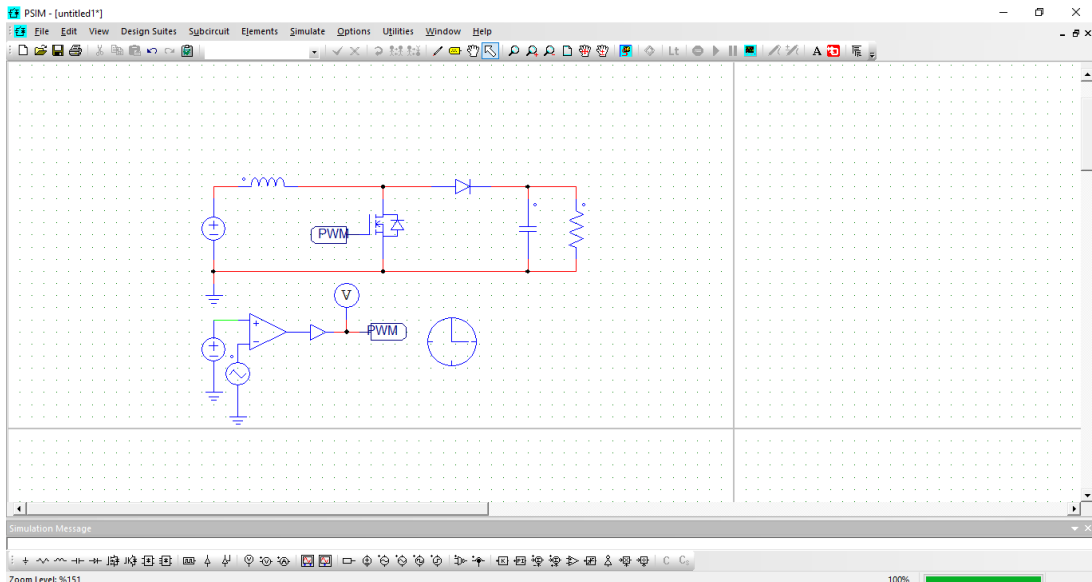
A primeira ferramenta disponibilizada pelo software é um editor de esquemáticos, através dele é possível desenhar os circuitos que serão utilizados na simulação.

Uma diferença na otimização está no uso de blocos. Diferente de softwares como PSIM, onde o usuário pode definir o layout do circuito, o software da Typhoon HIL já possui blocos

especiais como *buck* ou *boost*. Desta maneira, é possível otimizar o software para simulações em tempo real.

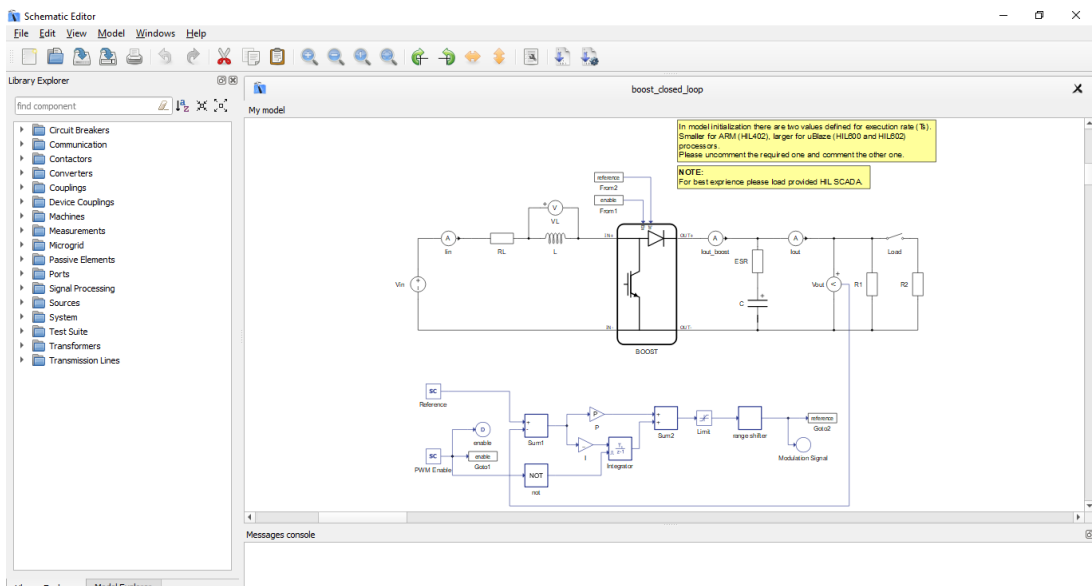
Podemos observar na Figura 3.9 um *boost* através do software PSIM e na Figura 3.10 um *boost* através do software Typhoon HIL.

Figura 3.9 – Boost através do software PSIM



Fonte: PSIM.

Figura 3.10 – Boost através do software Typhoon HIL

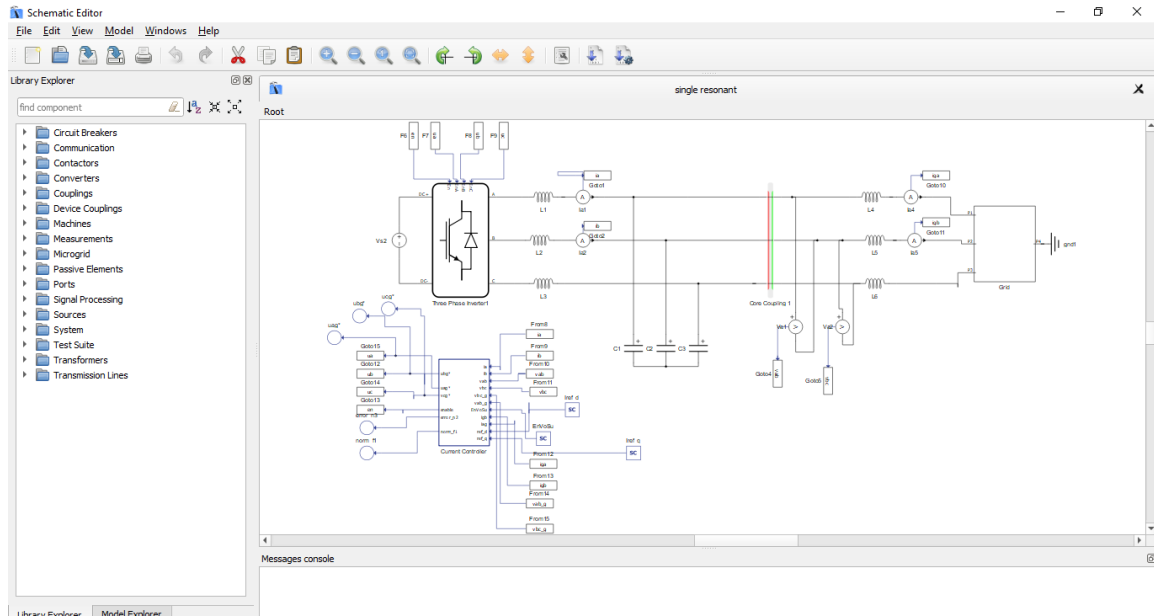


Fonte: Typhoon.

3.5.1 Análise do circuito

Através da Figura 3.11, podemos observar o circuito proposto na Figura 3.1.

Figura 3.11 – Planta analisada



Fonte: Typhoon. Disponível em <<https://www.typhoon-hil.com/>>

4 ANÁLISE DOS RESULTADOS

Uma das principais vantagens do uso do software da Typhoon HIL está na obtenção dos resultados.

Os apêndices A, B e C são pertencentes aos relatórios obtidos pelo programa. Os relatórios apresentam os dados obtidos pelo programa e demonstram quais foram os testes que foram aprovados e quais foram os testes reprovados.

Para os testes que foram aprovados, no sumário apresentado na Figura 4.1 podemos observar quais foram os testes que foram aprovados na cor verde e os reprovados na cor vermelha. Os testes que são reprovados são analisados de maneira mais detalhada em cada caso.

Figura 4.1 – Sumário dos testes

Table 1 - Report summary

	Steady State			Transient		
	THD(%)	E_{N_2} (A)	$E_{N_{2max}}$ (A)	t_{set} (ms)	I_{g_M} (A)	i_{c_M} (A)
Type A fault	OK	Failed	Failed	OK	OK	OK
Type B fault	OK	Failed	Failed	OK	OK	OK
Type C fault	OK	Failed	Failed	OK	OK	OK
Type E fault	OK	Failed	Failed	OK	OK	OK

Fonte: Autoria própria

Iremos então fazer uma análise mais detalhada sobre os resultados de cada um dos controladores utilizados. Mostrando em maiores detalhes os testes que foram reprovados para que possa ser feita uma comparação entre eles e ainda um estudo sobre o simulador utilizado.

Este trabalho possui como motivação apenas uma comparação entre os controladores. Um estudo sobre configuração dos controladores necessitaria de uma base mais avançada.

4.1 DESCRIÇÃO DOS TESTES

O relatório contava com seis tipos diferentes de testes, três para o estado transitório e três para o regime permanente. Podemos então observar uma breve descrição dos testes utilizados:

4.1.1 THD

Neste teste foi verificado o valor médio máximo aceito de THD na corrente da rede para as 3 fases. Neste teste o máximo aceito foi de 2%.

4.1.2 EN2

Valor Máximo do erro médio aceito para rastreamento de corrente no plano $\alpha\beta$, sendo 3.5 A o *threshold*.

4.1.3 EN2MAX

Valor máximo do erro para o rastreamento de corrente no plano $\alpha\beta$, possuindo 8.0 A como *threshold*.

4.1.4 Tset

Tempo de simulação para as condições de transitório. Onde o tempo máximo foi de 0.2s

4.1.5 IGM

Valor máximo aceito para *overshoot* da corrente da rede. O *threshold* utilizado foi de 250 A.

4.1.6 ICM

Valor máximo aceito para o *overshoot* para a corrente de pico no conversor. O *threshold* utilizado foi de 325 A.

4.2 RELATÓRIO DO CONTROLADOR DEADBEAT

O primeiro controlador analisado foi o *Deadbeat*. Podemos observar o seu sumário pela Figura 4.2.

Figura 4.2 – Sumário dos testes *deadbeat*

Table 1 - Report summary

	Steady State			Transient		
	THD(%)	E_{N2} (A)	E_{N2max} (A)	t_{set} (ms)	I_{gM} (A)	i_{cM} (A)
Type A fault	Failed	Failed	OK	OK	OK	OK

Fonte: Autoria própria

Neste caso para fins didáticos foi analisado apenas uma falta do tipo A (trifásica). O controlador apresenta um comportamento satisfatório no transitório. Entretanto, em regime permanente não passou em dois testes.

4.2.1 Deadbeat THD

Pelos parâmetros analisados, foi informado que o valor máximo aceitável de THD foi de 2%. Podemos observar pela Figura 4.3 que os resultados foram além do desejado.

Figura 4.3 – Sumário do teste de THD do controlador *deadbeat*

Table 2 - THD(%) under Type A fault

k	0.1	0.55	1.0
-90.0°	27.39	69.17	68.35
0.0°	77.27	75.55	76.27
90.0°	62.41	75.64	77.32

Fonte: Autoria própria

Neste caso, alguns ajustes deveriam ser feitos de modo a garantir que o controlador seja capaz de atender as especificações do teste.

4.2.2 Deadbeat EN2

Podemos observar pela Figura 4.4 que os resultados foram quase satisfatórios. Com poucos ajustes o controlador estaria adequado nesse quesito.

Figura 4.4 – Sumário do teste EN2 do controlador *deadbeat*

Table 3 - $E_{N2}(A)$ under Type A fault

k	0.1	0.55	1.0
-90.0°	5.43	1.3	1.3
0.0°	1.35	1.27	1.32
90.0°	1.3	1.27	1.36

Fonte: Autoria própria

4.3 RELATÓRIO DO CONTROLADOR SINGLE RESONANT

Podemos observar pela Figura 4.5 o sumário dos testes realizados no controlador Single Resonant. Mais uma vez o transitório se mostrou satisfatório, entretanto, em dois testes do regime permanente ele foi reprovado.

Figura 4.5 – Sumário do teste de THD do controlador *Single Resonant*

Table 1 - Report summary

	Steady State			Transient		
	THD(%)	$E_{N2}(A)$	$E_{N2max}(A)$	$t_{set}(ms)$	$I_{gM}(A)$	$i_{cM}(A)$
Type A fault	OK	Failed	Failed	OK	OK	OK

Fonte: Autoria própria

4.3.1 Single Resonant EN2

Podemos observar pela Figura 4.6 que os resultados foram muito abaixo do desejado, onde o controlador foi reprovado em todos os quesitos do teste. O valor máximo aceitável em cada categoria era de 3.5 A.

Figura 4.6 – Sumário do teste EN2 do controlador *Single Resonant*

Table 3 - E_{N2} (A) under Type A fault

k	0.1	0.55	1.0
-90.0°	8.21	8.72	9.26
0.0°	8.2	8.73	9.26
90.0°	8.21	8.72	9.26

Fonte: Autoria própria

4.3.2 Single Resonant EN2max

Podemos observar pela Figura 4.7 que os resultados também não foram satisfatórios, ultrapassando o limite de 8.0 A.

Figura 4.7 – Sumário do teste EN2 do controlador *Single Resonant*

Table 4 - E_{N2max} (A) under Type A fault

k	0.1	0.55	1.0
-90.0°	8.76	9.27	9.93
0.0°	8.74	9.28	9.92
90.0°	8.73	9.27	9.92

Fonte: Autoria própria

4.4 RELATÓRIO DO CONTROLADOR RHLQC

No sumário do controlador RHLQC podemos observar que o mesmo passou em todos os testes para o modo transitório, tendo sido reprovado apenas no teste de THD em regime

permanente.

Figura 4.8 – Sumário do teste de THD do controlador *Single Resonant*

Table 1 - Report summary

	Steady State			Transient		
	THD(%)	E_{N2} (A)	E_{N2max} (A)	t_{set} (ms)	I_{gM} (A)	i_{cM} (A)
Type A fault	Failed	OK	OK	OK	OK	OK

Fonte: Autoria própria

4.4.1 RHLQC THD

Podemos observar pela Figura 4.9 que os resultados obtidos estiveram além do esperado de 2%.

Figura 4.9 – Sumário do teste de THD do controlador *Single Resonant*

Table 2 - THD(%) under Type A fault

k	0.1	0.55	1.0
-90.0°	29.04	72.94	73.63
0.0°	72.9	78.17	74.84
90.0°	73.96	78.09	77.28

Fonte: Autoria própria

5 CONCLUSÃO

No primeiro capítulo realizou-se uma breve introdução acerca do assunto abordado neste trabalho. Explicando alguns dos temas que seriam propostos e um breve conceito deles.

O segundo capítulo foi sobre a revisão teórica que envolvia o trabalho, nele foram revisados alguns conceitos como eletrônica de potência e controle. Conhecimentos que tornam possível o entendimento sobre os testes que seriam posteriormente utilizados.

Para o terceiro capítulo, foi feita uma revisão sobre a metodologia utilizada no trabalho, desde a utilização de Python quanto do *Software* da Typhoon HiL que foi utilizado.

No quarto capítulo foi feita uma análise dos resultados dos 3 controladores. O objetivo do trabalho foi uma comparação entre os 3 controladores e comparar os relatórios que foram disponibilizados.

Estes relatórios foram a parte principal do trabalho, pois a automatização dos testes é um dos principais diferenciais no conceito de *Hardware in The Loop*.

REFERÊNCIAS BIBLIOGRÁFICAS

JANZEN, D.; SAIEDIAN, H. Test-driven development concepts, taxonomy, and future direction. **Computer**, v. 38, n. 9, p. 43–50, Sept 2005. ISSN 0018-9162.

KWON PHD; SOOHEE HAN, P. W. H. **Receding horizon control: model predictive control for state models**. - (Advanced textbooks in control and signal processing). [S.l.: s.n.], 2005.

MODULE 01 – PLL - 1.1 Video-Grid Characterization. [S.l.]: Tphoon Hil, Universidade Federal de Santa Maria, Grupo de Eletrônica de Potência e Controle (GEPOC), 2018.

MOHAN, N.; UNDELAND, T. M.; ROBBINS, W. P. **Power Electronics: Converters, Applications and Design**. 1. ed. River Street: John Wiley & Sons, 2003. 798 p.

PINHEIRO, H. Resoant current-controller for grid-tied voltage source inverters with lcl output filters. **COMPEL 2017 and PEDG 2018**, 2017.

PYTHON 3.7. Acesso em: 08/10/2018. Disponível em: <<https://www.python.org/>>.

TYPHOON HIL. Acesso em: 08/10/2018. Disponível em: <<https://www.typhoon-hil.com/>>.

6 RELATÓRIO DEADBEAT

Test report

Test Name: Current control loop performance test

Date: 04.05.2019

Time: 21:12

Description

This test set evaluates the performance of grid tied inverter current controllers. The grid fault and harmonic tests have been carried out with strong grid, while the stability test has been carried out with weak grid and volt-var support.



1 Test summary

- Test started at: 21h:12m, April 5, 2019
- Test finished at: 21h:14m, April 5, 2019
- File: C:\Users\Beffart\Desktop\Testes\04 -Test Driven Design\dead_beat Target files\dead_beat.cpd

1.1 Fault tests summary

- Maximum settling time compared to post fault simulation time interval: 0.55% @ Type A fault ($k = 1.0 < 90^\circ$)
- Number of faults simulated: 9

Table 1 - Report summary

	Steady State			Transient		
	THD(%)	$E_{N2}(A)$	$E_{N2max}(A)$	$t_{set}(ms)$	$I_{gM}(A)$	$i_{cM}(A)$
Type A fault	Failed	Failed	OK	OK	OK	OK

Legend:

- THD(%) - THD of grid side current. Average value of the 3 phases. (Max = 2.0%)
- $E_{N2}(A)$ - Mean current tracking error. Norm2 of alpha beta current vector. (Max = 3.5A)
- $E_{N2max}(A)$ - Maximum current tracking error. Max Norm2 of alpha beta current vector. (Max = 8.0A)
- $t_{set}(ms)$ - Settling time of the current tracking error. (Max = 10 ms)
- $I_{gM}(A)$ - Maximum RMS grid current of the three phases. (Max = 250 A)
- $i_{cM}(A)$ - Maximum converter current of the three phases. (Max = 325 A)

1.2 Harmonic test summary

- Number of harmonic conditions simulated: 0

1.3 Current reference steps summary

- Number of current reference steps simulated: 1
- Possible instability has been detected. The inverter output currents exceed the threshold THDi for $i_{d_ref} = 81.3 A$, THD = 75.53%

2 Test configuration

2.1 Test parameters

- Maximum acceptable current THD: 2.0%
- Current error deviation from the steady-state used to measure the settling time: 21.4A
- Maximum acceptable current error settling time: 10 ms
- Maximum acceptable grid RMS current overshoot: 250 A
- Maximum acceptable converter current overshoot: 325 A
- Maximum acceptable mean current error: 3.5 A
- Maximum acceptable maximum current error: 8.0 A
- THDi threshold for instability detection: 8.0%
- Simulation time in nominal condition before fault: 0.2 s
- Total simulation time for each fault: 0.5 s
- Simulation time for each current step: 2.0 s
- Simulation time for each harmonic test: 0.4 s
- Harmonic amplitude multiplier: 5th:1, 7th:0.9, 11th:0.7 and 13th:0.5.
- Harmonics threshold: 3th:4%, 5th:4%, 7th:4%, 9th:4%, 11th:2%, 13th:2%, 15th:2%, 17th:1.5%, 19th:1.5%, 21th:1.5%, 23th:0.6%, 25th:0.6%, 27th:0.6%, 29th:0.6% and 31th:0.6%.

2.2 Graphs variables:

- V_a , V_b and V_c : Voltage at the PCC (V).
- i_a , i_b and i_c : Instantaneous current at the PCC(A).
- I_{Ga} , I_{Gb} and I_{Gc} : RMS current at the PCC (A).
- i_{INVa} , i_{INVb} and i_{INVc} : Instantaneous inverter current(A).
- $e_{\alpha\beta}$: Alpha/beta instantaneous current tracking error at the PCC(A).
- THE_{med} : Maximum allowed average instantaneous alpha/beta current tracking error at the PCC(A).
- THE_{max} : Maximum allowed maximum instantaneous alpha/beta current tracking error at the PCC(A).

3 Detailed Report

3.1 THD of grid side current. Average value of the 3 phases. (Max = 2.0%)

Table 2 - THD(%) under Type A fault

k	0.1	0.55	1.0
-90.0°	27.39	69.17	68.35
0.0°	77.27	75.55	76.27
90.0°	62.41	75.64	77.32

3 Detailed Report

3.2 Mean current tracking error. Norm2 of alpha beta current vector.
(Max = 3.5A)

Table 3 - $E_{N2}(A)$ under Type A fault

k	0.1	0.55	1.0
-90.0°	5.43	1.3	1.3
0.0°	1.35	1.27	1.32
90.0°	1.3	1.27	1.36

3 Detailed Report

3.3 Maximum current tracking error. Max Norm2 of alpha beta current vector. (Max = 8.0A)

Table 4 - E_{N2max} (A) under Type A fault

k	0.1	0.55	1.0
-90.0°	7.48	1.78	1.83
0.0°	1.91	1.72	1.84
90.0°	1.83	1.72	1.85

3 Detailed Report

3.4 Settling time of the current tracking error. (Max = 10 ms)

Table 5 - t_{set} (ms) under Type A fault

k	0.1	0.55	1.0
-90.0°	0.94	1.41	1.62
0.0°	0.96	0.0	0.0
90.0°	0.94	1.16	1.66

3 Detailed Report

3.5 Maximum RMS grid current of the three phases. (Max = 250 A)

Table 6 - $I_{gM}(A)$ under Type A fault

k	0.1	0.55	1.0
-90.0°	195.88	238.09	226.99
0.0°	231.64	219.04	212.11
90.0°	240.86	239.3	224.99

3 Detailed Report

3.6 Maximum converter current of the three phases. (Max = 325 A)

Table 7 - i_{cM} (A) under Type A fault

k	0.1	0.55	1.0
-90.0°	233.1	250.41	247.84
0.0°	243.97	229.98	219.5
90.0°	252.22	245.35	243.43

3 Detailed Report

3.7 Harmonic test.

The goal of this test is to demonstrate the capability of the current controller under test to reject disturbances resulted from grid background voltage harmonics. The tests are carried out with strong grid and with the direct current reference equal to the nominal value.

3.8 Steady State voltage at the PCC for diferent current references (weak grid operation)

This test has been carried out with volt-var functionality discribed in Rule 21 with weak grid. In addition a lead-lag compensator has been added in the reactive current reference and the voltage at the PCC is measured using a moving average filter.

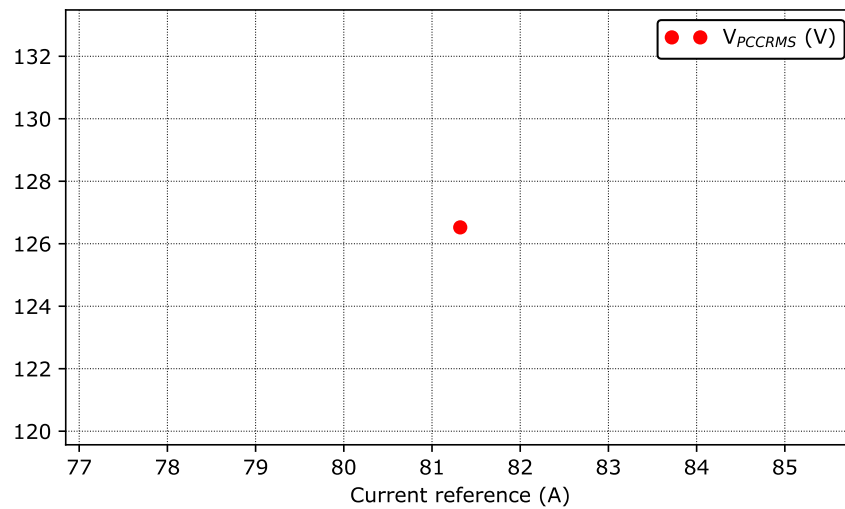
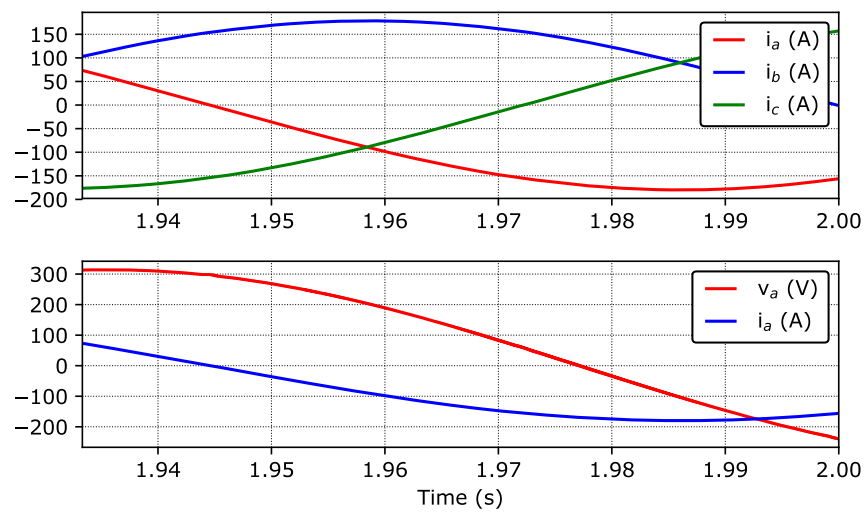


Figure 1 - Voltage at the point of commom coupling as function of i_{d_ref}

3 Detailed Report



3 Detailed Report

3.9 Results for tests that do not comply

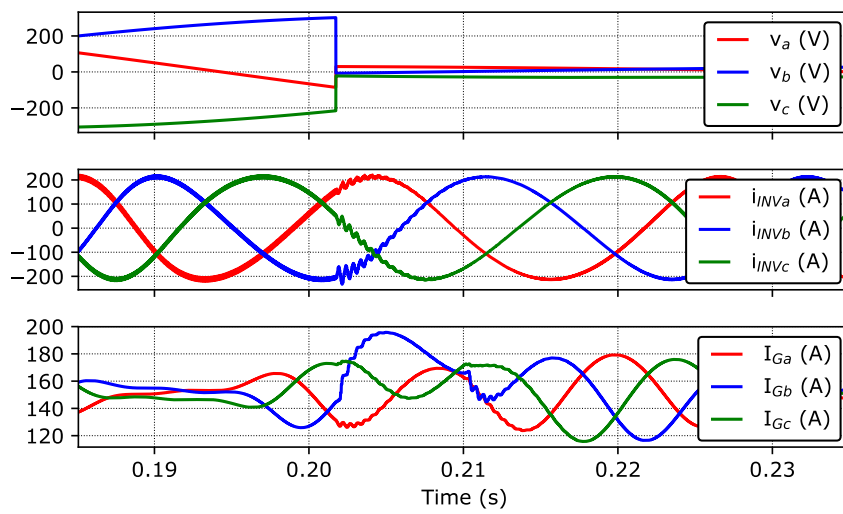


Figure 3 - Transient response for Type A fault $k = 0.1 < -90^\circ$

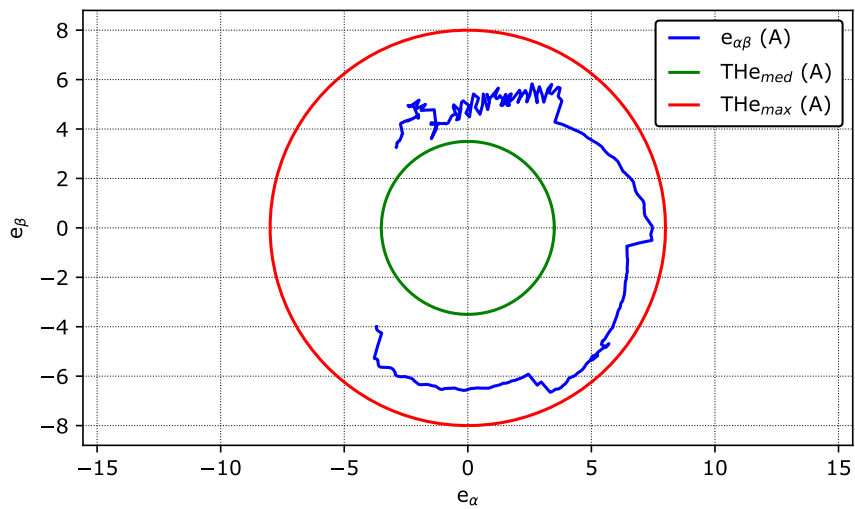


Figure 4 - Steady state current tracking error for Type A fault $k = 0.1 < -90^\circ$

3 Detailed Report

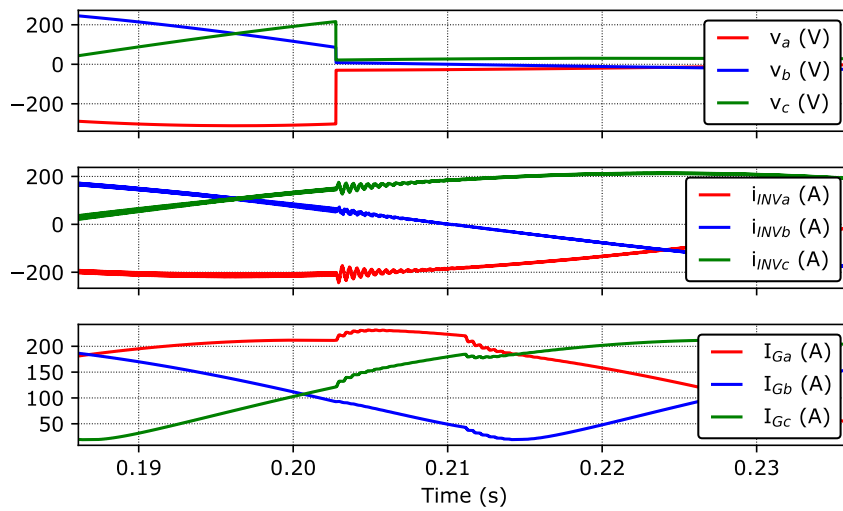


Figure 5 - Transient response for Type A fault $k = 0.1 < 0^\circ$

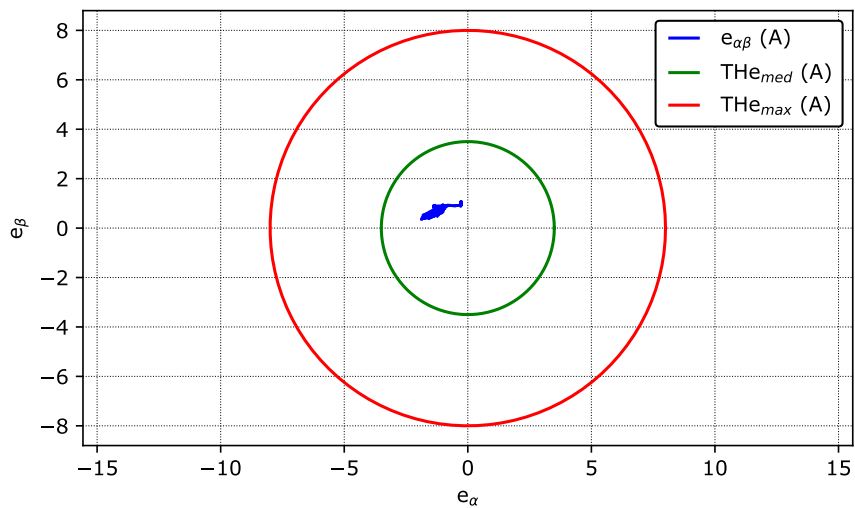


Figure 6 - Steady state current tracking error for Type A fault $k = 0.1 < 0^\circ$

3 Detailed Report

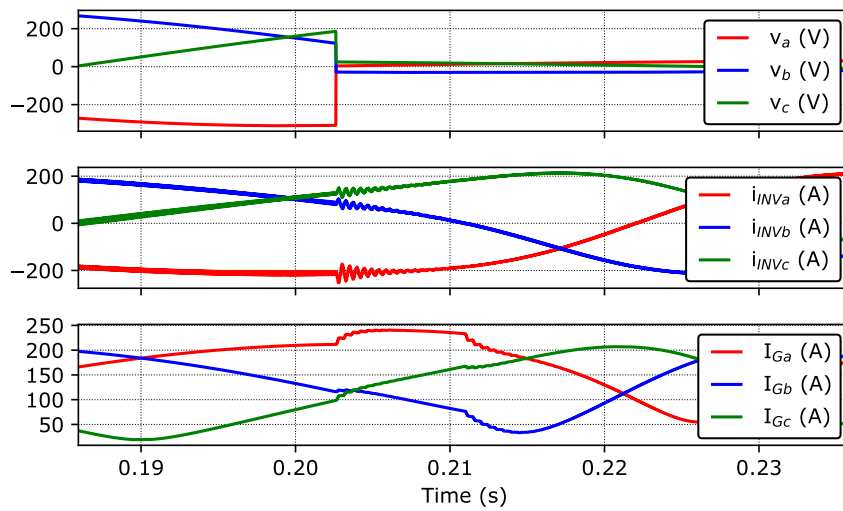


Figure 7 - Transient response for Type A fault $k = 0.1 < 90^\circ$

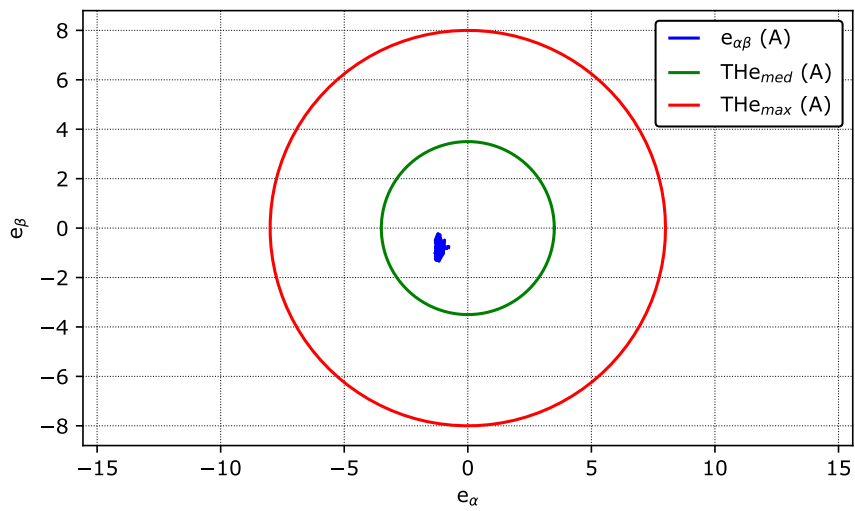


Figure 8 - Steady state current tracking error for Type A fault $k = 0.1 < 90^\circ$

3 Detailed Report

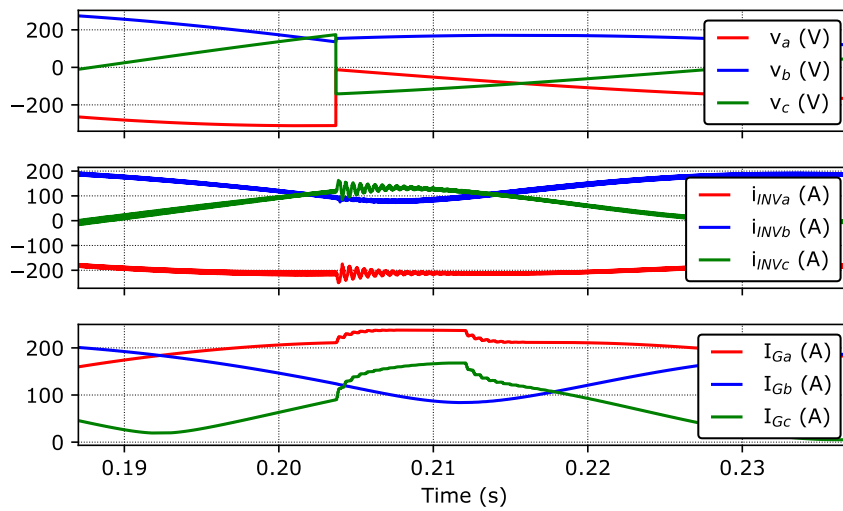


Figure 9 - Transient response for Type A fault $k = 0.6 < -90^\circ$

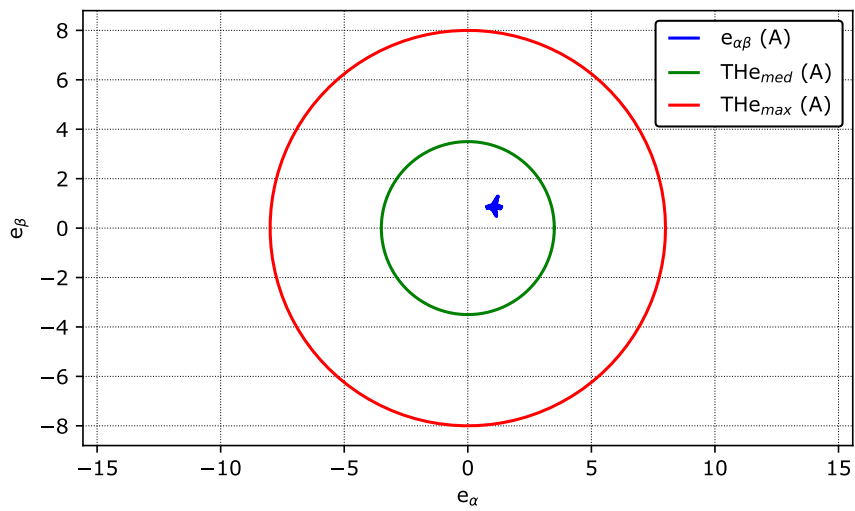


Figure 10 - Steady state current tracking error for Type A fault $k = 0.6 < -90^\circ$

3 Detailed Report

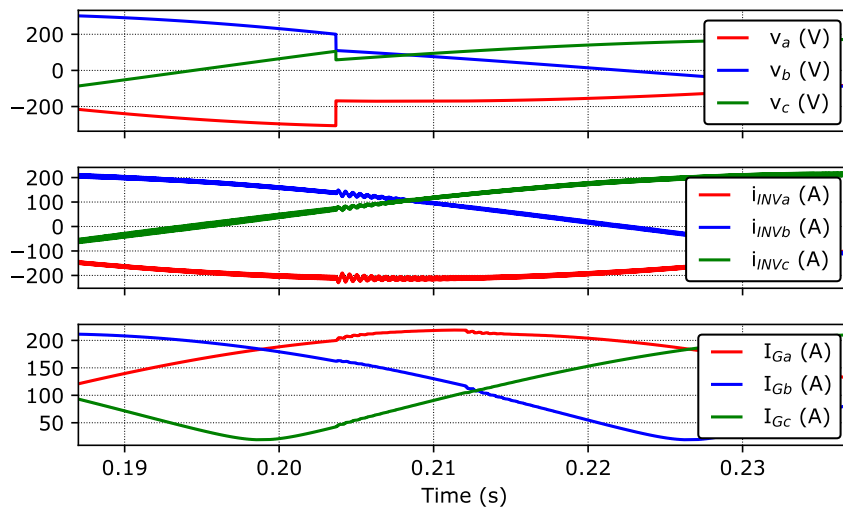


Figure 11 - Transient response for Type A fault $k = 0.6 < 0^\circ$

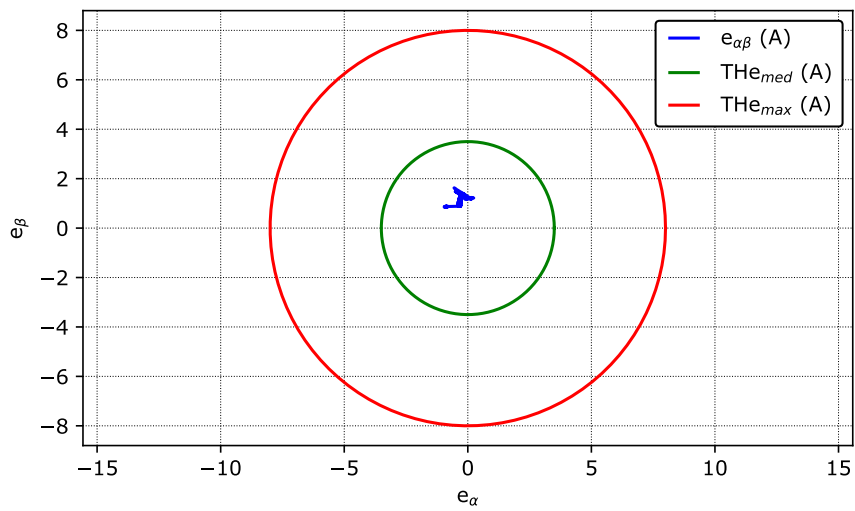


Figure 12 - Steady state current tracking error for Type A fault $k = 0.6 < 0^\circ$

3 Detailed Report

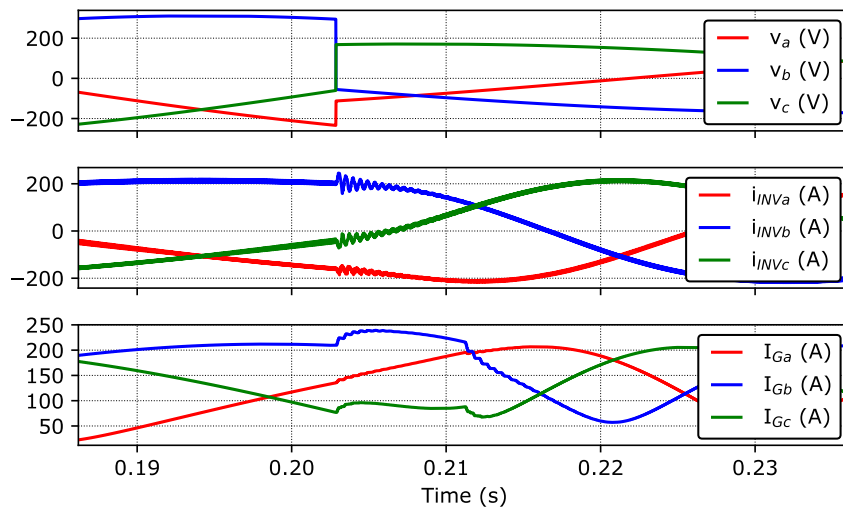


Figure 13 - Transient response for Type A fault $k = 0.6 < 90^\circ$

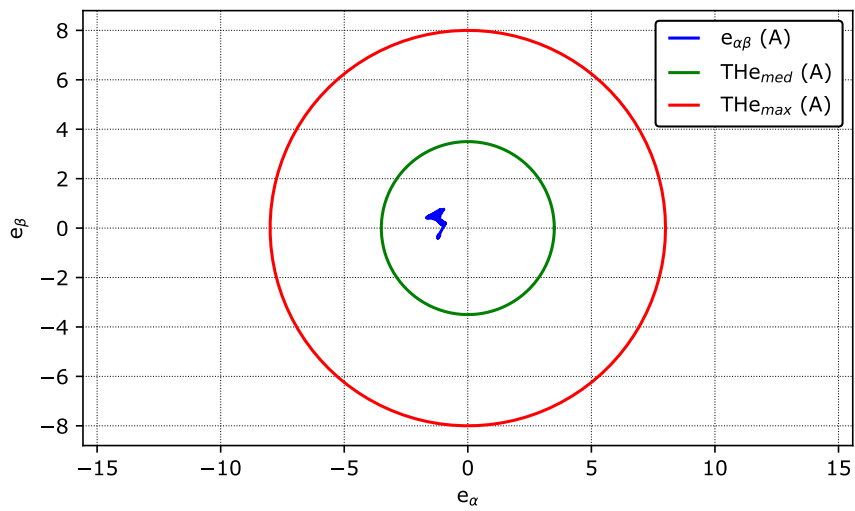


Figure 14 - Steady state current tracking error for Type A fault $k = 0.6 < 90^\circ$

3 Detailed Report

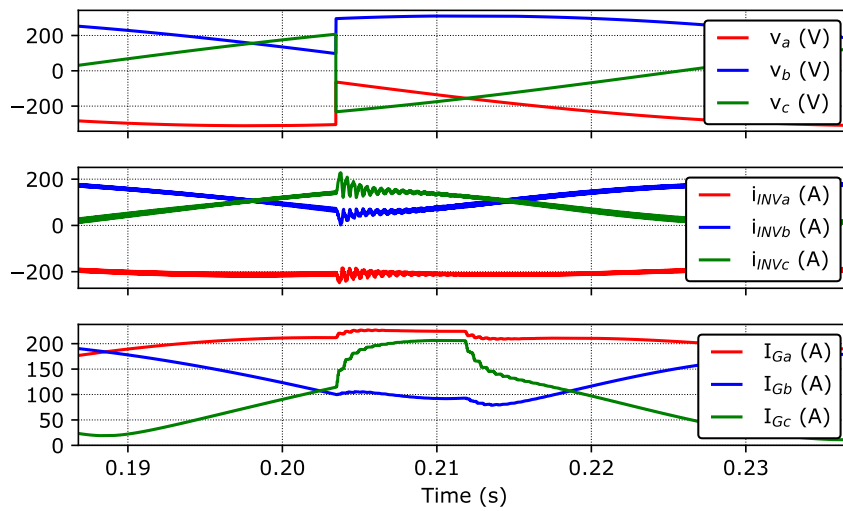


Figure 15 - Transient response for Type A fault $k = 1.0 < -90^\circ$

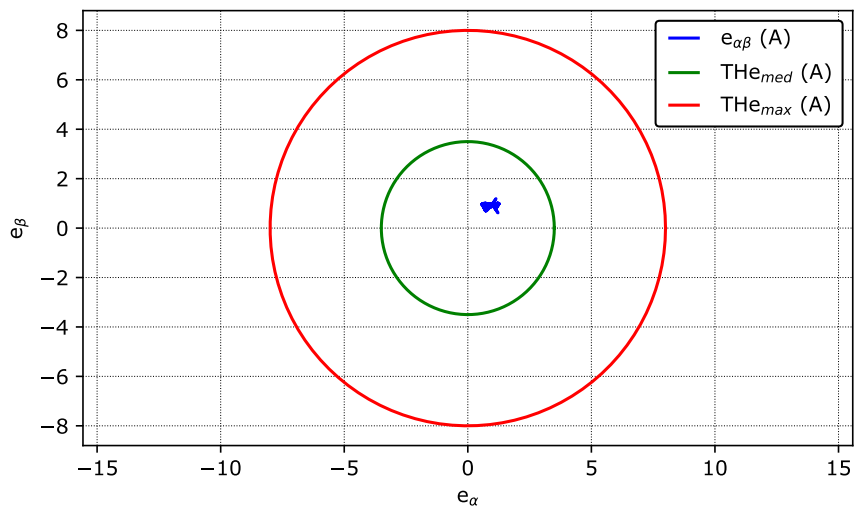


Figure 16 - Steady state current tracking error for Type A fault $k = 1.0 < -90^\circ$

3 Detailed Report

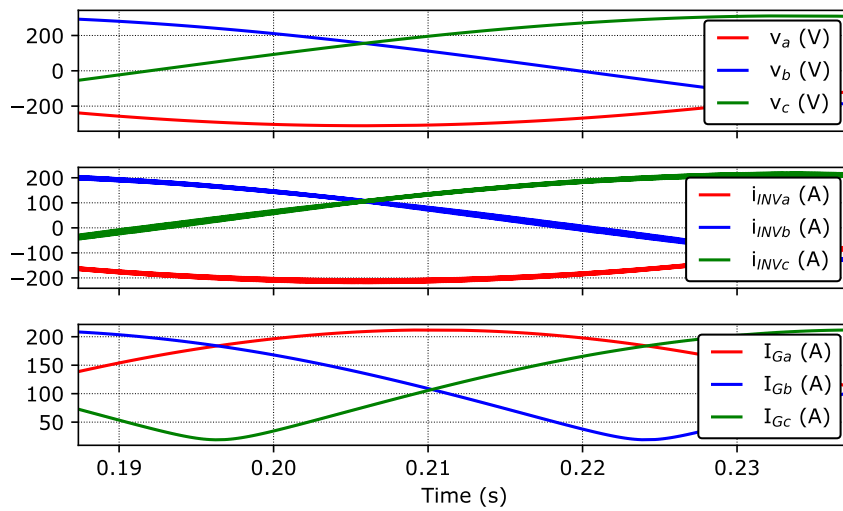


Figure 17 - Transient response for Type A fault $k = 1.0 \angle 0^\circ$

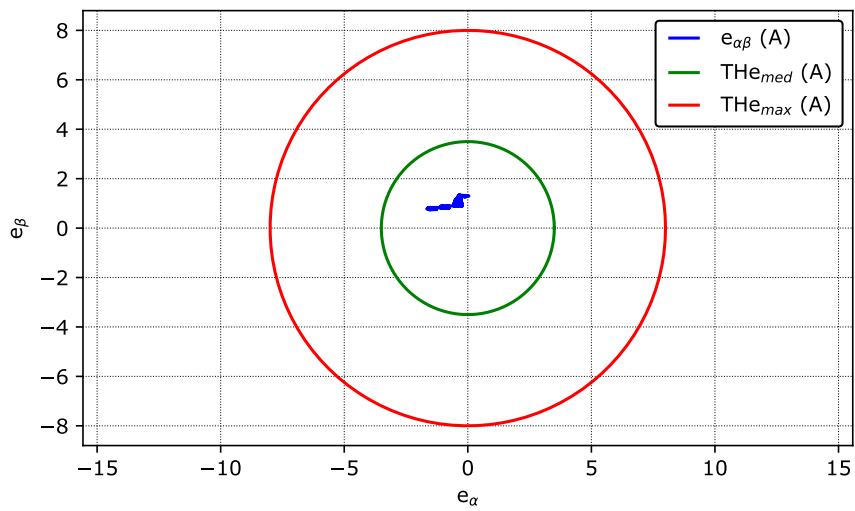


Figure 18 - Steady state current tracking error for Type A fault $k = 1.0 \angle 0^\circ$

3 Detailed Report

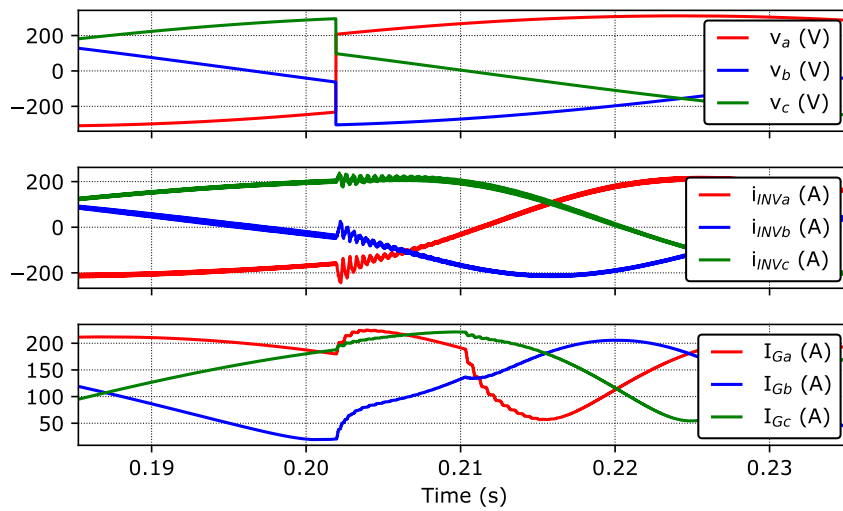


Figure 19 - Transient response for Type A fault $k = 1.0 < 90^\circ$

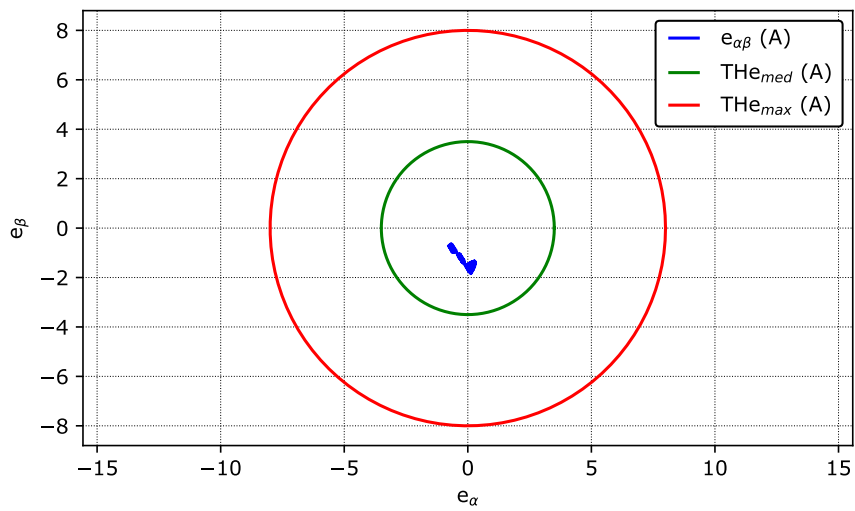


Figure 20 - Steady state current tracking error for Type A fault $k = 1.0 < 90^\circ$

Credits

Acknowledgement: This project is the result of an agreement between Fatec / UFSM and Typhoon HIL, Inc.,

Developed by:

Prof. Humberto Pinheiro, Ph.D. (humberto.ctlab.ufsm.br@gmail.com)

Prof. Rodrigo Padilha Vieira, Dr.Eng. (rodrigovie@gmail.com)

Prof. Jorge Rodrigo Massing, Dr.Eng. (jorgemassing@gmail.com)

Prof. Fernanda de Morais Carnielutti, Dr.Eng. (fernanda.carnielutti@gmail.com)

Henrique de Souza Magnago, Eng. (hsmagnago@gmail.com)

Andre Miguel Nicolini, M.Eng. (andrenicolinee@gmail.com)

Herique Jank, M.Eng. (hiquejank@gmail.com)

Alexandre Trevisan Pereira, M.Eng. (alexandretpereira@gmail.com)

7 RELATÓRIO SINGLE RESONANT

Test report

Test Name: Current control loop performance test

Date: 04.05.2019

Time: 21:27

Description

This test set evaluates the performance of grid tied inverter current controllers. The grid fault and harmonic tests have been carried out with strong grid, while the stability test has been carried out with weak grid and volt-var support.



1 Test summary

- Test started at: 21h:27m, April 5, 2019
- Test finished at: 21h:29m, April 5, 2019
- File: C:\Users\Beffart\Desktop\Testes\04 -Test Driven Design\single resonant Target files\single resonant.cpd

1.1 Fault tests summary

- Maximum settling time compared to post fault simulation time interval: 0.72% @ Type A fault ($k = 1.0 < 90^\circ$)
- Number of faults simulated: 9

Table 1 - Report summary

	Steady State			Transient		
	THD(%)	$E_{N2}(A)$	$E_{N2max}(A)$	$t_{set}(ms)$	$I_{gM}(A)$	$i_{cM}(A)$
Type A fault	OK	Failed	Failed	OK	OK	OK

Legend:

- THD(%) - THD of grid side current. Average value of the 3 phases. (Max = 2.0%)
- $E_{N2}(A)$ - Mean current tracking error. Norm2 of alpha beta current vector. (Max = 3.5A)
- $E_{N2max}(A)$ - Maximum current tracking error. Max Norm2 of alpha beta current vector. (Max = 8.0A)
- $t_{set}(ms)$ - Settling time of the current tracking error. (Max = 10 ms)
- $I_{gM}(A)$ - Maximum RMS grid current of the three phases. (Max = 250 A)
- $i_{cM}(A)$ - Maximum converter current of the three phases. (Max = 325 A)

1.2 Harmonic test summary

- Number of harmonic conditions simulated: 0

1.3 Current reference steps summary

- Number of current reference steps simulated: 4
- Instability has not been detected. The inverter output currents did not exceed the threshold THDi for any simulated case.

2 Test configuration

2.1 Test parameters

- Maximum acceptable current THD: 2.0%
- Current error deviation from the steady-state used to measure the settling time: 21.4A
- Maximum acceptable current error settling time: 10 ms
- Maximum acceptable grid RMS current overshoot: 250 A
- Maximum acceptable converter current overshoot: 325 A
- Maximum acceptable mean current error: 3.5 A
- Maximum acceptable maximum current error: 8.0 A
- THDi threshold for instability detection: 8.0%
- Simulation time in nominal condition before fault: 0.2 s
- Total simulation time for each fault: 0.5 s
- Simulation time for each current step: 2.0 s
- Simulation time for each harmonic test: 0.4 s
- Harmonic amplitude multiplier: 5th:1, 7th:0.9, 11th:0.7 and 13th:0.5.
- Harmonics threshold: 3th:4%, 5th:4%, 7th:4%, 9th:4%, 11th:2%, 13th:2%, 15th:2%, 17th:1.5%, 19th:1.5%, 21th:1.5%, 23th:0.6%, 25th:0.6%, 27th:0.6%, 29th:0.6% and 31th:0.6%.

2.2 Graphs variables:

- V_a , V_b and V_c : Voltage at the PCC (V).
- i_a , i_b and i_c : Instantaneous current at the PCC(A).
- I_{Ga} , I_{Gb} and I_{Gc} : RMS current at the PCC (A).
- i_{INVa} , i_{INVb} and i_{INVc} : Instantaneous inverter current(A).
- $e_{\alpha\beta}$: Alpha/beta instantaneous current tracking error at the PCC(A).
- THE_{med} : Maximum allowed average instantaneous alpha/beta current tracking error at the PCC(A).
- THE_{max} : Maximum allowed maximum instantaneous alpha/beta current tracking error at the PCC(A).

3 Detailed Report

3.1 THD of grid side current. Average value of the 3 phases. (Max = 2.0%)

Table 2 - THD(%) under Type A fault

k	0.1	0.55	1.0
-90.0°	0.27	0.21	0.16
0.0°	0.29	0.22	0.16
90.0°	0.26	0.22	0.16

3 Detailed Report

3.2 Mean current tracking error. Norm2 of alpha beta current vector.
(Max = 3.5A)

Table 3 - $E_{N2}(A)$ under Type A fault

k	0.1	0.55	1.0
-90.0°	8.21	8.72	9.26
0.0°	8.2	8.73	9.26
90.0°	8.21	8.72	9.26

3 Detailed Report

3.3 Maximum current tracking error. Max Norm2 of alpha beta current vector. (Max = 8.0A)

Table 4 - E_{N2max} (A) under Type A fault

k	0.1	0.55	1.0
-90.0°	8.76	9.27	9.93
0.0°	8.74	9.28	9.92
90.0°	8.73	9.27	9.92

3 Detailed Report

3.4 Settling time of the current tracking error. (Max = 10 ms)

Table 5 - t_{set} (ms) under Type A fault

k	0.1	0.55	1.0
-90.0°	0.68	0.91	1.36
0.0°	0.46	0.0	0.0
90.0°	0.69	1.13	2.15

3 Detailed Report

3.5 Maximum RMS grid current of the three phases. (Max = 250 A)

Table 6 - $I_{gM}(A)$ under Type A fault

k	0.1	0.55	1.0
-90.0°	188.18	187.41	201.91
0.0°	176.45	171.22	173.98
90.0°	184.68	194.89	216.97

3 Detailed Report

3.6 Maximum converter current of the three phases. (Max = 325 A)

Table 7 - i_{cM} (A) under Type A fault

k	0.1	0.55	1.0
-90.0°	254.12	253.93	267.69
0.0°	232.47	231.05	219.25
90.0°	235.1	249.52	273.56

3 Detailed Report

3.7 Harmonic test.

The goal of this test is to demonstrate the capability of the current controller under test to reject disturbances resulted from grid background voltage harmonics. The tests are carried out with strong grid and with the direct current reference equal to the nominal value.

3.8 Steady State voltage at the PCC for diferent current references (weak grid operation)

This test has been carried out with volt-var functionality discribed in Rule 21 with weak grid. In addition a lead-lag compensator has been added in the reactive current reference and the voltage at the PCC is measured using a moving average filter.

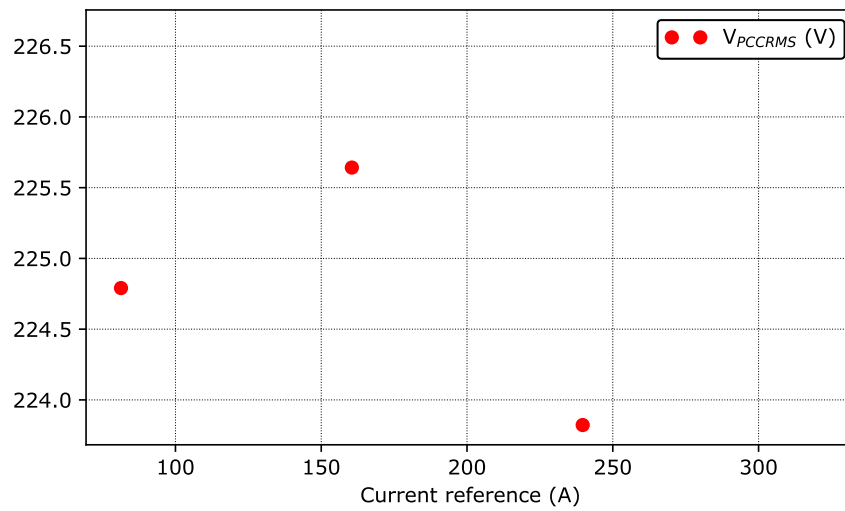


Figure 1 - Voltage at the point of commom coupling as function of i_{d_ref}

3 Detailed Report

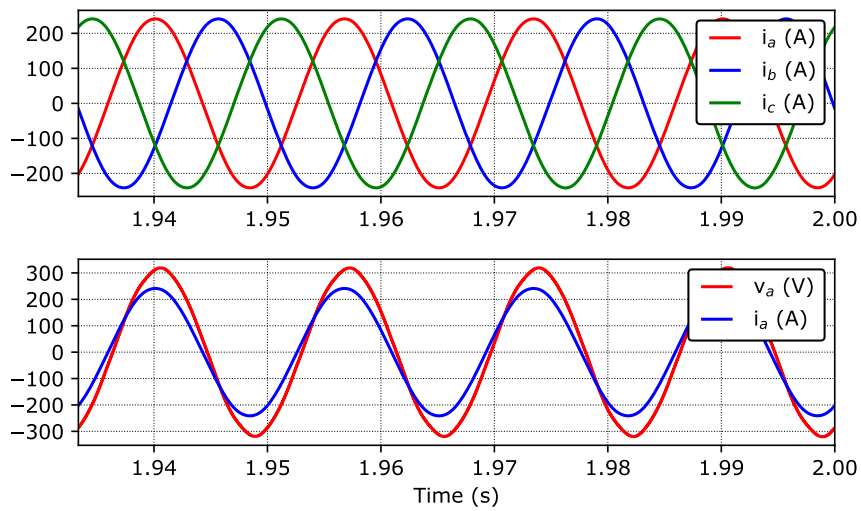


Figure 2 - Steady state waveforms for $i_{d_ref} = 239.68$, $THD_i = 0.36\%$

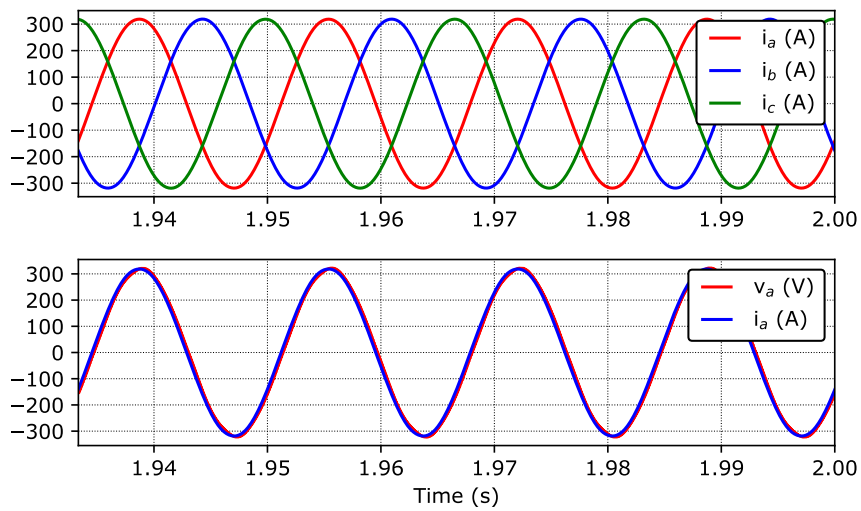


Figure 3 - Steady state waveforms for $i_{d_ref} = 321.0$, $THD_i = 0.23\%$

3 Detailed Report

3.9 Results for tests that do not comply

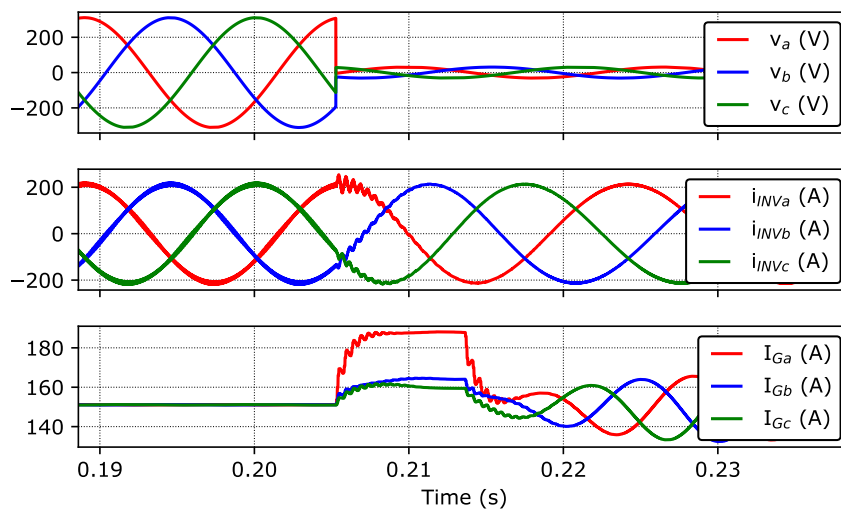


Figure 4 - Transient response for Type A fault $k = 0.1 < -90^\circ$

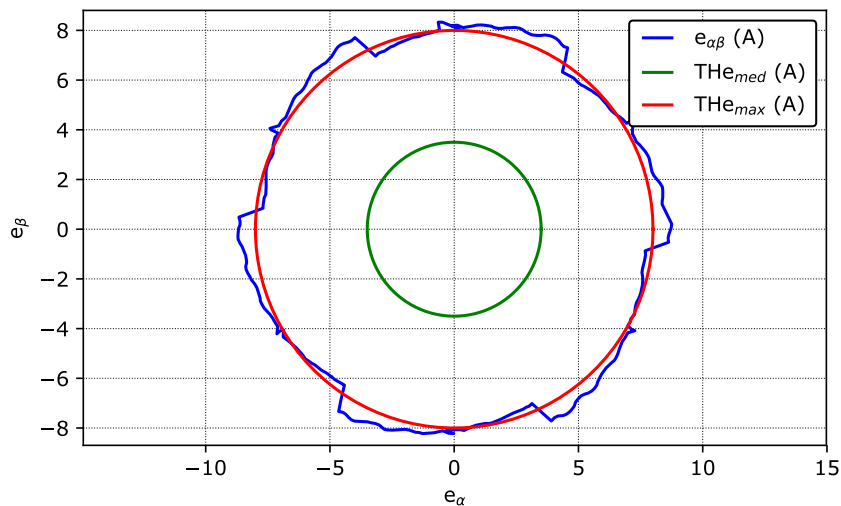


Figure 5 - Steady state current tracking error for Type A fault $k = 0.1 < -90^\circ$

3 Detailed Report

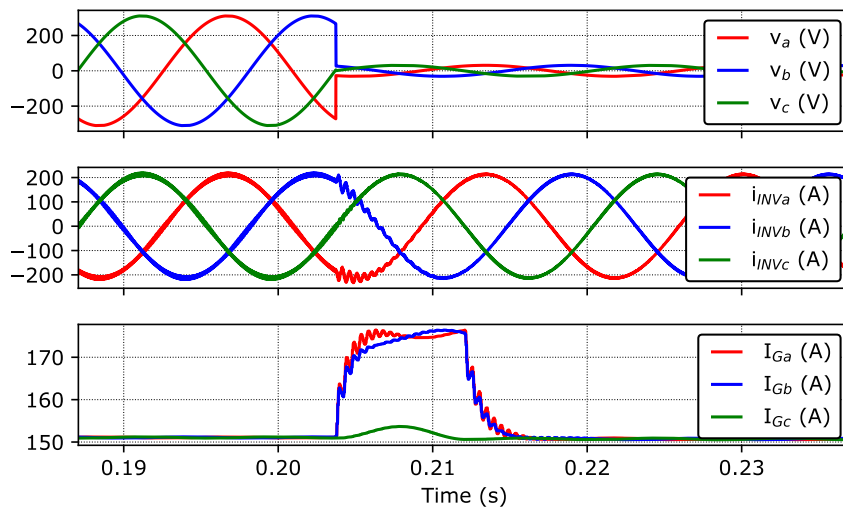


Figure 6 - Transient response for Type A fault $k = 0.1 < 0^\circ$

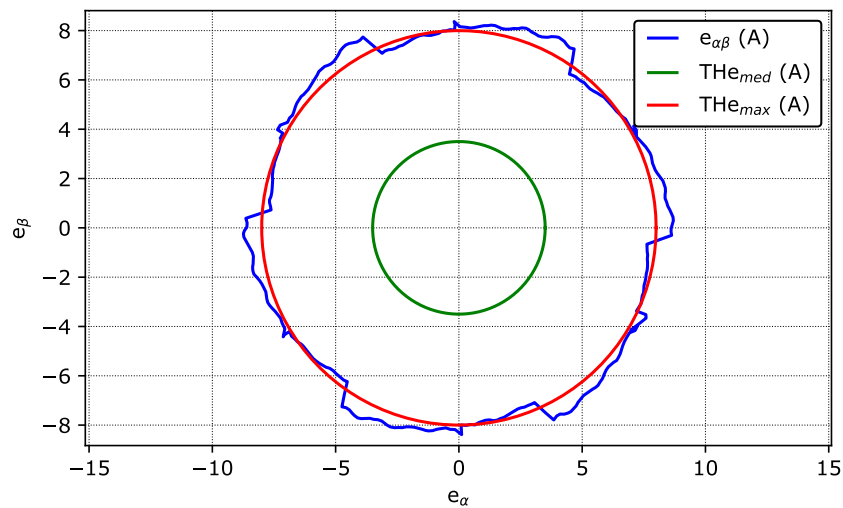


Figure 7 - Steady state current tracking error for Type A fault $k = 0.1 < 0^\circ$

3 Detailed Report

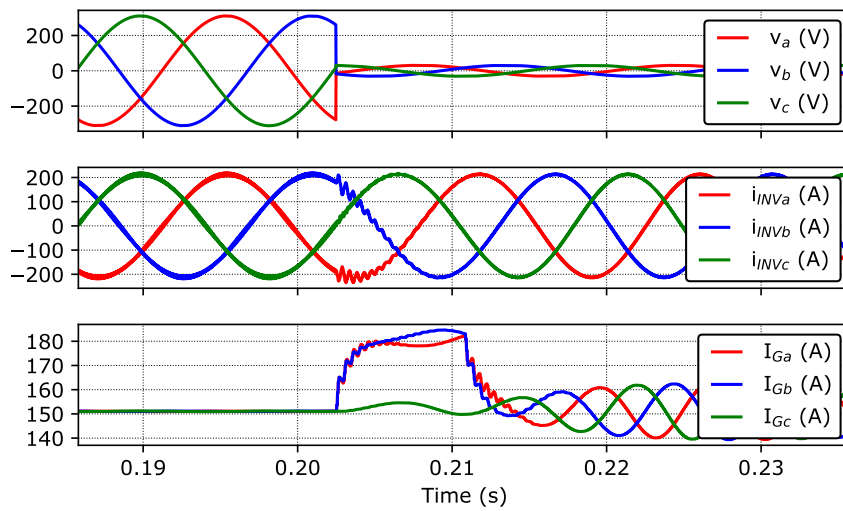


Figure 8 - Transient response for Type A fault $k = 0.1 < 90^\circ$

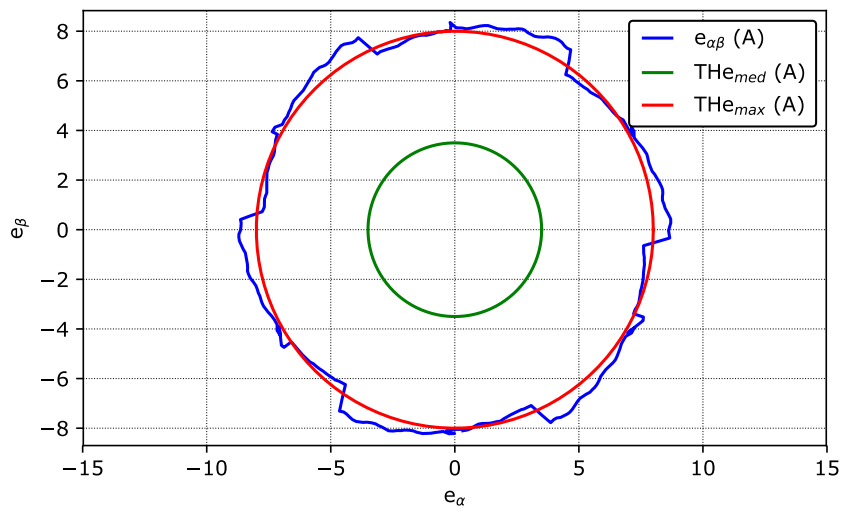


Figure 9 - Steady state current tracking error for Type A fault $k = 0.1 < 90^\circ$

3 Detailed Report

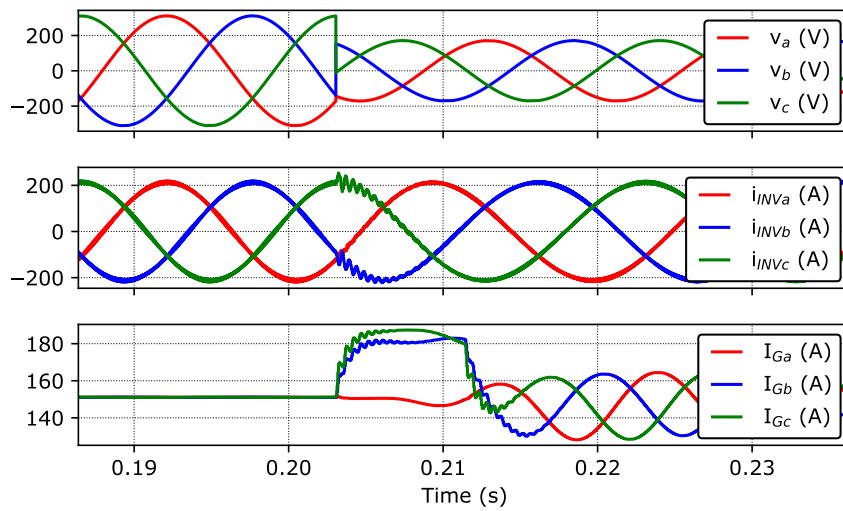


Figure 10 - Transient response for Type A fault $k = 0.6 < -90^\circ$

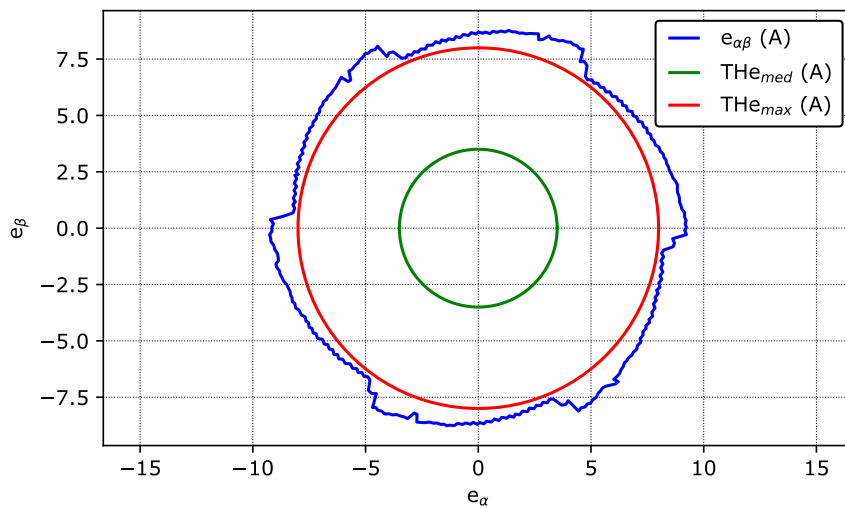


Figure 11 - Steady state current tracking error for Type A fault $k = 0.6 < -90^\circ$

3 Detailed Report

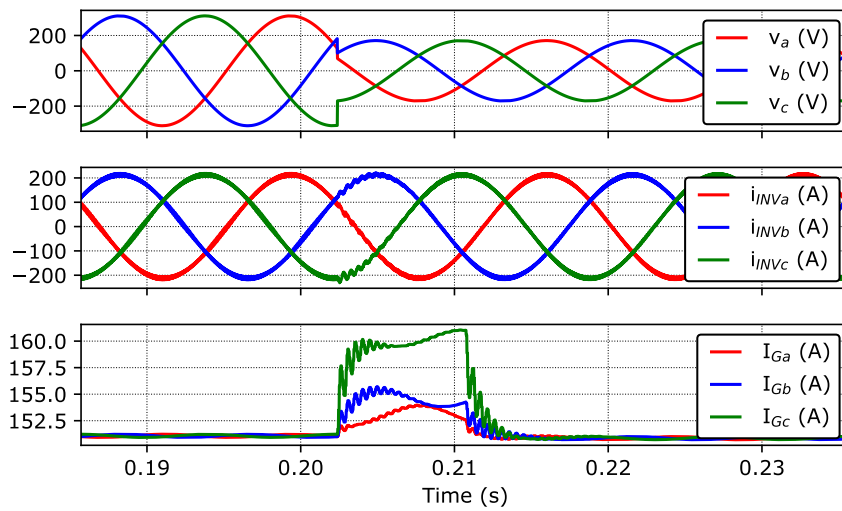


Figure 12 - Transient response for Type A fault $k = 0.6 < 0^\circ$

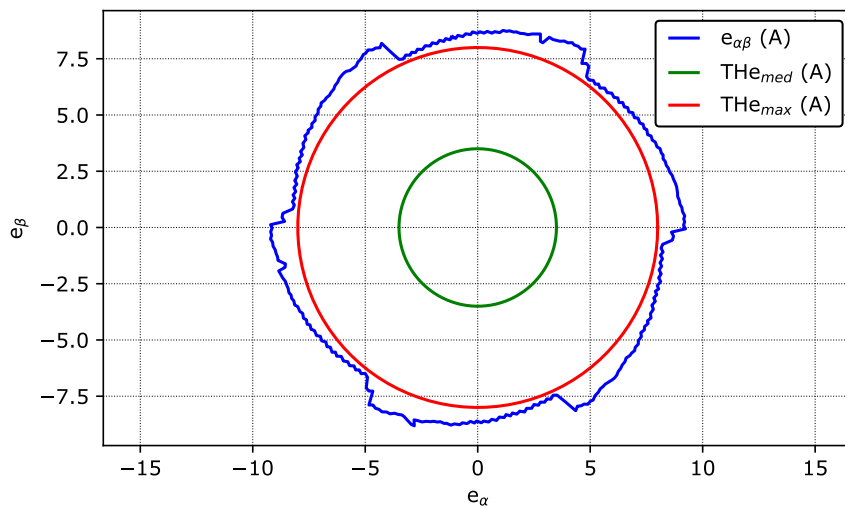


Figure 13 - Steady state current tracking error for Type A fault $k = 0.6 < 0^\circ$

3 Detailed Report

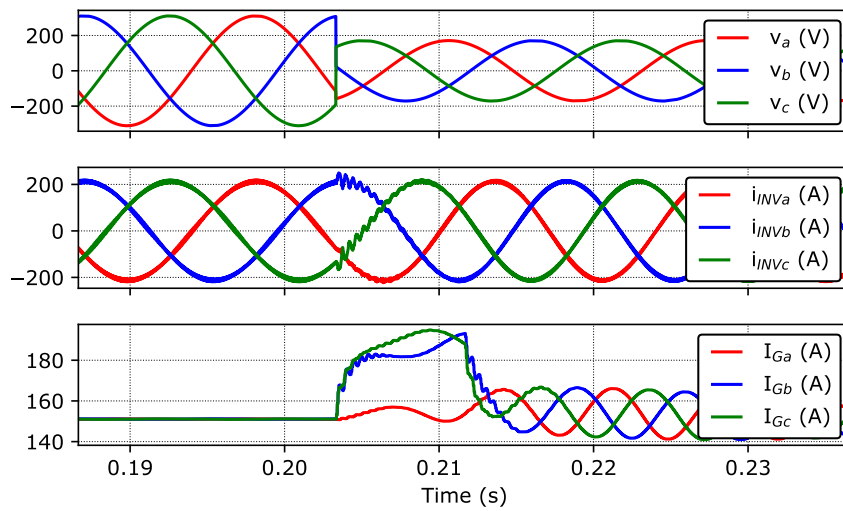


Figure 14 - Transient response for Type A fault $k = 0.6 < 90^\circ$

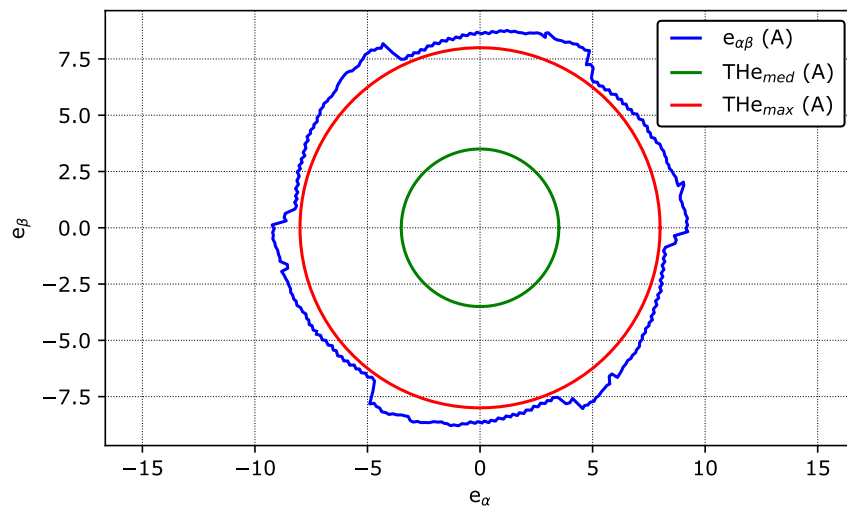


Figure 15 - Steady state current tracking error for Type A fault $k = 0.6 < 90^\circ$

3 Detailed Report

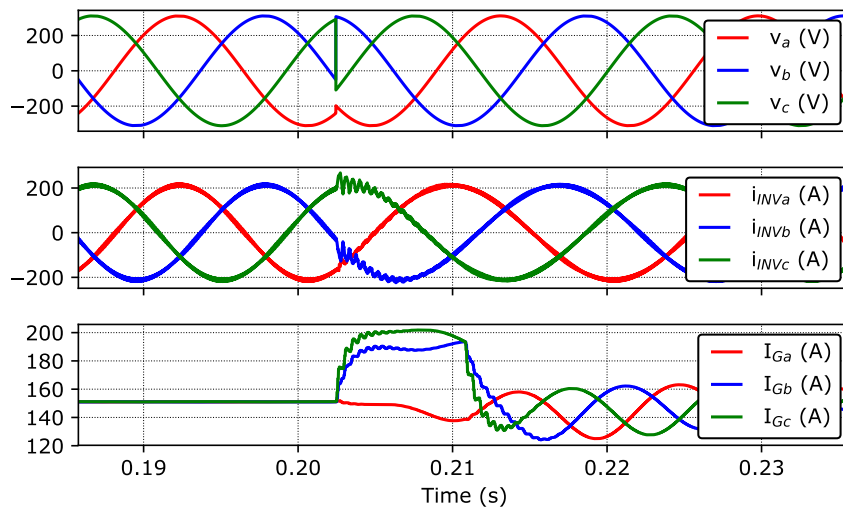


Figure 16 - Transient response for Type A fault $k = 1.0 < -90^\circ$

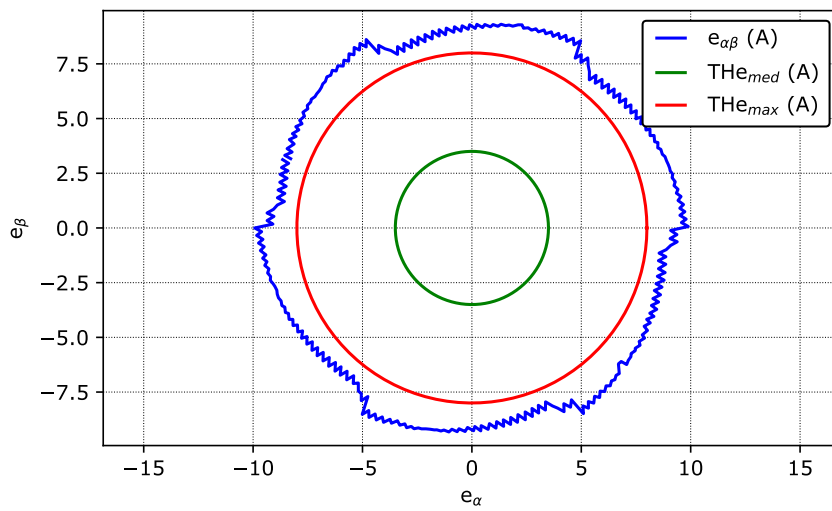


Figure 17 - Steady state current tracking error for Type A fault $k = 1.0 < -90^\circ$

3 Detailed Report

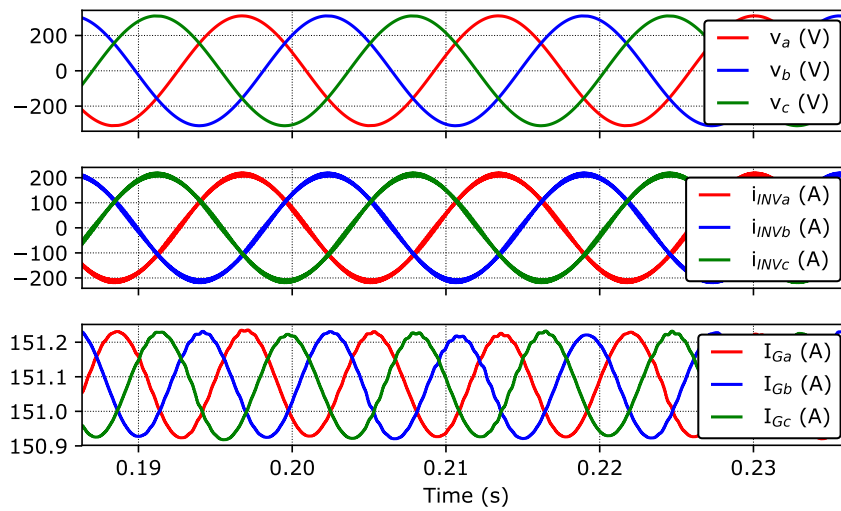


Figure 18 - Transient response for Type A fault $k = 1.0 < 0^\circ$

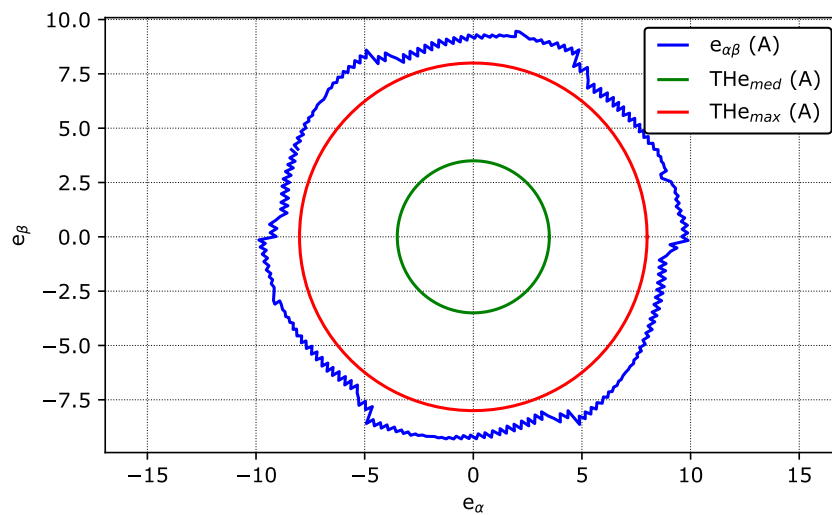


Figure 19 - Steady state current tracking error for Type A fault $k = 1.0 < 0^\circ$

3 Detailed Report

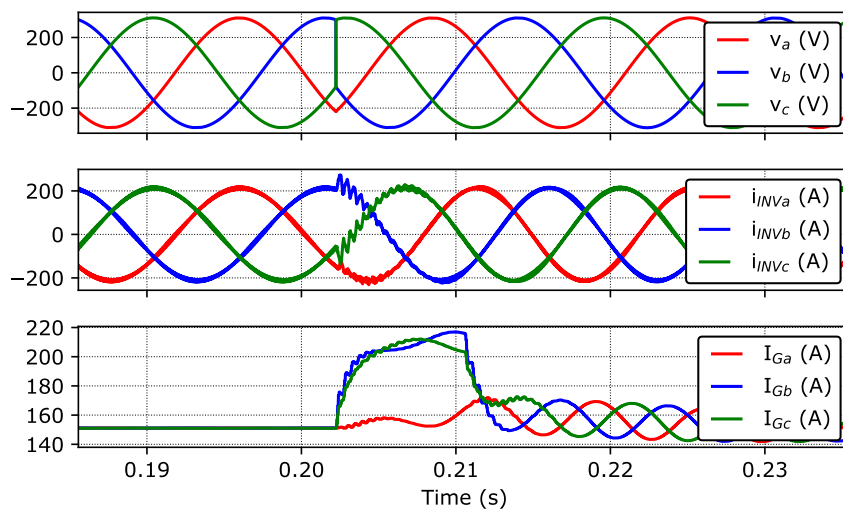


Figure 20 - Transient response for Type A fault $k = 1.0 < 90^\circ$

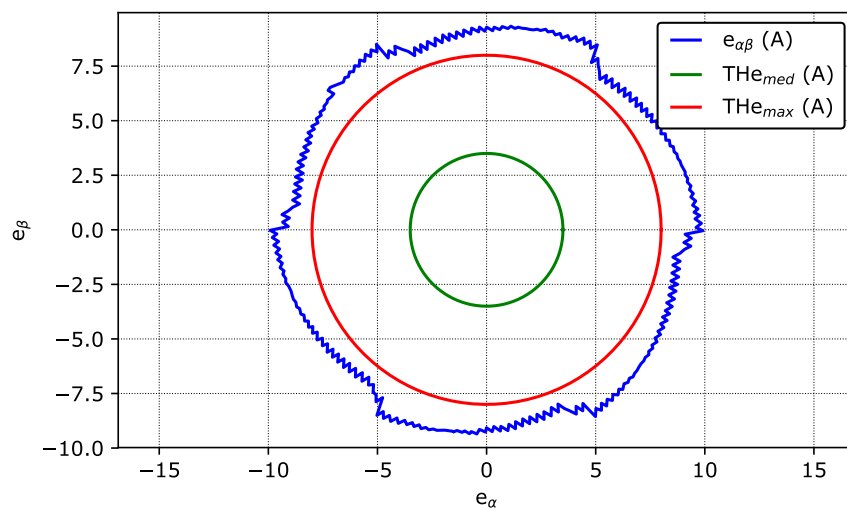


Figure 21 - Steady state current tracking error for Type A fault $k = 1.0 < 90^\circ$

Credits

Acknowledgement: This project is the result of an agreement between Fatec / UFSM and Typhoon HIL, Inc.,

Developed by:

Prof. Humberto Pinheiro, Ph.D. (humberto.ctlab.ufsm.br@gmail.com)

Prof. Rodrigo Padilha Vieira, Dr.Eng. (rodrigovie@gmail.com)

Prof. Jorge Rodrigo Massing, Dr.Eng. (jorgemassing@gmail.com)

Prof. Fernanda de Morais Carnielutti, Dr.Eng. (fernanda.carnielutti@gmail.com)

Henrique de Souza Magnago, Eng. (hsmagnago@gmail.com)

Andre Miguel Nicolini, M.Eng. (andrenicolinee@gmail.com)

Herique Jank, M.Eng. (hiquejank@gmail.com)

Alexandre Trevisan Pereira, M.Eng. (alexandretpereira@gmail.com)

8 RELATÓRIO RHLQC

Test report

Test Name: Current control loop performance test

Date: 04.05.2019

Time: 21:21

Description

This test set evaluates the performance of grid tied inverter current controllers. The grid fault and harmonic tests have been carried out with strong grid, while the stability test has been carried out with weak grid and volt-var support.



Current control loop performance test

Test report

1 Test summary

- Test started at: 21h:21m, April 5, 2019
- Test finished at: 21h:23m, April 5, 2019
- File: C:\Users\Beffart\Desktop\Testes\04 -Test Driven Design\RHLQC Target files\RHLQC.cpd

1.1 Fault tests summary

- Maximum settling time compared to post fault simulation time interval: 0.61% @ Type A fault ($k = 1.0 < -90^\circ$)
- Number of faults simulated: 9

Table 1 - Report summary

	Steady State			Transient		
	THD(%)	$E_{N2}(A)$	$E_{N2max}(A)$	$t_{set}(ms)$	$I_{gM}(A)$	$i_{cM}(A)$
Type A fault	Failed	OK	OK	OK	OK	OK

Legend:

- THD(%) - THD of grid side current. Average value of the 3 phases. (Max = 2.0%)
- $E_{N2}(A)$ - Mean current tracking error. Norm2 of alpha beta current vector. (Max = 3.5A)
- $E_{N2max}(A)$ - Maximum current tracking error. Max Norm2 of alpha beta current vector. (Max = 8.0A)
- $t_{set}(ms)$ - Settling time of the current tracking error. (Max = 10 ms)
- $I_{gM}(A)$ - Maximum RMS grid current of the three phases. (Max = 250 A)
- $i_{cM}(A)$ - Maximum converter current of the three phases. (Max = 325 A)

1.2 Harmonic test summary

- Number of harmonic conditions simulated: 0

1.3 Current reference steps summary

- Number of current reference steps simulated: 1
- Possible instability has been detected. The inverter output currents exceed the threshold THDi for $i_{d_ref} = 81.3 A$, THD = 78.31%

2 Test configuration

2.1 Test parameters

- Maximum acceptable current THD: 2.0%
- Current error deviation from the steady-state used to measure the settling time: 21.4A
- Maximum acceptable current error settling time: 10 ms
- Maximum acceptable grid RMS current overshoot: 250 A
- Maximum acceptable converter current overshoot: 325 A
- Maximum acceptable mean current error: 3.5 A
- Maximum acceptable maximum current error: 8.0 A
- THDi threshold for instability detection: 8.0%
- Simulation time in nominal condition before fault: 0.2 s
- Total simulation time for each fault: 0.5 s
- Simulation time for each current step: 2.0 s
- Simulation time for each harmonic test: 0.4 s
- Harmonic amplitude multiplier: 5th:1, 7th:0.9, 11th:0.7 and 13th:0.5.
- Harmonics threshold: 3th:4%, 5th:4%, 7th:4%, 9th:4%, 11th:2%, 13th:2%, 15th:2%, 17th:1.5%, 19th:1.5%, 21th:1.5%, 23th:0.6%, 25th:0.6%, 27th:0.6%, 29th:0.6% and 31th:0.6%.

2.2 Graphs variables:

- V_a , V_b and V_c : Voltage at the PCC (V).
- i_a , i_b and i_c : Instantaneous current at the PCC(A).
- I_{Ga} , I_{Gb} and I_{Gc} : RMS current at the PCC (A).
- i_{INVa} , i_{INVb} and i_{INVc} : Instantaneous inverter current(A).
- $e_{\alpha\beta}$: Alpha/beta instantaneous current tracking error at the PCC(A).
- THE_{med} : Maximum allowed average instantaneous alpha/beta current tracking error at the PCC(A).
- THE_{max} : Maximum allowed maximum instantaneous alpha/beta current tracking error at the PCC(A).

3 Detailed Report

3.1 THD of grid side current. Average value of the 3 phases. (Max = 2.0%)

Table 2 - THD(%) under Type A fault

k	0.1	0.55	1.0
-90.0°	29.04	72.94	73.63
0.0°	72.9	78.17	74.84
90.0°	73.96	78.09	77.28

3 Detailed Report

3.2 Mean current tracking error. Norm2 of alpha beta current vector.
(Max = 3.5A)

Table 3 - $E_{N2}(A)$ under Type A fault

k	0.1	0.55	1.0
-90.0°	1.16	1.11	1.08
0.0°	1.16	1.11	1.08
90.0°	1.17	1.11	1.08

3 Detailed Report

3.3 Maximum current tracking error. Max Norm2 of alpha beta current vector. (Max = 8.0A)

Table 4 - E_{N2max} (A) under Type A fault

k	0.1	0.55	1.0
-90.0°	1.58	1.35	1.37
0.0°	1.4	1.39	1.34
90.0°	1.38	1.37	1.36

3 Detailed Report

3.4 Settling time of the current tracking error. (Max = 10 ms)

Table 5 - t_{set} (ms) under Type A fault

k	0.1	0.55	1.0
-90.0°	1.2	1.19	1.82
0.0°	0.95	0.23	0.0
90.0°	0.99	1.19	1.64

3 Detailed Report

3.5 Maximum RMS grid current of the three phases. (Max = 250 A)

Table 6 - $I_{gM}(A)$ under Type A fault

k	0.1	0.55	1.0
-90.0°	189.46	231.22	225.37
0.0°	226.42	217.32	212.0
90.0°	231.43	220.36	222.45

3 Detailed Report

3.6 Maximum converter current of the three phases. (Max = 325 A)

Table 7 - i_{cM} (A) under Type A fault

k	0.1	0.55	1.0
-90.0°	233.73	268.58	262.76
0.0°	258.77	239.5	219.38
90.0°	271.96	246.76	259.54

3 Detailed Report

3.7 Harmonic test.

The goal of this test is to demonstrate the capability of the current controller under test to reject disturbances resulted from grid background voltage harmonics. The tests are carried out with strong grid and with the direct current reference equal to the nominal value.

3.8 Steady State voltage at the PCC for diferent current references (weak grid operation)

This test has been carried out with volt-var functionality discribed in Rule 21 with weak grid. In addition a lead-lag compensator has been added in the reactive current reference and the voltage at the PCC is measured using a moving average filter.

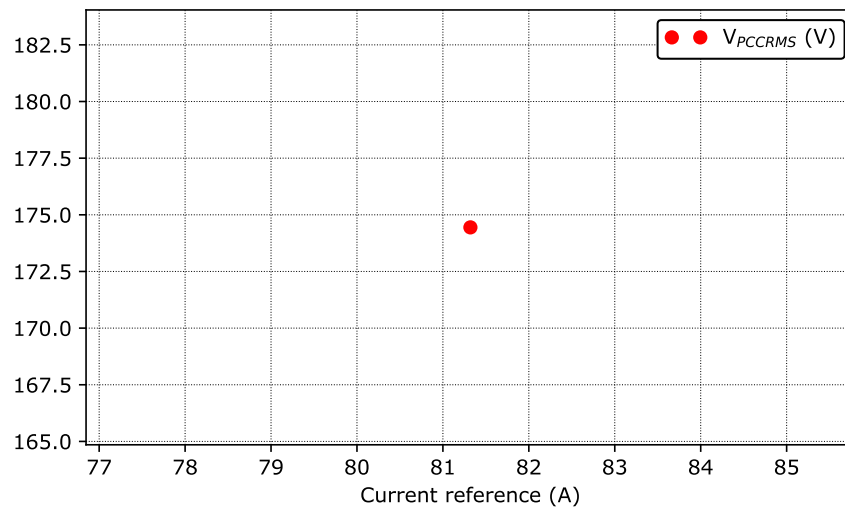


Figure 1 - Voltage at the point of commom coupling as function of i_{d_ref}

3 Detailed Report

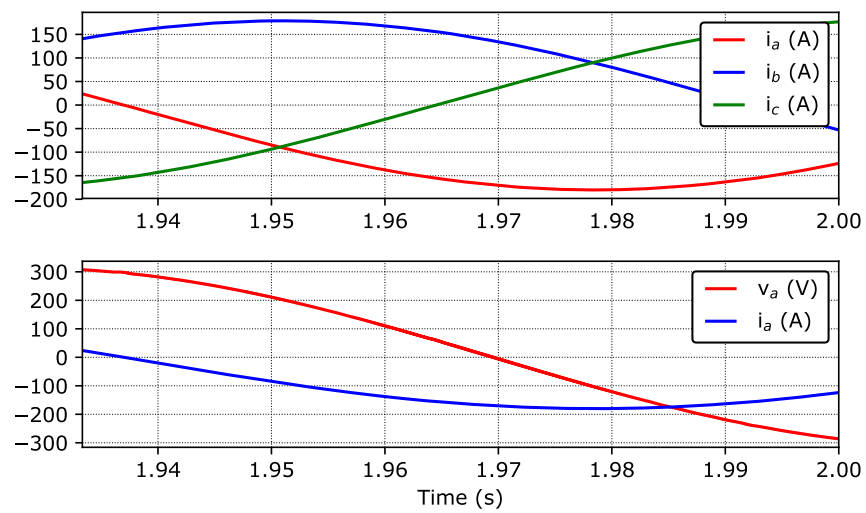


Figure 2 - Steady state waveforms for $i_{d_ref} = 81.32$, $THD_i = 78.31\%$

3 Detailed Report

3.9 Results for tests that do not comply

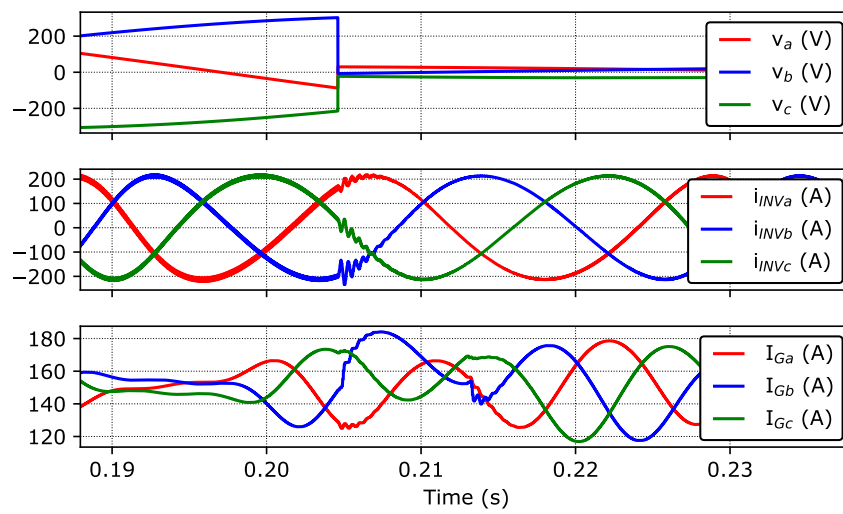


Figure 3 - Transient response for Type A fault $k = 0.1 < -90^\circ$

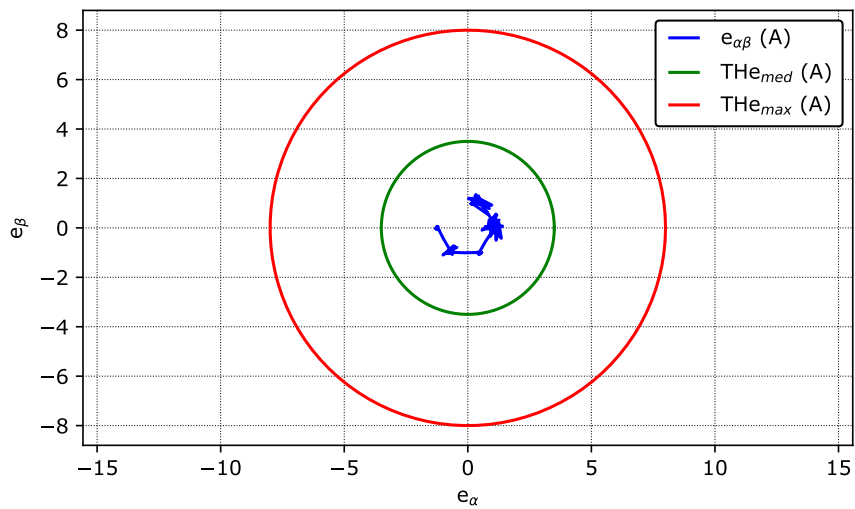


Figure 4 - Steady state current tracking error for Type A fault $k = 0.1 < -90^\circ$

3 Detailed Report

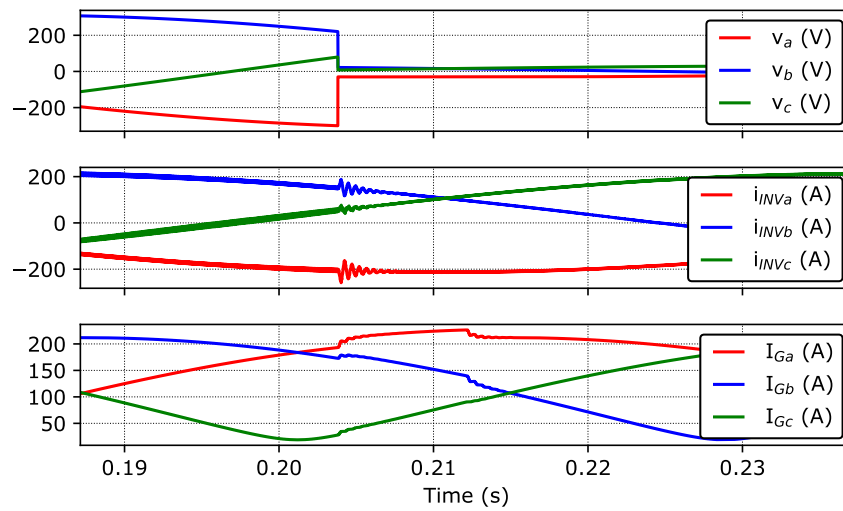


Figure 5 - Transient response for Type A fault $k = 0.1 < 0^\circ$

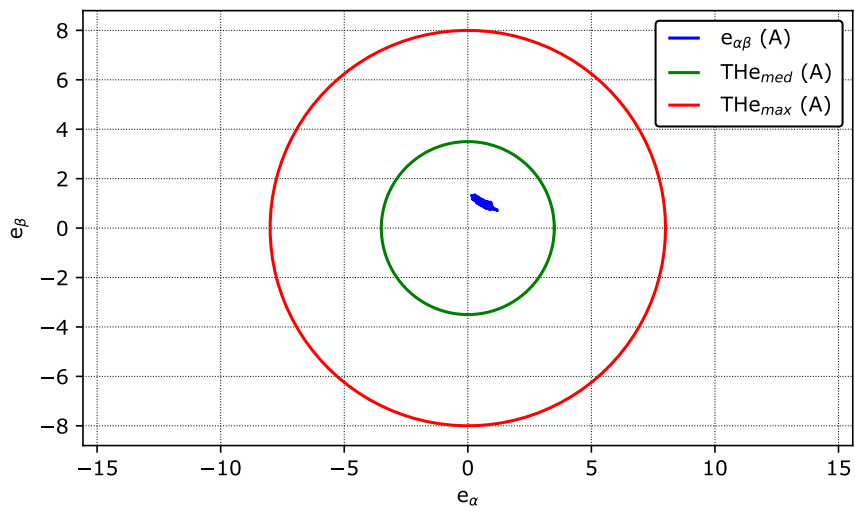


Figure 6 - Steady state current tracking error for Type A fault $k = 0.1 < 0^\circ$

3 Detailed Report

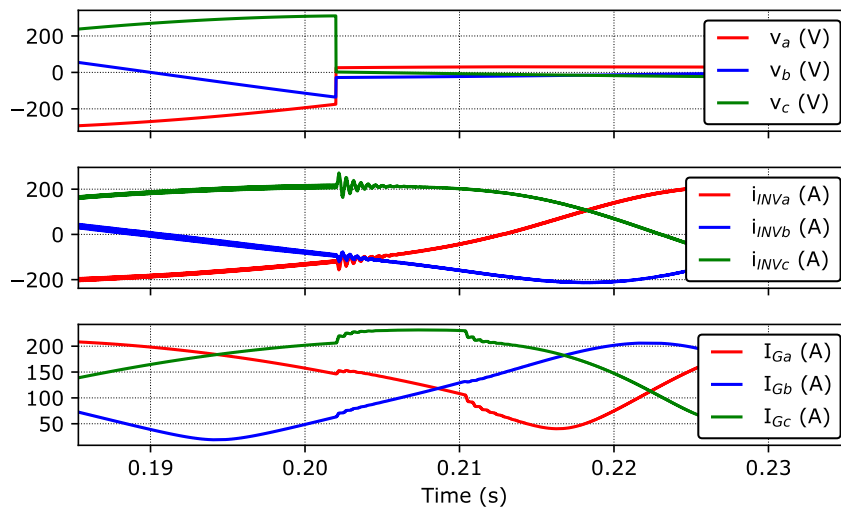


Figure 7 - Transient response for Type A fault $k = 0.1 < 90^\circ$

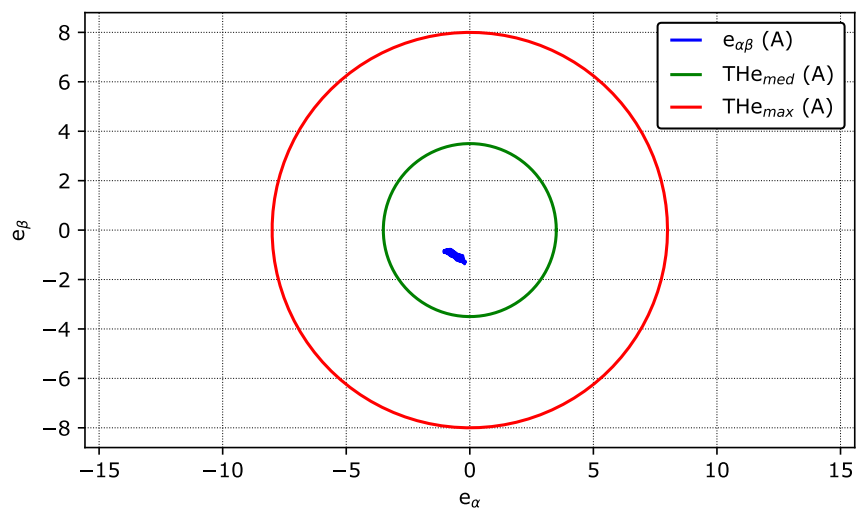


Figure 8 - Steady state current tracking error for Type A fault $k = 0.1 < 90^\circ$

3 Detailed Report

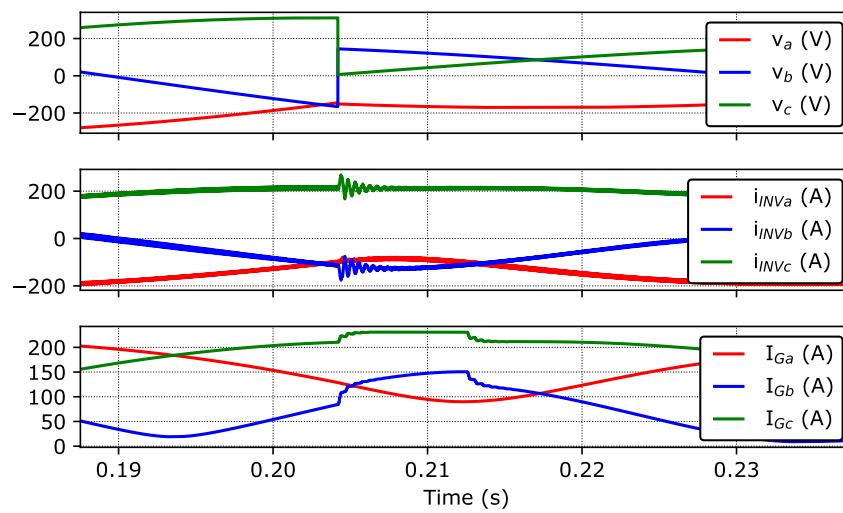


Figure 9 - Transient response for Type A fault $k = 0.6 < -90^\circ$

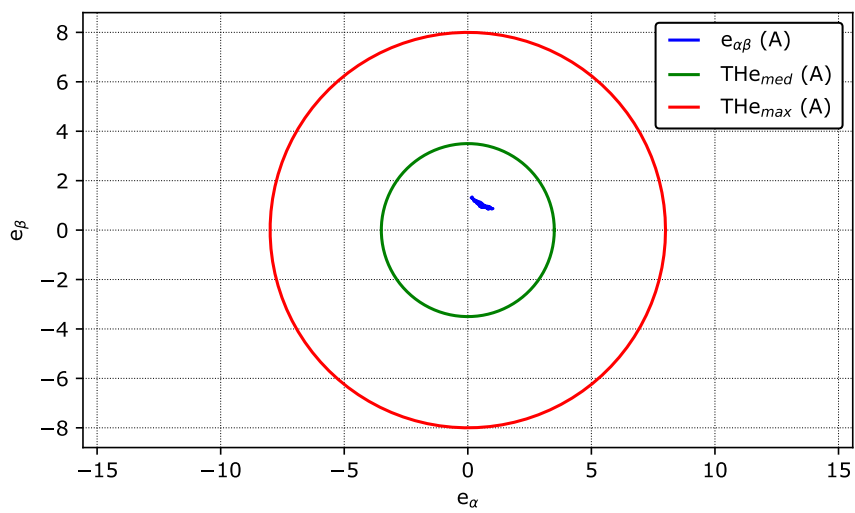


Figure 10 - Steady state current tracking error for Type A fault $k = 0.6 < -90^\circ$

3 Detailed Report

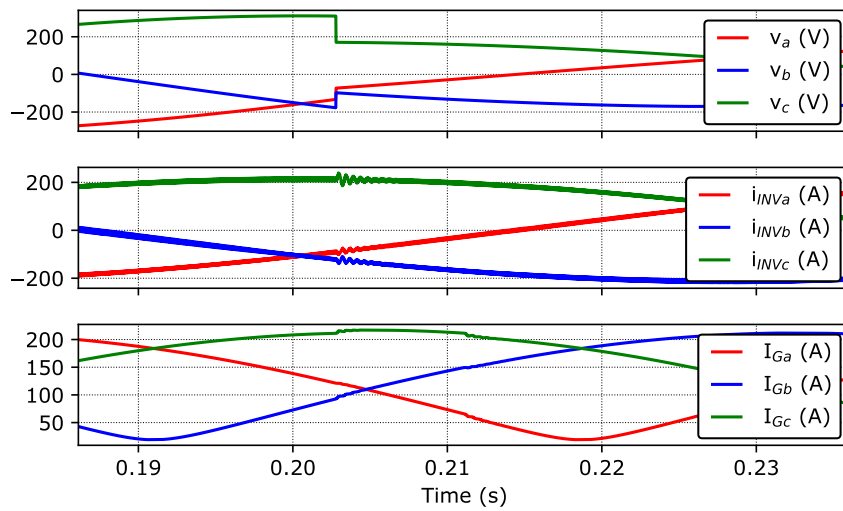


Figure 11 - Transient response for Type A fault $k = 0.6 < 0^\circ$

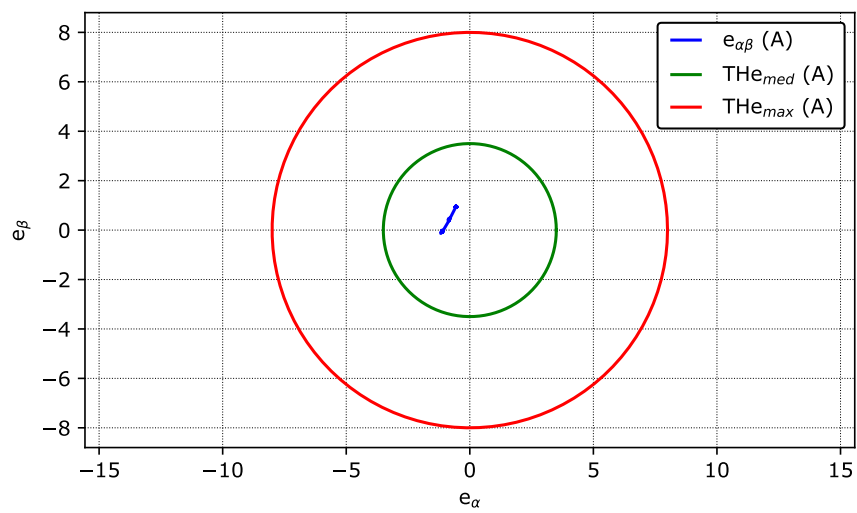


Figure 12 - Steady state current tracking error for Type A fault $k = 0.6 < 0^\circ$

3 Detailed Report

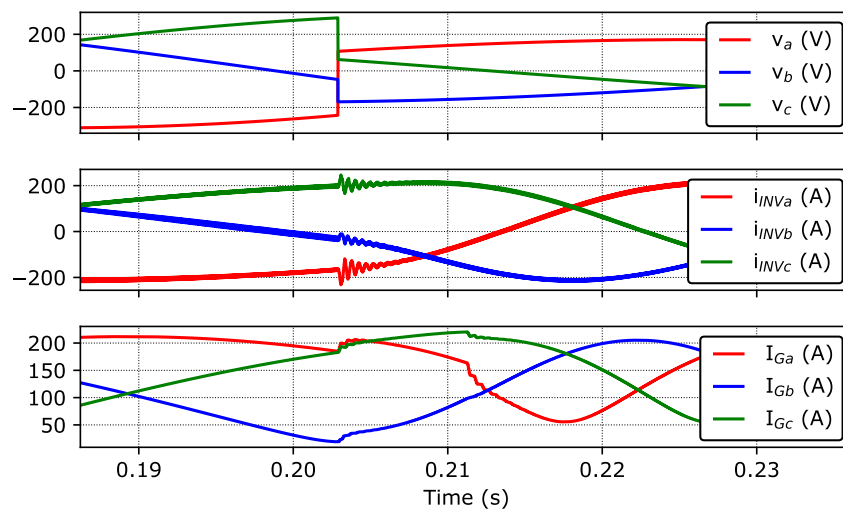


Figure 13 - Transient response for Type A fault $k = 0.6 < 90^\circ$

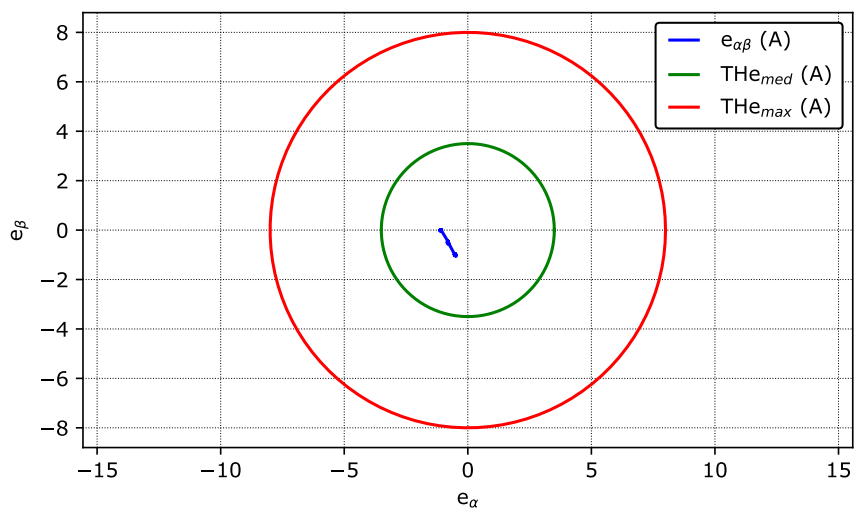


Figure 14 - Steady state current tracking error for Type A fault $k = 0.6 < 90^\circ$

3 Detailed Report

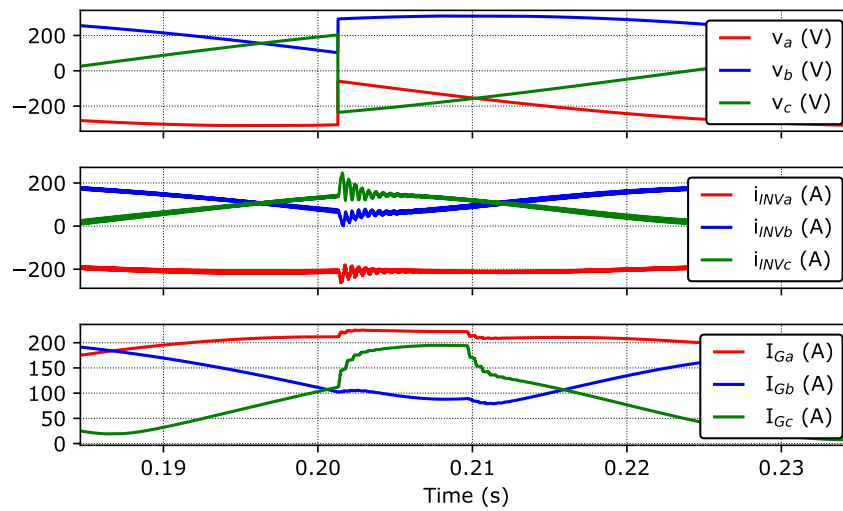


Figure 15 - Transient response for Type A fault $k = 1.0 < -90^\circ$

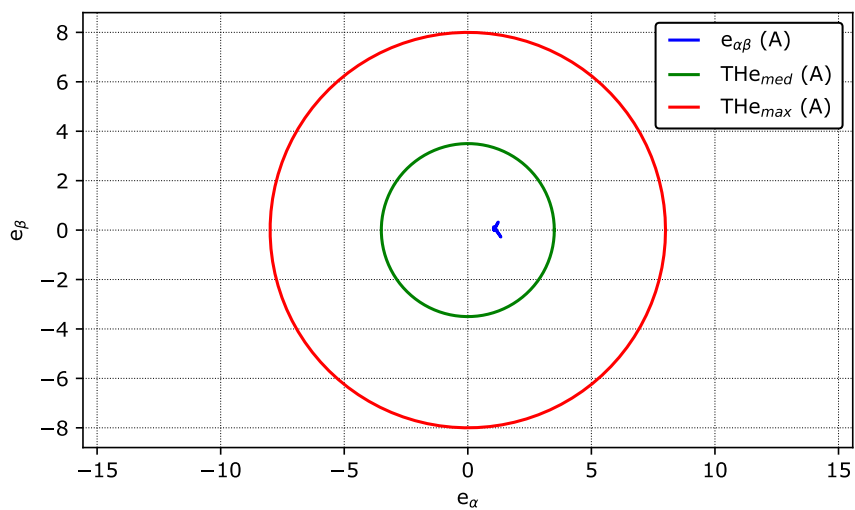


Figure 16 - Steady state current tracking error for Type A fault $k = 1.0 < -90^\circ$

3 Detailed Report

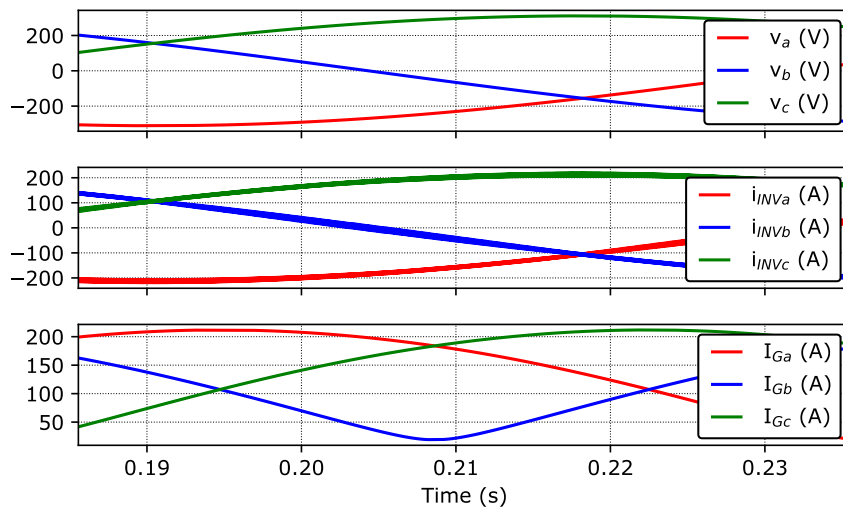


Figure 17 - Transient response for Type A fault $k = 1.0 < 0^\circ$

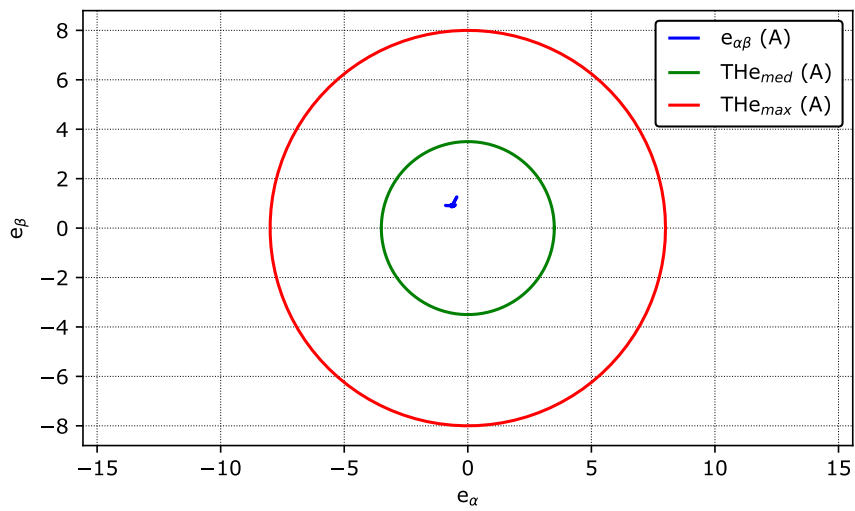


Figure 18 - Steady state current tracking error for Type A fault $k = 1.0 < 0^\circ$

3 Detailed Report

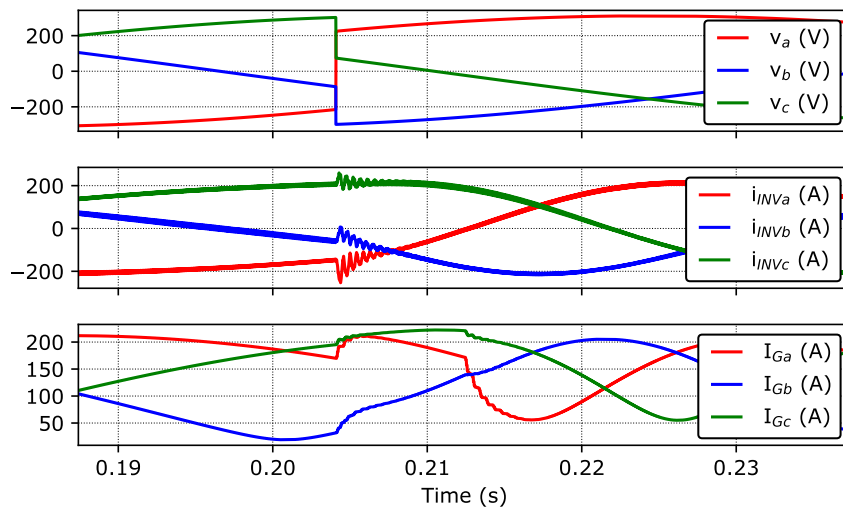


Figure 19 - Transient response for Type A fault $k = 1.0 < 90^\circ$

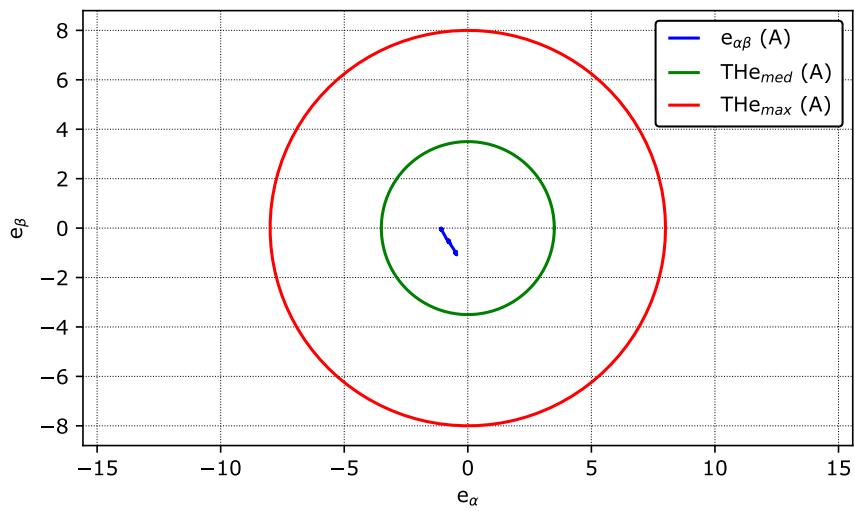


Figure 20 - Steady state current tracking error for Type A fault $k = 1.0 < 90^\circ$

Credits

Acknowledgement: This project is the result of an agreement between Fatec / UFSM and Typhoon HIL, Inc.,

Developed by:

Prof. Humberto Pinheiro, Ph.D. (humberto.ctlab.ufsm.br@gmail.com)

Prof. Rodrigo Padilha Vieira, Dr.Eng. (rodrigovie@gmail.com)

Prof. Jorge Rodrigo Massing, Dr.Eng. (jorgemassing@gmail.com)

Prof. Fernanda de Morais Carnielutti, Dr.Eng. (fernanda.carnielutti@gmail.com)

Henrique de Souza Magnago, Eng. (hsmagnago@gmail.com)

Andre Miguel Nicolini, M.Eng. (andrenicolinee@gmail.com)

Herique Jank, M.Eng. (hiquejank@gmail.com)

Alexandre Trevisan Pereira, M.Eng. (alexandretpereira@gmail.com)