

UNIVERSIDADE FEDERAL DE SANTA MARIA  
CENTRO DE TECNOLOGIA  
PROGRAMA DE PÓS-GRADUAÇÃO EM ENGENHARIA ELÉTRICA

FABRÍCIO GIRARDON FABERO

**CIRCUITO DE ACIONAMENTO DE CHAVES SEMICONDUTORAS  
DE POTÊNCIA EMPREGANDO TRANSFORMADOR  
PIEZOELÉTRICO**

Santa Maria, RS  
2020



**Fabício Girardon Fabero**

**CIRCUITO DE ACIONAMENTO DE CHAVES SEMICONDUTORAS  
DE POTÊNCIA EMPREGANDO TRANSFORMADOR  
PIEZOELÉTRICO**

Dissertação apresentada ao Programa de Pós-Graduação em Engenharia Elétrica, da Universidade Federal de Santa Maria (UFSM, RS), como requisito parcial para obtenção do título de **Mestre em Engenharia Elétrica**.

Orientador: Prof. Dr. Rafael Concatto Beltrame  
Co-orientador: Prof. Dr. Fábio Ecke Bisogno

Santa Maria, RS  
2020

Ficha catalográfica elaborada através do Programa de Geração Automática da Biblioteca Central da UFSM, com os dados fornecidos pelo(a) autor(a).

Girardon, Fabrício Fabero

Circuito de Acionamento de Chaves Semicondutoras de Potência Empregando Transformador Piezoelétrico / Fabrício Girardon Fabero – 2020.

110 p.; 30 cm

Orientador: Rafael Concatto Beltrame

Coorientador: Fábio Ecke Bisogno

Dissertação (mestrado) – Universidade Federal de Santa Maria, Centro de Tecnologia, Programa de Pós-Graduação em Engenharia Elétrica, RS, 2020

1. Transformador Piezoelétrico 2. Conversor Classe-E 3. Circuito de Gate-Driver I. Beltrame, Rafael Concatto II. Bisogno, Fábio Ecke

---

© 2020

Todos os direitos autorais reservados a Fabrício Girardon Fabero. A reprodução de partes ou do todo deste trabalho só poderá ser feita mediante a citação da fonte.

E-mail: [fabriciogirardon@gmail.com](mailto:fabriciogirardon@gmail.com)

**Fabrcio Girardon Fabero**

**CIRCUITO DE ACIONAMENTO DE CHAVES SEMICONDUTORAS  
DE POTÊNCIA EMPREGANDO TRANSFORMADOR  
PIEZOELÉTRICO**

Dissertaçāo apresentada ao Programa de P3s-  
Graduaçāo em Engenharia El3trica, da  
Universidade Federal de Santa Maria  
(UFSM, RS), como requisito parcial para  
obtençāo do t3tulo de **Mestre em  
Engenharia El3trica.**

**Aprovado em 15/10/2020:**

---

Prof. Rafael Concatto Beltrame, Dr. (UFSM)  
(Presidente/Orientador)

---

Prof. F3bio Ecke Bisogno, Dr. (UFSM)  
(Co-orientador)

---

Prof. 3lysson Raniere Seidel, Dr. (UFSM)

---

Prof. Jumar Lu3s Russi, Dr. (UNIPAMPA)

Santa Maria, RS  
2020



Dedico esta dissertação aos meus pais José Vilmar Fabero e Maria Aparecida Girardon e a minha companheira Janine Barbosa da Silva, os quais sempre me incentivaram para que pudesse chegar onde estou. A todas as pessoas que fizeram parte desta caminhada dentro e fora do grupo de pesquisa GEPOC, pois todos sabemos o quanto é difícil o desafio da pesquisa, ensino e extensão universitária. Por fim, dedico esse trabalho à UFSM que proporcionou o aprimoramento de meus conhecimentos.





## AGRADECIMENTOS

Ao Prof. Dr. Rafael Concatto Beltrame (UFSM), pela orientação e amizade, por acreditar em minha capacidade e oportunizar esse trabalho.

Ao meu co-orientador, Prof Dr.Fábio Ecke Bisogno, pela orientação e amizade, as quais foram fundamentais para a conclusão deste trabalho.

À banca formada pelos doutores Álysson Raniere Seidel e Jumar Luís Russi, pelas contribuições tão necessárias para “aparar as arestas” desse trabalho e pela pronta disponibilidade em fazer parte da comissão examinadora.

Aos meus pais Vilmar e Maria Aparecida, aos meus irmãos Francine e Gabriel, aos avôs, tios e primos.

À minha companheira Janine Barbosa pelo apoio, incentivo, auxílio na formação e pelo amor incondicional dado a mim. Tenha certeza de que essa conquista é sua também.

Ao Grupo de Pesquisa em Eletrônica de Potência e Controle (GEPOC), junto ao qual desenvolvi minha pesquisa e pude aprender e aplicar muito do que sei e realizei no mestrado.

Aos amigos e colegas de laboratório, pela amizade e auxílio. E a todos que de algum modo contribuíram nessa trajetória.

Ao Programa de Pós-Graduação em Engenharia Elétrica (PPGEE) no qual realizei minha dissertação, bem como a todos os professores do PPGEE por constantemente buscarem ampliar meus conhecimentos.

O presente trabalho foi realizado com apoio da Coordenação de Aperfeiçoamento de Pessoal de Nível Superior - Brasil (CAPES/PROEX) - Código de Financiamento 001.

Enfim, o meu obrigado a todos que tiveram seu papel na minha jornada, bem como a Deus, pelo dom da vida e por tê-los colocado em meu caminho.

“A tarefa não é tanto ver aquilo que ninguém viu, mas pensar o que ninguém ainda pensou sobre aquilo que todo mundo vê”.

Arthur Schopenhauer

## RESUMO

### **CIRCUITO DE ACIONAMENTO DE CHAVES SEMICONDUTORAS DE POTÊNCIA EMPREGANDO TRANSFORMADOR PIEZOELÉTRICO**

AUTOR: Fabrício Girardon Fabero  
ORIENTADOR: Prof. Dr. Rafael Concatto Beltrame  
CO-ORIENTADOR: Prof. Dr. Fábio Ecke Bisogno

Esta dissertação apresenta uma proposta de sistema de *gate-driver* para dispositivos semicondutores de potência do tipo MOSFET e IGBT que faz uso de um transformador piezoelétrico no circuito de alimentação e no canal de comunicação. Para tanto, se fez uma revisão bibliográfica das topologias já conhecidas de canal de comunicação e transmissão de energia de *gate-drivers*, com foco em estruturas isoladas, onde se identificou a potencialidade do emprego de transformadores piezoelétricos neste tipo de aplicação. Assim, por sua simplicidade, empregou-se um conversor Classe-E na alimentação do transformador, implementando tanto a fonte isolada quanto o canal de comunicação do circuito de *gate-driver*. Deste modo, fez-se o estudo do conversor Classe-E, englobando a modelagem do conversor juntamente com um rastreamento da frequência de ressonância e da razão-clica do transformador piezoelétrico. Também fez-se a análise detalhada do transformador piezoelétrico de forma a obter o seu modelo elétrico equivalente para identificar as frequências de ressonância e, por consequência, seu ponto de operação. Ainda com respeito ao conversor Classe-E, são propostas técnicas de modulação e demodulação do sinal de comando do circuito de *gate-driver*. Por fim, resultados experimentais para um circuito de *gate-driver* com tensão de alimentação de 30 V e sinal de comando entre -5 e +15 V são apresentados para a validação da proposta.

**Palavras-chave:** Transformador Piezoelétrico. Conversor Classe-E. Circuito de *Gate-Driver*.



## ABSTRACT

### PIEZOELECTRIC TRANSFORMER BASED GATE-DRIVER CIRCUIT FOR SEMICONDUCTOR SWITCHES

AUTHOR: Fabrício Girardon Fabero  
ADVISOR: Prof. Dr. Rafael Concatto Beltrame  
CO-ADVISOR: Prof. Dr. Fábio Ecke Bisogno

This thesis presents a proposal for a gate-driver system, for MOSFET and IGBT power semiconductor devices, which uses a piezoelectric transformer in the power circuit and communication channel. Thus, a bibliographical review of the already known topologies of gate-drivers communication channel and energy transmission was conducted, focusing on isolated structures, where the potentiality of using piezoelectric transformers in this type of application was identified. Therefore, for simplicity, an E-Class converter was used to power the transformer, implementing both the isolated source and the communication channel of the gate-driver circuit. So, the study of the Class-E converter was conducted, involving the modeling of the converter together with a screening of the resonance frequency and the piezoelectric transformer's ratios. A detailed analysis of the piezoelectric transformer was also made to obtain its equivalent electrical model to identify the resonance frequencies and, consequently, its point of operation. Also, regarding the E-Class converter, modulation and demodulation techniques for the gate-driver circuit command signal are proposed. Finally, experimental results for a gate-driver circuit with 30 V supply voltage and command signal between -5 and +15 V are presented for the validation of the proposal.

**Keywords: Piezoelectric Transformer. Class-E Converter. Gate-Driver Circuit.**



## LISTA DE ILUSTRAÇÕES

Figura 1: Arranjos básicos; (a) amplificador emissor comum; (b) <i>push-pull</i> e (c) <i>CI buffer</i> ...	32
Figura 2: Estágio amplificador de saída com fonte negativa para o bloqueio ( <i>turn-off</i> ).....	33
Figura 3: Controle ativo da tensão $v_{GS}$ .....	34
Figura 4: Estruturas clássicas de <i>gate-drivers</i> baseados em transformador. ....	36
Figura 5: <i>Gate-driver</i> via transformador de sinal com bloqueio negativo. ....	36
Figura 6: <i>Gate-driver</i> baseado em transformador de sinal com circuito desmagnetizador. ....	37
Figura 7: Transformador ressonante e <i>buffer</i> para baixa impedância de saída. ....	37
Figura 8: Comando síncrono com dupla isolamento. ....	38
Figura 9: Estrutura convencional com transmissão via portadora.....	39
Figura 10: Transmissão por portadora com saída otimizada.....	39
Figura 11: <i>Gate-driver</i> com transmissão via portadora e com tensão negativa de bloqueio....	40
Figura 12: <i>Gate-driver set/reset</i> . ....	40
Figura 13: <i>Gate-driver set/reset</i> com alimentação independente e circuito de retenção. ....	41
Figura 14: <i>Gate-driver</i> modulado com dupla isolamento.....	42
Figura 15: <i>Gate-driver</i> para uma SSPS; (a) estrutura do sistema e (b) dos transformadores...	43
Figura 16: <i>Link</i> de fibra óptica típico. ....	44
Figura 17: Opto-acopladores blindados; (a) alinhamentos perpendicular e (b) paralelo. ....	45
Figura 18: <i>Gate-driver</i> opto-acoplado com amplificador emissor comum. ....	45
Figura 19: <i>Gate-driver</i> opto-acoplador com amplificador <i>push-pull</i> . ....	45
Figura 20: <i>Gate-driver</i> opto-acoplado e amplificador de saída integrado.....	46
Figura 21: <i>Gate-driver</i> opto-acoplado com amplificador integrado. ....	46
Figura 22: Conceito da transmissão <i>wireless</i> proposta por Bréhaut (2006).....	47
Figura 23: Demonstração do sinal <i>Wireless</i> de transmissão para o <i>gate-driver</i> de um MOSFET. ....	48
Figura 24: Configuração típica de módulo <i>wireless</i> ; (a) camadas do protocolo e (b) configuração de <i>gate-driver</i> utilizando <i>wireless</i> . ....	49
Figura 25: Transmissão diferencial do sinal por meio capacitivo. ....	50
Figura 26: Patente de uma solução em transmissão por meio capacitivo com sinal diferencial. ....	51
Figura 27: Transmissão capacitiva. (a) circuito empregado e (b) diagramas de sinais. ....	52
Figura 28: Estrutura do <i>gate-driver</i> com acoplamento piezoelétrico. ....	53
Figura 29: Estrutura dos elementos do circuito de <i>gate driver</i> .....	53

Figura 30: Modos de operação do TP; (a) modo longitudinal; (b) modo transversal. ....	54
Figura 31: Modo de vibração dos PTs; (a) modo radial; (b) modo espessura; (c) rosen-type. 55	
Figura 32: PT de modo radial. ....	56
Figura 33: Modelo elétrico equivalente; (a) Estrutura física; (b) Modelos do primário e secundário; (c) Primário e secundário unidos. (d) Modelo final.....	57
Figura 34: Medida do circuito de admitância de entrada do PT. ....	58
Figura 35: Diagrama de admitância. ....	58
Figura 36: Medida do circuito de admitância da saída do PT.....	60
Figura 37: Transformador piezoelétrico utilizado; (a) PT anel; (b) Medida da admitância de entrada.....	61
Figura 38: Medidas dos parâmetros do PT; (a) Resposta em frequência da entrada; (b) Capacitância equivalente da entrada. ....	62
Figura 39: Curva de admitância (módulo) do PT em função da frequência. ....	63
Figura 40: Curva admitância (fase) do PT em função da frequência.....	63
Figura 41: Curva de condutância <i>versus</i> susceptância (GxB).....	64
Figura 42: Curva de admitância (módulo) medida, filtrada e obtida do modelo. ....	65
Figura 43: Conversor CC-CC Classe-E com transformador piezoelétrico. ....	67
Figura 44: Simplificações iniciais do conversor Classe E; (a) simplificação do estágio de saída (capacitivo); (b) simplificação do estágio de saída (capacitivo-indutivo); (c) resistência equivalente de saída. ....	68
Figura 45: Simplificação finais do conversor Classe-E; (a) reflexão para o primário; (b) elementos da saída em série. ....	69
Figura 46: Conversor Classe-E simplificado. ....	70
Figura 47: Etapa I, interruptor acionado ( $t_0 \leq t < t_1$ ). ....	70
Figura 48: Formas de onda do conversor Classe-E.....	71
Figura 49: Etapa II, interruptor bloqueado ( $t_1 \leq t < t_2$ ).....	72
Figura 50: Fluxograma do algoritmo para determinação do ganho do conversor. ....	73
Figura 51: Comportamento da tensão média em função da frequência de chaveamento. ....	74
Figura 52: Rastreamento da razão-cíclica em função da frequência de chaveamento.....	74
Figura 53: Tensão na chave. ....	75
Figura 54: Detalhe da tensão sobre a chave semicondutora. ....	76
Figura 55: Circuito de modulação com oscilador <i>schmitt-trigger</i> , portas lógicas e <i>buffer</i> de saída. ....	77
Figura 56: Circuito da fonte de alimentação. ....	78



Figura 57: Circuito de acionamento <i>buffer</i> para aplicação do sinal ao <i>gate</i> da chave semicondutora.....	79
Figura 58: Circuito de demodulação. ....	80
Figura 59: Foto do protótipo implementado.....	82
Figura 60: Sinal de <i>gate-source</i> aplicado à chave <i>S</i> do conversor ( <i>vGS</i> ) para a frequência de chaveamento de 18,102 kHz.....	83
Figura 61: Sinal de <i>gate-source</i> aplicado à chave <i>S</i> do conversor ( <i>vGS</i> ) para a frequência de chaveamento de 19,295 kHz.....	84
Figura 62: Sinal de <i>gate-source</i> aplicado à chave <i>S</i> do conversor ( <i>vGS</i> ) e o sinal proveniente do gerador de funções ( <i>vGF</i> ), alternando entre as duas frequências de chaveamento.....	84
Figura 63: Tensão na chave <i>S</i> ( <i>vS</i> ) e sinal de <i>gate-source</i> aplicado à chave <i>S</i> do conversor ( <i>vGS</i> ) para a frequência de operação de 18,102 kHz. ....	85
Figura 64: Tensão na chave <i>S</i> ( <i>vS</i> ) e o sinal de <i>gate-source</i> aplicado à chave <i>S</i> do conversor ( <i>vGS</i> ) para a frequência de operação de 19,295 kHz. ....	86
Figura 65: Tensão média de saída ( <i>vret</i> ) e tensão média de entrada ( <i>vin</i> ) para a frequência de operação de 18,102 kHz. ....	86
Figura 66: Tensão média de saída ( <i>vret</i> ) e tensão média de entrada ( <i>vin</i> ) para a frequência de operação de 19,295 kHz. ....	87
Figura 67: Tensão média de saída ( <i>vret</i> ) e forma de onda proveniente do gerador de funções ( <i>vGF</i> ). ....	88
Figura 68: Tensão média de saída ( <i>vret</i> ) e forma de onda na saída do <i>buffer</i> ( <i>vGE</i> ). ....	88
Figura 69: Forma de onda proveniente do gerador de funções ( <i>vGF</i> ) e forma de onda na saída do <i>buffer</i> ( <i>vGE</i> ).....	89
Figura 70: Forma de onda proveniente do gerador de funções ( <i>vGF</i> ) e forma de onda na saída do <i>buffer</i> ( <i>vGE</i> ), com <i>zoom</i> no acionamento da chave (subida de <i>vGE</i> para +15 V). ....	90
Figura 71: Forma de onda proveniente do gerador de funções ( <i>vGF</i> ) e forma de onda na saída do <i>buffer</i> ( <i>vGE</i> ), com <i>zoom</i> no bloqueio da chave (descida de <i>vGE</i> para -5 V). ....	91



## LISTA DE TABELAS

Tabela 1: Parâmetros do transformador piezoelétrico utilizado.....	65
Tabela 2: Componentes empregados na implementação prática.....	81
Tabela 3: Circuitos integrados empregados.....	82



## LISTA DE ABREVIATURAS

CA ou AC	Corrente Alternada
CC ou DC	Corrente Contínua
CI	Circuito Integrado
CMRR	Taxa de rejeição de modo comum
DSP	Processador Digital de Sinais
GF	Gerador de Função
HCPL	Optoacopladores
HVDC ou CCAT	Corrente Contínua em Alta Tensão
IGBT	Transistor Bipolar de Porta Isolada
LED	Diodo Emissor de Luz
MOSFET	Transistor de Efeito de Campo de Metal-Óxido Semicondutor
OKK	On-Off Keving
PT	Transformador Piezoelétrico
PTFE	Politetrafluoretileno
PNP	Positivo-Negativo-Positivo
PVC	Policloreto de Vinila
PZT	Titato-Zirconato de Chumbo
RF	Rádio Frequência
SSPS	Subestação de Estado Solido
TBJ	Transistor Bipolar de Junção
ZVS	Comutação de Tensão Zero



## LISTA DE SÍMBOLOS

B	Susceptância
$C_{GE}$	Capacitor <i>Gate-Emissor</i>
$C_{io}$	Capacitância equivalente entre o Primário e o Secundário do CI
$C_n$	Variação de Capacitores
$C_{SW}$	Capacitor Equivalente da Chave
$d$	Constante Piezoelétrica
D	Dreno
$D$	Razão Cíclica
$D_n$	Variação de Diodos Comuns
$di$	Variação de corrente em relação ao tempo
$D_{SW}$	Diodo em Antiparalelo da Chave
$dt$	Variação de tempo em relação ao tempo
$dv$	Variação de tensão em relação ao tempo
$D_{Z15}$	Diodo Zenner 15V
$D^+$	Polarização das cargas Elétricas
E	Ponto de Alimentação de Circuito
EXOR	Comparador de Tensão
$E$	Campo Elétrico
$f_a$	Frequência de Anti-Ressonância Para Susceptância Igual a Zero
$f_m$	Frequência de Máxima Admitância
$f_n$	Frequência Variável
$f_n$	Frequência de Admitância Mínima
$f_r$	Frequência de Ressonância para Susceptância Igual a Zero
$f_s$	Frequência de Ressonância Serie
$f_{sw}$	Frequência de Operação Máxima de <i>Gate Driver</i> Projetado
$f_P$	Frequência de Ressonância Pico
G	<i>Gate</i>
$G$	Condutância
$Gnd_n$	Variação de Aterramento
$i_n$	Variação de corrente
In	Entrada
$Inv_n$	Variação de Inversor
LM78	Limitador de tensão positiva
LM79	Limitador de tensão negativa
$L_n$	Variação de Indutância

$M_n$	Variação de MOSFET's
$n$	Número de enrolamentos
$N$	Relação de Transformação do Transformador
OSC	Oscilador
Out	Saída
P	Porta (Chave Semicondutora)
$P$	Polarização
$Q_n$	Variação de Transistores
$R_G$	Resistor de <i>Gate</i>
$R_n$	Variação de Resistores
$R_X$	Receptor de Sinal opto acoplador
S	Source
S	Deformação Mecânica
$S_n$	Chave Semicondutora
$S_{Ti}$	Filtragem Schmitt Trigger
$S^E$	Complacência Elástica
$t$	Variação do Tempo
T	Pressão Mecânica
$T$	Tensão Mecânica
$T_n$	Variação de Transformadores
$T_{P_n}$	Trimpot Variável
$T_s$	Período Pré-determinados
$T_X$	Transmissor de Sinal opto acoplador
$U_1$	Opto Acoplador
$U_2$	Amplificador Integrado
$U_n$	Portas Logicas Variáveis de CI's
$v_A$	Tensão Barramento A
$v_B$	Tensão Barramento B
$v_{CC}$	Tensão de Corrente Continua
$v_{Comp\ n}$	Tensão nos Compiladores Variados
$v_{Con}$	Tensão de Controle
$v_{diff}$	Tensão Amplificador Diferencial
$v_{EE}$	Tensão Elemento Emissor
$v_{GE}$	Tensão <i>Gate-Emissor</i>
$v_{GF}$	Tensão do Gerador de Funções
$v_{GS}$	Tensão <i>Gate-Source</i>



$V_{in}$	Tensão de Entrada
$V_{Ln}$	Tensão no Indutor Variado
$V_{out}$	Tensão de Saída
$V_{Pri}$	Tensão no Primário
$V_{ret}$	Tensão Retificada
$V_{Rn}$	Tensão de Resistencia Variada
$v_S$	Tensão na chave
$v_{Sec}$	Tensão no Secundário
$Y$	Admitância
$Z_n$	Varição de Diodos Zenner
$\Delta D$	Varição na Razão Cíclica
$\Delta I_{LF}$	Variaçãc
$\epsilon^T$	Permissividade da Pressão Co
$\omega_s$	Frequência Angular



## SUMÁRIO

<b>1</b>	<b>INTRODUÇÃO GERAL</b> .....	<b>29</b>
1.1	INTRODUÇÃO .....	29
1.2	CIRCUITO DE GATE-DRIVER COM ISOLAÇÃO .....	29
1.3	MOTIVAÇÃO E JUSTIFICATIVA.....	29
1.4	OBJETIVOS.....	30
<b>1.4.1</b>	<b>Objetivo geral</b> .....	<b>30</b>
<b>1.4.2</b>	<b>Objetivos específicos</b> .....	<b>30</b>
1.5	ORGANIZAÇÃO DA DISSERTAÇÃO .....	30
<b>2</b>	<b>REVISÃO BIBLIOGRÁFICA</b> .....	<b>31</b>
2.1	INTRODUÇÃO .....	31
2.2	CIRCUITOS DE GATE-DRIVER ISOLADOS.....	31
<b>2.2.1</b>	<b>Estágio de amplificador</b> .....	<b>31</b>
<b>2.2.2</b>	<b>Canal de comunicação</b> .....	<b>34</b>
2.2.2.1	Canal magnético.....	35
2.2.2.2	Canal óptico.....	43
2.2.2.3	Canal wireless .....	47
2.2.2.4	Canal capacitivo .....	49
2.2.2.5	Canal piezoelétrico.....	53
2.3	TRANSFORMADOR PIEZOELÉTRICO .....	54
<b>2.3.1</b>	<b>Princípio da operação</b> .....	<b>54</b>
<b>2.3.2</b>	<b>Modelo elétrico equivalente</b> .....	<b>56</b>
<b>2.3.3</b>	<b>Obtenção do modelo elétrico equivalente através de medidas de resposta em frequência</b> .....	<b>58</b>
2.3.3.1	Levantamento dos parâmetros do transformador .....	60
2.3.3.2	Resposta em frequência do transformador .....	62
<b>3</b>	<b>ANÁLISE E PROJETO DO CONVERSOR CLASSE-E</b> .....	<b>67</b>
3.1	DESCRIÇÃO DO CIRCUITO .....	67
3.2	MODELAGEM DO CONVERSOR.....	67
<b>3.2.1</b>	<b>Etapas de Operação</b> .....	<b>70</b>

3.2.2	Determinação do ganho estático do conversor classe-E.....	73
4	ANÁLISE E PROPOSTA DO CANAL DE COMUNICAÇÃO.....	77
4.1	CIRCUITO MODULADOR .....	77
4.2	CIRCUITO DEMODULADOR .....	78
4.2.1	Fonte de alimentação .....	78
5	RESULTADOS EXPERIMENTAIS .....	81
5.1	CIRCUITO DE GATE-DRIVER IMPLEMENTADO .....	81
5.2	VALIDAÇÃO DA OPERAÇÃO DO CONVERSOR CLASSE-E.....	83
5.3	VALIDAÇÃO DOS CIRCUITOS MODULADOR E DEMODULADOR.....	87
5.4	VALIDAÇÃO DO GATE-DRIVER COMPLETO .....	89
6	CONCLUSÃO.....	93
7	PROPOSTAS DE TRABALHOS FUTUROS.....	95
8	PUBLICAÇÕES .....	95
9	REFERÊNCIAS.....	97

# 1 INTRODUÇÃO GERAL

## 1.1 INTRODUÇÃO

Este capítulo apresenta uma breve discussão sobre as características de um *gate-driver* (circuito de acionamento) isolado por transformador piezoelétrico e as aplicações que são adequados a esta tecnologia. Também serão verificados os motivos que levaram ao desenvolvimento de um circuito de acionamento de chaves semicondutoras de potência empregando o transformador piezoelétrico. Além disto este capítulo abrange a motivação, justificativa, objetivos e a organização da presente dissertação.

## 1.2 CIRCUITO DE GATE-DRIVER COM ISOLAÇÃO

De modo geral, temos várias topologias de conversores de potência. Analisando estas topologias vimos que todo e qualquer conversor com capacidade de controle de fluxo de energia necessita de no mínimo uma chave ativa. Assim, esses conversores requerem ao menos um circuito de *gate-driver*. Em muitos casos, as chaves estáticas não ficam referenciadas ao potencial de terra (como conversores meia ponte e ponte-completa, entre outros), requerendo circuitos de *gate-driver* com capacidade de isolação. Salienta-se que esse será o foco da presente dissertação.

## 1.3 MOTIVAÇÃO E JUSTIFICATIVA

A constante renovação das novas tecnologias está cada vez mais possibilitando a compactação de produtos além de sempre estar tentando melhorar a sua eficiência. Neste sentido, segundo Prieto (2001), a utilização de transformadores piezoelétricos (PT-*Piezoelectric Transformer*) pode ser uma alternativa em potencial, uma vez que apresenta grande densidade de potência (na ordem  $40 \text{ W/cm}^3$ ), alto rendimento (na ordem de 95%) e frequências de chaveamento elevadas (até 150 kHz). Salienta-se, porém, que tais aplicações limitam-se a potência inferiores a 100 W.

Segundo Gaiotto (2012), em comparação aos transformadores magnéticos temos várias vantagens. Podemos destacar, por exemplo, emprego da materiais isolantes, além de diminuição de possibilidade de uma interferência eletromagnética, reduzindo volume e peso, dentre outros.

## 1.4 OBJETIVOS

### 1.4.1 Objetivo geral

Desenvolver um circuito de *gate-driver* isolado que empregue apenas um elemento (transformador piezoelétrico) para implementar tanto a fonte de alimentação quanto o canal de comunicação.

### 1.4.2 Objetivos específicos

Para o atendimento do objetivo geral, os seguintes objetivos específicos são necessários:

- Realizar uma detalhada revisão da literatura acerca das tecnologias de isolamento de circuitos de *gate-driver* (com foco no canal de comunicação);
- Estudar o princípio de operação dos transformadores piezoelétricos;
- Selecionar o conversor estático adequado à aplicação e realizar a análise;
- Propor uma técnica de modulação/demodulação ao conversor para tanto permitir a implementação de uma fonte isolada quanto do canal de comunicação;
- Validar experimentalmente a proposta.

## 1.5 ORGANIZAÇÃO DA DISSERTAÇÃO

Esta dissertação está organizada da seguinte forma.

No Capítulo 1 é apresentada uma introdução sobre o tema, contextualizando a utilização de um circuito de *gate-driver* com isolamento além de apresentar a motivação a justificativa e os objetivos propostos por este sistema.

No Capítulo 2 apresenta-se o referencial teórico demonstrando o funcionamento dos circuitos de *gate-driver* apresentando as principais formas de comunicação apresentadas na literatura técnica atual

O Capítulo 3 apresenta a metodologia de aplicação do conversor Classe-E no circuito de *gate-driver*.

O Capítulo 4 apresenta a análise e a proposta do canal de comunicação do *gate-driver*.

O Capítulo 5 apresenta o circuito experimental do conversor e do canal de comunicação.

No Capítulo 6 apresentam-se as conclusões desta dissertação, juntamente com propostas de trabalhos futuros.

## 2 REVISÃO BIBLIOGRÁFICA

### 2.1 INTRODUÇÃO

Este capítulo tem por objetivo apresentar as características, incluindo as vantagens e desvantagens, das topologias dos circuitos de *gate-driver* com canais isolados. De maneira resumida, será apresentado o uso de algumas formas de comunicação do *gate-driver*, citando seus aspectos positivos. Também será mostrado o arranjo do transformador piezoelétrico e suas características. Uma das topologias de PT será aplicada a um conversor Classe-E que será utilizado no decorrer desta dissertação.

### 2.2 CIRCUITOS DE GATE-DRIVER ISOLADOS

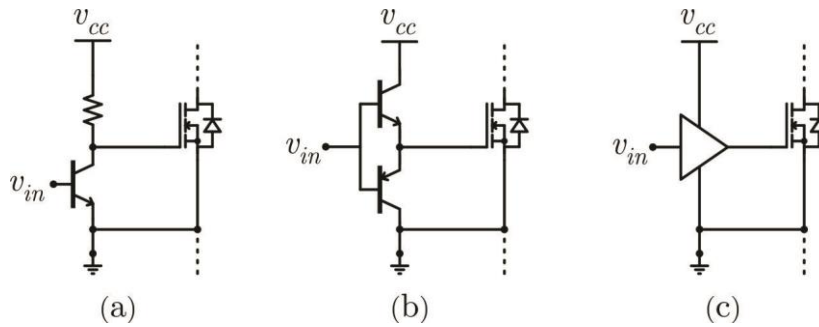
Grande parte dos sistemas de conversores estáticos (principalmente os conversores CC/CA) necessitam da utilização de *gate-drivers* isolados por dois motivos: (i) isolamento entre o sistema de controle e de potência (proteção); e (ii) chaves estáticas instaladas em diferentes potenciais (entre si e/ou com relação ao circuito de instrumentação e controle). Nesse contexto, faremos referência aos circuitos de *gate-driver* isolados contendo as seguintes etapas: estágio amplificador (*power module* ou *buffer stage*) e canal de comunicação.

#### 2.2.1 Estágio de amplificador

O estágio amplificador ajusta os níveis de tensão e corrente com o intuito de controlar a tensão no terminal de *gate* da chave semicondutora (MOSFET ou IGBT). Geralmente, é o circuito mais próximo a chave de potência que implementa uma fonte de corrente ou uma fonte de tensão de baixa impedância.

Para este trabalho são consideradas apenas chaves do tipo MOSFET e IGBT, as quais são acionadas por tensão. Na Figura 1 são apresentadas as topologias de estágios amplificadores mais comuns presentes na literatura.

Figura 1: Arranjos básicos; (a) amplificador emissor comum; (b) *push-pull* e (c) CI *buffer*.



Fonte: Adaptado de (RASHID, 2011).

A Figura 1 (a) é formada por um amplificador emissor comum, representando uma solução de baixo custo para ser empregada a chaves que funcionam em baixa frequência e que apresentam pequena capacitância de entrada. Esse arranjo possibilita a união de tensão e impedância, no qual ao *gate* da chave (nível de tensão entre *gate* e *source*, no caso de MOSFETs, ou *gate* e emissor, no caso de IGBTs) pode ser levado a uma tensão superior ao de sinal de controle, com acionamento (*turn-on*) limitado pelo resistor de coletor e bloqueio (*turn-off*) rápido pela descarga direta do transistor bipolar de junção (TBJ) ou limitada por um resistor série. A estrutura da Figura 1 (b) consiste em uma das estruturas mais utilizadas em soluções discretas, ou seja, representa a amplificação por um braço de chaves semicondutoras, tipicamente TBJs complementares, denominada de amplificador *totem-pole* ou *push-pull*. Este arranjo proporciona uma impedância de saída reduzida, porém a impedância de entrada é baixa quando comparada à estrutura da Figura 1 (a). Desta forma, a associação destes circuitos é frequentemente empregada. Já a estrutura da Figura 1 (c) representa circuitos integrados como amplificadores operacionais ou circuitos dedicados à função. No entanto, estes circuitos são implementados quando a solução com componentes discretos não é desejada. Alguns fabricantes disponibilizam dispositivos específicos para o estágio amplificador de um *gate-driver*, chamados de *low-side gate-drivers*, no que se refere a um estágio amplificador sem isolamento (MOHAN et al, 2002; RASHID, 2011).

Deve-se atentar, no projeto de *gate-drivers*, o leiaute adequado, deixando o mais curto possível os caminhos para a alta frequência, minimizando os laços de corrente, como entre os terminais de *gate* e *source/emissor*. Segundo Archambeault (2002), o desempenho do MOSFET/IGBT pode ser afetado através da concepção das conexões que diminuem a indutância parasita diminuindo o efeito de ruídos de chaveamento.

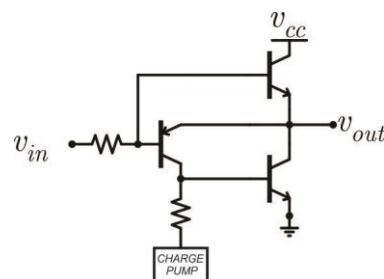
Como alternativa discreta, temos a possibilidade de drenar a maior parte da corrente de *gate* para uma fonte de baixa impedância, como o próprio emissor da chave, assim demonstrado na Figura 2 (WILLIAMS et al, 1994). Subsequentemente, temos um *Charge Pump*, que leva o



terminal de *gate* a uma tensão negativa podendo ser de alta impedância. Desta forma, é possível obter imunidade a ruídos eletromagnéticos.

Segundo Khanna (2003), outra vantagem do uso da tensão negativa é evitar o efeito parasita de *latch*. Assim é possível evitar que o transistor entre em condução devido a um elevado nível de  $dv/dt$  entre os terminais de coletor e emissor (dreno e *source*), que poderia ocorrer por conta do tiristor parasita intrínseco à construção do dispositivo ou pelo aumento na tensão entre *gate* e *source/emissor* devido à variação da capacitância Miller.

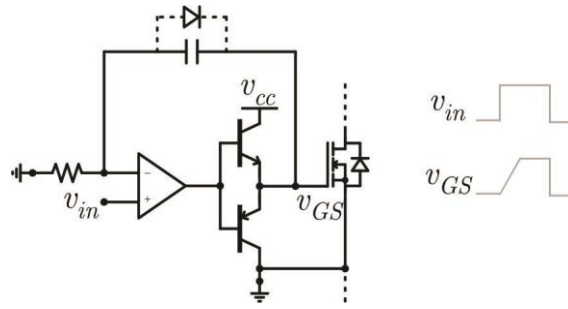
Figura 2: Estágio amplificador de saída com fonte negativa para o bloqueio (*turn-off*).



Fonte: Adaptado de (WILLIAMS et al,1994).

Segundo Dulau et al (2006), deve-se ter na saída do amplificador de um *gate-driver* e do terminal de *gate* do transistor um resistor ( $R_G$ ) projetado para obter o controle da velocidade de entrada e saída de condução (*rise time* e *fall time* – tempos de subida e descida, respectivamente). O projeto desse resistor deve reduzir as perdas de comutação e garantir um nível de  $dv/dt$  ou  $di/dt$  adequado durante o *turn-off* (bloqueio), assim limitando o pico de corrente da recuperação reversa dos diodos.

Outra forma possível de efetuar o controle ativo da tensão no terminal de *gate*, é utilizar uma fonte variável de baixa impedância para controle das transições da chave, aprimorando o desempenho durante a variação da capacitância Miller além do controle do *turn-off* seguro em caso de falha. Assim, segundo IR (201-), a Figura 2 mostra o *gate-driver* de baixa impedância com controle via integrador, onde é possível implementar os perfis independentes para *rise time* e *fall time* do transistor. IR (201-) diz que o módulo integrado possui capacidade de fornecer picos de 20 A, com *rise time* e *fall time* inferiores a 4 ns e frequência de operação de até 45 MHz.

Figura 3: Controle ativo da tensão  $v_{GS}$ .

Fonte: Adaptado de (IR, [201-]).

Lihua et al. (2010) diz que é possível implementar recursos mais avançados para controle ativo da sobretensão de *turn-off* e a sobrecorrente de *turn-on*.

### 2.2.2 Canal de comunicação

O canal de comunicação de um *gate-driver* é o caminho que liga o circuito de controle (ou circuito de entrada) ao estágio de saída (conectado à chave estática de potência). Nos canais de isolamento existem alguns meios de comunicação, tais como: magnéticos, ótico, *wireless*, capacitivo e piezoelétrico.

A comunicação entre dois dispositivos isolados por meio magnético possibilita a transmissão de energia junto com a informação, alimentando a massa isolada, consistindo em um dispositivo bidirecional e, em casos de falhas, o meio magnético pode permitir que falhas do circuito de potência sejam transmitidas para o circuito de controle. Exemplo a fabricante MICROCHIP dispõe do MIC4606, dispositivo este feito para conversores *full-bridge* acionamento de MOSFETs.

Já com o meio óptico, a transmissão das falhas é praticamente inexistente, pois este método é utilizado exclusivamente para transmissão de sinal na qual a alimentação provém de outra fonte. Apesar de algumas limitações, como por exemplo, na banda passante do sinal transmitido, a tecnologia atual em optoacopladores é bem desenvolvida, oferecendo soluções que podem simplificar o circuito de *gate-driver*. Exemplo a fabricante TOSHIBA dispõe do TLP250.

O sistema por meio *wireless* apresenta um alto grau de isolamento entre o circuito de potência e o circuito de controle, sem qualquer tipo de interferência eletromagnética, porém possui atraso na transmissão devido à banda passante do transmissor/receptor. Desse modo, esta tecnologia ainda está sendo amadurecida (BREHAUT, 2006).

O sistema que emprega acoplamento capacitivo se assemelha ao acoplamento magnético de um transformador. Um capacitor é o meio para uma transmissão isolada de um sinal de comando

para um *gate-driver*. Além disso, sua utilização possui certas vantagens sob o meio magnético, como por exemplo, a menor dependência de parasitas indutivos no circuito e menor corrente quiescente de operação (ZELTNER, 2010).

Por fim segundo Vasic (2006), o sistema que utiliza um transformador piezoelétrico como isolamento para o *gate-driver* apresenta muitas vantagens em relação às outras tecnologias pois o transformador piezoelétrico além de ser um isolador pode ter uma aplicação de ganho alterado em relação a frequência utilizada como veremos ao longo desta dissertação.

Como qualquer sistema para *gate-driver* temos certas limitações como limitação de frequência de chaveamento e limitações de tensão de alimentação. Deste modo estas são algumas das suas desvantagens para aplicação.

#### 2.2.2.1 Canal magnético

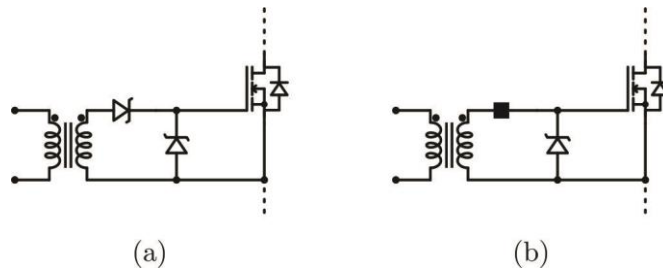
Este meio emprega um transformador para proporcionar isolamento galvânica e, ao mesmo tempo transmitir a energia necessária e a informação do circuito de controle ao circuito de potência. Logo, não é necessária a utilização de fontes adicionais na massa isolada.

Diversas chaves também podem ser comandadas com um único circuito de acionamento, através de secundários isolados do transformador. O método insere pouca distorção e atraso desprezível na transmissão do sinal, possibilita a obtenção de alta classe de isolamento com baixo custo e é pouco influenciado por ruídos de modo comum e perturbações geradas pelo efeito Miller (CAZAKEVICIUS, F., 2014).

Segundo Cazakevicius (2014), dentro das análises têm-se dois elementos que são considerados básicos para um transformador de sinal clássico: (i) no primário, a tensão positiva aplicada, multiplicada pelo tempo, deve permanecer dentro da curva de saturação do circuito magnético; (ii) e, no secundário o tempo em nível alto (chave em condução), multiplicado pela tensão positiva, deve ser igual ao tempo em nível baixo (chave aberta) pela tensão negativa. Essas considerações implicam grande limitação na razão cíclica e outros parâmetros do circuito.

Na Figura 4, segundo Perin et al (1997), existe uma limitação de razão cíclica, não permitindo a operação sob baixa frequência de chaveamento considerando o bloqueio com tensão negativa, regulação dos níveis de excitação e maior dependência à tolerância dos componentes discretos envolvidos. No entanto Brehaut et al (2006), diz que melhorias no projeto do magnético além de estruturas mais sofisticadas facilitam na criação de *gate-drivers* para aplicações onde outros meios não permitem.

Figura 4: Estruturas clássicas de *gate-drivers* baseados em transformador.

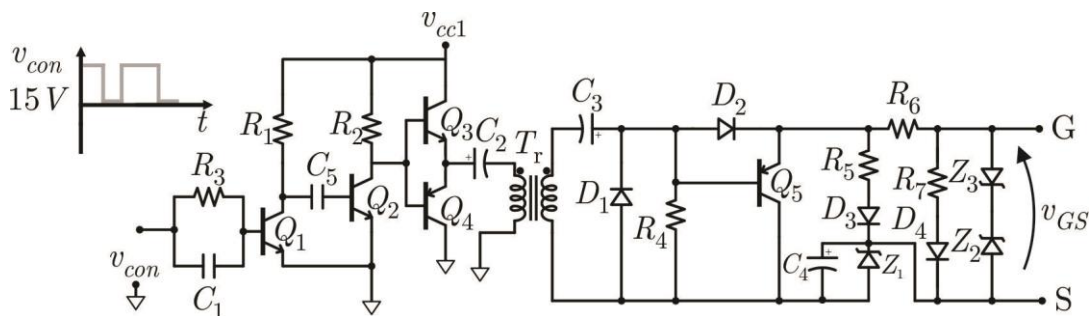


Fonte: Adaptado de (RIDLEY, 2006).

Dentro das topologias mais comuns, temos na Figura 4 (a) uma relação similar ao conversor *forward*, cuja, a principal limitação é a excursão da razão cíclica de um máximo de 50%. Contudo na Figura 4 (b), tendo uma modificação em relação à anterior, o capacitor juntamente com a corrente de disparo do *gate* permite a excursão da razão cíclica para a faixa de 10% a 90%. No entanto, o capacitor em série aumenta a impedância de saída do circuito, o que limita a corrente de pico disponível.

Tendo em vista a modificação apresentada na Figura 4 (b) apresenta-se a Figura 5 juntamente com a implementação de bloqueio com tensão negativa. Segundo Perin et al. (1997), é um recurso que auxilia no bloqueio rápido e seguro da chave, porém, aumenta a impedância do caminho percorrido pela corrente de carga e descarga da chave.

Figura 5: *Gate-driver* via transformador de sinal com bloqueio negativo.

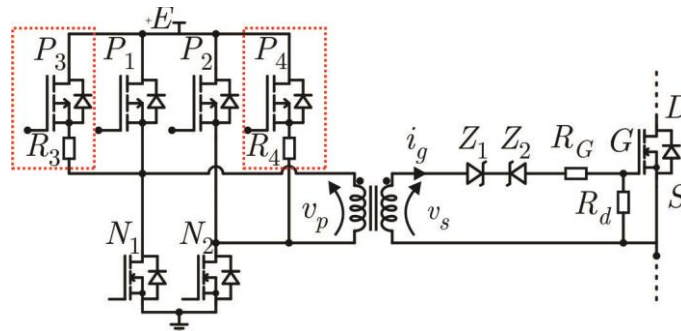


Fonte: Adaptado de (PERIN et al, 1997).

Como se observa na Figura 6 é adicionado um circuito de desmagnetização no primário do *gate-driver* que permite a operação em qualquer razão cíclica e frequência (NGUYEN, et al., 2012). Desta forma os diodos zener utilizados possibilitam o ajuste das tensões aplicadas ao terminal de *gate*. Assim, a escolha da primeira topologia para o circuito do secundário evita o uso do capacitor em série com a corrente de *gate*, o que evita o aquecimento e degradação precoce do componente e aumento da impedância de saída. Segundo Cazakevicius (2014), embora seja uma

solução que demanda poucos componentes no secundário do *gate-driver*, seu primário traz grande complexidade. Para o comando de uma chave no circuito de potência, seis chaves são necessárias no acionamento do transformador do *gate-driver*, sendo que dessas quatro necessitam de um circuito de acionamento e uma fonte de alimentação isolada.

Figura 6: *Gate-driver* baseado em transformador de sinal com circuito desmagnetizador.

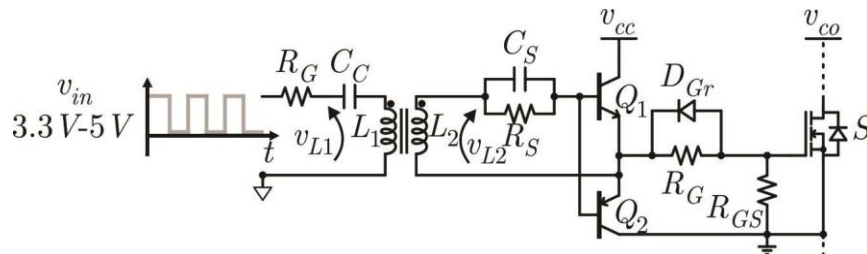


Fonte: Adaptado de (NGUYEN et al., 2012).

Segundo Ir (201-), a impedância de saída do *gate-driver* é seriamente afetada pela indutância de dispersão do transformador de sinal. Com a intenção de reduzir a dependência da dispersão do sinal é possível adicionar um seguidor de tensão ou transistores bipolares em arranjo *push-pull*

Nesse contexto, Muhammad et al (2014), apresentam um *gate-driver* com elevadas indutâncias de dispersão, conforme a Figura 7. Como foi testado com frequência de comutação de 1 MHz, com razão cíclica de 0,1 a 0,9, deve-se evitar que a dispersão afete o funcionamento do *push-pull*. Assim, foi projetado um capacitor para ressonar com a indutância série do transformador. Esse circuito apresenta um atraso na propagação de sinal da ordem de 50 ns.

Figura 7: Transformador ressonante e *buffer* para baixa impedância de saída.

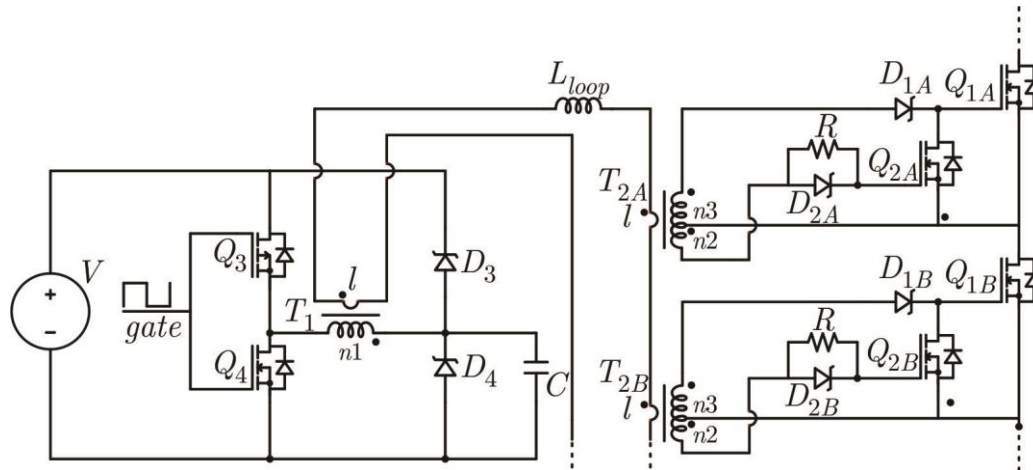


Fonte: Adaptado de (MUHAMMAD, et al., 2014).

Segundo Anthony et al. (2011), a Figura 8 representa um transformador de sinal para MOSFETs em série, que operam normalmente sob alta tensão e frequências. Deste modo cada

*gate-driver* possui um pequeno transformador toroidal ( $T_2$ ) e um MOSFET ( $Q_2$ ) auxiliar dedicado ao *turn-off*.

Figura 8: Comando síncrono com dupla isolamento.



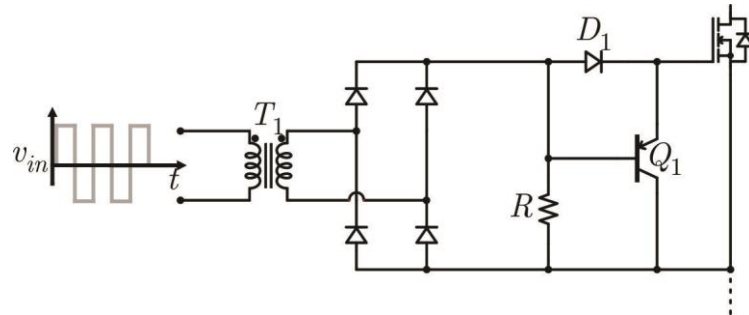
Fonte: Adaptado de (ANTHONY, et al., 2011).

Percebe-se que no primário do *gate-driver* há um conversor meia ponte que aciona o transformador toroidal ( $T_1$ ). Assim o condutor com alta classe de isolamento liga em série todos os transformadores. Deste modo, é formado o sistema de comando por dupla isolamento. Assim os componentes  $T_2$  operam como transformadores de correntes.

A principal desvantagem é o fato do *gate-driver* ser baseado em transformador de sinal, assim temos uma dificuldade em superar a limitação da razão cíclica. Outra abordagem possível seria transmitir o sinal de comando modulado. Assim o sinal de comando da chave poderia ser transmitido através de uma portadora em alta frequência. Deste modo é possível manter o semicondutor de potência em condução por tempo indefinido sem haver risco de saturação do transformador.

Segundo Hunter (2008) propõe o circuito de *gate-driver* apresentado na Figura 9. O circuito funciona de forma semelhante a uma fonte de alimentação, retificando o sinal do secundário do transformador e mantendo o *gate* da chave com tensão positiva. Assim ao retirar a excitação do transformador, o transistor  $Q_1$  entra em condução descarregando  $C_{GE}$ . A desvantagem é que o método impõe dificuldades para efetuar o bloqueio da chave de maneira suficientemente rápida e não permite implementação de tensão negativa.

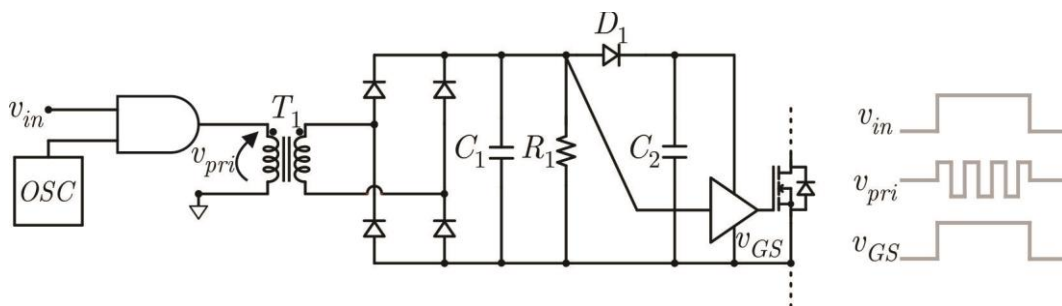
Figura 9: Estrutura convencional com transmissão via portadora.



Fonte: Adaptado de (HUNTER, 2008).

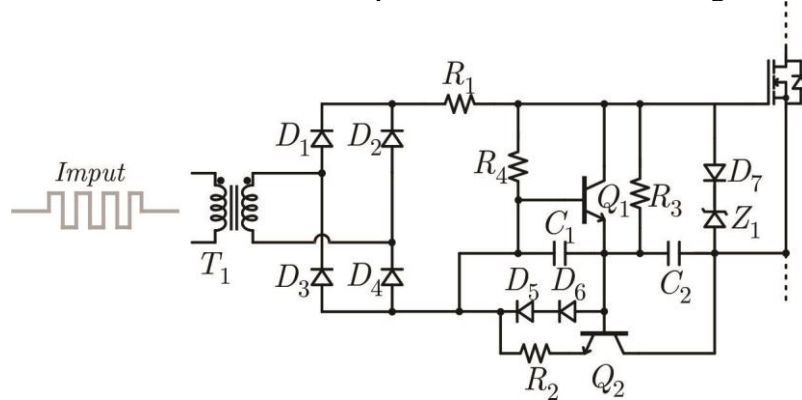
Devido os transistores PNP não serem de fácil construção para utilização em tensões e correntes elevadas, devemos fazer alterações com melhorias no circuito utilizando estágio amplificado integrado. A Figura 10 apresenta uma solução. Segundo Walker et al (1996), o capacitor de filtro  $C_1$  é muito menor que o  $C_2$ , e estes são conectados aos terminais do amplificador de saída. Deste modo, podemos manter o sinal com ondulação minimamente suficiente para a entrada do amplificador podendo interpretar como nível lógico alto, fazendo com que haja nível de armazenamento baixo para que permita descarga rápida pelo resistor paralelo. Já o capacitor que alimenta o amplificador deve fornecer a capacidade para que o terminal de *gate* possa fornecer o pulso, com energia suficiente para o *turn-on* da chave, sendo que entre um ciclo e outro sua tensão permaneça quase constante.

Figura 10: Transmissão por portadora com saída otimizada.



Fonte: Adaptado de (WALKER, et al., 1996).

Figura 11: *Gate-driver* com transmissão via portadora e com tensão negativa de bloqueio.

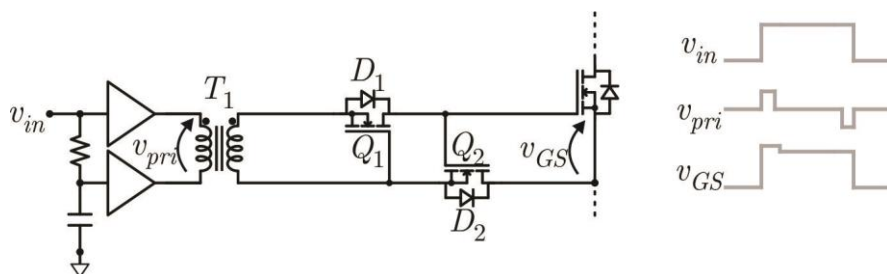


Fonte: Adaptado de (HUNTER, 2008).

Como mostrado na Figura 11, Hunter (2008) propõe ainda um circuito aprimorando o estágio de saída, onde se adiciona a capacidade de bloqueio com tensão negativa. Segundo Cazakevicius (2014), o transistor  $Q_2$  previne sobretensão em  $C_2$ , deste modo atuando como um regulador linear e impedindo que o  $Q_1$  entre em condução. Assim que é retirado o sinal de  $T_1$  para que ocorra o bloqueio, fazendo com que o  $Q_2$  entra em corte, permitindo a condução de  $Q_1$  que irá efetuar rapidamente a descarga de  $v_{DS}$  até seu bloqueio. Posteriormente, já com o bloqueio da chave semicondutora de potência, o resistor  $R_3$  leva o terminal de *gate* até a tensão negativa de  $C_2$ . Esta solução não utiliza circuitos de retenção ou amplificação, o que reduz a sensibilidade à injeção de ruídos ocasionados por elevados  $dv/dt$  no coletor.

Outra forma de implementação de comunicação magnética é através de pulsos simples para a entrada e saída (*set* e *reset*) de condução da chave. Este método utiliza retenção (*latch*) para guardar o estado da chave até o próximo comando, eliminando também o problema da limitação de razão-cíclica da topologia clássica.

Figura 12: *Gate-driver set/reset*.



Fonte: Adaptado de (HUNTER, 2008).

Segundo Hunter (2008), a Figura 12 mostra um circuito simples que faz uso da técnica *latch*, conhecido como *gate-driver set/reset*, utilizando dois MOSFETs de sinal. O circuito entra em

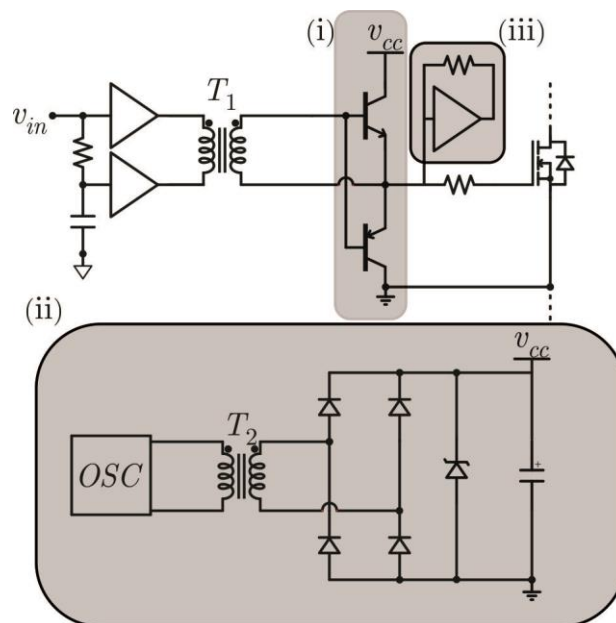


condução com um pulso positivo estreito no transformador. Quando o diodo  $D_1$  entra em condução o terminal de *gate* de  $Q_2$  é carregado e a corrente carrega a capacitância  $C_{GE}$ . Quando o sinal aplicado à  $T_1$  é extinto, a capacitância  $C_{GE}$  ainda está carregada. Com o pulso negativo em  $T_1$  o terminal de *gate* da chave  $Q_1$  é carregado e o diodo  $D_2$  entra em condução, deste modo ocorrendo a descarga de  $C_{GE}$ . O circuito tem a capacidade de bloquear a chave com tensão negativa, no entanto, seu estado não pode ser garantido por um longo período por conta da fuga de corrente no *gate* e em outros elementos do circuito.

Embora forneça tensão negativa, o *gate-driver* da Figura 12 pode apresentar problemas nos tempos de transição da chave, restringindo seu uso a frequências mais baixas. Ainda, a fuga de corrente pela capacitância  $C_{DS}$  torna o circuito inadequado para frequências muito baixas de comutação.

Walker et al (1996) apresentam, na Figura 13, uma estrutura com três modificações importantes: (i) adição de uma etapa amplificadora; (ii) implementação de fonte isolada por transformador independente; (iii) circuito de realimentação positiva para compensar a corrente de fuga. Assim como apresentado na Figura 1 (b), o *push-pull* apresentado na saída do *gate-driver* irá desacoplar a impedância do transformador de sinal e possibilitar o fornecimento das correntes de pico para *turn-on* e *turn-off*, melhorando o desempenho nas transições.

Figura 13: Gate-driver set/reset com alimentação independente e circuito de retenção.

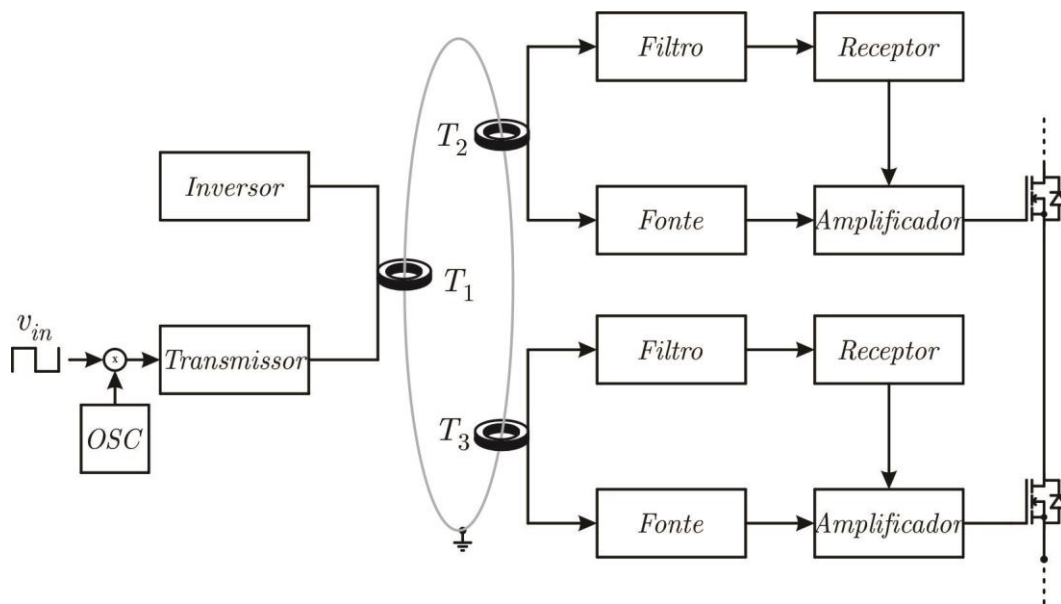


Fonte: Adaptado de (WALKER et al, 1996).

Como se observa na Figura 13, a fonte isolada alimenta o circuito de maneira independente, minimizando os esforços no transformador de sinal e melhorando a qualidade na alimentação do circuito. Assim, o circuito proposto possui excursão plena da razão-cíclica.

Temos a Figura 14, que segundo Brehaut et al. (2006), de maneira similar como foi abordado na Figura 8, a dupla isolação para acionamento direto do semiconductor apresenta um sistema de modulação do sinal de comando que utiliza a mesma estrutura galvânica. A Figura 14 apresenta um transformador  $T_1$  que é constituído por dois enrolamentos independentes no primário, o transmissor de energia e o transmissor de sinal. Assim é apresentado um conversor meia ponte operando em 25 kHz atuando em um dos enrolamentos, deste modo implementando a fonte de alimentação dos *gate-drivers* isolados. No segundo enrolamento é utilizado um modulador que transmite os sinais de comando para uma portadora em 8 MHz.

Figura 14: *Gate-driver* modulado com dupla isolação.



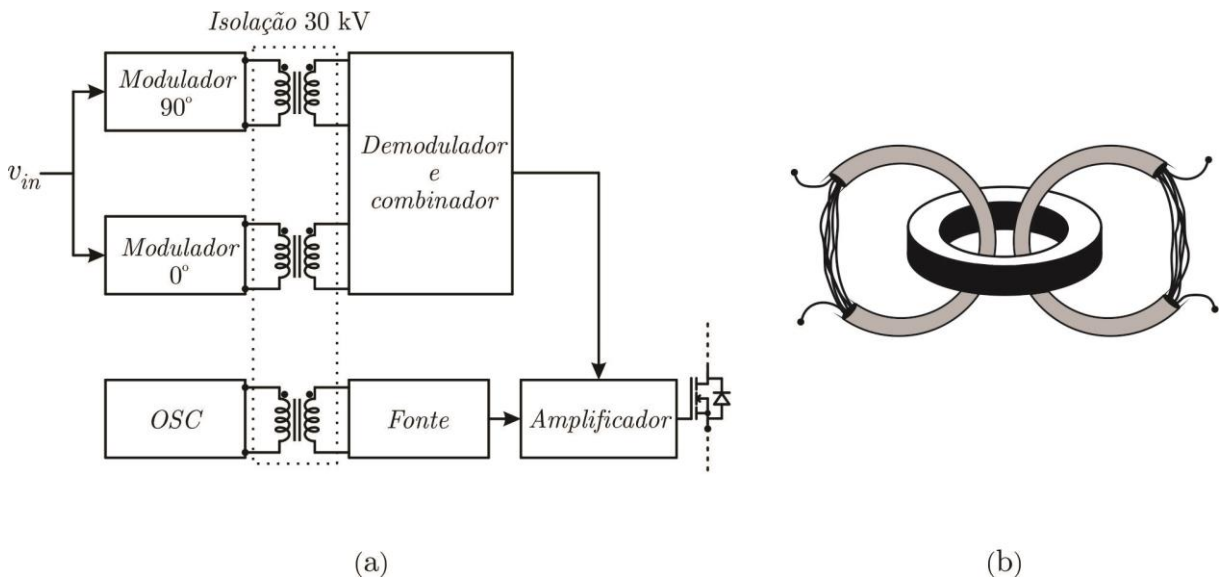
Fonte: Adaptado de (BREHAUT, et al., 2006).

Segundo Brehaut et al (2006), devido à sua larga banda passante, o sistema de comunicação pode enviar comandos independentes a diversas chaves como referido na Figura 14. Esta topologia apresenta a desvantagem referente a um atraso na transmissão do sinal

Já Berning et al (2008) apresentam, na Figura 15, uma topologia com três transformadores isoladores, dois sendo dedicados à transmissão de sinal e um à alimentação isolada. Assim o transformador que tem a função de fonte isolada é chaveado na faixa de 650 kHz. Os outros transformadores de sinal utilizam este sinal como portador, sendo que em um deles há uma

defasagem em  $90^\circ$ , isto ocasiona a não utilização de filtros passa-baixa, otimizando o processo de demodulação, assim podendo ser considerado desprezível o atraso no sinal.

Figura 15: *Gate-driver* para uma SSPS; (a) estrutura do sistema e (b) dos transformadores.



Fonte: Adaptado de (BERNING, et al., 2008).

Podemos observar na Figura 15 (a) o esquema do *gate-driver* e na Figura 15 (b) a construção dos transformadores isoladores. Este *gate-driver* é utilizado em projeto de conversores que operam com barramento na faixa de 5 kV com frequência de comutação de 20 kHz. Deste modo as estruturas normalmente são de subestação de estado sólido (SSPS -- *Solid State Power Substation*), onde se tem isolamento de 30 kV com *rise time* na ordem de 100 ns. Segundo Berning et al (2008), durante as comutações, a fronteira galvânica estará sujeita a um nível  $dv/dt$  de 50 kV/ $\mu$ s possuindo grande potencial de interferência de modo comum. Conforme a Figura 15 (b), os transformadores são constituídos com condutores isolados com polímero PTFE (Teflon<sup>®</sup>) e revestidos por PVC. Esta utilização é feita para ter uma classe de isolamento, juntamente com a redução da capacitância de acoplamento entre primário e secundário, parâmetros mais críticos para operação em alta tensão.

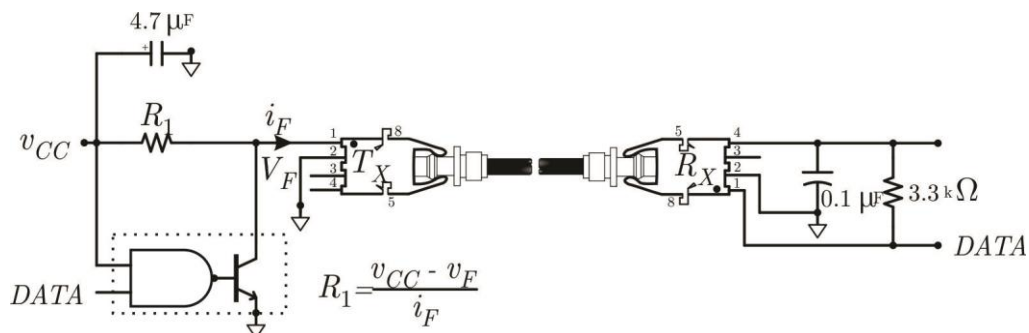
#### 2.2.2.2 Canal óptico

Segundo Avago (2008b), através da Figura 16 percebe-se que para obtermos aplicações com alta tensão de isolamento, bom desacoplamento capacitivo e mínimo atraso no sinal de controle, empregam-se *links* de fibra óptica. Sendo composta por plástico ou fibra de vidro, o canal de

comunicação permite alocar o circuito de controle a uma grande distância do circuito de *gate-driver*. São sistemas muito explorados para altas potências e tensões, sendo utilizados como inversores de tensão para grandes motores e/ou estações conversoras em sistemas de transmissão HVDC (*High-Voltage Direct Current*).

Avago (2010c) comenta que o circuito é imune a interferências eletromagnéticas. Já Brehaut et al (2006) relatam que para sistemas que necessitam de isolamento acima de 10 kV, o sistema terá uma redução drástica de vida útil devido à vibração e alta temperatura.

Figura 16: *Link* de fibra óptica típico.

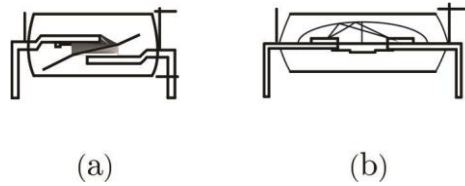


Fonte: Adaptado de (AVAGO, 2008b).

Segundo Khan (2010), os opto-acopladores integrados a *gate-drivers* de baixa potência se tornaram uma solução muito utilizada. Uma das principais vantagens que foram sendo encontradas, através dos desenvolvimentos e aplicações, é a facilidade de implementação nos circuitos e natural liberdade de fatores como saturação do material magnético. Da mesma forma, Avago (2006) apresenta a vantagem da manutenção da fronteira galvânica, dificultando a propagação de energia do circuito de potência para o de controle.

Khan (2010) explica que o sinal positivo do circuito de controle leva o LED ao estado ligado, assim, a luz gerada pelo LED é focada em uma região sensível no lado isolado do circuito e transmitida por um dielétrico transparente construído dentro do circuito integrado (CI). Assim os opto-acopladores utilizados para *gate-driver* devem ter mínima capacitância na interface transparente. Já Avago (2007), como demonstrado na Figura 17, diz que uma solução que normalmente é adotada é a blindagem semitransparente, que permite o mínimo acoplamento capacitivo.

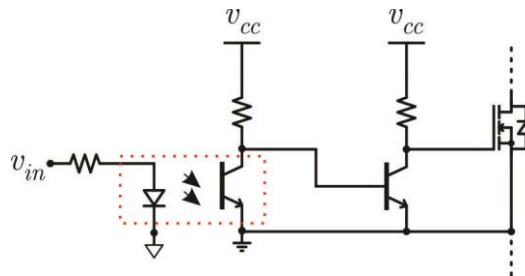
Figura 17: Opto-acopladores blindados; (a) alinhamentos perpendicular e (b) paralelo.



Fonte: Adaptado de (AVAGO, 2007).

Rashid (2011), como apresentado na Figura 18, mostra uma solução simples com um arranjo clássico de um *gate-driver* baseado em opto-acopladores que utiliza a saída de coletor aberto com um estágio amplificador de emissor comum. Devido à utilização de um opto-acoplador de uso geral (6N137) esta estrutura apresenta limitações em frequências e tensão.

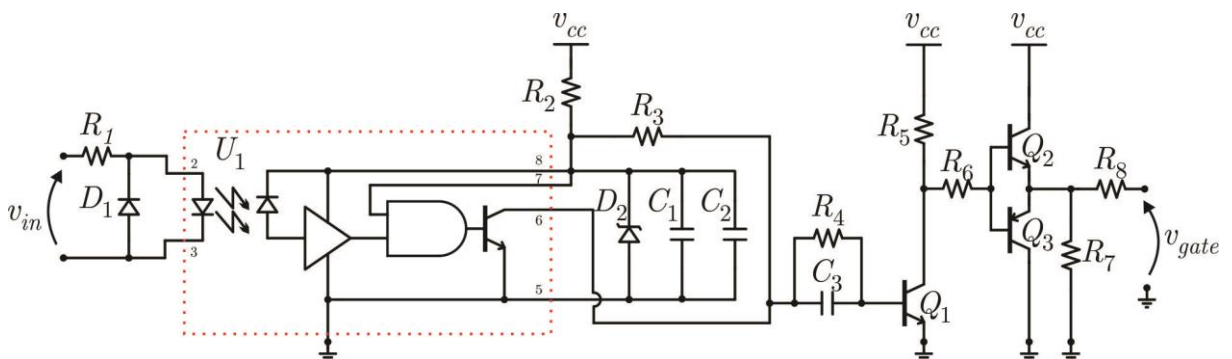
Figura 18: *Gate-driver* opto-acoplado com amplificador emissor comum.



Fonte: Adaptado de (RASHID, 2011).

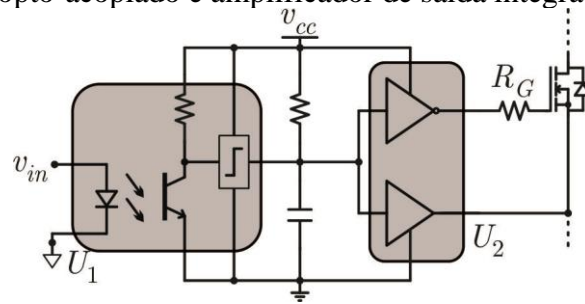
Segundo Krug et al (2009), como apresentado na Figura 19, temos um *gate-driver* com opto-acoplador utilizando na sua estrutura um amplificador *push-pull*, assim obteremos um acionamento com frequências mais elevadas.

Figura 19: *Gate-driver* opto-acoplador com amplificador *push-pull*.



Fonte: Adaptado de (KRUG et al, 2009).

Figura 20: *Gate-driver* opto-acoplado e amplificador de saída integrado.

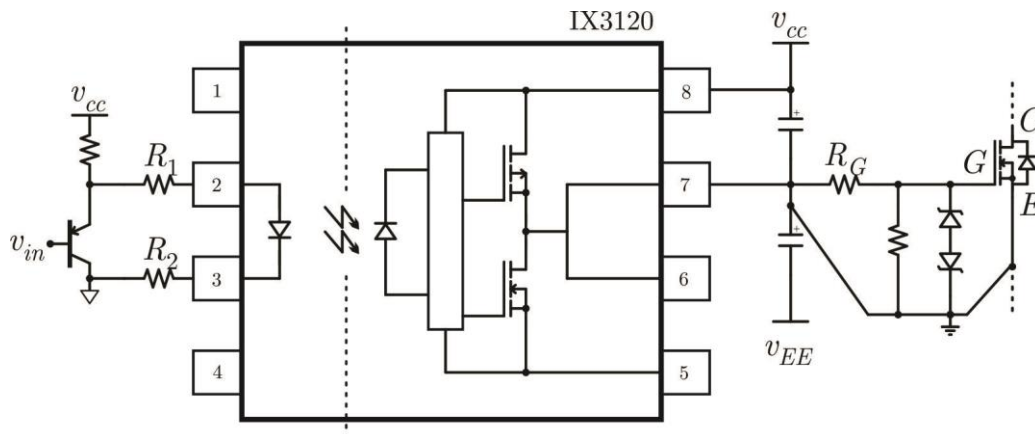


Fonte: Adaptado de (MOHAN et al, 2002).

A Figura 20 apresenta, segundo Mohan et al (2002), um *gate-driver* que utiliza um opto-acoplador ( $U_1$ ) como interface do amplificador integrado IX4425 ( $U_2$ ), que possui capacidade de 3 A de pico. Ele é apresentado como um sistema com poucos elementos discretos.

A Figura 21, segundo Avago (2006), apresenta *gate-driver* com CI dedicado (IX3120 ou HCPL3120). Estes CIs foram surgindo comercialmente pelo fato da solução apresentada ser economicamente atrativa. Na Figura 21, a ligação para o *gate-driver* com tensão negativa de bloqueio tem a inclusão de um resistor de descarga para  $C_{GE}$ , para garantir que a  $v_{GE} = 0V$  quando o *gate-driver* estiver desligado. Segundo Avago (2006), a Figura 21 ainda apresenta dois resistores ( $R_1$  e  $R_2$ ) nos terminais do LED do opto-acoplador. Esta técnica é conhecida como *split resistor*, ela ampliar tolerância do circuito a interferência e eletromagnética de modo comum.

Figura 21: *Gate-driver* opto-acoplado com amplificador integrado.



Fonte: Adaptado de (AVAGO, 2006).

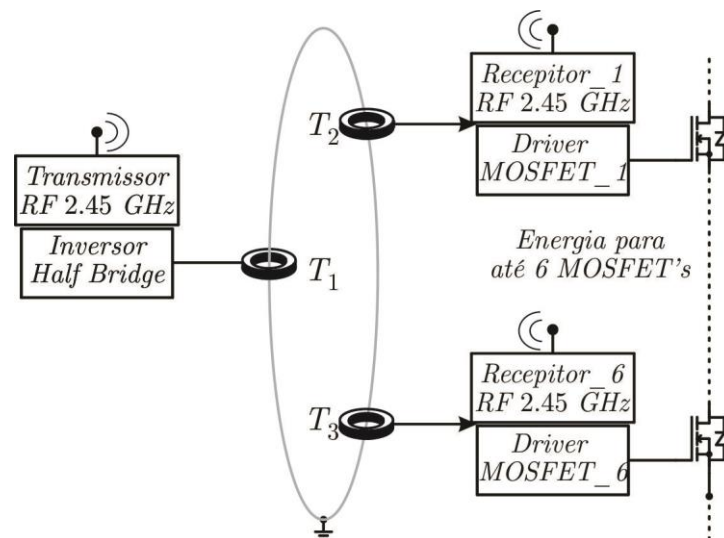
Assim sendo, Avago (2010c), diz que o LED do opto-acoplador pode ser acionado de diversas maneiras. A Figura 21, demonstra que o método de acionamento que permite melhoras nos tempos. São estes: (i) o transistor  $Q_1$  alterna entre corte e a região ativa, mas nunca satura; (ii) a impedância é pequena durante o desligamento do LED, assim reduzindo o tempo de transição;

(iii) a operação na região ativa tem a tensão sob o transistor comumente à capacitância de junção do LED, provocando uma redução no tempo de entrada de condução

### 2.2.2.3 Canal wireless

Por ser uma transmissão via rádio frequência (RF), o sistema deve ter menor interferência com relação ao sinal de comando pelo sinal de potência. Desta forma, Bréhaut (2006) apresenta através da Figura 22 um sistema no lado de baixa tensão do *gate-driver* que emprega um inversor aplicado é o meia ponte induzindo uma corrente de alta frequência em um *loop* de fio Litz, enquanto um transdutor RF de 2,45 GHz transmite o sinal codificado para todos os receptores que são acionados juntos. Assim, no lado de alta tensão, a energia é absorvida no *loop* enquanto um receptor de RF e um decodificador restauram o sinal de acionamento/bloqueio da chave semicondutora.

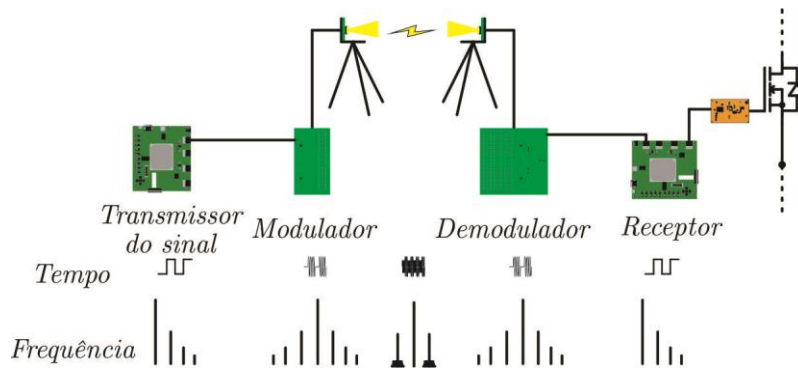
Figura 22: Conceito da transmissão *wireless* proposta por Bréhaut (2006).



Fonte: Adaptado de (BRÉHAUT, S., 2006).

Bréhaut (2006) e Lin (2018) dizem que o sistema apresentado demonstra que a utilização de *wireless* para a comunicação entre o sistema de controle e o conversor não tem o contato físico, evitando, assim, a propagação de interferência eletromagnética. Contudo, este sistema tem uma desvantagem: o sistema apresenta um atraso em relação a banda passante na transmissão de rádio frequência, assim para que esta desvantagem seja corrigida deve-se incluir juntamente uma estratégia de codificação no sinal de condução.

Figura 23: Demonstração do sinal *Wireless* de transmissão para o *gate-driver* de um MOSFET.



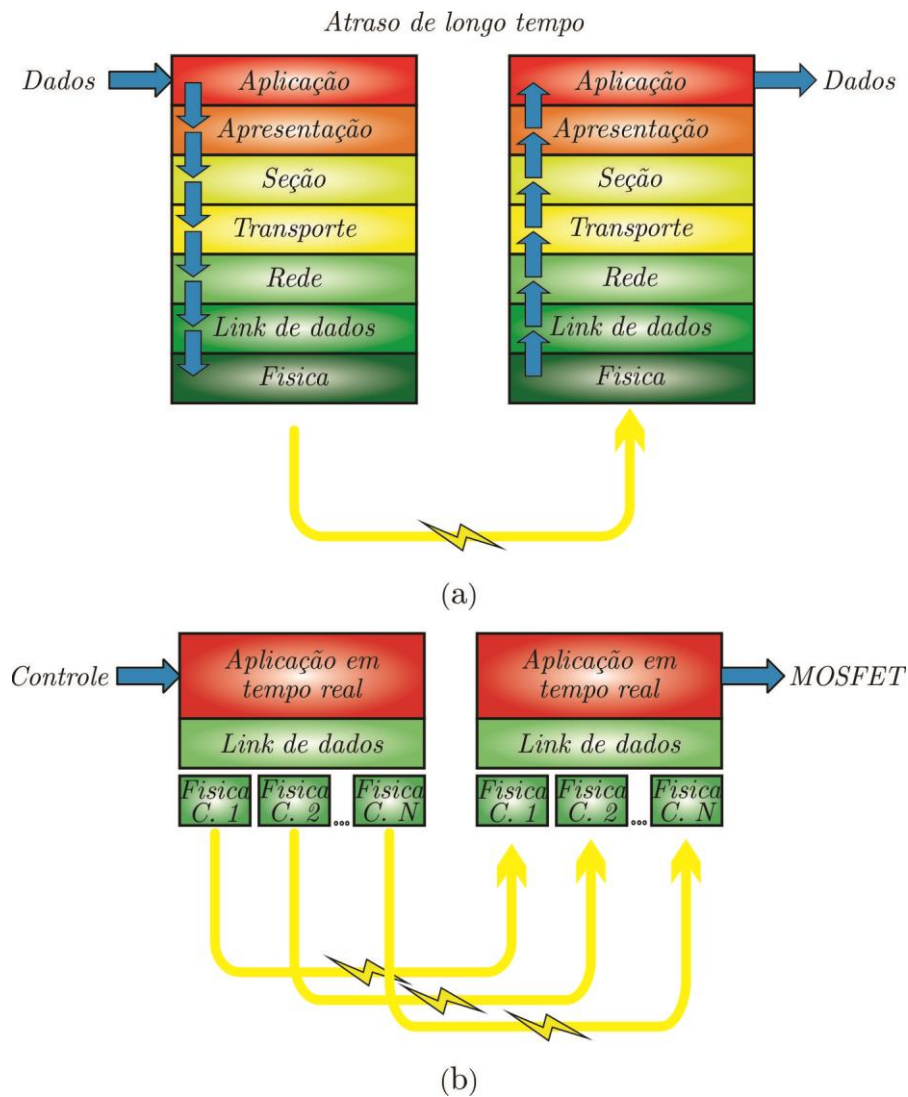
Fonte: Adaptado de (YAMANOTO et al., 2015).

Segundo Yamanoto et al (2015), para assegurar a simultaneidade do sinal para acionamento do terminal de *gate* temos que seguir os seguintes pontos: (i) faixa de frequência ampla para transmissão de ondas retangulares; (ii) a transmissão sem fio deve ser de curto alcance para menor interferência; (iii) deve-se ter uma configuração multi-canal para confiabilidade de transmissão de sinal; e (iiii) deve-se ter uma possibilidade de modulo de *chip* único com antena para redução de custo futuro e tamanho. Contudo a forma de transmissão *wireless* contém grandes complexibilidades em sua implementação.

A Figura 24 (a) ilustra segundo Yamanoto et al(2015), que a configuração típica sete camadas do protocolo de comunicação que tem um longo tempo de atraso com a compactação e o controle de retransmissão de dados. Pode haver flutuação de tempo (*jitter*), devido à diferença de tempo do processamento de dados em cada camada nos módulos sem fio, este tempo de atraso é na faixa de vários milissegundos. Já a Figura 24 (b) mostra um exemplo do protocolo em que a camada de aplicação acessa as várias camadas físicas, de modo que a vantagem é obter várias transmissões simultâneas.



Figura 24: Configuração típica de módulo *wireless*; (a) camadas do protocolo e (b) configuração de *gate-driver* utilizando *wireless*.



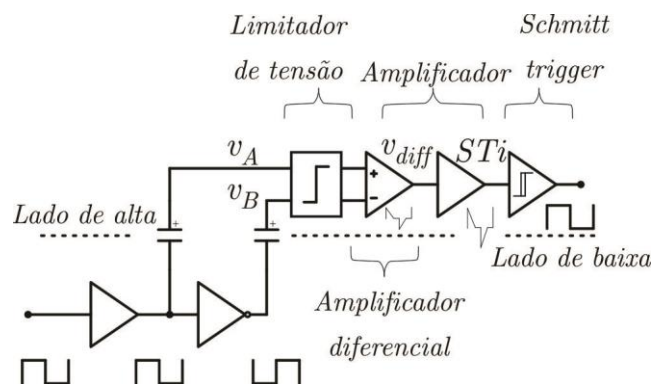
Fonte: Adaptado de (YAMAMOTO et al., 2015).

#### 2.2.2.4 Canal capacitivo

A capacitância de acoplamento é um dos principais parâmetros entre as massas isoladas que deve ser considerado (ANTHONY et al., 2011; BERNING et al., 2008; BREHAUT et al., 2006; KUSAKA et al., 2014; STEINER et al., 2009). Contudo, Zeltner (2010) diz que o uso de maneira análoga ao acoplamento indutivo de um transformador, o parasita capacitivo pode se tornar um modo de transmissão isolada do sinal de comando para o *gate-driver*, assim ele pode apresentar algumas vantagens em relação à solução magnética, como menor dependência de parasitas indutivos no circuito e menor corrente quiescente de operação.

A Figura 25 mostra, segundo Lihua et al (2010), a transmissão diferencial de um sinal por uma barreira capacitiva, ou seja, a comunicação é baseada na transmissão de bordas de subida ou descida de um sinal de tensão de um comparador *schmitt-trigger*. Uma onda quadrada diferencial é aplicada aos dois capacitores, que compõe a fronteira de isolamento. Juntamente com o outro lado da isolamento galvânica, um circuito limitador protege a entrada do amplificador diferencial. Assim, a saída desse estágio de comparação será amplificada e tratada com histerese por uma porta *schmitt-trigger*, que converte o sinal analógico para uma saída digital, quase idêntico ao sinal de entrada.

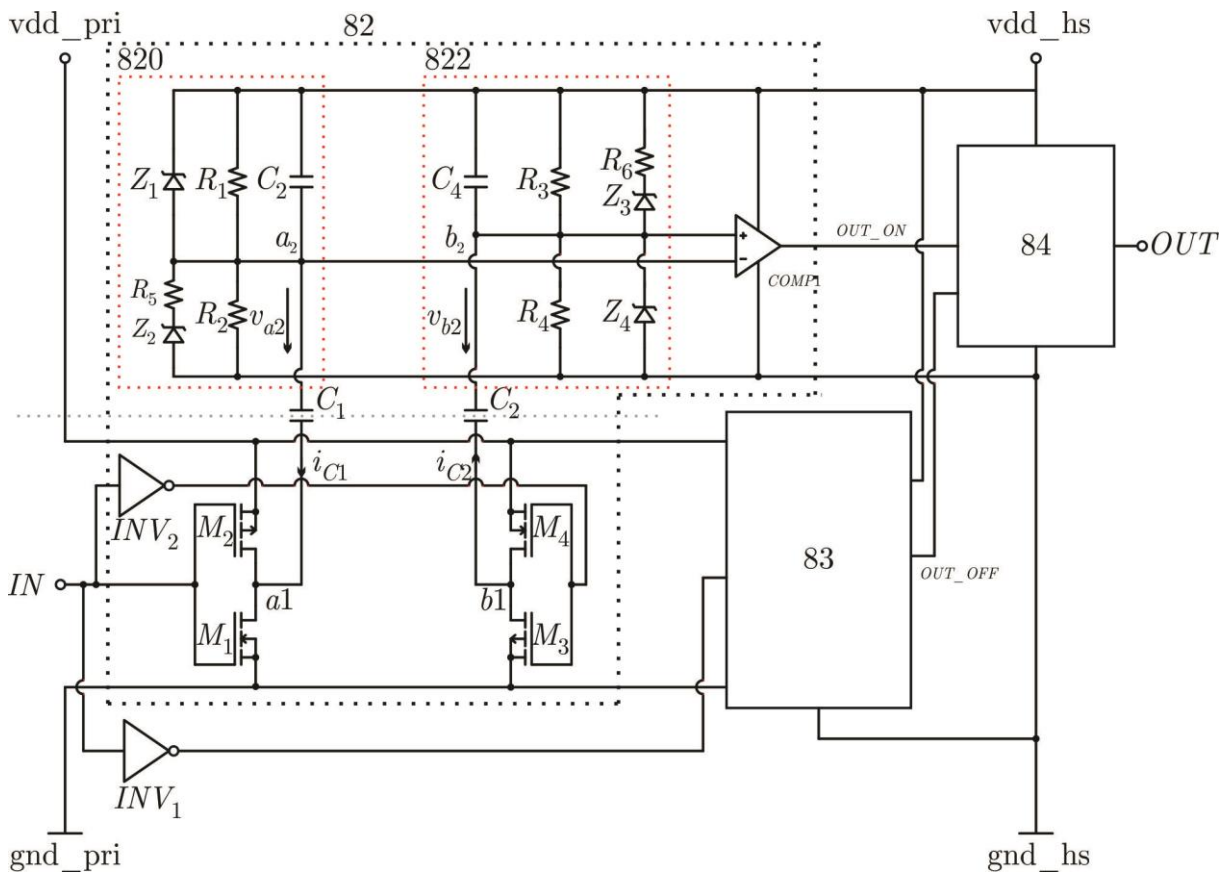
Figura 25: Transmissão diferencial do sinal por meio capacitivo.



Fonte: Adaptado de (LIHUA et al., 2010).

A Figura 26 apresenta a patente da empresa alemã Semikron Elektronik GmbH, que é muito semelhante à Figura 25. Segundo Vogler et al (2013), esta figura apresenta um sinal gerado de corrente que circula pelo transmissor, carregando um capacitor e descarregando seu complementar. Desta forma a corrente é detectada no secundário. Sendo comum aos dois braços, este sinal é constituído e fornecido a um circuito de validação.

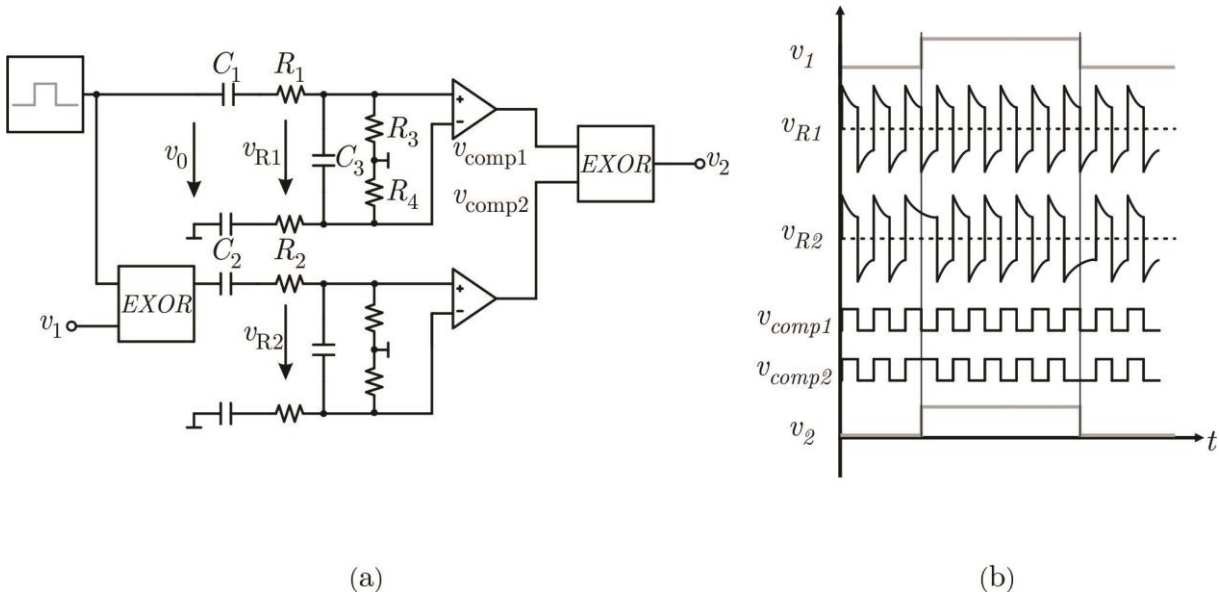
Figura 26: Patente de uma solução em transmissão por meio capacitivo com sinal diferencial.



Fonte: Adaptado de (VOGLER et al., 2013).

Nesta mesma linha, Zeltner (2010), visando maior confiabilidade do meio de comunicação, implementou a transmissão por meio capacitivo baseada na codificação Manchester, a mesma que é utilizada em redes Ethernet. Assim a Figura 27 (a) mostra a solução, onde a portadora transmite o sinal de modo complementar por quatro capacitores. Já na Figura 27 (b) temos a representação dos sinais teóricos em cada etapa do circuito:  $v_1$  é o sinal de entrada;  $v_{R1}$  e  $v_{R2}$  são os sinais diferenciais nos capacitores do lado isolado;  $v_{comp1}$  e  $v_{comp2}$  são os sinais diferenciais tratados pelos comparadores de tensão (EXOR) e  $v_2$  é o sinal recuperado na saída isolada.

Figura 27: Transmissão capacitiva. (a) circuito empregado e (b) diagramas de sinais.



Fonte: Adaptado de (ZELTNER, 2010).

Segundo Zeltner (2010) há outra forma de transmitir o sinal através de uma portadora em alta frequência pela interface capacitiva, esta é chamada de OKK *on-off keying*, onde o sinal digital de comando habilita ou desabilita um oscilador que excita os capacitores. O circuito de recepção consiste em um pré-amplificador e um detector envelope, que demodula o sinal e recupera seu formato digital original.

Assim, Texas (2014) diz que os circuitos de condicionamento nos sinais transmitidos e recebidos são usados para aumentar a rejeição a ruídos de modo comum. Segundo Texas (2013), esta tecnologia é empregada no CI dedicado à função de *gate-driver* ISO5500, que possui capacidade de picos de corrente de saída de 2,5 A e possibilita a implementação de proteções de sobrecorrente na chave de potência e falha na alimentação do *gate-driver*. Duas vias de comunicação são construídas dentro do ISO5500, uma para transmissão e outra para o retorno do aviso de falha. Os capacitores da barreira isolante são construídos no próprio semicondutor, sendo usado dióxido de silício ( $\text{SiO}_2$ ) como dielétrico. A capacitância equivalente entre primário e secundário ( $C_{io}$ ) do CI é de apenas 1,25 pF que, juntamente com técnicas de condicionamento e rejeição à ruídos, confere ao circuito imunidade a transientes de tensão de até 50 kV/ $\mu\text{s}$ , sendo que o fabricante garante a transmissão de até 520 kHz.

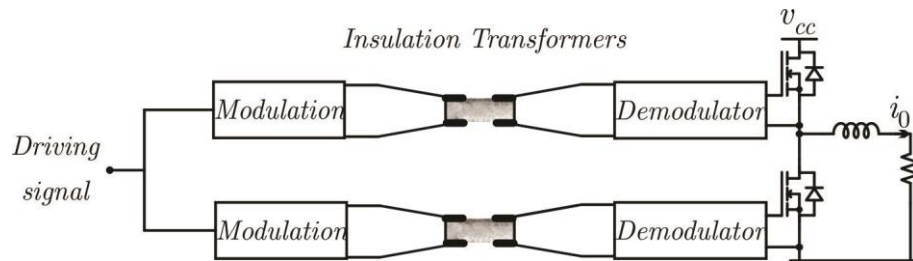
A solução, quando comparada ao CI HCPL-316j (AVAGO, 2008a), apresenta um circuito integrado com funções idênticas, mas com transmissão do sinal por meio ótico. Comparando as duas tecnologias é possível citar algumas vantagens do acoplamento capacitivo: maior

temperatura de operação, maior rejeição a ruídos de modo comum (CMRR – *Common Mode Rejection Rate*) e menor tempo de atraso na transmissão do sinal

### 2.2.2.5 Canal piezoelétrico

Segundo Vasic (2006), uma forma de utilização de acoplamento piezoelétrico seria como a apresentada na Figura 28, podendo acionar transistores que na faixa de 1 a 40 kHz, com razão-cíclica de 0,1 a 1. Nesse exemplo, aplica-se uma modulação de amplitude a uma portadora de alta frequência (2,1 MHz), transmitida através do PT.

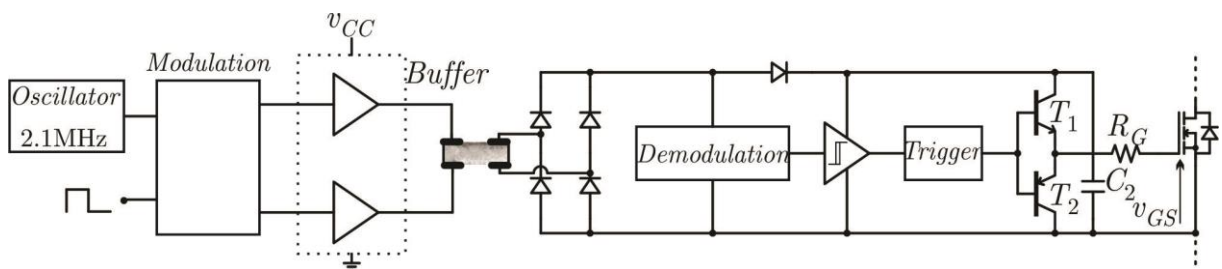
Figura 28: Estrutura do *gate-driver* com acoplamento piezoelétrico.



Fonte: Adaptado de (VASIC, D., 2006).

Segundo Vasic (2006), a Figura 29 demonstra como o circuito com a utilização do bloco *trigger* juntamente com o amplificador *push-pull* aumentam a robustez do *gate-driver*.

Figura 29: Estrutura dos elementos do circuito de *gate driver*.



Fonte: Adaptado de (VASIC, D., 2006).

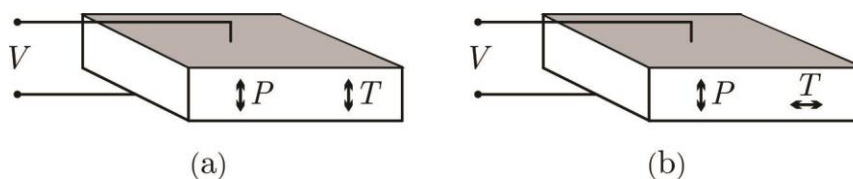
## 2.3 TRANSFORMADOR PIEZOELÉTRICO

### 2.3.1 Princípio da operação

Segundo Engleitner (2011), os PTs são constituídos por transdutores e atuadores acoplados de forma eletromecânica. No primário (conhecido como atuador) ocorre o chamado efeito piezoelétrico reverso, onde a cerâmica se deforma ao ser aplicado um campo elétrico. No secundário (conhecido como transdutor) temos o efeito piezoelétrico direto, onde a deformação mecânica oriunda do primário provoca uma polarização da cerâmica.

Segundo Lin et al (2001) e Buchanan et al (2004), as cerâmicas são classificadas de duas formas, como *soft* e *hard*. As conhecidas como *soft* apresentam alta sensibilidade e grandes deformações. Já as *hard* propiciam maior densidade de potência, juntamente com um pequeno deslocamento e baixa sensibilidade. De tal modo, Piefort (2001) diz que o material mais utilizado é o Titato-Zirconato de Chumbo (PZT), devido aos elevados coeficientes de acoplamento e altas temperaturas de despolarização, deste modo facilitando a polarização no momento da fabricação. O funcionamento dos PTs depende da relação entre polarização ( $P$ ) e a pressão mecânica exercida ( $T$ ) em cada um dos estágios, primário e secundário, sendo que na operação longitudinal, a polarização ocorre de maneira paralela com pressão, e no modo transversal, a polarização ocorre de maneira perpendicular com a deformação. A Figura 30 mostra esta situação.

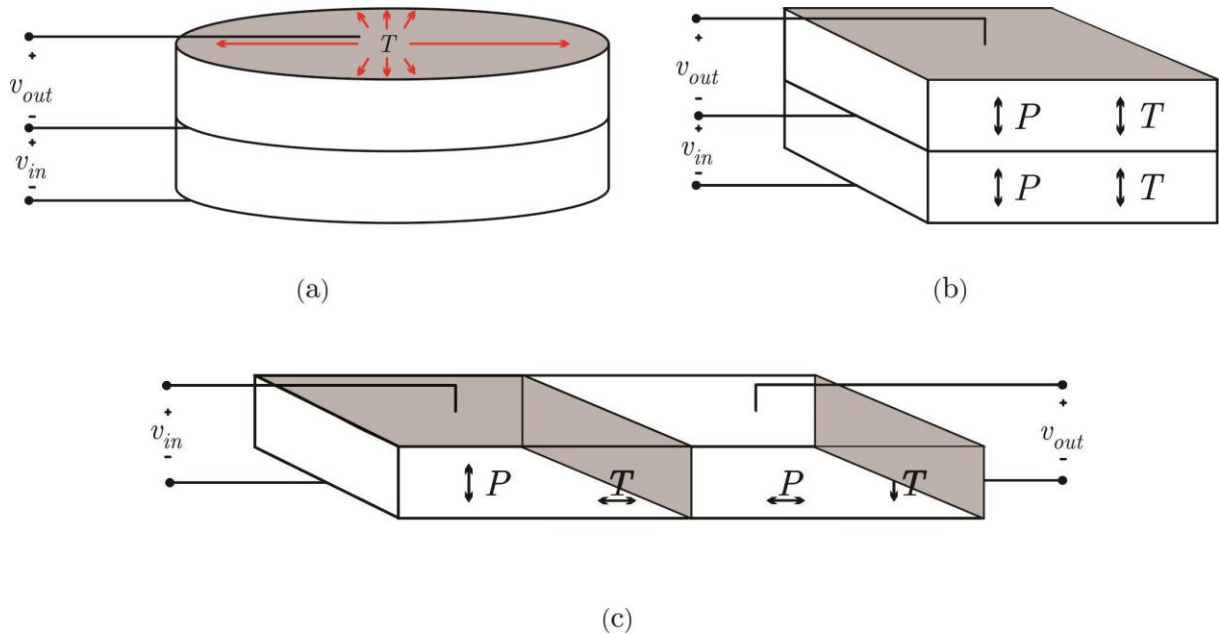
Figura 30: Modos de operação do TP; (a) modo longitudinal; (b) modo transversal.



Fonte: Adaptado de (ENGLEITNER, 2011), (MACHADO, 2015) e (RODGAARD, 2012).

Segundo Lin (2001), os modos de vibração mais comuns dos PTs são: modo radial, apresentado por Carazo (2003); *thickness* ou modo de espessura, dado por Bishop (1998); e *Rosen-type*, apresentado por Rosen (1961). Estes modos são apresentados na Figura 31.

Figura 31: Modo de vibração dos PTs; (a) modo radial; (b) modo espessura; (c) rosen-type.

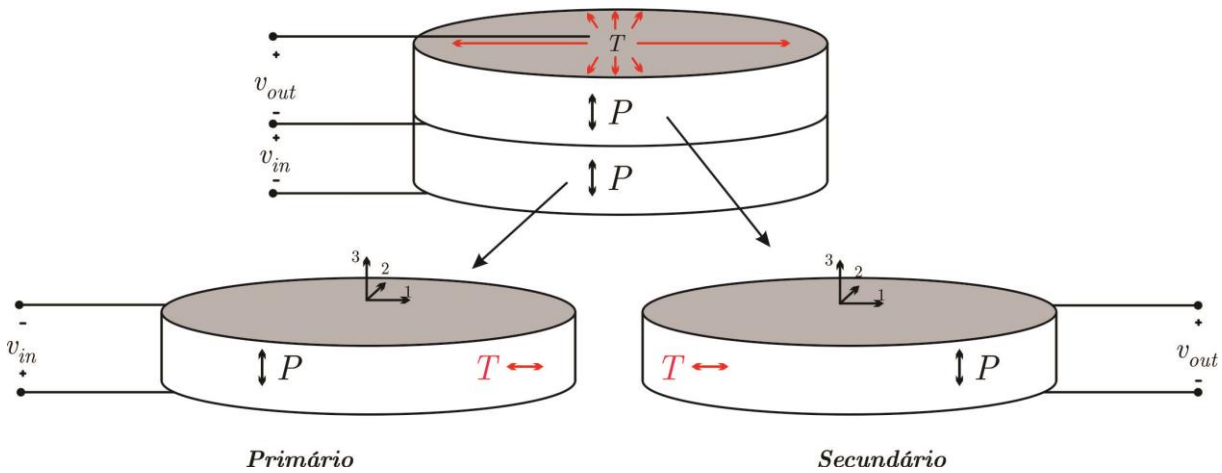


Fonte: Adaptado de (ENGLEITNER, 2011), (MACHADO, 2015) e (RODGAARD, 2012).

Desta forma, o PT *radial* é uma combinação de um atuador de vibração transversal no primário, com um transdutor de vibração transversal no secundário. Já o *thickness* é uma combinação de um atuador de vibração longitudinal no primário, com um transdutor de vibração longitudinal no secundário. O *rosen-type* é uma combinação de um atuador transversal, com um transdutor longitudinal.

Com respeito à Figura 32 pode-se utilizar como exemplo o PT radial. Quando uma tensão de entrada ( $v_{in}$ ) é aplicada no primário, o material se torna polarizado na direção paralela à espessura (direção 3). Neste caso, devido à estrutura da cerâmica, a maior vibração ocorre na direção planar (plano entre 2 e 1), perpendicular à polarização. Esta vibração é transmitida também na direção planar para o secundário devido à fixação mecânica entre eles. Esta vibração induz cargas elétricas nos eletrodos perpendiculares a ela (direção 3), gerando a tensão de saída  $v_{out}$ .

Figura 32: PT de modo radial.



Fonte: Adaptada de (ENGLEITNER, 2011), (MACHADO, 2015) e (RODGAARD, 2012).

### 2.3.2 Modelo elétrico equivalente

O modelo elétrico do PT já é conhecido na literatura, como encontrado em Lin (1997) e Syed (2001), contudo alguns princípios devem ser entendidos para facilitar a compreensão de seu funcionamento. Primeiramente, devemos analisar a simplificação do modelo segundo Buchanan et al (2004): (i) não ocorrem perdas mecânicas entre as camadas de cerâmica, e entre a cerâmica e elementos como a cola de fixação e os fios condutores; (ii) o atuador e o transdutor vibram identicamente um com o outro, sem perdas; e (iii) se o PT do tipo radial é considerado, vibrações em outras direções que não na direção radial são desprezadas.

Assim, temos as leis da piezoelectricidade que são determinadas por duas equações lineares, a Equação (2.1) e a Equação (2.2):

$$S = s^E T + dE \quad (2.1)$$

$$D = dT + \varepsilon^T E \quad (2.2)$$

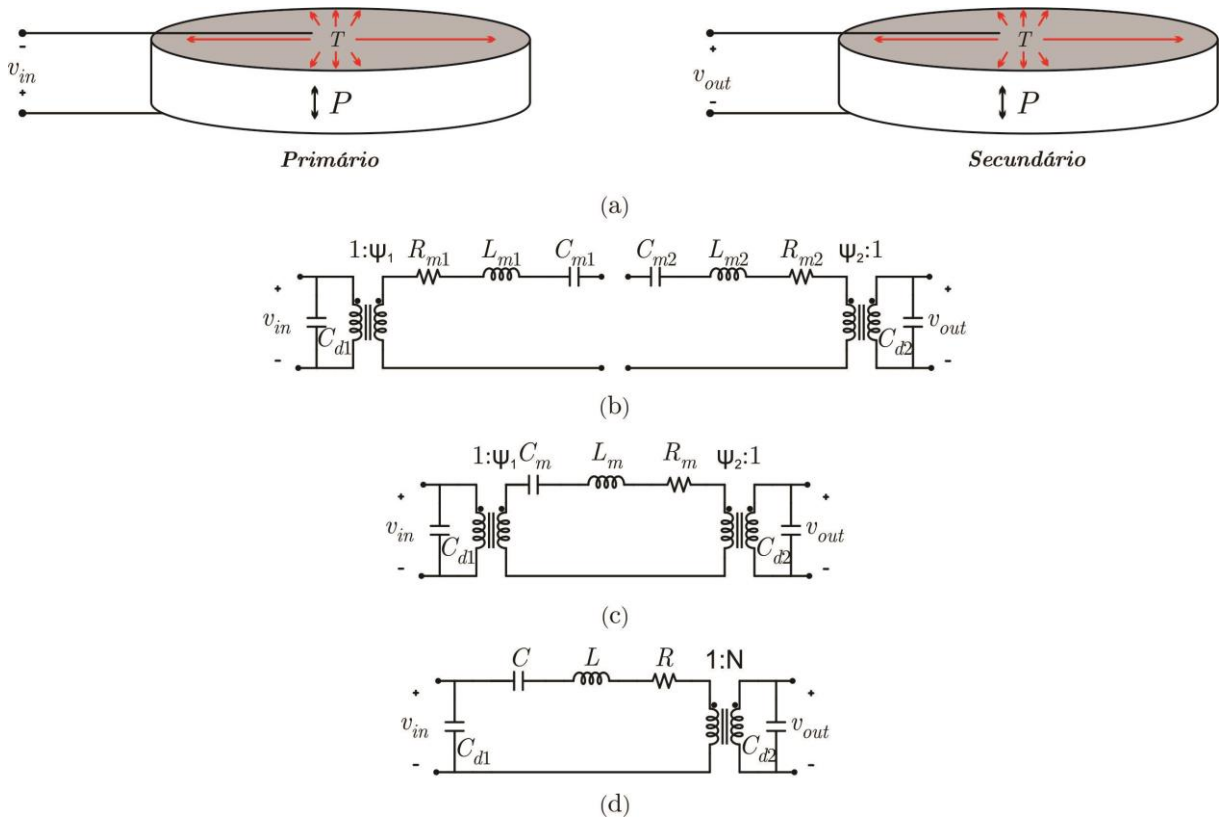
onde  $S$  é a deformação mecânica,  $T$  é a tensão mecânica,  $E$  é o campo elétrico,  $D$  é a polarização das cargas elétricas,  $d$  é a constante piezoelétrica,  $s^E$  é a complacência elástica para um dado campo elétrico constante, e  $\varepsilon^T$  é a permissividade para uma dada pressão constante.

Assim, Lin (1997), Piefort (2001) e Syed (2001) dizem que o processo de modelagem utiliza das simplificações e das equações piezoelétricas, de forma a obter um circuito elétrico



equivalente para o PT como um todo. O circuito elétrico equivalente final é formado pela união dos circuitos elétricos do primário e do secundário, como mostra a Figura 33.

Figura 33: Modelo elétrico equivalente; (a) Estrutura física; (b) Modelos do primário e secundário; (c) Primário e secundário unidos. (d) Modelo final.



Fonte: Adaptado de (ENGLEITNER, 2011), (MACHADO, 2015) e (RODGAARD, 2012).

Deste modo como a Figura 33(b) apresenta dois circuitos equivalentes que serão compostos para um único PT equivalente, de modo que Figura 33(a) apresenta um primário e um secundário separadamente em dois componentes distintos. Deste modo temos um componente o primário que será utilizado para injetar tensão de modo que o segundo componente é o secundário que será para a saída do mesmo, assim temos no primário  $C_{d1}$ ,  $C_{m1}$ ,  $L_{m1}$  e  $R_{m1}$  e no secundário temos  $C_{d2}$ ,  $C_{m2}$ ,  $L_{m2}$  e  $R_{m2}$ .

Na Figura 33(c) temos a junção dos elementos  $C_{m1}$ ,  $L_{m1}$ ,  $R_{m1}$  e  $C_{m2}$ ,  $L_{m2}$ ,  $R_{m2}$  que se tornam  $C_m$ ,  $L_m$ ,  $R_m$ , assim por fim temos a Figura 33(d) que apresente a junção de ambas as transformações de tensão, apresentando o modelo final de um circuito equivalente de um PT.

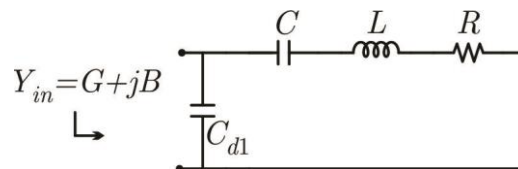
Segundo Lin (1997) e Piefort (2001), além das estruturas de uma camada, como mostradas na Figura 32, alguns PTs são compostos por multicamadas.

### 2.3.3 Obtenção do modelo elétrico equivalente através de medidas de resposta em frequência

Segundo Lin (1997) e Syed (2001), o método mais comum de se extrair os parâmetros dos PTs é baseando-se em medidas de resposta em frequência, que é um procedimento similar ao utilizado para obter circuitos equivalentes de elementos de quartzo utilizados em osciladores.

Deste modo, o primeiro passo é basear-se na medida da admitância de entrada do PT em torno da frequência de ressonância de interesse, realizando-se um curto-circuito da saída, conforme representado na Figura 34.

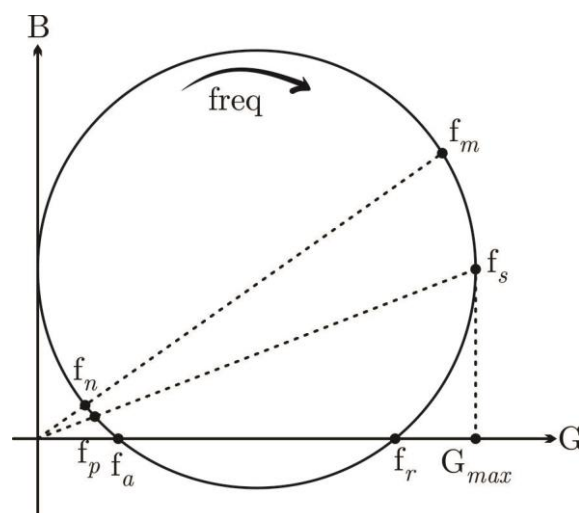
Figura 34: Medida do circuito de admitância de entrada do PT.



Fonte: Adaptado de (MACHADO, 2015) e (ENGLEITNER, 2011).

Desta maneira, os valores de condutância e susceptância são plotados conjuntamente, resultando no diagrama de admitância apresentado na Figura 35.

Figura 35: Diagrama de admitância.



Fonte: Adaptado de (MACHADO, 2015) e (ENGLEITNER, 2011).

As frequências de interesse neste circuito são definidas como:

- $f_m$  → frequência da máxima admitância;
- $f_s$  → frequência de ressonância série, dada por:

$$2\pi f_s = \omega_s = \frac{1}{\sqrt{LC}} \quad (2.3)$$

- $f_r \rightarrow$  frequência de ressonância, para susceptância igual a 0;
- $f_a \rightarrow$  frequência de anti-ressonância, para susceptância igual a 0;
- $f_p \rightarrow$  frequência de ressonância, dada por:

$$2\pi f_p = \omega_p = \frac{1}{\sqrt{(LC) \parallel C_{d1}}} \quad (2.4)$$

- $f_n \rightarrow$  frequência de admitância mínima.

Deste modo, é necessário encontrar mais um valor ( $C_{d1}$ ) e, como foi observado na Figura 34, a capacitância da entrada do transformador pode ser medida no mesmo circuito, de tal modo que se utiliza geralmente uma frequência na faixa de 1 kHz, onde a impedância do indutor  $L$  é mínima sendo que a admitância do capacitor  $C$  é maior do que  $1/R$ . Assim, se obtém um capacitor equivalente, de tal forma:

$$C_{T1} = C_{d1} + C \quad (2.5)$$

Substituindo nas (2.3) e (2.4) chegamos a uma equação para  $C_{d1}$ :

$$C_{d1} = \frac{\omega_{s1}^2}{\omega_{p1}^2} C_{T1} \quad (2.6)$$

Obtendo o valor de  $C$ , pode-se utilizar a equação (2.5) para achar o valor de  $L$  através de:

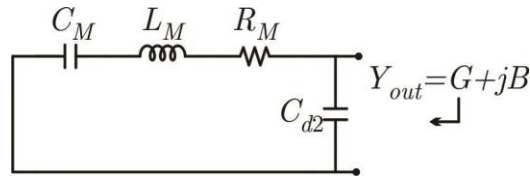
$$L = \frac{1}{\omega_{s1}^2 C} \quad (2.7)$$

E, por fim, temos a resistência que representa a perda mecânica, sendo obtida por:

$$R = \frac{1}{G_{\max}} \quad (2.8)$$

Para se obter todos os valores equivalentes do circuito do PT, deve-se medir a saída de forma similar como apresentado na Figura 34. O circuito descrito é apresentado na Figura 36.

Figura 36: Medida do circuito de admitância da saída do PT.



Fonte: Adaptado de (MACHADO, 2015) e (ENGLEITNER, 2011).

Da mesma maneira, a medida do capacitor equivalente de saída deve ser realizada:

$$C_{T2} = C_{d2} + C_M \quad (2.9)$$

Do mesmo modo, os valores dos elementos são calculados:

$$C_{d2} = \frac{\omega_{s2}}{\omega_{p2}} C_{T2} \quad (2.10)$$

$$C_M = C_{T2} - C_{d2} \quad (2.11)$$

$$L_M = \frac{1}{\omega_{s2}^2 C_M} \quad (2.12)$$

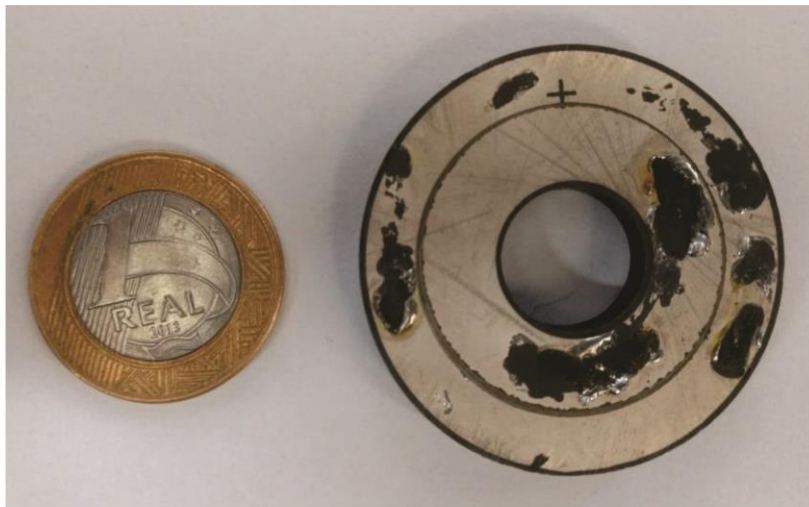
Assim, a relação de transformação é dada pela comparação dos valores do indutor  $L$  no primário e  $L_M$  no secundário:

$$N = \sqrt{\frac{L_M}{L}} \quad (2.13)$$

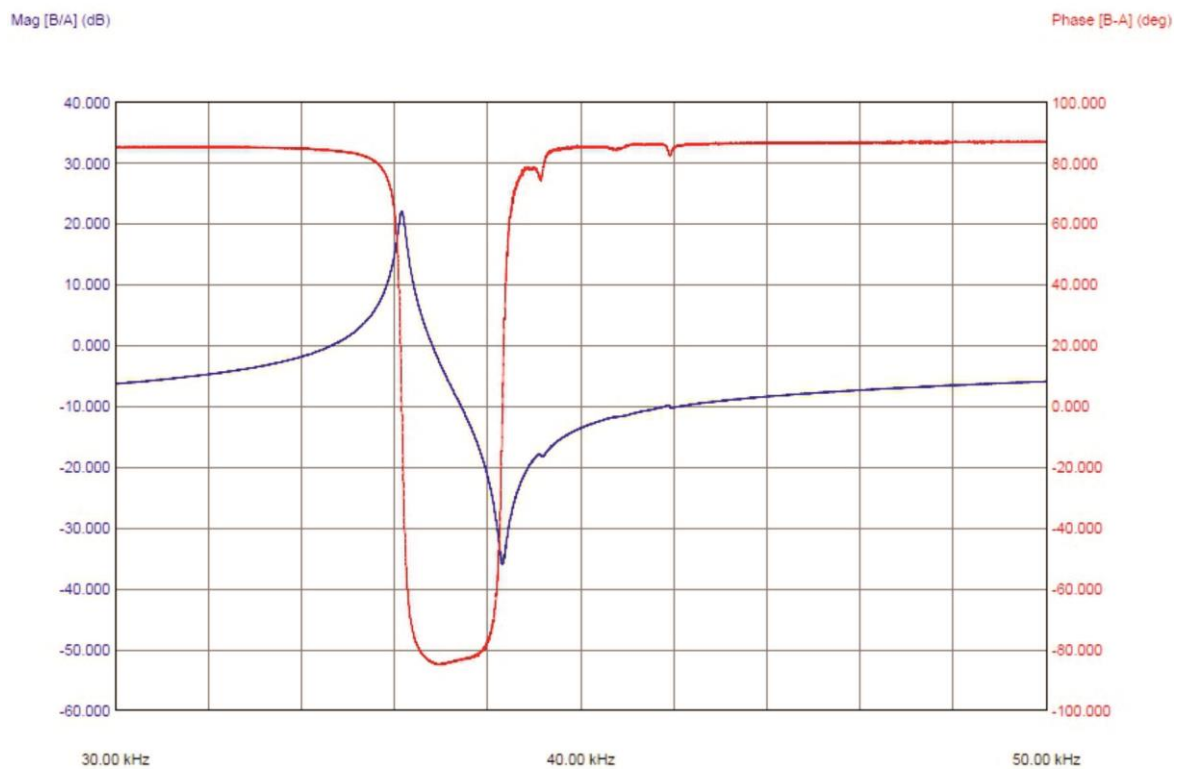
### 2.3.3.1 Levantamento dos parâmetros do transformador

O transformador piezoelétrico utilizado para obter os resultados dos capítulos posteriores é do tipo anel, como mostrado na Figura 37(a). Como podemos observar, o primário e o secundário foram feitos em uma fresadora na parte superior e inferior do PT. Para levantar os parâmetros deste PT, utilizou-se a sequência descrita no item 2.3.3. A curva de admitância do rastreamento de frequência está ilustrada na Figura 37 (b).

Figura 37: Transformador piezoelétrico utilizado; (a) PT anel; (b) Medida da admitância de entrada.



(a)



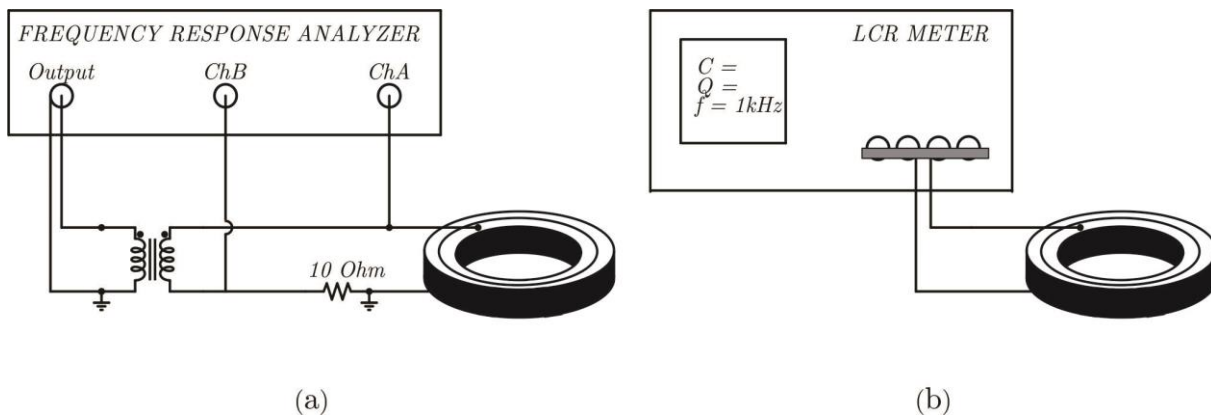
(b)

Fonte: Elaborado pelo próprio autor.

Esta curva foi obtida através do equipamento *AP200 Frequency Response Analyser* utilizando a configuração de medida de admitância de componentes discretos juntamente com as ponteiros *Ridley Engineering*. Foi realizada uma análise de 10.000 pontos entre as frequências 30 a 50 kHz, conforme ilustra a Figura 38 (a). As medidas dos capacitores

equivalentes da entrada e da saída foram realizadas com o equipamento *LCR Meter HP4263B*, através da configuração proposta na Figura 38 (b). A frequência e tensão de saída do equipamento foram programadas para 1 kHz e 1 V, respectivamente.

Figura 38: Medidas dos parâmetros do PT; (a) Resposta em frequência da entrada; (b) Capacitância equivalente da entrada.



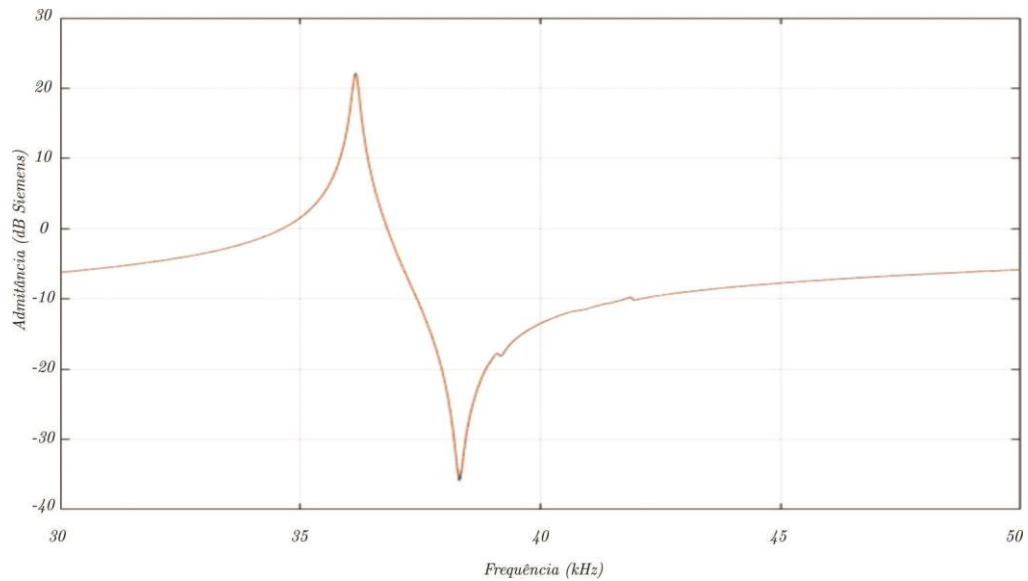
Fonte: Elaborado pelo próprio autor.

### 2.3.3.2 Resposta em frequência do transformador

Conforme vimos no item 2.3.3.1 obtemos a medida da admitância de entrada e saída do PT através dos equipamentos *AP200 Frequency Response Analyser* juntamente com as ponteiras *Ridley Enginering*. Assim, foi desenvolvido um algoritmo no ambiente *SPICE* para fazer o ajuste do modelo (Apêndice II).

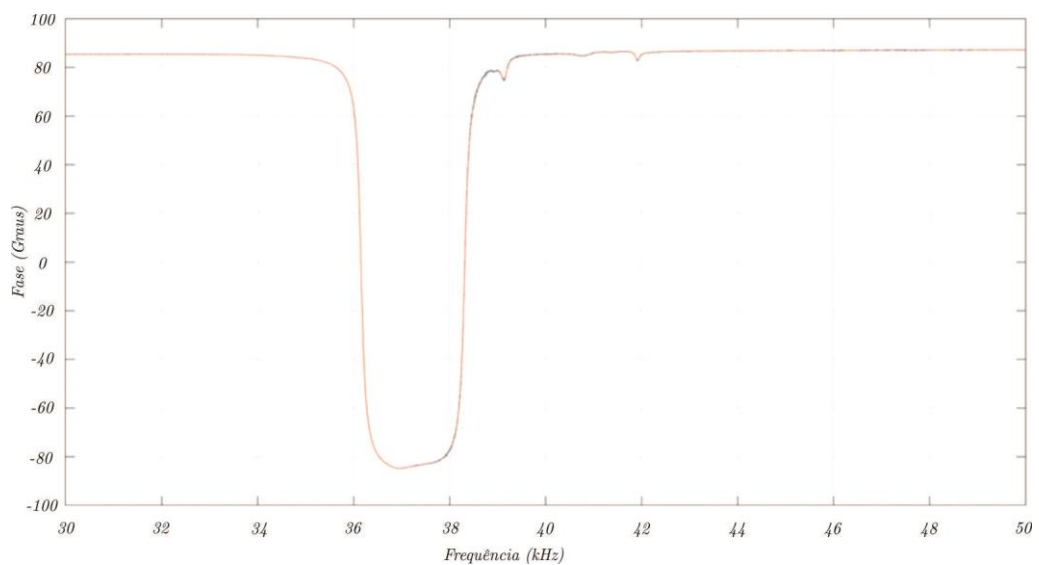
A Figura 39 apresenta a curva obtida pelo equipamento AP200 e, sobreposta, a curva filtrada (filtro de média móvel). Da mesma forma, a curva da fase da admitância em função da frequência é apresentada na Figura 40, juntamente com a curva filtrada. Salienta-se que o emprego de um filtro de média móvel teve por propósito atenuar o ruído de alta frequência da medida.

Figura 39: Curva de admitância (módulo) do PT em função da frequência.



Fonte: Elaborado pelo próprio autor.

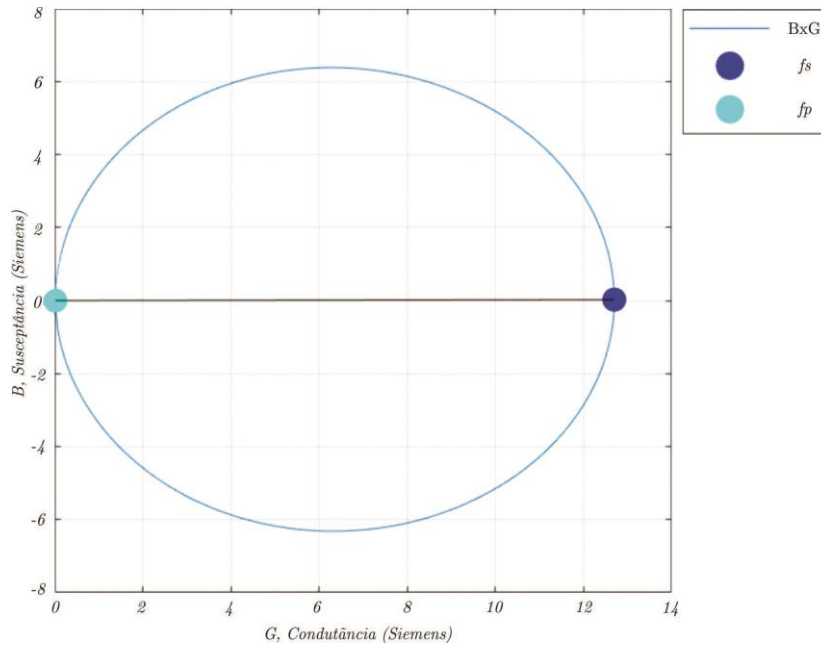
Figura 40: Curva admitância (fase) do PT em função da frequência.



Fonte: Elaborado pelo próprio autor.

Os valores obtidos das capacitâncias através da medição com a ponte LCR *Meter HP4263B*, são  $C_{T1} = 2,07 \text{ nF}$  e  $C_{T2} = 1,605 \text{ nF}$ .

Então, com base nos dados obtidos, pode-se plotar a curva de condutância *versus* susceptância, conforme a Figura 41.

Figura 41: Curva de condutância *versus* susceptância (GxB).

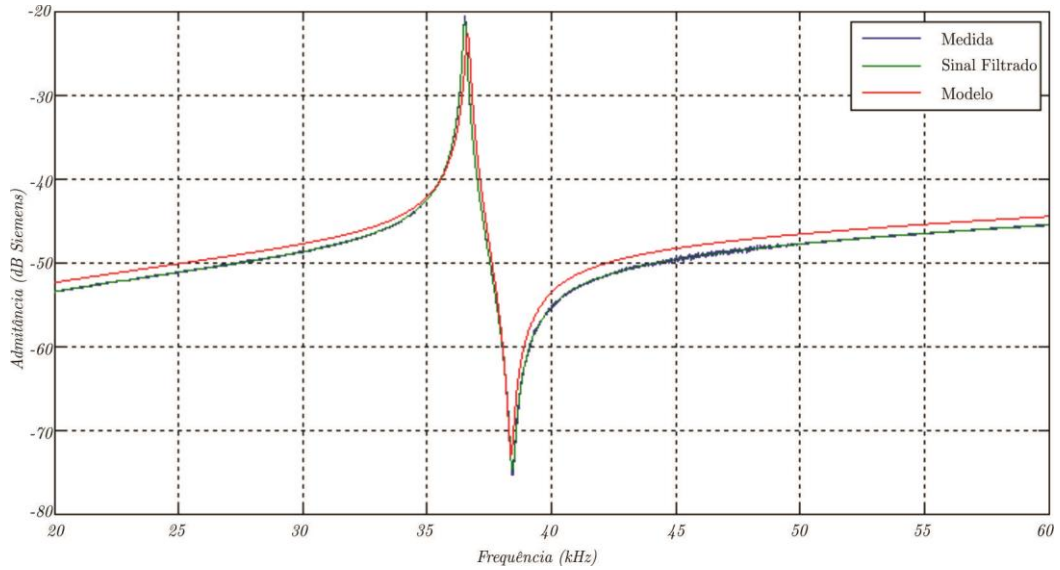
Fonte: Elaborado pelo próprio autor.

Através dos resultados obtidos, foi desenvolvido um sistema de otimização que varia os parâmetros do modelo elétrico, traça a curva de admitância, compara com os dados medidos e procura pelo menor erro.

Para comparação, na Figura 42 são apresentadas as curvas de admitância (módulo) medida, filtrada e do modelo obtido. Assim, se plotarmos o resultado juntamente com a primeira curva, veremos a precisão do modelo obtido.



Figura 42: Curva de admitância (módulo) medida, filtrada e obtida do modelo.



Fonte: Elaborado pelo próprio autor.

Desta forma, obtemos os parâmetros do modelo elétrico do PT apresentados na Tabela 1.

Tabela 1: Parâmetros do transformador piezoelétrico utilizado.

Componente	Símbolo	Valor
Capacitor de entrada	$C_{d1}$	12,9449 pF
Capacitor ressonante	$C$	1,2549 pF
Indutor ressonante	$L$	15,0371 mH
Resistência mecânica	$R$	13,6536 $\Omega$
Capacitor de saída	$C_{d2}$	24,9317 pF
Relação de transformação	$N$	1,0954

Fonte: Elaborado pelo próprio autor.



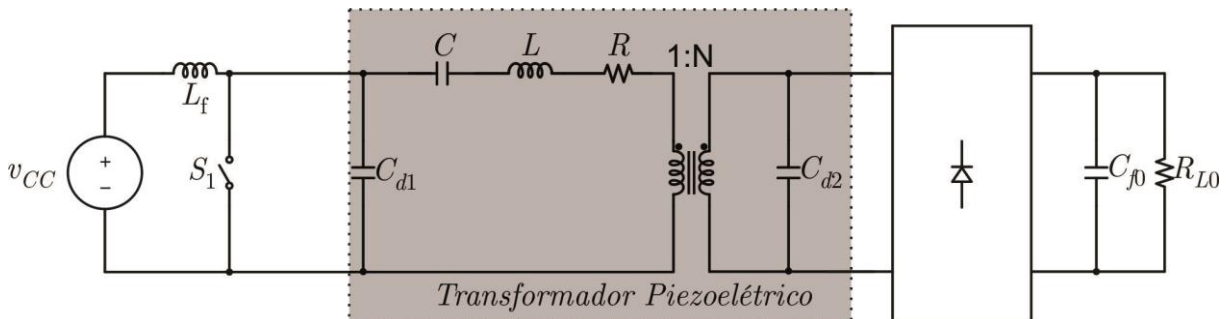
### 3 ANÁLISE E PROJETO DO CONVERSOR CLASSE-E

Este capítulo traz uma análise do conversor Classe-E, apresentando uma descrição com modelagem do conversor, formas de onda e do ganho estático.

#### 3.1 DESCRIÇÃO DO CIRCUITO

Segundo Engleitner (2015), a topologia do conversor CC-CC Classe-E aplicado juntamente com um PT, apresentada na Figura 43, apresenta uma comutação suave que é obtida de forma natural, zerando a tensão no capacitor em paralelo com o interruptor antes da sua entrada em condução através do projeto adequado (ZVS – *zero voltage switching* ou comutação sob tensão nula). Ao operar em ZVS, o conversor apresenta maior rendimento e menor emissão de ruído eletromagnético. Porém, devido à complexibilidade da análise matemática, não é trivial obter a relação entrada-saída (ganho estático), bem como as condições para comutação suave (frequência de operação e razão-cíclica).

Figura 43: Conversor CC-CC Classe-E com transformador piezoelétrico.



Fonte: Adaptado de (ENGLEITNER, 2015).

#### 3.2 MODELAGEM DO CONVERSOR

O capacitor equivalente do interruptor  $S_1$  ( $C_{SW}$ ) é somado ao capacitor de entrada do PT ( $C_{D1}$ ), formando o capacitor  $C_1$ . O diodo em antiparalelo ( $D_{SW}$ ) é temporariamente desconsiderado. O estágio de saída formado pelo retificador ( $D_{5-8}$ ), capacitor de filtro ( $C_{f0}$ ) e a carga ( $R_{L0}$ ) podem ser substituídos por resistência equivalente, de acordo com a equação (3.1):

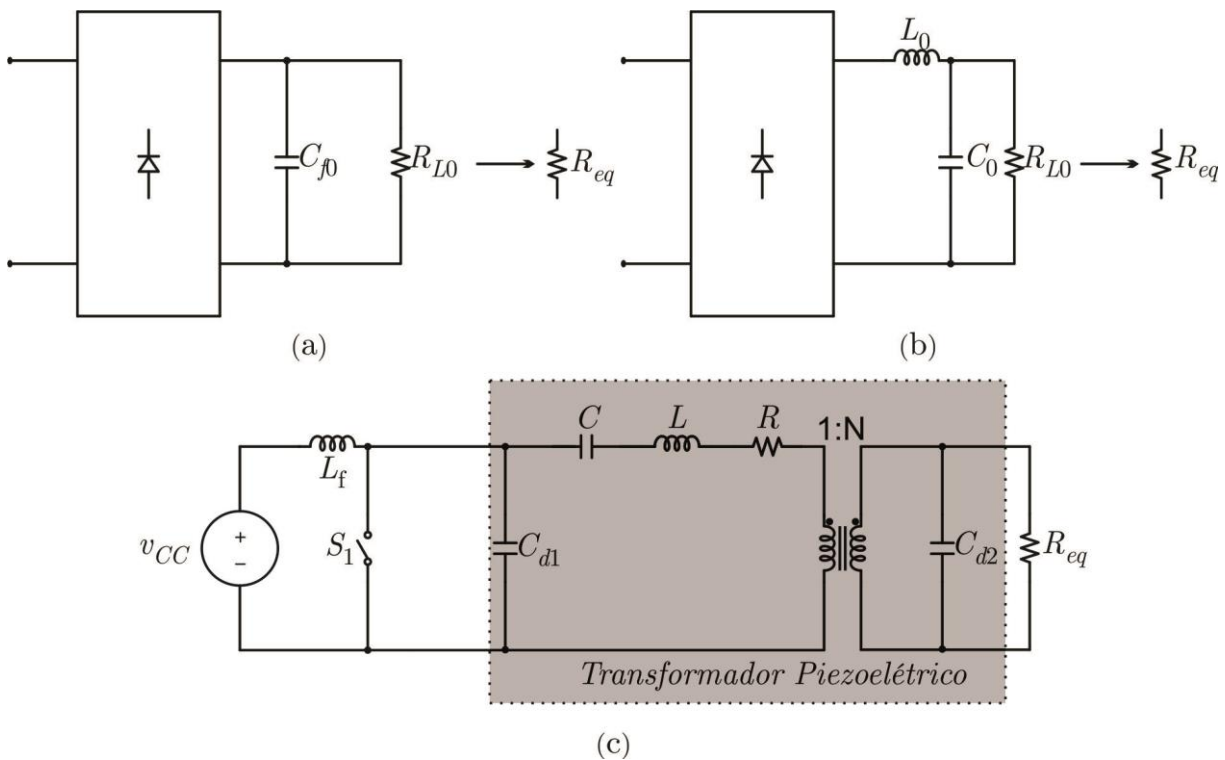
$$R_{eq} = \frac{8}{\pi^2} R_{L0} \quad (3.1)$$

A Figura 44 (a) ilustra a simplificação do retificador de saída. Esta equação é válida somente para o estágio de saída ilustrado na Figura 44 (a). Caso o filtro de saída possua um indutor em série como mostra a Figura 44 (b), a simplificação passa a ser definida com a equação (3.2).

$$R_{eq} = \frac{\pi^2}{8} R_{L0} \quad (3.2)$$

Assim a Figura 44 (c) mostra o circuito resultante das simplificações citadas.

Figura 44: Simplificações iniciais do conversor Classe E; (a) simplificação do estágio de saída (capacitivo); (b) simplificação do estágio de saída (capacitivo-indutivo); (c) resistência equivalente de saída.



Fonte: Adaptado de (ENGLEITNER, 2015).

A carga nominal equivalente  $R_{eq}$  deve ser projetada de tal forma que a máxima potência seja entregue na saída do conversor. Isto ocorre quando a impedância da carga é igual à impedância do capacitor, ou seja:

$$R_{eq} = \frac{1}{\omega_s C_{d2}} \quad (3.3)$$

Os elementos do secundário podem ser refletidos para o primário através das equações:

$$R_{eq}' = \frac{R_{eq}}{N^2} \quad e \quad C_{d2}' = C_{d2} N^2 \quad (3.4)$$

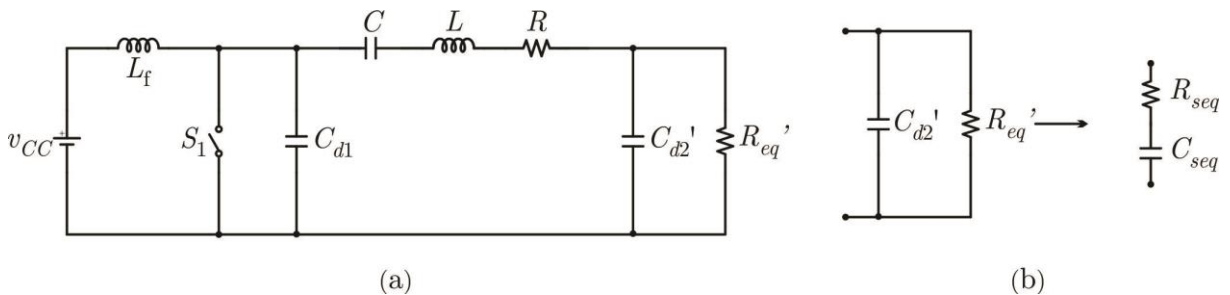
Resulta, então, o circuito da Figura 45 (a). Os elementos em paralelo no estágio de saída na Figura 45 (a) podem ser considerados elementos série utilizando a simplificação ilustrada na Figura 45 (b), através das equações a seguir:

$$R_{Seq} = \frac{R_{Seq}'}{1 + R_{Seq}'^2 C_{d2}'^2 \omega_s^2} \quad e \quad C_{Seq} = \frac{1 + R_{Seq}'^2 C_{d2}'^2 \omega_s^2}{R_{Seq}'^2 C_{d2}'^2 \omega_s^2} \quad (3.5)$$

Onde:

$$\omega_s = 2\pi f_s \quad (3.6)$$

Figura 45: Simplificação finais do conversor Classe-E; (a) reflexão para o primário; (b) elementos da saída em série.



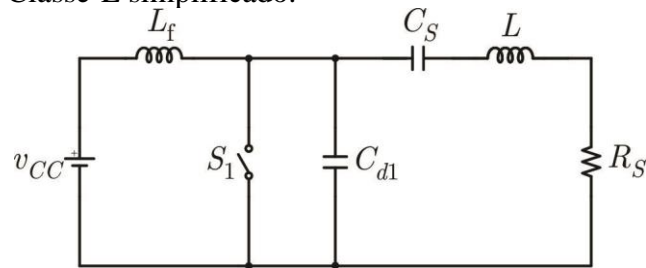
Fonte: Adaptado de (ENGLEITNER, 2015).

Os elementos  $C_{Seq}$  e  $R_{Seq}$  podem ser agrupados aos elementos do braço ressonante ( $C$  e  $R$ ), através das equações abaixo:

$$R_s = R_{Seq} + R \quad e \quad C_s = \frac{C C_{Seq}}{C + C_{Seq}} \quad (3.7)$$

Após todas as simplificações, o circuito da Figura 43 se resume ao circuito da Figura 46.

Figura 46: Conversor Classe-E simplificado.



Fonte: Adaptado de (ENGLEITNER, 2015).

### 3.2.1 Etapas de Operação

**Etapa I** ( $t_0 \leq t < t_1$ ) Nessa etapa o interruptor  $S_1$  é acionado e conduz a diferença entre a corrente de entrada ( $i_{L_f}$ ) e a corrente do indutor ressonante ( $i_L$ ), de acordo com o circuito da

Figura 47: Etapa I, interruptor acionado ( $t_0 \leq t < t_1$ ).

As formas de onda das principais tensões e correntes estão ilustradas na Figura 48, as condições iniciais desta etapa são mostradas nas equações (3.8) a (3.12).

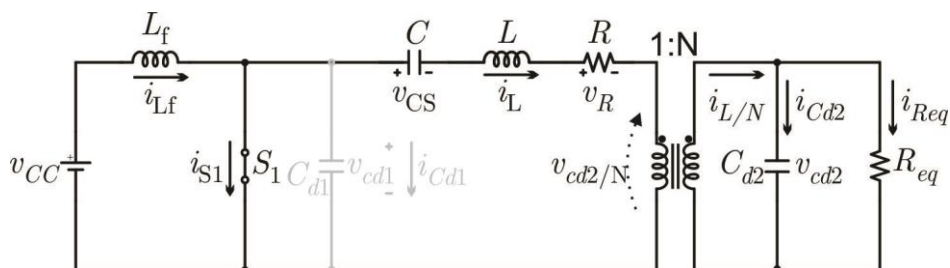
$$V_{C_s}(t_0) = V_0 \quad (3.8)$$

$$V_{C_{d1}}(t_0) = 0 \quad (3.9)$$

$$V_{C_{d2}}(t_0) = 0 \quad (3.10)$$

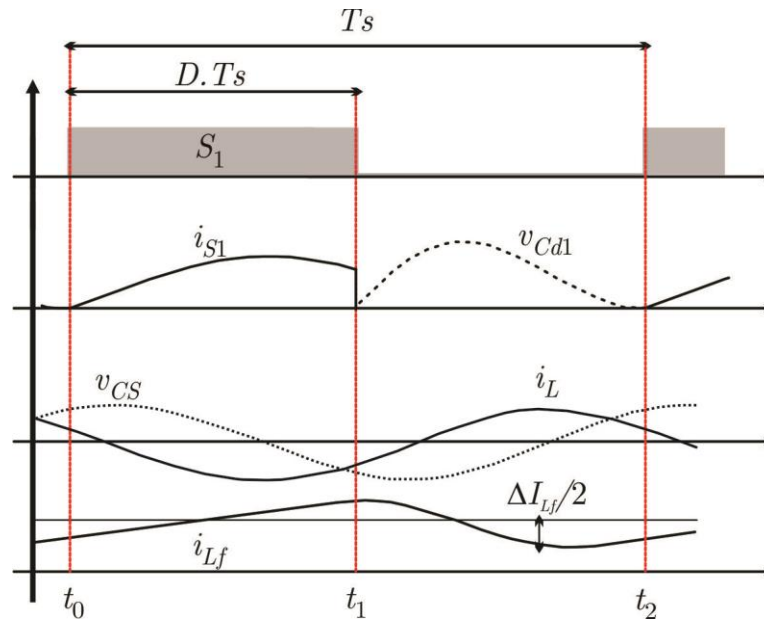
$$i_{L_f}(t_0) = i_L(t_0) = I_0 \quad (3.11)$$

$$i_{S_1}(t_0) = 0 \quad (3.12)$$

Figura 47: Etapa I, interruptor acionado ( $t_0 \leq t < t_1$ ).

Fonte: Elaborado pelo próprio autor.

Figura 48: Formas de onda do conversor Classe-E.



Fonte: Adaptação de ENGLEITNER (2015).

As equações que governam o comportamento das tensões e correntes desta etapa são dadas por:

$$L \frac{di_L}{dt} + v_{Cs} + \frac{v_{Cd2}}{N} + R_S i_L = 0 \quad (3.13)$$

$$L_f \frac{di_{Lf}}{dt} = v_{CC} \quad (3.14)$$

$$C_s \frac{dv_{Cs}}{dt} = i_L \quad (3.15)$$

$$C_{d1} \frac{dv_{Cd1}}{dt} = 0 \quad (3.16)$$

$$C_{d2} \frac{dv_{Cd2}}{dt} = \frac{i_L}{N} - \frac{v_{Cd2}}{R_{eq}} \quad (3.17)$$

A etapa termina quando há a abertura da chave  $S_1$  do conversor.

**Etapa II** ( $t_1 \leq t < t_2$ ) Nesta etapa o interruptor  $S_1$  é bloqueado de tal forma que as condições iniciais são dadas pelas equações (3.18) a (3.23), a diferença entre a corrente de entrada e a corrente do indutor ressonante passa a circular pelo capacitor  $C_1$ . A tensão  $v_{C1}$  aumenta de forma ressonante até um valor máximo e depois decresce a zero. Esta etapa é apresentada pela Figura 49.

$$V_{Cs}(t_1) = V_1 \quad (3.18)$$

$$V_{Cd1}(t_1) = 0 \quad (3.19)$$

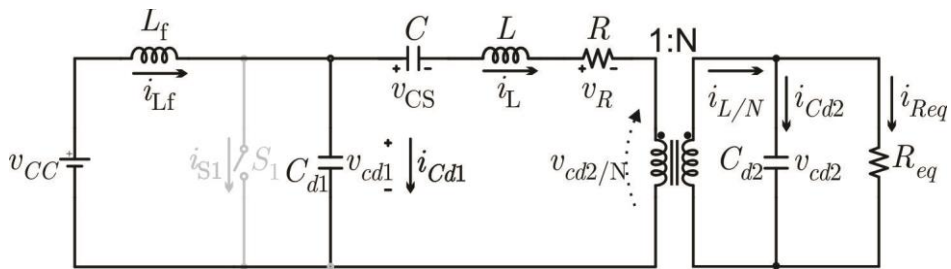
$$V_{Cd2}(t_1) = 0 \quad (3.20)$$

$$i_{Lf}(t_1) = I_{Lf\_1} \quad (3.21)$$

$$i_L(t_1) = I_{L\_1} \quad (3.22)$$

$$i_{cd1}(t_1) = I_{Lf\_1} - I_{L\_1} \quad (3.23)$$

Figura 49: Etapa II, interruptor bloqueado ( $t_1 \leq t < t_2$ ).



Fonte: Elaborado pelo próprio autor.

$$L \frac{di_L}{dt} + v_{Cs} + R_S i_L + \frac{v_{Cd2}}{N} = v_{Cd1} \quad (3.24)$$

$$L_f \frac{di_{Lf}}{dt} + v_{Cd1} = v_{CC} \quad (3.25)$$

$$C_s \frac{dv_{Cs}}{dt} = i_L \quad (3.26)$$

$$C_{d1} \frac{dv_{Cd1}}{dt} = i_{Lf} - i_L \quad (3.27)$$

$$C_{d2} \frac{dv_{Cd2}}{dt} = \frac{i_L}{N} - \frac{v_{Cd2}}{R_{eq}} \quad (3.28)$$

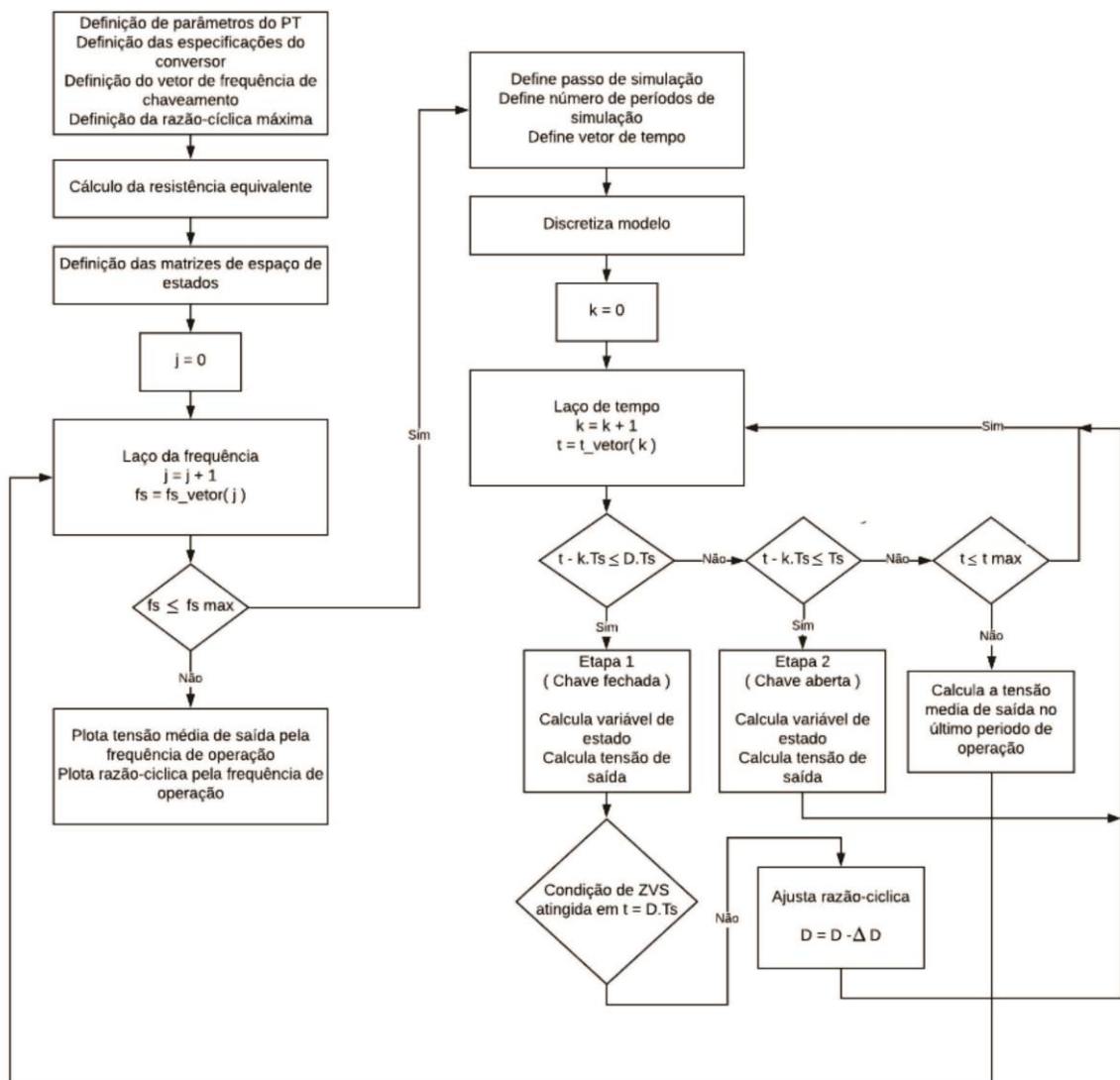
A etapa termina quando a tensão  $v_{Cd1}$  chega a zero. Neste exato momento o interruptor  $S_1$  entra em condução e a Etapa I começa novamente.



### 3.2.2 Determinação do ganho estático do conversor classe-E

Através de um ambiente matemático foi criado um código para que possamos determinar o ganho do conversor Classe-E. O fluxograma do algoritmo é representado na Figura 50. O código está no Apêndice I.

Figura 50: Fluxograma do algoritmo para determinação do ganho do conversor.

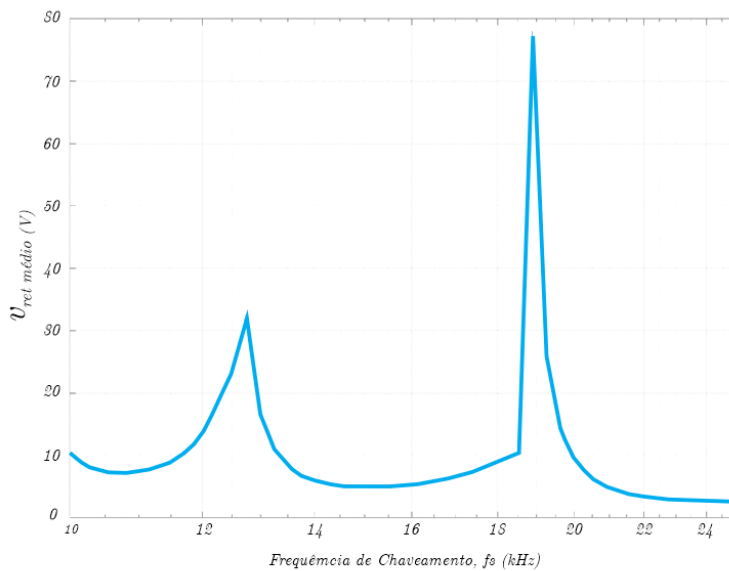


Fonte: Elaborado pelo próprio autor.

Conforme determinado pelo algoritmo, temos na Figura 51 o comportamento da tensão média de saída do conversor Classe-E em função da frequência de chaveamento.

Observa-se que o maior ganho ocorre em torno da frequência de ressonância principal (entre 18 e 20 kHz). Salienta-se que se deve operar o conversor em uma frequência acima da frequência de ressonância para garantir-se o ZVS.

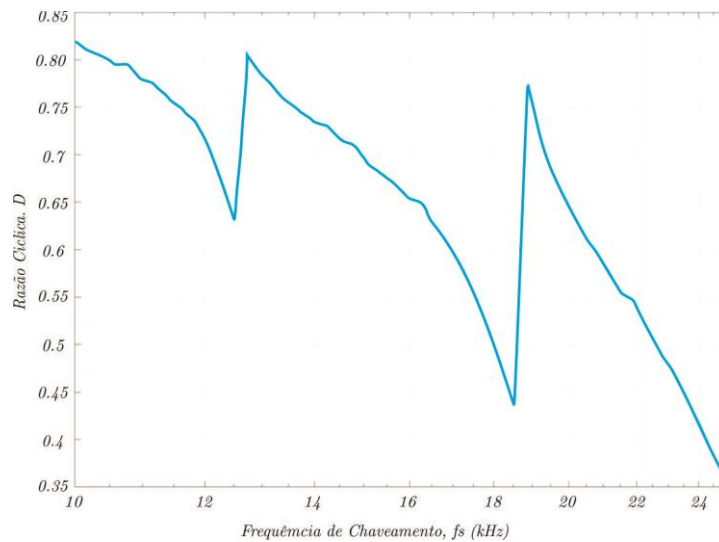
Figura 51: Comportamento da tensão média em função da frequência de chaveamento.



Fonte: Elaborado pelo próprio autor.

Temos também o gráfico de rastreamento da razão-cíclica (que garante operação ZVS) em função frequência de chaveamento, conforme a Figura 52.

Figura 52: Rastreamento da razão-cíclica em função da frequência de chaveamento.

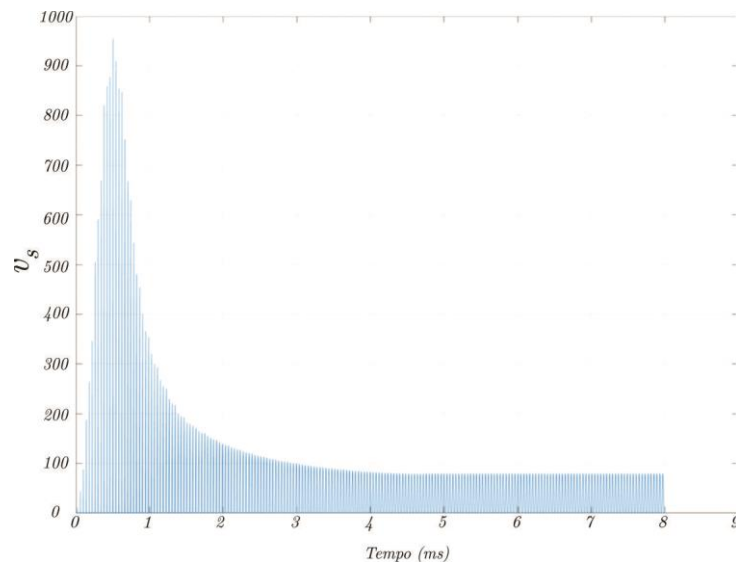


Fonte: Elaborado pelo próprio autor.

A Figura 52 apresenta dois picos de razão cíclica que são nas ressonâncias do PT conforme visto na Figura 51.

Apenas para ilustrar, na Figura 53 é apresentada a forma de onda da tensão sobre a chave semicondutora em função do tempo, para uma dada frequência de chaveamento. Observa-se um transitório de partida e, na sequência a operação em regime permanente do conversor. O algoritmo desenvolvido toma apenas o último período (operação em regime) para o cálculo da tensão média de saída. Além disso, ciclo-após-ciclo, a razão-cíclica vai sendo variada até que se atinja a condição de comutação sob ZVS.

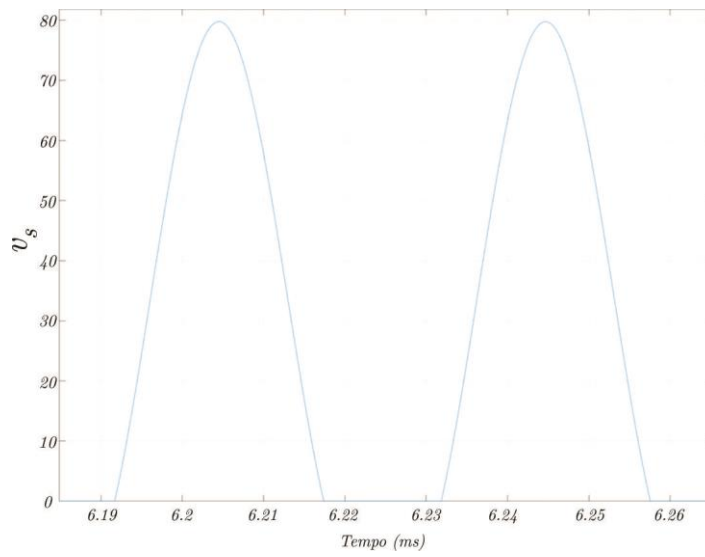
Figura 53: Tensão na chave.



Fonte: Elaborado pelo próprio autor.

A Figura 54 mostra em detalhes a tensão sobre a chave semicondutora, evidenciando a operação com ZVS em regime permanente.

Figura 54: Detalhe da tensão sobre a chave semicondutora.



Fonte: Elaborado pelo próprio autor.

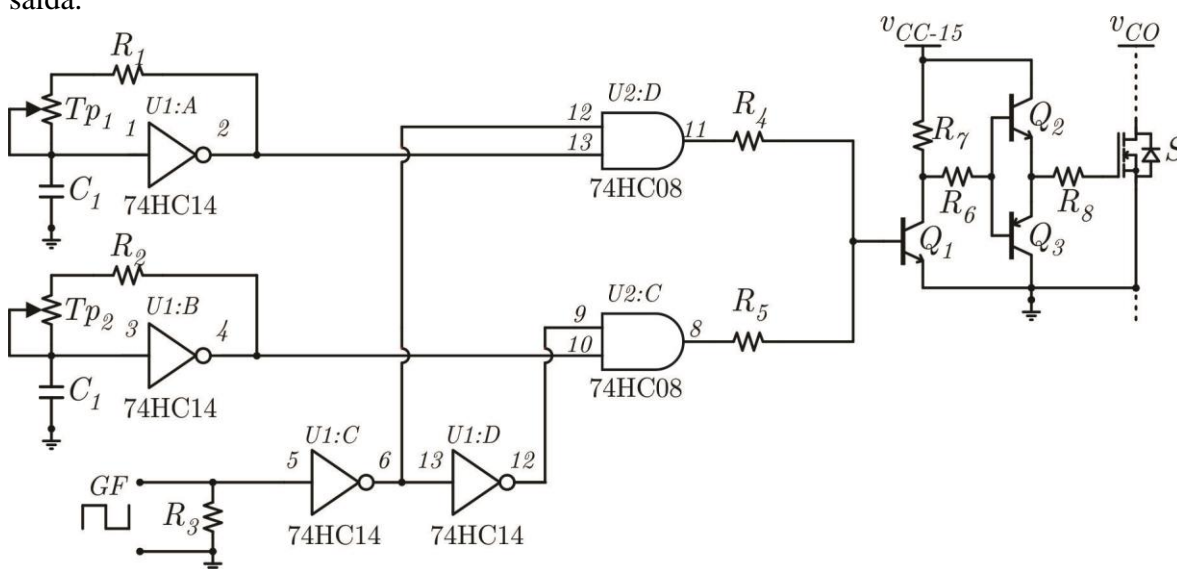
## 4 ANÁLISE E PROPOSTA DO CANAL DE COMUNICAÇÃO

Este capítulo propõe os circuitos de modulação e demodulação do circuito de *gate-driver*.

### 4.1 CIRCUITO MODULADOR

O circuito de modulação proposto para o conversor Classe-E, Figura 55, apresenta um sistema que permite o emprego de duas frequências de chaveamento distintas, de tal modo que estas frequências irão alterar o ganho estático do conversor, fazendo com que se tenha uma variação de tensão média na saída do conversor (após a ponte retificadora). Essa variação será, então, empregada pelo circuito demodulador para identificar o comando de acionamento/bloqueio da chave semicondutora controlada pelo circuito de *gate-driver*.

Figura 55: Circuito de modulação com oscilador *schmitt-trigger*, portas lógicas e *buffer* de saída.



Fonte: Elaborado pelo próprio autor.

Conforme apresentado na Figura 55, tem-se dois sistemas de controle de frequência que empregam *trimpots* (*Tps*) e portas lógicas *Schmitt Trigger* (74HC14). Deste modo, tem-se controle das frequências de tal modo a primeira é controlada pelo  $Tp_1$  e a segunda pelo  $Tp_2$ . Conforme comentado, ambos os osciladores permitem ajustar a frequência de chaveamento do conversor Classe-E para que se possa controlar a sua tensão média de saída. Salienta-se

que estas frequências devem ser superiores à segunda frequência de ressonância para garantir o ZVS característico do conversor Classe-E.

Na sequência, duas portas AND (CI 74HC08) são empregadas para, em conjunto com o sinal proveniente de um gerador de funções (GF) ou microcontrolador/DSP, selecionar qual dos sinais provenientes dos osciladores será aplicado ao próximo estágio. As portas AND, em conjunto com as *Schmitt Trigger*, implementam um circuito multiplexador.

Após o circuito multiplexador, tem-se um amplificador *totem-pole* para que o nível de tensão de saída do circuito lógico garanta a tensão de 0/15 V, suficiente para o acionamento da chave semicondutora do conversor Classe-E.

## 4.2 CIRCUITO DEMODULADOR

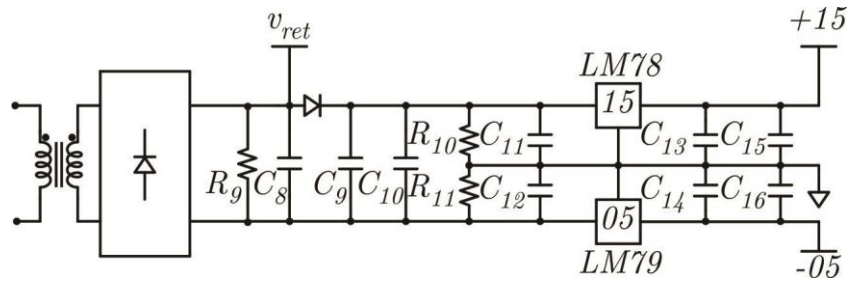
Para o circuito demodulador, propõe-se um sistema conectado à saída do conversor Classe-E, tendo o PT como interface de comunicação e transmissão de energia. Além disso, fez-se uso de um CI de *buffer* para injetar a corrente requerida no terminal de *gate* da chave semicondutora a ser acionada pelo circuito de *gate-driver*.

### 4.2.1 Fonte de alimentação

Na saída do conversor Classe-E, após a ponte retificadora, implementou-se uma fonte de +15 V e -5 V, níveis esses que serão utilizados para o disparo e o bloqueio, respectivamente, da chave semicondutora, conforme se observa na Figura 56.

Salienta-se que o capacitor  $C_8$  e o resistor  $R_9$  são componentes que pertencem ao circuito de demodulação. Assim, este capacitor tem uma capacitância pequena (comparada às demais) para ter uma dinâmica mais rápida. O diodo entre  $C_8$  e  $C_9$  faz a separação da fonte de alimentação do circuito de demodulação. Por sua vez, os níveis de tensão +15 V e -5 V apresentam menor ondulação devido ao maior barramento capacitivo empregado nos componentes  $C_9$  a  $C_{16}$ .

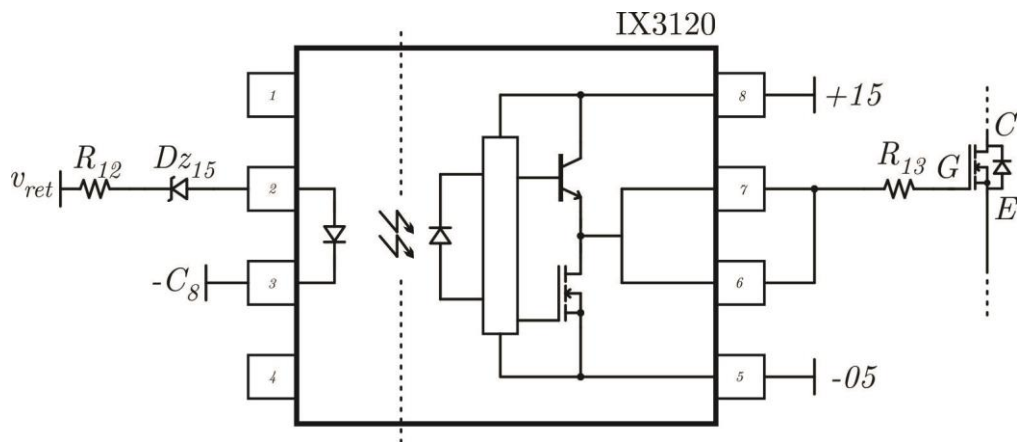
Figura 56: Circuito da fonte de alimentação.



Fonte: Elaborado pelo próprio autor.

Conforme a Figura 56, tem-se o sinal  $v_{ret}$  que é utilizado na Figura 57 como sinal de controle do LED do CI IX3120 para aplicação das tensões geradas na Figura 56 de +15 V e -5 V. Quando  $v_{ret}$  assume nível alto (acima da tensão zener do diodo  $D_{Z15}$ ), o *buffer* aplica +15 V no terminal de *gate* chave semicondutora (pinos 6 e 7), colocando-a em condução, e quando assume nível lógico baixo (inferior à tensão zener de  $D_{Z15}$ ), o *buffer* aplica -5 V, bloqueando-a.

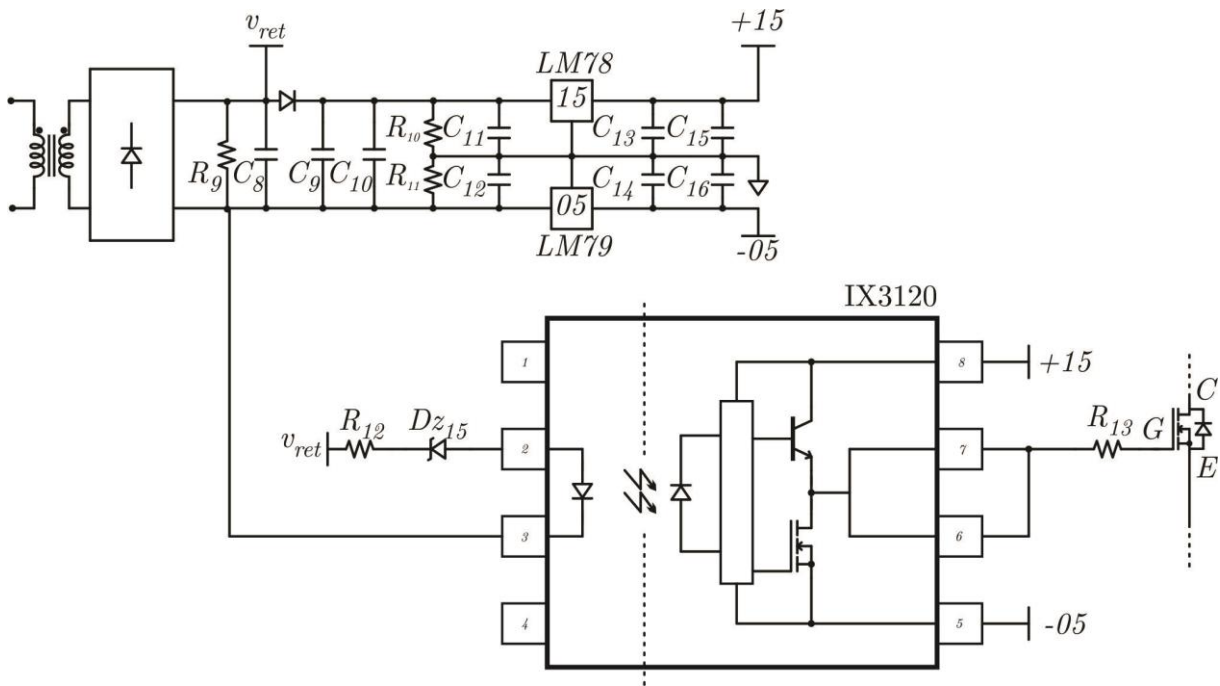
Figura 57: Circuito de acionamento *buffer* para aplicação do sinal ao *gate* da chave semicondutora.



Fonte: Elaborado pelo próprio autor.

Apenas para ilustrar, apresenta-se o sistema completo na Figura 58.

Figura 58: Circuito de demodulação.



Fonte: Elaborado pelo próprio autor.



## 5 RESULTADOS EXPERIMENTAIS

Este capítulo apresenta os resultados experimentais obtidos a partir da implementação em protótipo do circuito de *gate-driver* proposto.

### 5.1 CIRCUITO DE GATE-DRIVER IMPLEMENTADO

Os componentes e especificações empregados na implementação do conversor Classe-E e circuitos modulador/demodulador são listados na Tabela 2.

Tabela 2: Componentes empregados na implementação prática.

Componente	Valor/Modelo
C <sub>1</sub> , C <sub>2</sub>	10 nF
C <sub>4</sub> , C <sub>7</sub> , C <sub>10</sub> , C <sub>15</sub> , C <sub>16</sub>	100 nF
C <sub>8</sub>	1 μF
C <sub>3</sub> , C <sub>5</sub> , C <sub>6</sub> , C <sub>11</sub> , C <sub>12</sub> , C <sub>13</sub> , C <sub>14</sub>	10 μF
C <sub>9</sub>	100 μF
D <sub>1</sub> , D <sub>2</sub> , D <sub>3</sub> , D <sub>4</sub> , D <sub>5</sub>	1N 4148
L1	2,3 mH
Q <sub>1</sub> , Q <sub>2</sub>	BC337
Q <sub>3</sub>	BC327
R <sub>8</sub> , R <sub>13</sub>	18 Ω
R <sub>7</sub>	1,5 kΩ
R <sub>12</sub>	1,8 kΩ
R <sub>4</sub> , R <sub>5</sub> , R <sub>6</sub> , R <sub>11</sub>	3,3 kΩ
R <sub>1</sub> , R <sub>2</sub>	4,7 kΩ
R <sub>3</sub> , R <sub>9</sub>	10 kΩ
R <sub>10</sub>	18 kΩ
Tp <sub>1</sub> , Tp <sub>2</sub>	0 a 10 kΩ
$v_{in}$	30 V

Fonte: Elaborado pelo próprio autor.

Além disso, fez-se uso dos circuitos integrados descritos na Tabela 3.

Tabela 3: Circuitos integrados empregados.

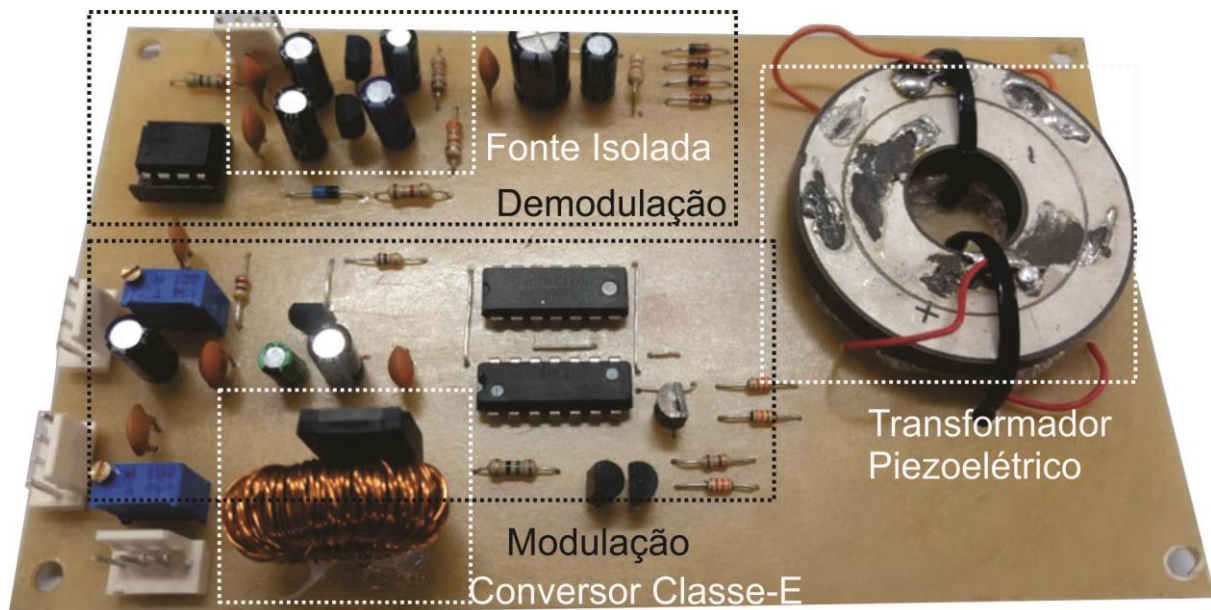
Modelo	Descrição
LM7805	Regulador de tensão de 5 V
LM7815	Regulador de tensão de 15 V
LM7905	Regulador de tensão de -5 V
HCPL3120	Opto-acoplador com <i>buffer</i> de saída
74HC08	Portas AND
74HC14	Portas <i>Schmitt Trigger</i>

Fonte: Elaborado pelo próprio autor.

O indutor de entrada do conversor Classe-E foi implementado em um núcleo toroidal de ferrite. O valor da indutância foi medido e ajustado com o equipamento *LCR Meter HP4263B*.

A montagem do conversor foi feita apenas em uma face da placa de circuito impresso. A Figura 59 apresenta o protótipo implementado.

Figura 59: Foto do protótipo implementado.

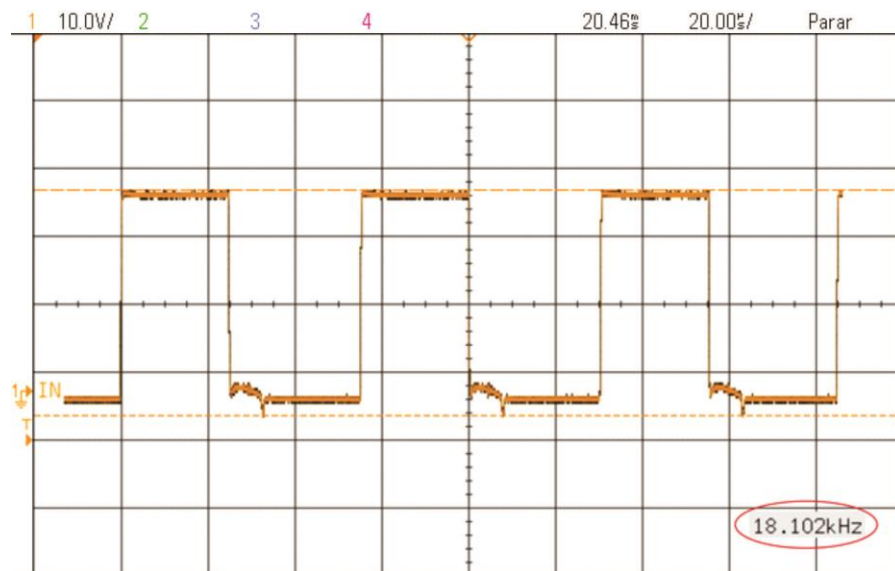


Fonte: Elaborado pelo próprio autor

## 5.2 VALIDAÇÃO DA OPERAÇÃO DO CONVERSOR CLASSE-E

Com base na Figura 55, temos os seguintes oscilogramas. A Figura 60 apresenta o sinal de *gate-source* aplicado pelo canal 1 (frequência de chaveamento de 18,102 kHz) de modulação do conversor Classe-E.

Figura 60: Sinal de *gate-source* aplicado à chave *S* do conversor ( $v_{GS}$ ) para a frequência de chaveamento de 18,102 kHz.



Fonte: Elaborado pelo próprio autor

A Figura 61 que apresenta o sinal de *gate-source* aplicado pelo canal 2 (frequência de chaveamento de 19,295 kHz) de modulação do conversor Classe-E.

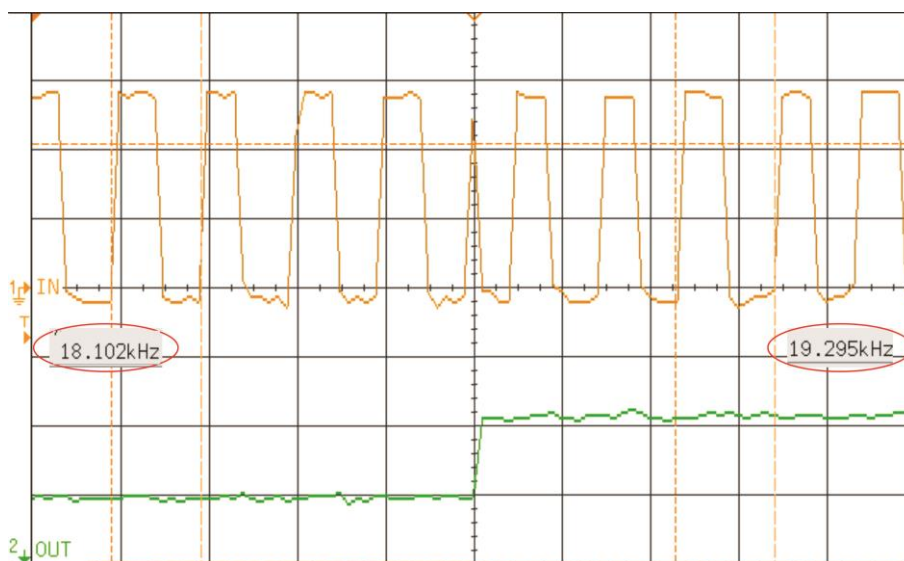
Figura 61: Sinal de *gate-source* aplicado à chave *S* do conversor ( $v_{GS}$ ) para a frequência de chaveamento de 19,295 kHz.



Fonte: Elaborado pelo próprio autor

A Figura 62 apresenta a comutação entre as frequências de chaveamento de 18,102 kHz e 19,295 kHz a partir do sinal proveniente do gerador de funções aplicado ao circuito multiplexador descrito na Figura 55.

Figura 62: Sinal de *gate-source* aplicado à chave *S* do conversor ( $v_{GS}$ ) e o sinal proveniente do gerador de funções ( $v_{GF}$ ), alternando entre as duas frequências de chaveamento.

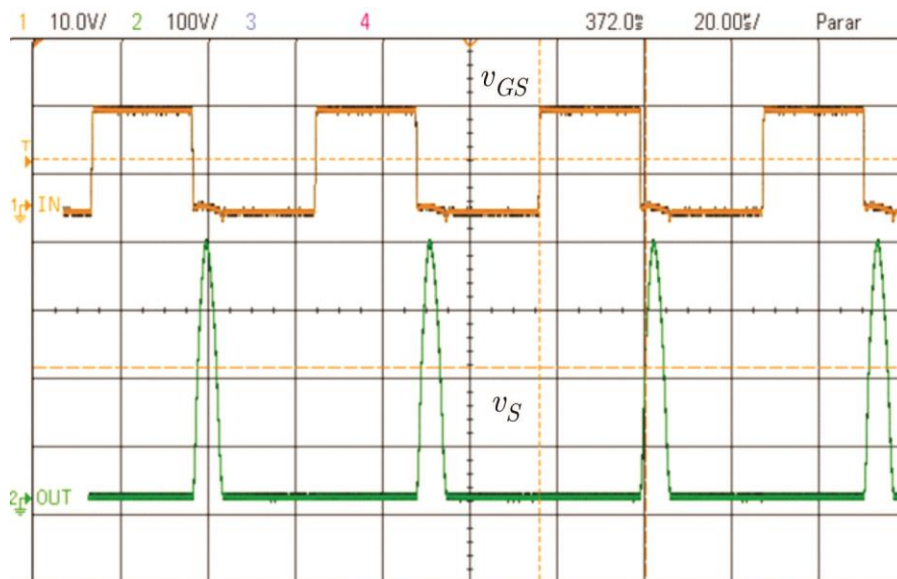


Fonte: Elaborado pelo próprio autor

Conforme se observa na Figura 62, pode-se ter uma variação das frequências apresentadas, mas para melhor entendimento estas são exatamente as mesmas da Figura 60 e da Figura 61. Salienta-se que o ajuste das frequências é realizado através de potenciômetros ( $Tp$ ), conforme a Figura 55, cuja imprecisão gera uma variação nas frequências ajustadas na ordem de 500 Hz.

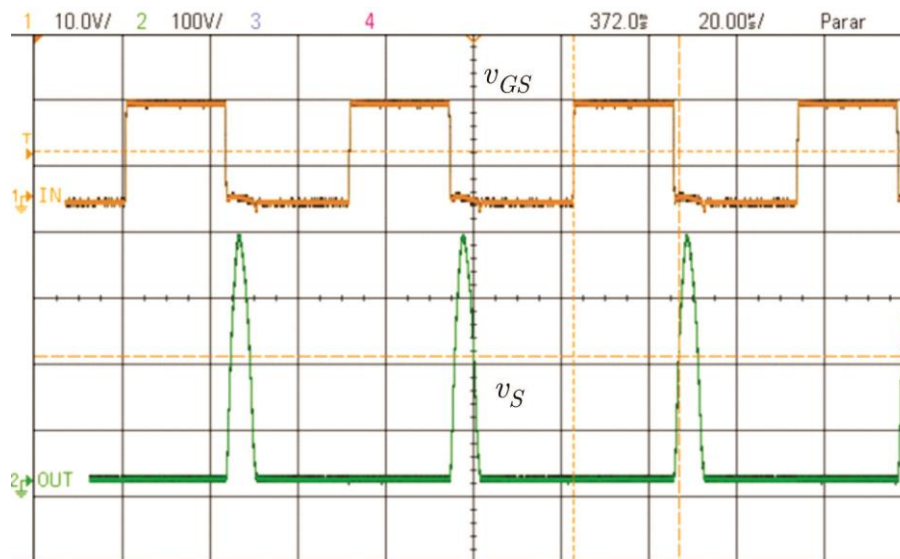
Já na Figura 63 e na Figura 64 temos as formas de onda da tensão aplicada sobre a chave  $S$  e a condição de operação sob ZVS. Observa-se, para ambas as frequências de operação, que o sinal de *gate-source* ( $v_{GS}$ ) atinge nível lógico alto (15 V) apenas após a tensão sobre a chave ( $v_S$ ) reduzir-se à zero.

Figura 63: Tensão na chave  $S$  ( $v_S$ ) e sinal de *gate-source* aplicado à chave  $S$  do conversor ( $v_{GS}$ ) para a frequência de operação de 18,102 kHz.



Fonte: Elaborado pelo próprio autor

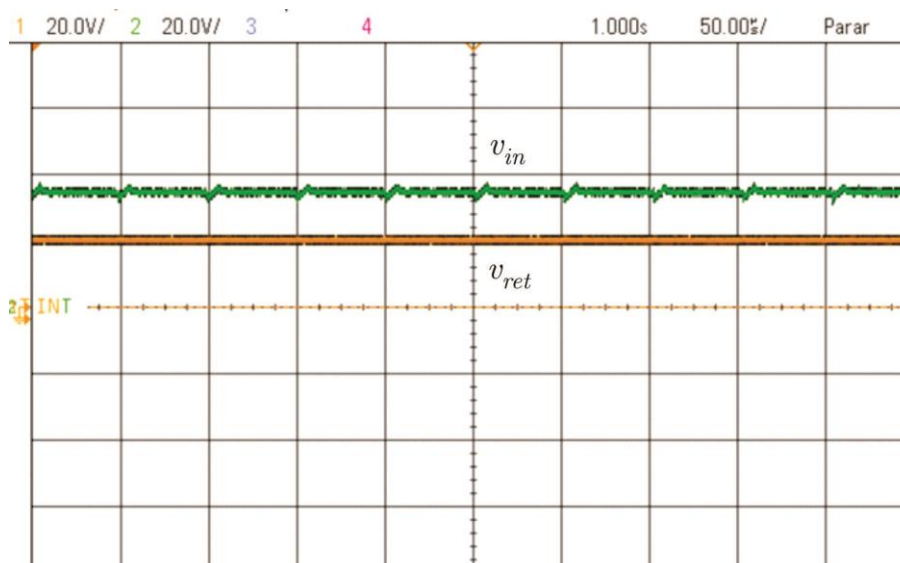
Figura 64: Tensão na chave  $S$  ( $v_S$ ) e o sinal de *gate-source* aplicado à chave  $S$  do conversor ( $v_{GS}$ ) para a frequência de operação de 19,295 kHz.



Fonte: Elaborado pelo próprio autor

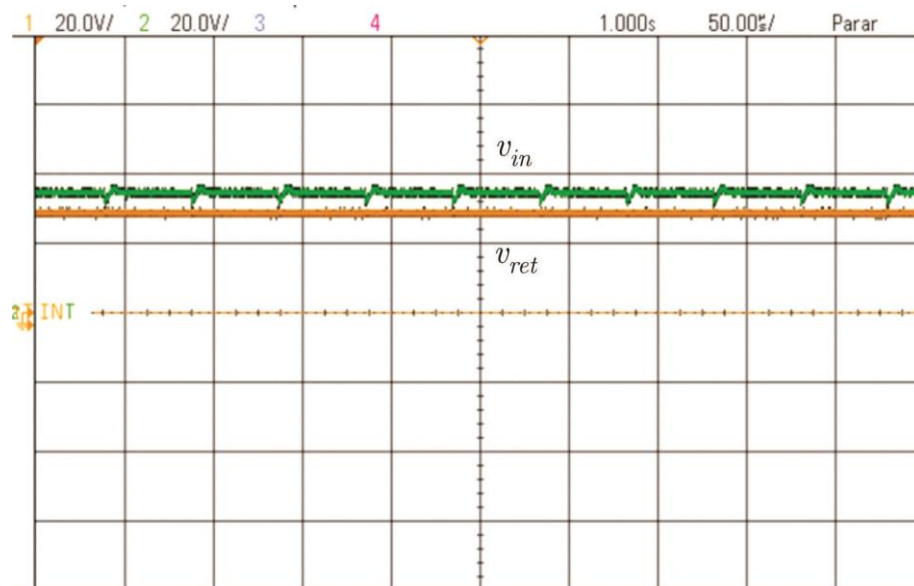
Conforme a Figura 65 e a Figura 66 as formas de onda demonstram o ganho do conversor Classe-E nas duas frequências de chaveamento definidas anteriormente. É importante destacar que a variação da tensão de saída é utilizada diretamente no circuito de demodulação. Na Figura 65 temos que a tensão de entrada é  $v_{in} = 30$  V e a tensão retificada na saída do conversor Classe-E é  $v_{ret} = 21$  V. Já na Figura 66 temos  $v_{in} = 30$  V e  $v_{ret} = 29$  V.

Figura 65: Tensão média de saída ( $v_{ret}$ ) e tensão média de entrada ( $v_{in}$ ) para a frequência de operação de 18,102 kHz.



Fonte: Elaborado pelo próprio autor

Figura 66: Tensão média de saída ( $v_{ret}$ ) e tensão média de entrada ( $v_{in}$ ) para a frequência de operação de 19,295 kHz.



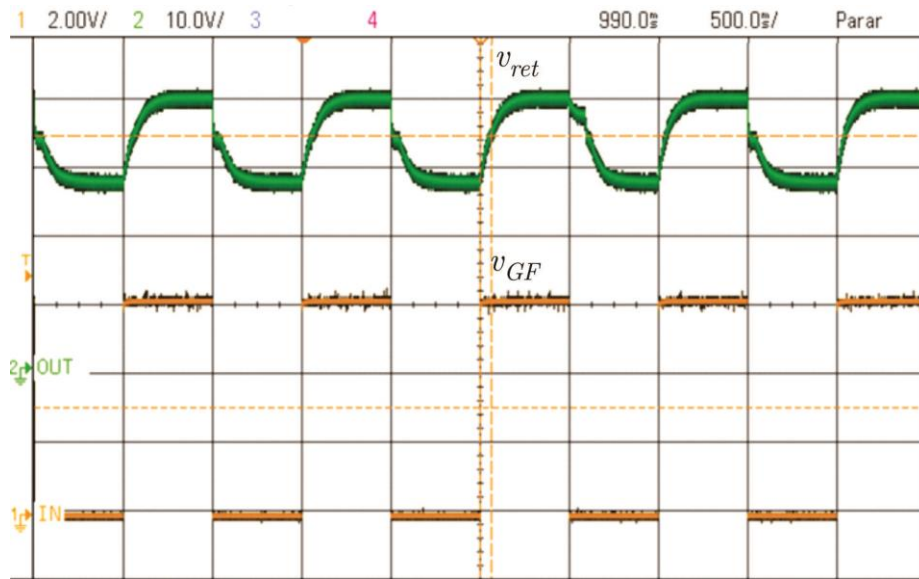
Fonte: Elaborado pelo próprio autor

### 5.3 VALIDAÇÃO DOS CIRCUITOS MODULADOR E DEMODULADOR

As formas de onda presentes na Figura 67 visam validar a operação do circuito modulador. Na medida em que o gerador de funções varia o comando de entrada do *gate-driver*, a tensão média na saída do conversor Classe-E também varia.



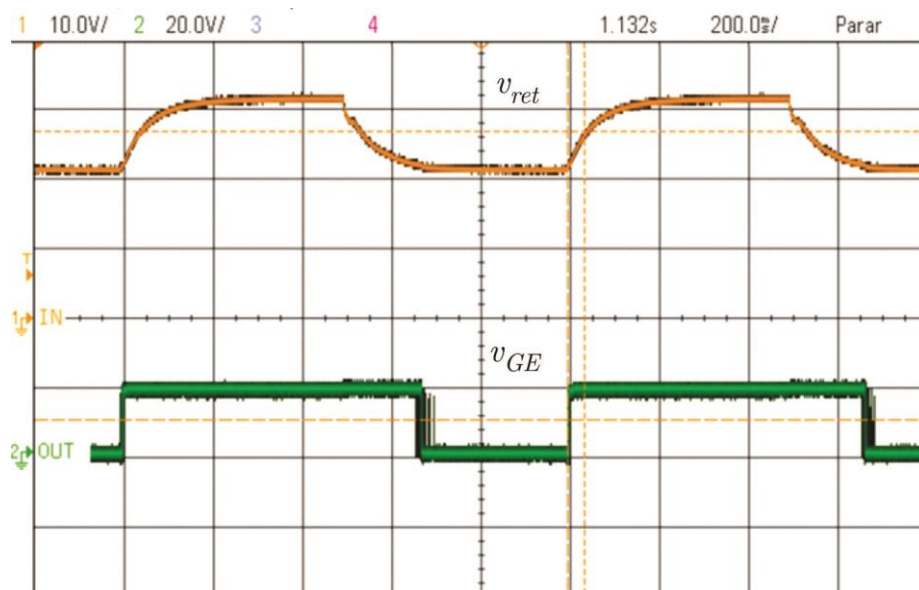
Figura 67: Tensão média de saída ( $v_{ret}$ ) e forma de onda proveniente do gerador de funções ( $v_{GF}$ ).



Fonte: Elaborado pelo próprio autor

A Figura 68 apresenta as formas de onda necessárias para validar a operação do circuito demodulador. Na medida em que o gerador de funções varia o comando de entrada do *gate-driver*, a tensão média de saída também varia. O circuito demodulador detecta essa variação de tensão e, por consequência, o sinal de saída do *buffer* (saída do *gate-driver*) alterna-se entre os valores de +15V e -5V.

Figura 68: Tensão média de saída ( $v_{ret}$ ) e forma de onda na saída do *buffer* ( $v_{GE}$ ).



Fonte: Elaborado pelo próprio autor

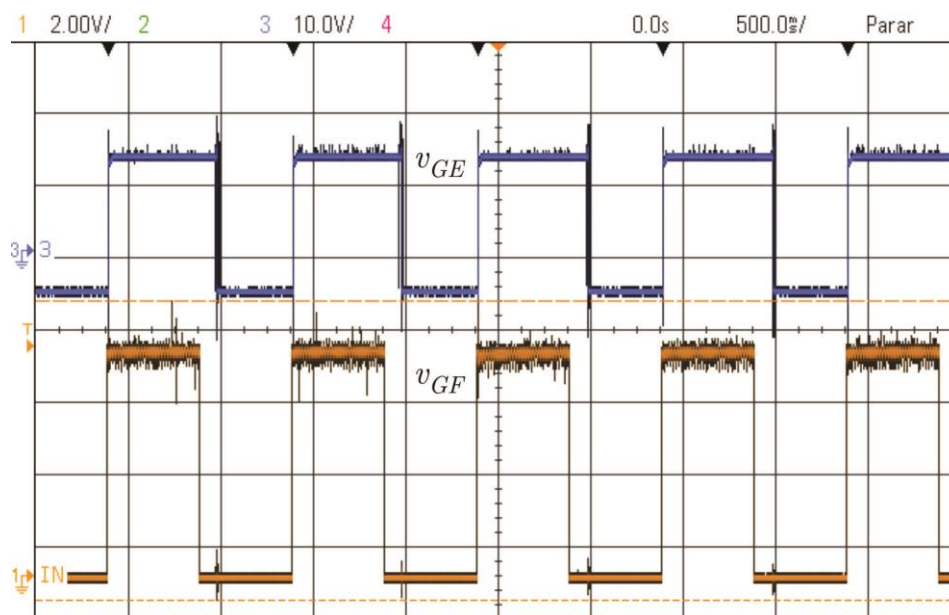


#### 5.4 VALIDAÇÃO DO GATE-DRIVER COMPLETO

Para a validação do circuito de *gate-driver* completo serão necessários três oscilogramas.

A Figura 69 mostra o sinal de comando do *gate-driver* proveniente do gerador de funções e a tensão de saída do *buffer* (saída do *gate-driver*). Conforme se observa, a forma de onda aplicada à chave semicondutora pelo circuito de *gate-driver* proposto segue o sinal de comando após passar pelos estágios de modulação, isolamento e demodulação.

Figura 69: Forma de onda proveniente do gerador de funções ( $v_{GF}$ ) e forma de onda na saída do *buffer* ( $v_{GE}$ ).

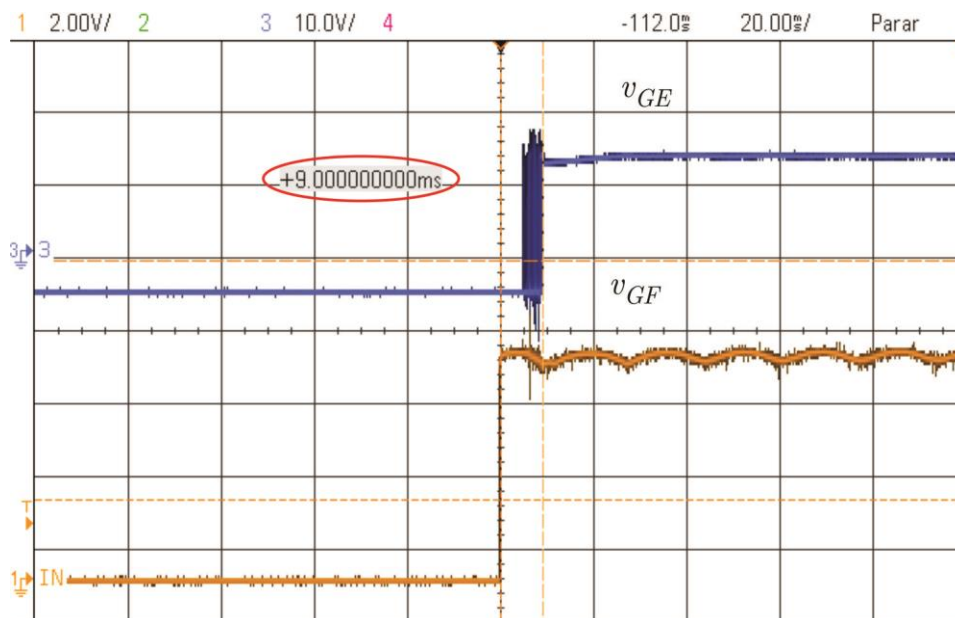


Fonte: Elaborado pelo próprio autor

A Figura 70 e a Figura 71 apresentam detalhes das formas de onda da Figura 69, destacando os atrasos na transmissão do sinal de comando. Na Figura 70 apresentamos a diferença de tempo entre as subidas de  $v_{GF}$  e  $v_{GE}$  (*turn-on delay time* do *gate-driver*). Já na Figura 71 apresentamos a diferença de tempo entre as descidas de  $v_{GF}$  e  $v_{GE}$  (*turn-off delay time* do *gate-driver*).

Como podemos observar em ambos os casos de acionamento e bloqueio temos um sinal de *bouncing* devido o zenner, deste modo deve ficar como proposta para trabalho futuro um sistema de *debouncing*.

Figura 70: Forma de onda proveniente do gerador de funções ( $v_{GF}$ ) e forma de onda na saída do *buffer* ( $v_{GE}$ ), com *zoom* no acionamento da chave (subida de  $v_{GE}$  para +15 V).



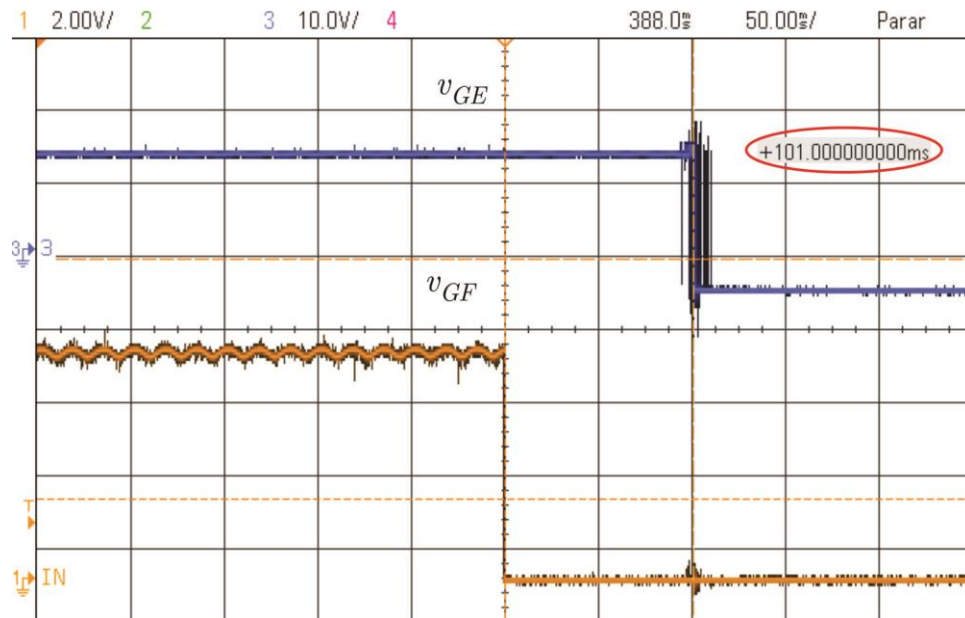
Fonte: Elaborado pelo próprio autor

Como podemos observar a Figura 70 temos o tempo de 9 ms para que o circuito atinja o sinal de +15 V. Já a Figura 71 temos o tempo de 101 ms para que o sinal caia para -5 V. Salienta-se que esses atrasos podem ser minimizado a partir da otimização do projeto do conjunto  $R_9$  e  $C_8$  do circuito apresentado na Figura 58, respeitando o consumo de potência permitido ao conversor Classe-E (o que impacta no ganho).

Com base nesses atrasos, a frequência de operação máxima do *gate-driver* projetado fica limitada a:

$$f_{sw} = \frac{1}{9 \cdot 10^{-3} + 101 \cdot 10^{-3}} = 9,09 \text{ Hz} \quad (5.1)$$

Figura 71: Forma de onda proveniente do gerador de funções ( $v_{GF}$ ) e forma de onda na saída do *buffer* ( $v_{GE}$ ), com *zoom* no bloqueio da chave (descida de  $v_{GE}$  para -5 V).



Fonte: Elaborado pelo próprio autor

Como podemos observar tanto no *turn-on* quanto no *turn-off* temos um distúrbio chamado de *bouncing* este ocorre devido o zenner na demodulação, deste modo poderia ser corrigido este problema com um circuito *debouncing*.



## 6 CONCLUSÃO

Esta dissertação de mestrado propôs o desenvolvimento de um circuito de *gate-driver* para o acionamento de chaves semicondutoras do tipo MOSFET e IGBT que faz uso de um transformador piezoelétrico como canal de comunicação e alimentação.

Inicialmente, foi realizada uma revisão de técnicas de implementação de *gate-drivers*, focando tanto no canal de comunicação como na fonte de alimentação (considerou-se apenas circuitos de *gate-driver* isolados). Identificou-se a potencialidade de emprego de um transformador piezoelétrico na aplicação. Sabendo que as alterações de frequência de comando da chave do conversor alterariam o ganho do transformador piezoelétrico, foi possível fazer um sistema que fosse condicionado a este emprego para o acionamento e bloqueio do *gate-driver* proposto.

Desse modo, empregou-se um conversor Classe-E, devido às características de simplicidade e possibilidade de operação sob altas frequências de chaveamento devido à comutação ZVS, o que pode contribuir à elevação da densidade de potência do circuito. Assim através da variação de frequência do Conversor Classe-E e do rastreamento da razão-cíclica que garante a comutação sob ZVS, identificamos a frequência de operação (que proporciona o maior ganho de tensão) entre 18 e 20 kHz.

Na sequência, apresentamos o modelo do transformador piezoelétrico, fazendo o levantamento dos parâmetros a partir da varredura em frequência do componente. Para tanto, foi desenvolvido um algoritmo para estimar os parâmetros do modelo a partir das medições realizadas no transformador.

Desse modo, podemos determinar os pontos de operação do conversor Classe-E que proporcionam os dois ganhos requeridos aos circuitos de modulação/demodulação propostos. Desta forma temos o sistema de modulação que através do ajuste das frequências para se obter o ganho requerido no conversor tem-se os sinais do *gate* do conversor Classe-E, estas frequências são alternadas conforme o sinal do gerador de funções, deste modo ocorre a comutação da chave do conversor Classe-E. Ainda temos o sistema de demodulação que através do ganho de tensão do PT em relação as frequências aplicadas na modulação temos uma variação no  $v_{ret}$  que proporciona a alimentação do LED do *Buffer* sendo limitado pelo zenner de forma juntamente com a fonte de alimentação de -5 V e 15 V na saída do nosso

conversor Classe-E fazem a alimentação na saída do *gate-driver* que proporciona o acionamento ou bloqueio de uma chave semicondutora.

Os resultados em cada etapa foram condizentes. Detectou-se apenas limitações quanto à frequência de operação do circuito de *gate-driver*, que foi mais baixa que a esperada devido ao fator mecânico do PT e até mesmo ao *bouncing* entre o turn-on e turn-off devido ao emprego de um diodo zenner no circuito demodulador (ou seja, um comparador sem uma janela de histerese). Para o desenvolvimento do sistema proposto, o custo é de aproximadamente US\$ 15,00.

## 7 PROPOSTAS DE TRABALHOS FUTUROS

- Emprego de um transformador piezoelétrico especificamente destinado à aplicação em questão (com ganho adequado e elevada resposta dinâmica);
- Otimização do tempo de resposta dos circuitos modulador e demodulador para reduzir os tempos de atraso no acionamento e bloqueio do *gate-driver*, permitindo a operação com maiores frequências de comando;
- Desenvolvimento de um circuito de *gate-driver* empregando transformador piezoelétrico para aplicações com altas classes de tensão, uma vez que esse tipo de transformador apresenta uma elevada isolamento galvânica;
- Desenvolvimento de um circuito de *debouncing*.

## 8 PUBLICAÇÕES

A publicação relacionada a seguir foi realizada durante o período de desenvolvimento dessa dissertação. Assim, esta é relacionada diretamente a esta dissertação.

1. FABERO, F.G.; BISOGNO, F.E.; BELTRAME, R.C. Circuito de acionamento de chaves semicondutoras de potência empregando transformador piezoelétrico. *In: Anais do Congresso Brasileiro de Automática (CBA)*, 2020.





## 9 REFERÊNCIAS

- AVAGO. **Optocoupler Designer's Guide**. Avago Technologies, p.1-69. 2006
- \_\_\_\_\_. **Avago Regulatory Guide to Isolation Circuits**. Avago Technologies, p.1-84. 2007
- \_\_\_\_\_. **HCPL-316J - 2.5 Amp Gate Drive Optocoupler with Integrated (VCE) Desaturation Detection and Fault Status Feedback**. Avago Technologies, p.1-33. 2008a
- \_\_\_\_\_. **HFBR-0501 Series**. Avago Technologies, p.1-19. 2008b
- \_\_\_\_\_. **Versatile Link - AN1035**. p.1-17. 2010c
- ANTHONY, P.; et al. **A magnetically isolated gate driver for high-speed voltage sharing in series-connected MOSFETs**. 14th European Conference on Power Electronics and Applications (EPE), 2011, Aug. 30 2011-Sept. 1 2011. p.1-10.
- ARCHAMBEAULT, B. R. **PCB Design for Real-World EMI Control**. Springer, 2002. ISBN 978-1402071300.
- BAKER, E. M.; HUANG, W. e CHEN, D. Y. **Radial Mode Piezoelectric Transformer Design for Fluorescent Lamp Ballast Applications**, IEEE Transactions on Power Electronics, VOL. 20, NO. 5, September 2005, p 1213-1220. INSS: 0885-8993.
- BERNING, D. W.; et al. **High-Voltage Isolated Gate Drive Circuit for 10 kV, 100 A SiC MOSFET/JBS Power Modules**. Industry Applications Society Annual Meeting (IAS), 2008, 5-9 Oct. 2008. p.1-7.
- BISHOP, P. R., US Patent No.5,834,882, November 1998.
- BISOGNO, F. E.; KNOLL,A. **Comparison of Resonant Topologies for Step-Down Applications Using Piezoelectric**, 2004 35th Annual IEEE Power Electronics Specialists Conference, p. 2662-2667. INSS:0-7803-8399
- BREHAUT, S.; COSTA, F. **Gate driving of high power IGBT by wireless transmission**. Conference Proceedings – IPEMC 2006: CES/IEEE 5th International Power Electronics and Motion Control Conference, 2006, p.92-96.
- BREHAUT, S.; COSTA, F. **Gate driving of high power IGBT through a Double Galvanic Insulation Transformer**. 32nd Annual Conference on IEEE Industrial Electronics (IECON), 2006, 6-10 Nov. 2006. p.2505-2510.
- BUCHANAN, R. C.; SCHWARTZ, R. W.; BALLATO, J., e HAERTLING, G. H., “Ceramic Materials for Electronics”, chapter 4, 3rd ed:Marcel Dekker Inc., 2004.
- CARAZO, A. V., US Patent No. 6,614,144 B2, September 2003.
- CARAZO, A. V. **Piezoelectric Transformers: An Historical Review**, Kenji Uchino, Actuators, April 2016. DOI: 10.3390/act5020012

CAZAKEVICIUS, F. **Circuito de acionamento de chaves semicondutoras para aplicações em média tensão.** 94 p. TCC (Graduação em Engenharia Elétrica)-Universidade federal de Santa Maria, Rs, 2014.

DULAU, L.; et al. **A new gate driver integrated circuit for IGBT devices with advanced protections.** IEEE Transactions on Power Electronics, v. 21, n. 1, p. 38-44, 2006. ISSN 0885-8993.

ENGLEITNER, R. “**Análise estática normalizada e modelagem de pequenos sinais do conversor classe-E utilizando transformadores piezoelétricos.**” P.149. Dissertação (Pós-Graduação em Engenharia Elétrica) - Universidade federal de Santa Maria, Rs, 2011.

EKHTIARI, M., ZHANG, Z., & ANDERSEN, M. A. E. (2016). **Analysis of bi-directional piezoelectric-based converters for zero-voltage switching operation.** IEEE Transactions on Power Electronics, 32(1), [7425240]. DOI: 10.1109/TPEL.2016.2537820

EKHTIARI, M.; ZHE ZHANG e ANDERSEN, M. A. E. **State-Of-The-Art Piezoelectric Transformer-Based Switch Mode Power Supplies,** IEEE, 2014, p. 5072-5079. INSS:978-1-4799-4032-5

HORSLEY, E. L. **Modelling and Analysis of Radial Mode Piezoelectric Transformers and Inductor-less Resonant Power Converters,** thesis PhD, Department of Electronic and Electrical Engineering, University of Sherffield, 2011. p.251.

HORSLEY, E. L.; CARAZO, A. V. **A Lumped Equivalent Circuit Model for the Radial Mode Piezoelectric Transformer,** IEEE, 2009, p. 1747-1753. INSS: 978-1-422-2812-0

HORSLEY, E. L.; CARAZO, A. V.; NGUYEN-QUANG, N.; FOSTER, M. F. E STONE, D. A. **Analysis of Inductorless Zero-Voltage-Switching Piezoelectric Transformer-Based Converters,** IEEE Transactions On Power Electronics, VOL. 27, NO. 5, May 2012, p.2471-2484. INSS: 0885-8993

HORSLEY, E. L.; NGUYEN-QUANG, N.; FOSTER, P. e STONE, D. A. **Achieving ZVS in Inductor-less Half-Bridge Piezoelectric Transformer Based Resonant Converters,** IEEE, PEDS2009, p. 446-451. DOI: 10.1109/PEDS.2009.5385842

HUNTER, G. P. **A reliable, low cost IGBT gate drive circuit.** Australasian Universities Power Engineering Conference, 2008, 14-17 Dec. 2008. p.1-4.

IKEDA, T. “**Fundamentals of Piezoelectricity**”, Oxford Science Publication, 1996.

KHAN, J. N. **Design Considerations in Using the Inverter Gate Driver Optocouplers for Variable Speed Motor Drives.** Avago Technologies, p.1-11. 2010

KHAN, J. N. **Optocouplers for Variable Speed Motor Control Electronics in Consumer Home Appliances.** Avago Technologies, p.1-22. 2010

KHANNA, V. K. **The Insulated gate bipolar transistor (IGBT): theory and design.** 1th. Wiley-IEEE Press, 2003. ISBN 0-471-23845-7.

KLEINSCHMIDT, P.; MAGORI, V. **Trigger Device and Piezo-Ignition Coupler with Galvanic Decoupling.** U.S. Patent No. 4,392,074, 9 April 1981.

KRUG, R. P.; BELTRAME, R. C.; HEY, H. L. **Circuito de drive isolado para MOSFET e IGBT**. Congresso Regional de Iniciação Científica e Tecnológica em Engenharia, 2009, Joinvill-SC. p.1-4.

LESKOVEC, R.A.; DAVENPORT, J.M.; BURMAN, O.B. **Autoresonant Piezoelectric Transformer Signal Coupler**. U.S. Patent No. 4,584,499, 12 April 1985.

KUSAKA, K.; et al. **Isolation system with wireless power transfer for multiple gate driver supplies of a medium voltage inverter**. International Power Electronics Conference (IPEC), 2014, 18-21 May 2014. p.191-198.

LIN, C. Y., "Design and Analysis of Piezoelectric Transformer Converters," Ph.D. Dissertation, Virginia Tech, 1997.

LIN, R. L., "Piezoelectric Transformers haracterization and Application of Electronic Ballast," Ph.D, Dissertation, Virginia Tech, 2001.

LIN, C. Y. e LEE, F. C. **Design of a Piezoelectric Transformer Converter and Its Matching Networks**, IEEE, 1994, p. 607-612. INSS: 0-7803-1859-5.

LIN, J.J.; LIN, J.L.; SHEN, W.T. **Implementation of a wireless controlled gate driver**. 2018 IEEE 2nd International Conference on Circuits, System and Simulation, ICCSS 2018, 2018, p. 17-21.

LIHUA, C.; BAOMING, G.; PENG, F. Z. **Modeling and analysis of closed-loop gate drive**. Applied Power Electronics Conference and Exposition (APEC), 2010, 21-25 Feb. 2010. p.1124-1130.

MACHADO, C. M. **Análise de transformadores piezoelétricos radial utilizando disco de eletrodo seccionado para conversor half-bridge**. 104 p. Dissertação (Pós-Graduação em Engenharia Elétrica)-Universidade federal de Santa Maria, Rs, 2015.

MARTIN, K. T.; ANDRES, B. e BISOGNO, F. E. **Analysis of Piezoelectric Transformer by Finite Element Method and Experimental Verification**, IEEE, 2015, Santa Maria, RS. INSS: 978-1-4799-8779-5

MASON, W. P., "Electromechanical Transducers and Ware Filters", Princeton, 1948.

MEYER, K. S. e ANDERSEN, M. A. E. **Parameterized Analusis of Zero Voltage Switching in Resonant Converters for Optimal Electrode Layout of Piezoelectric Transformers**, IEEE, 2008, p. 2543-2548. INSS: 978-1-4244-1668-4

MOHAN, N.; UNDELAND, T. M.; ROBBINS, W. P. **Power Electronics: Converters, Applications, and Design**. Wiley, 2002. ISBN 0471226939.

MUHAMMAD, K. S.; LU, D. D. C. **Magnetically Isolated Gate Driver With Leakage Inductance Immunity**. IEEE Transactions on Power Electronics, v. 29, n. 4, p. 1567-1572, 2014. ISSN 0885-8993.

NIELSEN, D. e ANDERSEN, M. A. E. **Preliminary Investigations of Piezoelectric Based LED Liminary**,

NGUYEN, T. V.; CREBIER, J. C.; JEANNIN, P. **Design and control of a demagnetization circuit for permanent ON OFF operation in pulse transformer gate driver.** IEEE Applied Power Electronics Conference and Exposition (APEC), 2012, 5-9 Feb. 2012. p.2472-2479.

OHNISHI, O.; KISHIE, H.; IWAMOTO, A.; SASAKI, Y.; ZAITSU, T. e INOUE, T., **Piezoelectric Ceramic Transformer Operating in Thickness Extensional Vibration Mode for Power Supply,** IEEE Ultrasonics Symposium, p 483-488, 1992. ISSN 1051-0117.

OZERI, S. e SHMILOVITZ, D. **A Time Domain Measurements Procedure of Piezoelectric Transformers Equivalent Scheme Parameters,** IEEE, 2006, p. 2281-2285. INSS: 0-7803-9390-2.

OZERI, S. e SHMILOVITZ, D. **Piezoelectric Transformers Model Parameters Extraction Based on Time Domain Measurements,** IEEE, 2006, p. 1565-1569. INSS: 0-7803-9547-6.

PAN, J.; et al. **Efficiency and electromagnetic interference analysis of wireless power transfer for high voltage gate driver application.** ECCE 2016 - IEEE Energy Conversion Congress and Exposition, Proceedings. 2016. P. 1-5.

PERIN, A. J. e BASCOPE, R. T. **O Transistor IGBT Aplicado em Eletrônica de Potência.** In: (Ed.). 1th: Sagra, 1997. cap. 7, p.1-52.

PIEFORT, V., “**Finite Elements Modelling of Piezoelectric Active Structures,**” Ph.D. Dissertation, Faculty of Applied Sciences, Université Libre de Bruxelles, p.154., 2001.

PRIETO, M. J.; DÍAS, J.; MARTÍN, J. A. e NUÑO, F. **A very Simple DC/DC Converter Using Piezoelectric Transformer,** IEEE, 2001, p-1755-1761. INSS: 0-7803-7067-8.

RASHID, M. H. **Power Electronics Handbook (Third Edition).** Boston: Butterworth-Heinemann, 2011. ISBN 978-0-12-382036-5.

RØDGAARD, M. S., ANDERSEN, M. A. E., & BRUUN, E. (2012). **Piezoelectric transformer based power converters; design and control.** Technical University of Denmark, Department of Electrical Engineering

ROSEN, C. A., **US Patent No. 2,974,296,** March 1961.

SYED, E.M.,” **Analysis and Modelling of Piezoelectric Transformers,**” Ph.D. Dissertation, University of Toronto, 2001

TEXAS. **ISO5500 - 2.5 A Isolated IGBT MOSFET Gate Driver.** Texas Instruments Inc., p.1-41. 2013.

\_\_\_\_\_. **Digital Isolator Design Guide.** Texas Instruments Inc., p.1-19. 2014.

VASIC, D.; COSTA, F.; SARRAUTE, E. **A new Mosfet & IGBT gate drive insulated by a piezoelectric transformer.** In Proceedings of the 32nd Annual IEEE Power Electronics Specialists Conference, Vancouver, BC, Canada, 17–21 June 2001; Volume 3, pp. 1479–1484. INSS: 0-7803-7067-8.

VASIC, D.; COSTA, F.; SARRAUTE, E. **Piezoelectric Transformer for Complementary MOSFET & IGBT Gate Drive Circuits**. IEEE Transactions on Power Electronics, v. 21, n. 1, p. 1-9, 2006. ISSN 0885-8993.

XU, Y.; LORENZ, R.D.; CARAZO, A.V. **Using compact piezoelectric transformers to isolate integrated phase leg shunt current sensors**. In Proceedings of the CPES Annual Seminar, Blacksburg, VA, USA, 27–29 April 2003; pp. 462–467

WALKER, G. R.; LEDWICH, G. F. **An isolated MOSFET gate driver**. Australasian Universities Power Engineering Conference (AUPEC), 1996. p.175-180.

WILLIAMS, R. K.; CONCKLIN, B. J. **Driver Circuit for Sinking Current to Two Supply Voltages**: Siliconix Incorporated: 1-14 p. 1994.

YANG, Y.; BISOGNO, F. E.; SCHITTLER, A.; NITTAYARUMPHONG, S. e RADECKER, M. **Comparison of Inductor-Half-Bridge and Class-E Topologies for Piezoelectric Transformer Applications**, IEEE, 2009, p. 776-782. INSS: 978-1-4244-2893-9

YAMAMOTO, K.; et al. **60 GHz wireless signal transmitting gate driver for IGBT**. Proceedings of the International Symposium on Power Semiconductor Devices and ICs, 2015, June-2015. p. 133-136.

ZAITSU, T.; OHNISHI, O.; INOUE, T.; SHOYAMA, M.; NINOMIYA, T.; LEE, F. C. e HUA, G. C. **Piezoelectric Transformer Operating in Thickness Extensional Vibration and Its Application to Switching Converter**, IEEE, p 585-589, 1994. INSS: 0-7803-1859-5.

ZAITSU, T.; INOUE, T.; OHNISHI, O. e IWAMOTO, A. **2 MHz Power Converter with Piezoelectric Ceramic Transformer**, IEEE, p. 430-437, 1992. INSS: 0-7803-0779.

ZELTNER, S. **Insulating IGBT driver with PCB integrated capacitive coupling elements**. 6th International Conference on Integrated Power Electronics Systems (CIPS), 2010. p.1-6.

## Apêndice I

```

-----
% UFSM - Universidade Federal de Santa Maria
% CT - Centro de Tecnologia
%
% PPGEE - Programa de Pós-Graduação em Engenharia Elétrica
% GEPOC - Grupo de Eletrônica de Potência e Controle
%
% Desenvolvido por:
%
% Rafael Concatto Beltrame e Fabrício Girardon Fabero
%
% Versão: 1.6
%
% 27/08/2019
%
=====
%                               Descrição do Programa
%                               =====
% Determinação do ganho de um conversor Classe E.      %
%
% v1.6 - Parâmetros do PT adquirido.
%
% v1.5 - Procura razão-cíclica ideal para garantir ZVS.
% v1.4 - Varredura da frequência de chaveamento.
% v1.3 - Modelo extendido do conversor Classe E.
% v1.2 - Implementação de PWM centrado.
% v1.1 - Solução das equações diferenciais discretas até obter a
% operação em regime permanente.
% v1.0 - Versão inicial.
%
-----
%
close all          % Fecha todos os gráficos
clear all         % Exclui todas as variáveis
clc               % Limpa a tela
format short eng  % Formato para exibição numérica
%
-----
% Transformador Piezoelétrico
%
-----
%
Cd1 = 12.9449e-009; % Capacitor de entrada (F)
Cd2 = 24.9317e-009; % Capacitor de saída (F)
L  = 15.0371e-003;  % Indutor ressonante (H)
C  = 1.2549e-009;  % Capacitor ressonante (F)
R  = 13.6536e+000; % Resistência mecânica (Ohm)
N  = 1.0954;       % Relação de transformação
%
-----
% Conversor Classe E
%
-----
% Especificações
%
Vcc = 30;          % Tensão de entrada (V)
Vo  = 30;          % Tensão CC de saída (desejada) (V)
Po  = 542e-3;     % Potência de saída (desejada) (W)
Ro  = Vo^2/Po;    % Resistência de carga (Ohms)
%
Lf  = 2.3e-3;     % Indutância do filtro de entrada (H)
%
fs_min = 10e3;    % Frequência de chaveamento mínima (Hz)
fs_max = 25e3;    % Frequência de chaveamento máxima (Hz)
%
fs = logspace(log10(fs_min),log10(fs_max),50); % Vetor de frequências de chaveamento (Hz)
%
%#####
%fs = 25e3;
%#####
%
Ts = 1./fs;      % Vetor de períodos de chaveamento (s)
D  = 0.99;       % Razão-cíclica inicial

```

```

-----
% Modelo equivalente
-----
% Procedimento descrito em (ENGLITNER, 211, p. 38)
Req = (8/pi^2)*Ro; % Resistência equivalente (previamente ao retificador) (Ohms)

-----
% Modelo em espaço de estados
-----
% Vetor de estados: X(t) = [ ilf il vc vcd1 vcd2 ]'
% Vetor de entrada: U(t) = [ Vcc ]
% Vetor de saída: Y(t) = [ vr ]

% dX/dt = A*X + B*U
% Y = C*X + D*U

-----
% Etapa 1
-----
A1 = [0 0 0 0 0
      0 -R/L -1/L 0 -1/(L*N)
      0 1/C 0 0 0
      0 0 0 0 0
      0 1/(Cd2*N) 0 0 -1/(Cd2*Req)];
B1 = [1/Lf 0 0 0 0]';

-----
% Etapa 2
-----
A2 = [0 0 0 -1/Lf 0
      0 -R/L -1/L 1/L -1/(L*N)
      0 1/C 0 0 0
      1/Cd1 -1/Cd1 0 0 0
      0 1/(Cd2*N) 0 0 -1/(Cd2*Req)];
B2 = [1/Lf 0 0 0 0]';

-----
% Simulação do modelo
-----

-----
% Alocação de memória
-----
Vo = zeros(1,length(fs));
D_cnt_sim = zeros(1,length(fs));

-----
% Loop de frequência
-----
for jj=1:length(fs)

-----
% Parâmetros de simulação
-----
time_step = Ts(jj)/500; % Passo (s)
time_total = 200*Ts(jj); % Tempo total (s)
tt = 0:time_step:time_total; % Vetor de tempos
npts = length(tt); % Número de pontos

cnt_max = (Ts(jj)/time_step)/2; % Pico da triangular
D_cnt = cnt_max*D; % Ação de controle normalizada para cnt_max

-----
% Discretização do modelo
-----
[A1d,B1d] = c2d(A1,B1,time_step); % Discretização da Etapa 1
[A2d,B2d] = c2d(A2,B2,time_step); % Discretização da Etapa 2

-----
% Alocação de memória
-----
clear ilf il vc vcd1 vcd2 X
ilf = zeros(1,npts);
il = zeros(1,npts);
vc = zeros(1,npts);

```

```

vcd1 = zeros(1,npts);
vcd2 = zeros(1,npts);
X     = zeros(5,npts);

%-----
% Condições iniciais
%-----
ilf(1) = 0;
il(1)  = 0;
vc(1)  = 0;
vcd1(1) = 0;
vcd2(1) = 0;
X(:,1) = [ ilf(1)  il(1)  vc(1)  vcd1(1)  vcd2(1) ]';

%-----
% Loop de tempo
%-----
cnt = 0;
for kk=1:npts-1

    %-----
    % Triangular
    %-----
    if (cnt<=0)
        sent = 1; % Sentido crescente
    end
    if (cnt>=cnt_max)
        sent = -1; % Sentido decrescente
    end
    cnt = cnt + sent; % Incrementa triangular

    %-----
    % Etapa 1
    %-----
    if (D_cnt>=cnt)

        X(:,kk+1) = A1d*X(:,kk) + B1d*Vcc; % Modelo

        % Se a tensão vcd1 está diminuindo mas não atingiu 0 V previamente
        % ao acionamento da chave, reduz-se D para o próximo ciclo.
        % Limite mínimo: D = 0.2
        if (X(4,kk)>X(4,kk+1) && X(4,kk+1)>0 && D_cnt/cnt_max>0.2)
            D_cnt = D_cnt - cnt_max*0.005;
        end
        D_cnt_sim(jj) = D_cnt;

        X(4,kk+1) = 0; % Força chave fechada (vcd1 = 0 V)
        vcd2(kk+1) = X(5,kk+1); % Saída

    %-----
    % Etapa 2
    %-----
    else
        X(:,kk+1) = A2d*X(:,kk) + B2d*Vcc; % Modelo

        if (X(4,kk+1)<0)
            X(4,kk+1) = 0; % Força diodo fechado (vcd1 = 0 V)
        end

        vcd2(kk+1) = X(5,kk+1); % Saída
    end

end

%-----
% Tensão de saída
%-----

onda tt_Ts = tt(end-2*cnt_max:end); % Seleciona último período da forma de
vcd2_Ts = vcd2(end-2*cnt_max:end);

vcd2_rms = sqrt(sum(vcd2_Ts.^2)/length(vcd2_Ts)); % Tensão eficaz sobre Rs (V)
Preq     = vcd2_rms^2/Req; % Potência dissipada em Rs (W)

Vo(jj) = sqrt(Preq*Ro); % Tensão média de saída (V)

```



```
end
```

```
%-----%  
% Exibe resultados %  
%-----%
```

```
figure(1)  
semilogx(fs,Vo)  
grid on  
xlabel('Frequência de Chaveamento, f_{s} (Hz)')  
ylabel('v_{o} (V)')
```

```
figure(2)  
semilogx(fs,D_cnt_sim/cnt_max)  
grid on  
xlabel('Frequência de Chaveamento, f_{s} (Hz)')  
ylabel('Razão-cíclica, D')
```

```
figure(3)  
plot(tt,X(4,:))  
grid on  
xlabel('Tempo (s)')  
ylabel('v_{S} (V)')
```

## Apêndice II

```

-----
% UFSM - Universidade Federal de Santa Maria
% CT - Centro de Tecnologia
-----
% PPGEE - Programa de Pós-Graduação em Engenharia Elétrica
% GEPOC - Grupo de Eletrônica de Potência e Controle
-----
% Desenvolvido por:
%
% Rafael Concatto Beltrame e Fabrício Girardon Fabero
-----
%
%=====
%                               Descrição do Programa
%=====
% Determinação do modelo elétrico do transformador piezoelétrico.
%
% v3.0 - A medição do AP200 fornece a admitância. Realiza-se uma
%       otimização do modelo.
% v2.0 - Mantidos apenas os cálculos das frequências de ressonância
%       série e paralelo (necessárias para o modelo).
% v1.0 - Versão inicial.
-----
%
close all                               % Fecha todos os gráficos
clear all                               % Exclui todas as variáveis
clc                                     % Limpa a tela
format short eng                         % Formato para exibição numérica
-----
%
% Importação dos dados
%-----
pathname = uigetdir;                    % Localiza diretório dos arquivos
arquivos = dir(pathname);               % Cria estrutura com informação do
caminho/nome dos arquivos
-----
jj=0;
for ii=3:length(arquivos)               % Varre arquivos do diretório
-----
% -----
% Importação
%-----
extention = arquivos(ii).name(end-2:end); % Extrai extensão
if ( strcmp(extention,'dat') )          % Verifica se é a extensão desejada

    file = [pathname,'\',arquivos(ii).name];

    % Leitura do arquivo
    [a1,a2,a3] = textread(file,'%f %f %f','delimiter',' ','headerlines',1);
    freq      = a1';
    mag_dB    = a2';
    ph_grau   = a3';
-----
% -----
% Correção da fase
%-----
% OBS: O AP200 cria uma descontinuidade para variações angulares
% superiores à 360°
%ph_grau(4132:4606) = ph_grau(4132:4606) - 360;
-----
% -----
% Filtro
%-----
% OBS: Filtro média-móvel
mag_dB2(1,:) = smooth(mag_dB,20,'moving');
ph_grau2(1,:) = smooth(ph_grau,30,'moving');
end
-----
end

% Exclui variáveis temporárias
clear pathname arquivos extention

```

```

%% -----%%
% Análise dos dados importados
% -----%%

figure(1)
plot(freq,mag_dB, freq,mag_dB2)
grid on
xlabel('Frequência (Hz)');
ylabel('Admitância (dB Siemens)');

figure(2)
plot(freq,ph_grau, freq,ph_grau2)
grid on
xlabel('Frequência (Hz)');
ylabel('Fase (Graus)');

%% -----%%
% Ajuste das escalas
% -----%%

mag      = 10.^(mag_dB2/20);           % Conversão para ganho linear
ph_rad   = ph_grau2*pi/180;          % Conversão para radianos
w        = 2*pi*freq;                 % Conversão para radianos/segundos

% figure(3)
% plot(freq,mag)
% grid on
% xlabel('Frequência (Hz)');
% ylabel('Magnitudo (Ohms)');

%% -----%%
% Curva de Admitância (GxB)
% -----%%

Y = mag;                               % Admitância (Siemens)
G = Y.*cos(ph_rad);                     % Condutância (Siemens)
B = Y.*sin(ph_rad);                     % Susceptância (Siemens)

% -----%%
% Saida de dados
% -----%%

figure(4)
plot(G,B)
grid on
xlabel('G, Condutância (Siemens)');
ylabel('B, Susceptância (Siemens)');

%% -----%%
% Obtenção das frequências
% -----%%

% -----%%
% Freq. ressonância série
% -----%%
[Gmax, kk_Gmax] = max(G);                % Condutância máxima (Siemens)
B_Gmax = B(kk_Gmax);                    % Admitância na condutância máxima (Siemens)
fs = freq(kk_Gmax);                      % Frequência de ressonância série (Hz)

% -----%%
% Freq. ressonância paralela
% -----%%
a = B_Gmax/Gmax;                         % Gera reta entre os pontos 0 e fs
b = 0;
G_fp_pts = G;
B_fp_pts = a*G+b;

for kk=1:length(G_fp_pts)                % Varredura de pontos
    if B_fp_pts(kk)>=B(kk)                % Condição para obter fp
        kk_fp = kk;
    end
end

fp = freq(kk_fp);                         % Frequência de ressonância paralela (Hz)

```

```

B_fp = B(kk_fp); % Susceptância em fp (Siemens)
G_fp = G(kk_fp); % Condutância em fp (Siemens)

%-----%
% Saída de dados %
%-----%
figure(4)
hold on
plot(Gmax,B_Gmax,'o','MarkerEdgeColor',[0 0 1],'MarkerFaceColor',[0 0 1],'MarkerSize',10) %
fs
plot(G_fp,B_fp,'o','MarkerEdgeColor',[0 1 1],'MarkerFaceColor',[0 1 1],'MarkerSize',10) %
fp
plot(G_fp_pts,B_fp_pts,'k')
legend('BxG','f_s','f_p','Location','BestOutside')

%% -----%
% Obtenção dos parâmetros do modelo %
%-----%

Ct1 = 2.070e-9; % Capacitância medida na entrada (Cd1+C) (F)
% OBS: Em baixa frequência (100 Hz)

ws = 2*pi*fs; % (rad/s)
wp = 2*pi*fp; % (rad/s)

Cd1 = (ws/wp)^2*Ct1 % Capacitor de entrada (F)
C = Ct1-Cd1 % Capacitor série (F)
L = 1/(ws^2*C) % Indutor série (F)
R = 1/Gmax % Resistor série (Ohms)

%% -----%
% Validação do modelo %
%-----%
s = tf('s');

Zin = (1/Cd1)*(s^2+s*R/L+1/(L*C)) /... % Função de transferência da impedância de
entrada
(s*(s^2+s*R/L+(Cd1+C)/(L*C*Cd1)));
Yin = 1/Zin; % Função de transferência da admitância de
entrada

%-----%
% Saída de dados %
%-----%
figure(5)
opts = bodeoptions('cstprefs');
opts.FreqUnits = 'Hz';
opts.Grid = 'on';
opts.PhaseVisible = 'off';
bode(Yin,w,opts)

%% -----%
% Otimização do modelo %
%-----%
Cd1_vet = linspace(0.8*Cd1, 200*Cd1, 20); % Vetor de Cd1
C_vet = linspace(0.8*C, 2*C, 20); % Vetor de C
L_vet = linspace(0.8*L, 2*L, 20); % Vetor de L
R_vet = linspace(0.9*R, 1.2*R, 5); % Vetor de R;

Erro = zeros(length(Cd1_vet),length(C_vet),length(L_vet),length(R_vet));

for ii = 1:length(Cd1_vet) % Varredura de Cd1
for jj = 1:length(C_vet) % Varredura de C
for kk = 1:length(L_vet) % Varredura de L
for nn = 1:length(R_vet) % Varredura de R

s1 = j*w; % Variável complexa (rad/s)
% Resposta em frequência da admitância de entrada
(Siemens)
Yin_opt = abs(
Cd1_vet(ii)*s1.*(s1.^2+s1*R_vet(nn)/L_vet(kk)+(Cd1_vet(ii)+C_vet(jj))/(L_vet(kk)*C_vet(jj)*Cd1_vet(ii)))/...
(s1.^2+s1*R_vet(nn)/L_vet(kk)+1/(L_vet(kk)*C_vet(jj))));

```

```

                                % Erro quadrático
    Erro(ii,jj,kk,nn) = sum((20*log10(Y)-20*log10(Yin_opt)).^2);
        end
    end
end

%-----%
% Encontra o erro mínimo
%-----%
Erro_opt = 10e9;                                % Inicialização

for ii = 1:length(Cdl_vet)                       % Varredura de Cdl
    for jj = 1:length(C_vet)                     % Varredura de C
        for kk = 1:length(L_vet)                % Varredura de L
            for nn = 1:length(R_vet)            % Varredura de R

                % Por comparação, procura pelo
                % erro mínimo e respectivo índice
                if Erro(ii,jj,kk,nn) < Erro_opt
                    Erro_opt = Erro(ii,jj,kk,nn);
                    ii_opt = ii;
                    jj_opt = jj;
                    kk_opt = kk;
                    nn_opt = nn;
                end
            end
        end
    end
end

%-----%
% Saida de dados
%-----%

s1 = j*w;                                       % Variável complexa (rad/s)
                                                % Resposta em frequência da admitância de entrada
(Siemens)
Yin_opt = abs(
Cdl_vet(ii_opt)*s1.*(s1.^2+s1*R_vet(nn_opt)/L_vet(kk_opt)+(Cdl_vet(ii_opt)+C_vet(jj_opt))/(L_v
et(kk_opt)*C_vet(jj_opt)*Cdl_vet(ii_opt))) ./...
(s1.^2+s1*R_vet(nn_opt)/L_vet(kk_opt)+1/(L_vet(kk_opt)*C_vet(jj_opt))) );

figure(1)
hold on
plot(freq,20*log10(Yin_opt),'r')
grid on
xlabel('Frequência (Hz)');
ylabel('Admitância (dB Siemens)');
legend('Medida','Sinal filtrado','Modelo')

Cdl_opt = Cdl_vet(ii_opt)
C_opt = C_vet(jj_opt)
L_opt = L_vet(kk_opt)
R_opt = R_vet(nn_opt)

%-----%
% Resultados obtidos
%-----%

% Medida no PRIMÁRIO (Secundário em curto-circuito)
% Cdl_opt = 12.9449e-009
% C_opt = 1.2549e-009
% L_opt = 15.0371e-003
% R_opt = 13.6536e+000

% Medida no SECUNDÁRIO (Primário em curto-circuito)
% Cdl_opt = 24.9317e-009
% C_opt = 1.0376e-009
% L_opt = 18.0445e-003
% R_opt = 24.7830e+000

```

110

```
% N = sqrt( Lsec/Lpri )
```

```
N = sqrt(18.0445e-003/15.0371e-003)
```