

UNIVERSIDADE FEDERAL DE SANTA MARIA  
CENTRO DE TECNOLOGIA  
CURSO DE GRADUAÇÃO EM ENGENHARIA DE COMPUTAÇÃO

Wilian Denis Padilha

**PROJETO DE UM RETIFICADOR INTEGRADO PARA UM SISTEMA DE  
TRANSMISSÃO DE ENERGIA SEM FIO**

Santa Maria, RS  
2019

**Wilian Denis Padilha**

**PROJETO DE UM RETIFICADOR INTEGRADO PARA UM SISTEMA DE  
TRANSMISSÃO DE ENERGIA SEM FIO**

Trabalho de Conclusão de Curso apresentado ao Curso de Graduação em Engenharia de Computação da Universidade Federal de Santa Maria (UFSM, RS), como requisito parcial para obtenção do grau de **Engenheiro de Computação**.

ORIENTADOR: Prof. Cesar Augusto Prior

Santa Maria, RS  
2019

**Wilian Denis Padilha**

**PROJETO DE UM RETIFICADOR INTEGRADO PARA UM SISTEMA DE  
TRANSMISSÃO DE ENERGIA SEM FIO**

Trabalho de Conclusão de Curso apresentado ao Curso de Graduação em Engenharia de Computação da Universidade Federal de Santa Maria (UFSM, RS), como requisito parcial para obtenção do grau de **Engenheiro de Computação**.

**Aprovado em 9 de janeiro de 2019:**

---

**Cesar Augusto Prior, Dr. (UFSM)**  
(Presidente/Orientador)

---

**João Baptista dos Santos Martins, Dr. (UFSM)**

---

**Tales Luiz Bortolin, Ms. (UFSM)**

Santa Maria, RS  
2019

## RESUMO

### PROJETO DE UM RETIFICADOR INTEGRADO PARA UM SISTEMA DE TRANSMISSÃO DE ENERGIA SEM FIO

AUTOR: Wilian Denis Padilha  
ORIENTADOR: Cesar Augusto Prior

Este trabalho apresenta um projeto baseado em simulação de um retificador CMOS aplicado a um sistema de transmissão de energia sem fio, funcionando na frequência de 1.04 GHz. O sinal disponível no acoplamento indutivo ressonante é enviado ao retificador para realizar a conversão AC/DC e elevação do nível de tensão através do cascadeamento de estágios retificadores. Utilizando um modelo elétrico do acoplamento indutivo ressonante, o circuito retificador foi implementado utilizando a tecnologia CMOS em 130 nm e os resultados das simulações apresentam a máxima eficiência em 50.3% em -4.74 dBm de um sinal RF aplicado na entrada do retificador.

**Palavras-chave:** Retificador CMOS. Retificador Diferencial. Retificador Multiestágio, Transmissão de Energia sem Fio

## **ABSTRACT**

### **DESIGN OF AN INTEGRATED RECTIFIER FOR A WIRELESS POWER TRANSFER SYSTEM**

**AUTHOR:** Wilian Denis Padilha

**ADVISOR:** Cesar Augusto Prior

This work presents a simulation based design methodology of a rectifier for wireless power transfer from a 1.04 GHz RF source. The signal available from a resonant coupling is sent to the rectifier for DC conversion and further voltage level amplification through cascaded stages. Using a coupling model, the rectifier circuit was implemented in 130 nm CMOS technology process and simulation results have shown a 50% maximum efficiency with -4,74 dBm in rectifier input signal.

**Keywords:** CMOS Rectifier. Differential Drive Rectifier. Multi-Stage Rectifier .Wireless Power Transfer

## LISTA DE FIGURAS

Figura 2.1 – Sistema típico de transmissão de energia sem fio. ....	11
Figura 2.2 – Etiqueta RFID, onde é construído um indutor em um adesivo plástico e no centro o circuito integrado. ....	11
Figura 2.3 – Ilustração da densidade de campo magnético no eixo $x$ ....	13
Figura 2.4 – Compartilhamento do campo magnético por duas espiras ....	14
Figura 2.5 – Modelo equivalente de um acoplamento indutivo. ....	15
Figura 2.6 – Circuito equivalente típico de um acoplamento indutivo ressonante. ....	15
Figura 2.7 – Modelo típico de uma rede de casamento de impedâncias. ....	16
Figura 2.8 – Circuito equivalente representando a impedância da fonte e a impedância de carga. ....	16
Figura 3.1 – Retificador Dickson. Utilizando diodos (esquerda), utilizando transistores (direita) ....	18
Figura 3.2 – Retificador Dickson com 3 estágios. ....	19
Figura 3.3 – Circuito de um estágio do retificador diferencial. ....	20
Figura 3.4 – Funcionamento do retificador diferencial. ....	21
Figura 3.5 – Retificador diferencial com 3 estágios. ....	21
Figura 4.1 – Figura da WPT implementada por (RIÑANO et al., 2016) ....	23
Figura 4.2 – Modelo equivalente do indutor integrado ....	24
Figura 4.3 – Diagrama elétrico equivalente da WPT proposta, destacando o retificador e o modelo do indutor. ....	24
Figura 4.4 – Fluxograma correspondente da metodologia empregada para o projeto do retificador ....	25
Figura 4.5 – Gráficos da eficiência ao variar o valor da potência recebida pelo acoplamento indutivo ressonante e ao variar a largura dos transistores. ....	27
Figura 4.6 – Simulação transiente do primeiro estágio retificador ....	28
Figura 4.7 – Eficiência pela variação da amplitude do primeiro estágio retificador ....	28
Figura 4.8 – Eficiência pela variação dos capacitores de acoplamento $C_P$ ....	30
Figura 5.1 – Tensão na saída de cada estágio retificador (a), resposta transiente em regime permanente do retificador (b) ....	31
Figura 5.2 – Eficiência pela variação da potência no acoplamento indutivo, para o retificador com 4 estágios. ....	32
Figura 5.3 – Eficiência pela variação da amplitude e variação da carga entre $1\text{ K}\Omega$ a $100\text{ K}\Omega$ ....	33
Figura 5.4 – Eficiência pela variação da amplitude e variação da carga entre $1\text{ K}\Omega$ a $100\text{ K}\Omega$ ....	34

## LISTA DE TABELAS

Tabela 2.1 – Comparativo entre tecnologias para transmissão de energia sem fio.....	10
Tabela 5.1 – Tabela comparativa com outros trabalhos encontrados na literatura.....	35

## LISTA DE ABREVIATURAS E SIGLAS

<i>WPT</i>	<i>Wireless Power Transfer</i> , Transmissão de Energia sem Fio
<i>RFID</i>	Identificação por Radiofrequência
<i>DC</i>	Corrente Direta
<i>AC</i>	Corrente Alternada
<i>RF</i>	Radiofrequência
<i>CMOS</i>	Semicondutor de Metal-Óxido Complementar
<i>PMOS</i>	Semicondutor de Metal-Óxido com Canal do Tipo P
<i>NMOS</i>	Semicondutor de Metal-Óxido com Canal do Tipo N
<i>PCE</i>	<i>Power Conversion Efficiency</i> - Eficiência na Conversão de Energia



## SUMÁRIO

<b>1</b>	<b>INTRODUÇÃO</b> .....	<b>9</b>
<b>2</b>	<b>FUNDAMENTAÇÃO TEÓRICA</b> .....	<b>10</b>
2.1	WIRELESS POWER TRANSFER .....	10
2.2	ACOPLAMENTO INDUTIVO .....	12
2.3	ACOPLAMENTO INDUTIVO RESSONANTE .....	14
2.4	CASAMENTO DE IMPEDÂNCIAS .....	16
<b>3</b>	<b>RETIFICADORES CMOS</b> .....	<b>18</b>
3.1	RETIFICADOR DIFERENCIAL .....	20
<b>4</b>	<b>PROJETO DO RETIFICADOR INTEGRADO</b> .....	<b>23</b>
4.1	MODELO DO INDUTOR INTEGRADO .....	23
4.2	METODOLOGIA .....	24
4.3	FIGURAS DE MÉRITO .....	26
4.4	PROJETO DOS ESTÁGIOS RETIFICADORES .....	26
4.5	DIMENSIONAMENTO DOS CAPACITORES .....	29
4.6	NÚMERO DE ESTÁGIOS .....	30
<b>5</b>	<b>RESULTADOS</b> .....	<b>31</b>
<b>6</b>	<b>CONCLUSÃO</b> .....	<b>36</b>
	<b>REFERÊNCIAS BIBLIOGRÁFICAS</b> .....	<b>37</b>

## 1 INTRODUÇÃO

Transmissão de energia sem fio (WPT) é um termo que classifica várias tecnologias de transmissão de energia em que não são utilizadas conexões físicas entre os dispositivos. Apesar desta tecnologia ter tido um avanço significativo nas últimas décadas, as primeiras inovações significativas nesta área foram realizadas por Nikola Tesla, entre 1891 e 1904 (JAWAD et al., 2017). Os trabalhos de Tesla contribuíram para a transmissão de energia a longas distâncias, baseado nas comunicações de rádio.

Na última década, percebemos um avanço em pesquisas e soluções voltadas à transmissão de energia sem fio, principalmente por conta da utilização de dispositivos móveis e a miniaturização destes dispositivos, onde segundo (JAWAD et al., 2017) sistemas de WPT estão sendo empregados em smartphones, veículos elétricos, implantes médicos, redes de sensores sem fio, veículos aéreos não tripulados e várias outras inovações.

Segundo (XU et al., 2013), dispositivos implantáveis possuem uma vasta gama de aplicações entre monitoramento da saúde do paciente, prevenção de doenças e próteses. Logo, utilizando tecnologias WPT, diminuimos os riscos envolvidos em intervenções cirúrgicas para realizar a troca da bateria, e até mesmo problemas causados por fios de alimentação subcutâneos. Sem a utilização de baterias é possível a miniaturização destes dispositivos, possibilitando novas aplicações onde, até então, não era possível.

O presente trabalho de conclusão de curso utiliza como referencial teórico a pesquisa realizada por (RIAÑO et al., 2016), onde foi proposto um sistema WPT que pode ser aplicado a dispositivos médicos implantáveis e etiquetas de identificação por radiofrequência (RFID). O trabalho propõe um circuito retificador, que utiliza o indutor projetado por (RIAÑO et al., 2016), utilizando a tecnologia *Global Foundries* 130 nm.

Este retificador deverá funcionar na frequência de 1.04 GHz e entre os níveis de potência de -5 a 5 dBm, por ser esta a frequência de operação do acoplamento indutivo. Para isso, estipulamos que o retificador deverá fornecer uma tensão DC de 1.2 V, quando aplicado -5 dBm de potência no acoplamento indutivo. A escolha de 1.2 V na saída do retificador se deve por ser esta a tensão nominal de funcionamento dos dispositivos da tecnologia escolhida para o projeto.

O trabalho desenvolvido está organizado da seguinte forma: no capítulo 2, será apresentado a tecnologia de transmissão de energia sem fio, bem como o funcionamento básico de acoplamentos indutivos e acoplamentos indutivos ressonantes. No capítulo 3 é apresentado com maiores detalhes os retificadores CMOS, destacando o retificador diferencial. No capítulo 4, apresentamos a metodologia do projeto do retificador, o sistema proposto e o projeto do retificador integrado. Finalmente, no capítulo 5, apresentamos os resultados obtidos através de simulações do retificador e comparamos com trabalhos relacionados.

## 2 FUNDAMENTAÇÃO TEÓRICA

### 2.1 WIRELESS POWER TRANSFER

Os estudos em transmissão de Energia sem Fio (*Wireless Power Transfer* ou WPT) iniciaram no século XIX, com o objetivo de transferir energia entre dois pontos, sem a necessidade de uma conexão física entre eles (VALENTA; DURGIN, 2014). Alimentar um circuito sem uma conexão física possui a vantagem de não utilizar bateria, tornando o circuito mais compacto, mais barato e possibilitando o funcionamento do sistema em ambientes onde a presença de uma bateria ou uma conexão com uma fonte de energia é inviável ou indesejada, como dispositivos médicos implantáveis, dispositivos portáteis, circuitos integrados, entre outras aplicações.

Segundo (LU; KI, 2018), Tecnologias de WPT eletromagnéticas podem ser divididas em duas categorias: operação em campo próximo e campo distante. Na operação em campo próximo, a distância de transmissão é menor que o comprimento de onda. Além disso, tanto o transmissor, quanto o receptor são indutores que compartilham o mesmo fluxo magnético. Na operação em campo distante, o comprimento de onda é menor que a distância de transmissão, usando antenas para os transmissores e receptores. Neste caso, a transmissão de energia é feita por ondas eletromagnéticas.

Tabela 2.1 – Comparativo entre tecnologias para transmissão de energia sem fio.

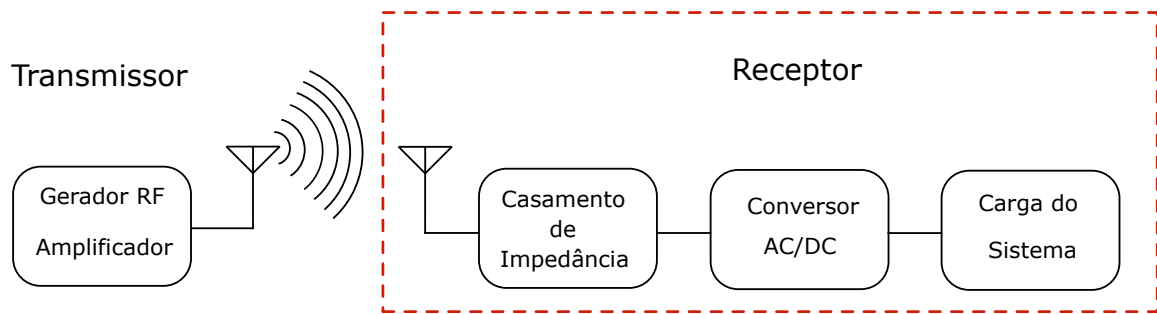
<b>Tecnologia</b>	<b>Alcance</b>	<b>Frequência</b>	<b>Eficiência</b>
Acoplamento Indutivo	Curto	Hz - MHz	Alta
Acoplamento Indutivo Ressonante	Médio	KHz - GHz	Alta
Acoplamento Capacitivo	Curto	KHz - MHz	Média
Microondas	Longo	GHz	Baixa
Ondas de Luz	Longo	THz	Baixa

Fonte: Adaptado de (SUN; XIE; WANG, 2013).

A figura 2.1 apresenta um sistema WPT típico. Inicialmente, temos o bloco do dispositivo transmissor, onde um sinal de radiofrequência é gerado e amplificado. O sinal RF é então transmitido por um transceptor, como uma antena ou acoplamento indutivo. O dispositivo receptor capta este sinal, e após a adaptação de impedâncias, o sinal é retificado e filtrado, para então ser entregue um sinal DC aos blocos operativos do sistema, ou mesmo para uma bateria.

Entre as tecnologias que utilizam transceptores eletromagnéticos, podemos citar as etiquetas de identificação por radiofrequência (RFID) passivas, figura 2.2. Estas etiquetas

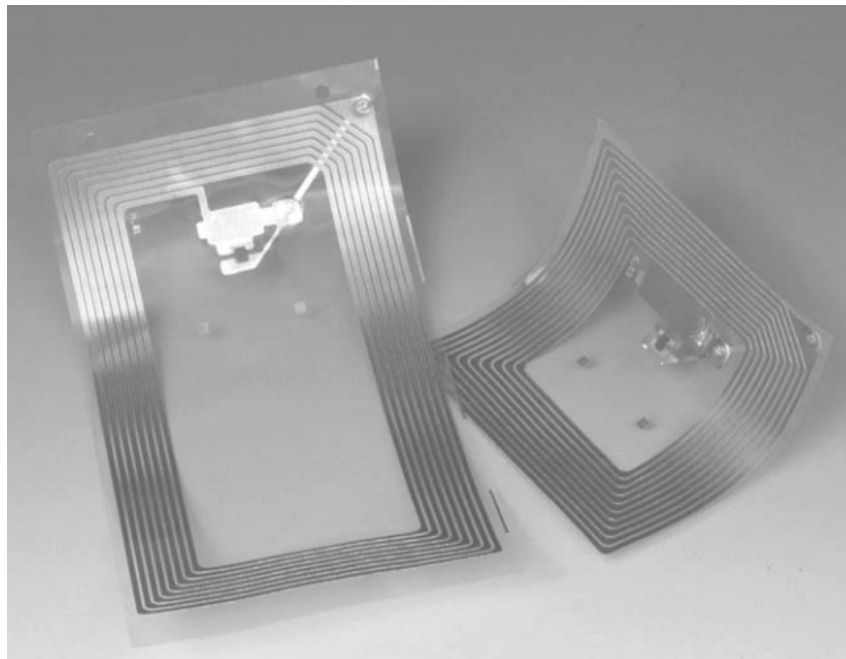
Figura 2.1 – Sistema típico de transmissão de energia sem fio.



Fonte: Próprio autor, adaptado de (VALENTA; DURGIN, 2014)

não possuem uma fonte de energia, sendo necessário captar energia do transmissor para o funcionamento de seu chip. Nestes dispositivos normalmente são utilizados acoplamentos indutivos ou antenas como meio de transmissão de energia.

Figura 2.2 – Etiqueta RFID, onde é construído um indutor em um adesivo plástico e no centro o circuito integrado.



Fonte: (FINKENZELLER, 2010)

Ainda destacamos a área de dispositivos médicos implantáveis, dispositivos como implantes cocleares, marca-passos, desfibriladores cardíacos, entre outros sensores e atuadores espalhados pelo corpo humano, que são usados para monitorar a saúde do paciente. Muitos destes dispositivos empregam sistemas de WPT, ou seja, utilizam estes sistemas para carregar baterias implantáveis ou receber informações de sensores implantáveis. Nestes dispositivos, normalmente são empregados como transceptor de energia acoplamentos indutivos e acoplamentos indutivos ressonantes (SUN; XIE; WANG, 2013)(LU; KI, 2018).

## 2.2 ACOPLAMENTO INDUTIVO

Segundo (FINKENZELLER, 2010), o acoplamento indutivo é utilizado na vasta maioria dos sistemas de RFID. Conforme (SUN; XIE; WANG, 2013), o acoplamento indutivo é a escolha mais adequada para dispositivos médicos implantáveis, por causa de sua eficiência na transmissão de energia e a sua penetrabilidade em materiais biológicos. O acoplamento indutivo é formado tipicamente por um indutor transmissor de energia e um indutor receptor, como demonstrado na figura 2.5. Estes indutores trocam energia compartilhando o mesmo campo magnético, gerado pelo indutor transmissor.

A indução mútua é um fenômeno eletromagnético que ocorre quando duas ou mais espiras compartilham o mesmo fluxo magnético. Quando uma corrente alternada é aplicada na espira do transmissor, é criado um campo magnético que circunda a espira. Ao posicionar um indutor próximo ao transmissor, de forma que parte deste fluxo magnético gerado pelo transmissor passe no centro da espira receptora, o fenômeno da indução mútua acontece, gerando uma força eletromotriz variante nos terminais da espira do receptor, chamado de indutor secundário. Quando este fenômeno acontece, dizemos que os indutores estão acoplados magneticamente, formando um acoplamento indutivo.

Podemos calcular a densidade de fluxo magnético produzido no indutor primário a partir da lei de Biot-Savart. Supondo um fluxo contínuo de cargas, constante no tempo, aplicando a equação (2.1) para obter a densidade de fluxo magnético:

$$\vec{B} = -\frac{\mu_0}{4\pi} \oint_l \frac{Idl \times \vec{e}_d}{d^2} \quad (2.1)$$

Sendo  $d$  o deslocamento do elemento da espira até o ponto onde o campo está sendo calculado,  $\vec{e}_r$  é o vetor unitário apontando na direção de  $d$ ,  $Idl$  é a corrente elétrica no elemento infinitesimal da espira e  $\mu_0$  é a constante de permeabilidade magnética no vácuo.

No caso de uma espira simétrica, como na figura 2.3, podemos simplificar a equação considerando apenas as forças na direção do eixo  $x$ . A equação 2.1 pode ser reescrita como:

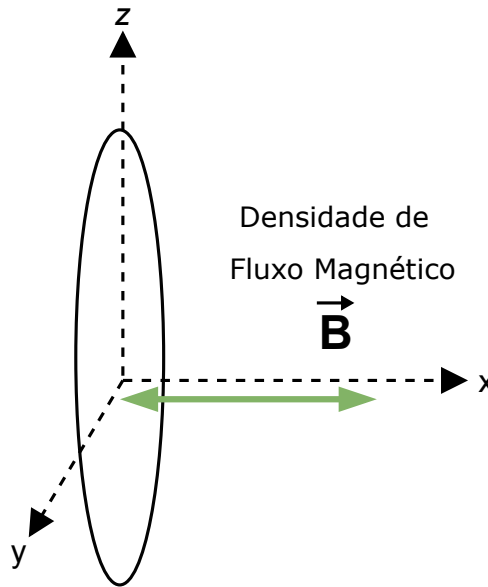
$$\vec{B}_x = \frac{\mu_0 N I r^2}{2(r^2 + x^2)^{\frac{3}{2}}} e_x \quad (2.2)$$

Sendo  $N$  o número de voltas da espira,  $I$  a corrente em cada volta na espira,  $r$  o raio da espira circular,  $x$  a distância do centro da espira até o ponto  $x$ , e  $e_x$  sendo o vetor unitário na direção do eixo  $x$ .

No indutor receptor, podemos calcular o fluxo magnético variante no tempo pela seguinte equação:

$$\Phi_m = \int_S \vec{B} \cdot dS \quad (2.3)$$

Figura 2.3 – Ilustração da densidade de campo magnético no eixo  $x$



Fonte: Próprio autor, adaptado de (LU; KI, 2018)

Sendo  $\vec{B}$  a densidade de fluxo magnético gerado pelo indutor primário e  $S$  a superfície do indutor secundário. Para obtermos a tensão induzida nos terminais do indutor secundário, podemos usar a lei de Faraday da indução:

$$V(t) = -\frac{d\Phi_m(t)}{dt} \quad (2.4)$$

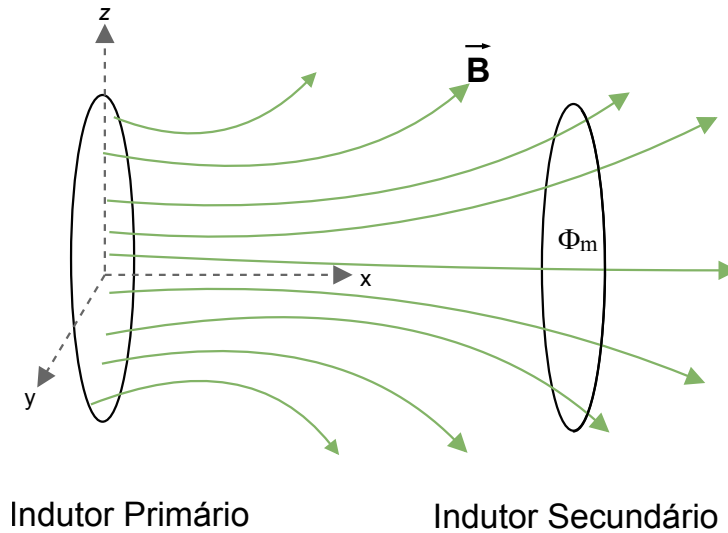
Sendo  $\Phi_m$  o fluxo magnético do indutor secundário e  $V(t)$  a tensão induzida nos terminais do indutor secundário ao longo do tempo, como apresentado na figura 2.4. Este é o princípio básico de funcionamento de um acoplamento indutivo utilizado nas tecnologias de transmissão de energia sem fio.

A seguir, o cálculo da indutância em uma espira condutora é apresentado. De acordo com (JR; BUCK, 2013), a indutância é a razão entre o fluxo magnético total pela corrente que circula pela espira condutora.

$$L = \frac{N\Phi}{I} \quad (2.5)$$

De acordo com (FINKENZELLER, 2010), o acoplamento entre dois circuitos realizado através do compartilhamento de um campo magnético é o principal princípio físico por trás do funcionamento de um dispositivo RFID. As equações 2.6 e 2.7 apresentam os cálculos da indução mútua entre duas espiras condutoras. Sendo  $A$  a área da espira, onde,  $A_1$  e  $A_2$  correspondem a espira primária e a espira secundária respectivamente, e, ainda, respeitando a condição de  $A_2 \leq A_1$ , a fim de garantir a homogeneidade do campo

Figura 2.4 – Compartilhamento do campo magnético por duas espiras



Fonte: Próprio autor, adaptado de (LU; KI, 2018)

magnético na espira  $A_2$

$$M = M_{12} = M_{21} \quad (2.6)$$

$$M_{12} = \frac{\mu_0 N_1 N_2 r_2^2 r_1^2 \pi}{2\sqrt{(r_2^2 + x^2)^3}} \quad (2.7)$$

Sendo  $r_1$  e  $r_2$  o raio da espira do indutor do transmissor e do receptor respectivamente,  $N$  o número de voltas do indutor e  $x$  corresponde a distância entre as espiras. Quanto ao fator de acoplamento  $k$  entre os indutores, podemos usar a equação 2.8.

$$k = \frac{M}{L_1 L_2} \quad (2.8)$$

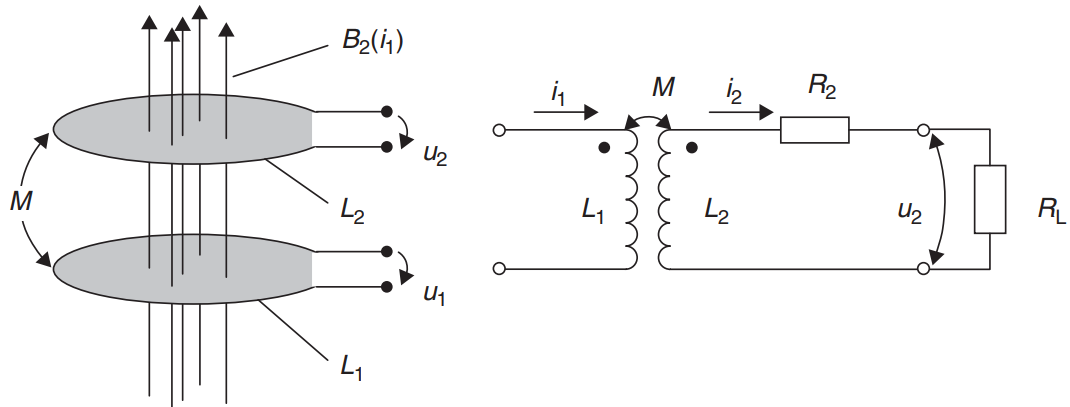
Onde o fator de acoplamento  $k$  varia entre 0 e 1, sendo que 0 é corresponde aos indutores completamente desacoplados e 1 completamente acoplado.

### 2.3 ACOPLAMENTO INDUTIVO RESSONANTE

Em médias distâncias, o desempenho do acoplamento indutivo não é bom. Segundo (NISSHAGEN; SJÖSTRAND, 2017), para aumentar a eficiência na transmissão de energia, é necessário aumentar a frequência de operação. Como consequência, o fator de potência diminui e a potência reativa que circula pelo circuito diminui a potência transmitida pelo sistema.

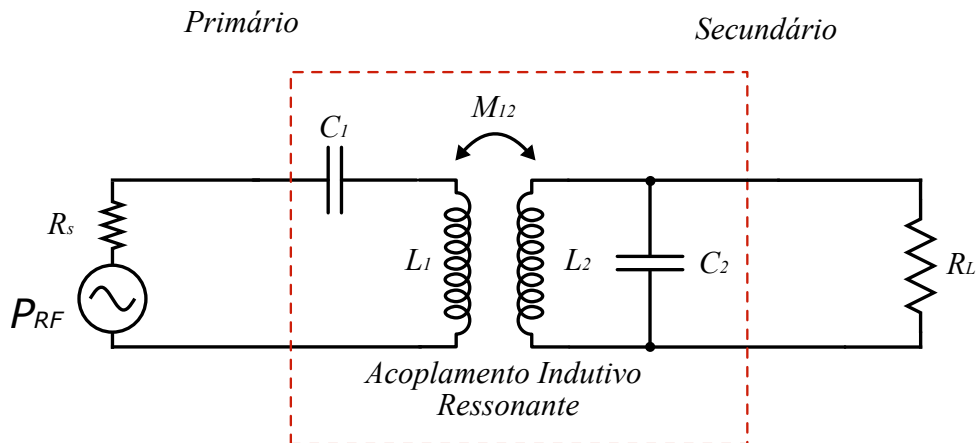
Desta forma, o acoplamento indutivo ressonante é uma otimização do acoplamento

Figura 2.5 – Modelo equivalente de um acoplamento indutivo.



Fonte: (FINKENZELLER, 2010)

Figura 2.6 – Circuito equivalente típico de um acoplamento indutivo ressonante.



Fonte: Próprio autor

indutivo convencional que pode ser realizada ao adicionar capacitores no circuito, como apresentado na figura 2.6, ou deixar os indutores ressonarem na sua própria frequência de ressonância. Quando o circuito do transmissor e do receptor estão em ressonância, ou seja, na mesma frequência, eles transmitem energia de forma mais eficiente, fazendo com que a distância de operação do acoplamento seja maior. A equação 2.9 pode ser usada para encontrar a frequência angular de ressonância do sistema.

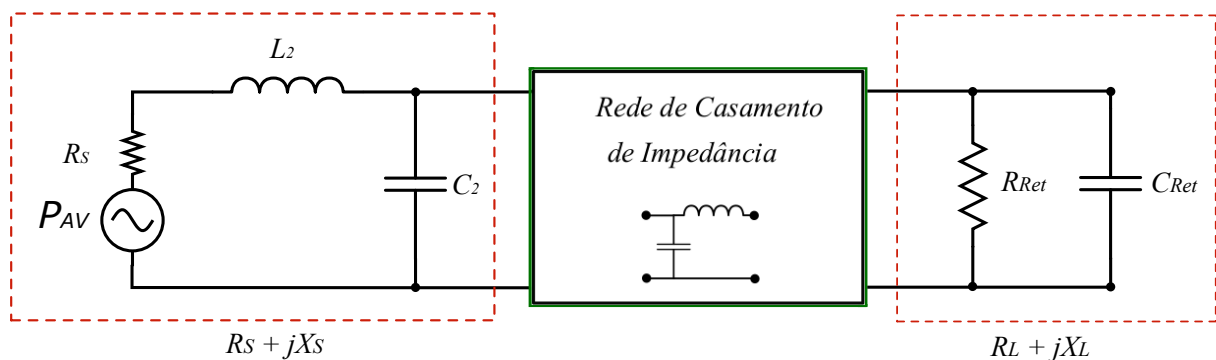
$$\omega = \frac{1}{\sqrt{L_1 C_1}} = \frac{1}{\sqrt{L_2 C_2}} \quad (2.9)$$



## 2.4 CASAMENTO DE IMPEDÂNCIAS

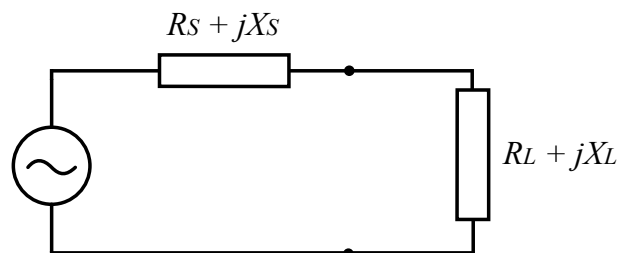
Casamento de impedâncias é uma técnica empregada em WPT para melhorar a transferência de energia entre o acoplamento e o bloco retificador. Se o circuito não estiver devidamente casado, a energia irá refletir em direção ao transmissor, acarretando problemas de baixa eficiência no sistema. A figura 2.7 mostra o circuito equivalente de um receptor WPT. Na figura 2.8 identificamos a impedância equivalente da fonte e a impedância equivalente da carga. A máxima transferência de energia ocorre quando  $R_S = R_L$  e  $X_S = -X_L$ .

Figura 2.7 – Modelo típico de uma rede de casamento de impedâncias.



Fonte: Próprio autor

Figura 2.8 – Circuito equivalente representando a impedância da fonte e a impedância de carga.



Fonte: Próprio autor

Outra característica importante no casamento de impedâncias é elevar a tensão na entrada do retificador. Se a tensão na entrada do retificador for baixa, o retificador não irá funcionar corretamente, podendo ter baixa eficiência ou mesmo não operar. Para dar um *boost* na amplitude da tensão na entrada do retificador, são empregados dispositivos passivos na entrada do retificador e, desta forma, a tensão de entrada do retificador será maior que a tensão de *threshold* dos dispositivos retificadores.

De acordo com (SAFARIAN; HASHEMI, 2014), a retificação é um processo não linear, e o retificador precisa de uma quantidade suficiente de tensão para funcionar normalmente. Desta forma, o sinal RF necessita ser amplificado, utilizando componentes

passivos. Conforme (SUN; XIE; WANG, 2013), em sistemas de rádio, normalmente o casamento de impedâncias é feito em  $50 \Omega$ , mas em sistemas de WPT para aplicações médicas, o casamento de impedância é feito em valores mais baixos, pois a impedância do acoplamento ressonante, em muitos casos, é menor que  $1 \Omega$ .

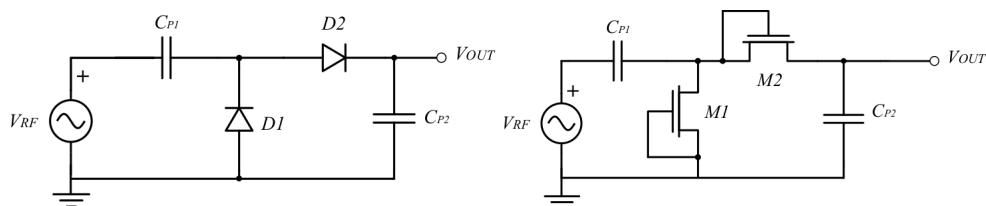
### 3 RETIFICADORES CMOS

A etapa da conversão de energia do sinal RF capturado pelo acoplamento indutivo para alimentação DC de um circuito integrado é feito pelo circuito retificador. Conforme (LU; KI, 2018), o retificador é o principal conversor de potência em um sistema WPT, sendo essencial que o bloco possua uma alta eficiência de operação. As topologias de retificadores para WPT possuem diferenças se comparadas com retificadores comuns, onde normalmente são utilizados diodos como dispositivo retificador.

Em aplicações como dispositivos médicos implantáveis, sistemas de WPT operam em regimes de baixa potência, normalmente na faixa de micro-watts, entre -30 dBm e 0 dBm (LU; KI, 2018)(KHALIFA, 2010). Nesta faixa de potência, as perdas de potência causadas pela tensão de limiar do diodo são consideravelmente grandes. Consequentemente, estes circuitos sofrem com baixa eficiência, o que não é desejado em um sistema WPT em baixa potência.

Para solucionar este problema, retificadores podem ser projetados, utilizando o diodo schottky, que possui uma tensão de limiar na faixa dos 150 mV a 450 mV, menor que a faixa típica dos diodos convencionais que é entre 600 mV a 700 mV. Em contrapartida, o diodo schottky possui um alto custo de fabricação e não está disponível em muitas tecnologias CMOS comerciais (DAI et al., 2015). Outra possibilidade é a utilização de transistores como dispositivos de retificação.

Figura 3.1 – Retificador Dickson. Utilizando diodos (esquerda), utilizando transistores (direita)



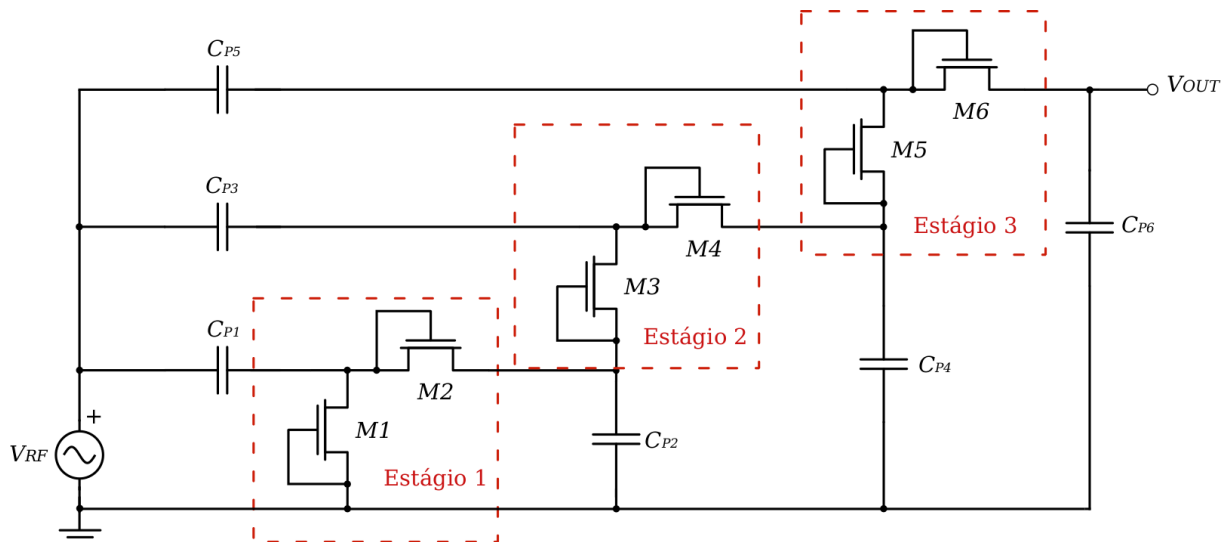
Fonte: Próprio autor

A figura 3.1 apresenta a topologia Retificador Dickson. Esta topologia, juntamente com suas variações, é largamente utilizada em etiquetas de RFID passivas, por suas características de multiplicação de tensão. Originalmente proposta utilizando diodos, ela funciona perfeitamente substituindo os diodos por transistores. Seu principal objetivo é fazer com que a tensão de saída do retificador seja maior que a tensão de pico na entrada do retificador. A figura 3.2 apresenta o cascadeamento de estágios deste retificador. Esta característica de multiplicação de tensão do retificador Dickson fez com que esta topologia se tornasse bastante popular em sistemas de WPT.

No semiciclo positivo do sinal  $RF$ , o capacitor  $C_{P1}$  é carregado até a tensão de

pico da onda senoidal. O diodo  $D_1$  está em polarização reversa, assim o capacitor  $C_{P1}$  conserva sua carga. No semiciclo negativo, tanto os diodos  $D_1$  e  $D_2$  estão em condução, fazendo com que o capacitor  $C_{P1}$  receba mais uma carga, dobrando a carga armazenada  $2V_{RF}$ . Desta forma, na saída do retificador, obtemos uma tensão DC com o dobro da tensão de pico na entrada (GULER; GHOVANLOO, 2017).

Figura 3.2 – Retificador Dickson com 3 estágios.



Fonte: Próprio autor

Em regimes de baixa potência, a tensão de saída de um simples estágio de retificação pode ser insuficiente para alimentar corretamente o restante do circuito. A possibilidade de um retificador ser cascateado em vários estágios retificadores e ter a tensão de saída maior que a tensão de entrada, possibilita que os níveis de potência utilizados na WPT sejam reduzidos, e ainda possibilita que a distância entre o dispositivo transmissor e receptor seja maior.

Apesar desta topologia ser facilmente construída utilizando a tecnologia CMOS, o retificador Dickson é dependente da tensão de limiar dos transistores usados. Como consequência, ele sofre com baixa eficiência, quando a tensão na entrada do retificador é baixa.

Para manter a tensão de *threshold* dos transistores baixa, é necessário que sejam utilizados grandes transistores. Em consequência disso, estes circuitos terão um acréscimo na área utilizada e ainda sentirão os efeitos causados por capacitâncias parasitas. Vale ressaltar que estes efeitos aumentam à medida que o tamanho dos transistores é elevado.

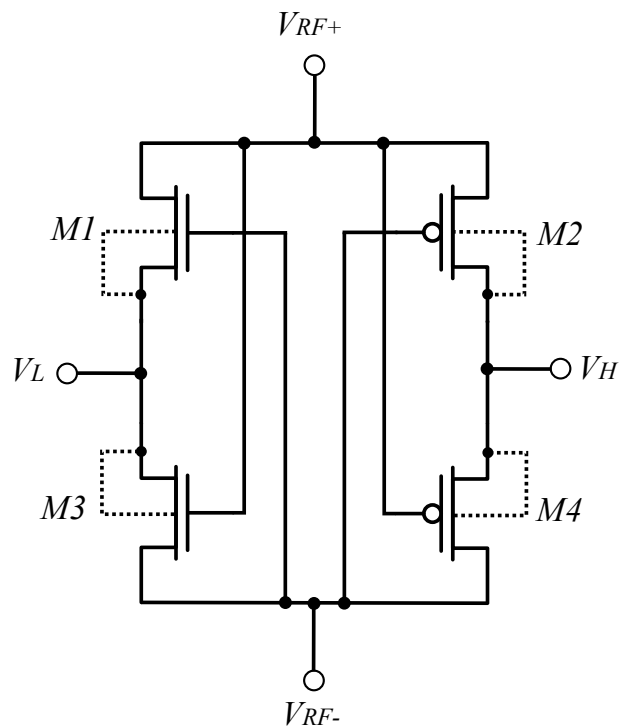
A eficiência típica para este tipo de retificador fica em torno de 30% a 45% (DAI et al., 2015), utilizando transistores, aumentando para até 55% ao ser utilizado diodos Schottky (GULER; GHOVANLOO, 2017). Transistores Zero *threshold* também são usados, mas estes sofrem com uma significativa corrente de fuga reversa, que degrada a eficiência

do retificador.

### 3.1 RETIFICADOR DIFERENCIAL

A topologia escolhida para este projeto foi a *Differential Drive Rectifier* (Retificador Diferencial), também chamada de *Four Transistor Cell Rectifier*. Possui um conjunto de 4 transistores, destes 2 NMOS e 2 PMOS, conectados de forma diferencial, conforme apresentado na figura 3.3. Esta topologia de retificador se caracteriza por possuir um boa eficiência em baixos níveis de potência.

Figura 3.3 – Circuito de um estágio do retificador diferencial.

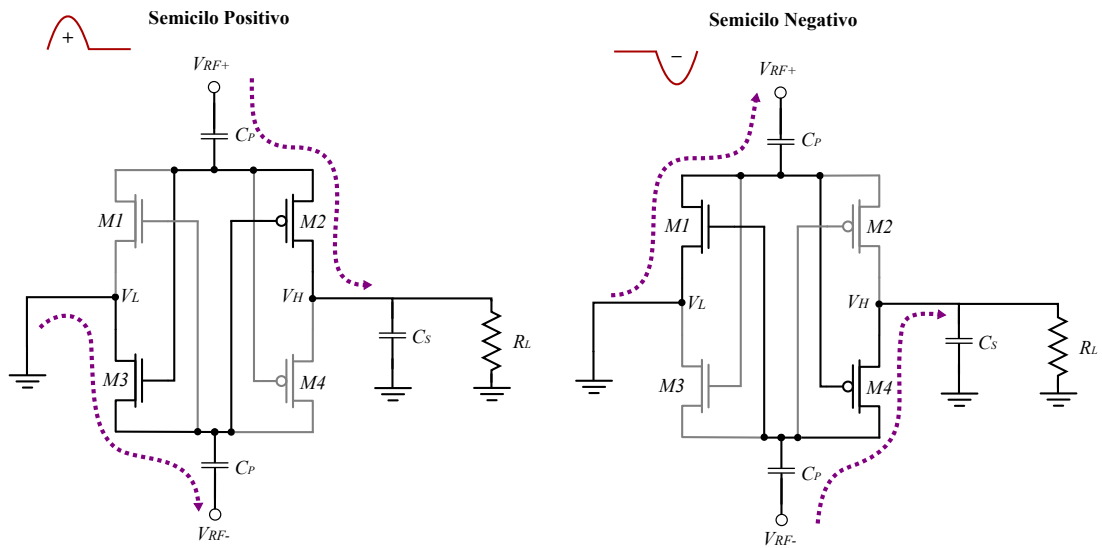


Fonte: Próprio autor

No semiciclo positivo do sinal  $RF$ , figura 3.4, os transistores  $M2$  e  $M3$  estão em condução e carregam os capacitores  $C_S$ , e os transistores  $M1$  e  $M4$  operam em corte, fazendo com que a corrente flua em direção a saída  $V_H$ , passando pelo capacitor do filtro  $C_S$  até a carga  $R_L$ . Já no semiciclo negativo, os transistores  $M1$  e  $M4$  estão em condução e os transistores  $M2$  e  $M3$  operam em corte. Desta forma, o retificador faz com que a corrente dos dois semiciclos fluam em direção a carga.

Do mesmo modo que as topologias baseadas no multiplicador de Dickson, o retificador diferencial também pode ser cascateado em vários estágios retificadores, a fim de elevar a tensão de saída para níveis mais altos que a tensão de entrada. A tensão máxima de saída pode ser estimada pela equação 3.1 (MANDAL; SARPESHKAR, 2007).

Figura 3.4 – Funcionamento do retificador diferencial.

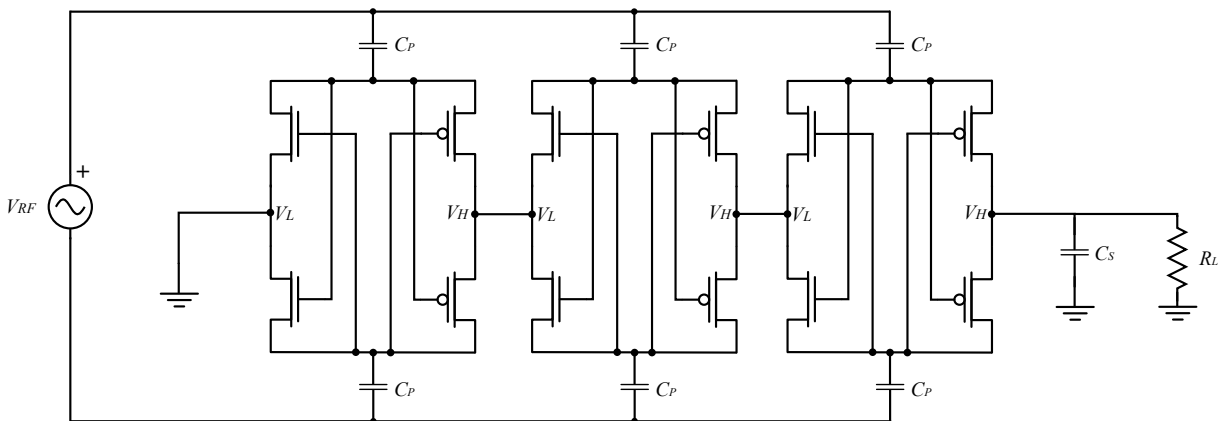


Fonte: Próprio autor, adaptador de (GULER; GHOVANLOO, 2017)

Da mesma forma como no multiplicador de tensão, a tensão DC na saída do retificador é o número de estágios  $N$ , multiplicado pela tensão de pico na entrada, menos as perdas associadas a cada estágio retificador,  $V_{DROPO}$ .

$$V_{DC} = N(2V_{RF} - V_{DROPO}) \quad (3.1)$$

Figura 3.5 – Retificador diferencial com 3 estágios.



Fonte: Próprio autor.

O retificador pode ser cascateado conectando as entradas  $V_{RF+}$  e  $V_{RF-}$  paralelamente a fonte de sinal RF, utilizando capacitores de acoplamento  $C_P$ , como apresentado na figura 3.5. Os terminais  $V_L$  e  $V_H$  são conectados respectivamente ao estágio anterior e ao estágio posterior, sendo que no caso do primeiro estágio, o terminal  $V_L$  é conectado ao terra. Desta forma, cada estágio contribui elevando a tensão DC ao próximo estágio, resultando em uma tensão na carga maior que a tensão de pico da fonte  $V_{RF}$ .

A eficiência do retificador diferencial é maior quando a amplitude do sinal RF é grande, isso acontece pois quando a amplitude do sinal é baixa, os transistores não estão completamente chaveados, fazendo com que ocorra uma grande queda de tensão entre os transistores que conseqüentemente diminui a tensão DC na saída.

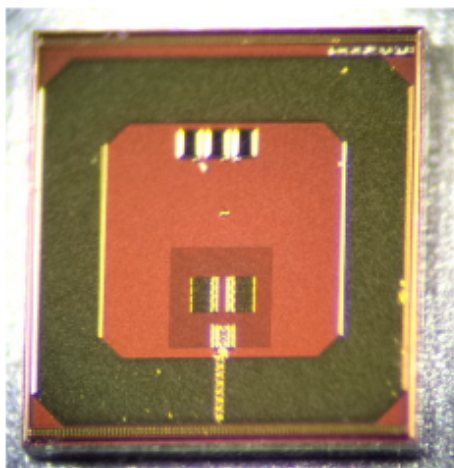
Em contrapartida, quando a amplitude do sinal RF é grande, os transistores conduzem uma corrente reversa vinda do capacitor  $C_S$  de volta ao nó  $V_{RF}$ , por um curto período de tempo antes de os transistores estarem completamente em corte. Para diminuir este efeito, é importante que os transistores PMOS e NMOS possuam a mesma tensão de *threshold*.

## 4 PROJETO DO RETIFICADOR INTEGRADO

### 4.1 MODELO DO INDUTOR INTEGRADO

O objetivo deste trabalho é projetar um retificador que deve funcionar utilizando o indutor proposto por (RIAÑO et al., 2016), como pode ser visto na figura 4.1. Este indutor é composto por uma espira integrada, com uma largura de trilha de  $250 \mu m$  e um diâmetro médio de  $1210 \mu m$ , operando na frequência de 1.04 GHz. Quanto ao casamento de impedância entre o indutor e o retificador, um único capacitor foi utilizado para ressonar com o indutor.

Figura 4.1 – Figura da WPT implementada por (RIAÑO et al., 2016)



Fonte: (RIAÑO et al., 2016)

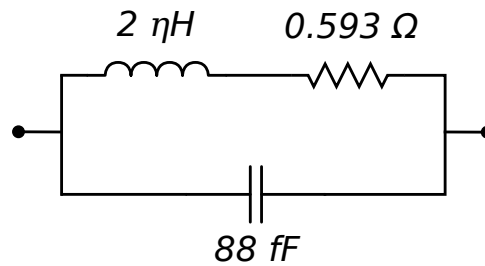
O sistema implementado funciona nos níveis de potência recebida no acoplamento entre -7 dBm a 6 dBm, sendo que neste sistema, o retificador foi projetado para operar com a máxima eficiência em -5 dBm.

Para realizar as simulações utilizando este indutor, foi utilizado o modelo elétrico disponível em (BAQUERO et al., 2016), tal como apresentado na figura 4.2. Este modelo apresenta a indutância do indutor integrado equivalente a 2 nH, juntamente com a resistência e a capacitância parasita sendo  $0.593 \Omega$  e 88fF, respectivamente, para a frequência de 1.04 GHz.

O Sistema WPT equivalente em que o retificador será projetado pode ser visto na figura 4.3, onde contamos com o modelo do indutor integrado, a rede de adaptação de impedâncias, o retificador de tensão, o capacitor do filtro passa baixas  $C_S$  e uma carga resistiva  $R_L$ . Do mesmo modo como utilizado por (RIAÑO et al., 2016), a rede de adaptação de impedâncias é realizada com um único capacitor  $C_B$ , que foi dimensionado para operar



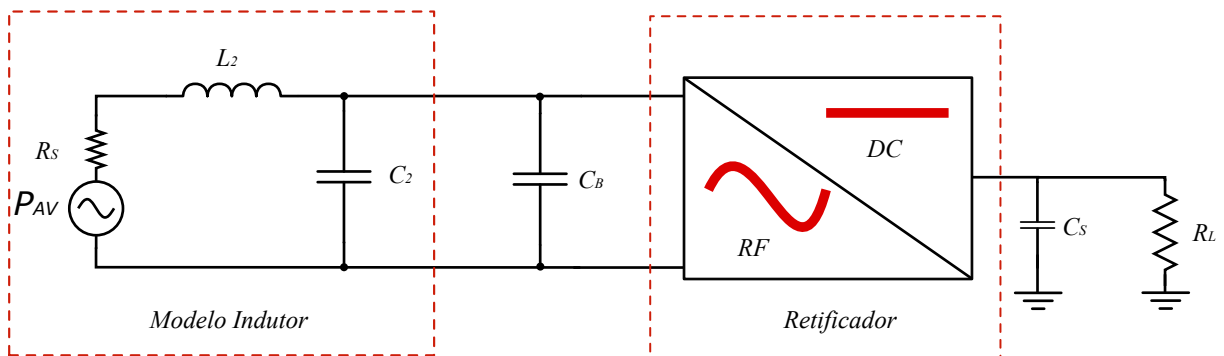
Figura 4.2 – Modelo equivalente do indutor integrado



Fonte: Próprio autor, adaptado de (BAQUERO et al., 2016)

na frequência de ressonância do indutor. Esta técnica permite que não seja necessário utilizar indutores no casamento de impedâncias, resultando em um circuito mais compacto, pois os indutores construídos em tecnologia CMOS possuem a área muito elevada.

Figura 4.3 – Diagrama elétrico equivalente da WPT proposta, destacando o retificador e o modelo do indutor.



Fonte: Próprio autor.

## 4.2 METODOLOGIA

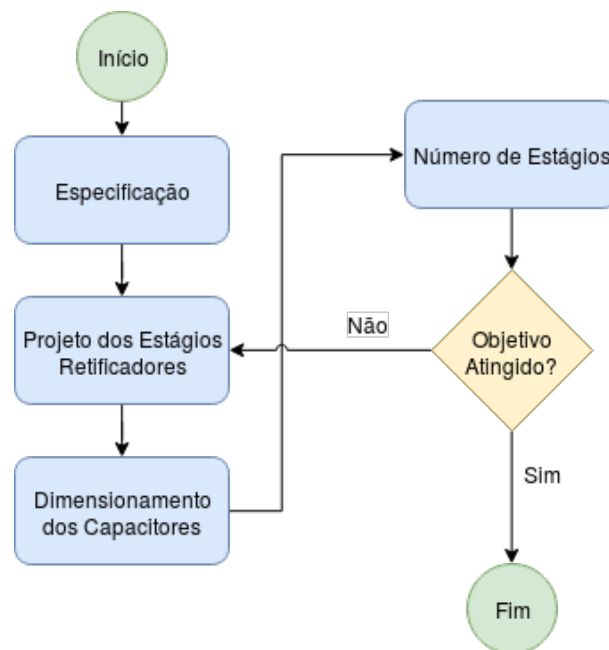
Para este projeto, a eficiência na conversão de energia foi a principal figura de mérito. Como base de desempenho do retificador, os componentes foram dimensionados com o objetivo de atingir a maior eficiência possível nas simulações realizadas. Assim, optamos por utilizar o modelo do indutor integrado e projetar o retificador para fornecer uma tensão DC de, no mínimo, 1.2 V quando aplicado -5 dBm de potência no acoplamento indutivo.

Foram utilizadas simulações paramétricas, disponíveis na ferramenta *Cadence Virtuoso*, para realizar o dimensionamento dos componentes do retificador. A simulação paramétrica, ou chamada de *Parametric Analysis*, é uma forma de analisar o comportamento do circuito a partir da variação das variáveis relacionadas aos dispositivos presentes no

circuito. Por exemplo, para analisar o efeito do valor da carga na saída do retificador, variamos o valor do resistor na saída, como consequência, a potência dissipada na carga irá variar, assim podemos analisar a curva da eficiência do retificador em função da carga de saída.

A figura 4.4 apresenta o fluxograma da metodologia empregada no projeto do retificador integrado onde destacamos cada passo:

Figura 4.4 – Fluxograma correspondente da metodologia empregada para o projeto do retificador



Fonte: Próprio autor.

- **Especificação:** Primeira etapa do projeto, onde foram definidas as condições de operação do retificador, bem como a tensão mínima que deve fornecer na carga.
- **Projeto dos Estágios Retificadores:** Nesta etapa, variamos a largura dos transistores e a partir da análise do comportamento do circuito, foram escolhidas a dimensão dos transistores e a carga que maximiza essa eficiência.
- **Dimensionamento dos Capacitores:** Aqui, definimos as dimensões dos capacitores que compõem o projeto do retificador.
- **Número de Estágios:** Após analisarmos o comportamento do retificador, foi possível estimar o número de estágios para que o objetivo do projeto fosse alcançado. Vale ressaltar que caso não seja possível, ou desejarmos outro comportamento, retornamos para o Projeto dos Estágios Retificadores. Caso esteja de acordo com as especificações, o retificador pode ser implementado eletricamente.

### 4.3 FIGURAS DE MÉRITO

As principais figuras de mérito para este trabalho são a eficiência na conversão de energia e a sensibilidade de potência do retificador. Segundo (GULER; GHOVANLOO, 2017), a eficiência na conversão de energia, ou PCE, é a razão entre a energia DC entregue a carga, pela energia AC na entrada do retificador. A equação 4.1 apresenta o cálculo utilizado para estimar a eficiência do retificador  $\eta_{Ret}$ .

$$\eta_{Ret} = \frac{P_{OUT}}{P_{INrms}} \quad (4.1)$$

Onde  $P_{OUT}$  corresponde a potência entregue a carga e  $P_{INrms}$  corresponde a potência eficaz na entrada do retificador.

Definimos a sensibilidade de potência do retificador como sendo o nível mínimo de potência na entrada do retificador, desde que satisfaça o requisito mínimo de tensão de saída do retificador. A unidade de medida da sensibilidade de potência é o DeciBel milliwatts (dBm).

### 4.4 PROJETO DOS ESTÁGIOS RETIFICADORES

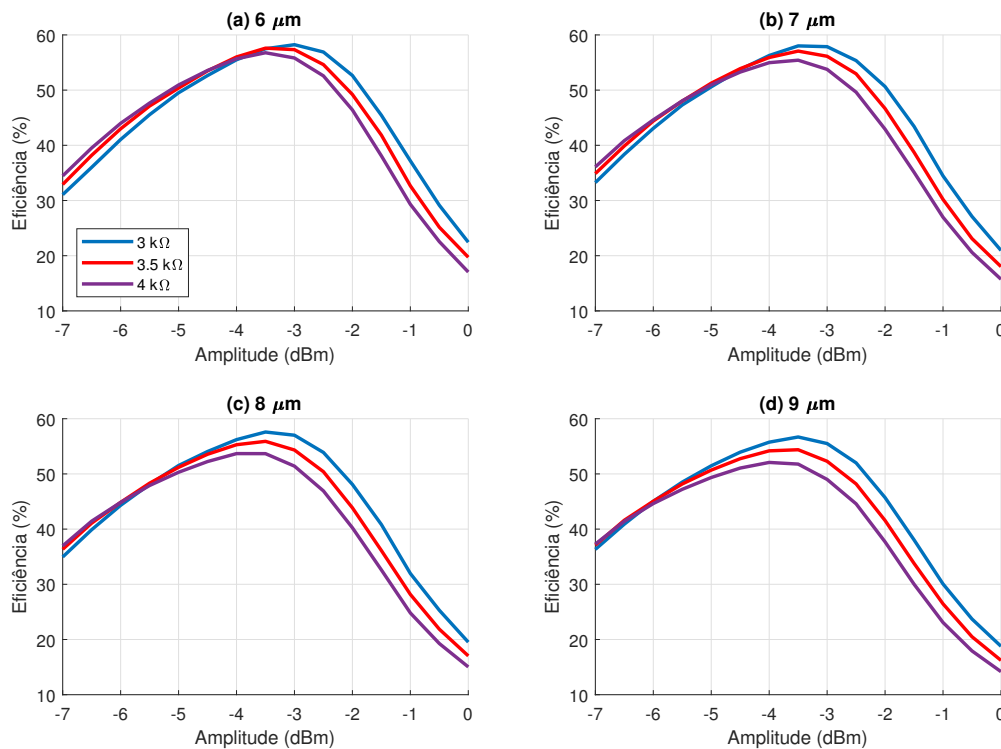
O procedimento para projetar os estágios retificadores é realizar o dimensionamento dos transistores que irão funcionar como dispositivos de retificação. Assumimos que depois de projetado o primeiro estágio, os demais estágios que serão necessários para atingir o objetivo mínimo de 1.2V serão uma replicação do primeiro estágio, com a única diferença que serão incluídos os capacitores de acoplamento nas entradas  $V_{RF}$  do retificador, sendo que o primeiro estágio estará conectado diretamente, ou seja, sem capacitores de acoplamento.

Transistores *low-threshold* (baixa tensão de limiar) com anel de guarda para radiofrequência foram escolhidos como dispositivos retificadores. Estes dispositivos estão disponíveis na tecnologia utilizada para o projeto. Esta escolha é interessante, visto que menores valores de tensão de *threshold* sugerem que o retificador terá uma melhora na eficiência (MANDAL; SARPESHKAR, 2007) (RIAÑO et al., 2016).

Devido à diferença na resistência de canal entre transistores PMOS e NMOS, a razão da largura dos transistores adotada para o projeto foi de 2, obtido de simulações anteriores. Desta forma, para as simulações paramétricas, esta razão  $W_P/W_N$  foi fixada variando então a largura do dispositivo PMOS, e os dispositivos NMOS com a largura 2 vezes menor.

O primeiro conjunto de simulações é organizado de modo que seja feita uma variação do tamanho dos transistores junto com uma variação do valor da resistência de carga.

Figura 4.5 – Gráficos da eficiência ao variar o valor da potência recebida pelo acoplamento indutivo ressonante e ao variar a largura dos transistores.



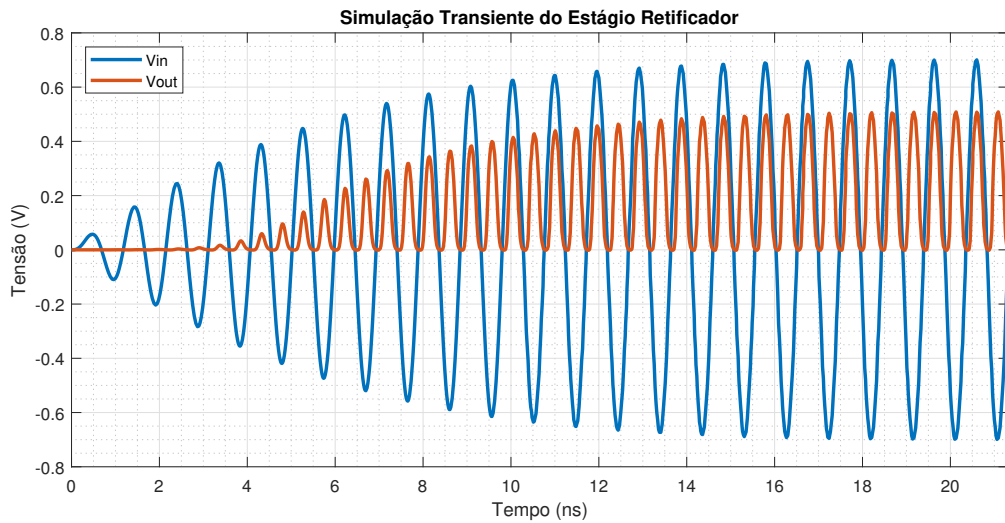
Fonte: Próprio autor.

Para projetar o estágio, estipulamos uma variação de carga com os valores de 3 kΩ, 3.5 kΩ e 4 kΩ, assim escolhemos a dimensão com a maior eficiência para estas cargas escolhidas. Variamos, ainda, a potência recebida pelo acoplamento indutivo, entre -7 dBm e 0 dBm. Deste modo, veremos o comportamento de cada situação.

Como este trabalho não possui uma carga alvo especificada, iremos escolher uma carga resistiva compatível com outros trabalhos. O autor (MAHMOUD, 2016) utilizou como carga um resistor de 10 KΩ. Assim, para projetar um estágio retificador, optamos por utilizar uma carga menor, entre os valores de 3 KΩ e 4 KΩ, escolhendo aquela que possuir a melhor eficiência para as dimensões simuladas.

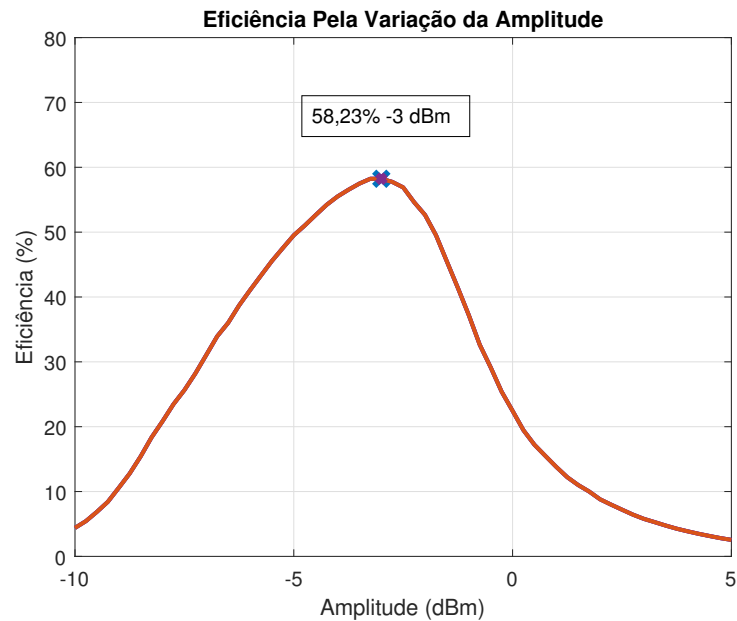
Na figura 4.5, apresentamos o resultado desta simulação, podemos notar que com a variação de valores tão próximos para as dimensões dos transistores, a eficiência em cada situação ficou bastante próxima. Destacamos que a dimensão de 6u obteve 58.22% de eficiência em -3 dBm, para uma carga de 3 kΩ, tal como pode ser observado na figura 4.5 (a). Valor próximo do valor obtido em 7u, conforme figura 4.5 (b), que obteve 58,01% em -3.5 dBm, para a carga de 3kΩ. Para as dimensões de 8u (c) e 9u (d), as eficiências máximas foram de 57,59% e 56,69 % respectivamente em -3.5dBm na carga de 3kΩ.

Figura 4.6 – Simulação transiente do primeiro estágio retificador



Fonte: Próprio autor.

Figura 4.7 – Eficiência pela variação da amplitude do primeiro estágio retificador



Fonte: Próprio autor.

Como a dimensão de  $6\mu$  foi a que obteve a máxima eficiência para os valores de carga estipulados, escolhemos esta como sendo a dimensão da largura dos transistores PMOS de cada estágio retificador.

Na figura 4.6, podemos verificar a simulação transiente do estágio retificador. Aplicamos a potência de  $-5$  dBm nos terminais do acoplamento indutivo e a carga de  $3k\Omega$ . A linha "Vin" corresponde ao sinal RF obtido na entrada do retificador, com valor de pico em  $697$  mV. Já o sinal retificado Vout ficou com a tensão pico a pico de  $505$  mVpp para uma

carga de  $3 \text{ k}\Omega$ . Desta forma, a contribuição do estágio retificador ficará em torno de 300 mV (valor eficaz).

Realizamos mais uma simulação da eficiência do retificador. Nesta simulação, variamos a potência recebida do acoplamento indutivo em -10 dBm até 5 dBm. Nosso ponto de interesse nesta simulação foi analisar o funcionamento do estágio retificador em todo o alcance de operação do acoplamento indutivo. Apresentamos esta simulação na figura 4.7. O ponto de máxima eficiência foi em -3dBm com 58,23 %. As extremidades -10 dBm e 5 dBm contam com 4,39% e 2,54 %, respectivamente.

#### 4.5 DIMENSIONAMENTO DOS CAPACITORES

O retificador diferencial conta com 2 tipos de capacitores, os capacitores de acoplamento  $C_P$ , também chamados de *pump capacitors*, e o capacitor  $C_S$  do filtro passa baixa na saída do conjunto retificador. Neste projeto, todos os capacitores de acoplamento terão as mesmas dimensões.

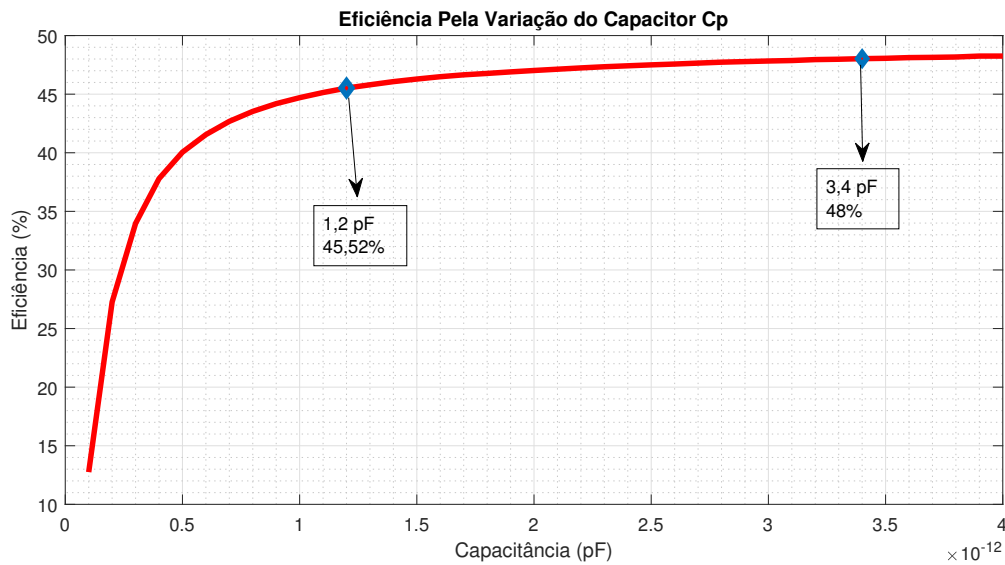
Os transistores de acoplamento estão conectados nas entradas diferenciais  $V_{RF+}$  e  $V_{RF-}$  do retificador. Eles não permitem a passagem de sinais DC da fonte para o retificador, passando apenas os sinais variantes no tempo. Sem estes capacitores, a multiplicação de tensão no retificador não acontecerá.

Os capacitores  $C_P$  têm o comportamento de um filtro passa altas (HADDAD et al., 2016). Desta forma, podemos escolher a dimensão do capacitor como sendo o valor correspondente a frequência de corte.

Outra forma de dimensionar os capacitores de acoplamento é através de simulações paramétricas. Para esta simulação, iremos variar a capacitância dos capacitores em uma potência de -5 dBm no acoplamento indutivo. Esta simulação pode ser visualizada na figura 4.8, onde podemos ver o comportamento de filtro passa alta do capacitor de acoplamento. A partir desta simulação, escolhemos o valor de 1.2 pF para o capacitor de acoplamento  $C_P$ . Esta escolha é adequada para nosso projeto, visto que com valores maiores para o capacitor não há uma mudança significativa na eficiência, para este nível de potência. Apesar de que, com valores maiores para o capacitor de acoplamento, a eficiência se estabiliza em torno de 48%, o capacitor de 1.2 pF apresentou eficiência mais alta quando são adicionados mais estágios.

Segundo (HADDAD et al., 2016), o capacitor  $C_S$  tem comportamento de um filtro passa baixas e atenuação da tensão de ripple na saída do retificador. Para este componente, vamos escolher o mesmo valor obtido da simulação anterior.

Figura 4.8 – Eficiência pela variação dos capacitores de acoplamento  $C_P$



Fonte: Próprio autor.

#### 4.6 NÚMERO DE ESTÁGIOS

Concluído o dimensionamento dos transistores e escolhido o valor dos capacitores, foi possível estimar o número de estágios da estrutura do retificador. Este procedimento pode ser realizado utilizando a equação 3.1. Na seção anterior, observamos que o retificador entrega cerca de 300 mV para o próximo estágio, utilizando uma carga de  $3K\Omega$  em -5dBm. Assim, vamos usar este valor como referência, a fim de escolher o número de estágios retificadores.

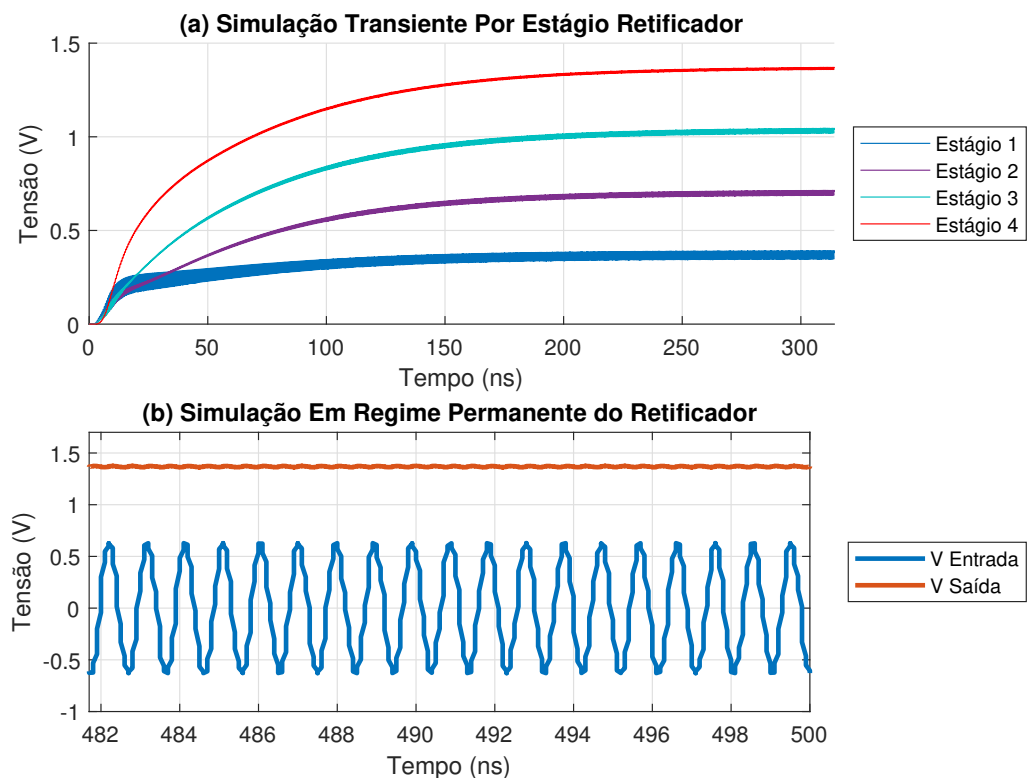
Assumimos, então, que a cada estágio retificador, iremos obter uma contribuição de 300 mV, logo, para atingirmos nosso objetivo de, no mínimo, 1.2V em -5dBm, utilizaremos 4 estágios retificadores. Cada estágio retificador é conectado ao capacitor de acoplamento  $C_P$  através dos terminais  $V_{RF+}$  e  $V_{RF-}$ . Esses terminais são conectados ao acoplamento indutivo, de modo que cada estágio estará conectado em paralelo com o acoplamento indutivo.

O acréscimo de mais estágios retificadores vem acompanhado de uma queda na eficiência final do sistema, causada pelas perdas de tensão, associadas a cada estágio retificador. Desta forma, retificadores com vários estágios podem sofrer degradação da eficiência, por isso este fator deve ser levado em conta na hora do projeto do retificador.

## 5 RESULTADOS

Neste capítulo, apresentaremos os resultados obtidos através das simulações realizadas após a conclusão do projeto do retificador. A apresentação dos resultados foi organizada da seguinte forma: inicialmente, apresentamos os resultados do retificador funcionando no nível de potência no acoplamento indutivo de -5 dBm. Em seguida, vamos variar os níveis de potência entregue ao acoplamento indutivo e verificar os pontos de funcionamento do retificador. Feito isso, será apresentada uma simulação onde a carga na saída do retificador foi variada entre 1 K $\Omega$  e 100 K $\Omega$ .

Figura 5.1 – Tensão na saída de cada estágio retificador (a), resposta transiente em regime permanente do retificador (b)



Fonte: Próprio autor.

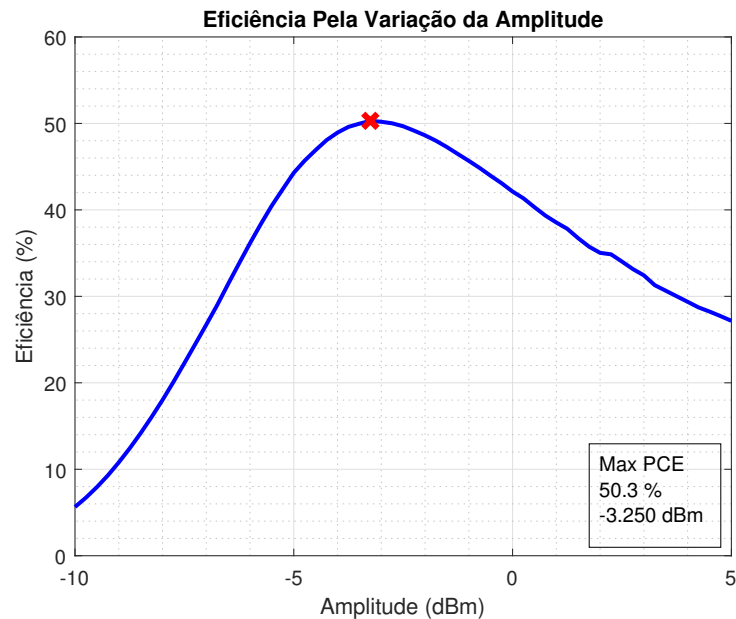
Analisando o comportamento do retificador na região de interesse, a figura 5.1 apresenta as simulações do retificador quando aplicado -5 dBm de potência no acoplamento indutivo e como carga utilizamos um resistor de 22 K $\Omega$ . Ao adicionar mais estágios retificadores no circuito, o valor da carga que maximiza a eficiência é alterado. Utilizamos 3 K $\Omega$  para projetar um estágio retificador. Quando adicionamos mais estágios, este valor subiu para 22 K $\Omega$ .

A figura 5.1 (a) mostra a contribuição de tensão em cada estágio retificador. Como



esperado, podemos verificar que na saída de cada estágio retificador houve uma contribuição de tensão de aproximadamente 330 mV a cada estágio. Valor ligeiramente superior ao resultado obtido nas simulações do projeto do estágio retificador, onde a contribuição do primeiro estágio foi de 302 mV.

Figura 5.2 – Eficiência pela variação da potência no acoplamento indutivo, para o retificador com 4 estágios.



Fonte: Próprio autor.

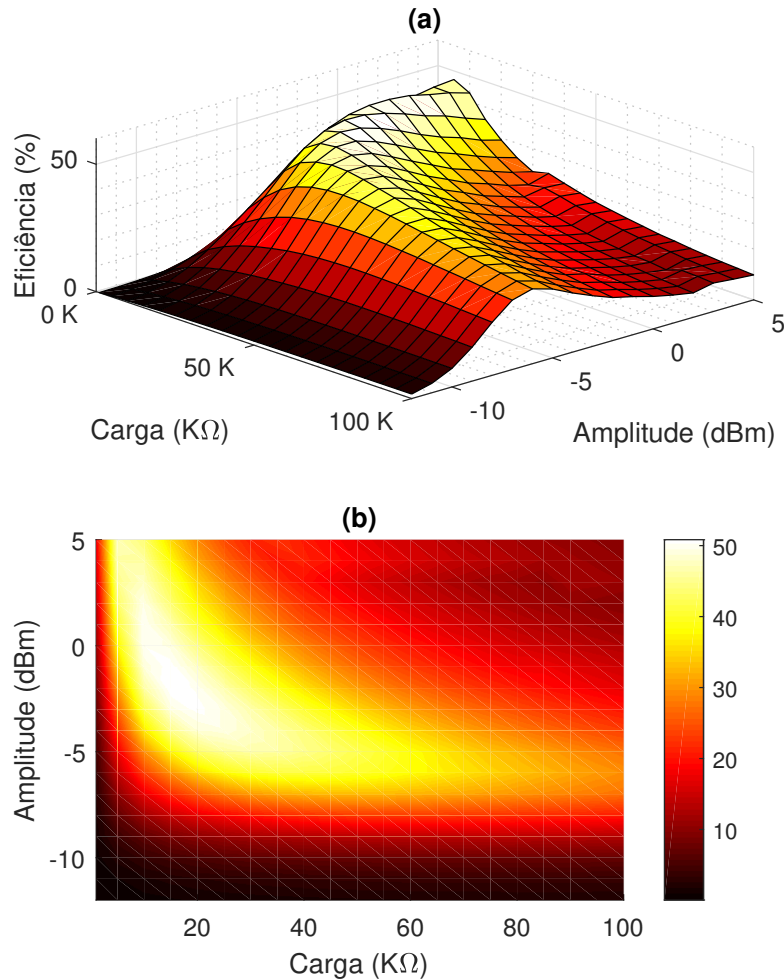
A figura 5.1(b) mostra o comportamento do retificador em regime permanente. Como os valores dos capacitores  $C_P$  e  $C_S$  foram baixos, o retificador atinge o regime permanente próximo aos 300 nano segundos. A amplitude da tensão de entrada do retificador para o nível de potência de - 5 dBm foi de 616 mV, e a tensão de saída  $V_{OUT}$  do retificador na carga é de 1.37 V.

A partir desta simulação, podemos concluir que o retificador atingiu o principal objetivo de fornecer no mínimo 1.2 V de tensão para a carga quando aplicado - 5dBm de potência no acoplamento indutivo. A corrente entregue para a carga nesta condição foi de 62 uA. A potência na entrada do retificador foi de -7.2 dBm, o que resulta que o retificador obteve 44% de eficiência nesta condição de operação.

Agora vamos analisar o comportamento do retificador variando a amplitude da potência recebida pelo acoplamento indutivo, como pode ser visto na figura 5.2. A variação da amplitude recebida pelo acoplamento permite analisar os pontos de operação do retificador para uma carga específica. Desta forma, é possível observar que o retificador obteve sua máxima eficiência em - 3.25 dBm de potência no acoplamento indutivo. Neste ponto, a potência entregue para os terminais do retificador foi de 335 uW eficaz, sendo que nesta condição entrega 1.93 V de tensão para a carga. Destacamos, ainda, que nos pontos de

-6 dBm e 5 dBm, o retificador ficou com 36.1% e 27.1% de eficiência, respectivamente.

Figura 5.3 – Eficiência pela variação da amplitude e variação da carga entre 1 K $\Omega$  a 100 K $\Omega$



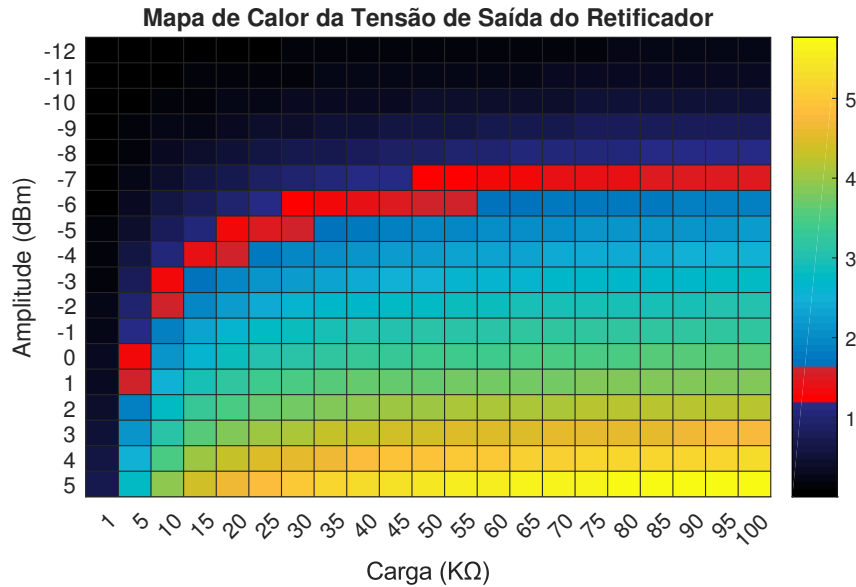
Fonte: Próprio autor.

Ao final, para obter uma visão mais ampla do conjunto, variamos a carga na saída do retificador para valores entre 1 K $\Omega$  e 100 K $\Omega$ . Também variamos a amplitude da potência recebida no acoplamento indutivo. Esta simulação pode ser vista na figura 5.3. Neste gráfico, temos uma visão melhor do comportamento do retificador. Podemos analisar que a região onde o retificador tem melhor desempenho é entre os níveis de potência de -5 dBm a 5 dBm, para cargas de até 40 K $\Omega$ . Como observado em (RIAÑO et al., 2016), para cada nível de potência, um valor diferente de carga vai maximizar a eficiência.

Nesta mesma simulação, vamos analisar em quais condições o retificador atingiu a tensão mínima de 1.2 V, ou seja, a sensibilidade do retificador para cada valor de carga. A figura 5.4 apresenta o mapa de calor. A cor vermelha representa os pontos em que o retificador atingiu a tensão mínima de 1.2 V, após esta marca, a tensão do retificador irá subir

até o seu valor máximo, em mais de 5 V. A região com a cor preta corresponde a região onde o retificador não irá entregar um nível de tensão suficiente para o funcionamento dos circuitos que serão alimentados. Já a cor azul escuro representa tensões maiores que 1 V.

Figura 5.4 – Eficiência pela variação da amplitude e variação da carga entre 1 K $\Omega$  a 100 K $\Omega$



Fonte: Próprio autor.

Analisando as figuras 5.3 e 5.4, podemos notar que para menores valores de carga, o retificador precisa de uma quantidade maior de potência para atingir 1.2 V. Sendo assim, como desejamos que o retificador forneça 1.2 V em -5 dBm, o retificador deverá funcionar com cargas superiores a 20 K $\Omega$ . Através da análise da figura 5.3, percebemos que a partir de 20 K $\Omega$ , a máxima eficiência ocorre em valores próximos a -5 dBm, sendo entre -3 dBm para cargas próximas a 20 K $\Omega$  e -6dBm para cargas próximas a 100 K $\Omega$ . A figura 5.4 nos confirma que a tensão de saída para cargas superiores a 20 K $\Omega$  para valores de potência de -5 dBm no acoplamento ressonante será maior que 1.2 V.

Conforme a figura 5.4, para cargas acima de 50 K $\Omega$  a sensibilidade do retificador ficou em torno de -7 dBm de potência no acoplamento indutivo. Tal como pode ser analisado na figura 5.3, a eficiência do retificador não ficou tão elevada, como na região que compreende as cargas de 5 K $\Omega$  e 30 K $\Omega$ .

A tabela 5.1 apresenta uma comparação com outros trabalhos. Para esta tabela, o nível de potência utilizado foi a potência eficaz nos terminais do retificador. Para o cálculo da eficiência, comparamos a potência eficaz de entrada do retificador com a potência eficaz na carga resistiva. Comparando com os outros resultados, o retificador projetado funciona com uma frequência mais elevada, mas com níveis de potência maiores e eficiência menor. Apesar disso, o resultado se mostrou compatível com os resultados de outros trabalhos.

Tabela 5.1 – Tabela comparativa com outros trabalhos encontrados na literatura.

Fonte	Tecnologia	Frequência	Pin (dBm)	Eficiência	Carga
Este Trabalho	130 <i>nm</i>	1.04 <i>GHz</i>	-4.749	50.3%	22 $K\Omega$
(WONG; CHEN, 2011)	90 <i>nm</i>	915 <i>MHz</i>	-13.51	73%	-
(YOU et al., 2011)	130 <i>nm</i>	900 <i>MHz</i>	-6	74%	100 $K\Omega$
(KOTANI et al., 2009)	180 <i>nm</i>	953 <i>MHz</i>	-12.5	67%	10 $K\Omega$

## 6 CONCLUSÃO

Este projeto propôs a implementação de um retificador diferencial, desenvolvido na tecnologia *Global Foundries* 130 nm, utilizando o acoplamento indutivo ressonante previamente desenvolvido por (RIAÑO et al., 2016) e o modelo elétrico do indutor simulado por (BAQUERO et al., 2016).

Os resultados encontrados através da metodologia empregada demonstraram ser compatíveis com outros retificadores encontrados na literatura, no nosso caso, atingindo a meta especificada. O retificador diferencial projetado atingiu o objetivo de entregar, no mínimo, 1.2 V a carga, quando aplicado -5 dBm ao acoplamento indutivo ressonante, operando a 1.04 GHz. Nesta condição, o retificador entregou 1.37 V a carga de 22 KΩ. A máxima eficiência do retificador ficou no ponto de -3.25 dBm, aplicado ao acoplamento ressonante, onde obteve 50.3 % de eficiência. Neste caso, a potência entregue ao retificador foi de -4.74 dBm.

As simulações paramétricas utilizadas para este projeto se mostraram uma ótima ferramenta para o projeto do retificador. Foi possível avaliar o comportamento do retificador pela variação dos componentes presentes no retificador.

Como sugestão de trabalhos futuros, podemos citar a implementação completa do sistema de transmissão de energia sem fio. Realizando a simulação do indutor na tecnologia alvo, assim como otimizações no retificador, para elevar a sua eficiência. Ainda podemos destacar outros blocos que podem ser projetados para esta WPT, como conversores DC-DC, um regulador de tensão após a retificação do sinal e ainda implementar um sistema de comunicação por *backscattering*.

## REFERÊNCIAS BIBLIOGRÁFICAS

- BAQUERO, J. S. M. et al. Etiqueta rfid miniaturizada de baixa potência para identificação de objetos. 2016.
- DAI, H. et al. A review and design of the on-chip rectifiers for rf energy harvesting. In: IEEE. **Wireless Symposium (IWS), 2015 IEEE International**. [S.l.], 2015. p. 1–4.
- FINKENZELLER, K. **RFID handbook: fundamentals and applications in contactless smart cards, radio frequency identification and near-field communication**. [S.l.]: John Wiley & Sons, 2010.
- GULER, U.; GHOVANLOO, M. Power management in wireless power-sipping devices: A survey. **IEEE Circuits and Systems Magazine**, IEEE, v. 17, n. 4, p. 64–82, 2017.
- HADDAD, P.-A. et al. Automated design of a 13.56 mhz 19  $\mu$ w passive rectifier with 72% efficiency under 10  $\mu$ a load. **IEEE Journal of Solid-State Circuits**, IEEE, v. 51, n. 5, p. 1290–1301, 2016.
- JAWAD, A. M. et al. Opportunities and challenges for near-field wireless power transfer: A review. **Energies**, Multidisciplinary Digital Publishing Institute, v. 10, n. 7, p. 1022, 2017.
- JR, W. H. H.; BUCK, J. A. **Eletromagnetismo**. [S.l.]: Bookman Editora, 2013.
- KHALIFA, A. **Study of CMOS rectifiers for wireless energy scavenging**. 2010.
- LU, Y.; KI, W.-H. **CMOS Integrated Circuit Design for Wireless Power Transfer**. [S.l.]: Springer, 2018.
- MAHMOUD, M. Efficiency improvement of differential drive rectifier for wireless power transfer applications. In: IEEE. **Intelligent Systems, Modelling and Simulation (ISMS), 2016 7th International Conference on**. [S.l.], 2016. p. 435–439.
- MANDAL, S.; SARPESHKAR, R. Low-power cmos rectifier design for rfid applications. **IEEE Transactions on Circuits and Systems I: Regular Papers**, IEEE, v. 54, n. 6, p. 1177–1188, 2007.
- NISSHAGEN, M.; SJÖSTRAND, E. **Wireless power transfer using resonant inductive coupling**. 2017. Dissertação (Mestrado) — CHALMERS UNIVERSITY OF TECHNOLOGY, Gothenburg, Sweden, 2017.
- RIAÑO, F. L. C. et al. **Contribuições à otimização da eficiência na transferência de energia sem-fio para dispositivos eletrônicos miniaturizados**. 2016. Tese (Doutorado), 2016.
- SAFARIAN, Z.; HASHEMI, H. Wirelessly powered passive systems with dynamic energy storage mechanism. **IEEE Transactions on Microwave Theory and Techniques**, IEEE, v. 62, n. 4, p. 1012–1021, 2014.
- SUN, T.; XIE, X.; WANG, Z. **Wireless power transfer for medical microsystems**. [S.l.]: Springer, 2013.
- VALENTA, C. R.; DURGIN, G. D. Harvesting wireless power: Survey of energy-harvester conversion efficiency in far-field, wireless power transfer systems. **IEEE Microwave Magazine**, IEEE, v. 15, n. 4, p. 108–120, 2014.

WONG, S.-Y.; CHEN, C. Power efficient multi-stage cmos rectifier design for uhf rfid tags. **INTEGRATION, the VLSI journal**, Elsevier, v. 44, n. 3, p. 242–255, 2011.

XU, Q. et al. Batteries not included: A mat-based wireless power transfer system for implantable medical devices as a moving target. **IEEE Microwave Magazine**, IEEE, v. 14, n. 2, p. 63–72, 2013.

YOU, K. et al. 900 mhz cmos rf-to-dc converter using a cross-coupled charge pump for energy harvesting. In: IEEE. **Radio-Frequency Integration Technology (RFIT), 2011 IEEE International Symposium on**. [S.l.], 2011. p. 149–152.