

**UNIVERSIDADE FEDERAL DE SANTA MARIA
CENTRO DE TECNOLOGIA
CURSO DE CIÊNCIA DA COMPUTAÇÃO**

**IMPLEMENTAÇÃO DE CÉLULAS DE
MEMÓRIA E SIMULAÇÕES DE *SINGLE
EVENT EFFECTS***

TRABALHO DE GRADUAÇÃO

William do Nascimento Guareschi

Santa Maria, RS, Brasil

2010

IMPLEMENTAÇÃO DE CÉLULAS DE MEMÓRIA E SIMULAÇÕES DE *SINGLE EVENT EFFECTS*

por

William do Nascimento Guareschi

Trabalho de Graduação apresentado ao Curso de Ciência da Computação
da Universidade Federal de Santa Maria (UFSM, RS), como requisito
parcial para a obtenção do grau de
Bacharel em Ciência da Computação

Orientador: Prof. Dr. João Baptista dos Santos Martins (UFSM)

Co-orientador: Me. Gustavo Fernando Dessbesell (SMDH)

Trabalho de Graduação N. 318

Santa Maria, RS, Brasil

2010

**Universidade Federal de Santa Maria
Centro de Tecnologia
Curso de Ciência da Computação**

A Comissão Examinadora, abaixo assinada,
aprova o Trabalho de Graduação

**IMPLEMENTAÇÃO DE CÉLULAS DE MEMÓRIA E
SIMULAÇÕES DE *SINGLE EVENT EFFECTS***

elaborado por
William do Nascimento Guareschi

como requisito parcial para obtenção do grau de
Bacharel em Ciência da Computação

COMISSÃO EXAMINADORA:

Prof. Dr. João Baptista dos Santos Martins (UFSM)
(Presidente/Orientador)

Prof. Dr. César Augusto Prior (UFSM)

Me. Josué Paulo José de Freitas (SMDH)

Santa Maria, 09 de Dezembro de 2010.

AGRADECIMENTOS

Ao PCI/MCT/INPE, por terem viabilizado o meu trabalho através de suporte financeiro.

À empresa Silvaco Inc., pelo fornecimento da licença completa de sua ferramenta SmartSpice, sem a qual não seria possível realizar este trabalho.

Ao corpo docente do Curso de Ciência da Computação e à UFSM, pela competência e dedicação ao ensino.

Ao meu orientador, João Baptista dos Santos Martins, ao meu co-orientador, Gustavo Fernando Dessbesell, e aos colaboradores César Augusto Prior, Josué Paulo José de Freitas, João Eduardo Taffarel e Lucas Antunes Tambara, pelo companheirismo, amizade e apoio durante o desenvolvimento deste trabalho, assim como aos demais integrantes da SMDH e do GMicro.

Aos colegas do CRS e ao meu orientador de Bolsa IC, Nelson Jorge Schuch, pela amizade e apoio durante os meses de estágio, tanto no desenvolvimento do trabalho quanto no convívio diário.

Aos colegas de curso, os quais foram de grande importância na troca de conhecimento.

À minha família, que me incentivou e acreditou no meu sucesso, muitas vezes mais do que eu.

Aos amigos e demais pessoas que, direta ou indiretamente, contribuíram para o desenvolvimento deste trabalho e para o meu crescimento pessoal.

"It has been said that astronomy is a humbling and character-building experience. There is perhaps no better demonstration of the folly of human conceits than this distant image of our tiny world. To me, it underscores our responsibility to deal more kindly with one another, and to preserve and cherish the pale blue dot, the only home we've ever known." — CARL SAGAN, PALE BLUE DOT: A VISION OF THE HUMAN FUTURE IN SPACE, 1994

RESUMO

Trabalho de Graduação
Curso de Ciência da Computação
Universidade Federal de Santa Maria

IMPLEMENTAÇÃO DE CÉLULAS DE MEMÓRIA E SIMULAÇÕES DE *SINGLE EVENT EFFECTS*

Autor: William do Nascimento Guareschi

Orientador: Prof. Dr. João Baptista dos Santos Martins (UFSM)

Co-orientador: Me. Gustavo Fernando Dessbesell (SMDH)

Local e data da defesa preliminar: Santa Maria, 09 de Dezembro de 2010.

Este projeto constitui um Trabalho de Graduação do Curso de Ciência da Computação da Universidade Federal de Santa Maria (UFSM). Neste projeto foram estudadas técnicas e ferramentas de simulação de *Single Event Effects* - efeitos da radiação em circuitos integrados - a partir do *software* SmartSpice, em diferentes arquiteturas de células de memória, em nível de circuito.

As simulações de distúrbios causados pela radiação em dispositivos eletrônicos tornam-se mandatórias para aplicações que necessitam garantias de alta confiabilidade e segurança, sendo realizadas desde etapas iniciais do projeto. Buscou-se, com a simulação dos efeitos radioativos em dispositivos de memória estática, fazer um levantamento do impacto de partículas carregadas presentes na atmosfera, e mesmo em nível terrestre, sobre estes circuitos. Objetivou-se, em particular, realizar simulações em três tipos de células de memória: uma célula padrão de 6 transistores, e duas projetadas para serem tolerantes aos SEEs - Whitaker/Liu e HIT, que possibilitem o seu uso posterior pela Santa Maria Design House (SMDH), juntamente com o Centro Regional Sul de Pesquisas Espaciais do Instituto Nacional de Pesquisas Espaciais (CRS/INPE).

Palavras-chave: Células de memória; Tolerância a radiação; *Single Event Effects*; Microeletrônica.

ABSTRACT

Graduation Work
Undergraduate Program in Computer Science
Federal University of Santa Maria

IMPLEMENTATION OF MEMORY CELLS AND SINGLE EVENT EFFECTS SIMULATIONS

Author: William do Nascimento Guareschi
Advisor: Prof. Dr. João Baptista dos Santos Martins (UFSM)
Coadvisor: Me. Gustavo Fernando Dessbesell (SMDH)

This project consists of a Computer Science Graduation Work from Federal University of Santa Maria. In this project were studied techniques and tools for simulation of Single Event Effects (SEE) - radiation effects on integrated circuits - using the SmartSpice software, on different architectures of memory cells in schematic level.

The disturbance's simulation caused by radiation on electronic devices become mandatory for applications that need high reliability and security, been performed since initial stages of the project. With that simulations, a survey was made about the charged particles impact trapped on the atmosphere and ground level on these circuits. The objective was to simulate Single Event Effects in the default 6 transistors memory cell, besides the Whitaker/Liu and the HIT cells, designed to be radiation tolerant. It will possibility its posterior use by Santa Maria Design House (SMDH), in cooperation with Southern Regional Space Research Center from National Institute for Space Research (CRS/INPE).

Keywords: Memory Cells, Radiation Tolerance, Single Event Effects, Microelectronics.

LISTA DE FIGURAS

Figura 2.1 – Ilustração dos cinturões interno e externo de Van Allen, em tamanho de proporção aproximada da real (SIMS, 2010).	25
Figura 2.2 – Campo magnético terrestre, destacando a região da AMAS na cor azul e o centro da AMAS pelo triângulo na cor vermelha (HARTMANN, 2005)	26
Figura 2.3 – Imagem da simulação de um próton com 1 TeV de energia colidindo na atmosfera a 20 km de altitude. Elétrons e pósitrons podem ser identificados na cor verde, assim como múons em vermelho e os raios gama na cor ciano (COSMUS OPEN SOURCE SCIENCE OUTREACH, 2007).	27
Figura 2.4 – Imagem de erupção solar, capturada em 2006 a bordo do satélite GOES-13. A erupção foi tão intensa que danificou o instrumento (NASA SCIENCE, 2008).	28
Figura 2.5 – Ilustração do vento solar impactando a magnetosfera terrestre. Imagem meramente ilustrativa, não mantendo proporção entre os corpos celestes (ACCUWEATHER, INC., 2008).	29
Figura 2.6 – Corrente de fuga de borda em transistores. A corrente deveria fluir somente entre a fonte e o dreno quando a porta recebesse uma tensão apropriada. Entretanto, após exposto à radiação ionizante, fuga de corrente pode ocorrer pelas bordas, onde o óxido da porta e o isolante se encontram (MAYER; LACOE, 2003).	30
Figura 2.7 – Caminho de um raio cósmico através do dreno de um transistor nMOS. A carga liberada na trajetória do íon é coletada pelo mecanismo de afunilamento (SCARPULLA; YARBROUGH, 2003).	33
Figura 2.8 – O caminho de curto-circuito entre dois componentes adjacentes, causando Single Event Latchup (SCARPULLA; YARBROUGH, 2003).	34
Figura 2.9 – Célula de memória típica SRAM de 6 transistores, com dois inversores para armazenamento e dois transistores nMOS para controle de acesso.	36
Figura 2.10 – Célula de memória com duas estruturas de armazenamento conectadas, desenvolvida por (WHITAKER; CANARIS; LIU, 1991). Este projeto apresenta alto consumo de potência estática.	37

Figura 2.11 – Célula de memória Whitaker/Liu modificada para desconectar o caminho direto entre V_{DD} para V_{SS} , visando a redução do consumo de potência estática (LIU; WHITAKER, 1992).....	38
Figura 2.12 – Primeira célula de memória HIT, (BESSOT; VELAZCO, 1993).....	39
Figura 2.13 – Célula de memória HIT modificada (VELAZCO et al., 1994).	40
Figura 3.1 – Comportamento de um circuito de memória afetado pelo impacto de uma partícula carregada. No topo, o circuito não sofre efeitos pela colisão. No centro, ocorre um evento parasítico transitório (SEE) sem causar um SEU. Na base da figura, o estado lógico do circuito é alterado, caracterizando um SEU.	42
Figura 4.1 – <i>Netlist</i> dos dispositivos para simulação do funcionamento da célula de memória SRAM 6T.	44
Figura 4.2 – Gráfico do funcionamento normal da célula 6T.	45
Figura 4.3 – <i>Netlist</i> dos dispositivos para simulação do funcionamento da célula de memória SRAM Whitaker/Liu.	46
Figura 4.4 – Gráfico do funcionamento normal da célula Whitaker/Liu. O terceiro e quarto sinais são N2 e N12, respectivamente. O último sinal é Q, resultante do inversor de saída.....	46
Figura 4.5 – <i>Netlist</i> dos dispositivos para simulação do funcionamento da célula de memória SRAM HIT.	47
Figura 4.6 – Gráfico do funcionamento normal da célula HIT. O primeiro sinal é o relógio do sistema, o segundo o sinal D de entrada, e o terceiro e quarto sinais são Q e Q', respectivamente. Os sinais de saída apresentam uma leve degradação em função do dimensionamento dos transistores.....	47
Figura 4.7 – O gráfico apresenta o choque de uma partícula carregada sobre o dreno do transistor pMOS de uma célula SRAM padrão 6T, com valor de LET de 3 MeV. Cada linha representa um valor diferente para LF, de 0 a 6 μm , variando em 0,5 μm . Para uma partícula de LET igual a 3 $\text{MeV} \cdot \text{cm}^2/\text{mg}$, o valor de 4,5 μm para LF é suficiente para causar um SEU na célula.....	49
Figura 5.1 – Variação no sinal de saída da célula de memória 6T, quando um transistor pMOS (MP1 ou MP2) é atingido, sobre diferentes valores de LET. Os valores estão na faixa de 0 a 6 $\text{MeV} \cdot \text{cm}^2/\text{mg}$, variando em 0,5 $\text{MeV} \cdot \text{cm}^2/\text{mg}$. Há ocorrência de SEU quando o valor ultrapassa o limiar de 3 $\text{MeV} \cdot \text{cm}^2/\text{mg}$	52

Figura 5.2 – Variação no sinal de saída da célula de memória 6T, quando um transistor nMOS (MN1 ou MN2) é atingido, sobre diferentes valores de LET. Os valores estão na faixa de 0 a $6 \text{ MeV} \cdot \text{cm}^2/\text{mg}$, variando em $0,5 \text{ MeV} \cdot \text{cm}^2/\text{mg}$. Há ocorrência de SEU para energias superiores a $3,5 \text{ MeV} \cdot \text{cm}^2/\text{mg}$	52
Figura 5.3 – Gráfico dos valores das cargas depositadas em função da incidência de partículas com diferentes valores de energia.	53
Figura 5.4 – Gráfico da distorção do sinal N2 da célula Whitaker/Liu, quando atingido em um transistor sensível, com um LET de $100 \text{ MeV} \cdot \text{cm}^2/\text{mg}$	54
Figura 5.5 – Gráfico apresentando os terminais sensíveis da célula Whitaker/Liu. As marcas em azul identificam os terminais que, caso impactados, geram uma corrente transiente alterando temporariamente o valor em N12. As marcas em vermelho identificam os terminais que, caso impactados, geram uma corrente transiente alterando temporariamente o valor em N2. Adaptado de Liu e Whitaker (1992).	55
Figura 5.6 – Gráfico apresentando os terminais sensíveis da célula HIT. As marcas em azul identificam os terminais que, caso impactados, geram uma corrente transiente alterando temporariamente o valor em Q'. As marcas em vermelho identificam os terminais que, caso impactados, geram uma corrente transiente alterando temporariamente o valor em Q. Adaptado de Velazco et al. (1994)	56
Figura 5.7 – Gráfico da variação do sinal armazenado em Q da célula HIT, durante uma colisão no dreno do transistor MN5. A célula foi impactada com LET de $100 \text{ MeV} \cdot \text{cm}^2/\text{mg}$, levando 1 ns para recuperar-se.	56
Figura 5.8 – Gráfico da mudança do bit armazenado na célula Whitaker/Liu, causado por múltiplos SEUs nos drenos dos transistores M2 e M14. Os valores de N2 e N12 são invertidos, assim como o sinal da saída Q do inversor, voltando a operar normalmente após a próxima borda de subida de relógio.	57
Figura 5.9 – Gráfico da mudança do bit armazenado na célula HIT, causado por múltiplos SEUs nos drenos dos transistores MP4 e MN7. Os valores de Q e Q' são invertidos, voltando a operar normalmente após a próxima borda de subida de relógio.	57

LISTA DE TABELAS

- Tabela 5.1 – Valores limiares de LET por transistor/terminal da célula Whitaker/Liu. Tempos de recuperação para LETs limiares e de $1 \text{ GeV} \cdot \text{cm}^2/\text{mg}$ 54
- Tabela 5.2 – Valores limiares de LET por transistor/terminal da célula HIT. Tempos de recuperação para LETs limiares e de $1 \text{ GeV} \cdot \text{cm}^2/\text{mg}$ 57

LISTA DE SÍMBOLOS

μm	micrômetro
τ_R	constante de tempo de coleta da junção
τ_T	tempo constante de estabelecimento da trajetória do íon
ρ	densidade do material
cm	centímetro
C	coulomb, unidade de carga elétrica
$E_{e,h}$	energia para criação de par elétron-lacuna
eV	elétron-volt, unidade de energia
exp	exponencial
g	grama, unidade de massa
GeV	gigaelétrons-volt
I_{SEU}	corrente induzida pelo SEU
K	kelvin, unidade de temperatura termodinâmica
keV	quiloelétrons-volt
km	quilômetro
L_f	comprimento do funil
$LET_l h$	limiar de transferência de energia linear
m	metro, unidade de comprimento
MeV	megaelétrons-volt
mg	miligrama
nm	nanômetro
ns	nanossegundo
pC	picocoulomb
ps	picossegundo
q	carga do elétron
Q_{dep}	carga depositada

s	segundo, unidade de tempo
TeV	teraelétrons-volt
V	volt, unidade de tensão elétrica
V_{DD}	linha de suprimento de potência do dreno
V_{SS}	linha de suprimento de potência da fonte

LISTA DE ABREVIATURAS E SIGLAS

6T	6 transistores
AMAS	Anomalia Magnética do Atlântico Sul
CAD	Computer-Aided Design
CCSDS	Consultative Committee for Space Data Systems
CMOS	Complementary Metal-Oxide-Semiconductor
CRS	Centro Regional Sul de Pesquisas Espaciais
DDD	Displacement Damage Dose
DRAM	Dynamic Random Access Memory
EDA	Electronic Design Automation
EPROM	Erasable Programmable Read Only Memory
ESA	European Space Agency
GMicro	Grupo de Microeletrônica
GOES	Geostationary Operational Environmental Satellite
GSFC	Goddard Space Flight Center
HIT	Heavy Ion Tolerant
IEEE	Institute of Electrical and Electronics Engineers
INPE	Instituto Nacional de Pesquisas Espaciais
ISBN	International Standard Book Number
ISSN	International Standard Serial Number
JK	Jack Kilby
LET	Linear Energy Transfer
MOS	Metal-Oxide-Semiconductor
MOSFET	Metal-Oxide-Semiconductor Field-Effect Transistor
NASA	National Aeronautics and Space Administration
nMOS	MOSFET de canal-n
pMOS	MOSFET de canal-p

RAM	Random Access Memory
RADECS	Radiations Effects on Components and Systems
RHBD	Radiation Hardening by Design
SEB	Single Event Burnout
SEE	Single Event Effect
SEL	Single Event Latchup
SEP	Single Event Phenomena
SET	Single Event Transient
SEU	Single Event Upset
SMDH	Santa Maria Design House
SPICE	Simulated Program with Integrated Circuit Emphasis
SRAM	Static Random Access Memory
TID	Total Ionising Dose
UFMS	Universidade Federal de Santa Maria
UMC	United Microelectronics Corporation
VLSI	Very Large-Scale Integration

SUMÁRIO

1	INTRODUÇÃO	18
1.1	Objetivos	20
1.1.1	Objetivo Geral	20
1.1.2	Objetivos Específicos	20
1.2	Histórico, Motivação e Contribuição	20
1.3	Organização do Texto	21
2	REVISÃO DE LITERATURA	23
2.1	A Tecnologia VLSI CMOS	23
2.2	Ambiente de Radiação Espacial	24
2.2.1	Cinturões de Van Allen	25
2.2.2	Raios Cósmicos	26
2.2.3	Erupções Solares	27
2.2.4	Ventos Solares	28
2.3	Efeitos da Radiação em Componentes Eletrônicos	29
2.3.1	Total Ionizing Dose	30
2.3.2	Displacement Damage Dose	30
2.3.3	Single Event Effects	31
	2.3.3.1 Single Event Transient	31
	2.3.3.2 Single Event Upset	32
	2.3.3.3 Single Event Latchup	33
	2.3.3.4 Single Event Burnout	34
2.4	Células de Memória	34
2.4.1	Célula de Memória Padrão de 6 Transistores	35

2.4.2	Célula de Memória Whitaker/Liu	37
2.4.3	Célula de Memória Heavy Ion Tolerant - HIT	39
3	FERRAMENTAS UTILIZADAS.....	41
3.1	Programa SmartSpice	41
3.2	Programa SmartView	43
4	IMPLEMENTAÇÃO E SIMULAÇÃO	44
4.1	Esquemático da SRAM 6T	44
4.2	Esquemático da SRAM Whitaker/Liu	45
4.3	Esquemático da SRAM HIT	46
4.4	Simulações	47
5	RESULTADOS	51
6	CONCLUSÃO	58
6.1	Trabalhos futuros	59
	REFERÊNCIAS	60

1 INTRODUÇÃO

Nas últimas décadas, o crescimento exponencial do número de transistores por chip tem trazido significativo progresso no desempenho e funcionalidade dos dispositivos semicondutores, e com isso, alimentado o crescimento da indústria. Cada nova geração tecnológica tem, entretanto, introduzido novos obstáculos para manter esse ritmo de crescimento no número de transistores por chip. Além das características de dimensionamento de área e dissipação de energia, há o problema de falhas causadas pelo choque de partículas energéticas presentes no ambiente (MUKHERJEE, 2008). A miniaturização dos transistores, parte essencial deste progresso, tornou os dispositivos eletrônicos ainda mais sensíveis à *Single Event Effect* (SEE).

Este último problema citado salienta-se em dispositivos eletrônicos de sistemas espaciais, militares, médicos e de potência, que estão expostos aos vários tipos de radiações, incluindo fótons de alta energia e partículas energéticas (elétrons, prótons, nêutrons e íons). A manifestação de falhas como decorrência da radiação pode produzir efeitos que vão desde perda temporária de dados até falhas catastróficas (SCHRIMPF; FLEETWOOD, 2004). A quantidade de radiação que dispositivos semicondutores e materiais encontram durante seu ciclo de vida depende fortemente do ambiente radioativo e condições de operação. No ambiente espacial, por exemplo, os circuitos eletrônicos estão altamente expostos à incidência de partículas energéticas causadoras de SEEs (CLAEYS; SIMOEN, 2002).

As memórias *Static Random Access Memory* (SRAM) são um tipo de memória de acesso aleatório que mantém os dados armazenados enquanto houver alimentação, sem a necessidade de realimentações periódicas, e além disso, consumindo baixa potência (MATAS; SUBERBASAUX, 1997). SRAMs embarcadas atualmente compreendem grande

parte dos chips do tipo *Complementary Metal-Oxide Semiconductor* (CMOS), ocupando mais da metade do total de transistores de circuitos integrados de alta performance. Esse fato força desenvolvedores de *chips* a minimizar a área ocupada pela SRAM, impondo uma diminuição no tamanho do transistor. Segundo Pavlov e Sachdev (2008), um dos obstáculos no desenvolvimento desses circuitos se deve ao fato de que todas as áreas das células ativas são sensíveis aos efeitos causados por partículas energéticas.

A construção de células de memória tolerantes aos efeitos da radiação usando circuitos CMOS é uma das principais necessidades para a confiabilidade de dispositivos eletrônicos em aplicações espaciais, fato que justifica os estudos e simulações durante o seu desenvolvimento. A partir dessa constatação, será estudada neste projeto a ferramenta SmartSpice, desenvolvida pela empresa Silvaco, a qual apresenta como funcionalidades o desenvolvimento de circuitos analógicos complexos, análises de redes críticas, caracterização de bibliotecas de células e verificação de projetos de sinais mistos analógicos. Procura-se, utilizando tal ferramenta, encontrar uma alternativa às ferramentas disponibilizadas pelas grandes fabricantes de *Electronic Design Automation* (EDA).

Historicamente sabe-se que SEEs podem resultar em corrupção de dados em células de memórias do tipo SRAM, e muitas abordagens já foram apresentadas para tentar contornar esse problema. Nesse trabalho foram implementadas as células de memória padrão de 6 transistores, a célula Heavy Ion Tolerant (HIT), desenvolvida por Velazco et al. (1994) e a célula de memória de Liu e Whitaker (1992), e a partir disso, foram simulados SEEs nessas células, como se tivessem sido causados pelo choque de partículas energéticas sobre as células físicas, através do programa SmartSpice. Pretende-se, a partir dos resultados obtidos deste trabalho, contribuir no desenvolvimento de uma biblioteca de células de memória da Santa Maria Design House (SMDH), com provável aplicação em projetos futuros do Instituto Nacional de Pesquisas Espaciais. Além disso, almeja-se a melhoria da propriedade intelectual e da qualificação de pessoas para o desenvolvimento da indústria nacional, ainda carente na área de circuitos integrados.

1.1 Objetivos

1.1.1 Objetivo Geral

O objetivo geral deste trabalho consiste no estudo e desenvolvimento de células de memória estática, tanto a padrão de 6 transistores não tolerante à radiação, quanto as duas tolerantes - Whitaker/Liu e HIT, visando o uso no ambiente espacial, para futura inclusão dessas células em uma biblioteca de células da SMDH. Os dois tipos de células propostas foram implementadas, e então, inseridas em um ambiente de simulações através da ferramenta SmartSpice. Por fim, foram comparados os resultados obtidos.

1.1.2 Objetivos Específicos

- Estudar o ambiente de radiação espacial
- Compreender o funcionamento das células SRAM
- Desenvolver as células SRAM
 - Padrão 6 transistores
 - Whitaker/Liu
 - Velazco/Bessot (Heavy Ion Tolerant)
- Estudar e compreender a ferramenta SmartSpice
- Simular eventos de radiação sobre as células de memória
- Analisar os resultados e compará-los

1.2 Histórico, Motivação e Contribuição

Memórias SRAM no contexto espacial são circuitos que trazem atenção especial aos desenvolvedores de microeletrônicos, uma vez que são suscetíveis às falhas inerentes ao ambiente o qual estão inseridos. Wallmark e Marcus (1962) pela primeira vez preveram a possibilidade de ocorrência de SEEs, onde uma única partícula energética carregada causaria uma alteração no estado lógico em um nó de um dispositivo. Essas previsões foram confirmadas em 1975, quando Binder, Smith e Holman (1975) relataram que distúrbios

induzidos por raios cósmicos haviam causado alguns problemas em *flip-flops* JK bipolares, nos dezessete anos de operação de um satélite, e em 1979, Guenzer, Wolicki e Allas (1979) utilizaram pela primeira vez o termo *Single Event Upset* (SEU), que será explicado mais adiante. Ainda no final desta década, foi relatado que além de raios cósmicos, os prótons de eventos solares e dos cinturões de Van Allen também causariam SEEs. Essa foi uma importante constatação, visto que há muito mais prótons do que íons pesados no ambiente espacial. Com a demanda por dispositivos com maior desempenho e menor densidade, há o aumento da suscetibilidade aos efeitos radioativos espaciais.

A viabilidade das técnicas tradicionais de *resistive hardening* são questionáveis, especialmente pelo fato de que há poucos *foundries* dedicados à resistência à radiação. Por isso, circuitos que são inerentemente resistentes à radiação - conhecidos como *Radiation Hardening by Design* (RHBD) - estão recebendo considerável atenção (ECOFFET; BARDE; ALBY, 2001).

Circuitos RHBDs são uma linha de pesquisa popular, e portanto, um grande número de células de memórias foram propostas, mas na realidade poucas são realmente implementadas. A célula Whitaker/Liu (seção 2.4.2) é um projeto de célula SRAM que foi mais largamente aplicada no passado. Outra arquitetura dedicada é a HIT (seção 2.4.3), sendo esta mais utilizada em aplicações reais mais atuais.

Embora existam diversos estudos sobre células de memórias dedicadas, a indústria restringe o acesso à informação sobre quais as tecnologias são de fato empregadas no desenvolvimento de seus circuitos resistentes à radiação. O intuito deste trabalho é contribuir na qualificação da área de microeletrônica nacional, com atenção especial aos dispositivos para aplicações espaciais, ainda carente de propriedade intelectual e desenvolvimento de tecnologias.

1.3 Organização do Texto

Este trabalho está organizado da seguinte maneira: o Capítulo 2 apresenta uma revisão bibliográfica dos temas abordados no trabalho, apresentando os diferentes conceitos e aspectos relacionados para o seu desenvolvimento. No Capítulo 3, é as ferramentas utilizadas no decorrer do trabalho. O Capítulo 4 apresenta a implementação das células de memória em nível de esquemático, através do padrão do simulador elétrico HSpice,

e as simulações são então caracterizadas. O Capítulo 5 relata os resultados obtidos nas simulações, e, finalizando, o último Capítulo expõe as conclusões e trabalhos futuros.

2 REVISÃO DE LITERATURA

2.1 A Tecnologia VLSI CMOS

Em 1947, John Bardeen e Walter Brattain construíram o primeiro transistor de ponto de contato funcional na Bell Laboratories. Dez anos mais tarde, Jack Kilby da Texas Instruments percebeu a possibilidade de miniaturização, se múltiplos transistores pudessem ser construídos em uma única peça de silício. Logo após a invenção do primeiro transistor, a Bell Laboratories criou o transistor de junção bipolar. Esse tipo de transistor pode ser visto como uma chave controlada eletricamente com um terminal de controle e dois outros terminais que são conectados ou desconectados de acordo com a tensão aplicada no controle. Porém, a potência dissipada pela corrente quiescente base limita o número de transistores em um *die* (pequeno bloco de material semicondutor onde o circuito funcional é fabricado).

A partir disso, uma outra tecnologia foi desenvolvida: o MOSFET (Metal-Oxide-Semiconductor Field-Effect Transistor, ou transistor de efeito de campo de semicondutor de óxido metálico), que, comparado ao transistor bipolar, oferece a vantagem de consumir praticamente '0' de corrente de controle enquanto o transistor está em estado desligado. Os transistores MOSFET são nomeados nMOS e pMOS (ou nFET e pFET), de acordo com o dopante ser do tipo n ou p, respectivamente. No transistor MOS, a porta controla a passagem da corrente entre o dreno e a fonte, gerando desta forma valores lógicos '0' e '1'. Porém, um nMOS tem sua saída imperfeita quando passando um valor '1' lógico, e o pMOS, por outro lado, tem uma imperfeição na saída quando transmitindo um '0'.

A primeira porta lógica usando MOSFETs foi descrita em 1963, por Frank Wanlass. Nessa porta, o autor usou ambos transistores nMOS e pMOS, recebendo o nome *Com-*

plementary Metal Oxide Semiconductor. Tal circuito consumia muito menos potência que sua contraparte bipolar. Uma porta CMOS totalmente complementar sempre tem um nMOS para conectar a saída ao '0', e um pMOS para ligar a saída ao '1' lógico, resolvendo a questão das imperfeições de cada tipo de transistor. Outras combinações dos transistores são feitas para gerar demais portas lógicas. Com o desenvolvimento do processo planar do silício, circuitos integrados MOS se tornaram atrativos pelo seu baixo custo, uma vez que cada transistor ocupa menos área e o processo de fabricação é mais simples que o processo bipolar.

As tecnologias de produção de circuitos integrados tem sido historicamente classificadas conforme o nível de integração dos *chips*. A citar, escala pequena, média, grande, etc. Desde a década de 1980, a maioria dos projetos de circuitos integrados tem sido descritos como *Very Large-Scale Integration* (VLSI), em função da integração em escala muito grande dos componentes (WESTE; HARRIS, 2005).

A fabricação de circuitos VLSI usando tecnologias CMOS tem sido largamente adotado, e tem substituído processos unicamente nMOS ou bipolar em praticamente todas aplicações lógicas digitais, e nessa mesma tendência, as células de memória desenvolvidas neste trabalho são todas baseadas no princípio complementar da lógica CMOS, como será visto mais adiante.

2.2 Ambiente de Radiação Espacial

Muitos sistemas eletrônicos modernos necessitam sobreviver em um ambiente severamente radioativo, como por exemplo aqueles presentes no espaço. Dispositivos semicondutores são suscetíveis aos efeitos de radiação ionizante devido às características intrínsecas do seu projeto (CHUGG, 1994). A quantidade de radiação que um dispositivo encontra durante o ciclo de vida depende do ambiente radioativo e sua condição de operação. Em geral, esses ambientes podem ser diferenciados como segue (CLAEYS; SIMOEN, 2002):

- Espaço
- Experimentos físicos de alta energia
- Nuclear

- Ambiente natural terrestre
- Radiação induzida por processamento

Cada um desses ambientes tem caracterizado seu próprio espectro de partículas e distribuição energética. O escopo deste trabalho é a radiação do ambiente espacial, o qual pode provocar diferentes efeitos nos dispositivos semicondutores. A citar: elétrons e prótons causando *Total Ionising Dose*, e em especial íons pesados e prótons causando efeitos que se enquadram como *Single Event Effects*. Primeiramente será apresentada as fontes de radiação, e após, seus efeitos serão explanados.

2.2.1 Cinturões de Van Allen

A retenção de partículas carregadas no campo magnético da Terra cria um cinturão de radiação que envolve o planeta (Figura 2.1). De fato, há mais de um cinturão, consistindo basicamente de elétrons com energia na faixa de alguns MeV e prótons com até muitas centenas de MeV (CLAEYS; SIMOEN, 2002). No cinturão mais interno, a energia dos elétrons é inferior a 5 MeV, enquanto no externo, esse valor pode alcançar 7 MeV. Um terceiro cinturão, localizado entre os outros dois, já foi observado durante uma tempestade magnética, contendo elétrons com energia de 30 MeV. Após esta mesma tempestade, um cinturão de prótons também foi verificado, contendo energia inferior a 100 MeV (BOUDENOT, 2007).

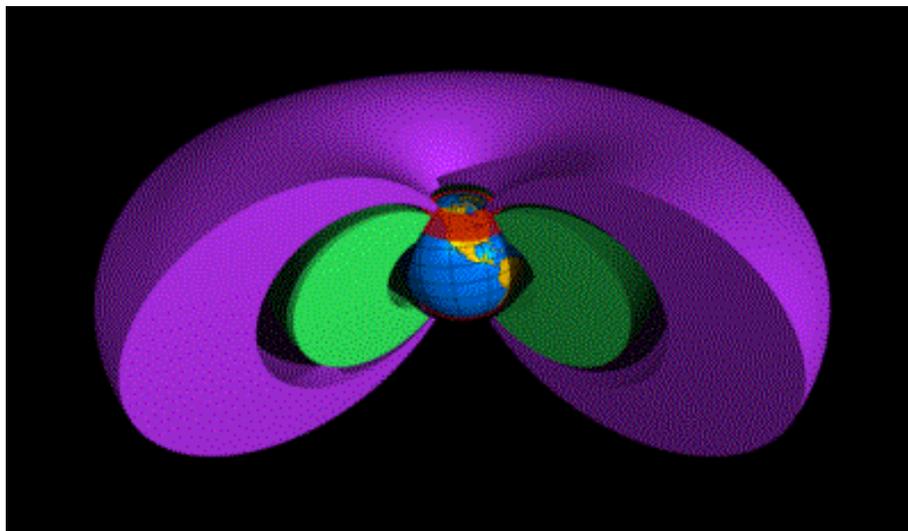


Figura 2.1: Ilustração dos cinturões interno e externo de Van Allen, em tamanho de proporção aproximada da real (SIMS, 2010).

O campo magnético terrestre tem uma maior aproximação com o solo na região do Atlântico Sul, causando a Anomalia Magnética do Atlântico Sul (AMAS) (Figura 2.2).

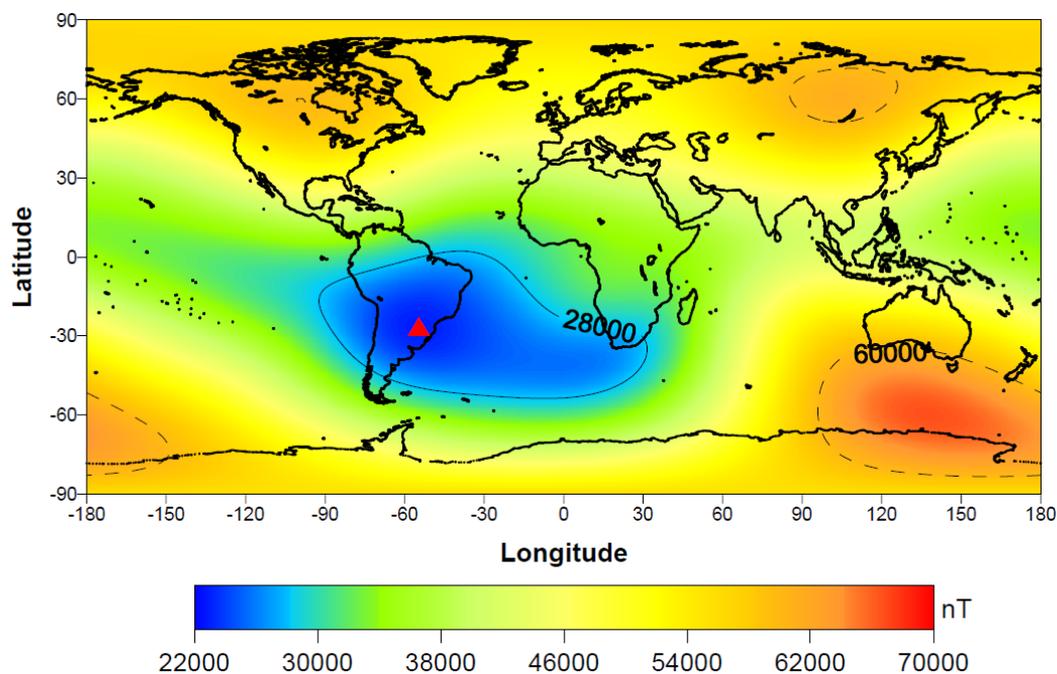


Figura 2.2: Campo magnético terrestre, destacando a região da AMAS na cor azul e o centro da AMAS pelo triângulo na cor vermelha (HARTMANN, 2005)

Essa depressão no campo magnético faz com que partículas carregadas estejam mais próximas da Terra, a altitudes inferiores à 1000 km (BARTH, 1997). Como a AMAS possui baixas intensidades do campo magnético total, esta região oferece menor resistência ao fluxo de partículas. Desta forma, observa-se que a região apresenta diversos fenômenos produzidos pela interação do fluxo de partículas com as linhas do campo. Alguns destes fenômenos causam problemas em equipamentos e satélites que orbitam a Terra (HARTMANN, 2005). O Brasil e grande parte da América Latina encontram-se na região da AMAS, estando sujeito à ocorrência de correntes geomagneticamente induzidas, sendo objeto de estudo pelo INPE e SMDH.

2.2.2 Raios Cósmiticos

As partículas de raios cósmicos galácticos são originados fora do sistema solar e incluem uma grande gama de elementos (Figura 2.3) - alguns altamente energéticos, tipicamente na faixa de 1 MeV à 1 GeV, embora medidas tenham resultado em até 1 TeV de energia (EUROPEAN SPACE AGENCY, 1993).

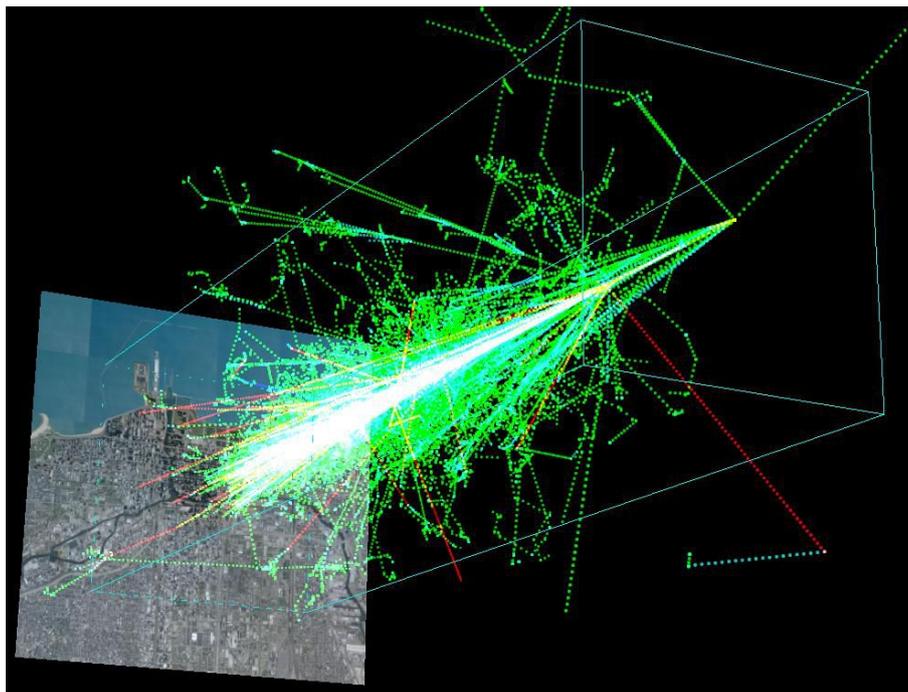


Figura 2.3: Imagem da simulação de um próton com 1 TeV de energia colidindo na atmosfera a 20 km de altitude. Elétrons e pósitrons podem ser identificados na cor verde, assim como múons em vermelho e os raios gama na cor ciano (COSMUS OPEN SOURCE SCIENCE OUTREACH, 2007).

Constitui-se de 83% de prótons, 13% de núcleos de hélio, 3% de elétrons e 1% de núcleos de íon pesado (sem a nuvem de nêutrons que envolve a partícula). As origens da radiação não tem sido confiavelmente identificadas, entretanto sabe-se que parte disso (os íons mais energéticos) vem de fora da Via Láctea e o restante de dentro (BOUDENOT, 2007).

2.2.3 Erupções Solares

Os onze anos de um ciclo solar podem ser divididos grosseiramente subdividido em quatro anos de baixa atividade e sete anos de alta atividade, pontuados por eventos frequentes e eventos de natureza excepcional.

Há dois tipos de eventos considerados do ambiente radiativo solar. O primeiro tipo de evento é representado pela ejeção de massa coronal, que dura alguns dias e emite principalmente prótons de alta energia (na faixa de algumas centenas de MeV). O segundo tipo de evento categoriza-se por transiente ou "impulsivo", emitindo grande quantidade de íons pesados. Esse último tipo de evento é denominado erupção solar (Figura 2.4), que

são emissões de íons com alta energia (na faixa de muitas dezenas de MeV até muitas centenas de GeV por nucleon), ionizados todos em único instante, e variam em suas composições em cada ocorrência (BOUDENOT, 2007).



Figura 2.4: Imagem de erupção solar, capturada em 2006 a bordo do satélite GOES-13. A erupção foi tão intensa que danificou o instrumento (NASA SCIENCE, 2008).

2.2.4 Ventos Solares

A alta temperatura da coroa solar aplica energia suficiente aos elétrons, de forma que possam escapar da força gravitacional do Sol. O efeito da ejeção de elétrons é o desbalanço de carga, que resulta na ejeção de prótons e íons mais pesados. O gás ejetado é tão quente que as partículas são homogeneizadas em um plasma diluído.

A densidade energética do plasma excede a do campo magnético, assim o campo magnético solar é 'congelado' dentro do plasma. Esse plasma eletricamente neutro é transmitido radialmente para fora do Sol a velocidades entre 300 a 900 km/s com temperatura na ordem de 10^4 a 10^6 K, e a energia das partículas na faixa de 0,5 a 2 keV por nucleon (Figura 2.5).

Maiores perturbações no campo geomagnético podem ocorrer com mudanças na densidade do vento solar (erupções solares), na velocidade do vento solar (ejeção de massa coronal) e na orientação do campo magnético solar embarcado.

A interação entre esses distúrbios e a magnetosfera terrestre causam perturbações chamadas de tempestades magnéticas e subtempestades. A correlação do número de tempestades

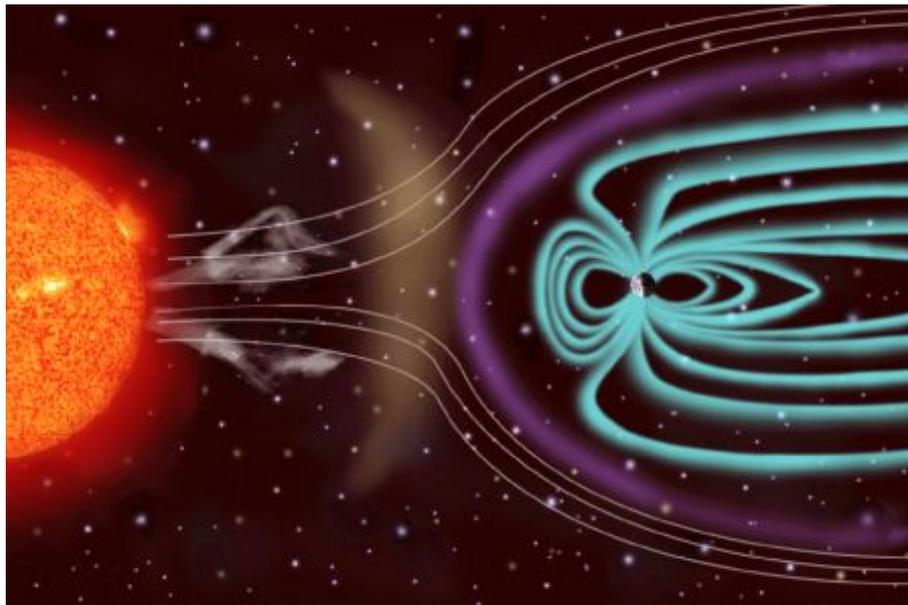


Figura 2.5: Ilustração do vento solar impactando a magnetosfera terrestre. Imagem meramente ilustrativa, não mantendo proporção entre os corpos celestes (ACCUWEATHER, INC., 2008).

tades com o nível de atividade solar é forte, sendo que as maiores tempestades magnéticas estão intimamente associadas com a ejeção de massa coronal (BOUDENOT, 2007).

2.3 Efeitos da Radiação em Componentes Eletrônicos

Os efeitos do ambiente de radiação espacial sobre circuitos integrados podem ser divididos em duas categorias: de longo e de curto prazo. Os efeitos de longo prazo causam duas implicações sobre circuitos integrados: danos ionizantes e não ionizantes. Efeitos de curto prazos são relacionados primariamente com ionização de partículas únicas e/ou formação de partículas secundárias. Mesmo efeitos de curto prazo causar danos permanentes (eventos de partículas únicas destrutivas).

Alguns autores classificam os efeitos da radiação ionizante em eletrônicos no ambiente espacial entre *Total Ionizing Dose* (TID) e *Single Event Effect* (SEE). Os dois efeitos são distintos, assim como suas causas e técnicas de mitigação. Esses efeitos geralmente são as maiores preocupações quando analisados os requisitos de um projeto, mas outros efeitos de radiação, assim como o *Displacement Damage Dose* (DDD), não ionizantes, também devem ser considerados (NASA, 2009).

2.3.1 Total Ionizing Dose

Quando uma partícula ionizada passa através de um transistor MOS, a energia pode ficar depositada no óxido da porta. Essa carga presa leva o limiar da tensão do dispositivo a ser mais negativo. A magnitude da tensão no nMOS decresce, enquanto essa magnitude no pMOS aumenta (Figura 2.6).

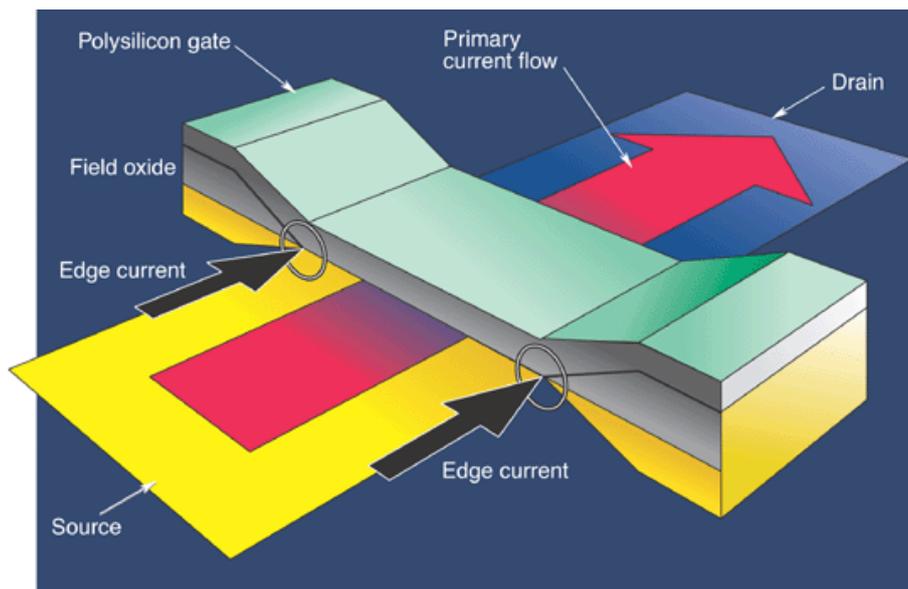


Figura 2.6: Corrente de fuga de borda em transistores. A corrente deveria fluir somente entre a fonte e o dreno quando a porta recebesse uma tensão apropriada. Entretanto, após exposto à radiação ionizante, fuga de corrente pode ocorrer pelas bordas, onde o óxido da porta e o isolante se encontram (MAYER; LACOE, 2003).

Com o tempo, os limiares de tensão são alterados até um valor no qual o transistor de canal-n não pode ser desligado e a capacidade de condução do transistor de canal-p não é suficiente para o circuito integrado continuar na taxa de operação do relógio do sistema, fazendo com que o circuito falhe. Esse efeito de radiação acumulada é medida em unidades de Rad. O escalonamento dos processos comerciais de fabricação tem naturalmente reduzido o volume do óxido da porta, e assim, atenuado o problema de dose total (CANARIS; WHITAKER, 1995).

2.3.2 Displacement Damage Dose

O Displacement Damage Dose (DDD) tem características degradantes de longo prazo semelhantes aos TIDs, mas é um mecanismo físico separado. Como exemplo, há tecnologias tolerantes à TID que não são tolerantes à DDD.

DDD é, essencialmente, a degradação cumulativa resultante do deslocamento da posição do núcleo em um material. Com o tempo, uma quantidade suficiente de deslocamento pode ocorrer, mudando as propriedades de desempenho do material ou dispositivo. Fontes primárias de exposição a DDD incluem prótons presos nos cinturões, prótons solares, nêutrons e, em menor grau (para sistemas tipicamente eletrônicos), os elétrons presos nos cinturões.

2.3.3 Single Event Effects

Um SEE ocorre quando um único íon colide em um circuito, depositando energia suficiente para causar um efeito no dispositivo, tanto através da colisão primária (por exemplo, a ionização direta via raios cósmicos galácticos) quanto por partículas secundárias resultantes da primeira colisão (ionização indireta por prótons). Em relação ao nível de sistema, os principais tipo de SEEs podem ser divididos entre duas categorias: *soft errors* e *hard errors*.

Em geral, um *soft error* ocorre quando um pulso transiente ou uma mudança no valor do bit causa um erro detectável na saída do dispositivo. *Soft errors* são inteiramente específicos do projeto do circuito, e são melhor caracterizados pelo seu impacto no dispositivo. *Hard errors* podem ser fisicamente destrutivos para o dispositivo, causando efeitos funcionais permanentes (NASA, 2009).

Segundo Baylakoglu e Hudaverdi (2009), os *Single Event Phenomena* (SEP) - outra denominação para SEE - podem ser classificados em três efeitos. Porém, alguns autores apresentam outras classificações ou denominações. Entre os mais citados estão:

2.3.3.1 Single Event Transient

Raios cósmicos têm induzido sinais transientes em circuitos de lógica combinacional, em sinais de relógio do sistema, assim como sinais de controle. Esse tipo de sinal transiente é conhecido por *Single Event Transient* (SET), e tem se tornado rapidamente indistinguíveis aos sinais normais, com a diminuição dos tamanhos e aumento das velocidades dos transistores e circuitos integrados nos sistemas de uso espacial.

Se um íon pesado choca-se com um bloco de lógica combinacional de um circuito

sequencial, induzindo um sinal transiente, e o sistema é rápido o bastante para propagá-lo, então eventualmente esse sinal pode aparecer na entrada de uma célula de memória, onde será interpretado como um sinal válido. De forma similar, sinais transientes inválidos podem aparecer na saída de linhas de roteamento, devido a SETs em elementos programáveis de dispositivos reconfiguráveis. O armazenamento do sinal transiente como sendo um sinal real depende da relação temporal entre a chegada do sinal e a borda de descida do relógio do sistema. Da mesma forma que na lógica combinacional, SETs no sinal de relógio, de *reset* e em linhas de controle podem resultar no armazenamento de um dado incorreto dentro de uma célula de memória (MAVIS; EATON, 2000).

2.3.3.2 *Single Event Upset*

SEU é um *soft error* não destrutivo causado pelos cinturões radioativos ou raios cósmicos que fazem com que uma partícula carregada atravesse o circuito microeletrônico, levando a uma mudança inoportuna do estado biestável de uma memória. A incidência da partícula cria pares elétron-lacuna através de sua trajetória e faz aparecer um pulso de corrente que, se tiver amplitude e duração suficientes, pode produzir o mesmo efeito que um sinal externo aplicado sobre o transistor: mudança do valor armazenado na célula de memória. A consequência de um SEU no comportamento do circuito integrado depende da natureza da informação contida na célula e o instante de ocorrência, podendo ter um efeito crítico sobre o sistema.

Com a passagem da partícula (Figura 2.7), há a deposição de energia. Esse valor, quando correspondido com a unidade de comprimento relativa à criação do par elétron-lacuna, é denominado *Linear Energy Transfer* (LET). Para um dado componente, o efeito ionizante leva à uma falha após um valor mínimo de LET, chamado de limiar, ou LET_{th} , expresso em $MeV \cdot cm^2/mg$ ou $pC/\mu m$. Tão importante quanto o LET limiar desse dispositivo, é o tamanho da superfície sensível desse componente. Esse valor indica a sensibilidade do componente para um dado fenômeno, e é expresso em cm^2 (MERABTINE et al., 2004). Este trabalho analisa especificamente SEUs e considera diferentes magnitudes de LET. A carga depositada, quando citada, servirá apenas de demonstração, visto que é diretamente proporcional ao valor do LET. O tamanho da superfície sensível não será avaliada neste trabalho, podendo ser uma proposta para um trabalho futuro.

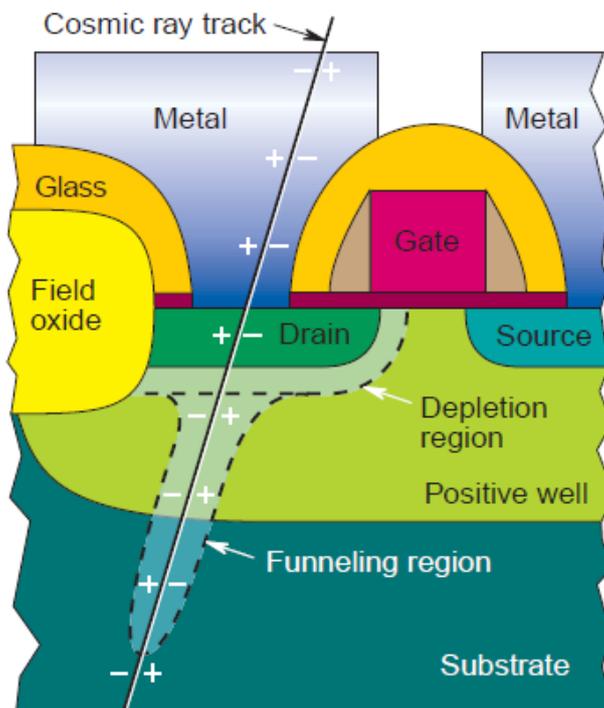


Figura 2.7: Caminho de um raio cósmico através do dreno de um transistor nMOS. A carga liberada na trajetória do íon é coletada pelo mecanismo de afunilamento (SCARPULLA; YARBROUGH, 2003).

2.3.3.3 Single Event Latchup

Um Single Event Latchup (SEL) pode ser tanto um *soft* ou *hard error*, e é desencadeado por íons pesados, prótons e nêutrons. São potencialmente destrutivos e podem ser recuperáveis através do desligamento do circuito inteiro. Se a energia não é removida rapidamente, falhas irreversíveis podem ocorrer devido ao aquecimento excessivo. SEL é altamente dependente da temperatura: o limiar para o latchup ocorrer diminui a altas temperaturas, enquanto a sensibilidade do dispositivo à radiação aumenta (BAYLAKOGLU; HUDAVERDI, 2009).

Em Scarpulla e Yarbrough (2003), os autores deixam claro que SEL ocorre quando a fonte de um transistor MOS forja um caminho para o dreno de outro transistor, como mostrado na Figura 2.8. Um pulso de radiação transiente pode gerar corrente necessária para abrir caminho nessa lacuna. A corrente então continuará fluindo irregularmente entre esses dois componentes. Como anteriormente dito, esse circuito deve ser inteiramente desligado para quebrar essa conexão. Em alguns casos, o circuito pode ser permanentemente danificado.

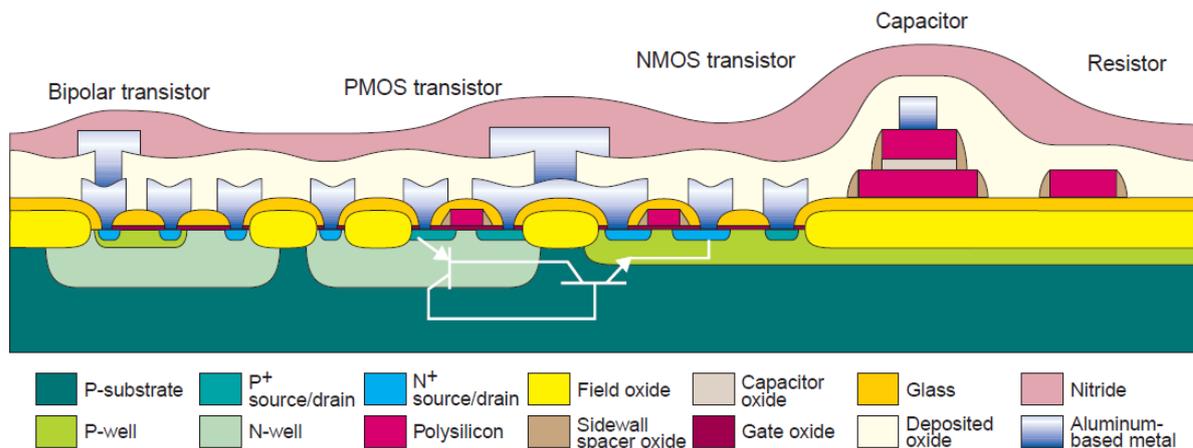


Figura 2.8: O caminho de curto-circuito entre dois componentes adjacentes, causando Single Event Latchup (SCARPULLA; YARBROUGH, 2003).

2.3.3.4 Single Event Burnout

Transistores pMOS e nMOS, integrados na mesma área de um substrato de silício, podem formar um circuito parasítico chamado tiristor, e o choque de um íon energético pode gerar uma corrente suficiente para disparar esse tiristor, causando um *latchup* no circuito. Essa condição de *latchup* se mantém enquanto a tensão fornecida é superior a um valor limite. Como citado na seção 2.3.3.3, o circuito deve ser desligado para corrigir essa condição. Em muitos casos, a corrente é suficiente para queimar os transistores ou a metalização no caminho deste *latchup*, danificando permanentemente o circuito, e caracterizando um *Single Event Burnout* (SEB).

2.4 Células de Memória

Conforme explicitado por Sharma (2002), memórias geralmente são consideradas o componente microeletrônico mais vital em projetos de sistemas lógicos digitais, como computadores e aplicações baseadas em microprocessamento, desde satélites até dispositivos eletrônicos comerciais. Logo, avanços na fabricação de memórias, como melhorias no processo de fabricação e desenvolvimento de tecnologias - maiores densidades e velocidades - ajudaram a estabelecer padrões de desempenho para outras famílias de dispositivos lógicos digitais. Memórias são classificadas como: memórias voláteis de acesso aleatório (*Random Access Memory* - RAM), e dispositivos de memória não volátil. As RAMs podem tanto ser estáticas - *Static Random Access Memory* (SRAM), onde a

informação lógica é armazenada configurando-se o estado lógico em um multivibrador biestável (*flip-flop*); ou *Dynamic Random Access Memory* (DRAM), dinâmicas, através do carregamento de um capacitor. Em ambos os casos, o dado pode ser armazenado e lido enquanto uma fonte de energia é aplicada, e é perdido no momento que a energia é removida, e por esse motivo, são denominados voláteis.

As memórias DRAMs historicamente tem tido maior volume de produção para uso como memórias de computadores pela vantagem de sua alta densidade e baixo custo por bit. Em geral, memórias SRAMs estão uma geração tecnológica atrás das DRAMs, tendo cerca de um quarto da capacidade das DRAMs, e portanto, tendem a custar o quádruplo por bit das DRAMs. Entretanto, as memórias estáticas oferecem baixo consumo de potência e alto desempenho, sendo portanto uma alternativa às DRAMs, e ganhando espaço no mercado de memórias.

2.4.1 Célula de Memória Padrão de 6 Transistores

Uma célula de memória estática típica usa dois inversores *cross-coupled*, formando um *latch* (dispositivo de armazenamento), além de transistores de acesso. Os transistores de acesso habilitam a célula durante as operações de leitura e escrita e provêm isolamento durante o estado de não-acesso. Uma célula de memória é desenvolvida para prover acesso de leitura não-destrutivo, capacidade de escrita e armazenamento de dado (ou retenção de dado) enquanto a célula é alimentada por uma fonte de energia (PAVLOV; SACHDEV, 2008).

A célula apresentada na Figura 2.9 é implementada com 6 transistores (6T): quatro transistores (MP1, MP2, MN1 e MN2) compreendem os inversores CMOS *cross-coupled* e dois transistores nMOS (MN3 e MN4) controlam o acesso de leitura e escrita. Devido a estrutura de *feedback*, um valor de entrada baixo ('0' lógico) no primeiro inversor gera um valor alto ('1' lógico) na entrada do segundo inversor, o qual amplifica (e armazena) o valor baixo no segundo inversor. Similarmente, um valor de entrada alto no primeiro inversor gera um valor de entrada baixo no segundo inversor, o qual realimenta o valor de entrada alto no primeiro inversor. Portanto, os dois inversores armazenam seus valores lógicos, qualquer que sejam esses valores, de forma complementar. As duas linhas entre os inversores são conectadas a duas linhas de dados separadas e complementares BLINE

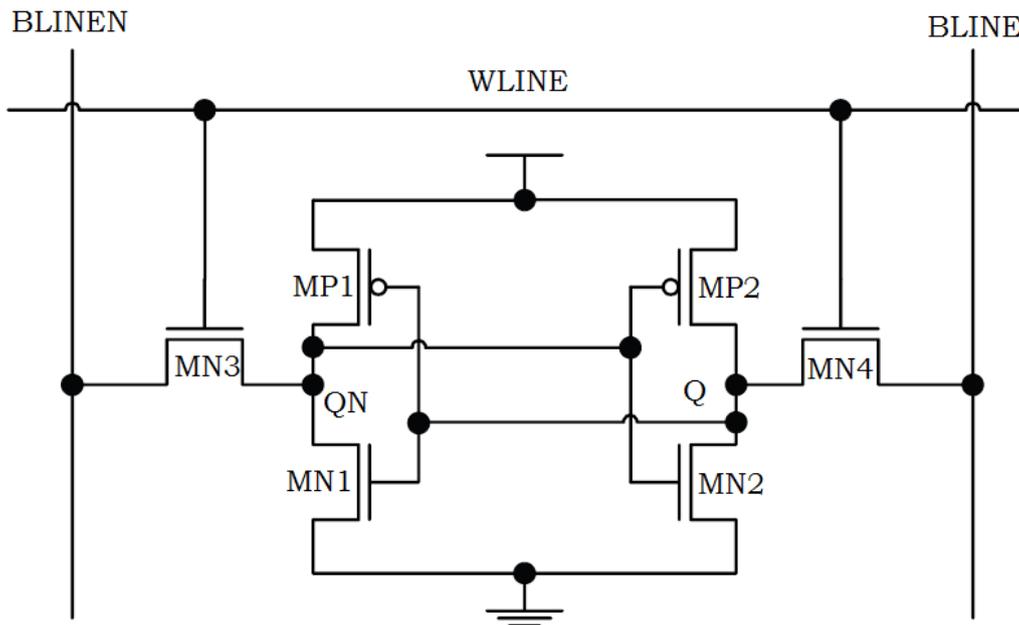


Figura 2.9: Célula de memória típica SRAM de 6 transistores, com dois inversores para armazenamento e dois transistores nMOS para controle de acesso.

e BLINEN, através dos transistores MN3 e MN4. A porta desses transistores é carregada pela linha WLINE. Enquanto essa linha de controle WLINE é mantida em estado lógico baixo, a célula está desconexa das linhas de dados, e os inversores se auto-realimentam, mantendo o valor armazenado. Quando a WLINE está em nível alto, ambos MN3 e MN4 estão conduzindo e conectando as entradas e saídas dos inversores às duas linhas de dados. Ou seja, os inversores carregam os valores dos dados de BLINE e BLINEN dentro da célula de memória. A sobrescrita dos dados ocorre porque os transistores formando o *latch* são dimensionados para serem fracos.

A célula de 6 transistores é a célula de memória estática mais popular, devido a sua robustez, baixo consumo de potência e operação em baixa voltagem (PAVLOV; SACHDEV, 2008). Porém, essa célula de memória não apresenta garantias para o uso em sistemas que necessitam de confiabilidade, uma vez que não apresenta tolerância às falhas causadas pelos efeitos da radiação espacial citadas na seção 2.2.

Considerando os efeitos radioativos sobre células de memórias estáticas, alguns projetos foram propostos por Rocket (1988), Liu e Whitaker (1992), Velazco et al. (1994), Calin, Nicolaidis e Velazco (1996), entre outros.

2.4.2 Célula de Memória Whitaker/Liu

O primeiro projeto de célula de memória tolerante à SEU a ser abordada é apresentada e definida em Whitaker, Canaris e Liu (1991). Contendo 16 transistores, tal circuito foi criado levando em consideração que os dados devem ser armazenados em dois locais diferentes, provendo assim redundância e uma fonte de dado não corrompido após um SEU; o *feedback* a partir da localização do dado não corrompido deve causar a recuperação do dado perdido após a colisão de uma partícula; e por fim, uma corrente induzida por uma colisão de uma partícula carregada flui da difusão do tipo-n para a difusão do tipo-p (Figura 2.10).

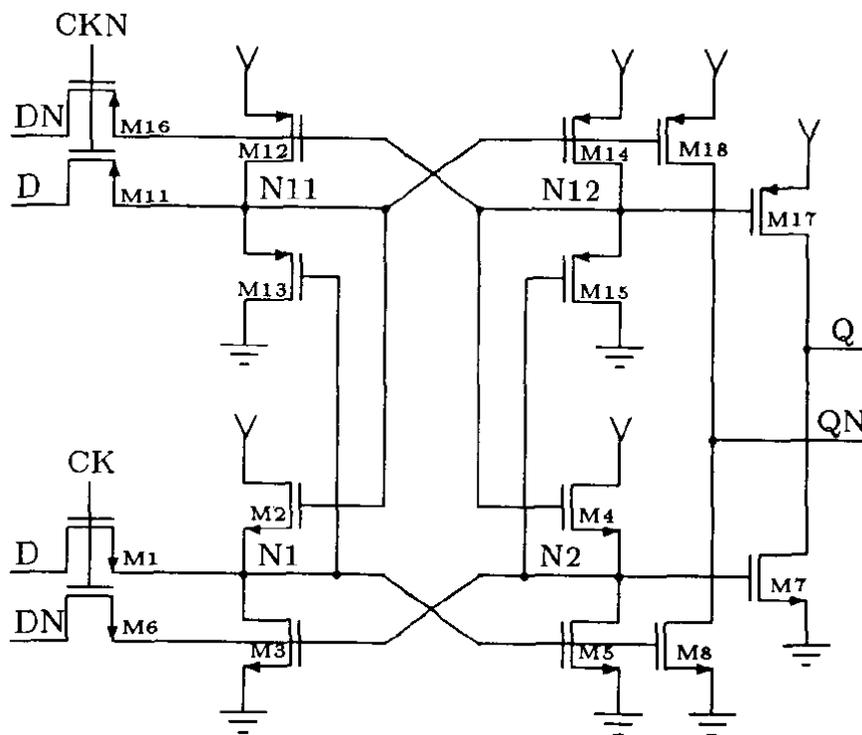


Figura 2.10: Célula de memória com duas estruturas de armazenamento conectadas, desenvolvida por (WHITAKER; CANARIS; LIU, 1991). Este projeto apresenta alto consumo de potência estática.

Considerando o conceito de que se um único tipo de transistor é usado para criar uma célula de memória, então um transistor-p armazenando '1' lógico não pode ser perturbado, assim como um transistor-n armazenando '0' lógico não pode ser perturbado.

A célula consiste de duas estruturas de armazenamento. A metade superior é construída de dispositivos de canal-p enquanto a metade inferior consiste unicamente de dispositivos de canal-n. Os transistores são dimensionados de forma que a célula permita a

leitura e a escrita, funcionalidades básicas de uma célula de memória estática, e o caminho de *feedback* e a diferença nas características dos transistores, impostas pela proporção no dimensionamento, provêm o mecanismo de recuperação.

Porém, esta célula apresenta um significativo consumo de potência estática, uma vez que os dispositivos fracos M2 e M4 (quando comparados à M3 e M5) e M13 e M15 (quando comparados à M12 e M14) não são levados a corte pelos níveis de degradação, resultando em uma corrente estática entre V_{DD} e V_{SS} em cada seção da célula.

Para reduzir o consumo de potência, o tempo de recuperação tem que ser aumentado. Além disso, o circuito inclui *buffers* na saída da célula, o quais são suscetíveis à SEU, e assim, há um número de possibilidades no qual esse circuito seja levado a um estado lógico incorreto.

Seguindo a mesma abordagem, Liu e Whitaker (1992) propuseram uma melhoria para resolver as limitações dessa célula. Uma nova célula, também consistindo de duas estruturas de armazenamento e com 14 transistores no total, contém dois dispositivos complementares inseridos entre o V_{DD} e a estrutura de memória em ambas as seções (Figura 2.11).

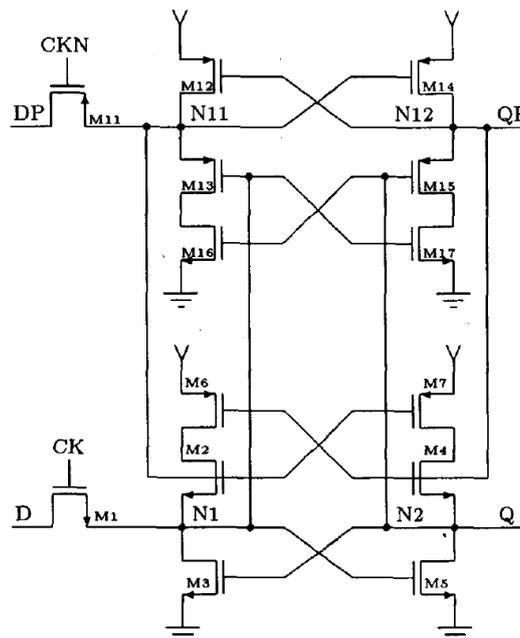


Figura 2.11: Célula de memória Whitaker/Liu modificada para desconectar o caminho direto entre V_{DD} para V_{SS} , visando a redução do consumo de potência estática (LIU; WHITAKER, 1992).

Assim, o caminho DC nessa nova célula é desconectado, reduzindo o consumo de potência. Além disso, somente 2 transistores de entrada são usados, comparados aos quatro da abordagem anterior.

A célula da Figura 2.11 foi desenvolvida como uma substituição para a célula da Figura 2.10, apresentando melhorias significativas, e portanto, sendo implementada neste trabalho.

2.4.3 Célula de Memória Heavy Ion Tolerant - HIT

A célula de memória tolerante à radiação proposta por Bessot e Velazco (1993) e denominada HIT, é composta de 12 transistores organizados como duas estruturas de armazenamento interconectadas por caminhos de *feedback*, como pode ser visto na Figura 2.12.

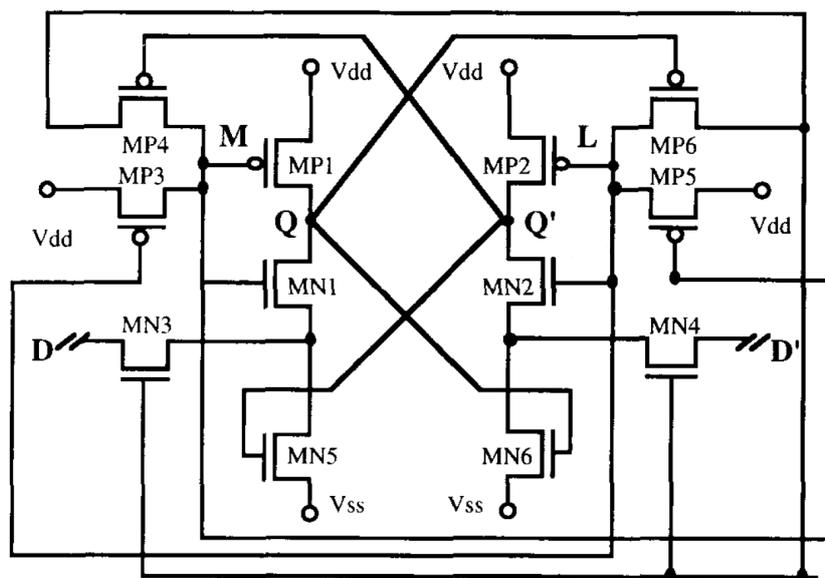


Figura 2.12: Primeira célula de memória HIT, (BESSOT; VELAZCO, 1993).

Essa célula foi desenvolvida pensando nos seguintes critérios: a célula de memória deve ser construída sem buffers adicionais, resultando em circuitos de armazenamento de dados assim como uma SRAM; o número de transistores deve ser minimizado; o consumo de energia estática deve ser baixo, sem degradar o desempenho; e o tempo de recuperação após um distúrbio deve ser reduzido.

Em Velazco et al. (1994), esta célula de memória foi levemente modificada, ainda

3 FERRAMENTAS UTILIZADAS

Neste capítulo, serão apresentadas as ferramentas utilizadas no desenvolvimento deste trabalho: SmartSpice e SmartView.

3.1 Programa SmartSpice

A ferramenta de *Computer-Aided Design* (CAD) SmartSpice, desenvolvido pela empresa coreana Silvaco, é uma versão comercial do *software Simulated Program with Integrated Circuit Emphasis* (SPICE). Ela pode ser usada para o desenvolvimento de circuitos analógicos complexos, análises de redes críticas, caracterização de bibliotecas de células e verificação de projetos de sinais mistos analógicos.

O SmartSpice apresenta versatilidade, uma vez que é compatível com os fluxos de projetos analógicos mais populares e com modelos de fabricação de circuitos fornecidos. A ferramenta foi utilizada neste trabalho para simulação das falhas transientes causadas pelo choque de partículas energéticas nas células de memórias desenvolvidas, através do módulo SEE.

O módulo SEE do SmartSpice foi desenvolvido pela Silvaco para simulação precisa de SEEs em circuitos de tecnologia MOS e bipolares. O gráfico das tensões dos dispositivos do circuito de armazenamento em função do tempo mostra como essas tensões são afetadas pela partícula carregada causadora do SEU. A Figura 3.1 apresenta a simulação de um circuito de memória, realizada na ferramenta SmartSpice. No topo, aparece o estado estável do circuito, e no meio, a influência do impacto de um partícula carregada sobre um nó sensível desse circuito, ao tempo de 10ns. Neste evento ocorre um SEE, o que produz um efeito parasítico sem afetar o estado lógico do circuito. Quando aumen-

tada a energia (LET), o impacto altera o estado lógico dessa célula de armazenamento, caracterizando assim um SEU (base da figura).

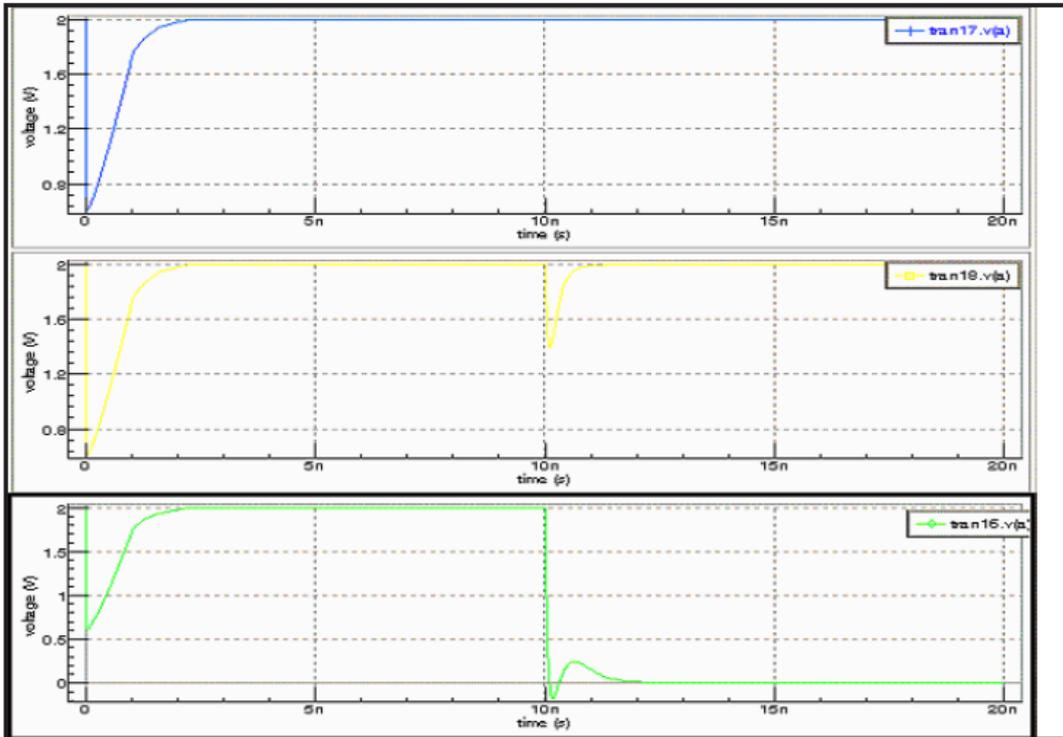


Figura 3.1: Comportamento de um circuito de memória afetado pelo impacto de uma partícula carregada. No topo, o circuito não sofre efeitos pela colisão. No centro, ocorre um evento parasítico transitório (SEE) sem causar um SEU. Na base da figura, o estado lógico do circuito é alterado, caracterizando um SEU.

O SmartSpice aplica o modelo de falhas de Messenger para calcular os efeitos de *soft errors* no circuito, simulando o impacto de uma partícula carregada. Esse modelo de falhas é uma fonte de corrente exponencial dupla. Para alcançar um resultado preciso, é importante localizar o efeito dentro do transistor. Para isso, um gerador de corrente é inserido no nó intrínseco do transistor. A expressão teórica do modelo é apresentado em Silvaco, Inc. (2010a):

$$i(t) = I_{SEU} \cdot \left(\exp\left(\frac{-t}{\tau_F}\right) - \exp\left(\frac{-t}{\tau_R}\right) \right)$$

- I_{SEU} depende da quantia de carga injetada, podendo ser negativa ou positiva
- τ_F representa a constante de tempo de coleta da junção

- τ_R representa tempo constante de estabelecimento da trajetória do íon

Podendo também ser expressa usando a dependência da carga depositada:

$$i(t) = \frac{Q_{dep}}{\tau_F - \tau_R} \cdot \left(\exp\left(\frac{-t}{\tau_F}\right) - \exp\left(\frac{-t}{\tau_R}\right) \right)$$

$$Q_{dep} = \frac{q \cdot \rho \cdot L_f \cdot LET}{E_{e,h}}$$

- $q =$ carga do elétron ($1,6^{-19}C$)
- $\rho =$ densidade do material ($2,33g/cm^3$ para o silício)
- $L_f =$ comprimento do afunilamento causado na trajetória do íon
- $LET =$ Linear Energy Transfer, medida da energia transferida para o material (silício) por uma partícula ionizante ($MeV \cdot cm^2/mg$)
- $E_{e,h} =$ energia necessária para criar um par elétron-lacuna $e - h$ ($3,6 eV$ para o silício)

Os parâmetros dos dispositivos (como parâmetros de transistores, *netlist*, etc.) foram inseridos no padrão do simulador elétrico HSpice (SYNOPSYS, 2010), e então implementados nas células em nível de esquemático, uma vez que o SmartSpice apresenta essa compatibilidade. As células foram implementadas na tecnologia de 130 nm / 3,3 V da *founndry* (fábrica de circuitos integrados) United Microelectronics Corporation (UMC).

3.2 Programa SmartView

O programa SmartView, também desenvolvido pela empresa Silvaco, é uma ferramenta de análise e visualização de gráficos em forma de onda a partir das simulações de circuitos. Oferece as opções de arranjo dos vetores de forma planar e hierárquica, pré-filtragem dos dados para simplificação dos resultados, visualização do histórico de simulações concorrentes em um único gráfico, cálculo de vetores com funções e macros Spice internos e capacidade de uso de funções definidas pelo usuário.

Essa ferramenta foi usada durante todo o decorrer do trabalho para a análise transiente dos circuitos simulados, através da geração de gráficos cartesianos.

4 IMPLEMENTAÇÃO E SIMULAÇÃO

Conforme apresentado anteriormente, foi utilizado o simulador elétrico HSpice para a implementação das células de memória em nível de esquemático. Baseando-se nos parâmetros da tecnologia 130 nm da UMC, os seguintes esquemáticos para SRAM foram desenvolvidos: 6T (seção 2.4.1), Whitaker/Liu (seção 2.4.2) e HIT(seção 2.4.3). As duas últimas são de especial interesse, sendo que a 6T foi desenvolvida para comparação de ganho de confiabilidade.

4.1 Esquemático da SRAM 6T

A Figura 4.1 apresenta o código do esquemático desenvolvido na ferramenta SmartSpice para a célula 6T, apresentado na Figura (2.9). Esta célula contém 4 transistores: MP1, MP2, MN1 e MN2, que atuam como um dispositivo de armazenamento (*latch*), ficando o dado armazenado nos nós Q e QN. Além disso, há os dois transistores nMOS que controlam o acesso ao *latch* da célula.

```
1 * SCHEMATIC NAME: SRAM 6T
2
3 ***** LATCH TRANSISTORS
4 MP1 QN Q VDD VDD P_33_L130E L=0.35u W=2.8u
5 MP2 Q QN VDD VDD P_33_L130E L=0.35u W=2.8u
6 MN1 QN Q 0 0 N_33_L130E L=0.35u W=0.7u
7 MN2 Q QN 0 0 N_33_L130E L=0.35u W=0.7u
8
9 ***** PASS TRANSISTORS
10 MN3 BLINEN WLINE QN 0 N_33_L130E L=0.35u W=1.4u
11 MN4 BLINE WLINE Q 0 N_33_L130E L=0.35u W=1.4u
```

Figura 4.1: *Netlist* dos dispositivos para simulação do funcionamento da célula de memória SRAM 6T.

Os transistores tiveram de ser dimensionados com cuidado para garantir o funcionamento correto da memória (leitura e escrita). A Figura 4.2 apresenta uma simulação de

funcionamento normal dessa célula. No período em que o sinal de relógio está em nível lógico baixo, os sinais presentes nas saídas Q e QN permanecem inalterados, havendo ou não alteração do valor das entradas BLINE e BLINEN, comprovando assim a retenção do dado nesta célula.

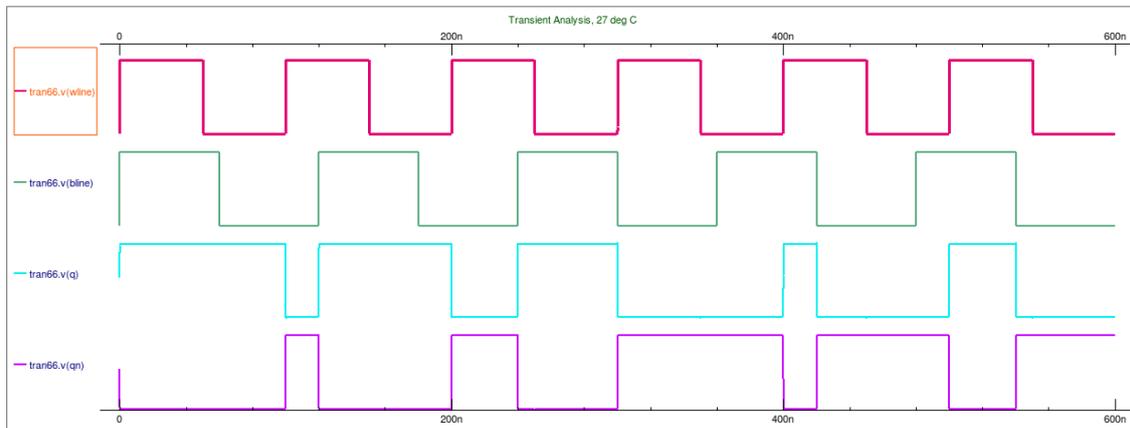


Figura 4.2: Gráfico do funcionamento normal da célula 6T.

4.2 Esquemático da SRAM Whitaker/Liu

Em Liu e Whitaker (1992), os autores apresentam o diagrama da célula e o desenvolvimento utilizando a tecnologia Hewlett-Packard de $1\ \mu\text{m}$. Foram feitas modificações de forma a melhor adequar a dimensão dos transistores à tecnologia usada neste trabalho.

Na Figura 4.3 o código HSpice do circuito da célula Whitaker/Liu é apresentado. Como já citado anteriormente, essa célula é composta por duas estruturas de armazenamento e dois transistores de passagem.

Após a primeira simulação, utilizando como base a Figura 2.11, verificou-se que os dois sinais de armazenamento e saída da célula - N2 e N12 - haviam degradações. N2 apresentava degradação quando em nível alto, e N12, por outro lado, apresentava degradação quando estava em nível baixo. Além disso, o valor armazenado (e de saída, quando em operação de leitura) era logicamente inverso ao sinal da entrada D. Para solucionar este problema, um inversor foi adicionado à saída do *latch* da célula, usando o sinal N12 para carregar a porta do transistor pMOS, e o sinal N2, para a porta do transistor nMOS, resultando em Q, como pode ser visto na simulação na Figura 4.4.

```

1  * SCHEMATIC NAME: SRAM WHITAKER/LIU
2
3  ***** LATCH TRANSISTORS
4  M2 NET01 N11 N1 0 N_33_L130E W=2.24u L=0.35u
5  M3 N1 N2 0 0 N_33_L130E W=0.84u L=2.1u
6  M4 NET02 N12 N2 0 N_33_L130E W=2.24u L=0.35u
7  M5 N2 N1 0 0 N_33_L130E W=2.24u L=0.35u
8  M6 NET01 N12 VDD VDD P_33_L130E W=2.24u L=0.35u
9  M7 NET02 N11 VDD VDD P_33_L130E W=2.24u L=0.35u
10 M12 N11 N12 VDD VDD P_33_L130E W=0.84u L=2.1u
11 M13 NET03 N1 N11 VDD P_33_L130E W=2.24u L=0.35u
12 M14 N12 N11 VDD VDD P_33_L130E W=2.24u L=0.35u
13 M15 NET04 N2 N12 VDD VDD P_33_L130E W=2.24u L=0.35u
14 M16 NET03 N2 0 0 N_33_L130E W=2.24u L=0.35u
15 M17 NET04 N1 0 0 N_33_L130E W=2.24u L=0.35u
16 ***** PASS TRANSISTORS
17 M1 D CK N1 0 N_33_L130E W=2.24u L=0.35u
18 M11 D CKN N11 VDD P_33_L130E W=2.24u L=0.35u
19 ***** OUTPUT INVERTER TRANSISTORS
20 MP Q N12 VDD VDD P_33_L130E W=2.24u L=0.35u
21 MN Q N2 0 0 N_33_L130E W=2.24u L=0.35u

```

Figura 4.3: *Netlist* dos dispositivos para simulação do funcionamento da célula de memória SRAM Whitaker/Liu.

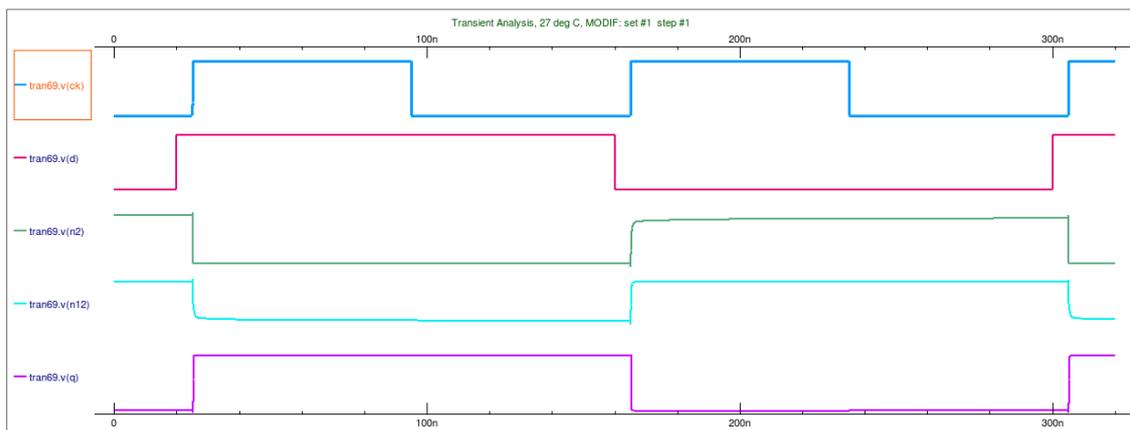


Figura 4.4: Gráfico do funcionamento normal da célula Whitaker/Liu. O terceiro e quarto sinais são N2 e N12, respectivamente. O último sinal é Q, resultante do inversor de saída.

4.3 Esquemático da SRAM HIT

Essa célula, comporta por 12 transistores, contém duas estruturas de armazenamento interconectados por dois caminhos de *feedback*, como foi anteriormente apresentado (Figura 2.12).

O desenvolvimento do esquema do circuito elétrico dessa célula resultou no código HSpice apresentado na Figura 4.5.

Em uma primeira instância, foi realizado uma simulação básica para averiguar se a célula poderia realizar as operações de retenção de dado e leitura. Para modificar o estado da célula, o sinal de controle de acesso RW é ligado, enquanto novos valores

```

1  * SCHEMATIC NAME: SRAM HIT
2
3  ***** LATCH TRANSISTORS
4  MP1 NET01 MM VDD VDD P_33_L130E W=2.3333u L=0.35u
5  MP2 NET02 LL VDD VDD P_33_L130E W=2.3333u L=0.35u
6  MP3 MM LL VDD VDD P_33_L130E W=0.9916u L=0.35u
7  MP4 LL MM VDD VDD P_33_L130E W=0.9916u L=0.35u
8  MN1 Q Q_ 0 0 N_33_L130E W=1.1666u L=0.35u
9  MN2 Q_ Q 0 0 N_33_L130E W=1.1666u L=0.35u
10 MN5 NET01 LL Q 0 N_33_L130E W=1.1666u L=0.35u
11 MN6 NET02 MM Q_ 0 N_33_L130E W=1.1666u L=0.35u
12 MN7 MM Q 0 0 N_33_L130E W=1.6041u L=0.35u
13 MN8 LL Q_ 0 0 N_33_L130E W=1.6041u L=0.35u
14 ***** PASS TRANSISTORS
15 MN3 Q R_W D 0 N_33_L130E W=2.0416u L=0.35u
16 MN4 Q_ R_W D_ 0 N_33_L130E W=2.0416u L=0.35u

```

Figura 4.5: *Netlist* dos dispositivos para simulação do funcionamento da célula de memória SRAM HIT.

complementares são apresentados nas entradas D e D'. Para a operação de leitura, o valor de RW também deve estar em nível lógico alto, assim como ambos D e D'. A Figura 4.6 mostra o resultado obtido da simulação no SmartSpice, para o funcionamento normal da célula HIT.

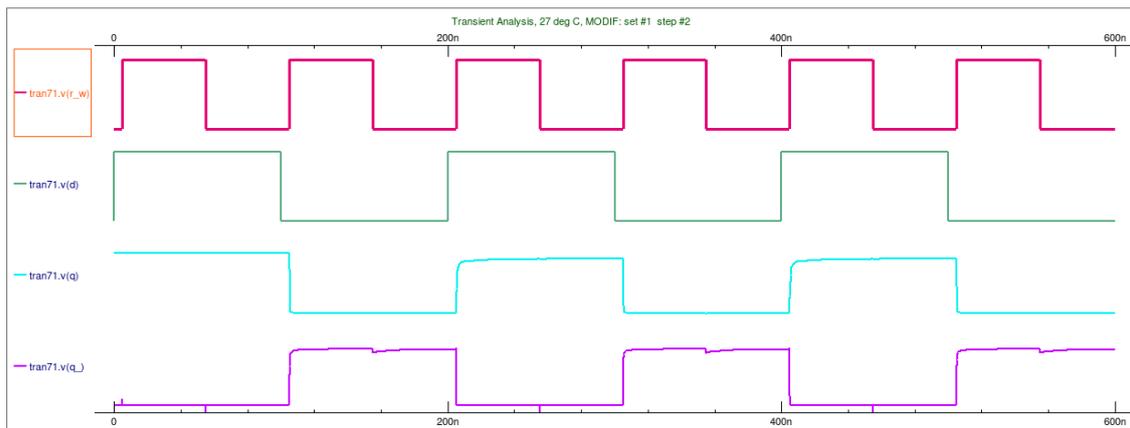


Figura 4.6: Gráfico do funcionamento normal da célula HIT. O primeiro sinal é o relógio do sistema, o segundo o sinal D de entrada, e o terceiro e quarto sinais são Q e Q', respectivamente. Os sinais de saída apresentam uma leve degradação em função do dimensionamento dos transistores.

4.4 Simulações

De forma a validar a tolerância das células aos efeitos radioativos, estas foram inseridas em simulações, onde o módulo SEE da ferramenta SmartSpice foi utilizado para aplicação do modelo de Messenger, como previamente descrito. O modelo de falhas de Messenger é utilizado na simulação dos efeitos da penetração de uma partícula, que causa

o depósito de carga ao longo da trajetória que essa partícula percorre dentro da célula. A declaração de análise do módulo SEE do SmartSpice que aplica o modelo de Messenger permite a sintaxe apresentada a seguir:

```
.RAD SEE<=integer>
+ <START=val0> <val1> ... <valn>
+ <TAUR=val0> <val1> ... <valn>
+ <TAUF=val0> <val1> ... <valn>
+ <DEVICE=string0> <string1> ... <stringn>
+ <NODE=string0> <string1> ... <stringn>
+ <LF=val0> <val1> ... <valn>
+ <LET=val0> <val1> ... <valn>
```

- **SEE** = habilita o SmartSpice a realizar uma análise .RAD durante a simulação. Um valor do tipo *integer* informa o número de simulações que serão realizadas.
- **START** = Momento do impacto.
- **TAUF** = Constante de tempo de coleta da junção.
- **TAUR** = Tempo constante de estabelecimento da trajetória do íon.
- **DEVICE** = Nome do dispositivo impactado pelo íon pesado.
- **NODE** = Terminal impactado pelo íon pesado (o padrão é o dreno).
- **LF** = Comprimento do funil criado na trajetória da partícula (m).
- **LET** = Linear Energy Transfer, transferência linear de energia ($MeV \cdot cm^2/mg$).

Conforme Silvaco, Inc. (2010b), os valores para TAUF ficam tipicamente na ordem de 100 ps a 1000 ps, e TAUR na ordem de 1 ps a 100 ps. Em Amusan et al. (2007), simulações 3D de SEEs foram realizadas nas células de memória projetadas sobre tecnologia IBM 130 nm. Baseado neste trabalho e na análise de Alles (1994), onde o autor esclarece que o limiar para ocorrência de um *upset* devido à um estímulo externo (choque de partícula carregada) é fortemente dependente dos valores TAUR e TAUF, e que tais valores são relacionados com a transferência linear de energia (LET), os valores aqui adotados foram, respectivamente, 7 ps e 200 ps. Apenas como exemplo, LETs maiores exigem menores valores de TAUF para que a corrente induzida no circuito ultrapasse um limiar e cause um SEU, enquanto LETs menores exigem que o valor de TAUF seja maior, para que um SEU ocorra. Seguindo a simulações apresentadas nos trabalhos supracitados, a

análise das células aqui desenvolvidas manteve os valores TAUR e TAUF contantes em todas simulações, para manter uma correlação entre estas.

Como já citado, a corrente transiente resultante do impacto de um íon pesado em uma região sensível da célula de memória depende do valor do LET e do leiaute da célula, mas outro fator também importante é a profundidade de penetração do íon carregado no silício. O estudo de Roche et al. (1999) afirma que há uma correspondência entre a profundidade da penetração do íon, o LET e a corrente resultante. Assim sendo, foram testados diferentes valores para LF (profundidade do 'funil' criado pelo íon ao cruzar pelo circuito, ou, em outras palavras, a profundidade que este penetra no circuito), até que chegou-se ao valor de $5 \mu\text{m}$, como sendo aproximadamente o limite mínimo de LF para causar um SEU. Este valor deve representar a profundidade do substrato para a tecnologia que está sendo usada, dado esse que não se obteve acesso, porém pela literatura, esse valor é coerente, e a partir desse limiar praticamente não houve alteração no sinal da corrente induzida (Figura 4.7).

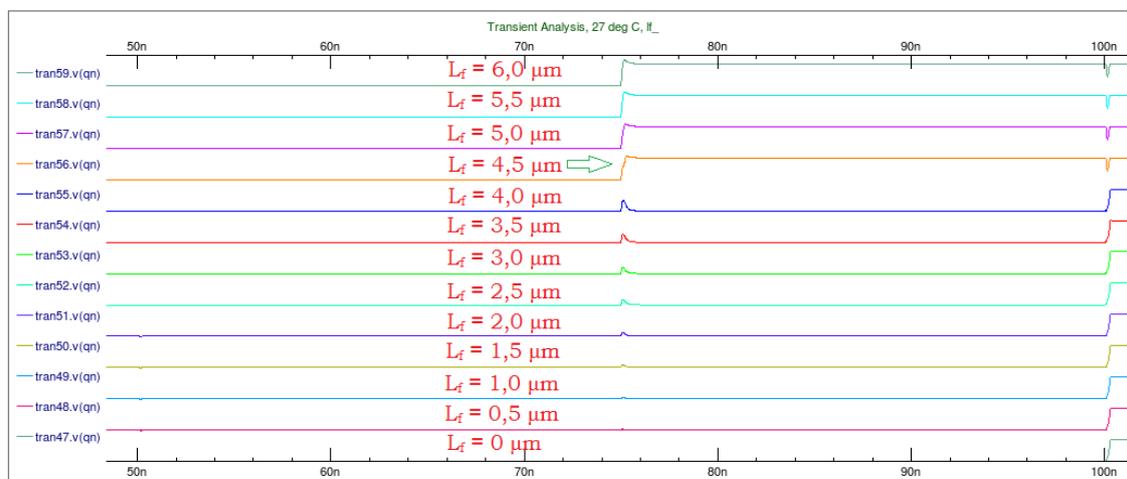


Figura 4.7: O gráfico apresenta o choque de uma partícula carregada sobre o dreno do transistor pMOS de uma célula SRAM padrão 6T, com valor de LET de 3 MeV . Cada linha representa um valor diferente para LF, de 0 a $6 \mu\text{m}$, variando em $0,5 \mu\text{m}$. Para uma partícula de LET igual a $3 \text{ MeV} \cdot \text{cm}^2/\text{mg}$, o valor de $4,5 \mu\text{m}$ para LF é suficiente para causar um SEU na célula.

De fato, há um correlacionamento quase proporcionalmente inverso entre o a magnitude do LET e a profundidade de penetração da partícula sobre o material, sendo que tais valores dependem do átomo que está incidindo sobre o silício. O valor $5 \mu\text{m}$ ficou estabelecido para todas as simulações, para que pudessem ser feitas análises comparativas, considerando somente a variação do LET. Uma vez determinados os parâmetros TAUR,

TAUF e LF para as simulações, o valor de LET foi sistematicamente aumentado, de forma a averiguar qual o limiar causaria SEU em cada circuito de memória analisado.

Na célula SRAM 6T, os transistores nMOS e pMOS foram testados sobre uma variada faixa de valores para LET. Uma característica física anteriormente citada ficou compravada nas simulações realizadas com essa célula de memória: para os transistores nMOS MN1 e MN2, quando o sinal conectado em seu dreno (que de fato, é um dos valores complementares armazenados na célula de memória) tem valor '0' lógico, se atingido por uma partícula com LET positivo, não há ocorrência de um SEU; por outro lado, um pMOS, quando atingido por uma partícula também com valor LET positivo sobre seu dreno, e tendo o valor '1' lógico armazenado em Q (ou QN), correspondente à rede conectada ao seu dreno, também não há ocorrência de um *upset*.

Para a célula desenvolvida por Liu e Whitaker (1992), foram realizadas simulações de colisões de partículas carregadas nos drenos e fontes em todos os transistores, com valores de LET de até $1 \text{ GeV} \cdot \text{cm}^2/\text{mg}$, e TAUR e TAUF constantes em 7 ps e 200 ps, respectivamente.

Da mesma forma, na célula de memória HIT foram simuladas colisões de íons carregados em todos drenos e fontes de seus transistores. Assim como a célula Whitaker/Liu, essa SRAM manteve os mesmos valores: TAUR constante em 7 ps, TAUF constante em 200 ps e valor de LET de até $1 \text{ GeV} \cdot \text{cm}^2/\text{mg}$.

5 RESULTADOS

Realizaram-se simulações sobre diferentes arquiteturas de memória SRAM - célula padrão de 6 transistores, célula Whitaker/Liu e célula HIT - utilizando-se das ferramentas de CAD fornecidas pela empresa Silvaco. As simulações realizadas tiveram como principal objetivo analisar o comportamento das células quando recebendo deposição de carga em função da colisão de partículas carregadas provenientes do ambiente espacial. Foram revisadas as fontes de radiação e os valores típicos de carga das partículas presentes em cada ambiente estudado.

Estudos realizados na área da microeletrônica incluem, principalmente, o uso da tecnologia CMOS para desenvolvimento de células de memória. As principais células de memória tolerantes à radiação foram estudadas, e duas das arquiteturas mais conhecidas - Whitaker/Liu e HIT - foram implementadas e incluídas em um ambiente de simulação, na ferramenta SmartSpice. Estudos correlatos a este foram analisados de forma a obter valores sucintos para os parâmetros utilizados nas simulações deste trabalho, em concordância com a tecnologia 130 nm / 3,3 V da *foundry* UMC.

Os resultados obtidos sobre as simulações de SEEs nas células SRAM estão diretamente relacionados às ligações entre os transistores, ao dimensionamento de cada dispositivo e à proporção entre estes, assim como à tecnologia utilizada. Notadamente, a célula padrão 6T apresenta um resultado muito inferior ao obtido pelas células tolerantes à radiação Whitaker/Liu e HIT. O grau de resistência obtida desta célula é ínfima quando comparada às demais memórias.

As Figuras 5.1 e 5.2 apresentam as alterações ocorridas sobre os valores armazenados na célula padrão 6T, quando atingindo, respectivamente, os drenos dos transistores pMOS (MP1 ou MP2) e nMOS (MN1 ou MN2), com partículas com energias positivas.

Há valores mínimos distintos de LET para ocorrência de SEUs quando considerando os diferentes transistores dessa célula de memória - pMOS e nMOS - em função das características elétricas da tecnologia e do dimensionamento dos transistores.

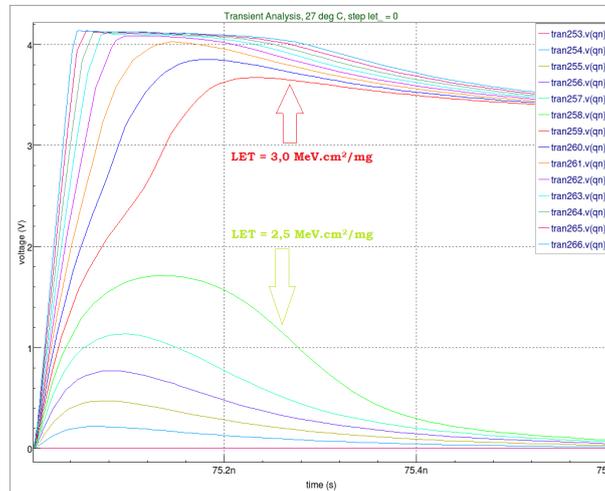


Figura 5.1: Variação no sinal de saída da célula de memória 6T, quando um transistor pMOS (MP1 ou MP2) é atingido, sobre diferentes valores de LET. Os valores estão na faixa de 0 a $6 \text{ MeV} \cdot \text{cm}^2/\text{mg}$, variando em $0,5 \text{ MeV} \cdot \text{cm}^2/\text{mg}$. Há ocorrência de SEU quando o valor ultrapassa o limiar de $3 \text{ MeV} \cdot \text{cm}^2/\text{mg}$.

O valor mínimo de LET usado nas simulações que resultou em um SEU na célula 6T padrão foi $3 \text{ MeV} \cdot \text{cm}^2/\text{mg}$. Para este valor, a carga depositada no circuito foi de $0,15 \text{ pC}$. Todos os transistores da célula apresentaram sensibilidade à radiação, gerando alteração no bit armazenado na célula.

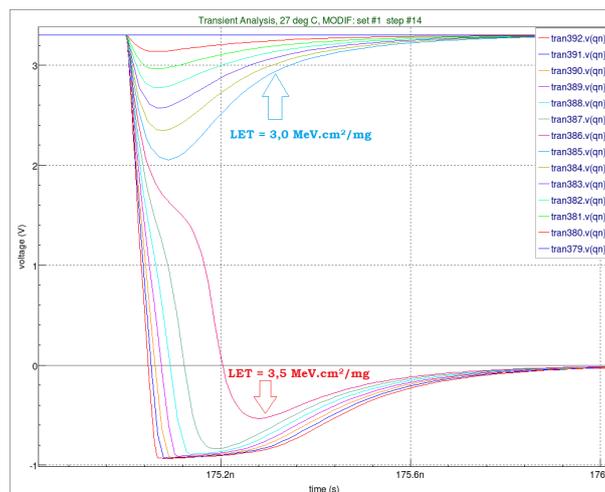


Figura 5.2: Variação no sinal de saída da célula de memória 6T, quando um transistor nMOS (MN1 ou MN2) é atingido, sobre diferentes valores de LET. Os valores estão na faixa de 0 a $6 \text{ MeV} \cdot \text{cm}^2/\text{mg}$, variando em $0,5 \text{ MeV} \cdot \text{cm}^2/\text{mg}$. Há ocorrência de SEU para energias superiores a $3,5 \text{ MeV} \cdot \text{cm}^2/\text{mg}$.

O gráfico da Figura 5.3 apresenta a variação da carga depositada em função do LET aplicado sobre a célula SRAM 6T. Em todos os transistores, a magnitude da tensão transiente varia em função da quantidade de carga depositada no nó impactado.

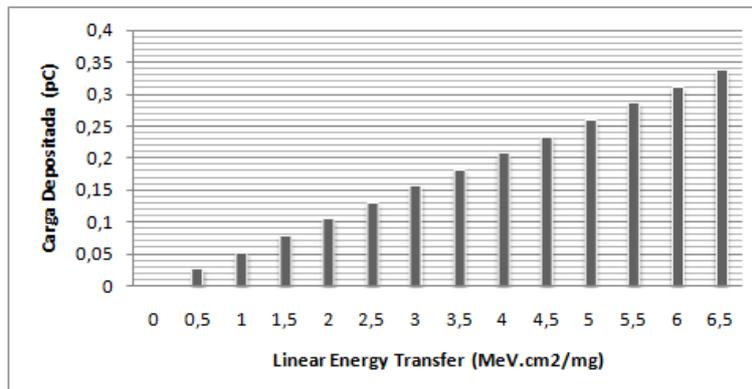


Figura 5.3: Gráfico dos valores das cargas depositadas em função da incidência de partículas com diferentes valores de energia.

Uma vez definidos os valores de LET para a célula não tolerante à radiação, simulações foram realizadas com as células Whitaker/Liu e HIT, em nível de circuito.

Baseado nesses valores e em simulações realizadas na ferramenta SmartSpice, foram determinados os valores relativos à transferência de energia do íon carregado para os dispositivos de memória, assim como os valores relativos à constante de tempo de coleta da junção, tempo constante de estabelecimento da trajetória do íon, profundidade de penetração do íon no material e comprimento do funil criado na trajetória da partícula. Uma vez determinados tais valores, as simulações foram realizadas sobre as demais células.

A célula Whitaker/Liu demonstrou-se tolerante aos SEUs. Foram realizadas simulações com valores de LET até o limite máximo de $1 \text{ GeV} \cdot \text{cm}^2/\text{mg}$, e a célula conseguiu se recuperar, independentemente do transistor atacado. Na Figura 5.4, o transistor M4 é colidido no terminal de dreno. O LET aplicado é de $100 \text{ MeV} \cdot \text{cm}^2/\text{mg}$, e o sinal armazenado em N2 se recupera 1,5 ns após a colisão de uma partícula carregada (sem a necessidade de aguardar até a próxima borda de subida de relógio), depositando uma carga de 5,18 pC.

Os terminais que apresentaram sensibilidade à radiação, gerando distorção no sinal armazenado na célula, são apresentados na Figura 5.5.

A Tabela 5.1 especifica o valor de LET limiar que causa a inversão do valor lógico

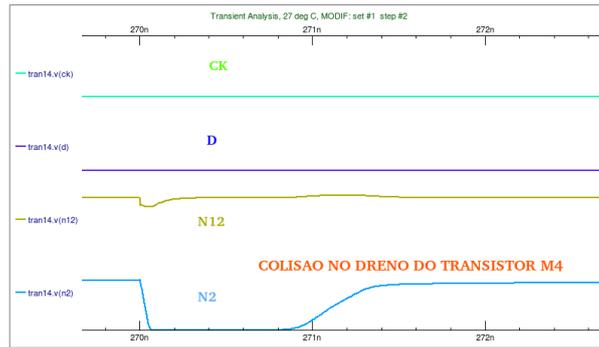


Figura 5.4: Gráfico da distorção do sinal N2 da célula Whitaker/Liu, quando atingido em um transistor sensível, com um LET de $100 \text{ MeV} \cdot \text{cm}^2 / \text{mg}$.

em uma das saídas da célula - N2 ou N12, além do tempo de recuperação para esse LET limiar. A última coluna apresenta uma avaliação do tempo de recuperação sobre esses componentes, usando-se o valor de LET de $1 \text{ GeV} \cdot \text{cm}^2 / \text{mg}$.

Tabela 5.1: Valores limiares de LET por transistor/terminal da célula Whitaker/Liu. Tempos de recuperação para LETs limiares e de $1 \text{ GeV} \cdot \text{cm}^2 / \text{mg}$.

Resultados da simulação para célula Whitaker/Liu			
Transistor_terminal	LET limiar ($\text{MeV} \cdot \text{cm}^2 / \text{mg}$)	Tempo de recuperação para LET limiar (ns)	Tempo de recuperação para LET= $1 \text{ GeV} \cdot \text{cm}^2 / \text{mg}$ (ns)
M4_dreno	4,2	0,8	2,0
M4_fonte	4,2	0,8	2,1
M5_dreno	4,0	0,8	2,0
M14_dreno	3,9	1,2	2,3
M15_dreno	8,9	1,2	2,0
M15_fonte	3,9	1,2	2,3
MN_dreno	2,0	0,5	1,8
MP_dreno	5,5	0,3	0,8

Após a inclusão do inversor nas saídas N2 e N12 da célula, a sensibilidade apresentada nas saídas N2 e N12 não são propagadas para Q, porém, a sensibilidade à SEUs ficou restrita aos terminais de dreno dos transistores MP e MN, segundo os valores apresentados nas últimas duas linhas da tabela. Esse circuito, com a inclusão dos transistores, resulta em 16 transistores.

Da mesma forma que a célula Whitaker/Liu, a célula HIT também mostrou-se tolerante à radiação, e recuperou-se das colisões de íons carregados, com valor de LET máximo de $1 \text{ GeV} \cdot \text{cm}^2 / \text{mg}$. A Figura 5.6 identifica os terminais da célula que apresentaram suscetibilidade aos efeitos radioativos, e que geraram uma alteração no sinal do bit armazenado na célula.

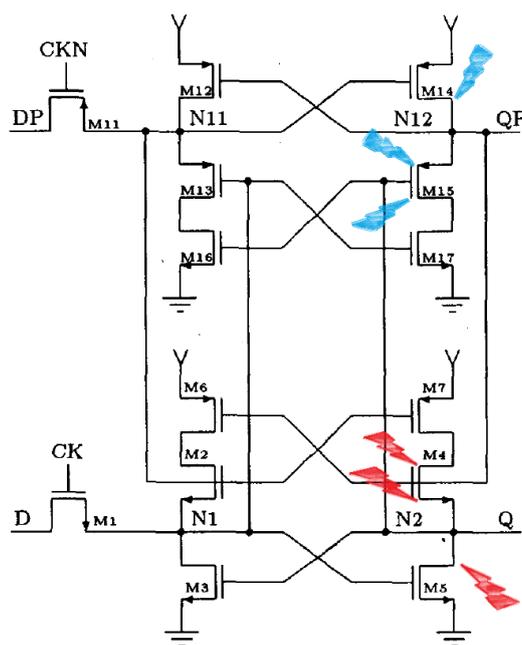


Figura 5.5: Gráfico apresentando os terminais sensíveis da célula Whitaker/Liu. As marcas em azul identificam os terminais que, caso impactados, geram uma corrente transiente alterando temporariamente o valor em N12. As marcas em vermelho identificam os terminais que, caso impactados, geram uma corrente transiente alterando temporariamente o valor em N2. Adaptado de Liu e Whitaker (1992).

A Figura 5.7 apresenta a distorção do sinal de saída Q da célula HIT, resultante da corrente gerada pelo impacto da partícula carregada no terminal de dreno do transistor MN5. A célula se recupera 1 ns após a colisão.

Os demais tempos de recuperação encontrados na célula HIT, em função dos terminais impactados, pode ser visto na Tabela 5.2.

Como pode ser visto nas Figuras 5.4 e 5.7, ambas as células podem propagar um valor errôneo se uma operação de leitura for realizada no período em que o sinal armazenado está perturbado. Além disso, nenhuma garantia de tolerância à radiação é dada às células devido à incidência de múltiplos íons sobre diferentes transistores, ou mesmo se a colisão de um único íon tiver um pequeno ângulo de incidência, com capacidade de atingir mais de um transistor.

A Figura 5.8 apresenta a mudança dos valores armazenados na célula de memória Whitaker/Liu, em função da deposição simultânea de carga em dois terminais. O mesmo pode ser visto para a célula HIT na Figura 5.9. Esse evento torna-se especialmente preocupante devido a maior densidade dos componentes nas tecnologias mais atuais, que a

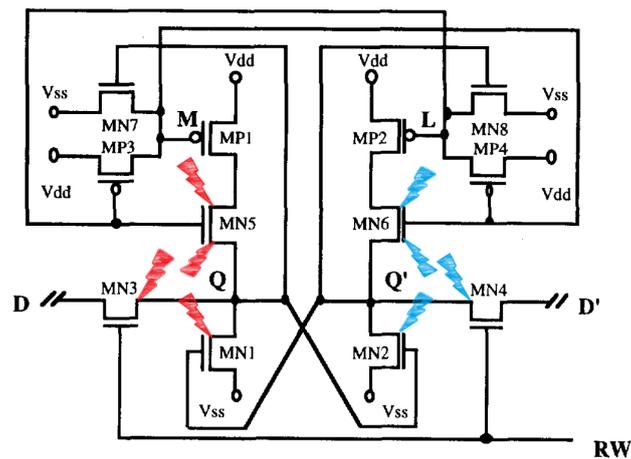


Figura 5.6: Gráfico apresentando os terminais sensíveis da célula HIT. As marcas em azul identificam os terminais que, caso impactados, geram uma corrente transiente alterando temporariamente o valor em Q' . As marcas em vermelho identificam os terminais que, caso impactados, geram uma corrente transiente alterando temporariamente o valor em Q . Adaptado de Velazco et al. (1994)

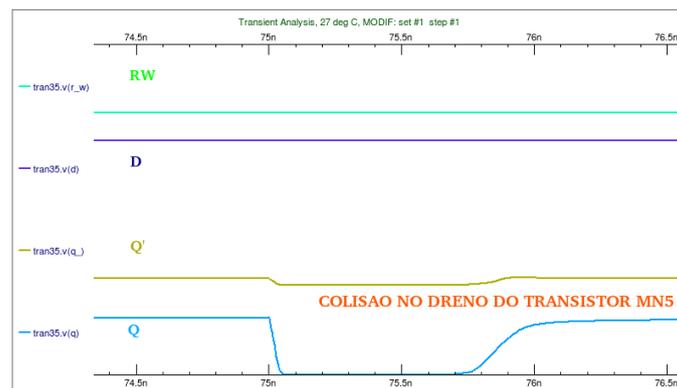


Figura 5.7: Gráfico da variação do sinal armazenado em Q da célula HIT, durante uma colisão no dreno do transistor MN5. A célula foi impactada com LET de $100 \text{ MeV} \cdot \text{cm}^2/\text{mg}$, levando 1 ns para recuperar-se.

cada nova geração apresentam uma maior integração entre seus transistores.

Tabela 5.2: Valores limiares de LET por transistor/terminal da célula HIT. Tempos de recuperação para LETs limiares e de $1 \text{ GeV} \cdot \text{cm}^2/\text{mg}$.

Resultados da simulação para célula HIT			
Transistor_terminal	LET limiar ($\text{MeV} \cdot \text{cm}^2/\text{mg}$)	Tempo de recuperação para LET limiar (ns)	Tempo de recuperação para $\text{LET}=1 \text{ GeV} \cdot \text{cm}^2/\text{mg}$ (ns)
MN1_dreno	2,0	0,8	2,0
MN2_dreno	3,0	0,8	2,0
MN3_dreno	2,0	0,8	2,0
MN4_dreno	3,0	0,8	2,0
MN5_dreno	4,0	0,5	1,5
MN5_fonte	2,0	0,8	2,0
MN6_dreno	4,5	0,5	1,5
MN2_fonte	3,0	0,8	2,0



Figura 5.8: Gráfico da mudança do bit armazenado na célula Whitaker/Liu, causado por múltiplos SEUs nos drenos dos transistores M2 e M14. Os valores de N2 e N12 são invertidos, assim como o sinal da saída Q do inversor, voltando a operar normalmente após a próxima borda de subida de relógio.

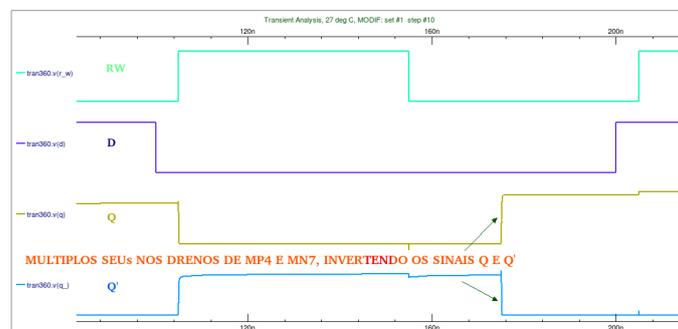


Figura 5.9: Gráfico da mudança do bit armazenado na célula HIT, causado por múltiplos SEUs nos drenos dos transistores MP4 e MN7. Os valores de Q e Q' são invertidos, voltando a operar normalmente após a próxima borda de subida de relógio.

6 CONCLUSÃO

Conforme esperado, uma notável tolerância à radiação foi alcançada pelas arquiteturas Whitaker/Liu e HIT, sendo que o aumento no número de transistores, quando aplicado em sistemas para aplicações espaciais, é algo aceitável e viável.

Entre os resultados obtidos das simulações das células tolerantes, ambas tiveram tempos de recuperação muito aproximados, variando entre 0,8 e 1,2 ns na célula Whitaker/Liu (considerando LETs mínimos), e entre 0,5 e 0,8 ns na célula HIT (também considerando LETs mínimos). A primeira contém 6 terminais sensíveis, enquanto a segunda resultou em 8 terminais. Apesar disso, em ambas as células, esses terminais sensíveis totalizam 4 transistores sensíveis em cada arquitetura.

Para a tecnologia e os parâmetros utilizados no trabalho, a célula HIT que, apesar da pequena degradação no sinal armazenado em função de uma falha de dimensionamento, deixando seu resultado um pouco aquém do esperado, mostrou-se com melhores resultados em relação à Whitaker/Liu. Tem um menor número de transistor em sua arquitetura - 12 transistores, menores tempos de recuperação e o mesmo número de transistores sensíveis à SEEs. Além disso, pela maior degradação nos sinais disponíveis na saída da célula Whitaker/Liu, e pelo fato do sinal armazenado ser o inverso do sinal de entrada, faz com que esta arquitetura necessite de um inversor em sua saída. Assim, uma operação de leitura resulta no valor correto. Este inversor não faz parte da estrutura básica de armazenamento da célula, mas é necessário se uma única linha de saída é requisitada com ambos valores '0' ou '1' não degradados. Porém, quando foram simulado SEUs utilizando-se este inversor na saída, o impacto da partícula carregada somente gerou efeito na saída Q quando os drenos dos transistores MP ou MN foram atacados (últimas duas linhas da tabela 5.1). A arquitetura Whitaker/Liu acrescida deste inversor resulta em 16 transistores,

ocupando uma maior área do silício.

Finalizando, um estudo aprofundado sobre os efeitos da radiação sobre os dispositivos, sejam eles células de memória ou demais componentes de um circuito integrado, faz necessário em todo projeto microeletrônico embarcado para uso espacial. A possibilidade de uso das células de memória implementadas neste trabalho, em uma biblioteca de células desenvolvida nacionalmente, como é uma das metas da SMDH e INPE, é algo inovador neste País. Este trabalho servirá de base para o posterior desenvolvimento físico de células de memória tolerantes à radiação, e seu uso em um trabalho desenvolvido em cooperação entre as instituições previamente citadas.

6.1 Trabalhos futuros

- Simulação tridimensional nas células, podendo assim utilizar-se de modelos de falhas mais complexos, como o CRÈME-MC (Cosmic Ray Effects on Micro-Electronics), MRED/Geant4 (Monte Carlo Radiative Energy Deposition), entre outros.
- Análise sobre diferentes ângulos de incidência.
- Análise do compartilhamento de carga, em especial devido à redução do tamanho e espaçamento entre os dispositivos.
- Simulação do consumo de potência para as diferentes células e tecnologias disponíveis.
- Simulação da resistência para demais efeitos radioativos.
- Realização de experimentos usando-se diferentes abordagens, como por exemplo aceleradores de partículas e *lasers*.
- Apuração do *cross-section* (sensibilidade) das células, após a fabricação do circuito integrado.

REFERÊNCIAS

ACCUWEATHER, INC. *Solar wind at 50-year low, what does this mean?* 2008.

Disponível em: <<http://global-warming.accuweather.com/2008/09/>>. Acesso em: Novembro de 2010.

ALLES, M. L. Spice analysis of the seu sensitivity of a fully depleted soi cmos sram cell. In: IEEE NUCLEAR AND PLASMA SCIENCES SOCIETY. *IEEE Transactions on Nuclear Science*. Tucson, 1994. v. 41, n. 6, p. 2093–2097. ISBN 0018-9499.

AMUSAN, O. A. et al. Single event upsets in a 130 nm hardened latch design due to charge sharing. In: *45th Annual IEEE International Reliability Physics Symposium*. Phoenix: [s.n.], 2007. p. 306–311. ISBN 1-4244-0919-5.

BARTH, J. Modeling space radiation environments. In: IEEE NUCLEAR AND SPACE RADIATION EFFECTS CONFERENCE. *Applying Computer Simulation Tools to Radiation Effects Problems*. [S.l.], 1997.

BAYLAKOGLU, I.; HUDAVERDI, M. Reliability concerns of radiation effects on space electronics. In: *International Conference of Space Technology*. Tessalônica: [s.n.], 2009.

BESSOT, D.; VELAZCO, R. Design of SEU-hardened CMOS memory cells: The HIT cell. In: *Second European Conference on Radiation and its Effects on Components and Systems, RADECS 93*. St. Malo: [s.n.], 1993. p. 563–570. ISBN 0-7803-1793-9.

BINDER, D.; SMITH, E. C.; HOLMAN, A. B. Satellite anomalies from galactic cosmic rays. In: IEEE NUCLEAR AND PLASMA SCIENCES SOCIETY. *IEEE Transactions on Nuclear Science*. [S.l.], 1975. v. 22, p. 2675–2680. ISSN 0018-9499.

BOUDENOT, J.-C. Radiation space environment. In: VELAZCO, R.; FOUILLAT, P.; REIS, R. (Ed.). *Radiation Effects on Embedded Systems*. Dordrecht: Springer, 2007. p. 1–9.

CALIN, T.; NICOLAIDIS, M.; VELAZCO, R. Upset hardened memory design for submicron cmos technology. In: IEEE NUCLEAR AND PLASMA SCIENCES SOCIETY. *IEEE Transactions on Nuclear Science*. [S.l.], 1996. v. 43, n. 6, p. 2874–2878. ISSN 0018-9499.

CANARIS, J.; WHITAKER, S. Circuit techniques for the radiation environment of space. In: *IEEE 1995 Custom Integrated Circuits Conference*. [S.l.: s.n.], 1995. p. 77–80.

CHUGG, A. M. Ionising radiations effects: a vital issue for semiconductor electronics. In: *Engineering Science and Education Journal*. [S.l.: s.n.], 1994. p. 123–130. ISSN 0963-7346.

CLAEYS, C.; SIMOEN, E. *Radiation effects in advanced semiconductor materials and devices*. [S.l.]: Springer, 2002. ISBN 3-540-43393-7.

COSMUS OPEN SOURCE SCIENCE OUTREACH. *AIRES cosmic ray showers*. 2007. Disponível em: <<http://astro.uchicago.edu/cosmus/projects/aires/>>. Acesso em: Novembro de 2010.

ECOFFET, R.; BARDE, S.; ALBY, F. CNES activities related to space weather issues. In: *Space Weather Workshop: Looking Towards a European Space Weather Programme*. Noordwijk: [s.n.], 2001.

EUROPEAN SPACE AGENCY. *The radiation design handbook*. Noordwijk: ESA Publications Division, 1993. ISSN 0379-4059.

GUENZER, C. S.; WOLICKI, E. A.; ALLAS, R. G. Single event upset of dynamic ram's by neutrons and protons. In: IEEE NUCLEAR AND PLASMA SCIENCES SOCIETY. *IEEE Transactions on Nuclear Science*. [S.l.], 1979. v. 26, p. 0018–9499. ISSN 0018-9499.

HARTMANN, G. A. *A Anomalia Magnética do Atlântico Sul: Causas e Efeitos*. Dissertação (Mestrado) — Instituto de Astronomia, Geofísica e Ciências Atmosféricas da Universidade de São Paulo, 2005.

- LIU, M. N.; WHITAKER, S. Low power SEU immune CMOS memory circuits. In: IEEE NUCLEAR AND PLASMA SCIENCES SOCIETY. *IEEE Transactions on Nuclear Science*. [S.l.], 1992. v. 39, n. 6, p. 1679–1684. ISSN 0018-1684.
- MATAS, B.; SUBERBASAU, C. de. *Memory 1997: Complete coverage of dram, sram, eprom, and flash memory ics*. [S.l.]: Integrated Circuit Engineering Corp., 1997. ISBN 1-877750-59-X.
- MAVIS, D. G.; EATON, P. H. Seu and set mitigation techniques for fpga circuit and configuration bit storage design. In: *Military and Aerospace Applications of Programmable Devices and Technologies Conference*. [S.l.: s.n.], 2000.
- MAYER, D. C.; LACOE, R. C. Designing integrated circuits to withstand space radiation. *Crosslink*, v. 4, n. 2, p. 30–35, 2003.
- MERABTINE, N. et al. Radiation effects on electronic circuits in a spatial environment. In: VLASHKARYOV INSTITUTE OF SEMICONDUCTOR PHYSICS NAS UKRAINE. *Semiconductor Physics, Quantum Electronics & Optoelectronics*. [S.l.], 2004. v. 7, n. 4, p. 395–399.
- MUKHERJEE, S. *Architecture design for soft errors*. [S.l.]: Elsevier, 2008. ISBN 978-0-12-369529-1.
- NASA. *NASA/GSFC Radiation Effects & Analysis Home Page*. 2009. Disponível em: <<http://radhome.gsfc.nasa.gov/>>. Acesso em: Outubro de 2010.
- NASA SCIENCE. *A super solar flare*. Science News, 2008. Disponível em: <http://science.nasa.gov/science-news/science-at-nasa/2008/06may_carringtonflare/>. Acesso em: Novembro de 2010.
- PAVLOV, A.; SACHDEV, M. *CMOS SRAM circuit design and parametric test in nano-scaled technologies: Process-aware sram design and test*. [S.l.]: Springer, 2008. ISBN 978-1-4020-8362-4.
- ROCHE, P. et al. Determination of key parameters for seu occurrence using 3-d full cell sram simulations. In: IEEE NUCLEAR AND PLASMA SCIENCES SOCIETY. *IEEE Transactions on Nuclear Science*. Norfolk, 1999. v. 46, n. 6, p. 1354–1362. ISBN 0018-9499.

ROCKET, L. R. An seu-hardened cmos latch design. In: IEEE NUCLEAR AND PLASMA SCIENCES SOCIETY. *IEEE Transaction on Nuclear Science*. [S.l.], 1988. v. 35, n. 6, p. 1682–1687. ISSN 0018-9499.

SCARPULLA, J.; YARBROUGH, A. What could go wrong?: The effects of ionizing radiation on space electronics. *Crosslink*, v. 4, n. 2, p. 15–19, 2003.

SCHRIMPF, R. D.; FLEETWOOD, D. M. Preface. In: SCHRIMPF, R. D.; FLEETWOOD, D. M. (Ed.). *Radiation effects and soft errors in integrated circuits and electronic devices*. [S.l.]: World Scientific Publishing Co. Pte. Ltd., 2004. p. v–vi. ISBN 981-238-940-7.

SHARMA, A. K. *Semiconductor memories: Technology, testing, and reliability*. [S.l.]: John Wiley & Sons Inc., 2002. ISBN 0-7803-1000-4.

SILVACO, INC. *SmartSpice: The gold standard analog circuit simulator*. 2010. Disponível em: <http://www.silvaco.com/products/circuit_simulation/smartspice.html>. Acesso em: Outubro de 2010.

SILVACO, INC. *SmartSpice user's manual volume 2*. [S.l.], Abril 2010.

SIMS, D. Rewriting the book on the radiation belts. *Spheres Online*, 2010.

SYNOPSYS. *HSPICE: The gold standard for accurate circuit simulation*. 2010. Disponível em: <<http://www.hspice.com/>>. Acesso em: Outubro de 2010.

VELAZCO, R. et al. Two CMOS memory cells suitable for the design of SEU-tolerant VLSI circuits. In: IEEE NUCLEAR AND PLASMA SCIENCES SOCIETY. *IEEE Transaction on Nuclear Science*. [S.l.], 1994. v. 41, p. 2229–2234. ISSN 0018-9499.

WALLMARK, J. T.; MARCUS, S. M. Minimum size and maximum packing density of nonredundant semiconductor devices. In: *Proceedings of the IRE*. [S.l.: s.n.], 1962. v. 50, p. 286–298. ISSN 0096-8390.

WESTE, N. H. E.; HARRIS, D. *CMOS VLSI Design - A Circuits and System Perspective*. [S.l.]: Pearson, 2005. ISBN 0-321-26977-2.

WHITAKER, S.; CANARIS, J.; LIU, K. SEU hardened memory cells for a CCSDS Reed-Solomon encoder. In: IEEE NUCLEAR AND PLASMA SCIENCES SOCIETY.

IEEE Transactions on Nuclear Science. [S.l.], 1991. v. 38, n. 6, p. 1471–1477. ISSN 0018-9499.