

CONTROLE POR HISTERESE DE UM CONVERSOR CHAVEADO-LINEAR HÍBRIDO PARALELO MULTIBRAÇOS

Dalton L. R. Vidor

Departamento de Engenharia Elétrica
Centro Universitário Ritter dos Reis, ULBRA e UFSM
Porto Alegre, Canoas e Santa Maria, Brasil
dalton.vidor@uniritter.edu.br

Nataniel Rigo e José Renes Pinheiro

GEPOC - PPGE UFSM
UFSM - Universidade Federal de Santa Maria
Santa Maria, Brasil
natanielrigo@terra.com.br, jrenes@gepoc.ufsm.br

Resumo— O presente trabalho apresenta uma proposta de controle para um conversor híbrido paralelo. A técnica apresentada permite controlar a tensão de saída, eliminar ondulações e harmônicas da tensão, promover uma divisão de corrente entre os conversores chaveados, estabelecer níveis e limites de corrente, definir faixas de corrente de operação, mitigar a corrente circulante, estabelecer uma configuração ampliável, permitir a manutenção da operação mesmo com falha em algum dos conversores e minimizar as perdas totais, além de permitir que o capacitor de filtro seja suprimido da saída, mantendo uma excelente qualidade no sinal gerado. O conversor associado ao controle apresentado é avaliado. Suas características são salientadas e comprovadas. Um exemplo de projeto é realizado e simulado a fim de comprovar as vantagens e características citadas.

Palavras chave — *Conversores Híbridos, Controle por histerese, Conversores em paralelo.*

I. INTRODUÇÃO

Conversores chaveados estão sempre associados a ondulações ou harmônicas nos sinais gerados. Mitigar os níveis das ondulações tem sido objeto de muitos trabalhos [1]-[5]. O projeto adequado de filtros passivos sempre foi necessário [3], [4]. A utilização de padrões otimizados para eliminar harmônicas também foi proposta e reutilizada para reduzir tais ondulações [10] e [11]. Filtros ativos, conversores multiníveis e conversores híbridos foram, nas últimas décadas, propostas bastante avaliadas em razão da redução das ondulações e de outras vantagens da utilização destas estruturas [1]-[9].

Em aplicações como dispositivos de calibração ou caracterização de equipamentos e materiais é exigida uma alta fidelidade nos sinais de saída dos conversores a fim de criar as condições ideais de teste e não interferir no funcionamento dos equipamentos. Nestes casos, conversores híbridos apresentam-se como uma ótima solução. Equipamentos de ressonância magnética, dispositivos de caracterização de materiais elétricos e magnéticos, calibração de medidores, amplificadores de áudio de elevadas potências são algumas das aplicações apropriadas para a utilização destas propostas. Além disso, acionamentos de máquinas de alta potência que utilizam inversores chaveados podem provocar desgaste prematuro em rolamentos dos mancais em razão das harmônicas presentes no sinal de saída dos inversores. Nestes casos, a forma convencional de resolver é

adicionar filtros com baixas frequências de corte que levam a respostas dinâmicas pobres.

A fim de minimizar as ondulações, estruturas em paralelo tem sido apresentadas [2], [4] e [8]. Além do benefício citado, estas estruturas permitem que os conversores operem com potências altas, permitem que se reconfigure o conversor em função de uma falha ocorrida em algum módulo e permitem que sejam utilizados semicondutores de menor capacidade em comparação aos conversores sem paralelismo. Apesar disso, as estruturas paralelas apresentam desafios na divisão de corrente e em evitar correntes circulantes entre conversores.

Para realizar a divisão de corrente entre os conversores associados, diferentes propostas são encontradas. Indutâncias acopladas, malhas de controle e diferentes esquemas de modulação são encontrados em publicações especializadas [8] e [9]. As estruturas paralelas híbridas, como os conversores chaveados-lineares, são propostas interessantes para a eliminação de ondulações. Apesar disso, o desafio de apresentar um rendimento elevado, similar ao encontrado em estruturas chaveadas, não tem atraído muitos pesquisadores.

A redução nas ondulações do sinal de saída também é obtida com a utilização dos inversores multiníveis em tensão. Estas estruturas são baseadas na manipulação de elevadas tensões pelo conversor para processar grandes potências. Da mesma forma, dispositivos, células ou conversores em paralelo também são uma maneira de aumentar os valores de potência manipulados [7-8]. Geralmente, nas estruturas multiníveis em tensão não se garante a equalização das tensões dos módulos ou células, a menos que um controle adequado seja usado. Nas estruturas paralelas problemas similares são encontrados nas correntes.

O presente trabalho apresenta a proposta híbrida paralela e explora mais profundamente o conceito de híbrido tratando de tecnologias de semicondutores diferentes, frequências diferentes, níveis de correntes diferentes e técnicas de controle híbridas. Nesta proposta, IGBTs, MOSFETs, GaNs e amplificadores lineares são associados. Para cada estrutura diferentes semicondutores, diferentes frequências e diferentes correntes são utilizadas. Uma estrutura clássica com controlador PI é associada a comparadores com histerese em diferentes faixas de operação e divisão de corrente. Uma estrutura de controle é apresentada sendo responsável por realizar a divisão

de corrente, evitar as correntes circulantes, eliminar harmônicos ou ondulações e ainda minimizar perdas do conjunto.

II. CONVERSORES EM PARALELO

2.1 Conversor Chaveado-linear em paralelo.

A associação de conversores chaveados e amplificadores lineares tem sido abordada por vários pesquisadores [2]-[4]. Estas associações apresentam como principal vantagem a produção de sinais de saída próximos da perfeição, excelentes respostas dinâmicas e resposta em frequência em banda larga. Uma desvantagem destas estruturas é o aumento das perdas em razão da operação sob tensão e corrente no amplificador linear.

A estratégia de projeto para esta associação é fazer com que o amplificador linear imponha a tensão de saída com a melhor qualidade possível e que o conversor chaveado reduza ao máximo a corrente necessária no amplificador linear. Desta forma as perdas são reduzidas no amplificador linear, além da eliminação das ondulações e harmônicas no sinal de saída.

Na figura 1 é apresentada a associação de um conversor meia ponte chaveado e um amplificador linear classe AB.

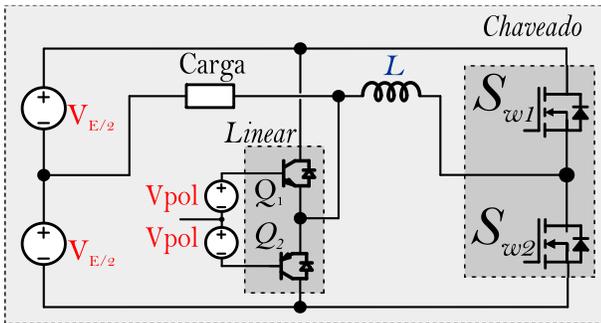


Figura 1 - Associação paralela de um conversor meia ponte e um amplificador linear.

2.2 Conversores chaveados em paralelo

Em alguns trabalhos científicos a associação de conversores chaveados em paralelo é abordada [8] e [12], neles os objetivos principais são o incremento da potência processada e o incremento da qualidade do sinal de saída, minimizando ondulações e harmônicos.

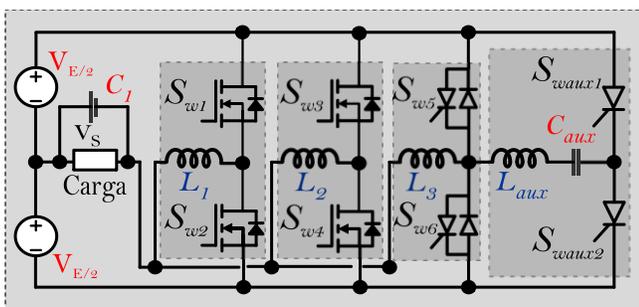


Figura 2 - Conversores meia-ponte chaveados associados em paralelo.

Em algumas destas associações os conversores utilizam dispositivos de mesma característica e frequentemente operam

com mesma frequência. Frequentemente a técnica de defasar, ou intercalar os pulsos de comando é encontrada.

Alguns trabalhos apresentam semicondutores de características distintas [1]. Nestes casos é comum a presença de um conversor principal, que processa quase a totalidade da energia, e outro auxiliar, cujo objetivo é minimizar ondulações e melhorar a qualidade do sinal de saída. Na figura 2 é apresentada uma estrutura paralela chaveada conforme descrito acima.

2.3 Associação paralela híbrida genérica proposta

As formas de associar conversores em paralelo apresentadas nos itens anteriores tem como objetivo comum a redução ou eliminação de ondulação ou harmônicas. Nos conversores chaveados a presença de ondulação no sinal de saída é inerente, mas nos conversores híbridos, com amplificador linear, a eliminação da ondulação torna-se possível.

A associação de diferentes tecnologias de semicondutores nos conversores em meia ponte permite que correntes elevadas possam ser manipuladas por dispositivos cujas características sejam adequadas para tais faixas de corrente. Entretanto, estes dispositivos apresentam a desvantagem de operar em baixas frequências. Ainda sobre a utilização de diferentes tecnologias, estas associações permitem também que dispositivos que operem em frequências mais elevadas possam ser utilizados para mitigar as ondulações e harmônicos e permitem que a eliminação destas ondulações possa ser realizada por amplificadores lineares.

Na figura 3 é apresentada uma estrutura com associação paralela que combina diferentes tecnologias de semicondutores. Nela, há que se observar as limitações de cada dispositivo, ou seja, semicondutores de alta corrente geralmente operam em frequências baixas e assim devem ser comandados. Semicondutores com tempos de comutação pequenos podem operar facilmente em alta frequência e são adequados para mitigar ondulações.

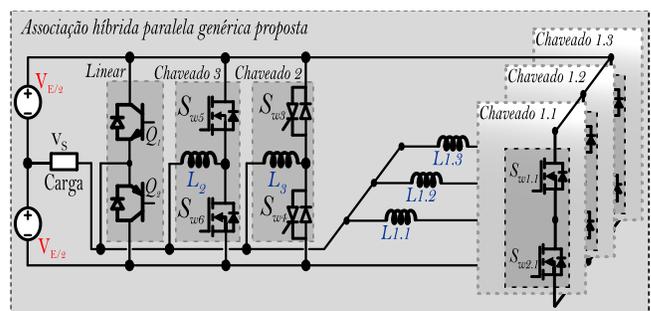


Figura 3 - Associação híbrida paralela genérica proposta.

Outro aspecto a ser observado é a necessidade de minimizar as correntes circulantes entre conversores a fim de minimizar as perdas.

Conforme citado no item 2.1 deste trabalho, a utilização do amplificador linear permite que se obtenha excelentes respostas dinâmicas, banda passante ampla, eliminação do capacitor de filtro, mantendo excelente qualidade no sinal gerado.

III. SISTEMA DE CONTROLE DA ASSOCIAÇÃO HÍBRIDA PARALELA GENÉRICA.

3.1 Controle da tensão de saída.

Na proposta de associação híbrida paralela, o amplificador linear é o responsável pela qualidade do sinal de saída. Assim, o controle de tensão será realizado no amplificador linear. A referência de sinal desejada é inserida na entrada do amplificador linear e o circuito amplificador irá reproduzi-lo da forma mais fiel possível na saída.

A fim de minimizar as perdas, a corrente demandada pela carga será fornecida por conversores chaveados e a corrente no amplificador linear será minimizada.

3.2 Controle dos conversores chaveados.

A presente proposta tem como objetivo simplificar a técnica de controle/comando e atender os requisitos necessários à estrutura. As seguintes premissas devem ser atendidas:

- Minimizar a corrente no amplificador linear;
- Impor correntes mais elevadas nas chaves de menor frequência;
- Dividir a corrente nos conversores de mais baixa frequência associados em paralelo;
- Limitar a corrente máxima em cada conversor meia ponte chaveado, independentemente da frequência de operação;
- Utilizar os conversores de média e alta frequência para minimizar as ondulações do sinal de saída e reduzir a potência dissipada no amplificador linear;
- Permitir que os conversores de média e alta frequência assumam alguma corrente, até o seu limite, em caso de sobrecarga;
- Minimizar correntes circulantes entre conversores chaveados a fim de reduzir perdas;
- Permitir a seleção de qual conversor irá operar dependendo do nível de corrente a fim produzir um projeto que possa minimizar perdas de comutação em razão deste grau de liberdade e
- Apresentar uma estrutura que possa facilmente ser implementada e ampliada conforme a quantidade de conversores utilizados.

Na figura 4 é apresentado um diagrama em blocos do sistema de comando e controle proposto.

Na estrutura apresentada o bloco Controlador PI é responsável por gerar, em sua saída, o valor de corrente necessário ao conjunto dos conversores em paralelo que minimiza a corrente no amplificador linear. Para sinais contínuos de tensão na saída e carga constante o erro médio de corrente será nulo, minimizando a corrente no amplificador linear, já para sinais senoidais ou transitórios de carga, haverá um erro de corrente que será absorvido pelo amplificador linear, além das ondulações.

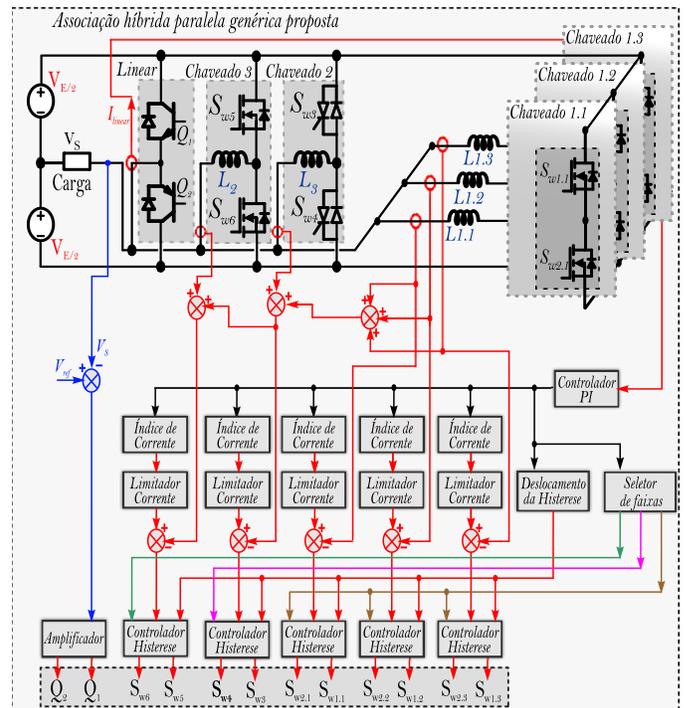


Figura 4 - Diagrama em blocos do comando e controle proposto.

A partir das afirmações anteriores, considera-se a saída do Controlador PI como um valor proporcional à corrente total demandada nos conversores chaveados para minimizar a corrente no amplificador linear. Assim, a corrente de referência do conversor de mais baixa frequência será esta corrente total quando o projeto utilizar apenas um módulo de baixa frequência. Se o conversor de mais baixa frequência for realizado com vários módulos, uma parcela da corrente total será utilizada, conforme o número de conversores encontrados, ou seja, metade da corrente se forem utilizados dois, um terço da corrente se forem utilizados três e assim sucessivamente. Em cada um destes conversores de baixa frequência pode ser associado um limitador de nível a fim de limitar a corrente máxima.

No projeto do módulo de média frequência um dos objetivos é minimizar parcialmente a ondulação de corrente. Nesta proposta, a referência de corrente total, gerada pelo Controlador PI, é comparada com o somatório das correntes dos módulos de baixa frequência adicionada à corrente do módulo de média frequência. O módulo de média frequência irá processar somente a diferença entre a corrente total e a corrente que não foi assumida pelos módulos de mais baixa frequência. Desta forma, a ondulação resultante gerada pelos conjuntos de baixa e média frequência é aproximadamente a ondulação produzida pelo módulo de média frequência. A limitação de corrente é realizada adicionando-se um limitador cujo valor máximo é dado pelo somatório dos limites de corrente dos módulos de baixa frequência adicionado à corrente limite deste módulo.

O módulo de alta frequência segue as mesmas regras do módulo de média frequência. A corrente total é comparada com o somatório de todas as correntes dos módulos anteriores, ou

seja, de baixa e média frequências. Desta forma, o conversor de mais alta frequência opera apenas com a ondulação resultante da ação dos conversores de baixa e média frequências e a reduz a níveis mais baixos do que o resultante da ação do conversor de média frequência. Para o limite de corrente, similar ao exposto para o conversor de média frequência, o valor estabelecido como limite deverá ser o somatório dos limites de todos os módulos de baixa e média frequências adicionado ao limite desejado para o conversor de alta frequência.

Os pulsos de comando de cada conversor são gerados pelas saídas dos comparadores com histerese que mantém o erro de corrente próximo a zero, desconsiderando-se a janela de histerese. Optou-se pelos comparadores com histerese em razão da simplicidade e pelas excelentes respostas obtidas em conversores similares. Esta técnica utiliza os valores máximos e mínimos de tensão de barramento de forma a levar a corrente do conversor ao valor desejado no menor tempo.

As correntes circulantes entre os conversores chaveados são mitigadas utilizando-se um deslocamento nos níveis de comutação dos comparadores com histerese. Se a referência de corrente, a saída do Controlador PI, for positiva, a histerese terá um nível de comparação positivo e outro nulo para a comutação. Se a referência de corrente for negativa, a histerese terá um nível de comparação negativo e outro nulo para a comutação. Desta forma, as correntes produzidas nos conversores apresentam nível médio com mesma polaridade do erro de corrente. Somente para níveis de corrente muito baixos há alguma corrente circulante, mas nestes casos as correntes também são baixas.

Outro aspecto observado pela proposta é a utilização de faixas de corrente para cada conversor. A utilização das diferentes tecnologias de semicondutores exige que o projeto dos controladores com histerese e da indutância do conversor meia ponte sejam dimensionados de forma a produzir comutações com baixas, médias e altas frequências. Uma característica que produz frequências diferentes nos comparadores com histerese são os diferentes níveis de comparação ou janela de histerese. Diferentes janelas de histerese produzem diferentes frequências e diferentes ondulações nas correntes dos conversores. Janelas de histerese maiores produzem maiores variações nas correntes dos conversores e janelas menores produzem menores variações nas correntes. Assim, quando a demanda de corrente de saída é baixa, conversores com variações de corrente maiores do que o nível exigido na saída irão produzir correntes circulantes entre conversores e irão contribuir para o aumento das perdas. O presente trabalho propõe que os conversores sejam utilizados apenas quando a corrente de saída supere a sua variação de corrente provocado pela histerese a fim de evitar correntes circulantes e reduzir as perdas totais. Esta proposta é realizada adicionando-se comparadores ao sinal de corrente total e a saída do comparador habilita ou não os conversores conforme o nível de corrente projetado. No diagrama em blocos esta função foi denominada de seletor de faixas, pois habilita o conversor a partir de determinada corrente.

O conjunto descrito anteriormente atende todos os requisitos listados e permite que novos conversores possam ser

adicionados com facilidade, apresentando-se como uma técnica genérica aplicada a um conversor paralelo genérico. Além disso, a estrutura descrita permite que, em caso de falha ou de sobrecarga, outros conversores assumam a demanda de corrente até o nível limitado em cada um, preservando a funcionalidade do sistema e aumentando a confiabilidade.

IV. PROJETO.

A metodologia de projeto é estabelecida considerando um conjunto com três braços meia ponte de mais baixa frequência, que assumem aproximadamente 70% da corrente total do sistema, um braço de média frequência que assume aproximadamente 22% e os outros 8% são processados pelo braço meia ponte de alta frequência. Esta divisão foi estabelecida com base na disponibilidade dos semicondutores para o protótipo e o objetivo de obter a máxima potência do conjunto com os dispositivos utilizados, sem ultrapassar os limites indicados pelos fabricantes.

Para o cálculo das frequências dos inversores, histereses e indutâncias, utilizou-se a equação conforme referência [2]:

$$L_{Conv} = \frac{V_E}{4 * f_{chav} * \Delta H_{Conv}} \quad (1)$$

Para o primeiro grupo de conversores (ou chaveado 1-x, onde x refere-se ao braço em paralelo com mesmas características), que operam com as menores frequências e maiores correntes, adotou-se f_{chav1} (frequência de chaveamento) de aproximadamente 5 kHz, histerese de aproximadamente 5% da corrente de pico e tensão de barramento 3% acima da tensão máxima de saída. Para o segundo conversor (chaveado 2) a frequência de chaveamento foi projetada para 50 kHz, a histerese foi reduzida à metade, a fim de reduzir as ondulações, e as demais características foram mantidas de acordo com os módulos de baixa frequência. No terceiro conversor (chaveado 3) a histerese foi reduzida a valores menores de modo que as perdas no amplificador linear resultem em valores menores do que 0.7% da potência de saída, resultando em uma frequência de aproximadamente 800 kHz.

Para a estimativa das perdas no amplificador linear utilizou-se a seguinte expressão:

$$P_{Linear} = \frac{V_E}{4} \cdot \Delta H_3 = 140 W \quad (2)$$

Os valores obtidos são apresentados a seguir:

Tensão de barramento:	$V_E=640 V_{cc}$
Tensão de saída:	$V_S=220 V_{ca}$
Potência de saída:	$P_S=20 kVA$
Indutâncias L_{1-x} :	$L_{1-x}=4,5 mH$
Indutância L_2 :	$L_2=914 \mu H$
Indutância L_3 :	$L_3=183 \mu H$
Histerese conversor 1_x:	$\Delta H_1=7 A$
Histerese conversor 2:	$\Delta H_2=3,5 A$
Histerese conversor 3:	$\Delta H_3=0.875 A$

Com base nos limites das correntes das chaves semicondutoras estabeleceu-se os limites:

Limitação de corrente Conv 1_x: $I_{lim1_x} = 35$ A
 Limitação de corrente Conv 2: $I_{lim2} = 25$ A
 Limitação de corrente Conv 3: $I_{lim3} = 10$ A

A partir dos valores de histerese, os valores das faixas de corrente de início de operação foram definidos:

Faixa inicial de corrente Conv 1_x: $I_{ini1_x} = 14$ A
 Faixa inicial de corrente Conv 2: $I_{ini2} = 7$ A
 Faixa inicial de corrente Conv 3: $I_{ini3} = 0$ A

Observa-se que o valor da faixa inicial do conversor 3 não concorda com o valor de histerese estabelecido para os outros conversores. A razão disso é que o conversor 3 opera em alta frequência e é o último estágio de redução de ondulação, portanto ele deve operar mesmo em correntes próximas a zero.

O valor calculado na equação 2 aproxima-se dos obtidos por simulação, cujo valor encontrado é aproximadamente 0,42% da potência de saída. Os valores de frequência de chaveamento obtidos por simulação concordam com os valores de projeto. O protótipo está em fase de construção e acredita-se na disponibilidade de dados experimentais na versão final deste trabalho.

Para o projeto do compensador PI foram utilizadas as seguintes considerações: ganho elevado no amplificador linear a fim de melhorar a qualidade do sinal de saída (estabeleceu-se uma centena ou cem neste projeto), um polo na origem a fim de produzir ganhos elevados para baixas frequências e um zero próximo a frequência de chaveamento do conversor de mais alta frequência (o conversor está operando em torno de 800kHz e o zero foi estabelecido em 1Mhz).

V. RESULTADOS DE SIMULAÇÃO.

Na figura 5 são apresentadas as curvas da tensão e corrente de saída onde salienta-se a eliminação da ondulação das mesmas. Na figura 6, as correntes dos braços inversores de frequência mais baixa são apresentadas. Já na figura 7, são as correntes dos braços inversores de média e alta frequências.

Na figura 8 é apresentada a corrente no amplificador linear que cancela a ondulação de corrente indesejada no sinal de saída, fazendo com que se possa eliminar o capacitor de filtro.

Nas figuras 9.a, 9.b, 9.c e 9.d os mesmos sinais são apresentados, mas para uma carga menor e é gerada uma falha em um dos inversores do primeiro conversor. Os sinais apresentados indicam a redistribuição das correntes e a continuidade de operação do sistema.

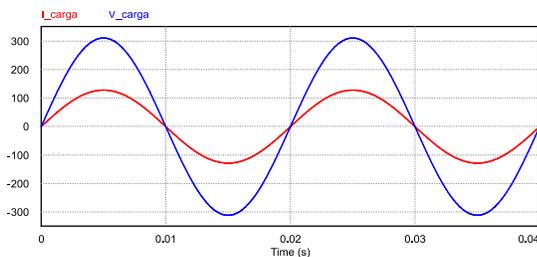


Figura 5 - Tensão e corrente de saída do conjunto para uma carga resistiva.

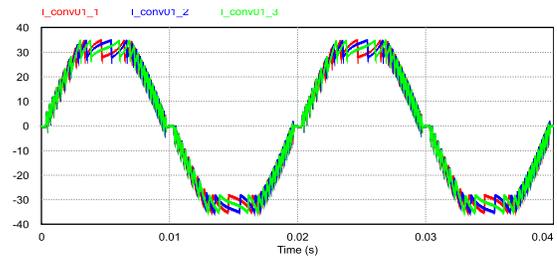


Figura 6 - Correntes de saída dos conversores 1_x que operam com frequência baixa e maior corrente.

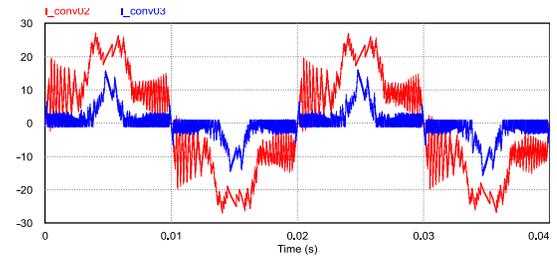


Figura 7 - Correntes de saída dos conversores 2 e 3 que operam com médias e altas frequências.

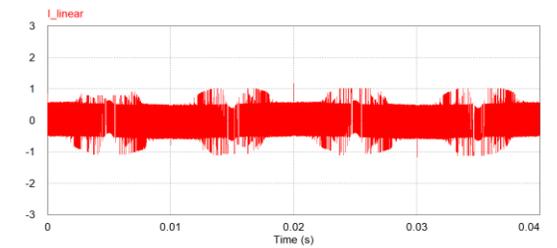


Figura 8 - Corrente de saída do amplificador linear.

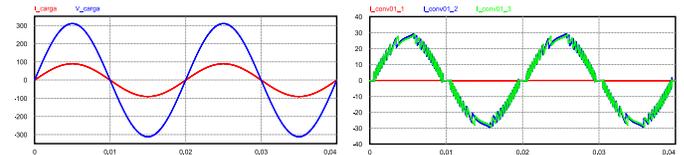


Figura 9.a

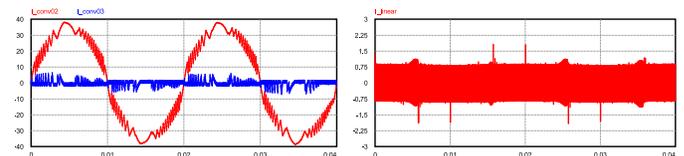


Figura 9.b

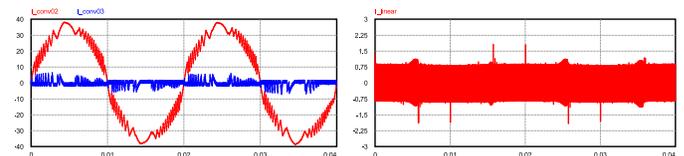


Figura 9.c

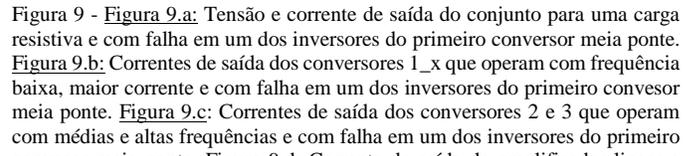


Figura 9.d

Figura 9 - **Figura 9.a:** Tensão e corrente de saída do conjunto para uma carga resistiva e com falha em um dos inversores do primeiro conversor meia ponte. **Figura 9.b:** Correntes de saída dos conversores 1_x que operam com frequência baixa, maior corrente e com falha em um dos inversores do primeiro conversor meia ponte. **Figura 9.c:** Correntes de saída dos conversores 2 e 3 que operam com médias e altas frequências e com falha em um dos inversores do primeiro conversor meia ponte. **Figura 9.d:** Corrente de saída do amplificador linear e com falha em um dos inversores do primeiro conversor meia ponte.

Nas figuras 10.a, 10.b e 10.c são apresentados a tensão e a corrente de saída para as seguintes situações de cargas: 10.a: Carga indutiva, 10.b: Carga não linear e 10.c: Degrau de carga

de 50% para 100%. Os sinais apresentados mostram a manutenção da qualidade da tensão gerada mesmo sob cargas exigentes.

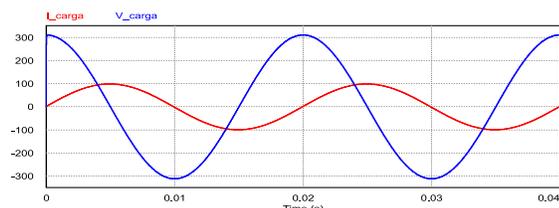


Figura 10.a

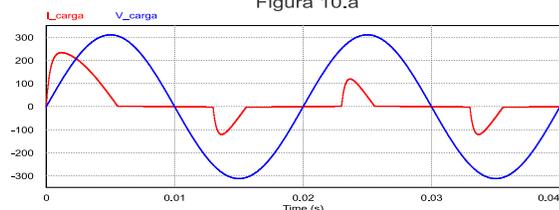


Figura 10.a

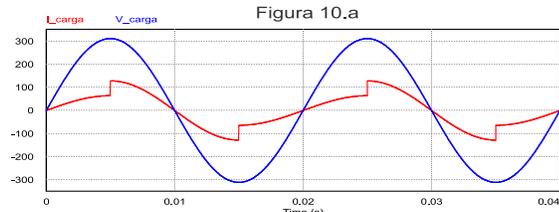


Figura 10.a

Figura 10 – Tensões e correntes para diferentes cargas.

CONCLUSÕES

Este artigo apresenta associações de diferentes tecnologias para implementar uma estrutura de inversor monofásico híbrido visando reduzir ou até mesmo eliminar as ondulações e harmônicas de saída. Na presente proposta a estrutura permite que seja suprimido o capacitor de filtro de saída, sem penalizar a eliminação das ondulações ou harmônicas. A utilização da técnica híbrida, onde o amplificador linear é associado, disponibiliza ao conjunto respostas dinâmicas rápidas e alta fidelidade nos sinais gerados.

Além destas qualidades, o sistema proposto divide nas proporções desejadas as correntes nos conversores, implementa proteções de sobrecorrente, mitiga as correntes circulantes, disponibiliza a seleção da faixa de corrente que cada grupo de conversores irá operar e minimiza as perdas no conjunto.

As simulações comprovam que os requisitos estabelecidos no presente trabalho foram atendidos. Portanto, o conjunto proposto, combinando conversores e controle, se mostra como um forte candidato a superar os desafios onde demandas de alta potência e excelente qualidade do sinal gerado são essenciais.

O incremento da vida útil e da confiabilidade do sistema é obtido através da retirada do capacitor do filtro de saída e da capacidade de operar mesmo com falha de algum dos módulos dos inversores. A eliminação do capacitor do filtro de saída, mesmo que de filme metálico, por um amplificador linear de baixa potência, apresenta custos comparáveis, porém a

melhoria da resposta dinâmica e da qualidade do sinal de saída não podem ser comparados.

Quanto a resposta ao degrau, o amplificador linear deve ser projetado para assumir a corrente de saída durante o tempo de resposta dos circuitos chaveados. O tempo de resposta dos chaveados será similar ao encontrado em circuitos que não utilizam amplificadores, mas se o amplificador assumir a corrente durante os transitórios, o conversor proposto não pode ser comparado aos conversores puramente chaveados.

Por fim, uma característica importante a ser salientada é que o amplificador linear, apesar de operar com potência em torno de 1% da potência total, é o elemento que determina a qualidade do sinal de saída e comporta-se como barramento infinito para os demais conversores. Portanto a alta qualidade e fidelidade da tensão gerada é uma característica singular desta proposta.

REFERÊNCIAS

- [1] Endres, Julian and Ackva, Ansgar; "A Parallel Three-Phase Converter System for Ripple Current Compensation and Passive Filter Reduction", 17th European Conference on Power Electronics and Applications (EPE'15 ECCE-Europe), pp 1-9, 2015.
- [2] Vidor, Dalton L. R.; Rosa, Everton; Rigo, Nataniel; Pinheiro, José Renes, "Capacitorless Voltage Source Converter With High Fidelity and Fast Transient Response", 2017 IEEE Southern Power Electronics Conference (SPEC), pages 1-6, Chile, 2017.
- [3] Vidor, Dalton L. R.; Rosa, Everton; Rigo, Nataniel; Pinheiro, José Renes, "A Switched-Linear Series Converter", 12th IEEE/IAS International Conference on Industry Applications – Induscon 2016, pages 1-6, Brazil, 2016.
- [4] García, Herminio Martínez, "Application of modified current-mode one-cycle control in a linear-assisted DC/DC regulator", 2015 IEEE 13th International Conference on Industrial Informatics (INDIN), Year: 2015, Pages: 1561 - 1566, INDIN, 2015.
- [5] Da Silva, G.S., Beltrame, R. C.; Schuch, L. and Rech, C., "Hybrid AC Power Source Based on Modular Multilevel Converter and Linear Amplifier", in IEEE Trans. Power Electron., vol. 30, no. 1, pp. 216–226, 2015.
- [6] Kunzler, Lucas M.; Lopes, Luiz A. C.; "Power Balance Technique for Cascaded H-Bridge Multilevel Cells in a Hybrid Power Amplifier with Wide Output Voltage Range", 2018 IEEE International Conference on Industrial Technology (ICIT), Canada, 2018.
- [7] W. Hu, Y. Wang, W. Yao, J. Wu, H. Zhang, and Z. Wang; "An efficient experimental method for high power direct drive wind energy conversion systems," in Proc. IEEE Power Electronics Specialists Conference (PESC), 15-19 June 2008, Rhodes, Greece, pp. 3955-3959.
- [8] I.W. Jaskulski, H. Pinheiro, and L. Mariotto, "Multi-Leg Voltage Source Converter for Grid Connected Wind Turbines," in Proc. Clean Electrical Power (ICCEP), 21-23 May 2007, Capri, Italy, pp. 229-235.
- [9] C. Rech, J.R. Pinheiro, "Impact of Hybrid Multilevel Modulation Strategy on Input and Output Harmonic Performances", in Proc. of APEC, pp. 444-450, 2005.
- [10] H. S. Patel and R. G. Hoft, "Generalized harmonic elimination and voltage control in thyristor inverters: Part I—Harmonic elimination," IEEE Trans. Ind. Applicat., vol. 9, no. 3, pp. 310–317, May/June 1973.
- [11] H. S. Patel and R. G. Hoft, "Generalized harmonic elimination and voltage control in thyristor inverters: Part II—Voltage control technique," IEEE Trans. Ind. Applicat., vol. 10, no. 5, pp. 666–673, Sep/Oct. 1974.
- [12] I. W. Jaskulski, I. J. Gabe, J.P. da Costa, M. Stefanello and H. Pinheiro, "Space Vector Modulation Extended to Voltage Source Converters With Multiple Legs in Parallel", IEEE - 2007 European Conference on Power Electronics and Application, 2-5 Sept. 2007.