

MODELAGEM E CONTROLE DE CONVERSORES ELEVADORES DE TENSÃO BASEADOS NO CONVERSOR *QZ-SOURCE*

Tiago M. K. Faistel¹, Antônio M. S. S. Andrade², Ronaldo A. Guisso¹, Éder Bridi¹, Wagner A. Ayres¹, Hélio L. Hey¹, Mário L. S. Martins¹

¹Universidade Federal de Santa Maria, Santa Maria – RS, Brasil

²Universidade Federal de Santa Maria, Cachoeira do Sul – RS, Brasil
e-mail: tiagofaistel@yahoo.com.br, antoniom.spencer@gmail.com

Resumo – Este artigo apresenta um conjunto de quatro conversores elevadores de tensão CC-CC, baseados no conversor *QZ-source* e em células de circuitos elevadores de tensão do tipo *boost* e *super-lift*. Ao associar as células elevadoras de tensão na entrada do conversor *QZ-source*, dependendo da configuração, o ganho desses pode multiplicar ou somar com o ganho de tensão do conversor *QZ-source*. Com o intuito de demonstrar a simplicidade de operação dos conversores propostos, a topologia de maior ordem, *QZ-source* com célula fator *boost* e *super-lift* é modelado e controlado. Por fim, para validar as análises teóricas, dois protótipos de 200 W foram implementados experimentalmente.

Palavras-chave – Conversores CC-CC, *QZ-source*, Técnicas de Circuitos elevadores de tensão.

I. INTRODUÇÃO

Nos últimos anos, os sistemas de energia renováveis, tais como: energia fotovoltaica (FV), células combustíveis e etc, estão se desenvolvendo rapidamente. O nível de tensão fornecido por essas fontes de energia é geralmente baixa (< 50 V). Para que esses forneçam energia a rede elétrica é necessário dois estágios de processamento de energia [1]. O primeiro estágio é constituído por um conversor CC-CC de alto ganho de tensão que regula a tensão do barramento para que seja possível conectar um inversor e fornecer energia à rede elétrica [2]–[4].

Assim, o interesse nos conversores CC-CC de alto ganho de tensão (*high step-up*) aplicados em sistemas de energias fotovoltaicas tem aumentado nos últimos anos [5]. Nesse sentido, diferentes técnicas para elevar a tensão dos conversores estão sendo explorados, tais como: indutor acoplado [6], multiplicador de tensão [7], indutores chaveados [8], capacitor chaveados [9], conversores em cascata e empilhados [10], [11], etc. Porém, ao utilizar essas técnicas, a complexidade do conversor pode aumentar e diminuir o rendimento do mesmo.

O conceito de fonte Z ou fonte de impedância foi proposto pela primeira vez por Peng [12]. Essa topologia pode ser aplicada em conversores CC-CA, CC-CC, CA-CA e CA-CC. Entre as topologias de fonte Z modificadas, o *QZ-source* é uma solução simples porém eficiente [13]. Esse tipo de conversor permite um estágio elevador de tensão (*shoot-through state*), o que não é permitido em inversores tradicionais [13], [14]. Conforme [2], os estudos sobre topologias *QZ-source* concentram-se principalmente no campo de conversores CC-

CA, enquanto a aplicação conversores CC-CC ainda é uma lacuna a preencher.

Nesse sentido, o presente trabalho propõe uma abordagem simples para associar células *boost* e *super-lift* (capacitor chaveado) na entrada do conversor *QZ-source*. Para evidenciar os benefícios desta abordagem, essas topologias são analisadas teoricamente. Para validação dos estudos teóricos, dois protótipos de 200 W são avaliados experimentalmente, tanto em malha aberta quanto em malha fechada.

Este artigo encontra-se dividido em três seções. Na Seção II, as topologias de conversores *QZ-source* com células *boost* e *super-lift* são proposto e avaliados em relação ao ganho e esforço de tensão nos semicondutores. Na Seção III, a análise em regime permanente é feita de modo a modelar e controlar as duas melhores topologias. Por fim, resultados experimentais são mostrados na Seção IV.

II. TOPOLOGIAS AVALIADAS

Conforme supracitado, muitas técnicas tem sido utilizadas para melhorar o desempenho dos conversores. Nessa seção, diferentes técnicas que fazem uso de circuitos elevadores de tensão são associadas ao conversor *QZ-source*, com o intuito de aumentar o ganho de tensão, sem que se perda a simplicidade de operação desses conversores.

A. Conversor *QZ-source* com células elevadoras de tensão

A partir das discussões feitas, o conversor *QZ-source* (QZS) é apresentado na Figura 1 com uma célula elevadora de tensão genérica na sua entrada. Como pode ser visto, os pontos "*r*, *x*, *y*, *u* e *z*" são destacados. A partir destas referências, circuitos elevadores de tensão podem ser associados. Assim, na Figura 2 é apresentado um conjunto de quatro células elevadoras de tensão. A Figura 2(a) apresenta a célula *boost* complementar (*BS*). Ao associar essa célula no conversor *QZ-source*, a parcela do ganho da célula (*BS*) é somada ao ganho do conversor *QZ-source*, o que não acontece com a célula fator *boost* (*BM*) (2(b)). A parcela do ganho referente a (*BM*) é multiplicada ao ganho do conversor *QZ-source*. Na Figura 2(c) e (d), as células (*BSLS*) (*BSLM*) são apresentadas, respectivamente. Como pode ser visto, nessas duas células é adicionado o capacitor C_1 é denominado *super-lift*, ou capacitor chaveado.

Ao associar essas células de circuitos elevadores de tensão no conversor *QZ-source*, quatro novas topologias são geradas, de acordo com a Figura 3. Nas Figuras 3(a) e (b) são apresentados os conversores *QZ-source* com célula complemento *boost* (*QZS-BS*) e com célula fator *boost* (*QZS-BM*), respectivamente. Do mesmo modo, nas Figuras 3(c) e

TABELA I
Resumo de Princípio de Operação.

	<i>QZS-BS</i>		<i>QZS-BM</i>		<i>QZS-BSLS</i>		<i>QZS-BSLM</i>	
<i>S</i>	ON	OFF	ON	OFF	ON	OFF	ON	OFF
<i>D</i> ₁	ON	OFF	ON	OFF	ON	OFF	ON	OFF
<i>D</i> ₂	—	—	ON	OFF	—	—	ON	OFF
<i>D</i> ₃	OFF	ON	OFF	ON	OFF	ON	OFF	ON
<i>D</i> ₅	ON	OFF	ON	OFF	ON	OFF	ON	OFF
<i>D</i> _o	OFF	ON	OFF	ON	OFF	ON	OFF	ON

(d) os conversores *QZ-source* com célula complemento *boost* e *super-lift* (*QZS-BSLS*) é fator *boost* e *super-lift* (*QZS-BSLM*) são ilustrado, na devida ordem. As principais características desses conversores são avaliadas a seguir.

Para análise da operação do conversor, para um período de comutação, são feitas as seguintes considerações: os conversores operam em regime permanente; a tensão de entrada é constante; os capacitores são grandes o suficiente para manter as tensões constantes (sem ondulação); todos os semicondutores possuem comportamento ideal, ou seja, sem perdas de potência.

B. Princípio de Operação

As topologias apresentadas possuem como principal característica dois estágios de operação. No primeiro estágio, o interruptor *S* é acionado (ON) e os indutores são magnetizados. No segundo estágio, o interruptor *S* é bloqueado (OFF) e os indutores são desmagnetizados. A Tabela I resume as etapas de operação de todos os conversores. A Figura 4 mostra suas formas de onda principais.

C. Ganho de Tensão

Conforme é apresentado em [2], o ganho estático do conversor *QZ-source* (M_{QZS}) é igual a (1). Com a associação destas células, o ganho obtido pode ser somado ou multiplicado com o ganho do conversor *QZ-source*

$$M_{QZS} = \frac{1}{1-2D}. \quad (1)$$

onde *D* é a razão-cíclica (*shoot-through state*).

Para o conversor *QZ-source* com célula complemento *boost*, o ganho estático (M_{QZS-BS}) é dado por (2). Como pode ser visto, a parcela do ganho dessa célula é somada ao ganho do conversor *QZ-source*.

$$M_{QZS-BS} = \frac{1}{1-D} + M_{QZS}. \quad (2)$$

Por outro lado, o ganho estático do conversor *QZ-source* com célula fator *boost* (M_{QZS-BM}) é dado por (3). Como pode ser visto a parcela do ganho dessa célula é multiplicada ao ganho do conversor *QZ-source*.

$$M_{QZS-BM} = \frac{1}{1-D} M_{QZS}. \quad (3)$$

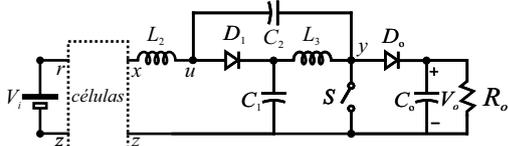


Fig. 1. Conversor *QZ-source* (*QZS*).

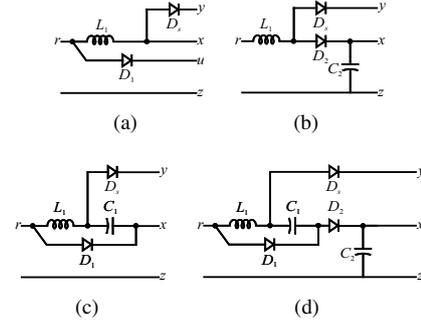


Fig. 2. Técnicas de circuitos elevadores de tensão: (a) complemento *boost* (*BS*). (b) fator *boost* (*BM*). (c) complemento *boost* e *super-lift* (*BSLS*). (d) fator *boost* e *super-lift* (*BSLM*)

Utilizando a mesma metodologia, o ganho dos conversores *QZ-source* com células complementares *boost* e *super-lift* ($M_{QZS-BSLS}$) e fator *boost* e *super-lift* ($M_{QZS-BSLM}$) são definidos de acordo com (4) e (5), respectivamente.

$$M_{QZS-BSLS} = \left(\frac{1}{1-D} + 1\right) + M_{QZS}. \quad (4)$$

$$M_{QZS-BSLM} = \left(\frac{1}{1-D} + 1\right) M_{QZS}. \quad (5)$$

A Figura (5) mostra o comportamento do ganho estático dos conversores. Como pode ser visto, para a razão-cíclica menor que 0,22 (aproximadamente), o conversor *QZ-source* com células complemento *boost* e *super-lift* apresenta maior ganho estático. Enquanto que para $D > 0,22$, o conversor *QZ-source* com células fator *boost* e *super-lift* possui maior ganho estático. Desta forma, fica evidente que dependendo da faixa de operação, um desses conversores pode ser escolhido.

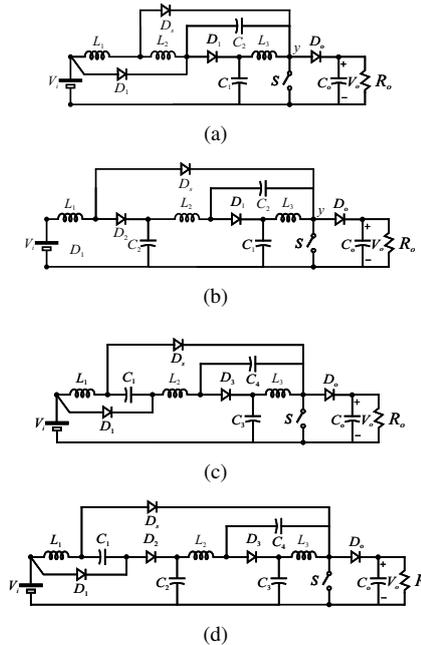


Fig. 3. Conversor *QZ-source* com: (a) complemento *boost* (*QZS-BS*). (b) fator *boost* (*QZS-BM*). (c) complemento *boost* e *super-lift* (*QZS-BSLS*). (d) fator *boost* e *super-lift* (*QZS-BSLM*)

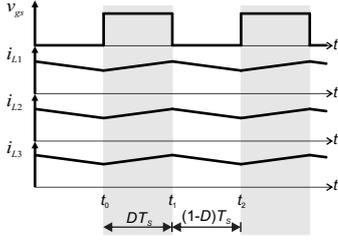


Fig. 4. Principais formas de ondas teóricas.

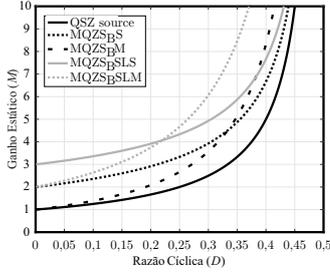


Fig. 5. Ganho Estático vs Razão-cíclica.

D. Esforço de tensão nos semicondutores

Definidos os ganhos estáticos dos conversores, os esforços de tensão no semicondutores são apresentados na Tabela II. Como pode ser visto, os esforços estão associados aos respectivos ganhos. Desta forma, pode-se dizer que para uma mesma aplicação, os conversores com maior ganho estático terão menores esforços de tensão, devido a uma menor razão-cíclica.

III. MODELAGEM E CONTROLE

Após análise sucinta das topologias propostas, o conversor *QZ-source* com células fator *boost* e *super-lift* é escolhido para que sejam realizados o controle e a modelagem. Este conversor, apresenta maior ganho estático e devido a um número maior de elementos passivos, na sua modelagem, surgem equações com maior ordem numérica. Entretanto, a metodologia apresentada nessa seção pode ser aplicada em outros conversores de menor ordem. No diodo D_1 e no capacitor C_4 foram consideradas a resistência serie equivalente (ESR), definida por r .

A. Modelagem

- **Etapa 1:** $0 < t < DT_s$

A operação do conversor durante esta etapa é de acordo com

TABELA II
Esforços de Tensão nos Semicondutores.

	QZS	QZS-BS	QZS-BM	QZS-BSLs	QZS-BSLM
D_1	—	$\frac{1}{1-D}$	$\frac{1}{1-D}$	$\frac{1}{1-D}$	$\frac{1}{1-D}$
D_2	—	$\frac{1}{1-D}$	—	$\frac{1}{1-D}$	$\frac{1}{1-D}$
D_3	M_{QZS}	$\frac{1}{1-D} + M_{QZS}$	$\frac{1}{1-D} M_{QZS}$	$\frac{2-D}{1-D} + M_{QZS}$	$\frac{2-D}{1-D} M_{QZS}$
D_s	—	$\frac{1}{1-D}$	$\frac{1}{1-D}$	$\frac{1-D}{2-D} + 1$	$\frac{1-D}{2-D} + 2$
D_o	M_{QZS}	$\frac{1}{1-D} + M_{QZS}$	$\frac{1}{1-D} M_{QZS}$	$\frac{1-D}{2-D} + M_{QZS}$	$\frac{1-D}{2-D} M_{QZS}$
S	M_{QZS}	$\frac{1}{1-D} + M_{QZS}$	$\frac{1}{1-D} M_{QZS}$	$\frac{1-D}{1-D} + M_{QZS}$	$\frac{1-D}{1-D} M_{QZS}$

a Tabela I. As equações da operação do conversor durante esta etapa são definidas pelas equações (6) a (13). O tempo de duração desta etapa é DT_s . A tensão em L_1 , L_2 e L_3 são definidas, respectivamente por

$$L_1 \frac{di_{L1}}{dt} = v_i, \quad (6)$$

$$L_2 \frac{di_{L2}}{dt} = v_{C_2} + v_{C_4} + i_{L_2} r, \quad (7)$$

$$L_3 \frac{di_{L3}}{dt} = v_{C_3}. \quad (8)$$

A corrente nos capacitores C_1 , C_2 , C_3 , C_4 e C_o é definida respectivamente por

$$C_1 \frac{dv_{C1}}{dt} = \frac{v_i - v_{C1}}{r}, \quad (9)$$

$$C_2 \frac{dv_{C2}}{dt} = -i_{L_2}, \quad (10)$$

$$C_3 \frac{dv_{C3}}{dt} = -i_{L_3}, \quad (11)$$

$$C_4 \frac{dv_{C4}}{dt} = -i_{L_2}, \quad (12)$$

$$C_o \frac{dv_{C_o}}{dt} = -\frac{v_{C_o}}{R_o}. \quad (13)$$

O vetor que representa os estados é expresso por $\mathbf{x}(t) = [i_{L_1} \ i_{L_2} \ i_{L_3} \ v_{C_1} \ v_{C_2} \ v_3 \ v_4 \ v_{C_o}]^T$, o vetor de entrada como $\mathbf{u}(t) [v_i]$, e o vetor de saída como $\mathbf{y}(t) [v_o]$. As equações (6) a (13) podem ser escritas na forma de um sistema de matrizes como (14) e (15).

$$\mathbf{K} \frac{d\mathbf{x}(t)}{dt} = \mathbf{A}_1 \mathbf{x}(t) + \mathbf{B}_1 \mathbf{u}(t) \quad (14)$$

$$\mathbf{y}(t) = \mathbf{H}_1 \mathbf{x}(t) + \mathbf{E}_1 \mathbf{u}(t) \quad (15)$$

onde

$$\mathbf{K} = \begin{bmatrix} L_1 & 0 & 0 & 0 & 0 & 0 & 0 & 0 \\ 0 & L_2 & 0 & 0 & 0 & 0 & 0 & 0 \\ 0 & 0 & L_3 & 0 & 0 & 0 & 0 & 0 \\ 0 & 0 & 0 & C_1 & 0 & 0 & 0 & 0 \\ 0 & 0 & 0 & 0 & C_2 & 0 & 0 & 0 \\ 0 & 0 & 0 & 0 & 0 & C_3 & 0 & 0 \\ 0 & 0 & 0 & 0 & 0 & 0 & C_4 & 0 \\ 0 & 0 & 0 & 0 & 0 & 0 & 0 & C_o \end{bmatrix} \quad (16)$$

$$\mathbf{A}_1 = \begin{bmatrix} 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 \\ 0 & -r & 0 & 0 & 1 & 0 & 1 & 0 \\ 0 & 0 & 0 & 0 & 0 & 1 & 0 & 0 \\ 0 & 0 & 0 & -\frac{1}{r} & 0 & 0 & 0 & 0 \\ 0 & -1 & 0 & 0 & 0 & 0 & 0 & 0 \\ 0 & 0 & -1 & 0 & 0 & 0 & 0 & 0 \\ 0 & -1 & 0 & 0 & 0 & 0 & 0 & 0 \\ 0 & 0 & 0 & 0 & 0 & 0 & 0 & -\frac{1}{R_o} \end{bmatrix} \quad (17)$$

$$\mathbf{B}_1 = [1 \ 0 \ 0 \ \frac{1}{r} \ 0 \ 0 \ 0 \ 0]^T \quad (18)$$

$$\mathbf{H}_1 = [0 \ 0 \ 0 \ 0 \ 0 \ 0 \ 0 \ 1] \quad (19)$$

$$\mathbf{E}_1 = [0] \quad (20)$$

- **Etapa 2:** $DT_s \leq t < T_s$

A operação do conversor durante esta etapa é de acordo com a Tabela I. O tempo de duração desta etapa é $(1-D)T_s$. As tensões em L_1 , L_2 e L_3 são expressas, respectivamente, por:

$$L_1 \frac{di_{L_1}}{dt} = v_i + v_{C_1} - v_{C_2} \quad (21)$$

$$L_2 \frac{di_{L_2}}{dt} = v_{C_2} - v_{C_3} \quad (22)$$

$$L_3 \frac{di_{L_3}}{dt} = v_{C_3} - v_{C_o} \quad (23)$$

A corrente nos capacitores C_1 , C_2 , C_3 , C_4 e C_o , é dada respectivamente por,

$$C_1 \frac{dv_{C_1}}{dt} = i_{L_1} \quad (24)$$

$$C_2 \frac{dv_{C_2}}{dt} = i_{L_1} - i_{L_2} \quad (25)$$

$$C_3 \frac{dv_{C_3}}{dt} = i_{L_2} + \frac{-v_{C_4} + v_{C_o} - v_{C_3}}{r} - i_{L_3} \quad (26)$$

$$C_4 \frac{dv_{C_4}}{dt} = \frac{-v_{C_4} + v_{C_o} - v_{C_3}}{r} \quad (27)$$

$$C_o \frac{dv_{C_o}}{dt} = i_{L_3} - \frac{-v_{C_4} + v_{C_o} - v_{C_3}}{r} - \frac{v_{C_o}}{R_o} \quad (28)$$

As equações (21) a (28) podem ser escritas na forma de um sistema de matrizes, como definido pelas equações (29) e (30).

$$\mathbf{K} \frac{d\mathbf{x}(t)}{dt} = \mathbf{A}_2 \mathbf{x}(t) + \mathbf{B}_2 \mathbf{u}(t) \quad (29)$$

$$\mathbf{y}(t) = \mathbf{H}_2 \mathbf{x}(t) + \mathbf{E}_2 \mathbf{u}(t) \quad (30)$$

$$\mathbf{A}_2 = \begin{bmatrix} 0 & 0 & 0 & 1 & -1 & 0 & 0 & 0 & 0 \\ 0 & 0 & 0 & 0 & 1 & -1 & 0 & 0 & 0 \\ 0 & 0 & 0 & 0 & 0 & 1 & 0 & 0 & -1 \\ -1 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 \\ 1 & -1 & 0 & 0 & 0 & 0 & 0 & 0 & 0 \\ 0 & 1 & -1 & 0 & 0 & a & a & -a & 0 \\ 0 & 0 & 0 & 0 & 0 & a & a & -a & 0 \\ 0 & 0 & 1 & 0 & 0 & -a & -a & b & 0 \end{bmatrix} \quad (31)$$

onde, $a = -1/r$ e $b = -1/R_o - 1/r$.

$$\mathbf{B}_2 = [1 \ 0 \ 0 \ 0 \ 0 \ 0 \ 0 \ 0 \ 0]^T \quad (32)$$

$$\mathbf{H}_2 = [0 \ 0 \ 0 \ 0 \ 0 \ 0 \ 0 \ 0 \ 1] \quad (33)$$

$$\mathbf{E}_2 = [0] \quad (34)$$

Equações de equilíbrio CC O vetor que representa os estado de equilíbrio é dado por $\mathbf{x} = [I_{L_1} \ I_{L_2} \ I_{L_3} \ V_{C_1} \ V_{C_2} \ V_3 \ V_4 \ V_{C_o}]^T$, e o vetor de equilíbrio de saída por $\mathbf{Y} = [v_o]$. O sistema de matrizes é construído através da equação (35). O vetor de entrada é expresso por $\mathbf{U} = [v_i]$, sendo que I_{L_1} , I_{L_2} , I_{L_3} , V_{C_1} , V_{C_2} , V_{C_3} , V_{C_4} e V_{C_o} , são os valores em regime permanente, ou seja, são os valores médios das variáveis i_{L_1} , i_{L_2} , i_{L_3} , v_{C_1} , v_{C_2} , v_{C_3} , v_4 e v_{C_o} .

$$\begin{aligned} \mathbf{X} &= -\mathbf{A}^{-1} \mathbf{B} \mathbf{U} \\ \mathbf{Y} &= (-\mathbf{H} \mathbf{A}^{-1} \mathbf{B} + \mathbf{E}) \mathbf{U} \end{aligned} \quad (35)$$

onde

$$\begin{aligned} \mathbf{A} &= \mathbf{A}_1 D + \mathbf{A}_2 (1-D) \\ \mathbf{B} &= \mathbf{B}_1 D + \mathbf{B}_2 (1-D) \\ \mathbf{H} &= \mathbf{H}_1 D + \mathbf{H}_2 (1-D) \\ \mathbf{E} &= \mathbf{E}_1 D + \mathbf{E}_2 (1-D) \end{aligned} \quad (36)$$

TABELA III
Parâmetros dos Conversores

Parâmetros	Valor
Diodos - D_1, D_2, D_3 e D_4	MBR20200CT (200 V)
MOSFET	IRFP4668PbF (200 V)
Capacitores - $C_1; C_2; C_3; C_4; C_o$	18; 30; 6,6; 18; 3,3 μ F
Indutores - $L_1; L_2; L_3$	104; 416; 220 μ H
Frequência de Chaveamento - f_s	50 kHz
Razão-cíclica QZS -BSLM - D	0,255
Razão-cíclica QZS -BSLS - D	0,290

B. Modelo CA de pequenos sinais

As equações de estado do modelo linear CA de pequenos sinais são definidas pela equação (37) a (38), onde $\hat{\mathbf{u}}_p = [\hat{\mathbf{u}} \ \hat{d}]^T$, onde $\hat{\mathbf{u}}(t)$ e $\hat{d}(t)$ são perturbações de pequenos sinais no vetor de entrada e na razão cíclica. Onde $\hat{\mathbf{x}}(t)$ e $\hat{\mathbf{y}}(t)$ são perturbações resultantes nos vetores de estado e saída.

Para obter o modelo linear, deve-se assumir que os sinais perturbados são muito menores que seus valores em regime permanente.

$$\frac{d\hat{\mathbf{x}}(t)}{dt} = \mathbf{A}_p \hat{\mathbf{x}}(t) + \mathbf{B}_p \hat{\mathbf{u}}_p(t) \quad (37)$$

$$\hat{\mathbf{y}}(t) = \mathbf{H}_p \hat{\mathbf{x}}(t) + \mathbf{E}_p \hat{\mathbf{u}}_p(t) \quad (38)$$

onde

$$\begin{aligned} \mathbf{A}_p &= \mathbf{K}^{-1} \mathbf{A} \\ \mathbf{B}_p &= \mathbf{K}^{-1} [\mathbf{B} \ (\mathbf{A}_1 - \mathbf{A}_1) \mathbf{X} + (\mathbf{B}_1 - \mathbf{B}_2) \mathbf{U}] \\ \mathbf{H}_p &= \mathbf{H} \\ \mathbf{E}_p &= [\mathbf{E} \ (\mathbf{H}_1 - \mathbf{H}_2) \mathbf{X} + (\mathbf{E}_1 - \mathbf{E}_2) \mathbf{U}] \end{aligned} \quad (39)$$

As funções de transferências podem ser encontradas aplicando a Transformada de Laplace nas Equações (37) e (38), resultando na equação (40).

$$\hat{\mathbf{y}}(s) = \mathbf{H}_p (s\mathbf{I}_{8,8} - \mathbf{A}_p)^{-1} \mathbf{B}_p \hat{\mathbf{u}}_p(s) \quad (40)$$

A partir das equações da modelagem e dos parâmetros definidos na Tabela III, pode se obter a função de transferência (41) que relaciona a saída pela razão cíclica.

$$G_{v_o, d} = \frac{A(s)}{B(s)} \quad (41)$$

onde $A(s) = a_7 s^7 + \dots + a_1 s + a_0$, $B(s) = s^8 + b_7 s^7 + \dots + b_1 s + b_0$, e

$$\begin{aligned} a_0 &= 4,09 \times 10^{37} & a_1 &= 3,06 \times 10^{33} & a_2 &= 2,98 \times 10^{25} \\ a_3 &= 1,28 \times 10^{25} & a_4 &= 3,12 \times 10^{20} & a_5 &= 9,84 \times 10^{15} \\ a_6 &= -2,74 \times 10^{11} & a_7 &= -4,62 \times 10^5 \\ b_0 &= 5,08 \times 10^{34} & b_1 &= 9,92 \times 10^{30} & b_2 &= 2,17 \times 10^{27} \\ b_3 &= 1,90 \times 10^{23} & b_4 &= 1,49 \times 10^{19} & b_5 &= 7,59 \times 10^{14} \\ b_6 &= 2,49 \times 10^{10} & b_7 &= 7,86 \times 10^5 \end{aligned}$$

A validação do modelo é realizada comparando o comportamento do modelo linear, com o conversor simulado, quando ambos são submetidos às mesmas condições de entrada. Aplicando na planta obtida pela modelagem, um degrau de 5% na tensão de entrada, $\hat{v}_i = 1,87$ V, que resulta em $v_i = 37,4 + 1,87 = 39,27$, no tempo de 0,03 segundos, onde é apresentado na Figura 6. De maneira análoga, um degrau de $\hat{v}_i = -1,87$ V resultando em $v_i = 37,4 + 1,87 = 37,4$ é aplicado em 0,04 s, fazendo com que o modelo retorne ao valor inicial.

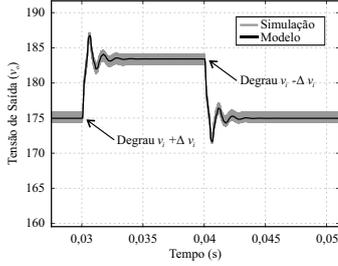


Fig. 6. Validação do modelo através de degrau na tensão de entrada.

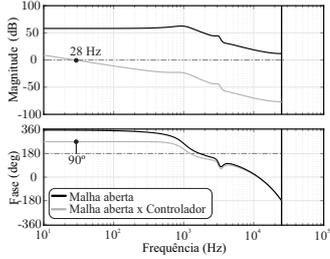


Fig. 7. Diagrama de Bode.

C. Projeto do controlador

Para projetar o controlador discreto, deve-se obter o modelo discreto da planta no plano z , considerando o efeito do *ZOH*. A partir do modelo no plano z multiplica-se a planta discretizada por z^{-1} , fazendo isso é inserido a dinâmica do atraso de uma amostra, que ocorre na atualização da lei de controle, o controlador é apresentado na equação (42).

$$C_{v_o}(z) = \frac{3,887 \times 10^{-5}z - 3,45 \times 10^{-5}}{z - 1} \quad (42)$$

Onde a frequência de corte é 28 Hz, a margem de fase 90° , conforme pode ser visto na Figura 7.

IV. RESULTADOS EXPERIMENTAIS

Com o intuito de validar as análises teóricas, dois protótipos de 200 W foram avaliados experimentalmente. Os conversores montados são: conversor *QZ-source* com célula complemento *boost* e *super-lift* (*QZS-BLSL*) e conversor *QZ-source* com célula fator *boost* e *super-lift* (*QZS-BSLM*). Os parâmetros dos conversores são apresentados na Tabela III. Para implementar os conversores, uma fonte da Agilent E4360A, carga eletrônica RBL488 e o DSP TMS320F28335.

Para validar o ganho de tensão dos conversores, na Figura 8(a) são apresentadas as formas de onda da tensão aplicada no *gate* dos *Mosfet* (v_{gs}), o painel escolhido é o CS5A-200, tensão de entrada ($v_i = 37,4$ V), tensão de saída ($v_o = 175$ V) bem como a tensão no capacitor C1 ($v_{C1} = 37,4$ V) referentes ao conversor *QZS-BSLM*. A Figura 8(b) apresenta formas de onda da tensão aplicada no *gate* do interruptor (v_{gs}), de tensão de entrada ($v_i = 37,4$ V), a tensão de saída ($v_o = 175$ V), referentes ao conversor *QZS-BLSL*.

Na Figura 9 são apresentadas as formas de onda referentes ao esforço de tensão nos interruptores v_S e nos diodos v_{D1} e v_{D2} dos conversores *QZS-BSLM* e *QZS-BLSL*. Como pode ser visto, o esforço máximo desses componentes é igual a tensão de saída, o que está de acordo com a Tabela II.

Na Figura 10(a) são apresentadas as formas de onda da tensão aplicada no *gate* do interruptor S (v_{gs}), tensão nos

diodos D_1 , D_2 e D_3 , (v_{D1}), (v_{D2}) e (v_{D3}) respectivamente, referentes ao conversor *QZS-BSLM*. A Figura 10(b) apresentadas as formas de onda da tensão aplicada no *gate* do interruptor S (v_{gs}), tensão nos diodos D_1 e D_3 , (v_{D1}) e (v_{D3}), respectivamente, referentes ao conversor *QZS-BLSL*.

Em relação aos magnéticos dos conversores, as formas de onda de suas correntes estão dadas na Figura 11. Na Figura 11(a) são apresentadas as formas de onda da tensão aplicada no *gate* do interruptor S (v_{gs}), e corrente nos indutores L_1 , L_2 e L_3 , (i_{L1}), (i_{L2}) e (i_{L3}), respectivamente, referentes ao conversor *QZS-BSLM*. A Figura 11(b) apresentadas as formas de onda da tensão aplicada no *gate* do interruptor S (v_{gs}), e a corrente nos indutores L_1 , L_2 e L_3 , (i_{L1}), (i_{L2}) e (i_{L3}), na devida ordem, referentes ao conversor *QZS-BLSL*.

Para validar a modelagem e controle dos conversores *QZS-BSLM* e *QZS-BLSL*, foi gerado um distúrbio (*step*) na carga desses conversores de 100 % para 50 %. O resultado desse é ilustrado na Figura 12. Na Figura 12(a) são apresentadas as formas de onda da tensão de saída v_o e da corrente de saída i_o do conversor *QZS-BSLM*. Como pode ser visto, antes e depois do distúrbio o conversor regula a tensão de saída em 175 V, que é o valor desejado. Em relação ao conversor *QZS-BLSL*, as formas de onda da tensão de saída v_o e da corrente de saída i_o são ilustradas na Figura 12(b). Assim como o outro conversor, antes e depois do distúrbio o conversor regula a tensão de saída em 175 V. Durante o período transitório, ambos os conversores apresentam respostas dinâmicas similares, com tempo de acomodação da ordem de 10 ms e sobressinal de cerca de 20 %. Por fim, a Figura 13 apresenta os resultados

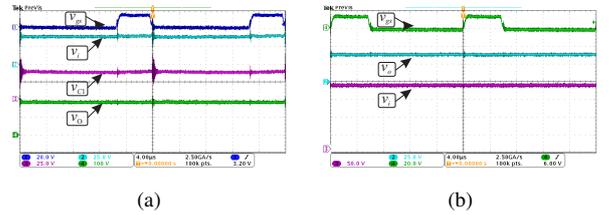


Fig. 8. Resultados experimentais: v_{gs} , v_i , v_o e v_{C1} . (a) Conversor *QZS-BSLM*. (b) Conversor *QZS-BLSL*.

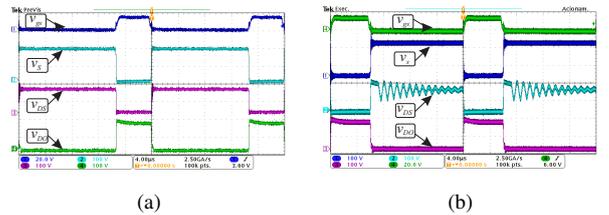


Fig. 9. Resultados experimentais: (v_{gs}), (v_S), (v_{D1}) e (v_{D2}). (a) Conversor *QZS-BSLM*. (b) Conversor *QZS-BLSL*.

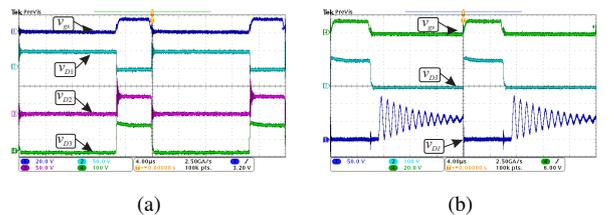


Fig. 10. Resultados experimentais: (v_{gs}), (v_{D1}); (v_{D2}) e (v_{D3}). (a) Conversor *QZS-BSLM*. (b) Conversor *QZS-BLSL*.

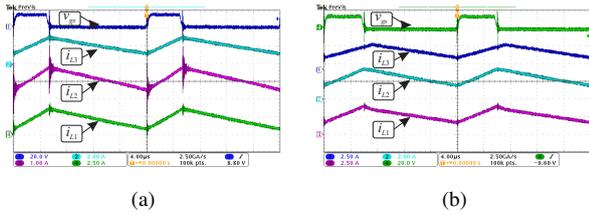


Fig. 11. Resultados experimentais: (v_{gs}), (i_{L1}); (i_{L2}) e (i_{L2}). (a) Conversor *QZS-BSLM*. (b) Conversor *QZS-BLSL*.

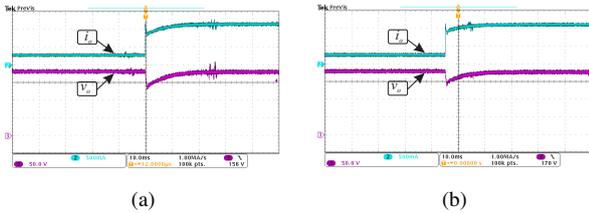


Fig. 12. Resultados experimentais em malha fechada. (a) Conversor *QZS-BSLM*. (b) Conversor *QZS-BLSL*.

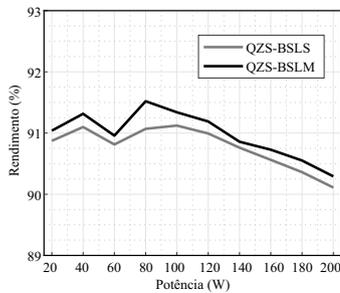


Fig. 13. Rendimento dos conversores *QZS-BSLM* e *QZS-BSL*.

do rendimento dos conversores *QZS-BSLM* e *QZS-BLSL*. Em toda faixa da potência de entrada (P_i), o conversor *QZS-BSLM* apresenta maior rendimento. De certo modo pode-se dizer esse fato acontece porque o conversor *QZS-BSLM* possui maior ganho estático, consequentemente opera com menor razão-cíclica (D) e possui menores esforços nos componentes.

V. CONCLUSÕES

Este artigo apresentou quatro novos conversores elevadores de tensão CC-CC, baseados no conversor *QZ-source* e células de circuitos elevadores de tensão. Ao associar as células no conversor *QZ-source*, foi realizada a análise do o ganho desses conversores, onde dependendo da configuração pode ser multiplicado ou somado ao ganho do conversor *QZ-source*. O conversor *QZ-source* com célula fator *boost* e *super-lift* (*QZS-BSLM*), foi modelado e controlado, onde foi demonstrado a simplicidade e viabilidade da proposta. Para validar as análises teóricas, dois protótipos de 200 W foram implementados experimentalmente. O que demonstrou que o conversor *QZ-source* com célula fator *boost* e *super-lift* (*QZS-BSLM*) apresenta melhor desempenho dentre os conversores estudados.

AGRADECIMENTOS

O presente trabalho foi realizado com apoio da Coordenação de Aperfeiçoamento de Pessoal de Nível Superior - Brasil (CAPES/PROEX) - Código de

Financiamento 001 e do Instituto Nacional de Ciência e Tecnologia em Geração Distribuída (INCT-GD) - CNPq processo no. 465640/2014-1, CAPES 23038.000776/2017-54 e FAPERGS 17/2551-0000517-1.

REFERÊNCIAS

- [1] Q. Li and P. Wolfs, "A review of the single phase photovoltaic module integrated converter topologies with three different dc link configurations," *IEEE Transactions on Power Electronics*, vol. 23, pp. 1320–1333, May 2008.
- [2] H. Shen, B. Zhang, and D. Qiu, "Hybrid z-source boost dc-dc converters," *IEEE Transactions on Industrial Electronics*, vol. 64, pp. 310–319, Jan 2017.
- [3] V. T. Odagui, R. T. H. Júnior, and A. L. Batschauer, "Cálculo dos esforços de corrente nos semicondutores do inversor fonte z," *Eletrônica de Potência - SOBRAEP*, vol. 21, pp. 224–233, Setembro 2016.
- [4] F. L. Tofoli, D. d. C. Pereira, W. J. de Paula, and D. d. S. Oliveira Júnior, "Survey on non-isolated high-voltage step-up dc-dc topologies based on the boost converter," *IET Power Electronics*, vol. 8, no. 10, pp. 2044–2057, 2015.
- [5] M. Forouzes, Y. P. Siwakoti, S. A. Gorji, F. Blaabjerg, and B. Lehman, "Step-up dc-dc converters: A comprehensive review of voltage-boosting techniques, topologies, and applications," *IEEE Transactions on Power Electronics*, vol. 32, pp. 9143–9178, Dec 2017.
- [6] Q. Zhao, F. Tao, and F. C. Lee, "A front-end dc/dc converter for network server applications," in *2001 IEEE 32nd Annual Power Electronics Specialists Conference (IEEE Cat. No.01CH37230)*, vol. 3, pp. 1535–1539 vol. 3, 2001.
- [7] A. M. S. S. Andrade, E. Mattos, L. Schuch, H. L. Hey, and M. L. da Silva Martins, "Synthesis and comparative analysis of very high step-up dc-dc converters adopting coupled-inductor and voltage multiplier cells," *IEEE Transactions on Power Electronics*, vol. 33, pp. 5880–5897, July 2018.
- [8] M. A. Salvador, T. P. Horn, T. B. Lazzarin, and R. F. Coelho, "Conversor cc-cc de alto ganho obtido pela combinação entre redes de indutor e de capacitor chaveados," *Eletrônica de Potência - SOBRAEP*, vol. 23, pp. 161–170, abr./jun 2018.
- [9] B. Axelrod, Y. Berkovich, and A. Ioinovici, "Switched-capacitor/switched-inductor structures for getting transformerless hybrid dc-dc pwm converters," *IEEE Transactions on Circuits and Systems I: Regular Papers*, vol. 55, pp. 687–696, March 2008.
- [10] A. M. S. S. Andrade and M. L. d. S. Martins, "Quadratic-boost with stacked zeta converter for high voltage gain applications," *IEEE Journal of Emerging and Selected Topics in Power Electronics*, vol. 5, pp. 1787–1796, Dec 2017.
- [11] A. M. S. S. Andrade, H. L. Hey, L. Schuch, and M. L. da Silva Martins, "Comparative evaluation of single switch high-voltage step-up topologies based on boost and zeta pwm cells," *IEEE Transactions on Industrial Electronics*, vol. 65, pp. 2322–2334, March 2018.
- [12] F. Z. Peng, "Z-source inverter," *IEEE Transactions on Industry Applications*, vol. 39, pp. 504–510, Mar 2003.
- [13] J. Anderson and F. Z. Peng, "Four quasi-z-source inverters," in *2008 IEEE Power Electronics Specialists Conference*, pp. 2743–2749, June 2008.
- [14] N. Vázquez, E. Baeza, A. Perea, C. Hernández, E. Vázquez, and H. López, "Z and qz source inverters as electronic ballast," *IEEE Transactions on Power Electronics*, vol. 31, pp. 7651–7660, Nov 2016.