

Influência dos parâmetros do conversor em diferentes tecnologias de transistores de potência

Edemar de Oliveira Prado
Grupo de Eletrônica de Potência e Controle (GEPOC)
Universidade Federal de Santa Maria (UFSM)
Santa Maria, Brasil
eo.prado@hotmail.com

Pedro Cerutti Bolsi
Grupo de Eletrônica de Potência e Controle (GEPOC)
Universidade Federal de Santa Maria (UFSM)
Santa Maria, Brasil
pbolsi@hotmail.com

Hamiltom Confortin Sartori
Grupo de Eletrônica de Potência e Controle (GEPOC)
Universidade Federal de Santa Maria (UFSM)
Santa Maria, Brasil
hamiltomsar@gmail.com

José Renes Pinheiro
Grupo de Eletrônica de Potência e Controle (GEPOC)
Universidade Federal de Santa Maria (UFSM)
Santa Maria, Brasil
jrenespinheiro@gmail.com

Resumo— Este artigo apresenta uma metodologia para seleção de transistores de potência para aplicações em conversores estáticos, avaliando perdas e comparando diferentes tecnologias. Esta análise baseia-se nos modelos térmicos e elétricos dos IGBTs e MOSFETs de Silício (Si), Carboneto de Silício (SiC) e Nitreto de Gálio (GaN) para determinar suas perdas, onde é avaliado o comportamento de cada tecnologia em diferentes faixas de frequência, níveis de potência e diferentes tempos de condução (*duty cycles*). Para isto foi desenvolvido um algoritmo capaz de calcular perdas por condução e comutação nos dispositivos, por meio de um processo de varredura de frequência, considerando diferentes níveis de potência e tempos de condução. Os resultados mostram as faixas de frequência, níveis de corrente e tempos de condução em que cada tecnologia apresentou melhor desempenho (menores perdas), indicando a tecnologia mais apropriada a ser utilizada em cada aplicação específica.

Palavras-chave— Transistores de potência, perdas, potência, frequência, conversores.

I. INTRODUÇÃO

Nos últimos anos um assunto bastante abordado por engenheiros e projetistas é o aumento da densidade volumétrica de potência em conversores estáticos [1] – [4]. Para isto, a operação em maiores frequências pode ser uma solução no que diz respeito à redução da área dos componentes magnéticos (em muitos casos, aparecem como o maior componente do circuito), entretanto, este aumento da frequência acaba resultando em maiores perdas no transistor de potência, podendo reduzir a eficiência total do sistema [5] e [6].

Estudos elaborados por [7] e [8], mostram que desde as primeiras fontes chaveadas, diferentes tecnologias de transistores foram utilizadas como elemento de chaveamento, como é o caso do transistor bipolar de junção, tiristores, entre outros. Porém com a demanda por maiores níveis de corrente e por maiores frequências de comutação, estes dispositivos passaram a ser gradualmente substituídos por IGBTs e MOSFETs.

Embora os MOSFETs apresentassem melhor rendimento em alta frequência do que outras chaves comutadoras, em meados da década 90 eram comumente utilizados em aplicações de menores potências e em tensões de bloqueio de até 200 V, por apresentarem

comportamento resistivo do canal quando em condução e de suportarem menores tensões de bloqueio. Já os IGBTs aumentavam seu espaço no mercado da eletrônica de potência, sendo utilizados em operações de maiores potências e tensões de bloqueio de até 3 kV [9] e [10].

Nesse sentido, a indústria passou a desenvolver MOSFETs com diferentes estruturas e tecnologias de semicondutores para as mais diversas aplicações e faixas de operação [11] e [12]. Hoje em dia, o desenvolvimento de tecnologias a base de semicondutores de *wide bandgap*, como é o caso do Carboneto de Silício (SiC), e mais recentemente o Nitreto de Gálio (GaN), tornam possível que a operação em alta frequência, maiores potências e em maiores tensões de bloqueio ocorram de forma eficiente [8] e [11] - [13]. Para dispositivos a base de Silício, a saída encontrada foi a modificação na estrutura do dispositivo. Criada pela fabricante Infineon®, essa geração de dispositivos de superjunção CoolMOS, apresenta redução significativa na resistência de condução, tempos de comutação menores e aumento na capacidade de bloqueio de tensão [11] e [14].

A utilização da tecnologia SiC em dispositivos semicondutores, está diretamente associada a características físico-químicas do material, como a alta condutividade térmica, elevado campo elétrico de ruptura e a ampla banda proibida, o que torna sua utilização atrativa para situações onde há necessidade de operação em altas temperaturas, frequências e potências, aliados a elevadas tensões de bloqueio [12] e [15]. Os semicondutores do tipo GaN possuem campo elétrico de ruptura e banda proibida similares aos dispositivos SiC, mas apresentam maior mobilidade dos portadores e menor condutividade térmica [15]. A influência dos portadores reduz os tempos de comutação e a capacitância de saída. Neste contexto, a tecnologia GaN apresenta uma certa vantagem em operações de alta frequência, já sua menor condutividade térmica traz desvantagens em situações onde há a necessidade de operação em altas potências, pois a temperatura de junção é diretamente proporcional a potência dissipada pelo dispositivo [11], [12], [16] e [17].

Com advento destas tecnologias de MOSFETs, a faixa de aplicações até então ocupada pelos IGBTs passa a também ser ocupada pelos transistores de efeito de campo, trazendo o desafio de definir qual tecnologia apresenta melhores resultados (menores

perdas) para uma dada aplicação. Neste sentido, este artigo apresenta uma análise comparativa entre as tecnologias de transistores de potência supracitados, onde são avaliadas diferentes faixas de potência e frequências de operação.

O objetivo deste estudo é definir as faixas de frequência e níveis de potência onde cada tecnologia de transistor apresenta menores perdas em comparação direta, apontando claramente qual tecnologia apresenta melhor desempenho para uma aplicação específica. Para tanto, uma análise computacional para o estudo de caso de um conversor *Boost* CC-CC foi desenvolvida, onde as perdas em estado de condução e as perdas de comutação associadas a IGBTs e MOSFETs (Si, Superjunção, SiC e GaN) são avaliadas para potências de 500 W, 1500 W e 4500 W (diferentes níveis de corrente) e frequências de até 500 kHz para diferentes ganhos (afetam diretamente nas perdas por condução do dispositivo).

Para a análise comparativa, o conversor foi considerado operando em modo de condução contínua (MCC), com *ripple* de corrente de 20% (pico a pico). Maiores *ripples* de corrente resultam em maiores correntes RMS, podendo resultar em maiores perdas em condução no transistor, deste modo as condições de simulação também foram avaliadas para um *ripple* de 40 % (pico a pico). Considerando que a potência e os tempos de condução são fixos em cada simulação, a indutância varia de acordo com a frequência de chaveamento, de modo a manter o *ripple* de corrente constante [6]. Nesta análise o dissipador de calor foi projetado para manter a temperatura de junção em 100°C (outros valores podem ser utilizados).

Este artigo é organizado da seguinte forma: A Seção II descreve a metodologia de cálculo de perdas em MOSFETs e IGBTs. A Seção III mostra os critérios de seleção utilizados para elaborar o banco de dados. Seção IV apresenta a metodologia proposta para seleção e a Seção V mostra os resultados e as faixas de operação em que cada tecnologia apresentou melhor desempenho.

II. CÁLCULO DE PERDAS

Transistores de efeito de campo e de porta isolada tem o contato de *gate* isolado do material semiconductor por meio de uma interface de dióxido de silício (SiO₂), fazendo com que estes dispositivos apresentem alta impedância de entrada. Como este contato é isolado do restante do dispositivo, não há fluxo de corrente no *gate*, sendo assim, as perdas são dadas particularmente por condução e comutação. Estas perdas podem ser definidas com base em informações retiradas das folhas de dados do dispositivo (*datasheet*) [7] e [11].

A. Perdas por condução

Os MOSFETs têm comportamento resistivo quando em condução, assim, a potência dissipada no dispositivo pode atingir níveis elevados, resultando em perdas significativas quando em condução [11]. Estas perdas podem ser obtidas por meio de

$$P_{COND_MOS} = DR_{DS} I_{RMS}^2, \quad (1)$$

onde D é a razão cíclica do conversor, R_{DS} é a resistência *drain-to-source* em estado ligado e I_{RMS} é a corrente RMS no transistor. O comportamento da resistência em função da temperatura de junção

é definido através da regressão da curva *drain-to-source* (a curva R_{DS} é disponibilizada pelo fabricante na folha de dados do dispositivo) [7] e [12].

Como os BJTs e os IGBTs apresentam comportamento similar ao do diodo, as perdas por condução nestes dispositivos são calculadas pela queda de tensão em função da corrente, obtidos nas das curvas $V_{CE} \times I_{CE}$ presentes na folha de dados do dispositivo [1], [10] e [12], assim

$$P_{COND_IGBT} = DV_{CE} I_{RMS}, \quad (2)$$

onde V_{CE} é a queda de tensão em função da corrente e da temperatura de junção no transistor.

A razão cíclica corresponde ao tempo de condução do transistor e pode ser obtido por

$$D = 1 - \frac{V_L}{V_O}, \quad (3)$$

onde V_L e V_O são as tensões de entrada e saída do conversor respectivamente. A corrente RMS no conversor *Boost* é obtida pela seguinte relação

$$I_{RMS} = \sqrt{\frac{1}{T} \int_0^T I_L(t)^2 dt}, \quad (4)$$

onde I_L é a corrente no indutor.

B. Perdas por comutação

As perdas na entrada em condução (*turn-on*) são compostas pela sobreposição de tensão e corrente (*overlap*) somadas as perdas capacitivas. Por outro lado, as perdas na saída de condução (*turn-off*) são compostas somente pela sobreposição de tensão e corrente. Os tempos em que ocorrem estas sobreposições são proporcionais a cargas e descargas de capacitâncias parasitas no dispositivo semiconductor, e são determinantes para o cálculo das perdas. Sendo assim, por meio dos tempos de subida (t_r) e de queda (t_f) fornecidos pelo fabricante, que são os tempos em que ocorrem as sobreposições de tensão e corrente no dispositivo, as perdas podem ser calculadas de forma simplificada em cada transição. Para a entrada em condução as perdas são obtidas de acordo com (5), e na saída por meio de (6) [18]

$$P_{ON} = \frac{1}{2} I_{DEV} V_O t_R f_s + \frac{1}{2} C_{OSS} V_O^2 f_s, \quad (5)$$

$$P_{OFF} = \frac{1}{2} I_{DEV} V_O t_f f_s, \quad (6)$$

onde I_{DEV} é a corrente de comutação instantânea no transistor e C_{OSS} é a capacitância de saída do transistor (C_{OES} para os IGBTs), estes dados são disponibilizados na folha de dados do dispositivo. A principal diferença na determinação das perdas por comutação entre

MOSFETs e IGBTs está na saída de condução do IGBT, que apresenta uma corrente de cauda devido à recombinação dos portadores minoritários na junção PN (similar ao diodo), esta corrente de cauda implica no aumento do *fall time* da corrente [9] - [11].

C. Perdas totais

Para determinar as perdas totais em cada transistor, é necessário estimar a parcela de perdas por condução e por comutação, assim, a potência total dissipada é representada por (7). As perdas por recuperação reversa no diodo podem influenciar nas perdas totais no transistor. Como esta análise pode ser aplicada em diferentes situações (diferentes topologias) as perdas por recuperação reversa não são avaliadas

$$P_{TOTAL_LOSSES} = P_{COND} + P_{ON} + P_{OFF} \quad (7)$$

III. SELEÇÃO DOS TRANSISTORES

A seleção dos transistores inclui as tecnologias até então apresentadas: IGBTs, e MOSFETs (Si, SiC, Superjunção e GaN), considerando os mesmos valores de potência, tensão de bloqueio e corrente no transistor para a temperatura de junção de 100°C. Devido à grande variedade de dispositivos presentes no mercado, a resistência *drain-to-source* (para os MOSFETs), as curvas $I_D \times V_{CE}$ (para os IGBTs), capacitância de saída e tempos de *overlap* foram utilizados como critério de seleção, por influenciarem diretamente nas perdas por condução e comutação respectivamente.

Obedecendo estes critérios um vasto banco de dados foi elaborado para correntes de até 60 A com temperatura de junção de 100°C e tensões de bloqueio na faixa de 200 V a 1200 V. Vale ressaltar, que o algoritmo proposto pode realizar a varredura de perdas para diferentes temperaturas de junção, desde que não exceda os limites estabelecidos na folha de dados.

A fim de exemplificar, a Tabela I mostra algumas características importantes de cada tecnologia (estes dispositivos são alguns dos que compõem o banco de dados). A resistência em estado de condução e a capacidade de corrente para a temperatura de junção especificada foram obtidas por meio da regressão das curvas disponibilizadas pelo fabricante, e para o caso dos IGBTs, a queda de tensão no canal foi obtida através da interpolação das curvas de 25°C e 175°C. Este procedimento foi adotado para todos os dispositivos que compõem o banco de dados, servindo como ponto de partida para realizar a análise comparativa entre os transistores.

IV. ANÁLISE COMPUTACIONAL

Para a análise computacional, foi desenvolvido um algoritmo capaz de realizar uma varredura de perdas nos transistores que compõem o banco de dados em diferentes pontos de operação, com base nos procedimentos de cálculo de perdas apresentados até o momento e as características dos dispositivos selecionados, bem como diferentes tempos de condução.

TABELA I. CARACTERÍSTICAS DE CADA TECNOLOGIA.

<i>Part Number</i>	IXFR 36N60P	IPZ65 R095C7	SCT 3120AL	NTP8G 206N	IKP08N 65F5
Tecnologia	Si	CoolMOS	SiC	GaN	IGBT
Fabricante	IXYS®	Infineon®	ROHM®	ONsemi®	Infineon®
Tensão de bloqueio [V]	600	700	650	600	650
Capacidade de condução a 100 °C [A]	13	15	15	12	11
R_{DS a} 100 °C [Ω]	0.42	0.16	0.14	0.24	-
V_{CE} [V]	-	-	-	-	1.7
C_{oss} p[F]	570	33	35	44	16
T_{Rn} [s]	25	8	21	4.5	3
T_{Fn} [s]	22	7	14	4	35

O tempo de condução (3) no conversor *Boost*, está relacionado aos níveis de tensão de entrada e saída do sistema e influencia diretamente nas perdas por condução, como mostrado em (1) e (2). A fim de simplificar a análise de perdas, o algoritmo pode ser dividido em duas etapas principais: Na primeira etapa as simulações são realizadas para potências de 500 W, 1500 W e 4500 W (diferentes níveis de corrente), onde as perdas são calculadas de acordo com (1), (2), (5) e (6) por meio de uma varredura de perdas para frequências de até 500 kHz e tensões de entrada e saída na ordem de 200 V_{CC} e 400 V_{CC} respectivamente. Na segunda etapa a tensão de entrada é 100 V_{CC}, em vista de analisar o comportamento de cada tecnologia em diferentes tempos de condução e níveis de corrente, seguindo o mesmo procedimento listado acima.

A análise computacional pode ser descrita de acordo com o fluxograma apresentado na Fig. 1: Inicialmente as variáveis de entrada são definidas pelo projetista (tensão de entrada e saída, potência e *ripple* de corrente no indutor, de acordo com a aplicação desejada), em seguida o algoritmo calcula a corrente no transistor e faz uma busca pelo banco de dados, selecionando os transistores que atendem as condições especificadas (tensão de bloqueio e nível de corrente), calculando as perdas individuais em cada dispositivo selecionado. Como o banco de dados é composto por uma grande quantidade de dispositivos de cada tecnologia, uma nova varredura é realizada, onde os dispositivos que apresentam menores perdas em cada faixa de frequência de cada tecnologia são selecionados (a verificação é feita em *steps* de 1 kHz).

V. RESULTADOS

Primeira etapa: O comparativo entre diferentes tecnologias de MOSFETs e IGBTs em cada ponto de operação para uma entrada de 200 V_{CC} (razão cíclica de 50%) e potências de 500 W, 1500 W e 4500 W são mostrados na Fig. 2. (a), (b) e (c), respectivamente.

Para as condições utilizadas na Fig. 2 (a) com 500 W, a tecnologia de MOSFETs Si apresenta maiores perdas em frequências de até 300 kHz. Acima de 300 kHz, o IGBT é quem apresenta maiores perdas. Como pode ser visto, a tecnologia de

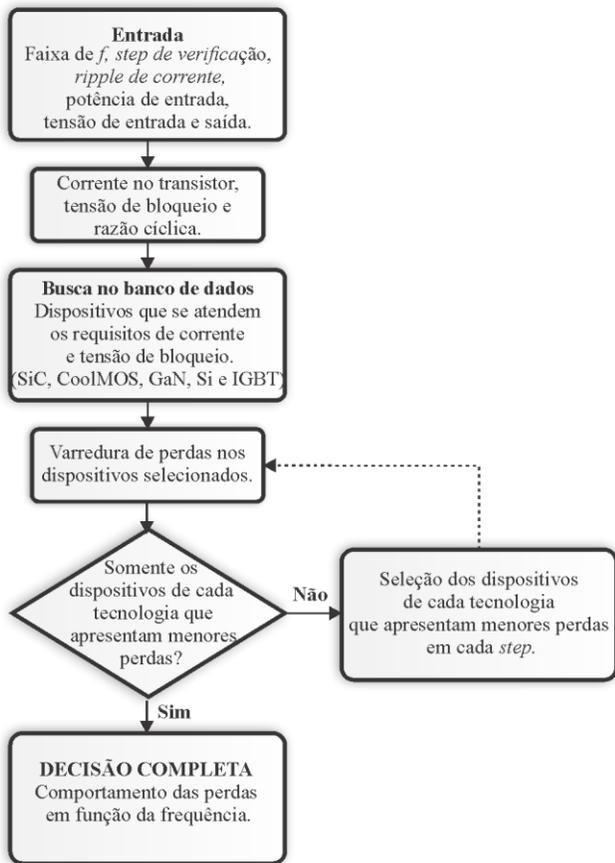


Fig. 1. Fluxograma da simulação.

MOSFETs GaN (NTP8G206N) mostra desempenho superior em toda faixa de frequência (até 500 kHz), neste caso a corrente RMS no transistor é de 2,5 A.

Na Fig. 2. (b) as tecnologias com maior desempenho são CoolMOS (IPA65R065C7) até 65 kHz, CoolMOS (IPZ65R095C7) até 385 kHz e GaN (NTP8G206N) acima de 385 kHz. Neste caso, a razão cíclica é a mesma do caso anterior, porém com corrente no transistor de 7,5 A. Com o aumento da corrente, a tecnologia de transistores GaN mostra uma queda na eficiência, devido a maior resistência no canal (Tabela I), porém em maiores frequências, tem desempenho superior se comparado com as demais tecnologias, devido aos menores tempos de *overlap* no dispositivo.

Na Fig. 2 (c), o sistema é simulado com potência de 4500 W, correspondendo a uma corrente de 22,5 A. Como o GaN é a tecnologia mais recente entre as demais tecnologias, além de ser uma tecnologia ainda em desenvolvimento, a alta resistência no canal e conseqüentemente as maiores perdas em condução impõe limitações de corrente do transistor, portanto, não há transistores com esta capacidade de condução de corrente no banco de dados para esta tecnologia.

Por outro lado, características intrínsecas da tecnologia SiC proporcionam melhor desempenho em maiores níveis de corrente

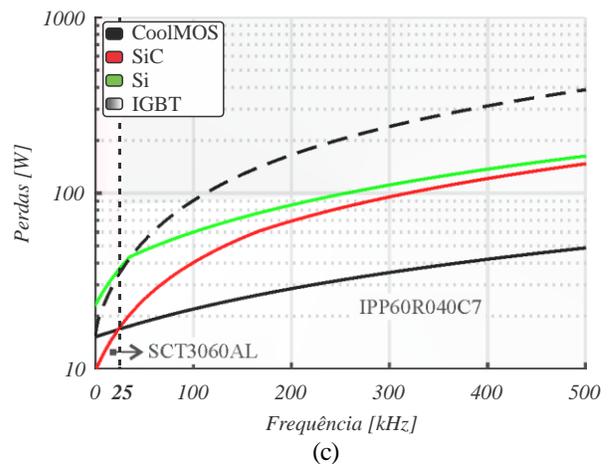
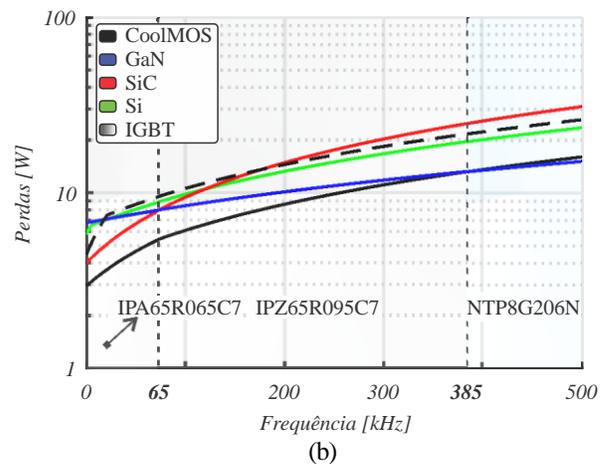
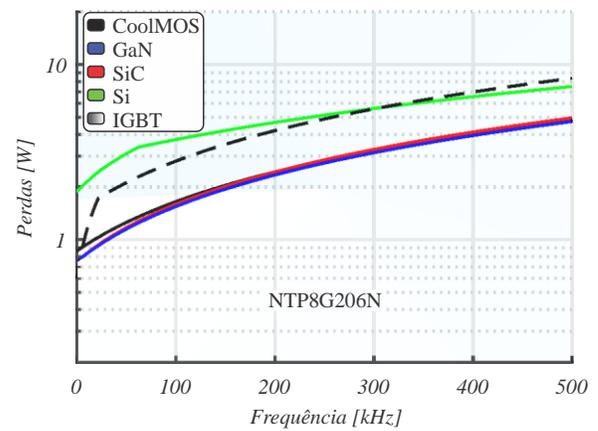


Fig. 2. Perdas para 200 V_{CC}: (a) 500 W, (b) 1500 W e (c) 4500 W.

por apresentarem menores perdas por condução. Estas características podem ser observadas na Fig. 2 (c), onde a tecnologia SiC (SCT3060AL) apresenta melhor desempenho até 25 kHz e o CoolMOS (IPP60R040C7) acima de 25 kHz.

Segunda etapa: Nos resultados apresentados até o momento, cada tecnologia apresentou níveis de potência e faixas de frequência onde apresentam menores perdas. Como mostrado em (7), estas perdas são obtidas por meio da soma das parcelas de perdas por condução

e comutação em cada dispositivo, sendo que a razão cíclica influencia diretamente nas perdas por condução nos transistores. Esta etapa consiste em avaliar a faixas de melhor rendimento em cada tecnologia, com tensão de entrada de 100 V_{CC} e mesma tensão de saída do caso anterior (400 V_{CC}), com isso, o tempo de condução e os níveis de corrente no transistor são afetados, neste caso a razão cíclica é de 75% e as correntes são de 5 A, 15 A e 45 A, respectivamente.

Na Fig. 3 (a) para 5 A, o melhor desempenho é da tecnologia CoolMOS (IPA65R095C7) até 215 kHz e da tecnologia GaN (NTP8G206N) acima de 215 kHz.

Na Fig. 3 (b) com 15 A, o melhor desempenho é da tecnologia SiC (SCT3060AL) até 30 kHz e CoolMOS (IPW65R080CFD) acima de 30 kHz. Na Fig. 2 (c) a corrente no transistor é de 22,5 A, enquanto que na Fig. 3 (b) é de 15 A, fato que evidencia a influência da razão cíclica nas perdas dos dispositivos, já que, mesmo com menores níveis de corrente, com o aumento da razão cíclica de 50% para 75%, a tecnologia SiC tem a faixa onde apresenta melhor rendimento aumentada de 25 kHz para 30 kHz. Na Fig. 3 (c) com 45 A, a tecnologia SiC (SCT3022AL) apresenta melhor desempenho até 130 kHz. Para maiores frequências, o transistor CoolMOS (IPW65R037C6) apresenta menores perdas.

VI. DISCUSSÕES

Como mostrado anteriormente, os IGBTs e os MOSFETs de Si, SiC, CoolMOS e GaN apresentam diferentes comportamentos de acordo com o nível de corrente e a faixa de frequência a que são submetidos. Os resultados da comparação apresentada na Seção V são mostrados na Tabela II.

Com o aumento da potência e do tempo de condução, a faixa em que os transistores CoolMOS e SiC apresentam melhor desempenho são expandidas, enquanto a tecnologia GaN tem sua faixa de melhor desempenho reduzida (Fig. 2). Analisando a Tabela I pode-se observar que a tecnologia GaN apresenta maior resistência *drain-to-source* quando em condução, se comparado com as tecnologias SiC e CoolMOS. Entretanto, os tempos de *overlap* no dispositivo são relativamente menores, o que caracteriza um melhor desempenho em maiores frequências. Assim, com o aumento da frequência, o desempenho do MOSFET GaN tende a melhorar, devido as menores perdas por comutação (Tabela II).

Por outro lado, a tecnologia SiC tem maiores tempos de *overlap* e menor resistência *drain-to-source* em estado ligado (Tabela I). Estes fatores fazem com que esta tecnologia tenha desempenho superior em maiores níveis de corrente e maiores tempos de condução (Tabela II), porém maiores frequências de chaveamento resultam em perdas significativas nos dispositivos.

A tecnologia CoolMOS apresenta valores intermediários, entre a tecnologia SiC e GaN, tanto na resistência de condução como nos tempos de *overlap* (Tabela I). Este comportamento pode ser observado na Tabela II, por meio da análise das faixas onde esta tecnologia apresenta melhor desempenho.

As tecnologias convencionais de Si e o IGBT apresentam rendimento inferior em todos casos simulados, porém se um compa-

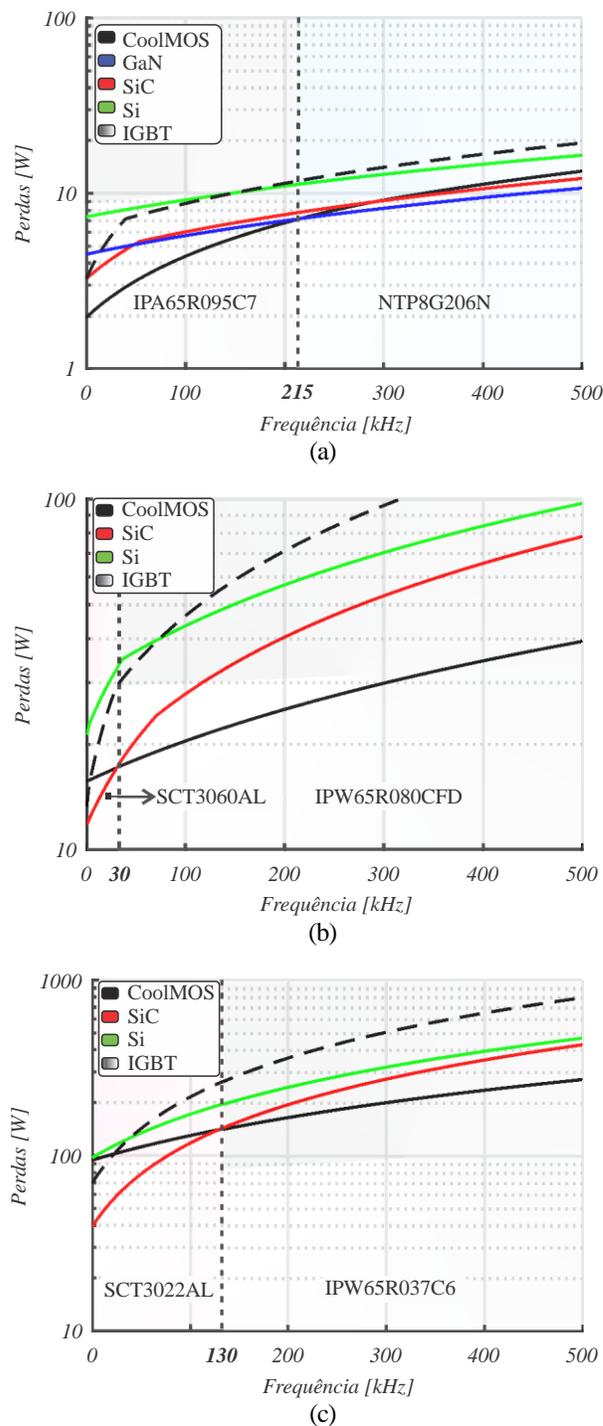


Fig. 3. Perdas para 100 V_{CC}: (a) 500 W, (b) 1500 W e (c) 4500 W.

rativo entre eles for feito, pode-se perceber que os IGBTs apresentam rendimento superior em frequências de até 30 kHz em menores níveis de corrente, e de pelo menos 50 kHz para maiores níveis de corrente, o que evidencia o crescimento e a superioridade destas novas tecnologias de transistores MOSFET neste campo de aplicações, onde há demanda por maiores capacidades de tensão de bloqueio, bem como maiores níveis de corrente no transistor. Afim de analisar o impacto de diferentes *ripples* de correntes nas perdas dos

TABELA II. FAIXAS DE OPERAÇÃO ($\Delta I = 20\%$).

	SiC	CoolMOS	GaN	Si	IGBT
2,5 [A] D = 50 %	-	-	Até 500 kHz	-	-
5 [A] D = 75%	-	Até 215 kHz	Acima de 215 kHz	-	-
7,5 [A] D = 50 %	-	Até 385 kHz	Acima de 385 kHz	-	-
15 [A] D = 75 %	Até 30 kHz	Acima de 30 kHz	-	-	-
22,5 [A] D = 50 %	Até 25 kHz	Acima de 25 kHz	-	-	-
45 [A] D = 75 %	Até 130 kHz	Acima de 130 kHz	-	-	-

TABELA III. FAIXAS DE OPERAÇÃO ($\Delta I = 40\%$).

	SiC	CoolMOS	GaN	Si	IGBT
2,5 [A] D = 50 %	-	-	Até 500 kHz	-	-
5 [A] D = 75%	-	Até 240 kHz	Acima de 240 kHz	-	-
7,5 [A] D = 50 %	-	Até 400 kHz	Acima de 400 kHz	-	-
15 [A] D = 75 %	Até 35 kHz	Acima de 35 kHz	-	-	-
22,5 [A] D = 50 %	Até 30 kHz	Acima de 30 kHz	-	-	-
45 [A] D = 75 %	Até 145 kHz	Acima de 145 kHz	-	-	-

transistores, a Tabela III traz um esboço das faixas de operação de cada tecnologia. A análise feita para determinar estas faixas é a mesma que utilizada no caso anterior, porém com ΔI de 40%. Maiores *ripples* de corrente acarretam em maiores perdas no transistor, isto fica evidente quando é feita a comparação entre a Tabela II (20% de *ripple*) com a Tabela III (40% de *ripple*). Em virtude de maiores correntes RMS, pode-se observar que a faixa dos dispositivos que apresentavam melhor desempenho em maiores níveis de corrente é expandida em todos os casos, devido a influência da corrente RMS nas perdas por condução.

VII. CONCLUSÃO

A escolha da ideal tecnologia de transistor a ser utilizada em uma determinada aplicação não é tarefa simples. Parâmetros como frequência de operação, níveis de tensão, corrente, potência, razão cíclica, ondulação de corrente e temperatura de junção devem ser avaliados. Os resultados obtidos neste artigo apontam a tecnologia de transistor SiC como a de menores perdas em situações onde há a necessidade de maior processamento de energia, menores frequências e maiores tempos de condução (ganhos). Já dispositivos CoolMOS apresentaram desempenho superior em situações onde há a demanda por maiores correntes e frequências. Dispositivos GaN demonstraram superioridade em menores potências e menores tempos de condução, apresentando melhores resultados em uma vasta faixa de frequências (Fig. 2).

Já os IGBTs apresentam melhor rendimento que o MOSFET tradicional (Si) para frequências de até 30 kHz em menores níveis de

corrente e de até 50 kHz em maiores níveis de corrente, porém inferior ao rendimento das demais tecnologias avaliadas, fator que evidencia o crescimento e a superioridade destas novas tecnologias de transistores MOSFET onde há a demanda por maiores capacidades de tensão de bloqueio, bem como maiores níveis de corrente no transistor.

VIII. AGRADECIMENTOS

O presente trabalho foi realizado com apoio da Coordenação de Aperfeiçoamento de Pessoal de Nível Superior - Brasil (CAPES) - Código de Financiamento 001.

REFERÊNCIAS

- [1] S. Busquets-Monge, J. C. Crebier, S. Ragon, E. Hertz, D. Boroyevich, Z. Gurdal, D. K. Lindner. "Design of a boost power factor correction converter using optimization techniques." IEEE Transactions on Power Electronics 19.6 (2004): 1388-1396.
- [2] J. Biela, J. W. Kolar, G. Deboy. "Optimal design of a compact 99.3% efficient single-phase PFC rectifier." Applied Power Electronics Conference and Exposition (APEC), 2010 Twenty-Fifth Annual IEEE. IEEE, 2010.
- [3] H. C. Sartori, H. L. Hey, J. R. Pinheiro. "An optimum design of PFC Boost Converters." Power Electronics and Applications, 2009. EPE'09. 13th European Conference on. IEEE, 2009.
- [4] H. C. Sartori, J. E. Baggio, H. L. Hey, J. R. Pinheiro, F. Beltrame. "Integrated methodology design to improve the efficiency and reduce volume of the CCM PFC boost converters with pre-sizing settings." Industrial Electronics (ISIE), 2015 IEEE 24th International Symposium on. IEEE, 2015.
- [5] J. Biela, U. Badstuebner, J. W. Kolar. "Impact of power density maximization on efficiency of DC-DC converter systems." IEEE Transactions on Power Electronics 24.1 (2009): 288-300.
- [6] H. C. Sartori, F. Beltrame, J. R. Pinheiro. "A static converter comparative study taking into account semiconductor technologies and switch auxiliary circuits: Optimized design." Power Electronics Conference (COBEP), 2011 Brazilian. IEEE, 2011.
- [7] R. W. Erickson, D. Maksimovic. Fundamentals of power electronics. Springer Science & Business Media, 2007.
- [8] G. Wang, F. Wang, G. Magai, Y. Lei, A. Huang, M. Das. "Performance comparison of 1200V 100A SiC MOSFET and 1200V 100A silicon IGBT." Energy Conversion Congress and Exposition (ECCE), 2013 IEEE. IEEE, 2013.
- [9] K. Shenai, R. S. Scott, B. J. Baliga. "Optimum semiconductors for high-power electronics." IEEE transactions on Electron Devices 36.9 (1989): 1811-1823.
- [10] B. J. Baliga. Fundamentals of power semiconductor devices. Springer Science & Business Media, 2010.
- [11] H. C. Sartori, F. Beltrame, M. L. Martins, J. E. Baggio, J. R. Pinheiro. "Evaluation of an optimal design for a single-phase boost PFC converter (CCM) considering different magnetic materials core." Power Electronics Conference (COBEP), 2013 Brazilian. IEEE, 2013.
- [12] M. Rashid. "Power electronics handbook: devices, circuits, and applications, ser." (2010).
- [13] J. Hu, O. Alatise, J. A. O Gonzalez, R. Bonyadi, P. Alexakis, L. Ran, P. Mawby. "Robustness and balancing of parallel-connected power devices: SiC versus CoolMOS." IEEE Transactions on Industrial Electronics 63.4 (2016): 2092-2102.
- [14] INFINEON. "600 V CoolMOST™ C 7 Design Guide". [S.l.], p. 28. 2015.
- [15] J. Millan, P. Godignon, X. Perpina, A. Pérez-Tomás, J. Rebollo. "A survey of wide bandgap power semiconductor devices." IEEE transactions on Power Electronics 29.5 (2014): 2155-2163.
- [16] B. J. Baliga. "Gallium nitride devices for power electronic applications." Semiconductor Science and Technology 28.7 (2013): 074011.
- [17] X. Huang, Z. Liu, Q. Li, F. C. Lee. "Evaluation and application of 600 V GaN HEMT in cascode structure." IEEE Transactions on Power Electronics 29.5 (2014): 2453-2461.
- [18] F. Beltrame, F. H. Dupont, H. C. Sartori, E. C. Cancian, C. Rech, J. R. Pinheiro. "Efficiency optimization of DC/DC boost converter applied to the photovoltaic system." Industrial Electronics Society, IECON 2013-39th Annual Conference of the IEEE. IEEE, 2013.