

UNIVERSIDADE FEDERAL DE SANTA MARIA
CENTRO DE TECNOLOGIA
CURSO DE GRADUAÇÃO EM ENGENHARIA ELÉTRICA

Davi Sehnem Castro

**PROJETO DE COMPARADORES *STRONGARM*
COM CALIBRAÇÃO DE *OFFSET***

Santa Maria, RS
2023

Davi Sehnem Castro

**PROJETO DE COMPARADORES *STRONGARM*
COM CALIBRAÇÃO DE *OFFSET***

Trabalho de Conclusão de Curso apresentado ao Curso de Graduação em Engenharia Elétrica, Área de Concentração em Microeletrônica, da Universidade Federal de Santa Maria (UFSM, RS), como requisito parcial para obtenção do grau de **Bacharel em Engenharia Elétrica**.

Orientador: Prof. Maurício Banaszkeski Da Silva

Santa Maria, RS
2023

©2023

Todos os direitos autorais reservados a Davi Sehnem Castro. A reprodução de partes ou do todo deste trabalho só poderá ser feita mediante a citação da fonte. End. Eletr.: davi.sehnem@acad.ufsm.br

Davi Sehnem Castro

**PROJETO DE COMPARADORES *STRONGARM*
COM CALIBRAÇÃO DE *OFFSET***

Trabalho de Conclusão de Curso apresentado ao Curso de Graduação em Engenharia Elétrica, Área de Concentração em Microeletrônica, da Universidade Federal de Santa Maria (UFSM, RS), como requisito parcial para obtenção do grau de **Bacharel em Engenharia Elétrica**.

Aprovado em 20 de dezembro de 2023:

**Maurício Banaszkeski Da Silva, Dr. (UFSM)
(Presidente/Orientador)**

André Luiz Aita, Dr. (UFSM)

Hamilton Duarte Klimach, Dr. (UFRGS)

Santa Maria, RS
2023

RESUMO

PROJETO DE COMPARADORES *STRONGARM* COM CALIBRAÇÃO DE *OFFSET*

AUTOR: Davi Sehnem Castro

Orientador: Maurício Banaszkeski Da Silva

Comparadores são circuitos que, dado duas entradas de sinal, retornam como resultado um valor referente a qual destes sinais possui maior magnitude. Este comportamento faz com que o comparador seja uma peça fundamental no projeto de conversores analógicos digitais (ADCs), já que pode-se entendê-lo como um circuito que leva entradas analógicas para uma saída digital. Dado o avanço das tecnologias de fabricação de circuitos integrados, bem como a demanda crescente de dispositivos móveis e de *IoT*, é cada vez mais necessário reduzir o consumo e a área demandada pelos componentes, sem comprometer suas características de velocidade e precisão. Entretanto, estas características de operação são normalmente antagônicas, fazendo com que escolhas de projeto feitas com o intuito de melhorar uma certa característica, possa ter consequências indesejadas a uma outra. Para o comparador, a redução da área está diretamente relacionada com a redução da potência consumida, ao mesmo tempo que aumenta a taxa de erros de comparação. Portanto, faz-se necessário conhecer as interdependências entre cada um dos parâmetros de operação do comparador de forma a garantir o projeto ótimo do circuito para a aplicação desejada. A partir desta situação, este trabalho tem por objetivo relacionar os parâmetros de operação de um comparador da topologia *StrongARM* em função de uma variável comum e, a partir disso, propor uma metodologia de projeto capaz de atender as especificações da aplicação desejada, ao combinar o dimensionamento do comparador com o projeto de um circuito auxiliar para a compensação de *offset*. Como resultado, foi possível projetar um comparador com calibração com uma área estimada 95 vezes menor, e com dissipação de potência 55 vezes menor, para um requisito de precisão três maior que o comparador sem calibração projetado.

Palavras-chave: Comparador. *StrongARM*. *Offset*. Calibração.

ABSTRACT

DESIGN OF STRONGARM COMPARATOR WITH OFFSET CALIBRATION

AUTHOR: Davi Sehnem Castro

ADVISOR: Maurício Banaszkeski Da Silva

Comparators are circuits that, given two signal inputs, return as a result a value referring to which of these signals has greater magnitude. This behavior makes the comparator a key component in the design of analog-to-digital converters (ADCs), as it can be understood as a circuit that takes analog inputs to a digital output. With the advancement of integrated circuit manufacturing technologies, as well as the increasing demand for mobile and IoT devices, it is increasingly necessary to reduce power consumption and the area required by components, without compromising their speed and accuracy characteristics. However, these operational characteristics are typically antagonistic, causing design choices made to improve one characteristic to have unintended consequences on another. For the comparator, reducing the area is directly related to reducing power consumption while increasing the error rate in comparison. Therefore, it is necessary to understand the interdependencies between each of the comparator's operating parameters in order to ensure the optimal circuit design for the desired application. From this perspective, this work aims to relate the operating parameters of a StrongARM topology comparator as a function of a common variable and, based on this, propose a design methodology capable of meeting the specifications of the desired application by combining the sizing of the comparator with the design of an auxiliary circuit for offset compensation. As a result, it was possible to design a calibrated comparator with an estimated area 95 times smaller, and 55 times lower power dissipation, meeting a precision requirement three times higher than the original uncalibrated comparator designed.

Keywords: Comparator. StrongARM. Offset. Calibration

LISTA DE FIGURAS

Figura 1 – Comparador <i>StrongArm</i>	11
Figura 2 – Ciclo de Operação Característico	13
Figura 3 – Circuito Equivalente de Modo Comum (a) e Pequenos Sinais (b) Durante o <i>Sampling</i>	14
Figura 4 – Circuito Equivalente de Modo Comum Durante a Propagação	15
Figura 5 – Meio Circuito Equivalente de Modo Comum Durante a Propagação	16
Figura 6 – Circuito Isolado Durante a Propagação	17
Figura 7 – Circuito Isolado da Etapa de Regeneração	18
Figura 8 – Meio Circuito Equivalente de Pequenos Sinais Durante a Regeneração ...	18
Figura 9 – Representação do <i>Mismatch</i> no Comparador	26
Figura 10 – Probabilidade de a Comparação Resultar em '1' ou '0' Devido a um Desbalanço $V_{in1} - V_{in2}$	30
Figura 11 – Capacitâncias para a Análise do <i>kickback noise</i>	31
Figura 12 – Transistor Normal - $\sigma(\Delta V_{th})$ Simulado e $\sigma(\Delta V_{th})$ Calculado	34
Figura 13 – Transistor lvt - $\sigma(\Delta V_{th})$ Simulado e $\sigma(\Delta V_{th})$ Calculado	35
Figura 14 – Ganho da Etapa de <i>Sampling</i> $A_{v_{smp}}$ no Tempo para Diferentes Larguras de Canal W_0	38
Figura 15 – Relação entre $W_{1,2}$ e $W_{3,4}$ para atingir $V_{os} = 1.5mV$	40
Figura 16 – Relação entre $W_{1,2}$ e a Potência do Circuito para $v_{in} = 1mV$	40
Figura 17 – Relação entre $W_{1,2}$ e a Duração do Estágio de <i>Sampling</i>	41
Figura 18 – Relação entre $W_{1,2}$ e o Produto entre a Potência e a Duração do Estágio de <i>Sampling</i>	42
Figura 19 – Relação entre $W_{5,6}$ e τ_{reg}	43
Figura 20 – Relação entre $W_{5,6}$ e a Potência Dissipada para $v_{in} = 10mV$	44
Figura 21 – PDF do <i>Offset</i> do Comparador	46
Figura 22 – Potência Dissipada para Diferentes Valores de v_{in}	47
Figura 23 – PSD do Transistor	48
Figura 24 – Efeito do <i>Kickback Noise</i> Sobre a Tensão dos Capacitores de Entrada ...	49
Figura 25 – Efeito do <i>Kickback Noise</i> Sobre a Tensão Diferencial de Entrada	50
Figura 26 – Comparador com Calibração	51
Figura 27 – Distribuição Normal Pré Calibração e Distribuição Uniforme Pós Calibração	52
Figura 28 – Resolução de Calibração $V_{os_{res}}$ em Função de $W_{1,2}$ para Diferentes Valores de C_0	56
Figura 29 – Capacitância Unitária Máxima C_0 em Função de $W_{1,2}$ para Diferentes Valores de $V_{os_{res}}$	56

Figura 30 – Capacitância C_{N-1} Mínima em Função de $W_{1,2}$ para Diferentes $yeilds$ k .	57
Figura 31 – Capacitância C_{N-1} Mínima em Função de $W_{1,2}$ para Diferentes Valores de k	58
Figura 32 – Capacitância Máxima C_0 em Função de $W_{1,2}$	59
Figura 33 – Capacitância Mínima C_{N-1} em Função de $W_{1,2}$	60
Figura 34 – Número de Capacitores N em Função de $W_{1,2}$	60
Figura 35 – PDF do <i>Offset</i> Pré Calibração	61
Figura 36 – PDF do <i>Offset</i> Pós Calibração	62
Figura 37 – Potência Dissipada para Diferentes Valores de v_{in}	63
Figura 38 – Efeito do <i>Kickback Noise</i> Sobre V_{CM}	64
Figura 39 – Efeito do <i>Kickback Noise</i> Sobre v_{in}	65
Figura 40 – MOSCap Utilizado como Capacitor	66
Figura 41 – Variação da Capacitância do MOSCap	67
Figura 42 – Variação das Capacitâncias C^{eff} e C^{off} do MOSCap em função de W ou L	68
Figura 43 – Relação entre α e $W_{1,2}$ para $k = 4$ e $V_{os,res} = 0.866 mV$	73
Figura 44 – Características do Circuito em Função de $W_{1,2}$ para $k = 4$	74
Figura 45 – PDF do <i>Offset</i> Pré Calibração	75
Figura 46 – PDF do <i>Offset</i> Pós Calibração	76
Figura 47 – Potência Dissipada para Diferentes Valores de v_{in}	77
Figura 48 – Efeito do <i>Kickback Noise</i> Sobre V_{CM}	78
Figura 49 – Efeito do <i>Kickback Noise</i> Sobre v_{in}	79
Figura 50 – Diagrama de Estados	80
Figura 51 – Máquina de Estados	81

SUMÁRIO

1	INTRODUÇÃO	9
2	COMPARADOR <i>STRONGARM</i>	11
2.1	SOBRE O COMPARADOR E PRINCÍPIOS GERAIS DE FUNCIONAMENTO	11
2.2	PRINCÍPIOS ESPECÍFICOS DE FUNCIONAMENTO	13
2.2.1	Estágio de <i>Sampling</i> ou Amplificação	13
2.2.2	Estágio de Propagação	15
2.2.3	Estágio de Regeneração	17
3	CARACTERÍSTICAS DE OPERAÇÃO	20
3.1	POTÊNCIA	20
3.2	VELOCIDADE	21
3.3	META ESTABILIDADE	22
3.4	<i>OFFSET</i>	24
3.5	RUÍDO	29
3.6	<i>KICKBACK NOISE</i>	31
4	EXTRAÇÃO DOS PARÂMETROS DA TECNOLOGIA	33
4.1	PARÂMETROS DE <i>MISMATCH</i>	33
4.2	CAPACITÂNCIAS	34
5	PROJETO DE COMPARADOR SEM CALIBRAÇÃO DE <i>OFFSET</i>	37
5.1	DEFINIÇÃO DO PAR DIFERENCIAL $M_1 - M_2$	37
5.2	DEFINIÇÃO DO TRANSISTOR DE CAUDA M_0	37
5.3	DEFINIÇÃO DO PAR CRUZADO $M_3 - M_4$	39
5.4	DEFINIÇÃO DO PAR CRUZADO $M_5 - M_6$	42
5.5	DEFINIÇÃO DOS TRANSISTORES DE PRÉ-CARGA $M_7 - M_{10}$	44
5.6	ANÁLISE DE FUNCIONAMENTO	45
5.6.1	Verificação do <i>offset</i>	45
5.6.2	Verificação de Potência	46
5.6.3	Verificação de Ruído	46
5.6.4	Verificação de <i>Kickback Noise</i>	47
5.6.5	Resumo de Projeto	49
6	PROJETO DE COMPARADOR COM CALIBRAÇÃO DE <i>OFFSET</i>	51
6.1	PRINCÍPIO DE FUNCIONAMENTO	51
6.2	TEORIA DA CALIBRAÇÃO	53
6.3	ANÁLISE DE FUNCIONAMENTO	61
6.3.1	Verificação do <i>Offset</i>	61
6.3.2	Verificação de Potência	62
6.3.3	Verificação de Ruído	63

6.3.4	Verificação de <i>Kickback Noise</i>	64
6.3.5	Resumo de Projeto	64
6.4	CALIBRAÇÃO UTILIZANDO MOSCAPS	66
6.4.1	Projeto dos Capacitores	66
6.4.2	Equações de Projeto	68
6.4.3	Projeto do Circuito de Calibração	72
6.5	ANÁLISE DE FUNCIONAMENTO	75
6.5.1	Verificação de <i>Offset</i>	75
6.5.2	Verificação de Potência	76
6.5.3	Verificação de Ruído	77
6.5.4	Verificação de <i>Kickback Noise</i>	77
6.5.5	Resumo de Projeto	78
6.6	PROJETO DO CIRCUITO DE CONTROLE	79
7	CONSIDERAÇÕES FINAIS	82
	REFERÊNCIAS BIBLIOGRÁFICAS	83

1 INTRODUÇÃO

Comparadores são circuitos amplamente utilizados em circuitos eletrônicos, cuja função é comparar dois sinais de entrada, que podem ser valores de tensão ou corrente, e retornar como saída um valor que indica qual destes é maior (SANGEETHA et al., 2019). O modo de operação de comparadores pode ser dividido em dois grupos, sendo eles comparadores estáticos e comparadores dinâmicos.

Comparadores estáticos podem ser projetados a partir de um amplificador operacional operando em malha aberta, não tendo sua operação condicionada a algum tipo de sinal habilitador ou de relógio. Como consequência, estes circuitos se caracterizam por estarem sempre consumindo potência, devido ao constante processo de comparação (SAHU; TIWARI, 2018).

Os comparadores dinâmicos, por outro lado, operam em malha fechada, através de uma realimentação positiva na forma de um *latch* regenerativo. O *latch*, provê a regeneração dos sinais devido a existência de polos no semieixo positivo do plano complexo, configurando-o como um sistema instável. Devido a esta característica, as topologias de comparadores dinâmicos necessitam ter sua operação condicionada a algum tipo de sinal habilitador, marcando a início e final da comparação, momento em que deve ser realizado o *reset* do sistema. Em comparação com os comparadores estáticos, os comparadores dinâmicos são mais rápidos e apresentam menor consumo de potência, já que esta só é demandada durante a comparação (SANGEETHA et al., 2019).

Considerando estas diferenças, os comparadores dinâmicos são os escolhidos para integrar circuitos de alta performance. Dada a característica dos comparadores de levar sinais de entrada analógicas para saídas digitais, uma aplicação característica é no projeto de conversores analógicos digitais (ADCs), como o conversor por aproximações sucessivas (SAR) e o conversor *flash* (SONAR; VAITHIYANATHAN; MISHRA, 2020). Uma topologia de comparadores comumente utilizada para este tipos de circuitos é o comparador *StrongARM*, caracterizado por apresentar consumo de potência estática praticamente nula, saída de ponta a ponta e baixo *offset* de entrada (RAZAVI, 2015).

Para a aplicação em ADCs modernos, garantir a velocidade de comparação é importante para maximizar a frequência de conversão dos bits e garantir uma baixa taxa de erros por metaestabilidade. Com relação a precisão do comparador, é necessário garantir que este tenha a capacidade de identificar corretamente a relação entre os sinais de entrada, independente de suas magnitudes, de forma a não gerar erros na palavra binária convertida. Já o consumo de potência deve ser minimizado principalmente devido a demanda por aplicações em dispositivos móveis ou *IoT*, que requerem a operação por longos períodos sem recarga de bateria (SONAR; VAITHIYANATHAN; MISHRA, 2020).

Entretanto, estas características de operação são, muitas vezes, antagônicas. Ou

seja, uma mudança de projeto no circuito visando a redução do consumo de potência, pode acarretar em uma redução na precisão de comparação, ou uma alteração nas características de velocidade comparador. Portanto, é necessário entender como cada um destes parâmetros se relacionam para realizar o projeto ótimo do comparador, através das especificações de área dos transistores utilizados, de forma a garantir que ele atenda as especificações da aplicação desejada.

Contudo, as especificações de área dos transistores não são, considerando aplicações de alta performance, normalmente suficientes para atender os critérios estabelecidos para projeto. Dessa forma, além do próprio comparador, é necessário a utilização de circuitos auxiliares que compensem as limitações de performance originais do comparador. Um dos circuitos auxiliares normalmente empregados é o calibrador, ou compensador, de *offset*. Este circuito permite eliminar em grande parte o *offset* de entrada do comparador, melhorando sua precisão, e permitindo que o projeto do comparador priorize outros aspectos, como potência e velocidade, ignorando em grande parte as consequências sobre a precisão original de comparação (XU; ABIDI, 2019).

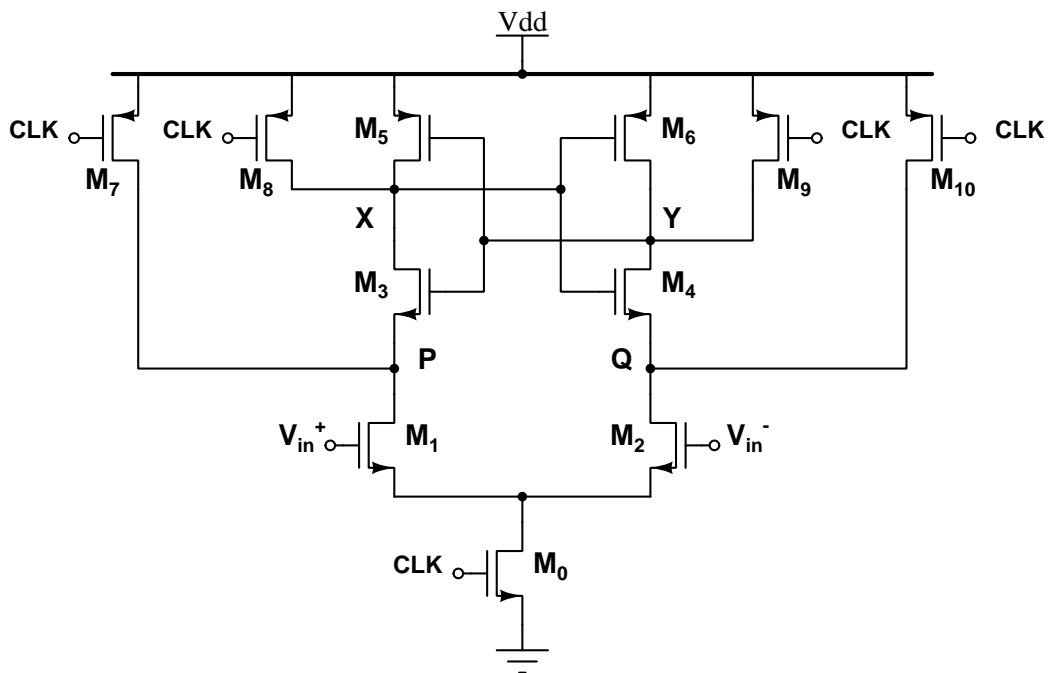
Deste contexto, este trabalho tem por objetivo demonstrar as interdependências dos parâmetros de operação do comparador *StrongARM* e, a partir destas, propor uma metodologia de projeto que melhor relacione estes parâmetros, de forma a garantir a operação ótima do comparador para a aplicação especificada. Ainda, propõem-se uma metodologia de projeto para um circuito auxiliar de calibração de *offset*, que funciona de forma integrada a metodologia de projeto do próprio comparador, de forma a minimizar os impactos deste circuito sobre o processo de comparação.

2 COMPARADOR *STRONGARM*

2.1 SOBRE O COMPARADOR E PRINCÍPIOS GERAIS DE FUNCIONAMENTO

O comparador *StrongARM* é assim conhecido por ter sido implementado pela empresa de mesmo nome, StrongARM microprocessadores, mas teve seu *design* concebido por Toshiba Kobayashi et al. (KOBAYASHI et al., 1992), e seu esquemático é mostrado na Figura 1. Este circuito ganhou popularidade já que apresenta como características o consumo nulo de potência estática, ter saída de ponta a ponta da tensão de alimentação e possuir *offset* de entrada baixo (RAZAVI, 2015).

Figura 1 – Comparador *StrongArm*



Fonte: Adaptado de (RAZAVI, 2015)

Analisando o esquemático do circuito, pode-se identificar três subcircuitos que integram o comparador. O primeiro, composto pelos transistores NMOS M_0 , M_1 e M_2 , forma um amplificador diferencial. O segundo é formado pelos transistores $M_3 - M_6$, que compõe um *Latch* regenerativo. Por fim, tem-se um circuito de pré-carga, formado pelos transistores PMOS $M_7 - M_{10}$. De acordo com estes subcircuitos, pode-se explicar o funcionamento do comparador em quatro fases, sendo elas *Reset*, *Sampling* ou Amplificação, Propagação e Regeneração (RAZAVI, 2015).

Na primeira fase, denominada de *Reset*, o clock está em nível lógico baixo, e o circuito se encontra em um estado perfeitamente conhecido, em que todas as variáveis

do sistema, definidas como as tensões nas capacitâncias dos drenos de $M_1 - M_4$, estão carregadas para V_{dd} , pela ação do circuito de pré carga (ABIDI; XU, 2014). Esta fase existe para eliminar qualquer resquício das comparações anteriores, possibilitando que as únicas fontes de desequilíbrio do sistema venham da tensão diferencial de entrada. Como mencionado anteriormente, o *reset* é feito através do circuito de pré carga, composto pelos transistores $M_7 - M_{10}$. Como característica de projeto, estes transistores devem ser capazes de conduzir corrente suficiente para levar os nodos do circuito de volta a V_{dd} , em até meio período de *clock*.

Na mudança de *clock* para nível lógico alto, os transistores $M_7 - M_{10}$ saem de condução, enquanto que o transistor de cauda M_0 começa a conduzir, formando um caminho entre os nós P e Q e gnd , levando ao surgimento de uma corrente I . Nesta etapa, chamada de amplificação ou *sampling*, tem-se a geração de um ganho entre o sinal diferencial de entrada e a tensão diferencial entre P e Q , através da integração de uma corrente nas capacitâncias parasitas destes nós (XU; ABIDI, 2019). Esta etapa dura até que os transistores M_3 e M_4 passem a conduzir, ou seja, até a tensão entre porta $V_{X,Y}$ e fonte $V_{P,Q}$ dos mesmos seja superior a tensão de limiar V_{thn} . Dado que todos os nodos foram inicializados em V_{dd} , é preciso que as tensões em P e Q sejam descarregadas em V_{thn} . O estágio de *sampling* é importante porque a amplificação do sinal diferencial de entrada reduz o impacto dos demais transistores no *offset* do circuito.

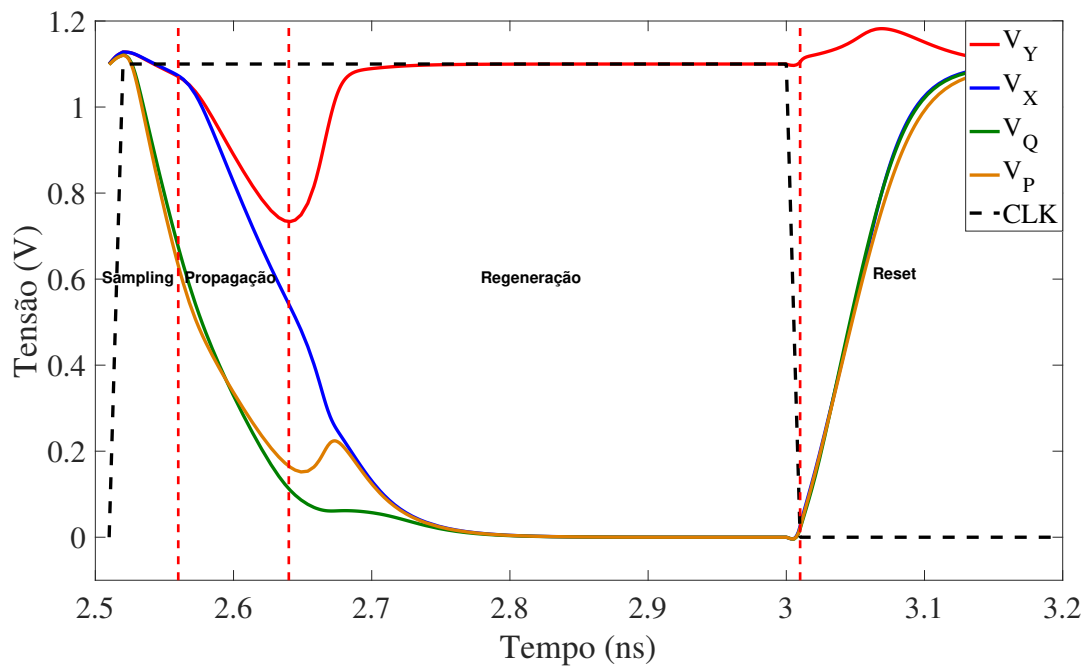
Com o final do estágio de *sampling*, inicia-se a terceira etapa, denominada de propagação, caracterizada pela entrada em condução dos transistores M_3 e M_4 . Estes transistores estão conectados de forma cruzada, ou seja, a porta de um, está conectada do dreno do outro, e vice-versa. Esta configuração forma um *feedback* positivo no circuito, que acaba por potencializar o desbalanço entre os nodos causado pela entrada diferencial de tensão no primeiro estágio, mas sem levar a regeneração completa do sinal. Estes transistores são importantes principalmente pois, ao final da comparação, eles são capazes de interromper a circulação de corrente no circuito, auxiliados pelos transistores M_5 e M_6 , garantindo que o circuito não consuma potência estática (RAZAVI, 2015). Assim como na etapa anterior, a propagação se dá por finalizada quando os transistores M_5 e M_6 passam a conduzir, devido a um descarregamento de $|V_{thp}|$ nos nodos X e Y .

Finalizada a etapa de propagação, os transistores M_5 e M_6 entram em condução, dando início a etapa final do circuito, chamada de regeneração. Assim como na propagação, o *feedback* positivo do circuito aumenta o desbalanço de tensão entre os nós, porém desta vez levando a regeneração completa. Dessa forma, ao final desta etapa, o circuito levará os desbalanços criados anteriormente para V_{dd} e gnd , tornando os nodos X e Y em saídas digitais (ABIDI; XU, 2014). Entretanto, não é necessário levar as saídas X e Y até estes valores para que a comparação seja considerada válida, é suficiente que a diferença V_{XY} entre estes nodos seja de $V_{dd}/2$. Caso esta condição não seja atendida até a descida do *clock*, diz-se que o circuito se encontra em uma situação de metaestabilidade, e a inde-

finalização na saída do comparador pode se propagar para os circuitos seguintes, acarretando em problemas de funcionamento (RAZAVI, 2020).

Por fim, na borda de descida do *clock*, o transistor M_0 sai de condução, enquanto os transistores $M_7 - M_{10}$ são polarizados, retornando para a primeira etapa, resetando os nodos do comparador novamente para V_{dd} . O comportamento gráfico característico das tensões nos nodos do circuito em um ciclo de operação é mostrado na Figura 2 (WHITEHEAD, 2019).

Figura 2 – Ciclo de Operação Característico



Fonte: Adaptado de (WHITEHEAD, 2019)

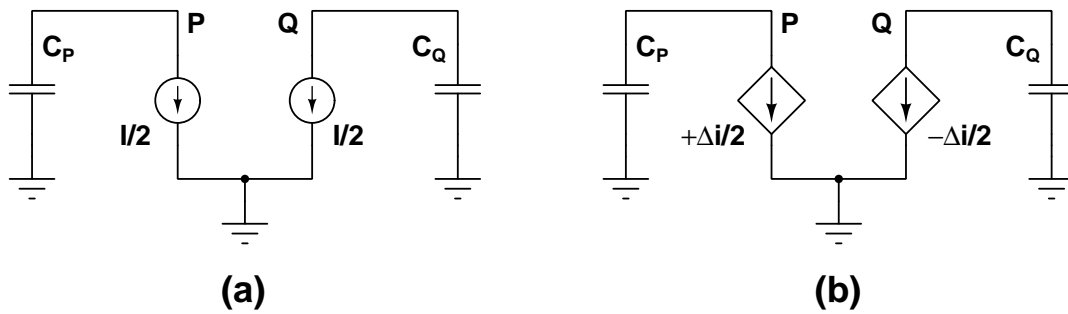
2.2 PRINCÍPIOS ESPECÍFICOS DE FUNCIONAMENTO

2.2.1 Estágio de *Sampling* ou Amplificação

Como dito anteriormente, este estágio é caracterizado pelo ganho proporcionado entre v_{in} e V_{PQ} . Podemos identificar o comportamento do ganho do circuito nesta etapa através de uma análise do circuito equivalente mostrado na Figura 3, onde $C_P = C_Q$ se refere a capacitância equivalente vistas nos drenos de M_1 e M_2 , I é a corrente de modo comum, e Δi é a corrente diferencial induzida no circuito (WHITEHEAD, 2019).

Vemos que, no circuito equivalente de modo comum, ambos os capacitores se descarregam na mesma velocidade, já que as capacitâncias e correntes são iguais. Dessa

Figura 3 – Circuito Equivalente de Modo Comum (a) e Pequenos Sinais (b) Durante o *Sampling*



Fonte: Adaptado de (XU; ABIDI, 2019)

forma, temos que a diferença de tensão entre os nodos acaba por ser nula. Contudo, no equivalente de pequenos sinais, percebe-se que a entrada diferencial resulta no aparecimento de uma corrente diferencial, que desbalança o circuito (ABIDI; XU, 2014). Com isso, tem-se que a tensão entre os nós P e Q é dada por

$$V_{PQ} = \frac{1}{C_{P,Q}} \int_0^t \frac{\Delta i}{2} dt - \frac{1}{C_{P,Q}} \int_0^t -\frac{\Delta i}{2} dt = \frac{1}{C_{P,Q}} \int_0^t \Delta i dt, \quad (2.1)$$

resultando em

$$V_{PQ} = \frac{\Delta i \cdot t}{C_{P,Q}}, \quad (2.2)$$

para uma corrente diferencial Δi constante.

Sabendo ainda que $\Delta i = g_{m_{1,2}} v_{in}$ (LI; XU; LIZUKA, 2022), temos que o ganho dinâmico em função do tempo de operação do circuito é obtido através de

$$\frac{V_{PQ}(t)}{v_{in}} = \frac{g_{m_{1,2}} \cdot t}{C_{P,Q}}. \quad (2.3)$$

Entretanto, só estamos interessados no ganho ao final da etapa de *Sampling*, ou seja, no instante em que os transistores M_3 e M_4 passam a conduzir, definido como $t = t_{smp}$. Da seção anterior, sabemos que a isso ocorre quando a tensão de modo comum nos nós P e Q é igual a $V_{P,Q} = V_{dd} - V_{thn}$.

Para verificar esta situação, volta-se ao circuito equivalente de modo comum apresentado na Figura 3 e resolve-se a equação da tensão nos capacitores para $t = t_{smp}$, resultando em

$$V_{P,Q}(t_{smp}) = V_{dd} - V_{thn} = V_{dd} - \frac{1}{C_{P,Q}} \int_0^{t_{smp}} \frac{I}{2} dt. \quad (2.4)$$

Isolando t_{smp} em (2.4), encontra-se

$$t_{smp} = \frac{C_{P,Q} \cdot V_{thn}}{I/2}. \quad (2.5)$$

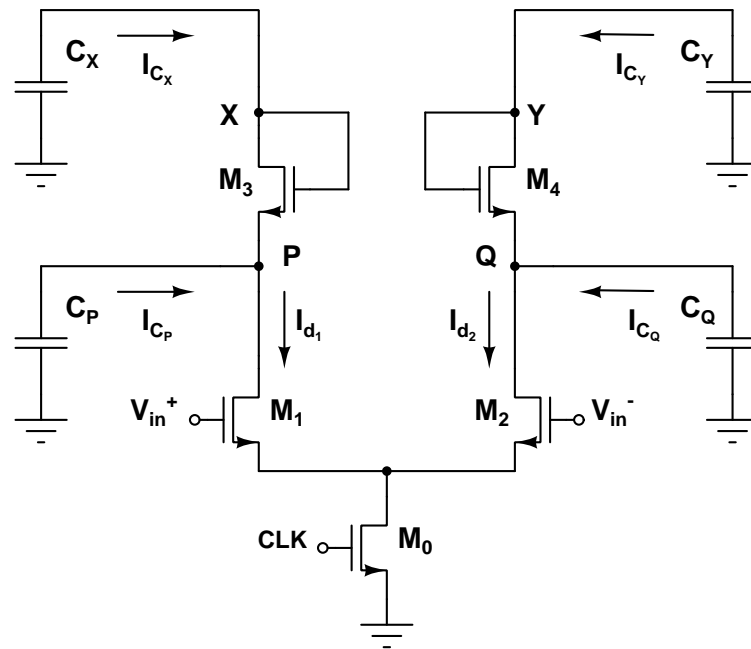
Conhecida a duração do estágio, pode-se substituir o resultado da expressão (2.5) em (2.3), obtendo-se o ganho efetivo do estágio de *sampling* (RAZAVI, 2015), dado por

$$A_{v_{\text{smp}}} = \frac{g_{m_{1,2}} \cdot V_{th_n}}{I/2} = \frac{g_{m_{1,2}}}{I_{d_{1,2}}} \cdot V_{th_n} \cdot \quad (2.6)$$

2.2.2 Estágio de Propagação

Com a entrada em condução do par cruzado formado por M_3 e M_4 , tem-se o início do estágio de propagação. Para entender o comportamento deste estágio, pode-se analisar o circuito equivalente mostrado na Figura 4.

Figura 4 – Circuito Equivalente de Modo Comum Durante a Propagação

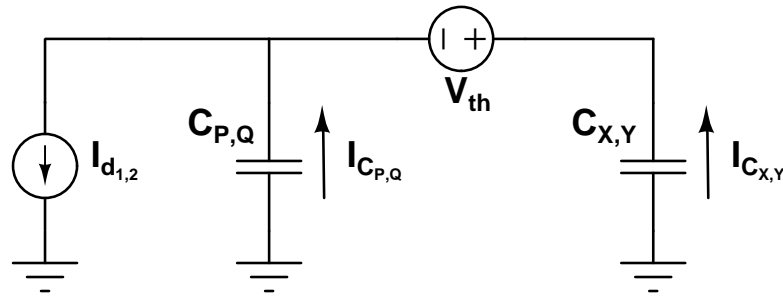


Fonte: Adaptado de (RAZAVI, 2015)

Em um primeiro momento, tomando o comportamento de modo comum do circuito, repete-se a análise feita para o estágio de *sampling* para determinar a duração da propagação. Em modo comum, pode-se considerar que as portas dos transistores $M_{3,4}$ estão conectadas aos drenos, como se fossem conectados a diodo (XU; ABIDI, 2019). Dessa forma, a diferença de tensão entre $C_{X,Y}$ e $C_{P,Q}$ é a queda tensão entre os terminais do 'diodo', equivalente a V_{th} . O circuito equivalente do sistema resultante é mostrado na Figura 5. Deste resultado, diz-se que a corrente de modo comum resultante é a soma das contribuições de correntes de cada nó, dado por

$$\frac{I}{2} = I_{d_{1,2}} = I_{C_{P,Q}} + I_{C_{X,Y}} \quad (2.7)$$

Figura 5 – Meio Circuito Equivalente de Modo Comum Durante a Propagação



Fonte: Autor (2023)

em que estas componentes são proporcionais às capacitâncias equivalentes nos nós, ou seja

$$I_{C_{P,Q}} = \frac{I_{d_{1,2}} \cdot C_{P,Q}}{C_{P,Q} + C_{X,Y}}, \quad I_{C_{X,Y}} = \frac{I_{d_{1,2}} \cdot C_{X,Y}}{C_{P,Q} + C_{X,Y}}. \quad (2.8)$$

Ou seja, a diferença de tensão entre as capacitâncias permanece igual a V_{th} durante a propagação, fazendo com que a tensão sobre as capacitâncias caiam juntas no decorrer do estágio. Dessa forma, pode-se equacionar a tensão $V_{X,Y}$ considerando que a corrente de modo comum descarrega uma capacitância equivalente a soma de $C_{P,Q}$ e $C_{X,Y}$, de acordo com

$$V_{X,Y} = V_{dd} - \frac{1}{C_{X,Y} + C_{P,Q}} \int_0^t \frac{I}{2} dt. \quad (2.9)$$

Mais uma vez, temos que o estágio se dá por finalizado quando os transistores M_5 e M_6 entram em condução, ou seja, quando $V_{X,Y} = V_{dd} - |V_{thp}|$, tem-se que $t = t_{prop}$ (XU; ABIDI, 2019). Substituindo esta situação em (2.9), resulta em

$$V_{X,Y} = V_{dd} - |V_{thp}| = V_{dd} - \frac{1}{C_{X,Y} + C_{P,Q}} \int_0^{t_{prop}} \frac{I}{2} dt, \quad (2.10)$$

e isolando t_{prop} , obtêm-se o tempo de propagação como

$$t_{prop} = \frac{(C_{X,Y} + C_{P,Q})|V_{thp}|}{I/2}. \quad (2.11)$$

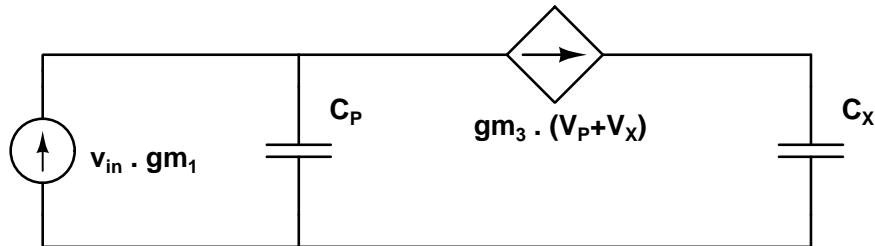
Devido à ligação cruzada entre os transistores, não é imediatamente óbvio o equivalente de pequenos sinais de modo diferencial desta etapa. Entretanto, sabendo que os transistores podem ser modelados como fontes de corrente de valor $i_{M_i} = g_{m_i}(V_G - V_S)$ e que, por simetria, a tensão diferencial em X deve ser igual em módulo, porém com sentido contrário a de Y, temos que:

$$i_{M_3} = g_{m_3}(V_Y - V_P) = g_{m_3}(-V_X - V_P) = -g_{m_3}(V_X + V_P) \quad (2.12)$$

Dessa forma, verifica-se que os transistores M_3 e M_4 são modelados como fontes

de corrente dependentes da soma das tensões na capacitâncias equivalentes no dreno e fonte. Sabendo disso, tem-se o modelo de pequenos sinais desta etapa mostrado na Figura 6 (ABIDI; XU, 2014).

Figura 6 – Circuito Isolado Durante a Propagação



Fonte: Adaptado de (XU; ABIDI, 2019)

Deste modelo, pode-se estabelecer duas situações de operação, relacionadas a qual das capacitâncias equivalentes é maior. Se $C_P > C_X$, tem-se que o polo deste circuito é positivo, levando a regeneração. Caso contrário, o circuito se comporta como um amplificador estável, introduzindo um *feedback* positivo limitado, impedindo a regeneração completa (XU; ABIDI, 2019).

Assumindo que o par M_1 e M_2 se mantém em saturação durante este estágio, o que normalmente acontece, pode-se afirmar que a principal contribuição para a redistribuição de carga entre os capacitores e para a tensão final sobre C_X se dá pela corrente vinda deste par. Dessa forma, segundo (ABIDI; XU, 2014), diz-se que o ganho neste estágio dado por

$$A_{v_{prop}} = \left(\frac{C_X + 2C_P}{C_X - C_P} \right) \cdot \left(\frac{|V_{thp}| gm_1}{I/2} \right), \quad C_{X,Y} > C_{P,Q}. \quad (2.13)$$

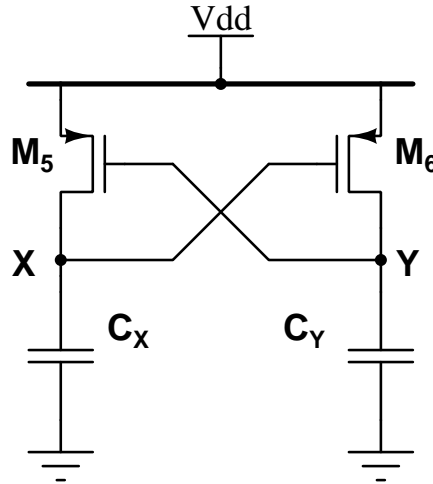
2.2.3 Estágio de Regeneração

Com o término da etapa de propagação, inicia-se o processo de regeneração do circuito, através da entrada em condução do par cruzado M_5 e M_6 . Para compreender o processo de regeneração, toma-se como base o circuito isolado mostrado na Figura 7 (RAZAVI, 2020).

Primeiro, assumindo que a condição inicial de tensão dos capacitores é igual a $V_{dd} - |V_{thp}|$, aplicamos sobre C_X uma variação de tensão igual a $-\Delta V_X$. Isso leva a um aumento na tensão entre porta e fonte do transistor M_6 , levando a um aumento de ΔI_Y na corrente sobre o capacitor C_Y , que por sua vez o carrega em ΔV_Y . Entretanto, esta variação de tensão também aparece na porta de M_5 , alterando a diferença de potencial com relação a fonte neste mesmo valor, modificando a corrente resultante em $-\Delta I_X$, o que, por fim, descarrega ainda mais o capacitor C_X . Com isso, percebe-se que uma variação na

tensão sobre o nodo é sempre intensificada pelo circuito, confirmando a operação como um sistema regenerativo.

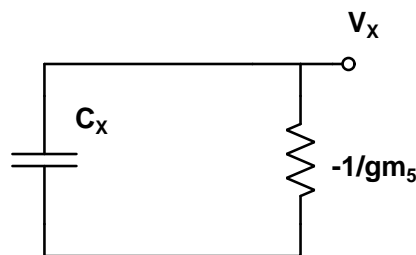
Figura 7 – Circuito Isolado da Etapa de Regeneração



Fonte: Adaptado de (RAZAVI, 2020)

Pode-se ainda utilizar esta análise para determinar a impedância equivalente deste circuito, e por consequência, como estes transistores são modelados no equivalente de pequenos sinais. Já foi estabelecido que aplicar $-\Delta V_X$ resulta no aparecimento de uma corrente $-\Delta I_X$. Entretanto, sabemos que $\Delta I_X = -g_m \Delta V_X$, e portanto tem-se que $\Delta V_X / \Delta I_X = -\frac{1}{g_m}$. Ou seja, os transistores M_5 e M_6 atuam como resistências negativas no modelo de pequenos sinais, resultando no circuito equivalente da Figura 8. Segundo (RAZAVI, 2020), a resposta deste circuito possui característica análoga a da carga/descarga de um capacitor, dada por: $v_{XY}(t) = v_{XY_0} \cdot e^{-\frac{t}{\tau_{reg}}}$.

Figura 8 – Meio Circuito Equivalente de Pequenos Sinais Durante a Regeneração



Fonte: Adaptado de (XU; ABIDI, 2019)

Em que a tensão inicial v_{XY_0} é dada como a tensão diferencial no limiar da regeneração, ou seja, em $t_{smp} + t_{prop}$, valor que corresponde ao produto entre o ganho acumulado do circuito neste instante, dado por

$$A_v = A_{v_{prop}} \cdot A_{v_{smp}}, \quad (2.14)$$

e a tensão diferencial de entrada v_{in} , resultando em

$$v_{XY_0} = A_v v_{in} . \quad (2.15)$$

A constante de tempo τ_{reg} nesse estágio é definida como o produto da impedância $-\frac{1}{g_{m_5}}$ e a capacitância equivalente C_X no nó (ABIDI; XU, 2014). Nota-se que por ser um valor negativo, $e^{-\frac{t}{\tau_{reg}}}$ possui expoente positivo, e portanto a tensão cresce exponencialmente com o tempo, até os limites de V_{dd} ou gnd . Dessa forma, defini-se a tensão diferencial na saída do comparador como:

$$v_{XY}(t) = A_v v_{in} \cdot e^{\frac{t}{\tau_{reg}}} = A_v v_{in} \cdot e^{t \frac{g_{m_{5,6}}}{C_{XY}}} . \quad (2.16)$$

Assim como nos estágios anteriores, é de interesse determinar a duração da etapa de regeneração, a fim de estabelecer a duração total da comparação. O critério para dar a etapa como finalizada é que a tensão diferencial na saída seja igual a $V_{dd}/2$, momento em que já é possível assumir as saídas como valores digitais (WHITEHEAD, 2019). Resolvendo (2.16) para esta condição, encontra-se que a duração do estágio de regeneração é:

$$t_{reg} = \tau_{reg} \cdot \ln \left(\frac{V_{dd}/2}{A_v v_{in}} \right) = \frac{C_{X,Y}}{g_{m_{5,6}}} \cdot \ln \left(\frac{V_{dd}/2}{A_v v_{in}} \right) . \quad (2.17)$$

Ainda, pela condição de metaestabilidade mencionada anteriormente, é preciso respeitar a seguinte desigualdade

$$t_{smp} + t_{prop} + t_{reg} < \frac{D}{f_{CLK}} , \quad (2.18)$$

em que D representa o *duty cycle* do *clock*. Para o caso específico de um *clock* simétrico, têm-se

$$t_{smp} + t_{prop} + t_{reg} < \frac{1}{2f_{CLK}} . \quad (2.19)$$

3 CARACTERÍSTICAS DE OPERAÇÃO

Para o projeto de um comparador, podem ser definidos diversos critérios e características de projeto, como a frequência, ganho, *offset*, etc. Essas definições, entretanto, não podem ser feitas de forma isolada, já que uma escolha direcionada a definição da velocidade de comparação, pode afetar, por exemplo, a rejeição de *offset* do circuito. Dessa forma, é preciso compreender como cada parâmetro influencia em outro, para o correto projeto do circuito.

3.1 POTÊNCIA

A potência consumida pelo circuito está associada ao carregamento das capacitâncias parasitas nos nós do circuito em um período de comparação. Sabe-se, das seções anteriores, que durante um ciclo de comparação as capacitâncias parasitas dos nodos P e Q são levadas de V_{dd} até gnd, enquanto que somente uma das capacitâncias nos nós X e Y são descarregadas desta maneira (RAZAVI, 2015). Desta forma, durante a fase de *reset* o circuito carrega estas três capacitâncias. Dada uma tensão de alimentação V_{dd} e uma frequência de operação f_{CLK} , tem-se que a potência dissipada pelo circuito é dada por

$$P_{diss} = f_{CLK} \cdot (C_P + C_Q + C_{X,Y})V_{dd}^2. \quad (3.1)$$

Desta equação, percebe-se que a potência é dependente de três fatores, sendo eles a frequência de operação, a tensão de alimentação e a capacitância equivalente. Desta forma, é possível alterar tais parâmetros de forma limitar a potência dissipada no circuito em um determinado valor. Dentre as opções, a mais impactante é a tensão de alimentação do circuito, já que ela aparece como uma potência de dois. Para reduzir esta tensão, é necessário utilizar tecnologias mais modernas de transistores, com menores comprimentos de canal. Nota-se, entretanto, que uma possível redução em V_{dd} também limita a tensão de modo comum V_{CM} , geralmente de valor igual a metade de V_{dd} , utilizada para polarizar os transistores do par diferencial. Uma redução em V_{CM} acarreta em uma redução da corrente de modo comum do circuito, já que esta variação aparece diretamente na tensão V_{GS} dos transistores $M_{1,2}$ responsáveis por definir esta corrente. Com consequência, o par diferencial é empurrado para a inversão fraca, o que impacta tanto na velocidade quanto no ganho do circuito, que serão discutidos posteriormente. Ainda, com a redução de V_{dd} , ocorre também uma diminuição nas tensões entre dreno e fonte dos transistores, e, dado que o ganho do circuito se dá enquanto estes estão em saturação, é possível que estes entrem na região de triodo antes que o circuito tenha integrado ganho suficiente. Acima

de tudo, como mencionado, V_{dd} máximo é um parâmetro de tecnologia, e seu valor é uma especificação do projeto.

Em relação as capacitâncias, simplificada, sabe-se que elas são funções diretas do comprimento de canal L e largura de canal W (CAKA et al., 2007). Se tratando do comprimento de canal L , sabe-se que o aumento deste parâmetro causa a redução da corrente no circuito na mesma proporção, aumentando o tempo de duração de cada estágio tanto pelo lado da capacitância quanto da corrente, e levando a um aumento no ganho do circuito. Entretanto, o impacto sobre a velocidade é mais significativo, e portanto prefere-se mantê-lo como o mínimo permitido pela tecnologia, ou levemente acima, caso deseje-se evitar efeitos de canal curto. A largura de canal W , por outro lado, pode ser modificada de acordo com a necessidade de operação do circuito, já que o aumento da capacitância acompanha o aumento na corrente dos transistores. Nota-se que este é o parâmetro mais importante para o projeto com transistores, influenciando não só na potência, mas como em todas o demais critérios de projeto, que serão explicados posteriormente.

Por fim, tem-se a frequência de comparação f_{CLK} , que impacta linearmente a potência dissipada. A consequência de se modificar este parâmetro é fácil de ser constatada, sendo ela a mudança do número de comparações realizadas em determinado período. Dessa forma, ela não é uma alternativa válida para o controle da potência do circuito. Em suma, verifica-se que a única solução plausível para a limitação da potência dissipada pelo circuito em uma determinada tecnologia, é tornar a largura de canal W dos componentes menor possível, caso V_{dd} seja determinado por requisitos do sistema, de forma a minimizar as capacitâncias do comparador.

3.2 VELOCIDADE

O tempo total de comparação é definido como a soma do tempo de duração dos estágios de *sampling*, propagação e regeneração, expresso por

$$t_{comp} = t_{smp} + t_{prop} + t_{reg} . \quad (3.2)$$

Das equações (2.5) e (2.11), sabemos que os tempos de *sampling* e propagação sofrem influencia direta da capacitância equivalente nos respectivos nós, e são inversamente impactadas pela corrente de modo comum do circuito. Com relação as capacitâncias parasitas, tem-se que elas possuem parcelas referentes a todos os transistores conectados ao nó em questão, ou seja, um aumento de duas vezes em $W_{1,2}$ não resulta em um aumento de duas vezes em $C_{P,Q}$, mas sim na contribuição de $M_{1,2}$ para esta capacitância. Dessa forma, os impactos dos pares de transistores são condicionalmente diferentes entre si, de acordo com qual transistor domina a capacitância total do nó. Ainda, tem-se que somente

o par de transistores $M_{3,4}$ contribui tanto para $C_{P,Q}$ quanto para $C_{X,Y}$, fazendo com que a minimização de $W_{3,4}$ seja prioritária para o aumento da velocidade de comparação.

Observando pelo lado da corrente de modo comum, sabe-se que ela é definida principalmente pelos transistores do par diferencial M_1 e M_2 . Desta forma, aumentar estes componentes tende a reduzir a duração da comparação. Entretanto, como mencionado anteriormente, a contribuição do par para a capacitância aumentará na mesma proporção, fazendo com que não se possa aumentar a largura de canal indefinidamente, mas somente até que o impacto da capacitância do par diferencial comece a ser dominante nos nodos do circuito. Chegando este ponto, não fará sentido continuar a aumentar este parâmetro, sem antes modificar o par M_3 e M_4 . Ainda, é possível influenciar a corrente de modo comum através do transistor de cauda M_0 . Este transistor é caracterizado por operar na região de triodo profundo, e portanto apresenta comportamento de uma resistência variável em função de W . Dessa forma, quanto maior a largura de canal, menor a resistência, e por consequência menor é a tensão V_{DS} sobre o componente. Considerando que esta é a tensão V_S de $M_{1,2}$, tem-se também um aumento em V_{GS} para estes transistores, o que aumenta a corrente de modo comum do circuito, reduzindo a duração dos estágios de *sampling* e propagação.

Com relação ao tempo de regeneração, a equação (2.17) indica três maneiras de reduzir este valor, sendo elas a constante de tempo τ_{reg} , o ganho acumulado ao fim da propagação A_v e a tensão diferencial de entrada v_{in} . A tensão v_{in} é um parâmetro de entrada, e portanto não pode-se utiliza-lo para modificar t_{reg} , sendo apenas considerado para determinar um tempo máximo do estágio. O ganho na propagação é impactado pela corrente de modo comum e pelas capacitâncias do circuito, seguindo a explicação anterior. Porém, a maior parcela deste ganho é referente a etapa de *sampling*, dada pela equação (2.6), e portanto reduzir a corrente de modo comum é a melhor maneira de impactar o ganho do circuito, apesar de que isso aumentaria a duração das etapas anteriores, e dessa forma pode-se dizer que o o ganho do circuito e a velocidade de comparação são, no geral, inversamente proporcionais. A constante de tempo, assim como nos casos anteriores, é dependente da capacitância no nodo, e portanto segue as análises anteriores. Nota-se, entretanto, que esta seria a maneira mais efetiva de reduzir o tempo de regeneração, já que a constante de tempo impacta t_{reg} de forma linear, enquanto que os demais o fazem de forma logarítmica.

3.3 META ESTABILIDADE

A condição de meta estabilidade está associada a incapacidade do comparador de regenerar os sinais de saída a tempo do final do período de comparação, dado pela descida do *clock*. Caso a regeneração não ocorra a tempo, a indefinição destes sinais pode

acarretar na propagação de erros para circuitos que dependem das saídas do comparador. Pela equação (2.19), sabe-se que para evitar a condição de metaestabilidade o tempo total de comparação deve ser inferior a meio período de *clock*. Ainda, pelas equações (2.5), (2.11) e (2.17), sabe-se que t_{smp} e t_{prop} são fixos, enquanto que t_{reg} é dependente da tensão de entrada v_{in} . Dessa forma, pode-se expressar uma relação entre frequência de *clock* e tensão de entrada de forma a determinar as condições de metaestabilidade do comparador.

A partir a equação (2.17), pode-se determinar o efeito que reduzir v_{in} por um determinado fator k tem sobre t_{reg} (RAZAVI, 2020), obtendo

$$t_{\text{reg}} + \Delta t_{\text{reg}} = \tau_{\text{reg}} \cdot \ln \left(\frac{V_{\text{dd}}/2}{A_v \cdot v_{\text{in}_0}/k} \right). \quad (3.3)$$

Isolando Δt_{reg} , têm-se que

$$\Delta t_{\text{reg}} = \tau_{\text{reg}} \cdot \ln(k). \quad (3.4)$$

A partir deste resultado, e conhecido o tempo de comparação para uma determinada tensão de entrada v_{in_0} , pode-se reescrever a desigualdade da expressão (2.19) como

$$t_{\text{comp}}(v_{\text{in}_0}) + \tau_{\text{reg}} \cdot \ln(k) < \frac{1}{2f_{\text{CLK}}}, \quad (3.5)$$

em que $k = \frac{v_{\text{in}_0}}{v_{\text{in}}}$. A partir desta relação, pode-se determinar a frequência máxima de *clock* para a menor tensão $v_{\text{in}_{\text{min}}}$ que deseja-se comparar sem erros de metaestabilidade.

Assumindo, por exemplo, que o tempo de comparação para $v_{\text{in}_0} = 10mV$ seja $t_{\text{comp}} = 150ps$ e que a constante de tempo projetada seja $\tau_{\text{reg}} = 20ps$, segue que

$$150ps + 20ps \cdot \ln \left(\frac{10mV}{v_{\text{in}_{\text{min}}}} \right) < \frac{1}{2f_{\text{CLK}}}. \quad (3.6)$$

Considerando que a menor tensão que deseja-se regenerar sem erros de metaestabilidade seja $v_{\text{in}_{\text{min}}} = 1\mu V$, substitui-se este valor em (3.6) e determina-se a maior frequência de *clock* como $f_{\text{CLK}} = 1.5GHz$. Alternativamente, considerando que a especificação de projeto dada é f_{CLK} , pode-se determinar a mínima tensão de entrada que não provoca erros de metaestabilidade ao isolar v_{in} em (3.5), chegando em

$$\ln(v_{\text{in}_{\text{min}}}) > \frac{t_{\text{comp}}(v_{\text{in}_0}) + \tau_{\text{reg}} \cdot \ln(v_{\text{in}_0}) - \frac{1}{2f_{\text{CLK}}}}{\tau_{\text{reg}}}, \quad (3.7)$$

que para os mesmos parâmetros do exemplo anterior e para $f_{\text{CLK}} = 2GHz$ resulta em $v_{\text{in}_{\text{min}}} \gtrsim 67\mu V$.

Sabendo que os possíveis valores na entrada do comparador formam uma distribuição uniforme entre $+V_{\text{dd}}$ e $-V_{\text{dd}}$, pode-se determinar a taxa de erros por metaestabilidade

através da probabilidade de a entrada do comparador estar entre $+v_{in_{min}}$ e $-v_{in_{min}}$, dada de acordo com a função de probabilidade para uma distribuição uniforme

$$P(v_{in_{min}}) = \frac{(+v_{in_{min}}) - (-v_{in_{min}})}{(+V_{dd}) - (-V_{dd})} = \frac{v_{in_{min}}}{V_{dd}}. \quad (3.8)$$

Considerando a operação em uma dada frequência, defini-se a taxa de erros por metaestabilidade como

$$\epsilon_M = P(v_{in_{min}}) \cdot f_{CLK}. \quad (3.9)$$

Substituindo na expressão (3.9) o exemplo em que $f_{CLK} = 2GHz$ e $v_{in_{min}} = 67\mu V$, e utilizando $V_{dd} = 1.1V$, encontra-se que a taxa de erro é $\epsilon_M \approx 120 \cdot 10^3/s$. Considerando que este resultado é aquém do esperado, pode-se redefinir o valor de f_{CLK} utilizado a partir da definição da taxa de erros desejada. Substituindo (3.7) em (3.9) e rearranjando a equação, obtêm-se

$$\ln(f_{CLK}) - \frac{1}{2\tau_{reg}f_{CLK}} = \ln(\epsilon_M \cdot V_{dd}) - \frac{t_{comp}(v_{in_0}) + \tau_{reg} \cdot \ln(v_{in_0})}{\tau_{reg}}. \quad (3.10)$$

Assumindo que é necessário garantir uma taxa de erros máxima de $\epsilon_M = 3.3 \times 10^{-9}/s$, equivalente a um erro a cada dez anos, e considerando os mesmos parâmetros dos demais exemplos, encontra-se a partir de (3.10) que $f_{CLK} \lesssim 590 MHz$.

Durante o projeto do comparador, a minimização dos erros por metaestabilidade está ligada principalmente a definição do parâmetro τ_{reg} , já que ele define a proporção do aumento do tempo de regeneração, como mostrado pela equação (3.4). A equação (2.17) mostra que τ_{reg} aumenta com $C_{X,Y}$ e reduz com $g_{m_{5,6}}$, na mesma proporção. A capacitância $C_{X,Y}$ pode ser reduzida pela diminuição de $W_{3,4}$ e $W_{5,6}$. Contudo, reduzir $W_{5,6}$ também causa uma diminuição em $g_{m_{5,6}}$ por um fator igual a raiz desta mudança. Dessa forma, para impactar τ_{reg} através de $W_{5,6}$ é preciso que $M_{5,6}$ não dominem a capacitância do nó (RAZAVI, 2020).

3.4 OFFSET

Como discutido anteriormente, o comparador define uma saída binária de acordo com a comparação das magnitudes do sinal de entrada. Em um circuito ideal, o comparador seria capaz de identificar corretamente uma diferença infinitesimal entre estes sinais, entretanto, um circuito real apresenta não idealidades que podem afetar sua operação. Estas não idealidades são originadas de variabilidades do processo de fabricação, e podem ser classificadas entre globais ou locais.

Variações globais afetam igualmente todos os componentes de um determinado

chip, resultando em uma variação de performance em relação a média dos *chips* fabricados. As variações locais afetam individualmente os componentes do circuito, alterando as características entre cada transistor do *chip* fabricado, causando um descasamento, ou *mismatch*, entre estes dispositivos (BOSCH; STEYAERT; SANSEN, 2004). Para o comparador, o *mismatch* se mostra especialmente prejudicial, já que a simetria dos pares de transistores é fundamental para o correto funcionamento do circuito. Dessa forma, é preciso considerar os efeitos do *mismatch* entre os componentes durante o projeto do comparador, limitando sua influência sobre o resultado a comparação.

Pode-se descrever o efeito do *mismatch* entre dois transistores analisando um par diferencial operando com uma mesma tensão V_{GS} . Sabe-se que a corrente que circula em cada transistor do par, assumindo operação em saturação, é expressa por

$$I_d = \frac{\beta}{2}(V_{GS} - V_{th})^2. \quad (3.11)$$

Considerando uma variação sobre os parâmetros dos transistores decorrente do *mismatch*, pode-se determinar qual a variação ΔI_d resultante de pequenas variações nos parâmetros V_{th} e β no circuito tomando a função diferencial total de (3.11) (ZIRGER, 2007), dada por

$$\Delta I_d = \frac{\partial I_d}{\partial \beta} \Delta \beta + \frac{\partial I_d}{\partial V_{GS}} \Delta V_{GS} + \frac{\partial I_d}{\partial V_{th}} \Delta V_{th}. \quad (3.12)$$

Dado que a tensão V_{GS} é igual para ambos os transistores, tem-se que $\Delta V_{GS} = 0$, e portanto expande-se a equação como

$$\Delta I_d = \frac{\Delta \beta}{2}(V_{GS} - V_{th})^2 - \beta(V_{GS} - V_{th})\Delta V_{th}. \quad (3.13)$$

Dividindo este resultado por (3.11), obtêm-se a variação da corrente em relação a média como

$$\frac{\Delta I_d}{I_d} = \frac{\Delta \beta}{\beta} - \frac{2\Delta V_{th}}{V_{GS} - V_{th}}, \quad (3.14)$$

que pode ser reescrita em função do nível de inversão como

$$\frac{\Delta I_d}{I_d} = \frac{\Delta \beta}{\beta} - \Delta V_{th} \cdot \frac{g_m}{I_d}. \quad (3.15)$$

Por fim, deve-se generalizar o resultado levando em consideração a distribuição estatística dos parâmetros (PELGROM; DUINMAIJER; WELBERS, 1989), resultando em

$$\frac{\sigma(\Delta I_d)}{I_d} = \sqrt{\left(\frac{\sigma(\Delta \beta)}{\beta}\right)^2 + \left(\sigma(\Delta V_{th}) \cdot \frac{g_m}{I_d}\right)^2}. \quad (3.16)$$

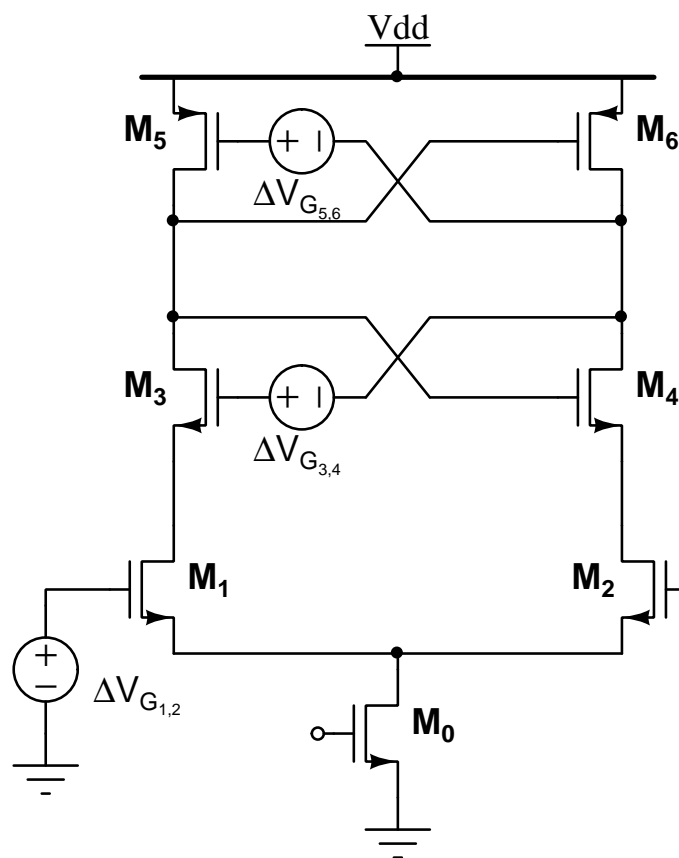
Como explicado na Seção 2, a diferença entre as tensões nas entradas do comparador resulta no aparecimento de uma corrente diferencial no circuito, que leva a regeneração

das tensões na saída do circuito. Considerando que o *mismatch* também causa o aparecimento de uma corrente diferencial, pode-se modelar esta variação de corrente como uma mudança efetiva nas tensões vistas nas portas dos transistores, para componentes perfeitamente casados. Para isso, multiplica-se (3.16) por I_d/g_m , obtendo-se

$$\sigma(\Delta V_{GS}) = \sqrt{(\sigma(\Delta V_{th}))^2 + \left(\frac{\sigma(\Delta\beta)}{\beta} \cdot \frac{I_d}{g_m}\right)^2}. \quad (3.17)$$

A Figura 9 exemplifica esse modelo de representação no comparador. Ainda, a influência

Figura 9 – Representação do *Mismatch* no Comparador



Fonte: Autor (2023)

de cada uma destas variações de tensão pode ser resumida a uma variação equivalente na entrada do par diferencial $\sigma(V_{os})$, denominada de *offset*. Esta relação é direta para os transistores $M_{1,2}$, enquanto que para os pares $M_{3,4}$ e $M_{5,6}$, deve-se referir as variações de tensão a entrada do comparador através do ganho no início de condução de cada um destes pares. Para os transistores $M_{3,4}$ utiliza-se o ganho da etapa de *sampling* $A_{v_{smp}}$, enquanto que para $M_{5,6}$ utiliza-se o ganho acumulado ao final da propagação A_v . A raiz da soma da variância de cada uma destas contribuições resulta no *offset* equivalente visto

pelo comparador, e é dado por

$$\sigma(V_{os}) = \sqrt{(\sigma(\Delta V_{GS_{1,2}}))^2 + \left(\frac{\sigma(\Delta V_{GS_{3,4}})}{A_{v_{smp}}}\right)^2 + \left(\frac{\sigma(\Delta V_{GS_{5,6}})}{A_v}\right)^2} \quad (3.18)$$

Os parâmetros $\sigma(\Delta V_{th})$ e $\sigma(\Delta\beta)/\beta$ que compõe a expressão (3.17) são caracterizados por uma distribuição gaussiana centrada em zero, e (PELGROM; DUINMAIJER; WELBERS, 1989) mostra que elas podem ser modeladas como a soma de duas contribuições diferentes, uma relacionada a área do componente, e outra relacionada a distância entre os componentes no *waffer* de fabricação. Considerando que os transistores estão lado a lado na fabricação do comparador, pode-se descartar esta componente, chegando na expressão (3.19), que mostra o desvio padrão para um parâmetro α de fabricação.

$$\sigma(\alpha) = \frac{A_\alpha}{\sqrt{WL}}. \quad (3.19)$$

O parâmetro A_α é chamado de constante de proporcionalidade de área, e pode ser obtida através de simulações, que serão discutidas posteriormente, ou através de *look up tables* da tecnologia, normalmente disponibilizada por fabricantes. Dessa forma é possível determinar as contribuições de cada par de transistores para o *offset* do comparador com base no conhecimento deste da constante de proporcionalidade de área de cada parâmetro, e da área dos transistores utilizados. Utilizando este conceito, escreve-se a contribuição de cada par para o *offset* como

$$\begin{aligned} \sigma(\Delta V_{GS_{M_{1,2}}}) &= \sqrt{\left(\frac{A_{v_{th}M_{1,2}}^2}{W_{M_{1,2}}L}\right) + \left(\frac{A_{\beta M_{1,2}}^2}{W_{M_{1,2}}L}\right) \left(\frac{I_d}{g_m}\right)^2} \\ \sigma(\Delta V_{GS_{M_{3,4}}}) &= \sqrt{\left(\frac{A_{v_{th}M_{3,4}}^2}{W_{M_{3,4}}L}\right) + \left(\frac{A_{\beta M_{3,4}}^2}{W_{M_{3,4}}L}\right) \left(\frac{I_d}{g_m}\right)^2} \\ \sigma(\Delta V_{GS_{M_{5,6}}}) &= \sqrt{\left(\frac{A_{v_{th}M_{3,4}}^2}{W_{M_{5,6}}L}\right) + \left(\frac{A_{\beta M_{5,6}}^2}{W_{M_{5,6}}L}\right) \left(\frac{I_d}{g_m}\right)^2}. \end{aligned} \quad (3.20)$$

O modelo apresentado por (PELGROM; DUINMAIJER; WELBERS, 1989) para a determinação do *offset* do comparador é limitado, já que considera uma quantidade reduzida de parâmetros, através de uma extrapolação baseada na operação em saturação dos componentes. Entretanto, estes resultados oferecem uma aproximação boa o suficiente para o problema apresentado. Um modelo mais completo é proposto em (DRENNAN; MCANDREW, 1999), enquanto que (BOSCH; STEYAERT; SANSEN, 2004) apresenta um compilado de modelos de *mismatch*.

Das expressões obtidas, pode-se destacar alguns parâmetros que podem ser pro-

jetados com o fim de limitar o *offset* do circuito. O primeiro, e mais facilmente identificável, é a área dos transistores utilizados. O comprimento de canal L é normalmente definido como o valor mínimo permitido pela tecnologia, e portanto tem-se que a principal escolha de projeto é a largura de canal W . Entretanto, das seções anteriores, sabe-se que um aumento de W impacta diretamente as capacitâncias do circuito, o que leva tanto a um aumento do consumo de potência, quanto a uma possível redução na velocidade do circuito, colocando estes critérios de projeto em conflito.

Contudo, pelas equações (3.19) e (3.20), nota-se que, para um mesmo valor de W , as contribuições de cada par de transistores são diferentes entre si, pela relação do ganho do circuito no momento da entrada em condução do par em questão. Dessa forma, as dimensões dos transistores M_1 e M_2 , que compõe o par diferencial, acabam por ser mais impactantes o *offset* do circuito. Com isso, é possível balancear o *offset* primariamente através de um aumento da área destes transistores, limitando o impacto sobre a potência e velocidade do circuito, já que os transistores $M_3 - M_6$ podem permanecer pequenos, em comparação.

Por fim, observa-se também que a componente $\sigma(\Delta\beta)$ de $\sigma(\Delta V_{os})$ é influenciada por um ganho igual ao inverso do nível de inversão g_m/I_d do circuito. Dessa forma, pode-se reduzir o impacto desta componente ao operar com uma relação de g_m/I_d elevada, ou seja, em inversão fraca ou moderada. A operação em inversão fraca é obtida quando $V_{GS} < V_{th}$, enquanto que a inversão moderada é caracterizada por $V_{GS} \approx V_{th}$. Estas condições podem ser atingidas pela determinação da tensão de modo comum do circuito V_{CM} , cujos demais impactos foram previamente discutidos. Valores típicos de g_m/I_d quando em inversão moderada estão em torno de $10 - 20V^{-1}$, e cerca de $30V^{-1}$ para inversão fraca, o que torna a componente relacionada a β desprezível.

Para o projeto de um comparador, é preciso garantir que $\sigma(V_{os})$ seja inferior a um determinado valor aceitável de *offset* ϵ , ou seja, $\sigma(V_{os}) < \epsilon$. Este valor é escolhido com base na aplicação desejada, e deve levar em conta a taxa de erro de comparação aceitável. Entretanto, como este é um parâmetro estatístico, com distribuição normal, ele não garante que todos os circuitos fabricados com base no projeto atendam o critério estabelecido. Quando é feito um projeto em que $\sigma(V_{os}) < \epsilon$, garante-se que cerca de 68.26% dos circuitos fabricados apresentarão *offset* inferior a ϵ . Dessa forma, para garantir a robustez do projeto para a maior parte das situações, deve-se realizar o projeto considerando requisitos mais rígidos. Por exemplo, para $3\sigma(V_{os}) < \epsilon$, garante-se robustez para 99.73% das situações.

3.5 RUÍDO

Assim como o *offset*, o ruído pode ser entendido como uma variação na tensão de entrada do comparador, alterando a polarização dos transistores e podendo levar a um erro de comparação. Da mesma forma, o ruído também assume valores dentro de uma distribuição gaussiana com média zero. Entretanto, diferente do *offset*, o ruído não se torna um valor determinístico uma vez que o circuito é construído, se mantendo sempre um valor aleatório, dentro de sua distribuição estatística, para cada comparação realizada.

No comparador, o ruído de entrada do circuito aparece como uma diferença entre as tensões nos nós P e Q durante o *sampling*, e nos nós X e Y durante a propagação, através da integração de uma corrente diferencial $i_n(t)$ nas capacitâncias respectivas (WHITEHEAD, 2019). Assumindo que $C_{P,Q} > 2C_{X,Y}$, pode-se reduzir o impacto do ruído somente ao estágio de *sampling*, dado por

$$v_{n_{P,Q}} = \frac{1}{C_{P,Q}} \int_0^{t_{\text{smp}}} i_n(t) dt . \quad (3.21)$$

Contudo, o resultado de interesse não é $v_{n_{P,Q}}$, mas sim a variância $\overline{v_{n_{P,Q}}^2}$, dado por

$$\overline{v_{n_{P,Q}}^2} = \frac{2}{C_{P,Q}^2} E \left[\left(\int_0^{t_{\text{smp}}} i_n(t) dt \right)^2 \right] , \quad (3.22)$$

em que o fator de 2 aparece devido a soma das variâncias de M_1 e M_2 . Considerando que a potência não é uma operação linear, não é possível alterar a ordem das operações de média e integração. Por isso, deve-se substituir a operação da integral ao quadrado por uma integral dupla, resultando em

$$\overline{v_{n_{P,Q}}^2} = \frac{2}{C_{P,Q}^2} E \left[\int_0^{t_{\text{smp}}} \int_0^{t_{\text{smp}}} i_n(t) \cdot i_n(t') dt dt' \right] . \quad (3.23)$$

A partir desta manipulação, pode-se inverter a ordem das operações, e resolver primeiro $E[i_n(t) \cdot i_n(t')]$, que é a autocorrelação do ruído de $M_{1,2}$, que para o ruído térmico, é dado por $2kT\gamma g_m \delta(t)$ (NUZZO et al., 2008), onde k é a constante de Boltzmann, T é a temperatura absoluta em Kelvin e γ é um parâmetro da tecnologia. Substituindo este resultado em (3.23), e resolvendo a integral dupla, tem-se que o resultado é

$$\overline{v_{n_{P,Q}}^2} = \frac{4kT\gamma g_m t_{\text{smp}}}{C_{P,Q}^2} . \quad (3.24)$$

Para referir este resultado a entrada do comparador, basta dividi-lo pelo quadrado do ganho

do estágio de *sampling*, cujo resultado é

$$\overline{v_{n_{in}}^2} = \frac{4kT\gamma g_m t_{\text{smp}}}{A_v^2 C_{P,Q}^2} = \frac{4kT\gamma}{V_{\text{th}} C_{P,Q}} \cdot \frac{I_d}{g_m}, \quad C_{P,Q} > 2C_{X,Y}. \quad (3.25)$$

Caso a suposição de que $C_{P,Q} > 2C_{X,Y}$ não for verdadeira, deve-se considerar o impacto do ruído para além do tempo de *sampling*. Em (XU; ABIDI, 2019), são deduzidas expressões para as demais relações entre $C_{P,Q}$ e $C_{X,Y}$, mostradas nas equações (3.26) e (3.27).

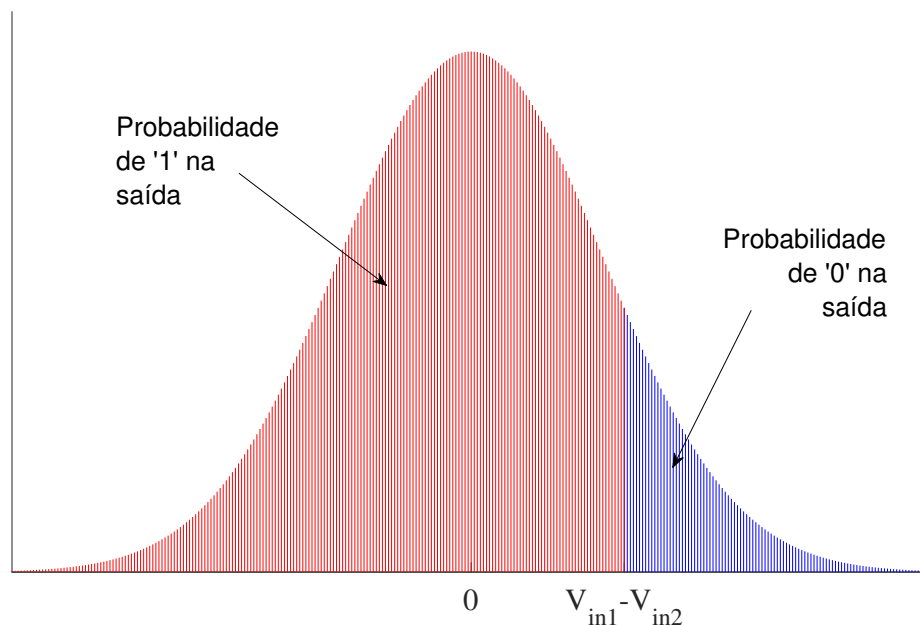
$$\overline{v_{n_{in}}^2} = \frac{4kT\gamma}{V_{\text{th}}(2C_{P,Q} + C_{X,Y})} \cdot \frac{I_d}{g_m}, \quad 2C_{P,Q} < C_{X,Y} \quad (3.26)$$

$$\overline{v_{n_{in}}^2} = \frac{8kT\gamma}{V_{\text{th}}(3C_{P,Q} + C_{X,Y})} \cdot \frac{I_d}{g_m}, \quad C_{P,Q} \approx C_{X,Y} \quad (3.27)$$

Com relação ao ruído *flicker*, sabe-se que sua variância cai proporcionalmente com a frequência (GÜLER; PUSANE; DÜNDAR, 2014), e considerando que o tempo de integração da corrente diferencial durante o *sampling* e propagação é da casa dos pico segundos, sua contribuição para o ruído do comparador pode ser ignorada.

Ainda, pode-se determinar o ruído referido a tensão de entrada experimentalmente, a partir de uma simulação transiente com ruído. Primeiro, deve-se desbalancear levemente a tensão de entrada do circuito com um valor constante $|V_{in1} - V_{in2}| > 0$, de forma a alterar a probabilidade de a saída assumir valores de zero ou um (RAZAVI, 2020), como exemplificado na Figura 10.

Figura 10 – Probabilidade de a Comparação Resultar em '1' ou '0' Devido a um Desbalanço $V_{in1} - V_{in2}$



Fonte: Adaptado de (RAZAVI, 2015)

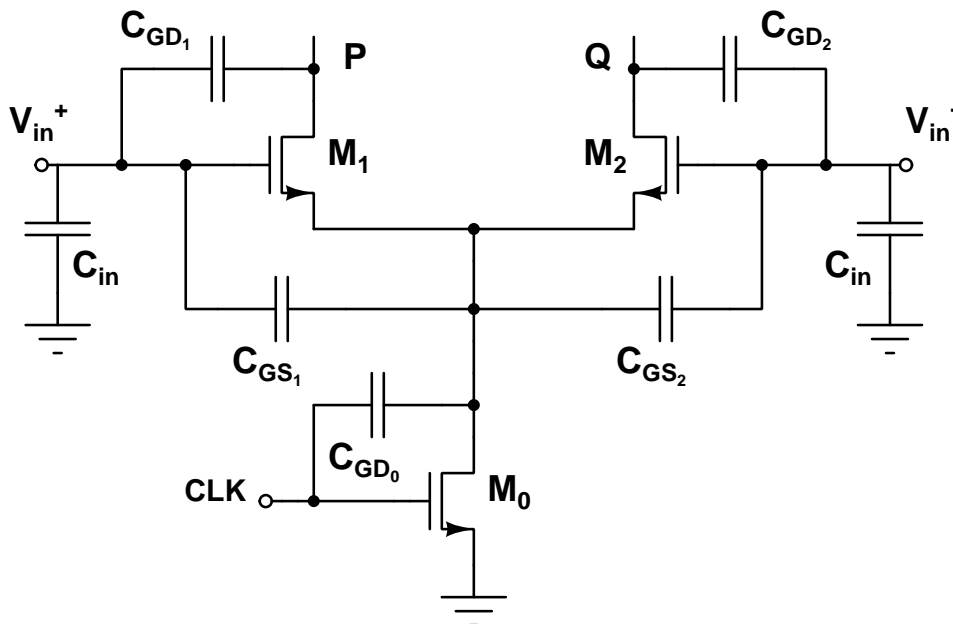
O circuito deve ser simulado por um grande número de ciclos de *clock*, onde cada resultado da comparação deve ser amostrado. Com os resultados da amostragem, pode-se determinar a probabilidade P de a saída assumir valores iguais a um, em respeito a tensão de entrada utilizada na simulação. Dado que o ruído assume distribuição normal, determinar-se seu desvio padrão $\sigma(v_n)$ utilizando a função de erro inversa (GILES, 2012), como mostrado pela equação (3.28).

$$\sigma(v_n) = \left| \frac{V_{in1} - V_{in2}}{\sqrt{2} \cdot \text{inverf}\{2P - 1\}} \right|. \quad (3.28)$$

3.6 KICKBACK NOISE

O *kickback noise* é caracterizado por uma variação da tensão de entrada em decorrência de uma mudança na tensão dos nós do circuito, acoplados através das capacitâncias parasitas dos transistores. A Figura 11 mostra as principais capacitâncias que causam este efeito, em que C_{in} denota a capacitância de saída do circuito anterior (RAZAVI, 2015).

Figura 11 – Capacitâncias para a Análise do *kickback noise*



Fonte: Adaptado de (RAZAVI, 2015)

Notam-se duas influências simultâneas nas tensões de entrada, uma decorrente da mudança de *clock* no *gate* de M_0 através da associação das capacitâncias C_{GD0} e C_{GS1} , e a outra da mudança de tensão no dreno de $M_1 - M_2$, através da capacitância C_{GD1} . O efeito total sobre a tensão na entrada é dado pela soma destas parcelas, mostrado na

equação (3.29), em que $C_{\text{CLK}} = C_{\text{GD}_0} || C_{\text{GS}_1}$.

$$\Delta v_{\text{in}+} = \Delta V_{\text{CLK}} \frac{C_{\text{CLK}}}{C_{\text{CLK}} + C_{\text{in}}} + \Delta V_{P,Q} \frac{C_{\text{GD}_1}}{C_{\text{GD}_1} + C_{\text{in}}} . \quad (3.29)$$

Considerando que, normalmente, $C_{\text{in}} \gg C_{\text{CLK}}, C_{\text{GD}_1}$, pode-se dizer que o efeito do *kickback noise* cresce linearmente com o aumento da largura de canal W dos transistores, dado a relação com as capacitâncias parasitas. Ainda, quanto maior a capacitância utilizada para o sinal de entrada, menos impactante é o efeito do *kickback noise*.

Outra característica é que as duas parcelas da equação (3.29) são sempre opostas em sinal, já que a subida do *clock* leva ao descarregamento dos nós P e Q , enquanto que a descida do *clock* leva a carga dos nós de volta a V_{dd} . Ainda, dado que $C_{\text{CLK}} > C_{\text{GD}_1}$, devido a associação em série, o efeito da variação de tensão em P e Q domina o efeito sobre a entrada.

4 EXTRAÇÃO DOS PARÂMETROS DA TECNOLOGIA

Os parâmetros de tecnologia são normalmente disponibilizados em arquivos PDK (*Process Design Kit*) da tecnologia utilizada. Entretanto, caso nesta seção são mostradas maneiras de encontrar estes parâmetros de forma experimental.

4.1 PARÂMETROS DE *MISMATCH*

Para o início do projeto do comparador, é necessário identificar os parâmetros $A_{v_{th}}$ e A_{β} que relacionam o *mismatch* do transistor com a sua área, chamados de constantes de proporcionalidade de área. Estes parâmetros permitem definir a área WL mínima dos transistores de modo a limitar $\sigma(\Delta V_{GS})$ a um valor máximo ϵ , definido pela seguinte desigualdade

$$\sigma(\Delta V_{GS}) = \sqrt{\left(\frac{A_{V_{th}}^2}{WL}\right) + \left(\frac{A_{\beta}^2}{WL}\right) \left(\frac{I_d}{g_m}\right)^2} < \epsilon. \quad (4.1)$$

De acordo com as discussões sobre *offset* anteriores, sabemos que operar na inversão fraca ou moderada limita a influência de $\sigma(\Delta\beta)/\beta$. Assumindo que o comparador opera nesta, podemos desconsiderar esta parcela, o que resume o *offset* do circuito a sua parcela relacionada a $\sigma(\Delta V_{th})$, ou seja

$$\sigma(\Delta V_{GS}) = \sigma(\Delta V_{th}) = \frac{A_{V_{th}}}{\sqrt{WL}}. \quad (4.2)$$

Manipulando o resultado de (4.2), podemos escrever $A_{V_{th}}$ como

$$A_{V_{th}} = \sigma(\Delta V_{th})\sqrt{WL}. \quad (4.3)$$

Dessa forma, extraindo os resultados de $\sigma(\Delta V_{th})$ para diferentes valores de W , pode-se definir o valor da constante de proporcionalidade. Isso pode ser feito através de uma simulação DC, em que se realiza uma simulação Monte Carlo para cada W , em um único transistor polarizado com uma tensão V_{GS} de interesse, cujo resultado deve ser multiplicado por $\sqrt{2}$ de forma a considerar a relação entre dois transistores.

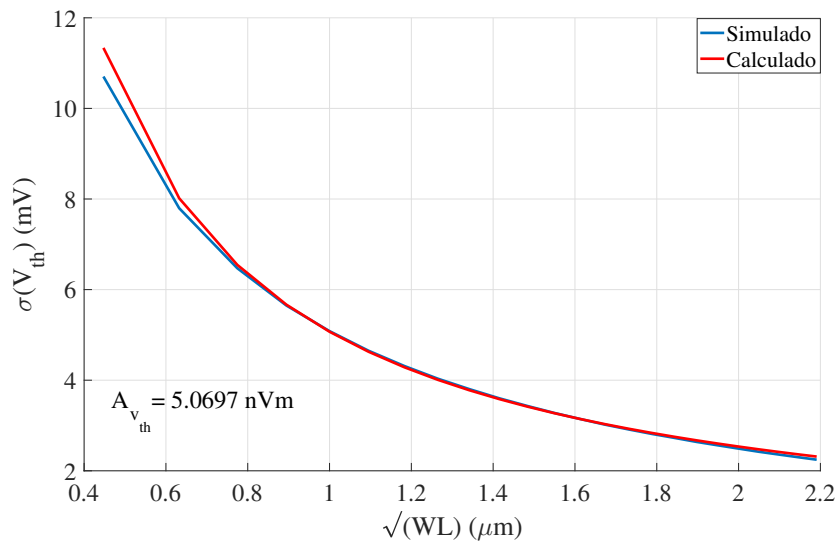
Para este projeto, utilizou-se uma tensão $V_{GS} = 0.55V$, valor equivalente a tensão de modo comum utilizada no comparador. A largura W foi variada entre $5\mu m$ e $120\mu m$ com passo de $5\mu m$, com dez mil iterações da simulação monte carlo cada.

Ainda, a extração de parâmetros foi realizada para dois tipos diferentes de construções de transistores, sendo elas a padrão e a *low-Vth*, ou *low voltage threshold*. A primeira é a utilizada para a maior parte dos transistores do circuito, enquanto que a se-

gunda será utilizada para os transistores do par diferencial. O motivo é que a tensão de limiar padrão da tecnologia é aproximadamente $0.6V$, valor superior a tensão de modo comum utilizada, o que degradaria a velocidade do circuito, enquanto que a lv_t possui tensão de limiar de aproximadamente $0.5V$. Com o resultado das simulações, encontra-se $A_{V_{th}} = A_{V_{th}M_{3,4}} \approx 5.0697 \cdot 10^{-9}Vm$, $A_{V_{th}}^{lv_t} = A_{V_{th}M_{1,2}} \approx 5.3415 \cdot 10^{-9}Vm$.

Na Figura 12 e Figura 13 são mostradas a comparação das curvas obtidas através de simulação com as construídas a partir do parâmetro extraído. Das curvas obtidas, nota-se que o modelo calculado é mais preciso para valores grandes de \sqrt{WL} , e se afasta dos resultados simulados quanto menor for este parâmetro. De qualquer forma, os resultados são próximos o suficiente para o início do projeto do comparador.

Figura 12 – Transistor Normal - $\sigma(\Delta V_{th})$ Simulado e $\sigma(\Delta V_{th})$ Calculado

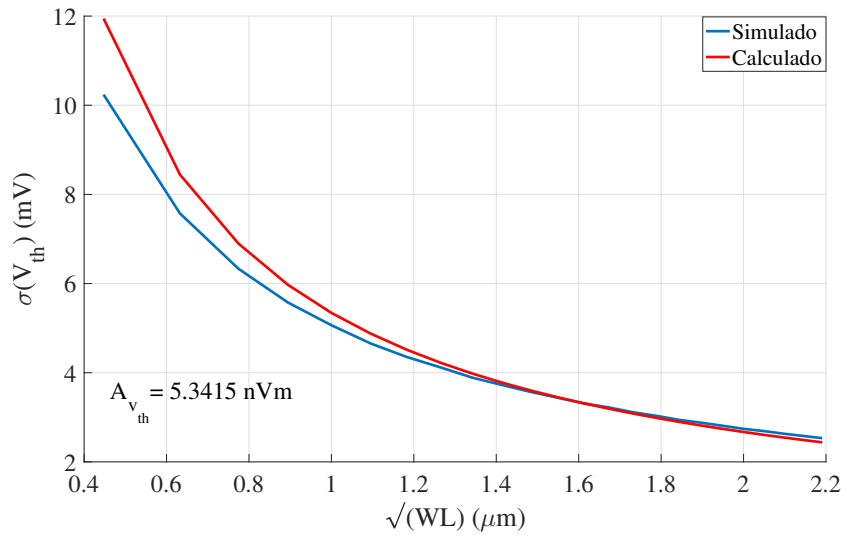


Fonte: Autor (2023)

4.2 CAPACITÂNCIAS

As capacitâncias equivalentes dos nós do comparador são parâmetros comuns a grande parte das expressões que regem o comportamento do circuito. Para obter uma estimativa destes valores, pode-se extrair as capacitâncias parasitas de um transistor base, polarizado de forma a reproduzir a região de operação de interesse. Para os transistores NMOS, as regiões de operação de interesse são definidas como a metade da fase de *sampling* e metade da fase de propagação. Para os transistores PMOS, o ponto de operação definido é a metade da propagação. A Tabela (1) mostra os valores obtidos para um transistor de $1\mu m$.

A partir destas informações, é possível determinar as capacitâncias equivalentes

Figura 13 – Transistor lvt - $\sigma(\Delta V_{th})$ Simulado e $\sigma(\Delta V_{th})$ Calculado

Fonte: Autor (2023)

Tabela 1 – Relação das Capacitâncias para Ponto de Operação Correspondente

	NMOS	NMOS	PMOS
Ponto de Operação	$V_D = V_{dd} - V_{th}/2$	$V_D = V_{dd}$	$V_D = V_{dd} - V_{th}/2$
	$V_S = \text{gnd}$	$V_S = V_{dd} - V_{th}/2$	$V_S = V_{dd}$
	$V_G = V_{CM}$	$V_G = V_{dd}$	$V_G = V_{dd} - V_{th}/2$
C'_{ox}	$12.9525 \text{ mF}/\text{m}^2$	$4.6160 \text{ mF}/\text{m}^2$	$4.7030 \text{ mF}/\text{m}^2$
C_{SB}/W	—	$0.35 \text{ fF}/\mu\text{m}$	—
C_{DB}/W	$0.35 \text{ fF}/\mu\text{m}$	$0.32 \text{ fF}/\mu\text{m}$	$0.29 \text{ fF}/\mu\text{m}$
C_{GD}/W	$0.11 \text{ fF}/\mu\text{m}$	$0.12 \text{ fF}/\mu\text{m}$	$0.12 \text{ fF}/\mu\text{m}$
C_{GS}/W	$0.34 \text{ fF}/\mu\text{m}$	$0.12 \text{ fF}/\mu\text{m}$	$0.13 \text{ fF}/\mu\text{m}$

Fonte: Autor (2023)

nos nós somando as parcelas respectivas de cada transistor. O cálculo de $C_{P,Q}$ é dado por

$$\begin{aligned}
 C_{P,Q} = & W_{1,2} \cdot (C_{DB}/W + C_{GD}/W) \\
 & + W_{3,4} \cdot (C_{SB}/W + C_{GS}/W) \\
 & + W_{7,10} \cdot (C_{DB}/W + C_{GS}/W) ,
 \end{aligned} \tag{4.4}$$

que substituindo pelos valores da Tabela (1) resulta em

$$C_{P,Q} = W_{1,2} \cdot (0.46 \text{ fF}/\mu\text{m}) + W_{3,4} \cdot (0.47 \text{ fF}/\mu\text{m}) + W_{7,10} \cdot (0.42 \text{ fF}/\mu\text{m}). \tag{4.5}$$

Já o valor de $C_{X,Y}$ é obtido através de

$$\begin{aligned}
 C_{X,Y} = & W_{3,4} \cdot (C_{DB}/W + C_{GS}/W + C_{GD}/W) \\
 & + W_{5,6} \cdot (C_{DB}/W + C_{GS}/W + C_{GD}/W) \\
 & + W_{8,9} \cdot (C_{DB}/W + C_{GS}/W) ,
 \end{aligned} \tag{4.6}$$

que a substituindo pelos valores correspondentes da Tabela (1) resulta em

$$C_{X,Y} = W_{3,4} \cdot (0.56fF/\mu m) + W_{5,6} \cdot (0.56fF/\mu m) + W_{8,9} \cdot (0.42fF/\mu m). \tag{4.7}$$

5 PROJETO DE COMPARADOR SEM CALIBRAÇÃO DE *OFFSET*

Neste capítulo será desenvolvido o projeto de um comparador que não utiliza circuito auxiliar para a calibração de *offset*, dependendo apenas das relações de área dos transistores. É estabelecido como requisito para o projeto que o comparador apresente $\sigma(V_{os}) < 1.5 \text{ mV}$.

5.1 DEFINIÇÃO DO PAR DIFERENCIAL $M_1 - M_2$

Para o projeto do comparador sem compensação, inicialmente considera-se o critério de projeto de $\sigma(V_{os}) < 1.5 \text{ mV}$ e determina-se, através dos parâmetros extraídos, o tamanho mínimo dos transistores para cumprir com esta condição. Substituindo (3.20) em (3.18) e desconsiderando-se a influência de A_β , devido a consideração de operação em inversão fraca, tem-se que o *offset* é dado por

$$\sigma(V_{os}) = \sqrt{\frac{(A_{vth_{M_{1,2}}})^2}{W_{M_{1,2}}L} + \frac{1}{A_{v_{smp}}^2} \frac{(A_{vth_{M_{3,4}}})^2}{W_{M_{3,4}}L} + \frac{1}{A_v^2} \frac{(A_{vth_{M_{5,6}}})^2}{W_{M_{5,6}}L}}. \quad (5.1)$$

Sabendo ainda que a maior parte do *offset* do circuito é referente ao par diferencial, já que a contribuição dos demais pares são divididas pelo ganho do estágio referente, pode-se aproximar o *offset* do circuito apenas pelas contribuições de M_1 e M_2 , resultando na expressão

$$\sigma(V_{os}) \approx \sqrt{\frac{(A_{vth_{M_{1,2}}})^2}{W_{M_{1,2}}L}}, \quad (5.2)$$

que resolvida para $\sigma(V_{os}) = 1.5 \text{ mV}$, resulta em $W_{M_{1,2}} \approx 320 \mu\text{m}$.

Com esta escolha de largura de canal para o par diferencial, garante-se que o *offset* do circuito estará em torno do requisito de projeto. Posteriormente, em outras etapas de projeto, deverá ser feito um ajuste fino na escolha deste parâmetro, de forma a considerar o impacto dos demais transistores, bem como otimizar a velocidade e ganho do circuito.

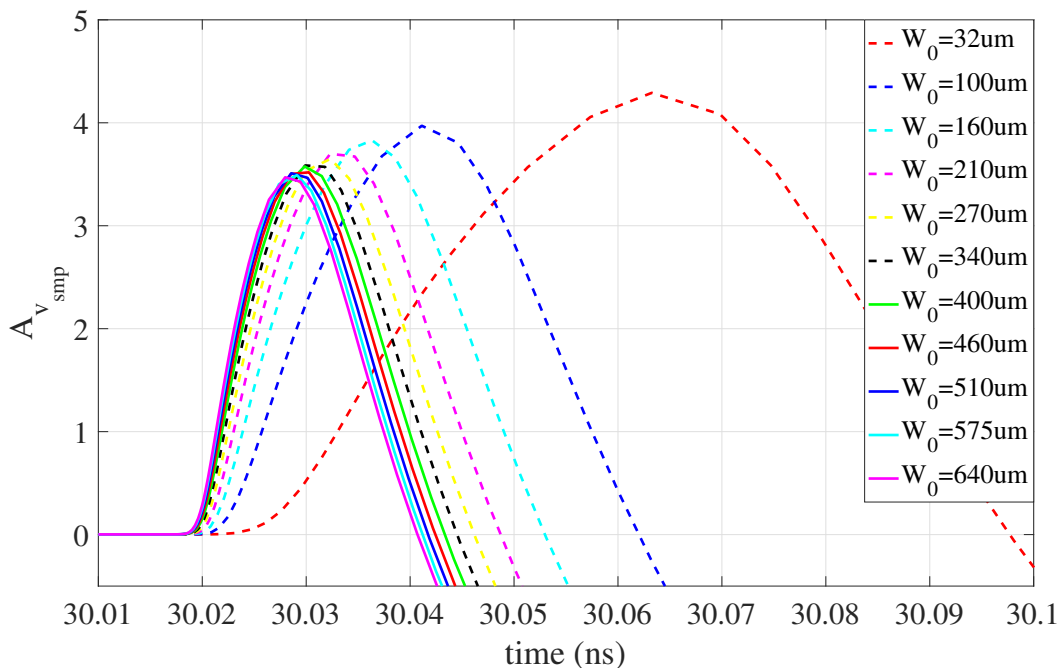
5.2 DEFINIÇÃO DO TRANSISTOR DE CAUDA M_0

Definido as larguras de canal de $M_1 - M_2$, prossegue-se para a definição do transistor de cauda M_0 do circuito. Como explorado na seção referente a velocidade do circuito, este transistor impacta de forma direta a corrente de modo comum do circuito, e portanto influencia o ganho e velocidade de comparação. Dessa forma, um bom objetivo para a de-

finição da largura W deste componente é a maximização da relação ganho/velocidade do circuito, ou seja, encontrar o valor em que continuar a reduzir W_0 não ofereça um aumento significativo no ganho do circuito em relação a sua velocidade de comparação.

Este processo pode ser feito através de um *parameter sweep*, em que varia-se W_0 em um intervalo de valores. Para isso, defini-se momentaneamente a largura dos transistores $M_3 - M_4$ como $W_{3,4} = 320\mu m$ e dos transistores $M_5 - M_6$ como $160\mu m$. Estas escolhas podem ser feitas já que estes componentes não interferem significativamente no ganho estágio de *sampling*, que é a etapa de interesse para a maximização do ganho do circuito. A simulação é feita considerando uma tensão diferencial de entrada de $v_{in} = 10mV$, e o ganho do circuito pode ser medido graficamente através do quociente entre a subtração das tensões nos nodos Q e P , e v_{in} , ou seja, $A_{v_{smp}} = \frac{V_Q - V_P}{v_{in}}$. O resultado desta simulação é mostrado na Figura 14.

Figura 14 – Ganho da Etapa de *Sampling* $A_{v_{smp}}$ no Tempo para Diferentes Larguras de Canal W_0



Fonte: Autor (2023)

Nesta simulação, o *clock* do circuito cruza por $V_{dd}/2$ em 30.015ns, dando início ao estágio de *sampling*. A tensão diferencial nos nodos Q e P então começa a subir, até chegar ao ponto máximo, aproximadamente na entrada em condução de $M_3 - M_4$. Tomando os valores máximos de cada simulação como aqueles utilizados par o cálculo do ganho do estágio de amplificação, tem-se que este variou entre aproximadamente 3.46 para $W_0 = 640\mu m$, sendo atingido em aproximadamente 13ps, e 4.3 para $W_0 = 32\mu m$, sendo atingido em aproximadamente 48ps. Dessa forma, nota-se claramente a relação inversa entre o ganho e a velocidade do estágio, resultante da mudança da largura de canal do transistor de cauda M_0 . Percebe-se também que para ambos estes parâmetros,

o retorno obtido ao levar W_0 aos extremos é diminutivo, ou seja, a elevação no ganho de tensão ao reduzir W_0 é muito inferior a perda de velocidade resultante, e vice versa.

Considerando estas observações, escolhe-se um valor de W_0 que relacione de forma coerente os parâmetros de ganho e velocidade do circuito. Analisando os resultados da simulação, define-se inicialmente que $W_0 = 160\mu m$, que resulta em um ganho de aproximadamente 3.7.

5.3 DEFINIÇÃO DO PAR CRUZADO $M_3 - M_4$

As larguras de canal $W_3 - W_4$, interferem de forma direta na potência do circuito, e de forma inversa na sua velocidade de comparação, como discutido nas seções anteriores. Com isso, é desejável minimizar ao máximo estes parâmetros de forma a melhor operação do circuito. Entretanto, como também discutido previamente, e evidenciado pela expressão (5.1), quanto menor $W_3 - W_4$, maior será o impacto deste par de transistores no *offset* equivalente do comparador. Dessa forma, é preciso garantir que a escolha destes parâmetros não irá resultar na quebra do critério de projeto estabelecido.

Como a definição dos transistores do par diferencial $M_1 - M_2$ e do transistor de cauda M_0 já foi realizada, é possível retornar para a equação (5.2) e, desta vez, considerar a contribuição de $M_3 - M_4$ para o cálculo de $\sigma(V_{os})$, dado que a única indefinição passa a ser a largura de canal destes componentes. Dessa forma, o *offset* passa a ser dado pela expressão

$$\sigma(V_{os}) = \sqrt{\frac{(A_{vth_{M_{1,2}}})^2}{W_{M_{1,2}}L} + \frac{1}{A_{v_{smp}}^2} \frac{(A_{vth_{M_{3,4}}})^2}{W_{M_{3,4}}L}}. \quad (5.3)$$

A partir de (5.3), pode-se isolar $W_{M_{3,4}}$, resultando em

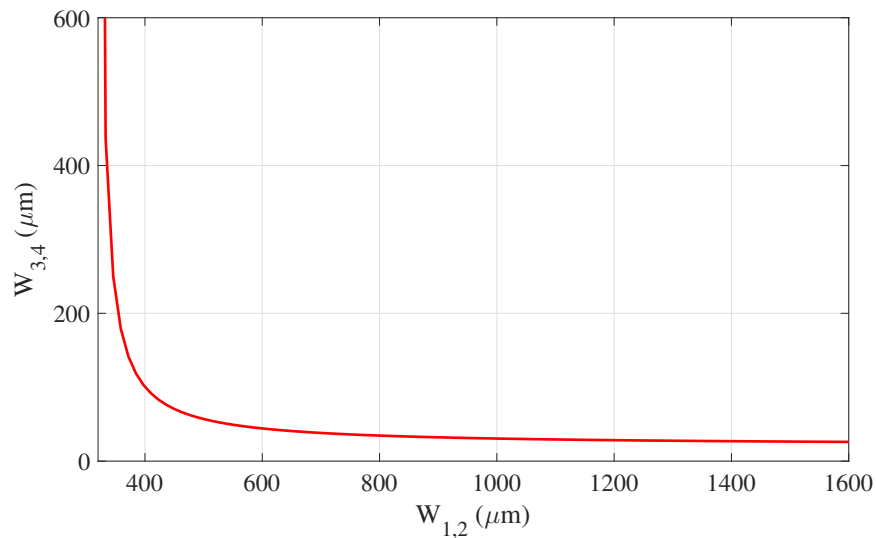
$$W_{M_{3,4}} = \left(\frac{A_{vth_{M_{3,4}}}}{A_{v_{smp}}} \right)^2 \frac{W_{M_{1,2}}}{\sigma^2(V_{os})W_{M_{1,2}}L - (A_{vth_{M_{1,2}}})^2}. \quad (5.4)$$

Substituindo os resultados encontrados anteriormente, tem-se que a largura de canal de $M_3 - M_4$ necessária para garantir $\sigma(V_{os}) < 1.5mV$ é de $2.24mm$. Este valor é obviamente muito grande, e leva a um grande consumo de potência e degradação de velocidade, sendo inviável de ser implementado. Entretanto, o motivo por trás de resultado é facilmente verificável, já que durante a definição de $W_{1,2}$, assumiu-se que somente $M_1 - M_2$ contribuíam para $\sigma(V_{os})$, e portanto, para respeitar a condição estabelecida, W_3 e W_4 precisariam ser extremamente grandes, de forma a possuírem contribuição essencialmente nula. Com isso, deve-se realizar um ajuste fino em $W_{1,2}$, tornando este parâmetro levemente maior, de forma a permitir uma redução significativa em $W_{3,4}$.

Em simulação, isso é feito realizando uma variação $\Delta W_{1,2} > 0$ em $W_{1,2}$, enquanto

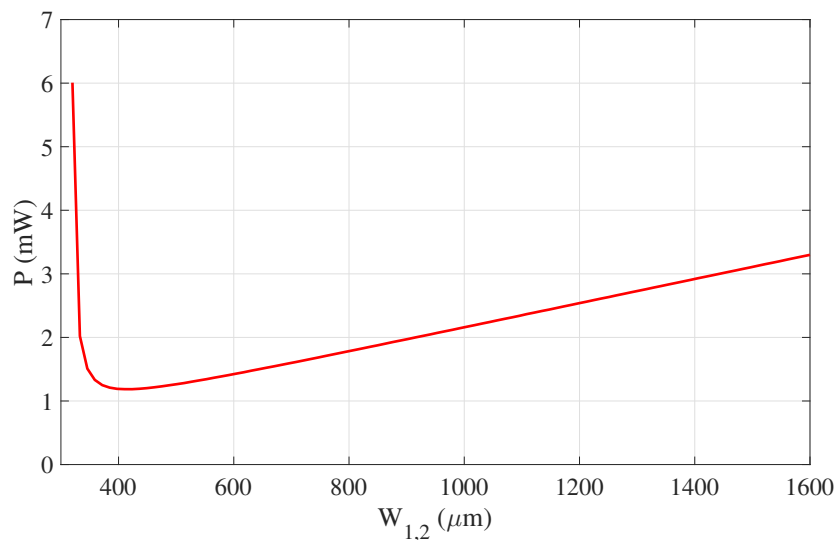
que $W_{3,4}$ é dado pela expressão (5.4). Nota-se também que W_0 mantém a proporção obtida anteriormente com relação a $W_{1,2}$, de 50%. Dessa maneira, é realizado um *parameter sweep* em $W_{1,2}$ entre $320\mu m$ e $1600\mu m$, e observa-se a relação entre as larguras dos pares de transistores, bem como o consumo de potência e duração do estágio de amplificação resultante, de forma embasar a escolha de $W_{1,2}$ e $W_{3,4}$. A curvas obtidas são mostradas na Figura 15, Figura 16 e Figura 17 respectivamente.

Figura 15 – Relação entre $W_{1,2}$ e $W_{3,4}$ para atingir $V_{os} = 1.5mV$



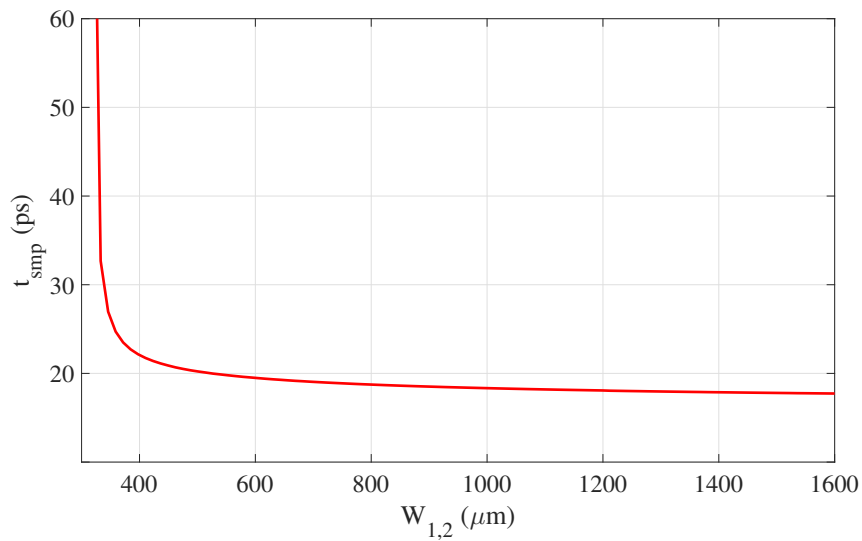
Fonte: Autor (2023)

Figura 16 – Relação entre $W_{1,2}$ e a Potência do Circuito para $v_{in} = 1mV$



Fonte: Autor (2023)

A primeira coisa que pode ser observada é que todos os parâmetros analisados seguem o mesmo comportamento de acordo com o aumento de $W_{1,2}$, decaindo rapidamente

Figura 17 – Relação entre $W_{1,2}$ e a Duração do Estágio de *Sampling*

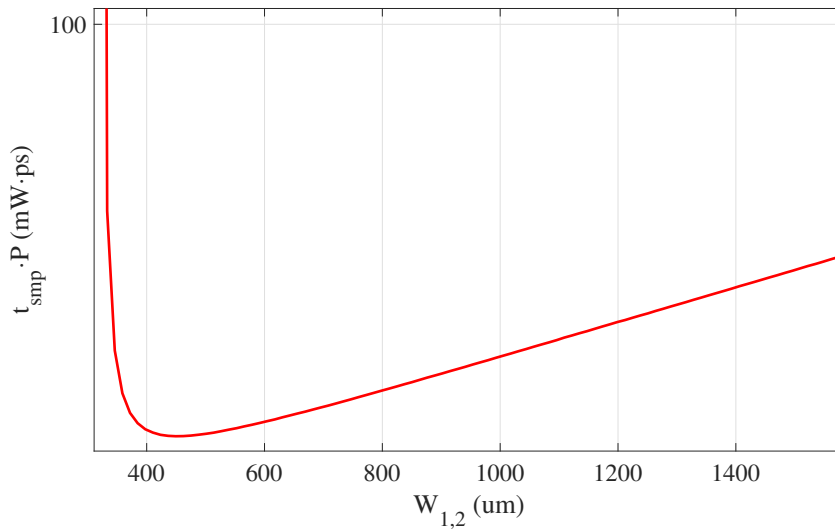
Fonte: Autor (2023)

para valores próximos ao inicialmente projetado, e se aproximando da saturação para valores muito maiores. O decaimento elevado de $W_{3,4}$ na Figura 15 é explicado pela equação (5.3), que mostra o impacto limitado de $W_{3,4}$, de acordo com o inverso do ganho ao quadrado, o que faz com que um pequeno aumento de $W_{1,2}$ permita uma grande redução de $W_{3,4}$.

Os resultados das figuras 16 e (17) são consequência direta desta grande redução comparativa entre $W_{1,2}$ e $W_{3,4}$, já que ambos estes parâmetros são influenciados pelas capacitâncias equivalentes do circuito, como evidenciado pelas equações (3.1), (2.5) e (2.11), e estas por sua vez são diretamente proporcionais a largura de canal de todos os componentes conectados aos nós. Sendo que a redução das capacitâncias de $M_3 - M_4$ é consideravelmente maior que o aumento das provenientes de $M_1 - M_2$, o efeito dominante sobre o circuito é o da redução potência dissipada e do tempo de duração da comparação.

Dessa forma, é evidente a vantagem de aumentar a largura de canal de $M_1 - M_2$, devido ao impacto positivo nos três parâmetros analisados. Na Figura 18 é mostrado a variação do produto entre a potência dissipada e o tempo de *sampling*, e a partir dela pode-se determinar a melhor relação entre $W_{1,2}$ e $W_{3,4}$ de forma a minimizar estes parâmetros. Pelo comportamento apresentado, observa-se que $T_{\text{smp}} \cdot P$ volta a aumentar quando $W_{1,2}$ começa a se aproximar de $400\mu\text{m}$, que ocorre porque $W_{1,2}$ passa a dominar a capacitância parasita do nó. Tomando um valor um pouco abaixo, defini-se os novos valores de largura de canal como: $W_{1,2} = 380\mu\text{m}$, $W_{3,4} = 120\mu\text{m}$ e $W_0 = 190\mu\text{m}$.

Figura 18 – Relação entre $W_{1,2}$ e o Produto entre a Potência e a Duração do Estágio de *Sampling*



Fonte: Autor (2023)

5.4 DEFINIÇÃO DO PAR CRUZADO $M_5 - M_6$

A escolha de $W_{5,6}$ é baseada na maximização da velocidade de regeneração do circuito, que pela equação (2.17), é dependente da tensão diferencial de entrada v_{in} e da constante de regeneração τ_{reg} . A tensão v_{in} é um parâmetro que foge do controle, porém τ_{reg} é constante através de qualquer valor de entrada do circuito, tornando-o o parâmetro de projeto para a escolha da largura de canal. Sabe-se que a constante de tempo é dada por $C_{X,Y}/g_{m_{5,6}}$, onde ambos parâmetros dependem de $W_{5,6}$. Contudo, a capacitância equivalente $C_{X,Y}$ também é influenciada por $M_{3,4}$ e o circuito conectado a saída, fazendo com que, em um certo intervalo, o impacto de $W_{5,6}$ seja proporcionalmente maior em $g_{m_{5,6}}$, levando a uma redução em τ_{reg} . Dessa forma, deve-se encontrar o valor de $W_{5,6}$ que minimiza τ_{reg} , levando a máxima velocidade de regeneração e a minimização dos erros por metaestabilidade. Somado a isso, deve-se atentar a potência dissipada do circuito que se eleva junto com o aumento de $W_{5,6}$.

Para identificar o valor de τ_{reg} sem realizar a extração de $C_{X,Y}/g_{m_{5,6}}$, é possível aproveitar sua característica de invariância com relação a v_{in} , e extraí-lo ao realizar-se a comparação entre os tempos de regeneração para simulações com entradas de tensão distintas. Considera-se duas situações de comparação: a primeira com tensão de entrada v_{in_1} e tempo de regeneração t_{reg_1} e a segunda com tensão de entrada v_{in_2} e tempo de regeneração t_{reg_2} . A partir da expressão (2.17), pode-se calcular o delta de tempo entre estas situações, resultando na seguinte equação

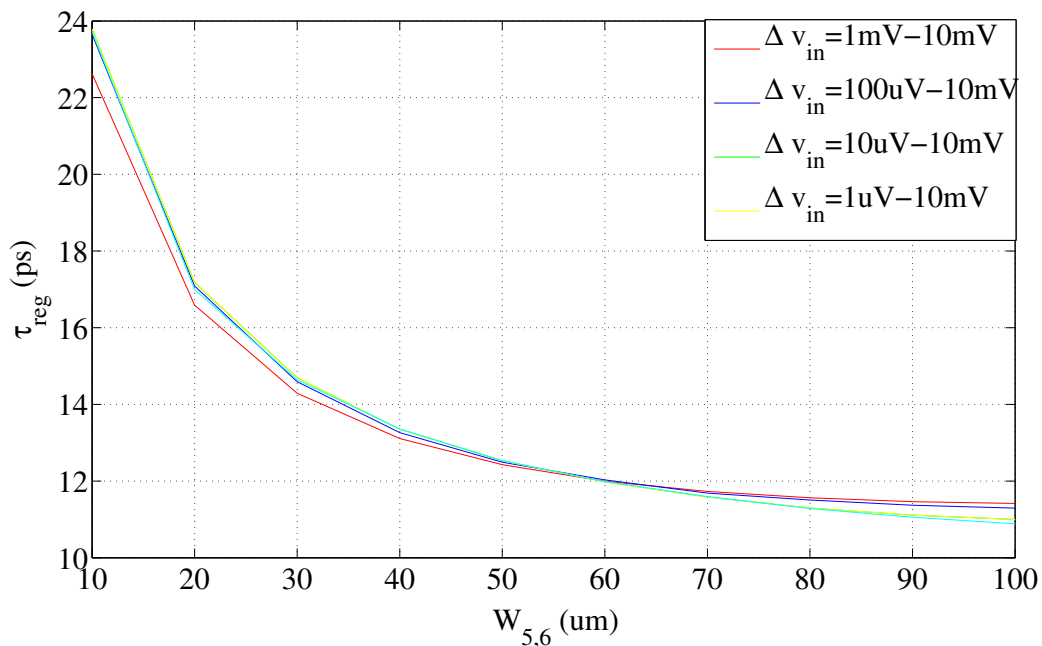
$$\Delta t_{reg} = t_{reg_2} - t_{reg_1} = \tau_{reg} \left[\ln \left(\frac{V_{dd}/2}{A_{v_{prop}} v_{in_2}} \right) - \ln \left(\frac{V_{dd}/2}{A_{v_{prop}} v_{in_1}} \right) \right]. \quad (5.5)$$

Simplificando esta expressão e isolando τ_{reg} , obtêm-se como resultado

$$\tau_{\text{reg}} = \frac{t_{\text{reg}_2} - t_{\text{reg}_1}}{\ln\left(\frac{v_{\text{in}_1}}{v_{\text{in}_2}}\right)}. \quad (5.6)$$

Definindo t_{reg} como o momento que $V_Y - V_X = V_{\text{dd}}/2$ e realizando as simulações para cinco valores de v_{in} entre 10mV e $1\mu\text{V}$, em que 10mV é tomada como a tensão de referência, e para $W_{5,6}$ entre $10\mu\text{m}$ e $100\mu\text{m}$. Os resultados obtidos para τ_{reg} são mostrados na Figura 19 e para a potência na Figura 20.

Figura 19 – Relação entre $W_{5,6}$ e τ_{reg}

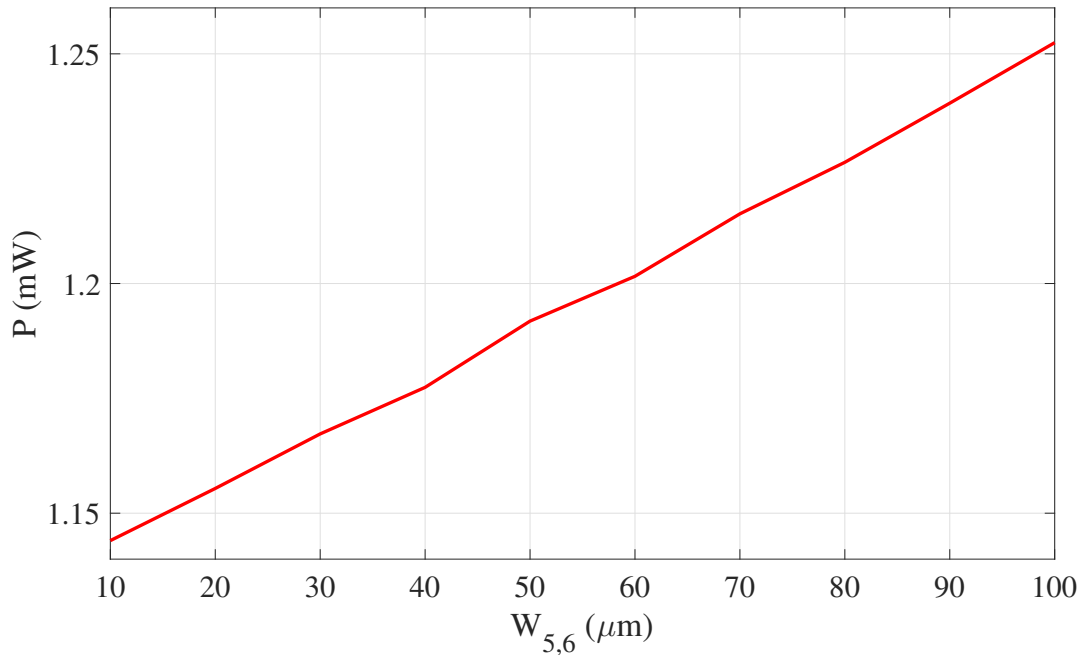


Fonte: Autor (2023)

Assim como nas análises para a escolha da largura de $M_3 - M_4$, a Figura 19 mostra um comportamento proporcional a W^{-1} , apresentando grande variação para $W_{5,6}$ pequeno, até atingir saturação para valores elevados deste parâmetro. Nota-se ainda que τ_{reg} não apresenta variação significativa para uma mudança de v_{in} , como esperado. Observando a Figura 20, conclui-se que a potência dissipada cresce linearmente com a variação de $W_{5,6}$, devido ao aumento da capacitância $C_{X,Y}$. Este aumento é pouco significativo, sendo inferior a 10% para o intervalo mostrado. Isso pode ser explicado pelo impacto limitado de $C_{X,Y}$ no cálculo da potência, dado pela equação (3.1), quando comparado aos demais parâmetros.

A partir destes resultados, comprovamos a observação de que aumentar $W_{5,6}$ reduz o tempo de regeneração, através da redução do valor de τ_{reg} e aumenta a potência dissipada pelo circuito, e dessa maneira, deve-se selecionar um valor para $W_{5,6}$ que relacione estes parâmetros de forma satisfatória. Defini-se então que $W_{5,6} = 60\mu\text{m}$, já que a partir

Figura 20 – Relação entre $W_{5,6}$ e a Potência Dissipada para $v_{in} = 10mV$



Fonte: Autor (2023)

deste valor a diminuição de τ_{reg} deixa de ser significativa, e portanto $\tau_{\text{reg}} \approx 12ps$.

5.5 DEFINIÇÃO DOS TRANSISTORES DE PRÉ-CARGA $M_7 - M_{10}$

Por fim, deve-se determinar as larguras dos transistores de pré-carga do comparador. O critério para esta escolha é de que o circuito deve ser capaz de carregar todos os nós para V_{dd} em meio ciclo de *clock*. Com isso, tem-se que esta escolha está associada a frequência de operação do circuito, que esta condicionada as características de metaestabilidade do comparador, de acordo com a equação 3.5.

Realizando uma simulação preliminar, para $v_{in} = 10mV$, encontra-se que o comparador levou $100ps$ para regenerar completamente a saída. Substituindo este valor em (3.5), obtêm-se

$$100ps + \tau_{\text{reg}} \cdot \ln(k) < \frac{1}{2f_{\text{CLK}}} \quad (5.7)$$

Se, por exemplo, requer-se que o comparador tenha capacidade de comparar tensões na casa de $100nV$ sem erros, substitui-se $k = 10mV/100nV$ na expressão (5.7) e obtêm-se que a frequência máxima de operação é $f_{\text{CLK}} \approx 2GHz$.

Utilizando este resultado, pode-se então projetar os transistores de pré carga. Por simulação, verifica-se que $W_{7,10} = 60\mu\text{m}$ e $W_{8,9} = 40\mu\text{m}$ são suficientes para a pré carga do circuito. Nota-se que $M_{7,10} > M_{8,9}$, que pode ser explicado pela diferença das capaci-

tâncias no nós, já que $C_{P,Q} > C_{X,Y}$, os transistores responsáveis por P e Q precisam ser maiores.

5.6 ANÁLISE DE FUNCIONAMENTO

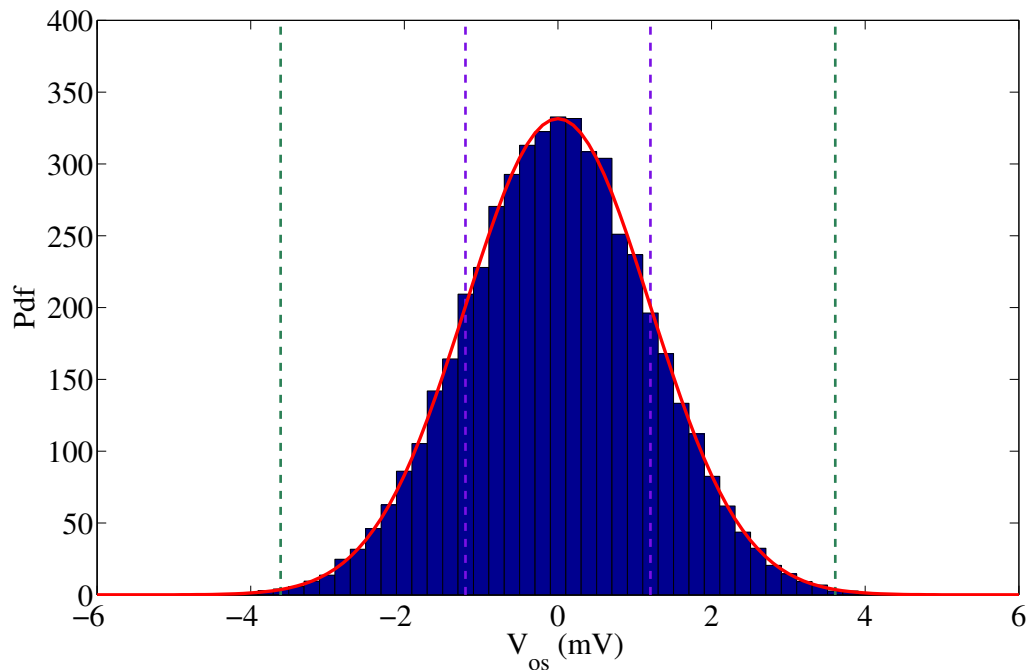
5.6.1 Verificação do *offset*

Finalizado o projeto, deve-se comprovar que este atende o critério inicialmente estabelecido, sendo esta verificação feita através de uma busca binária em uma simulação monte carlo. Essencialmente, para cada iteração da monte carlo, os parâmetros dos componentes do circuito serão alterados, fazendo com que o *offset* seja diferente em cada simulação. Realiza-se então uma busca binária sobre a tensão de entrada do circuito e se verifica para qual tensão as saídas do comparador trocam de valor, ou seja, mudam de $0V$ para V_{dd} e vice versa. Como o *offset* é entendido como uma mudança efetiva em V_{GS} , a tensão para a qual esta mudança acontece é definida como o *offset* equivalente do circuito, portanto $V_{os} = v_{in}$. Conhecido o valor desta tensão para cada uma das simulações realizadas, é então possível calcular o desvio padrão $\sigma(V_{os})$.

Como parâmetros para as simulações, é definido um total de 100.000 iterações pra a simulação monte carlo, enquanto que a busca binária é definida para um intervalo de $-20mV$ a $20mV$ com passo mínimo de 0.1μ . A Figura 21 apresenta o histograma normalizado das tensões de *offset* encontrados para as simulações realizadas.

Nota-se que a distribuição segue o esperado, sendo uma normal com média zero. O desvio padrão $\sigma(V_{os})$ obtido desta simulação é de $1.20mV$, marcado pela linha pontilhada roxa, e está de acordo com a especificação de projeto, cujo limite superior é de $1.5mV$. Desta simulação, ainda é possível determinar a contribuição individual dos pares de transistores, o que permite a verificar se o par $M_1 - M_2$ realmente é responsável pela maior parte do *offset* do circuito. Como resultado, tem-se que a contribuição de $M_1 - M_2$ é $1.106mV$, enquanto que os demais transistores tem contribuição de $0.4648mV$, de forma que $\sigma(V_{os}) = \sqrt{(1.106mV)^2 + (0.4648mV)^2} = 1.20mV$.

Com estes resultados, seria plausível reduzir ainda mais a largura dos transistores, de forma a diminuir o tempo de comparação e potência do circuito, mantendo o critério de $\sigma(V_{os}) < 1.5mV$. Entretanto, opta-se por manter o circuito de acordo com o projeto realizado.

Figura 21 – PDF do *Offset* do Comparador

Fonte: Autor (2023)

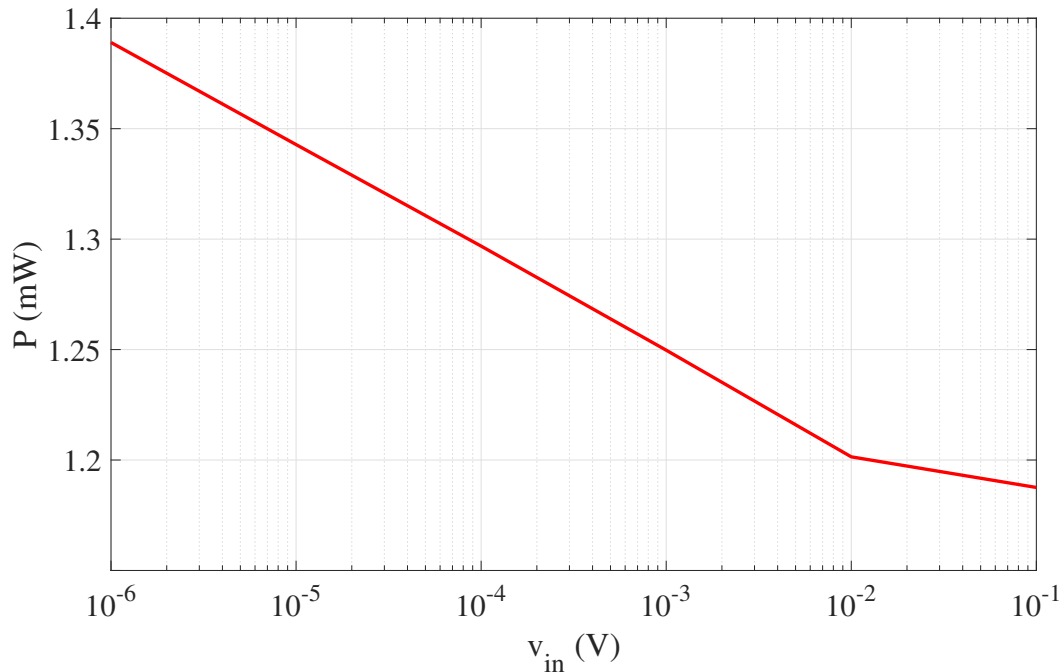
5.6.2 Verificação de Potência

Substituindo na equação (3.1) os valores estimados de $C_{P,Q} = 256 \text{ fF}$ e $C_{X,Y} = 118 \text{ fF}$, dadas pelas equações (4.4) e (4.6), e considerando a operação em 1 GHz , obtêm-se que a potência dissipada pelo circuito é de cerca de 0.8 mW . Sabe-se que, devido a corrente momentânea entre V_{dd} e gnd durante a comparação, este valor de potência será maior na operação real. A Figura 22 mostra a potência dissipada pelo circuito para diferentes valores da tensão de entrada.

Nota-se que a potência dissipada pelo circuito cai com o aumento da tensão de entrada do circuito. Isso acontece devido a diminuição do tempo de curto circuito, já que a velocidade de comparação também aumenta com v_{in} . Comparado com o valor calculado de 0.8 mW , o potência obtida por simulação é cerca de 50% maior para $v_{in} = 100 \text{ mV}$.

5.6.3 Verificação de Ruído

Dado a relação de dependência do ruído com o inverso da capacitância, e por consequência com o inverso de W , mostrado pelas nas equações (3.25), (3.26) e (3.27), é natural esperar que o ruído deste projeto seja pequeno. Para determiná-lo, primeiro obtêm-se a densidade espectral de potência (PSD) de um transistor com as mesmas características de $M_1 - M_2$, polarizado nas mesmas condições de operação do comparador ao final do *sampling*, mostrado na Figura 23.

Figura 22 – Potência Dissipada para Diferentes Valores de v_{in} 

Fonte: Autor (2023)

Deste gráfico, deve-se extrair o valor de $4kT\gamma g_m$ para as altas frequências, que resulta em aproximadamente $4.6 \cdot 10^{-21} A^2/Hz$. Por simulação, sabe-se que o nível de inversão do comparador é $\frac{g_m}{I_d} \approx 11.5$ e que $g_m \approx 200mS$. Ainda, pela equação (4.4), tem-se que $C_{P,Q} \approx 256 fF$. Substituindo estes resultados em (3.25), encontra-se que o desvio padrão do ruído seja $\sigma(v_n) = 0.119mV$.

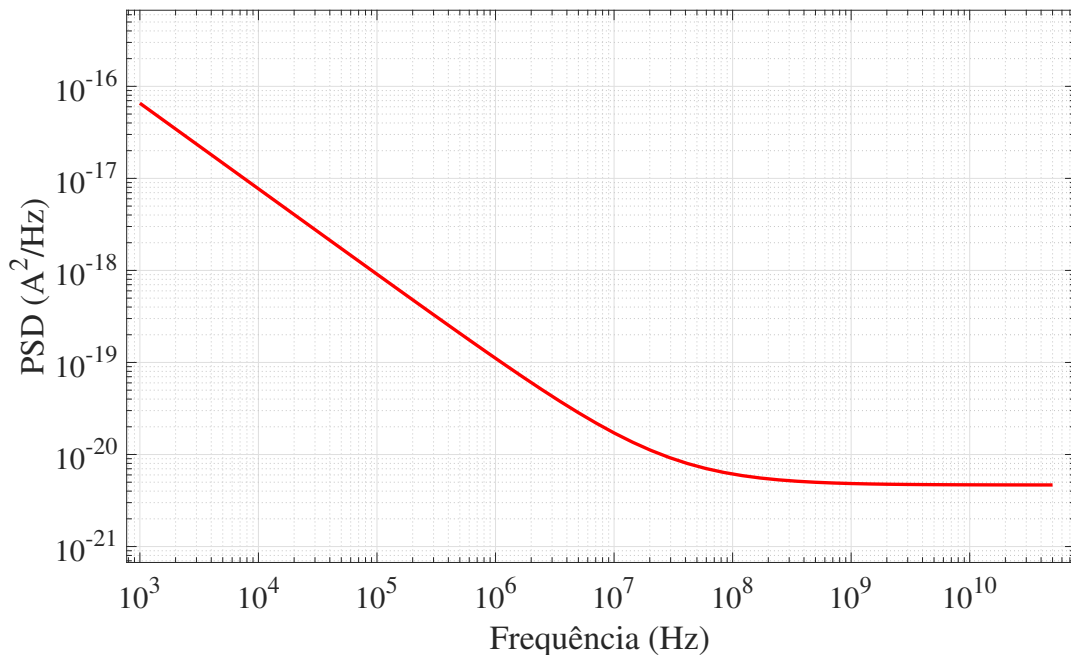
A partir deste valor, tem-se uma boa estimativa para realizar a verificação por simulação detalhada na seção de ruído. Utilizando $V_{in1} - V_{in2} = 0.1mV$, e amostrando 8000 ciclos de *clock* em uma simulação com ruído transiente, obteve-se uma probabilidade $P = 82.9\%$ de se obter um na saída Y . Substituindo este valor em (3.28), encontra-se $\sigma(v_n) = 0.105mV$.

Comparado com o *offset*, este valor é aproximadamente doze vezes menor, e portanto não é significativo, sendo desnecessário realizar modificações no projeto de forma a alterar este parâmetro.

5.6.4 Verificação de *Kickback Noise*

Para analisar o impacto do *kickback noise* na entrada do circuito, deve-se substituir as fontes de tensão utilizadas como entrada por capacitores cuja condição inicial é $V_{CM} \pm v_{in}/2$, definidos para capacitância de $10pF$ e $v_{in} = 10mV$. Ainda, inicializa-se os nodos do circuito de forma a representar o final de uma comparação, com $V_{CLK} = V_Y = V_{dd}$ e

Figura 23 – PSD do Transistor

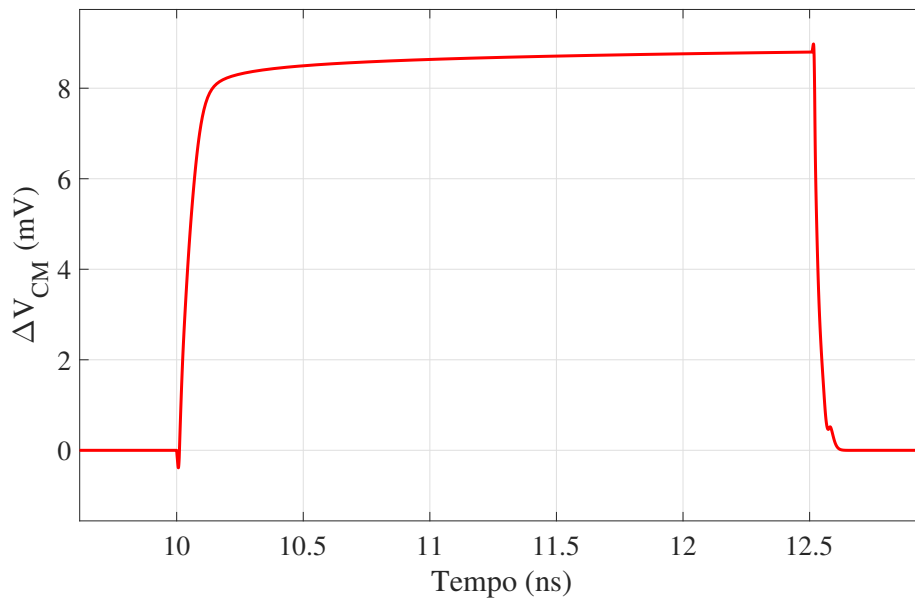


Fonte: Autor (2023)

$V_X = V_P = V_Q = 0V$. Na Figura 24 é mostrado a variação de tensão de modo comum $\Delta V_{CM} = \frac{V_{in1} + V_{in2}}{2}$, e a Figura 25 mostra a variação da tensão diferencial Δv_{in} .

Da Figura 24 percebe-se que, na descida do *clock*, a tensão sobre os capacitores de entrada sobe rapidamente cerca de $8.5mV$, e permanece neste valor durante todo estágio de *reset*. Na subida do *clock*, a tensão retorna ao seu valor original, porém não imediatamente. Dos resultados da Figura 25, nota-se que no início da pré carga, a diferença entre os capacitores cresce em cerca de $400\mu V$, e estabiliza em cerca de $100\mu V$, permanecendo neste valor por todo estágio. Na subida do *clock*, existe uma rápida variação desta tensão, primeiro reduzindo-a e então a aumentando, até que ela retorna para seu valor original. A maior diferença em relação ao valor original é de $570\mu V$.

Ambos estes comportamentos podem ser indesejáveis para o funcionamento do circuito. A variação em grande sinal pode ser indesejável se uma das entradas estivesse conectada a uma tensão de referência, que não segue esta variação de tensão. Dessa forma, o efeito do *kickback noise* atua somente sobre uma das entradas, o que causa uma mudança significativa na tensão diferencial vista pelo circuito. Já a variação diferencial pode ser danosa caso, por exemplo, a tensão sobre os capacitores precise ser alterada durante o *reset*, cuja precisão pode ser comprometida pela variação de tensão causada pelo *kickback noise*, gerando um *offset* efetivo na tensão diferencial vista pelo circuito. Normalizando estas variações de tensão de acordo com a capacitância utilizada na entrada do circuito, tem-se uma variação máxima de $85mV pF$ na entrada comum e de $5.7mV pF$ na tensão diferencial.

Figura 24 – Efeito do *Kickback Noise* Sobre a Tensão dos Capacitores de Entrada

Fonte: Autor (2023)

5.6.5 Resumo de Projeto

A Tabela (2) mostra as larguras de canal W utilizadas no comparador, enquanto que a Tabela (3) mostra os parâmetros e características de operação do circuito.

Tabela 2 – Larguras de Canal W Utilizadas para o Comparador

	$M_{1,2}$	$M_{3,4}$	$M_{5,6}$	$M_{7,10}$	$M_{8,9}$	M_0
W	$380\mu m$	$120\mu m$	$60\mu m$	$60\mu m$	$40\mu m$	$190\mu m$

Fonte: Autor (2023)

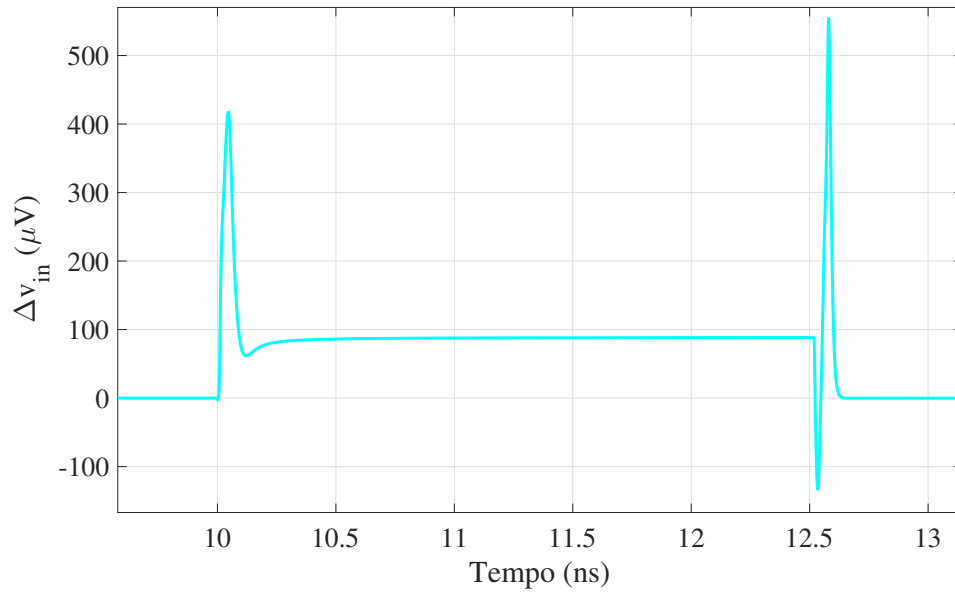
Tabela 3 – Características de Operação do Comparador

	t_{smp}	τ_{reg}	P	$C_{P,Q}$	$C_{X,Y}$	$\sigma(V_{os})$	$\sigma(v_n)$
Calculado	$23ps$	$11.8ps$	$0.8mW$	$256fF$	$118fF$	$1.5mV$	$0.120mV$
Simulado	$20ps$	$12ps$	$1.18mW$	$276fF$	$145fF$	$1.2mV$	$0.105mV$

Fonte: Autor (2023)

Comparando os resultados da Tabela (3), pode-se dizer que as equações de projeto utilizadas foram capazes de, na maior parte, descrever corretamente o comportamento final do comparador. Com relação a P , cuja diferença foi significativa, pode-se explicá-la em sua maior parte ao fato de que a expressão (3.1) desconsidera a potência dissipada devido ao curto circuito momentâneo que ocorre durante a comparação, que para este circuito corresponde a cerca de 50% da potência calculada.

Independente destas diferenças, este projeto mostra a inviabilidade de utilizar a dependência do *offset* com a área dos transistores para projetar um comparador de alta

Figura 25 – Efeito do *Kickback Noise* Sobre a Tensão Diferencial de Entrada

Fonte: Autor (2023)

precisão e baixa potência. Entretanto, a partir dele pôde-se definir uma metodologia de projeto para a maximização das demais características do comparador, bem com uma proporção entre as larguras dos transistores para a operação ótima do circuito, que será mantida para os próximos projetos utilizando circuitos de calibração.

6 PROJETO DE COMPARADOR COM CALIBRAÇÃO DE *OFFSET*

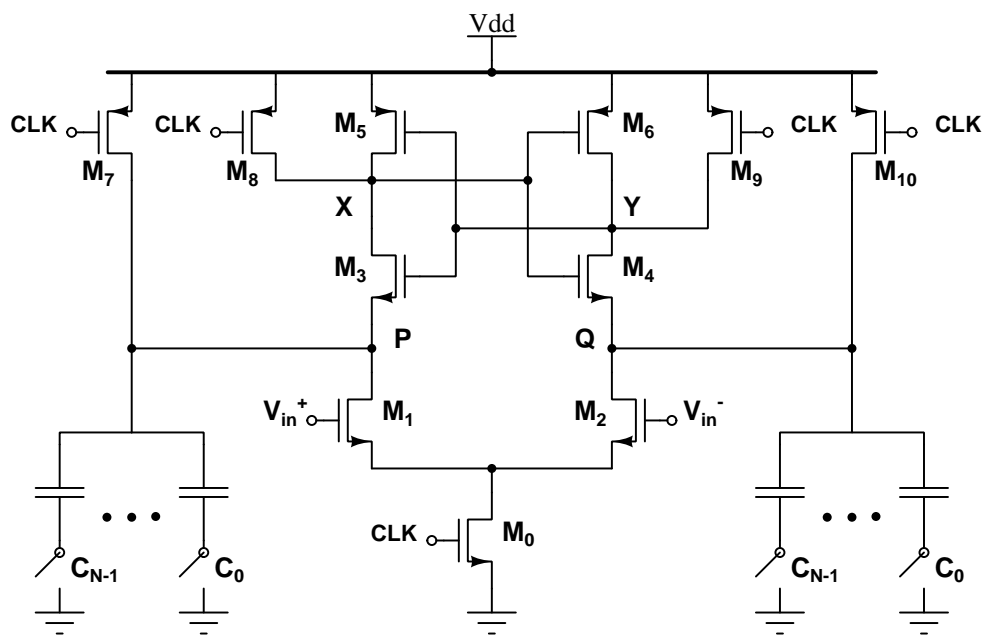
Neste capítulo será desenvolvido o projeto de um comparador que utiliza circuito auxiliar para a calibração de *offset*. É estabelecido como requisito para o projeto que o comparador apresente $\sigma(V_{os}) < 0.5mV$ com a melhor relação entre potência e velocidade possível.

6.1 PRINCÍPIO DE FUNCIONAMENTO

Este método consiste em utilizar um circuito auxiliar capaz de conectar capacitores nos nós do circuito, de forma a causar um desbalanceamento intencional em suas capacitâncias, levando ao aparecimento de um *offset* de mesma magnitude que o presente no circuito, porém de sinal contrário, anulando o impacto do mesmo (XU; ABIDI, 2019).

Para eliminar completamente o *offset*, seria necessário conectar um capacitor capaz de assumir qualquer valor de capacitância. Entretanto, só é possível a utilização de valores discretos de capacitâncias, através de uma cadeia de capacitores de diversos valores, em que um sistema de controle deve selecionar a combinação que melhor minimize o *offset* do comparador. A Figura 26 exemplifica o circuito resultante.

Figura 26 – Comparador com Calibração



Fonte: Adaptado de (XU; ABIDI, 2019)

Os valores das capacitâncias utilizados seguem uma progressão geométrica de

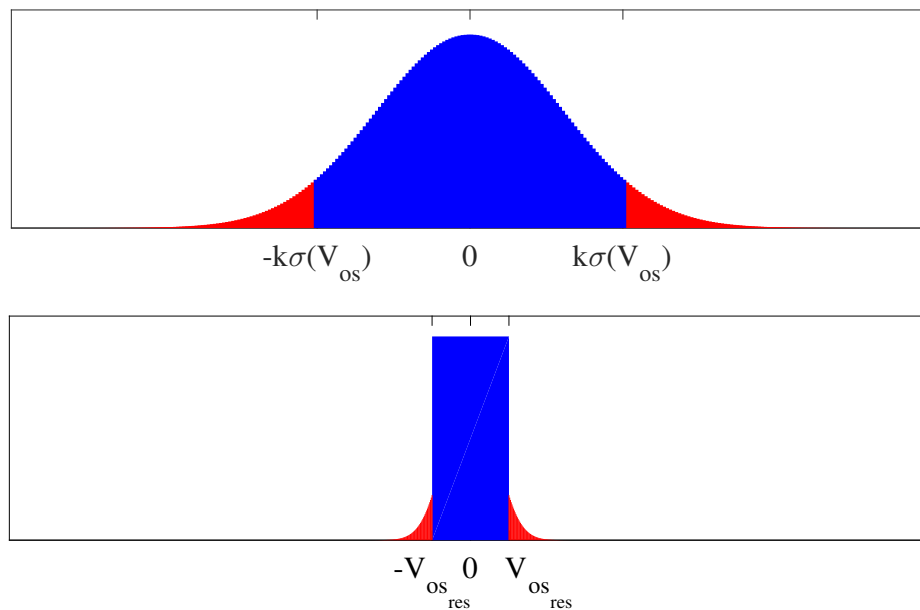
razão 2, dados por

$$C_n = C_0 \cdot 2^n, \quad 0 < n < N - 1, \quad (6.1)$$

em que C_0 é a capacitância base, ou unitária, e N é o total de capacitores utilizados.

O resultado esperado pós calibração é a modificação da distribuição gaussiana original do *offset* do comparador para uma distribuição uniforme, limitada pela resolução do circuito de calibração V_{OSres} . Entretanto, somente os valores de *offset* contidos um determinado intervalo, escolhido a partir do *yeild* requerido para a calibração, e definido como um múltiplo do *offset* original do circuito $k\sigma(V_{OS})$, sofrem esta mudança. Dessa forma, existem valores de *offset* que não são devidamente corrigidos, de acordo com a definição do parâmetro k durante o projeto do circuito. Estes valores são subtraídos de $k\sigma(V_{OS})$, mantendo a característica normal de distribuição. A Figura 27 exemplifica a mudança das distribuições de *offset* pré e pós calibração.

Figura 27 – Distribuição Normal Pré Calibração e Distribuição Uniforme Pós Calibração



Fonte: Autor (2023)

Se tratando de uma distribuição uniforme, pode-se facilmente obter o desvio padrão $\sigma(V_{OScal})$ a partir de sua relação com os limites da distribuição, determinados pela resolução de calibração V_{OSres} , dado por

$$\sigma(V_{OScal}) = \frac{V_{OSres} - (-V_{OSres})}{\sqrt{12}} = \frac{V_{OSres}}{\sqrt{3}}. \quad (6.2)$$

6.2 TEORIA DA CALIBRAÇÃO

Inicialmente, é necessário conhecer o impacto que ΔC tem sobre o *offset* do circuito. Uma forma de determinar tal impacto é mostrado em (XU; ABIDI, 2019), em que a carga integrada em $C_{P,Q}$ e $C_{X,Y}$ devido a um $\Delta C_{P,Q}$, é igual a carga proveniente de um *offset* equivalente na entrada do comparador através do *sampling* e da propagação

$$V_{os} \cdot (t_{smp} + t_{prop}) \cdot g_m = \Delta C_{P,Q} \cdot 2V_{th} , \quad (6.3)$$

logo,

$$V_{os} = \frac{2\Delta C_{P,Q}}{2C_{P,Q} + C_{X,Y}} \cdot \frac{I_d}{g_m} . \quad (6.4)$$

Esta solução é uma forma simplificada de determinar o impacto que um desequilíbrio de capacitâncias nos nós tem sobre o circuito, já que ela não leva em conta a regeneração proporcionada por $M_3 - M_4$ na propagação, ao assumir que as tensões em X e Y seguem o comportamento das tensões em P e Q durante este estágio. Alternativamente, esta expressão pode ser alcançada através de uma análise das tensões nos nós do comparador, semelhante as realizadas para as expressões dos estágios de *sampling* e propagação, considerando o efeito de um $\Delta C_{P,Q}$ no circuito.

Tomando como verdadeira a simplificação utilizada por (XU; ABIDI, 2019), pode-se estender o resultado obtido em (2.2) para a tensão entre os nós X e Y até o final da propagação. Entretanto, neste caso, a diferença de tensão entre os nós não surge devido a uma corrente diferencial Δi integrada em uma capacitância equivalente até o fim da propagação, mas sim de uma diferença de tempo Δt que a corrente de modo comum atua sobre um dos nós em relação ao outro, descrito por

$$v_{XY} = \frac{I/2 \cdot \Delta t}{2C_{P,Q} + C_{X,Y}} . \quad (6.5)$$

O valor de Δt representa o efeito que ΔC tem sobre o tempo de *sampling* e propagação. Para determiná-lo, primeiro adiciona-se ΔC nas expressões (2.5) e (2.11) e faz-se sua soma, cujo resultado é

$$t_{smp} + t_{prop} + \Delta t = \frac{V_{th} \cdot (2C_{P,Q} + C_{X,Y} + 2\Delta C_{P,Q})}{I/2} . \quad (6.6)$$

Isolando a parcela referente a ΔC em (6.6), encontra-se

$$\Delta t = \frac{V_{th} \cdot 2\Delta C_{P,Q}}{I/2} . \quad (6.7)$$

Por fim, substituindo (6.7) em (6.5), encontra-se a tensão em função de $\Delta C_{P,Q}$. Dividindo este resultado pelo ganho do estágio de *sampling* (2.6), tem-se o *offset* equivalente na

entrada do circuito causado por $\Delta C_{P,Q}$, que é dado por

$$V_{os} = \frac{2\Delta C_{P,Q}}{2C_{P,Q} + C_{X,Y}} \cdot \frac{I_d}{g_m}. \quad (6.8)$$

Deste resultado, nota-se que é possível causar um *offset* artificial na entrada do circuito através do desbalanço das capacitâncias dos nós, que pode ser utilizado de modo a se contrapor ao *offset* original do circuito. Ainda, têm-se que a influência de $\Delta C_{P,Q}$ no V_{os} é modificada por dois caminhos, sendo eles as capacitâncias equivalentes originais nos nós do comparador $C_{P,Q}$ e $C_{X,Y}$ e o nível de inversão do circuito g_m/I_d de $M_{1,2}$. Dessa forma, comparadores que apresentam alta capacitância equivalente ou que operam em inversão fraca permitem um ajuste mais preciso para um mesmo $\Delta C_{P,Q}$ aplicado. Entretanto, isso também significa que é necessário um $\Delta C_{P,Q}$ maior para eliminar grandes *offsets*.

O máximo *offset* residual pós calibração é a resolução do circuito de calibração $V_{os,res}$, e é dada pelo menor $\Delta C_{P,Q}$ possível de ser implementado. No circuito de calibração, este é definido como C_0 , e portanto estabelece-se a resolução do circuito de calibração como

$$V_{os,res} = \frac{2 \cdot C_0}{2C_{P,Q} + C_{X,Y}} \cdot \frac{I_d}{g_m}, \quad (6.9)$$

que pode ser reescrita de forma a encontrar C_0

$$C_0 = \left(\frac{V_{os,res}}{2} \right) (2C_{P,Q} + C_{X,Y}) \cdot \frac{g_m}{I_d}. \quad (6.10)$$

Outro parâmetro importante é a capacidade máxima de rejeição de *offset*, que está associada ao máximo desbalanço que o circuito de calibração pode causar ao comparador, que acontece quando todos os capacitores estão acoplados, cujo valor é dado pelo somatório das capacitâncias da equação (6.1), e pode ser escrito com base no maior capacitor de calibração C_{N-1} , de acordo com

$$\sum_0^{N-1} C_0 \cdot 2^n \approx 2 \cdot C_{N-1}. \quad (6.11)$$

Escrevendo a máxima rejeição de *offset* como um múltiplo do $\sigma(V_{os})$ pré calibração, escolhido de acordo com o *yield* necessário para o circuito, substitui-se o resultado de (6.11) em (6.8), e obtém-se

$$k \cdot \sigma(V_{os}) = \frac{2(2 \cdot C_{N-1})}{2C_{P,Q} + C_{X,Y}} \cdot \frac{I_d}{g_m}. \quad (6.12)$$

Isolando C_{N-1} , pode-se obter o valor mínimo do maior capacitor de calibração necessário, dado por

$$C_{N-1} = \left(\frac{k \cdot \sigma(V_{os})}{4} \right) (2C_{P,Q} + C_{X,Y}) \cdot \frac{g_m}{I_d}. \quad (6.13)$$

Com estes resultados, é possível determinar o número de capacitores necessários

para o circuito de calibração ao resolver a expressão (6.11) e isolar N , resultando em

$$N = \log_2 \left(\frac{C_{N-1}}{C_0} \right) + 1. \quad (6.14)$$

Reescrevendo (6.14) com base nos resultados das expressões (6.13) e (6.10), obtêm-se N em função dos parâmetros de *offset* do circuito, dado por

$$N = \log_2 \left(\frac{k \cdot \sigma(V_{os})}{V_{osres}} \right). \quad (6.15)$$

Com estas equações, seria possível realizar o projeto do comparador com circuito auxiliar de calibração. Entretanto, assim como feito para o primeiro projeto, é necessário expressar as equações em função do parâmetro W dos transistores. Para isso, é necessário relacionar $\sigma(V_{os})$ e as capacitâncias do circuito com a largura de canal dos transistores utilizados.

Já foi mostrado que o parâmetro $\sigma(V_{os})$ do comparador pode ser obtido através da expressão (5.1). Foi também mostrado que a contribuição de $M_5 - M_6$ é desprezível, e portanto pode ser omitida da expressão. Dessa forma, pode-se reescrever (5.1) como

$$\sigma(V_{os}) = \sqrt{\left(\frac{A_{vthM_{1,2}}^2 \cdot A_{v_{smp}}^2 + W_{1,2}/W_{3,4} \cdot A_{vthM_{3,4}}^2}{W_{1,2} \cdot L \cdot A_{v_{smp}}^2} \right)}. \quad (6.16)$$

Para a análise das equações, é mantida a proporção de $W_{1,2}/W_{3,4} = 3.15$ obtida para o primeiro projeto, e portanto tem-se que

$$\sigma(V_{os}) = \sqrt{\left(\frac{A_{vthM_{1,2}}^2 \cdot A_{v_{smp}}^2 + 3.15 \cdot A_{vthM_{3,4}}^2}{W_{1,2} \cdot L \cdot A_{v_{smp}}^2} \right)}. \quad (6.17)$$

As capacitâncias $C_{P,Q}$ e $C_{X,Y}$ também podem ser escritas com base em $W_{1,2}$, já que estas variam linearmente, devido a proporção fixa entre os transistores de 3.15. Para isso, extrai-se dois parâmetros específicos para a proporção de transistores estabelecida a partir do projeto sem calibração, que relacionam cada capacitância com $W_{1,2}$, dadas por

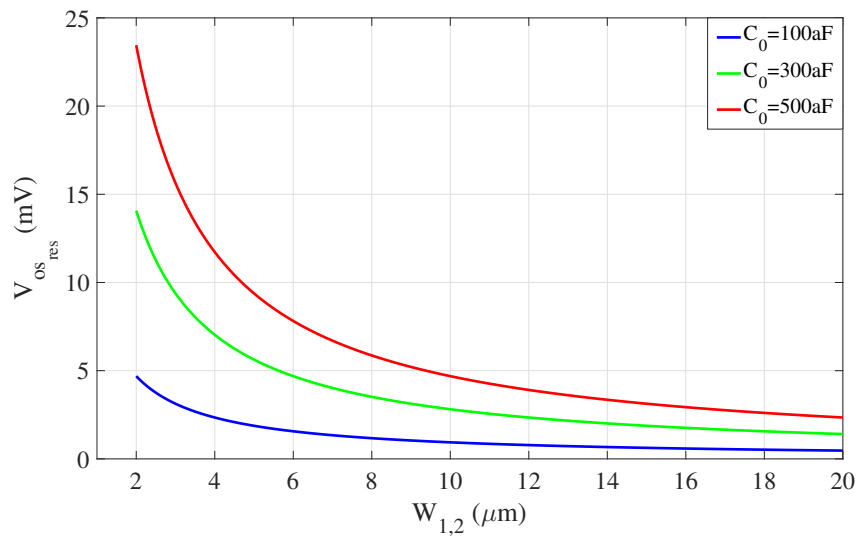
$$A_{cap}^{P,Q} = \frac{C_{P,Q}}{W_{1,2}} \approx 689pF/m, \quad A_{cap}^{X,Y} = \frac{C_{X,Y}}{W_{1,2}} \approx 476pF/m. \quad (6.18)$$

Substituindo estes resultados na equação (6.9), escreve-se a resolução de calibração em função de $W_{1,2}$ como

$$V_{osres} = \frac{2 \cdot C_0}{W_{1,2} \cdot (2A_{cap}^{P,Q} + A_{cap}^{X,Y})} \cdot \frac{I_d}{g_m} \quad (6.19)$$

A Figura 28 mostra a resolução de calibração, a partir da equação (6.9), obtida em função de uma variação em $W_{1,2}$, para diferentes valores de C_0 . Da Figura 28, fica evidente que

Figura 28 – Resolução de Calibração $V_{OS_{res}}$ em Função de $W_{1,2}$ para Diferentes Valores de C_0

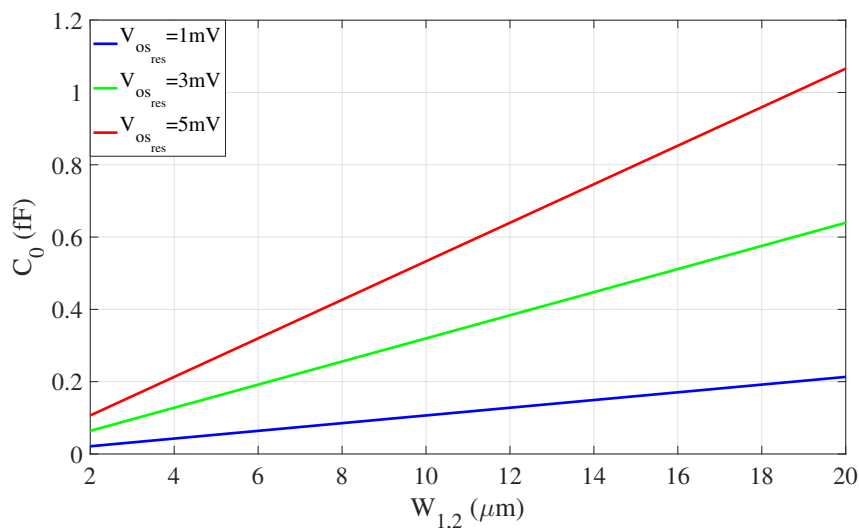


Fonte: Autor (2023)

o tamanho do comparador impacta a capacidade que C_0 tem de compensar o *offset* do circuito, já que para $W_{1,2}$ pequenos, uma redução em C_0 causa uma mudança significativa em $V_{OS_{res}}$, enquanto que para $W_{1,2}$ grandes, $V_{OS_{res}}$ não apresenta grandes mudanças.

Por outro ângulo, a Figura 29 mostra a máxima capacitância C_0 que pode ser utilizada para se atingir determinados $V_{OS_{res}}$ em função de $W_{1,2}$. Nota-se o comportamento

Figura 29 – Capacitância Unitária Máxima C_0 em Função de $W_{1,2}$ para Diferentes Valores de $V_{OS_{res}}$



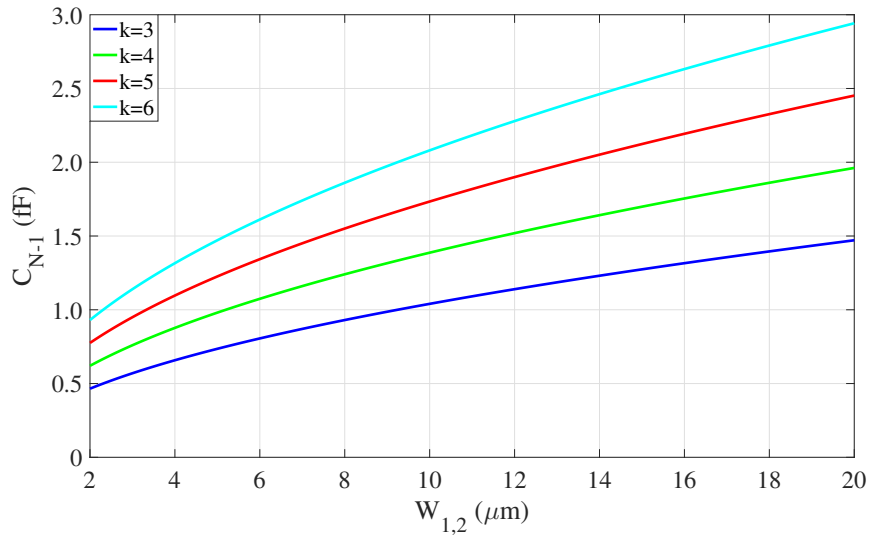
Fonte: Autor (2023)

linear das curvas, com diferença na inclinação de acordo com a resolução de calibração desejada. Para comparadores menores, se torna necessário utilizar valores de C_0 de menor magnitude, o que pode ser limitado pela capacidade da tecnologia de prover tais capacitâncias. Caso esta limitação exista, tem-se como alternativa o aumento de $W_{1,2}$, que

possibilita o uso de valores maiores para C_0 .

A Figura 30 mostra o comportamento de C_{N-1} em função de $W_{1,2}$, para diferentes *yeilds*, definidos através do parâmetro k , com base na equação (6.13). Diferente de C_0 ,

Figura 30 – Capacitância C_{N-1} Mínima em Função de $W_{1,2}$ para Diferentes *yeilds* k

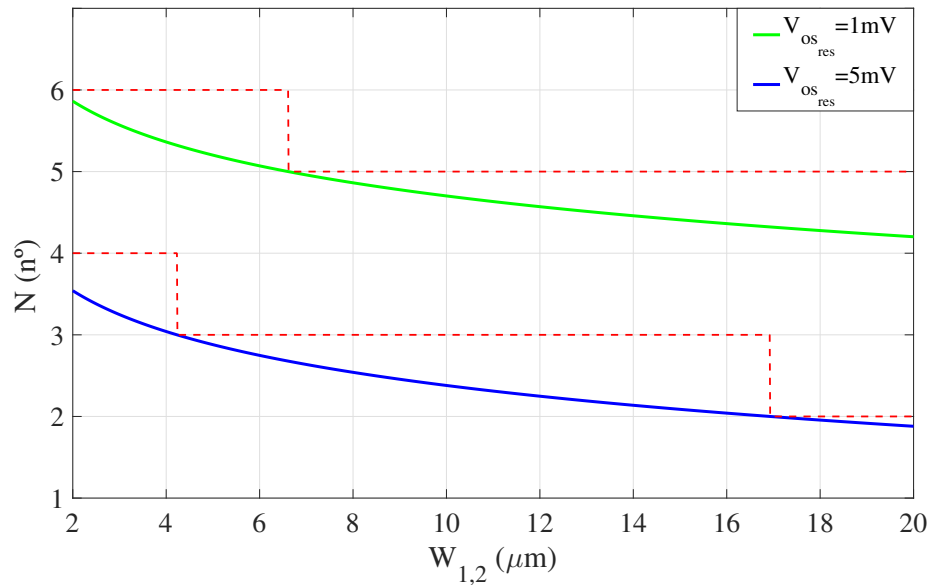


Fonte: Autor (2023)

que apresenta comportamento linear, C_{N-1} varia de acordo com a raiz de $W_{1,2}$. Considerando $W_{1,2}$ pequeno, percebe-se que a diferença entre C_{N-1} para cada condição de *yeilds* também é pequena. Já para $W_{1,2}$ grande, essa diferença passa a crescer junto, sendo necessário aumentar significativamente a capacitância utilizada para aumentar o *yeild* de projeto.

Por fim, a relação entre C_0 máximo e C_{N-1} mínimo é usada para determinar o número de componentes necessários para a calibração, com base na equação (6.14). A Figura 31 relaciona estes parâmetros para diferentes requisitos de $V_{\text{os, res}}$. Nota-se que, quanto mais rígido for o requisito de $V_{\text{os, res}}$, maior será o número de componentes necessário. Relacionando com a Figura 29, pode-se atribuir este resultado a necessidade de se utilizar um valor de C_0 menor, aumentando o número de incrementos de capacitâncias necessárias para alcançar o valor de C_{N-1} . Com relação a $W_{1,2}$, verifica-se que quanto maior a área do comparador, menor é a quantidade de capacitâncias necessárias. Considerando uma situação de projeto, em que se deseja minimizar o tamanho dos componentes, deve-se avaliar se é preferível reduzir $W_{1,2}$ as custas de adicionar um novo componente de calibração. Ainda, se tratando de um intervalo de $W_{1,2}$ em que o número de capacitâncias necessárias é a mesma, existe pouco incentivo para escolher o maior $W_{1,2}$ do intervalo, fora limitação tecnológica ou outro fator externo.

Considerando um exemplo de projeto para um comparador e circuito de calibração, são tomados como requisitos: a capacidade de compensar quatro vezes o *offset* original do circuito; e que o máximo $\sigma(V_{\text{os, cal}})$ após a calibração seja inferior a 0.5mV .

Figura 31 – Capacitância C_{N-1} Mínima em Função de $W_{1,2}$ para Diferentes Valores de k 

Fonte: Autor (2023)

Conhecido $\sigma(V_{os,cal})$, pode-se determinar $V_{os,res}$ a partir da expressão (6.2), que resulta em $V_{os,res} = 0.866\text{mV}$. A Figura 32 e Figura 33 mostram, respectivamente, os valores de capacitância máximo para C_0 e mínimo para C_{N-1} , enquanto que a Figura 34 mostra o número de capacitores N necessários para o circuitos de calibração em função de uma variação de $W_{1,2}$ entre $2\mu\text{m}$ e $20\mu\text{m}$.

A Figura 34 indica três intervalos relevantes para a determinação de $W_{1,2}$. Para valores menores que $2.2\mu\text{m}$, seriam necessários 7 componentes de calibração, para valores entre $2.2\mu\text{m}$ e $9.0\mu\text{m}$ seriam necessários 6 capacitâncias, enquanto que valores superiores a $9\mu\text{m}$ requerem 5 componentes. Considerando que, dentro de cada intervalo, não existe incentivo para selecionar maiores valores de $W_{1,2}$, a largura escolhida deveria ser a mínima para cada intervalo. Entretanto, considerando que a menor capacitância que pode ser utilizado é de 50aF , devido a limitações de tecnologia, o projeto é limitado para $W_{1,2} \geq 5.5\mu\text{m}$, e portanto escolhe-se $W_{1,2} = 6\mu\text{m}$, sendo então necessários 6 capacitores para o circuito de calibração.

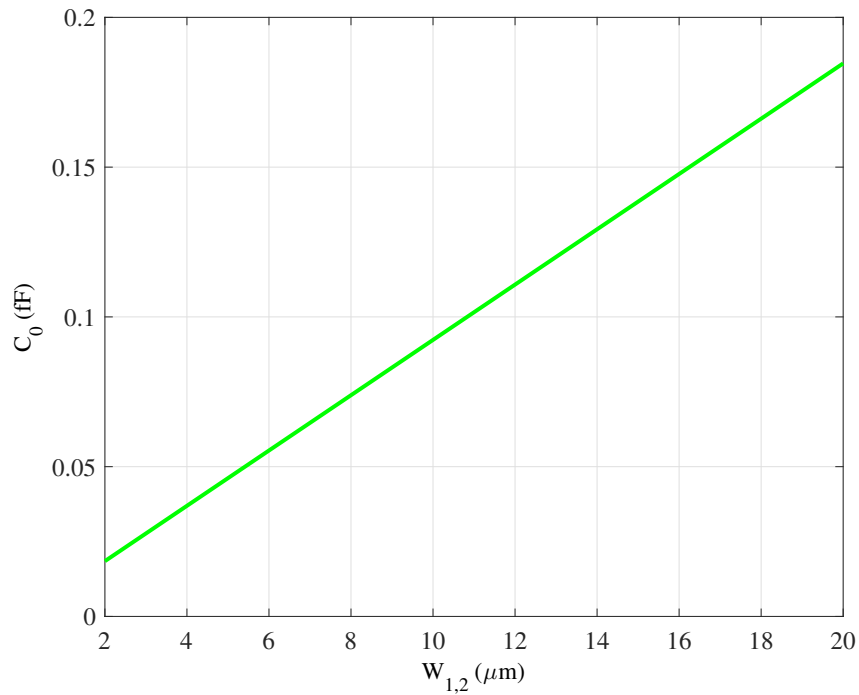
A partir desta definição, utiliza-se a relação entre larguras de canal previamente estabelecida e obtêm-se os parâmetros de cada transistor, mostrados na Tabela (4). Os valores das capacitâncias são mostrados na Tabela (5).

Tabela 4 – Larguras de Canal W Utilizadas para o Comparador

	$M_{1,2}$	$M_{3,4}$	$M_{5,6}$	$M_{7,10}$	$M_{8,9}$	M_0
W	$6\mu\text{m}$	$2\mu\text{m}$	$1\mu\text{m}$	$1.2\mu\text{m}$	$0.36\mu\text{m}$	$3\mu\text{m}$

Fonte: Autor (2023)

Utilizando a equação (6.13), pode-se verificar o quanto a calibração é capaz de re-

Figura 32 – Capacitância Máxima C_0 em Função de $W_{1,2}$ 

Fonte: Autor (2023)

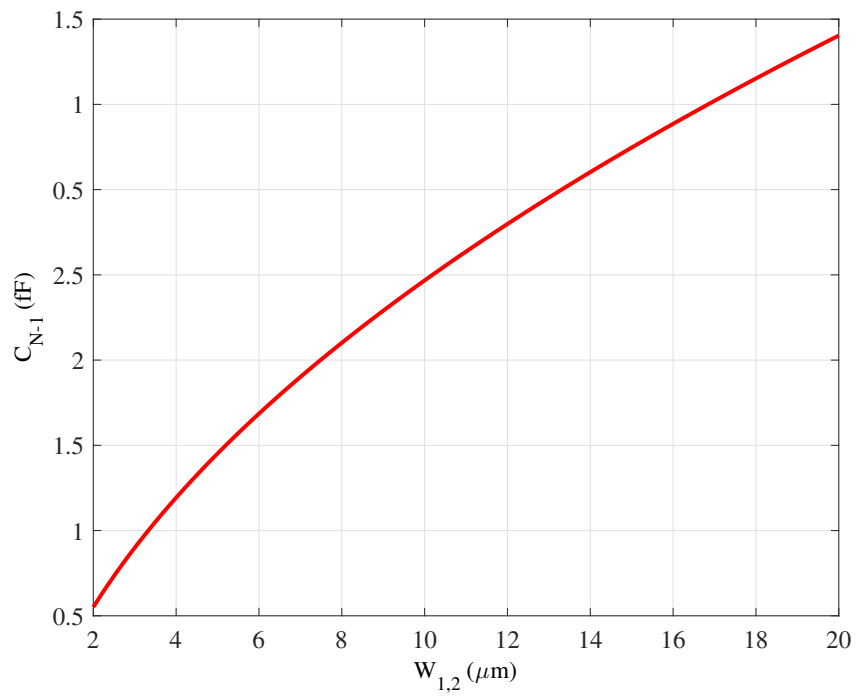
Tabela 5 – Valores de Capacitâncias Utilizadas

	C_0	C_1	C_2	C_3	C_4	C_5
C	$50aF$	$100aF$	$200aF$	$400aF$	$800aF$	$1600aF$

Fonte: Autor (2023)

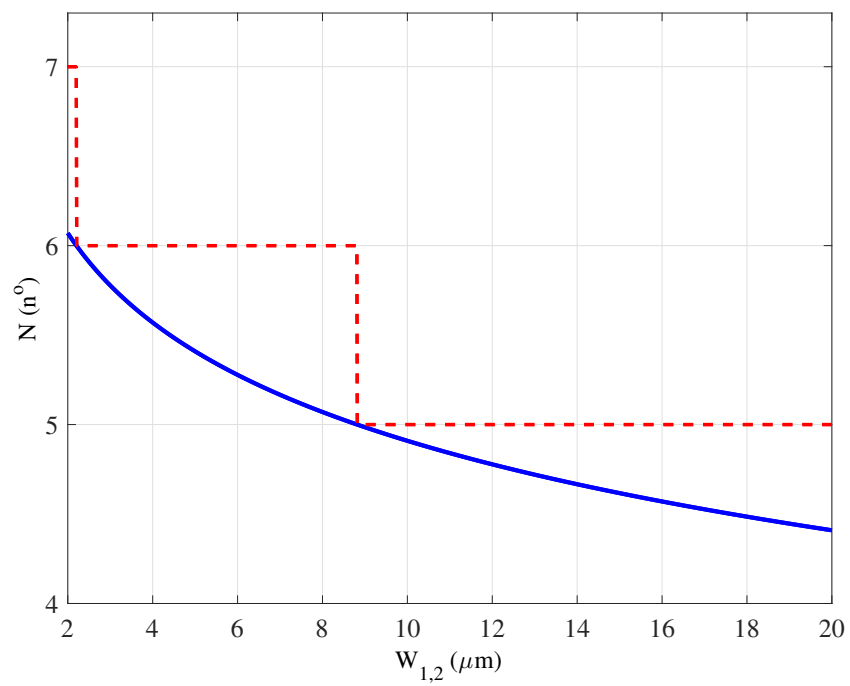
mover, calculando o valor de C_{N-1} e substituindo na expressão, cujo resultado $50mV$. Dividindo este resultado pelo *offset* calculado na equação (6.17) para $W_{1,2} = 6\mu m$, encontra-se uma relação de aproximadamente 5. Com isso, espera-se que o circuito seja capaz de corrigir cerca de $5\sigma(V_{os})$, valor superior ao mínimo desejado.

Figura 33 – Capacitância Mínima C_{N-1} em Função de $W_{1,2}$



Fonte: Autor (2023)

Figura 34 – Número de Capacitores N em Função de $W_{1,2}$



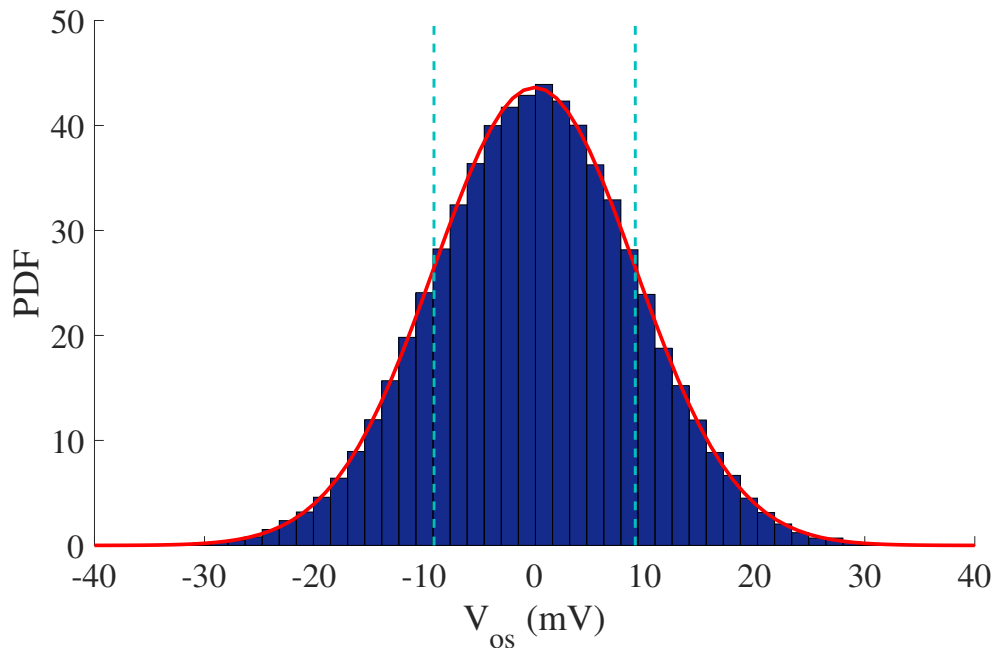
Fonte: Autor (2023)

6.3 ANÁLISE DE FUNCIONAMENTO

6.3.1 Verificação do *Offset*

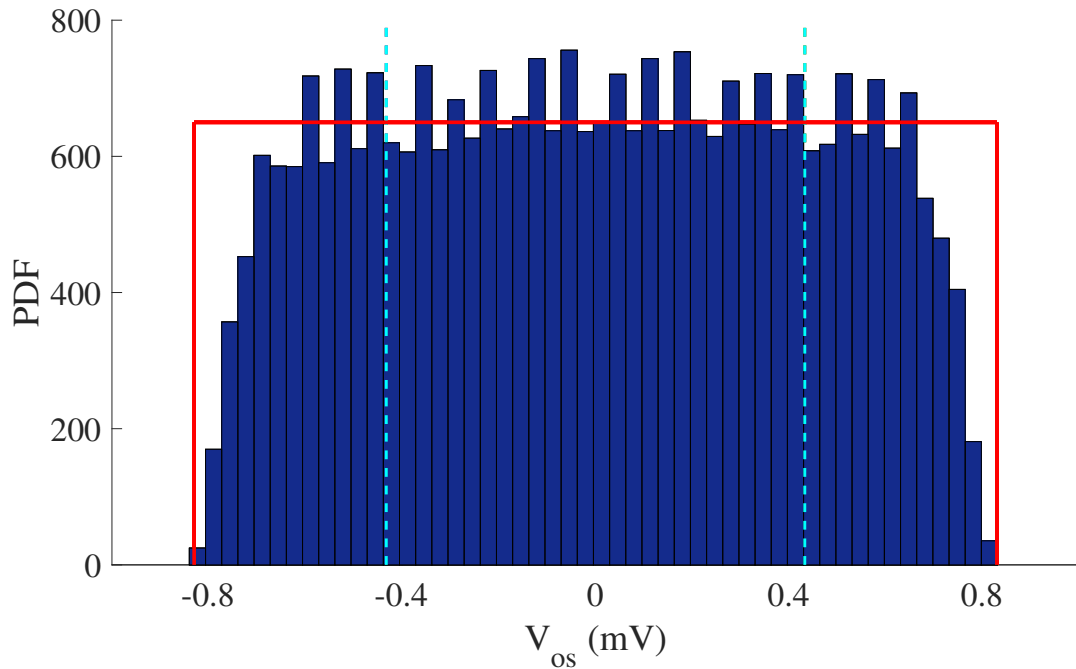
Para a verificação do processo de calibração, novamente realiza-se uma simulação monte carlo com 100 mil iterações. Para cada iteração da monte carlo, o *offset* do comparador deve ser corretamente identificado e compensado. De modo a realizar a comparação entre os resultados pré e pós calibração, são extraídos desta simulação ambos os parâmetros de *offset*. A Figura 35 mostra a distribuição dos valores pré calibração, enquanto que a Figura 36 mostra a distribuição pós calibração.

Figura 35 – PDF do *Offset* Pré Calibração



Fonte: Autor (2023)

A Figura 35 revela uma distribuição de *offsets* com característica normal, cujo desvio padrão é $\sigma(V_{os}) = 9.1mV$. Na Figura 36, percebe-se a mudança para uma distribuição uniforme, cujos limites estão em aproximadamente $0.83mV$ e, por consequência, o desvio padrão é $\sigma(V_{os}) = 0.48mV$. Considerando que o circuito foi projetado para um *offset* pós calibração de $\sigma(V_{os}) < 0.5mV$, pode-se dizer que o comparador atendeu tal requisito. Ainda, nota-se na Figura 35 que em uma das iterações da monte carlo, o *offset* do circuito foi superior a $36mV$, valor correspondente a $4\sigma(V_{os})$, e que esta situação foi corretamente compensada pelo circuito de calibração, levando o *offset* para um valor inferior a $|V_{os_{res}}|$. Dessa forma, também pode-se afirmar que a calibração atendeu o requisito de compensar quatro vezes o *offset* original do circuito.

Figura 36 – PDF do *Offset* Pós Calibração

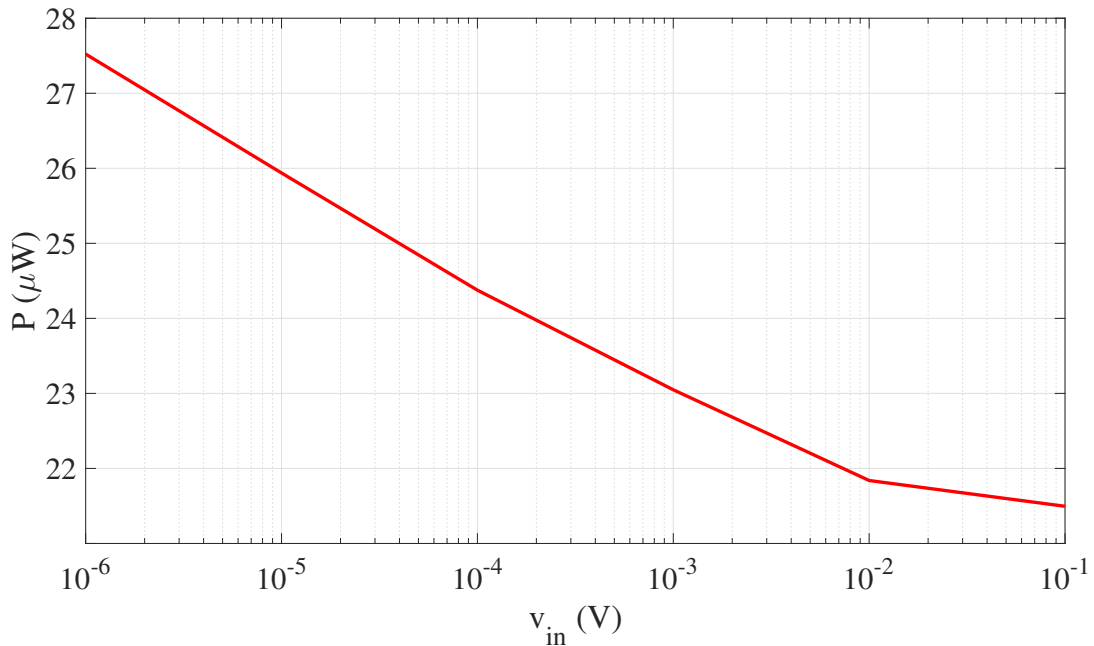
Fonte: Autor (2023)

Através da inserção de um *offset* determinístico ao comparador, é possível verificar o limite da capacidade de correção do circuito de calibração. Iterando sobre este parâmetro, estabelece-se que o máximo *offset* possível de ser eliminado é 41.6mV , equivalente a $4.6\sigma(V_{os})$.

6.3.2 Verificação de Potência

Substituindo as estimativas de $C_{P,Q} = 4.2\text{fF}$ e $C_{X,Y} = \text{fF}$ na equação (3.1), para a operação em $f_{CLK} = 1\text{GHz}$, têm-se que a potência dissipada pelo circuito é de aproximadamente $13\text{ }\mu\text{W}$. A Figura 37 mostra a potência dissipada considerando $1\text{ }\mu\text{V} \leq v_{in} \leq 100\text{ mV}$, obtidas por simulação.

Assim como no primeiro projeto, a potência dissipada pelo circuito é cerca de 50% maior que a calculada, considerando a operação com $v_{in} = 100\text{ mV}$. Isso mostra que a contribuição da corrente de circuito é significativa, independentemente da largura de canal utilizada, e por consequência, da magnitude da corrente do circuito.

Figura 37 – Potência Dissipada para Diferentes Valores de v_{in} 

Fonte: Autor (2023)

6.3.3 Verificação de Ruído

Com base nas expressões (3.25), (3.26) e (3.27), pode-se dizer que ruído deste projeto será mais impactante que o do primeiro, devido a grande redução da capacitância do circuito. Sabendo ainda que a capacitância se relaciona com W de forma linear, pode-se aproximar o valor do ruído deste projeto pela raiz do quociente entre $W_{1,2}$ de cada projeto, ou seja, que o ruído deve ser $\sqrt{\frac{380\mu m}{6\mu m}} \approx 8$ vezes maior que o do primeiro projeto.

Repete-se o processo realizado para a extração de PSD do ruído do primeiro projeto, porém para $W_{1,2} = 6\mu m$, em que encontra-se $71.87 \cdot 10^{-24} A^2/Hz$. Por simulação, sabe-se que o nível de inversão do comparador é $\frac{g_m}{I_d} \approx 11.5$ e que $g_m \approx 3.5mS$. Ainda, pela equação (4.4), tem-se que $C_{P,Q} \approx 4.2fF$. Utilizando a equação (3.25), que fornece como estimativa de ruído $\sigma(v_n) = 0.88mV$.

Definindo $V_{in_1} - V_{in_2} = 0.8mV$ para a verificação por simulação, e amostrando 8000 ciclos de *clock*, obteve-se uma probabilidade $P = 88\%$ de se obter V_{dd} na saída Y . Utilizando estes parâmetros na equação (3.28), encontra-se $\sigma(v_n) = 0.7mV$. Dessa forma, confirma-se as estimativas anteriores, já que este valor é muito superior ao obtido pelo primeiro projeto, sendo cerca de 7 vezes maior.

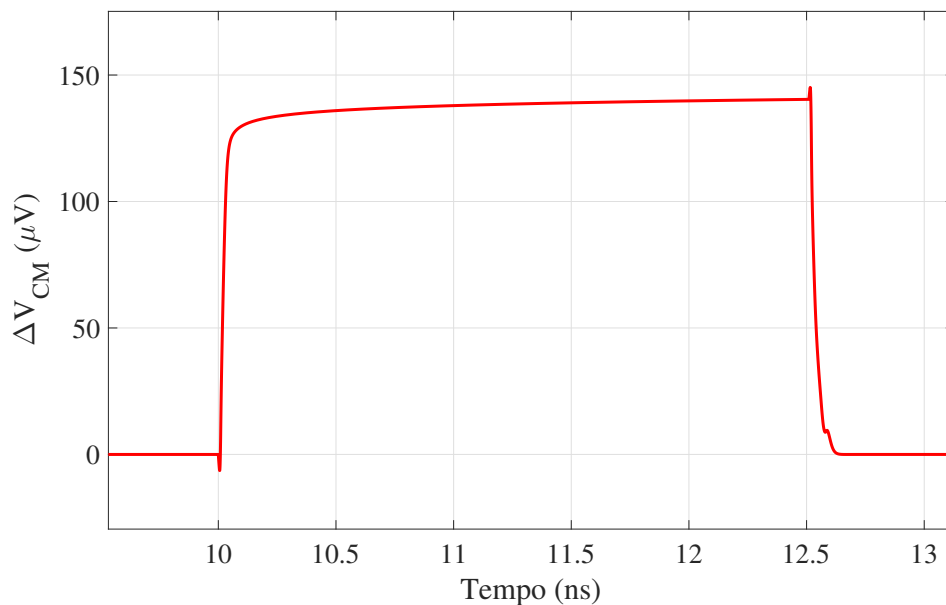
Ainda, tem-se que este resultado é próximo a resolução do circuito de calibração, determinada como $0.8mV$. Com isso, pode-se dizer que o circuito tem sua precisão limitada pelo *offset* e pelo ruído com contribuições semelhantes. Considerando uma operação genérica, esta relação se mostra satisfatória, já que qualquer tentativa de melhora destes parâmetros levaria a uma piora das demais características do comparador. Isso acontece

devido a impossibilidade de aumentar a resolução de calibração, tornando o aumento das capacitâncias do circuito o único modo e reduzir o *offset*, sendo também a condição de melhora do ruído.

6.3.4 Verificação de *Kickback Noise*

Repetindo a simulação feita para o primeiro projeto, utilizando capacitores de $10pF$ e $v_{in} = 10mV$, tem-se o comportamento de modo comum na capacitância de entrada mostrada pela Figura 38, e o comportamento diferencial mostrado pela Figura 39.

Figura 38 – Efeito do *Kickback Noise* Sobre V_{CM}

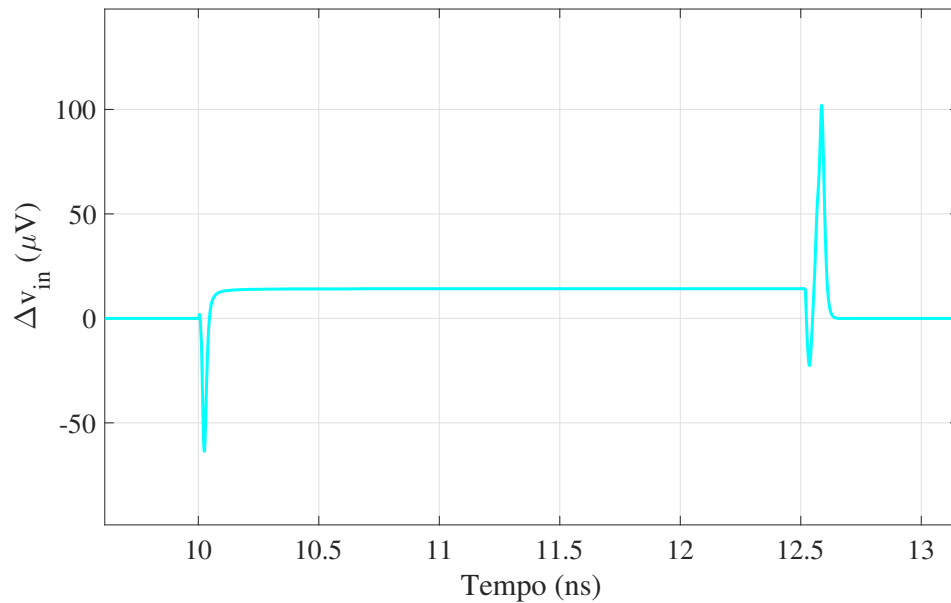


Fonte: Autor (2023)

Da Figura 38, nota-se que a variação de tensão na mudança do *clock* para o modo comum é de aproximadamente $130\mu V$, enquanto que o comportamento diferencial da Figura 39 mostra uma variação máxima de $15\mu V$ em relação ao valor original durante a subida do *clock*. Normalizando estes resultados pelo valor de capacitância utilizado na entrada, tem-se $1.3mVpF$ para o comportamento de modo comum, e $150\mu VpF$ para o comportamento diferencial.

6.3.5 Resumo de Projeto

A Tabela (6) mostra a comparação entre os valores calculados e simulados das características de operação do circuito projetado. Assim como para os dados do primeiro

Figura 39 – Efeito do *Kickback Noise* Sobre v_{in} 

Fonte: Autor (2023)

Tabela 6 – Características de Operação do Comparador

	t_{smp}	τ_{reg}	P	$C_{P,Q}$	$C_{X,Y}$	$\sigma(V_{\text{os}})$	$\sigma(v_n)$
Calculado	21ps	15ps	13 μ W	4.2fF	2.3fF	0.5mV	0.734mV
Simulado	20ps	13.7ps	21 μ W	4.19fF	2.77fF	0.48mV	0.7mV

Fonte: Autor (2023)

projeto, percebe-se que os valores calculados aproximaram adequadamente o comportamento do circuito. Com relação a potência, mais uma a contribuição da corrente de curto circuito foi de aproximadamente 50% da potência calculada.

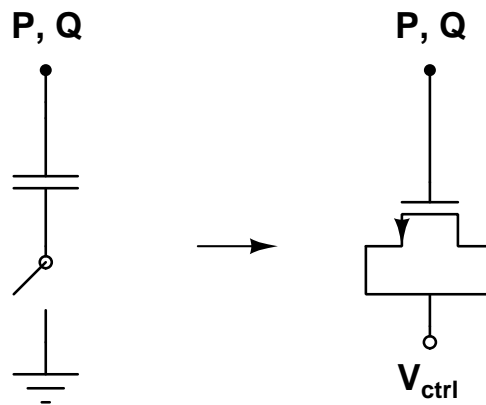
Comparando os resultados de cada projeto, nota-se diferença significativa em diversos parâmetros. A maior mudança está na potência dissipada pelo circuito, que caiu de 1.25mW para 20 μ W, ou seja, cerca de 63 vezes. Isso acontece devido a grande diminuição no tamanho dos transistores, e por consequência as capacitâncias equivalentes, indicada pela comparação entre a Tabela (2) e a Tabela (4). Ainda, esta redução foi feita sem afetar o *offset* do circuito, devido ao uso do circuito auxiliar de calibração. Com relação ao ruído, verifica-se uma piora em cerca de 7 vezes, que também pode ser atribuída a redução da área ativa dos transistores, já que assim como o *mismatch*, o ruído também depende de \sqrt{WL} . Por fim, também percebe-se uma pequena piora na constante de regeneração, em cerca de 1.3ps, que poderia ser corrigida com um pequeno ajuste em $W_{5,6}$.

6.4 CALIBRAÇÃO UTILIZANDO MOSCAPS

6.4.1 Projeto dos Capacitores

Os capacitores utilizados no circuito de calibração são feitos a partir de capacitores MOS, ou MOSCaps, que consistem de transistores com dreno e fonte conectados, cuja capacitância é proporcional a tensão destes terminais em relação a porta. Estes dispositivos são utilizados, ao invés de capacitores MON ou MIN, devido a sua capacidade de fornecer valores de capacitâncias muito pequenas, na casa dos $10^{-18}F$. A Figura 40 exemplifica como os MOSCaps são utilizados como capacitores controláveis.

Figura 40 – MOSCap Utilizado como Capacitor



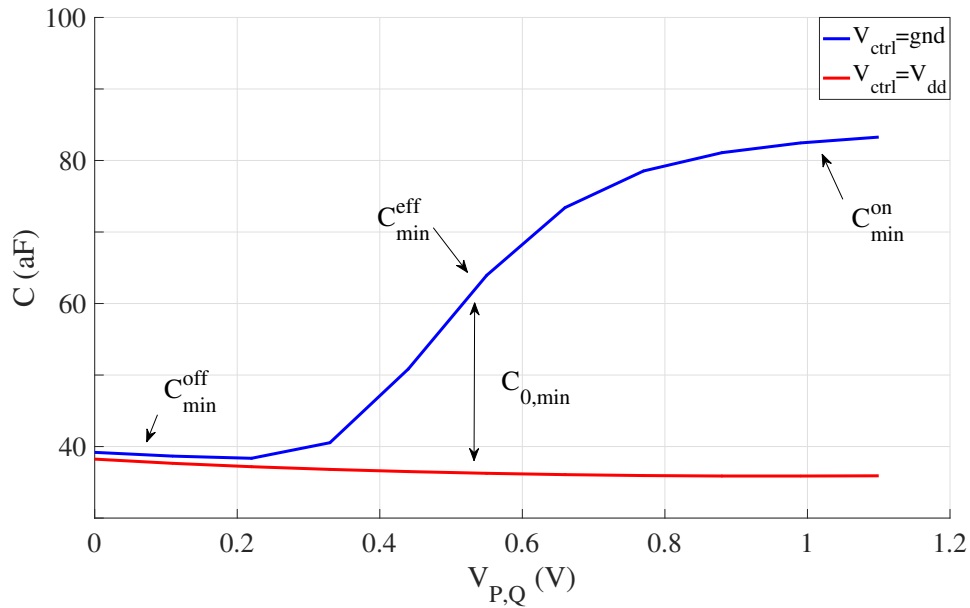
Fonte: Adaptado de (XU; ABIDI, 2019)

Para compor o circuito de calibração, o dreno/fonte do MOSCap é conectada a uma tensão de controle V_{ctrl} , que alterna entre V_{dd} e gnd, enquanto que a porta é conectada ao nó P ou Q do comparador. Considera-se que o MOSCap está ativo quando $V_{ctrl} = 0$, e não ativo quando $V_{ctrl} = V_{dd}$.

Entretanto, o decaimento da tensão em P e Q durante a comparação resulta numa mudança da tensão entre os terminais do MOSCap, levando a uma variação de sua capacitância no decorrer da comparação. A Figura 41 mostra esta variação de capacitância para um MOSCap com tamanho mínimo.

A partir do comportamento descrito pela Figura 41, pode-se retirar duas conclusões sobre as características do circuito de calibração. A primeira é que, mesmo quando o MOSCap não está ativo, ele contribui com uma capacitância parasita C^{off} a capacitância equivalente do comparador. Além disso, quando ele está ativo, a capacitância que o componente adiciona ao comparador não é seu valor máximo, mas sim um valor efetivo médio C^{eff} , que para esta tecnologia é definido como a capacitância quando $V_{P,Q} = V_{dd}/2$. Sabendo que, para a calibração, o que interessa é a diferença entre o valor efetivo e o não

Figura 41 – Variação da Capacitância do MOSCap



Fonte: Autor (2023)

ativo, define-se que o valor de capacitância capaz de efetuar a calibração é

$$C_0 = C^{eff} - C^{off} . \quad (6.20)$$

Para o caso do MOSCap mínimo, tem-se que a capacitância do componente desativado é $C_{min}^{off} = 36aF$ e a efetiva é C_{min}^{off} , que substituindo na expressão (6.20) resulta em $C_{0,min} = 28aF$.

Além da dependência com relação a tensão, a capacitância do MOSCap também é proporcional a área WL de canal do componente, porém de maneira distinta para cada parâmetro. A Figura 42 mostra este comportamento em função de uma variação de $\frac{W}{W_{min}}$ e $\frac{L}{L_{min}}$ vezes em relação aos tamanhos mínimos W_{min} e L_{min} . Para uma variação de W , ambos valores de C^{off} e C^{eff} aumentam linearmente na mesma proporção desta variação, ou seja, estes valores são relacionados por

$$C^{off} = C_{min}^{off} \cdot \frac{W}{W_{min}} , \quad (6.21)$$

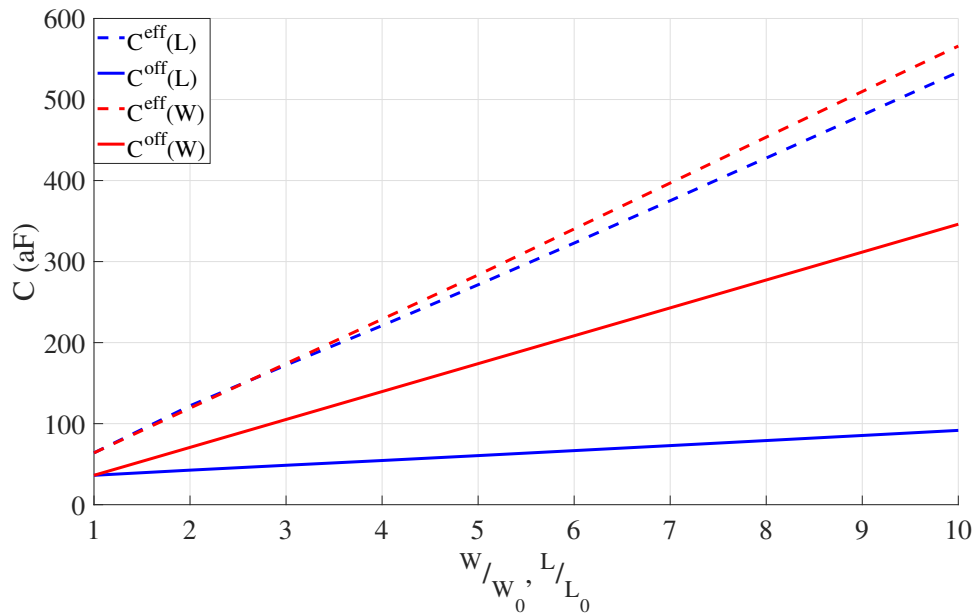
e por

$$C^{eff} = C_{min}^{eff} \cdot \frac{W}{W_{min}} . \quad (6.22)$$

Dessa forma, a relação entre estes valores de capacitância permanece constante independente da largura de canal do componente, e portanto segue que

$$C_0 = (C^{eff} - C^{off}) \cdot \frac{W}{W_{min}} = C_{0,min} \cdot \frac{W}{W_{min}} . \quad (6.23)$$

Figura 42 – Variação das Capacitâncias C^{eff} e C^{off} do MOSCap em função de W ou L



Fonte: Autor (2023)

Considerando agora uma variação em L , nota-se que apesar de ambos os valores serem linearmente impactados, somente C^{eff} varia na mesma proporção L , enquanto que C^{off} apresenta maior resistência a esta variação, que pode ser atribuído ao efeito de canal curto (DUVVURY, 1986) e pelo implante de halo (GUPTA et al., 2017). Dessa forma, para pequenas variações, pode-se considerar que C^{off} é independente de L , fazendo com que a proporção entre C^{off} e C não seja mantida, e portanto segue que

$$C_0 \approx \frac{L}{L_{\min}} \cdot C_{\min}^{\text{eff}} - C_{\min}^{\text{off}}. \quad (6.24)$$

6.4.2 Equações de Projeto

Para a realização do projeto com o comportamento real dos MOSCaps, deve-se adaptar as equações desenvolvidas de forma a considerar as não idealidades do componente, mostradas na Figura 41. Primeiro, é necessário determinar o efeito das capacitâncias parasitas C^{off} dos MOSCaps, já que estas alteram a capacitância base em P e Q independente de sua condição de operação. Pela equação (6.21) e (6.23), sabe-se que as capacitâncias em ambas as situações possuem comportamento linear com relação a W . Dessa forma, pode-se expressar a relação entre elas como uma constante, dado um determinado L , igual a

$$\alpha = \frac{C_0}{C^{\text{off}}}. \quad (6.25)$$

Ainda, como elaborado anteriormente, os valores de capacitância do circuito de calibração seguem uma progressão geométrica, cujo maior valor possível de ser utilizado é aproximadamente duas vezes a maior capacitância do circuito, como demonstrado pela equação (6.11). Sabendo da relação obtida pela equação (6.25), pode-se utilizar o resultado da expressão (6.11) de forma a obter a capacitância parasita total adicionada ao comparador em função da capacitância do maior MOSCap circuito, dada por

$$\sum_0^{N-1} C_n^{\text{off}} \approx \frac{2 \cdot C_{N-1}^{\text{eff}}}{\alpha + 1} = \frac{2 \cdot C_{N-1}}{\alpha}. \quad (6.26)$$

Esta capacitância soma-se a capacitância original no nó do comparador de forma simétrica, ou seja, ela não causa desequilíbrio no circuito, e portanto não contribui no processo de calibração. Com este resultado, pode-se retornar a expressão (6.12) e somar a contribuição de capacitância da equação (6.26) em $C_{P,Q}$, resultando em

$$k \cdot \sigma(V_{\text{os}}) = \frac{2(2 \cdot C_{N-1})}{2(C_{P,Q} + \frac{2 \cdot C_{N-1}}{\alpha}) + C_{X,Y}} \cdot \frac{I_d}{g_m}. \quad (6.27)$$

Isolando C_{N-1} , obtêm-se

$$C_{N-1} = \frac{k \cdot \sigma(V_{\text{os}}) \cdot (2C_{P,Q} + C_{X,Y})}{4 \left(\frac{I_d}{g_m} - \frac{k}{\alpha} \sigma(V_{\text{os}}) \right)}. \quad (6.28)$$

Comparando as equações (6.27) e (6.28) com as equações (6.12) e (6.13), nota-se que foi adicionada uma nova dependência entre a capacitância C_{N-1} e o *offset* original $\sigma(V_{\text{os}})$, ou W se utilizada a relação dada pela expressão (6.17). Esta relação implica que é necessário um valor ainda maior de capacitância para corrigir um mesmo *offset* máximo, quando comparado com o caso ideal, já que o aumento da capacitância base do nó devido as parasitas reduz o impacto das capacitâncias de calibração do circuito, ainda que não em proporção suficiente para impossibilitar a calibração. Ainda, a equação (6.28) indica que há limites de escolha para W , já que um valor muito pequeno levaria a uma capacitância negativa e a impossibilidade de calibrar.

De forma semelhante, é necessário somar o resultado de (6.26) em $C_{P,Q}$ na expressão (6.9), resultando em

$$V_{\text{osres}} = \frac{2 \cdot C_0}{2(C_{P,Q} + \frac{2 \cdot C_{N-1}}{\alpha}) + C_{X,Y}} \cdot \frac{I_d}{g_m}. \quad (6.29)$$

Substituindo o resultado de (6.28) em (6.29) e simplificando, obtêm-se

$$V_{\text{osres}} = \frac{2C_0 \cdot \left(\frac{I_d}{g_m} - \frac{k}{\alpha} \sigma(V_{\text{os}}) \right)}{2C_{P,Q} + C_{X,Y}}. \quad (6.30)$$

Por fim, pode-se manipular este resultado de forma a encontrar C_0 para uma dada resolução

$$C_0 = \frac{V_{\text{osres}} \cdot (2C_{P,Q} + C_{X,Y})}{2 \left(\frac{I_d}{g_m} - \frac{k}{\alpha} \sigma(V_{\text{os}}) \right)}. \quad (6.31)$$

Assim como para o caso anterior, o resultado das equações (6.30) e (6.31) mostram que C_0 e V_{osres} passam a ter uma outra dependência com W , e não somente pelas capacitâncias do comparador. Mais uma vez, essa nova dependência estabelece limites para a escolha de W , bem como a existência de pontos máximos ou mínimos, já que as equações deixam de ser de primeira ordem.

Com relação ao número N de MOSCaps que necessitam ser utilizados, tem-se que o resultado da equação (6.14) continua descrevendo corretamente as necessidades de calibração do circuito, e portanto continua válida. Substituindo (6.28) e (6.31) em (6.14), encontra-se o mesmo resultado da equação (6.15), mostrando que esta também continua válida.

Diferente do caso idealizado, em que era suficiente determinar as equações de projeto do circuito de calibração, também é necessário entender os impactos que as capacitâncias parasitas do MOSCap tem sobre os parâmetros de operação do comparador. Com a potência do circuito, soma-se ao valor de $C_{P,Q}$ na expressão (3.1) o resultado de (6.26), que resulta em

$$P_{\text{diss}} = f_{\text{CLK}} \cdot \left(2(C_{P,Q} + \frac{2 \cdot C_{N-1}}{\alpha}) + C_{X,Y} \right) V_{\text{dd}}^2, \quad (6.32)$$

que pode ser simplificado utilizando o resultado de (6.28), de forma a obter

$$P_{\text{diss}} = \frac{V_{\text{dd}}^2 \cdot f_{\text{CLK}} \cdot (2C_{P,Q} + C_{X,Y}) \cdot \alpha \frac{I_d}{g_m}}{\alpha \frac{I_d}{g_m} - k\sigma(V_{\text{os}})}. \quad (6.33)$$

Pode-se facilmente perceber que o resultado obtido se resume a uma alteração proporcional da potência dissipada em função da contribuição da calibração. Dividindo o resultado de (6.33) por (3.1), obtêm-se o fator de aumento da potência do circuito devido ao circuito de calibração, dada por

$$P_{\text{factor}} = \frac{\alpha \frac{I_d}{g_m}}{\alpha \frac{I_d}{g_m} - k\sigma(V_{\text{os}})}, \quad (6.34)$$

lembrando que $\sigma(V_{\text{os}})$ continua obedecendo a relação estabelecida na equação (6.17), que expressa que

$$\sigma(V_{\text{os}}) = \sqrt{\left(\frac{A_{\text{vth}M_{1,2}}^2 \cdot A_{v_{\text{smp}}}^2 + 3.15 \cdot A_{\text{vth}M_{3,4}}^2}{W_{1,2} \cdot L \cdot A_{v_{\text{smp}}}^2} \right)}.$$

Analisando o fator obtido na expressão (6.34), nota-se que ele é sempre maior que um, ou seja, a calibração nunca afetará a potência dissipada de maneira a reduzi-lá. Não só isso,

mas a relação estabelecida entre o aumento da potência dissipada e a largura de canal é que, quanto menor for W , maior será o impacto sobre a potência do circuito.

Se tratando da velocidade, as capacitâncias parasitas do MOSCap afetam somente o tempo de latência de comparação, ou seja, os tempos de *sampling* e propagação. Isso acontece porque o tempo de regeneração, como mostrado pela equação (2.17), não é afetado por variações na capacitância $C_{P,Q}$. O impacto sobre os tempos relevantes, já simplificado, é dado por

$$t_{\text{smp}} + t_{\text{prop}} = \frac{(2C_{P,Q} + C_{X,Y}) \cdot V_{\text{th}}}{I/2} \cdot \frac{\alpha \frac{I_d}{g_m}}{\alpha \frac{I_d}{g_m} - k\sigma(V_{\text{os}})}. \quad (6.35)$$

Mais uma vez, pode-se dividir o resultado pelo tempo sem o efeito da calibração e determinar o fator de mudança do tempo de latência da comparação, cujo resultado é

$$t_{\text{factor}} = \frac{\alpha \frac{I_d}{g_m}}{\alpha \frac{I_d}{g_m} - k\sigma(V_{\text{os}})}. \quad (6.36)$$

Curiosamente, este resultado é igual ao obtido para o fator de mudança da potência dissipada pelo circuito da equação (6.34), e portanto seguem os mesmos comentários feitos anteriormente.

Em relação ao ruído, pode-se determinar o impacto da capacitância parasita modificando as equações (3.25), (3.26) e (3.27). Entre elas, a diferença será apenas em relação a magnitude do impacto, porém o sentido será sempre o mesmo, o de melhorar as características de ruído do circuito. Tomando a equação (3.26) como exemplo, têm-se seu resultado já simplificado dado por

$$\overline{v_{n_{\text{in}}}^2} = \frac{4kT\gamma}{V_{\text{th}}(2C_{P,Q} + C_{X,Y})} \cdot \left(\frac{I_d}{g_m} - \frac{k}{\alpha} \sigma(V_{\text{os}}) \right), \quad 2C_{P,Q} < C_{X,Y}. \quad (6.37)$$

Dividindo este resultado pela equação original e tomando a raiz quadrada, tem-se que o fator de mudança do ruído é

$$v_{n_{\text{factor}}} = \sqrt{\frac{\alpha \frac{I_d}{g_m} - k\sigma(V_{\text{os}})}{\alpha \frac{I_d}{g_m}}}, \quad 2C_{P,Q} < C_{X,Y}. \quad (6.38)$$

Este resultado é o inverso do obtido em (6.34) e (6.36), e portanto é sempre menor que um, atuando no sentido de reduzir o ruído do comparador.

6.4.3 Projeto do Circuito de Calibração

Este projeto, assim como o feito para o circuito idealizada, tem como objetivo relacionar as capacitâncias de calibração com a largura de canal $W_{1,2}$ do comparador. Entretanto, esta não é mais uma relação direta, já que a capacitância é obtida através das características de área do MOSCap. Desta forma, são infinitas as maneiras em que se é possível atender os requisitos de *offset* do projeto, combinando os parâmetros $W_{1,2}$ com W e L do MOSCap. Portanto, deve-se determinar qual a combinação menos impactante para a operação ótima do comparador.

Sobre $W_{1,2}$, sabe-se de seções anteriores que minimizar este parâmetro é benéfico para a operação do comparador, desde que o *offset* seja devidamente compensado, já que isto resulta em uma redução da potência circuito. Com relação ao MOSCap, este tem como característica indesejada a adição de capacitâncias parasitas C^{off} ao comparador, degradando sua velocidade e características de potência. Da equação (6.21), observa-se que a capacitância parasita cresce na mesma proporção do parâmetro W do componente, e portanto é desejável mantê-lo o menor possível. Já para uma variação em L , têm-se que C^{off} não é significativamente afetada. Portanto, para a definição de C_0 , deve-se dar prioridade a uma mudança no parâmetro L do MOSCap, em relação a alteração em W , de forma a minimizar a capacitância parasita adicionada. O motivo de o ajuste de C_0 ser benéfico, ao invés de utilizar o mínimo valor possível, é a redução da quantidade de MOSCaps necessários para a calibração do comparador, já que cada componente a mais que é necessário dobra a capacitância parasita adicionada pelo circuito, decorrente da relação binária entre os MOSCaps.

A partir destas análises, segue que para determinar a relação entre C_0 e $W_{1,2}$ que minimiza a capacitância parasita C^{off} adicionada ao circuito para um determinado V_{osres} , deve-se definir que o MOSCap é projetado utilizando $W = W_{\text{min}}$, tendo sua capacitância C_0 controlada por L e dada pela equação (6.24). Contudo, a equação (6.25) mostra que o parâmetro α é dado pela relação entre C_0 e C^{off} , que é constante somente para uma variação em W do MOSCap, e variável para L . Para o caso em que $W = W_{\text{min}}$, pode-se reescrever (6.25) como

$$\alpha = \frac{C_0}{C_{\text{min}}^{\text{off}}}, \quad (6.39)$$

que pode ser modificada de forma a encontrar

$$C_0 = \alpha \cdot C_{\text{min}}^{\text{off}}. \quad (6.40)$$

Deste resultado, segue que C_0 pode ser determinado pela definição de α , que por sua vez é utilizado para encontrar L . Substituindo (6.40) em (6.29), têm-se que

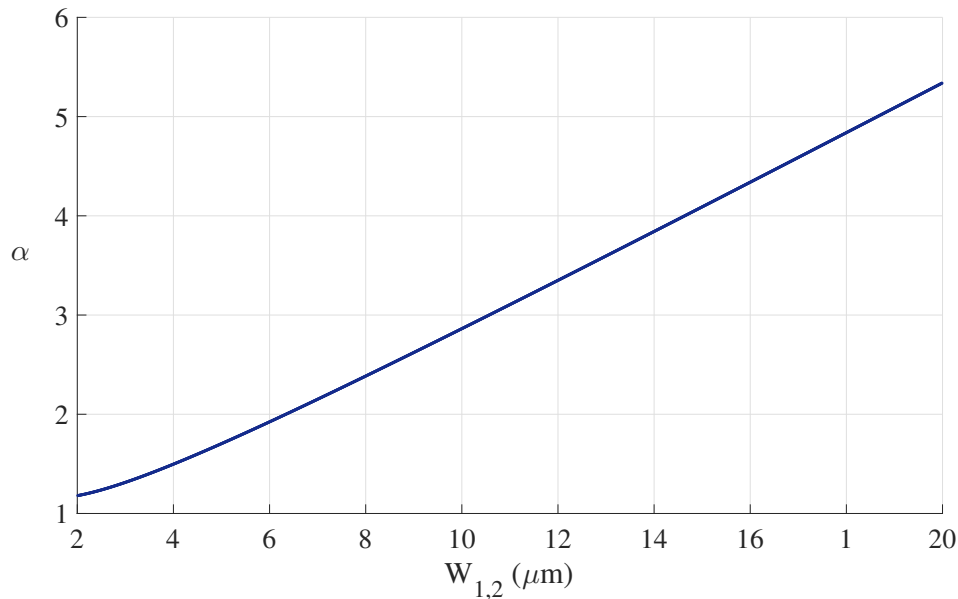
$$V_{\text{osres}} = \frac{2\alpha C_{\text{min}}^{\text{off}} \cdot \left(\frac{I_d}{g_m} - \frac{k}{\alpha} \sigma(V_{\text{os}}) \right)}{2C_{P,Q} + C_{X,Y}}, \quad (6.41)$$

e isolando α em (6.41), por fim obtêm-se

$$\alpha = \frac{V_{OSres} \cdot (2C_{P,Q} + C_{X,Y}) + 2k\sigma(V_{OS}) \cdot C_{min}^{off}}{2C_{min}^{off} \cdot \frac{I_d}{g_m}}. \quad (6.42)$$

A partir da expressão (6.42), pode-se obter as características de área do MOSCap que menos impactam o comparador com parasitas, para cada largura de canal $W_{1,2}$ e um determinado V_{OSres} . A Figura 43 mostra esta relação para diversos valores de $W_{1,2}$.

Figura 43 – Relação entre α e $W_{1,2}$ para $k = 4$ e $V_{OSres} = 0.866 \text{ mV}$



Fonte: Autor (2023)

Conhecido o melhor valor de α para cada $W_{1,2}$, pode-se determinar o L correspondente ao substituir o resultado da expressão (6.24) em (6.25), cujo resultado é

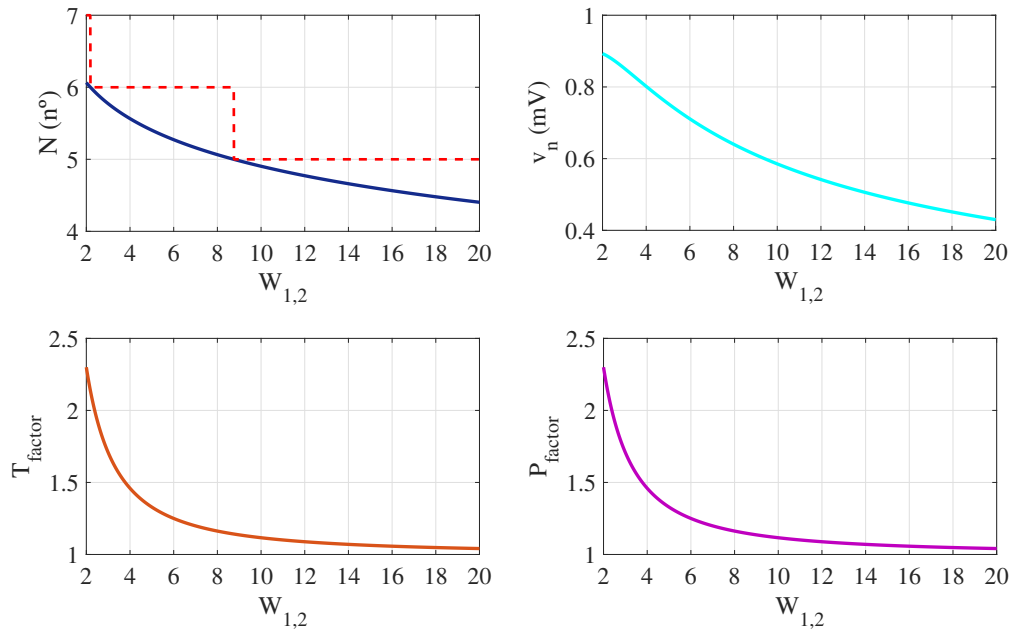
$$\alpha = \frac{\frac{L}{L_{min}} \cdot C_{min}^{eff} - C_{min}^{off}}{C_{min}^{off}}, \quad (6.43)$$

e isolar a variável de interesse, obtendo-se

$$L = \frac{L_{min} C_{min}^{off} \cdot (\alpha + 1)}{C_{min}^{eff}}. \quad (6.44)$$

Entretanto, a Figura 43 não oferece informações suficientes para a escolha de $W_{1,2}$. Portanto, avalia-se o impacto sobre outros parâmetros de operação do comparador. A Figura 44 relaciona $W_{1,2}$ com o número de MOSCaps necessários para compor a calibração, o ruído de entrada, e as características de velocidade e potência.

A partir da Figura 44, pode-se eliminar alguns valores de projeto para $W_{1,2}$. Considerando o impacto sobre as características de velocidade e potência, nota-se que para

Figura 44 – Características do Circuito em Função de $W_{1,2}$ para $k = 4$ 

Fonte: Autor (2023)

$W_{1,2} < 4\mu m$, a degradação destas características cresce rapidamente, e portanto não são boas escolhas de projeto. Da mesma forma, quando $W_{1,2} > 8\mu m$, nota-se um retorno diminutivo para estas características e, considerando a preferência por minimizar $W_{1,2}$, também não se mostram boas escolhas de projeto. Dessa forma, deve-se escolher uma largura de canal que respeite a condição $4\mu m \leq W_{1,2} \leq 8\mu m$. Com relação ao comportamento de ruído, sabe-se que não é desejável que este seja superior ao *offset* do circuito, ou seja, é preciso que $v_n \leq V_{\text{osres}}$. Dessa forma, o menor valor de $W_{1,2}$ que cumpre ambas as condições é $W_{1,2} = 4\mu m$, sendo a escolha feita para o projeto do comparador.

Determinado $W_{1,2}$, pode-se retornar a Figura 43 e substituir o valor correspondente de α na equação (6.44) a fim de determinar o comprimento de canal dos MOSCaps, cujo resultado é $L \approx 60nm$, sendo o valor definido para o projeto.

A Tabela 7 mostra as larguras de canal utilizadas para os transistores do comparador, enquanto que a Tabela 8 mostra as características dos MOSCaps do circuito de calibração.

Tabela 7 – Larguras de Canal W Utilizadas para o Comparador

	$M_{1,2}$	$M_{3,4}$	$M_{5,6}$	$M_{7,10}$	$M_{8,9}$	M_0
W	$4\mu m$	$1.25\mu m$	$0.625\mu m$	$0.8\mu m$	$0.7\mu m$	$2\mu m$

Fonte: Autor (2023)

Tabela 8 – Características dos MOSCaps

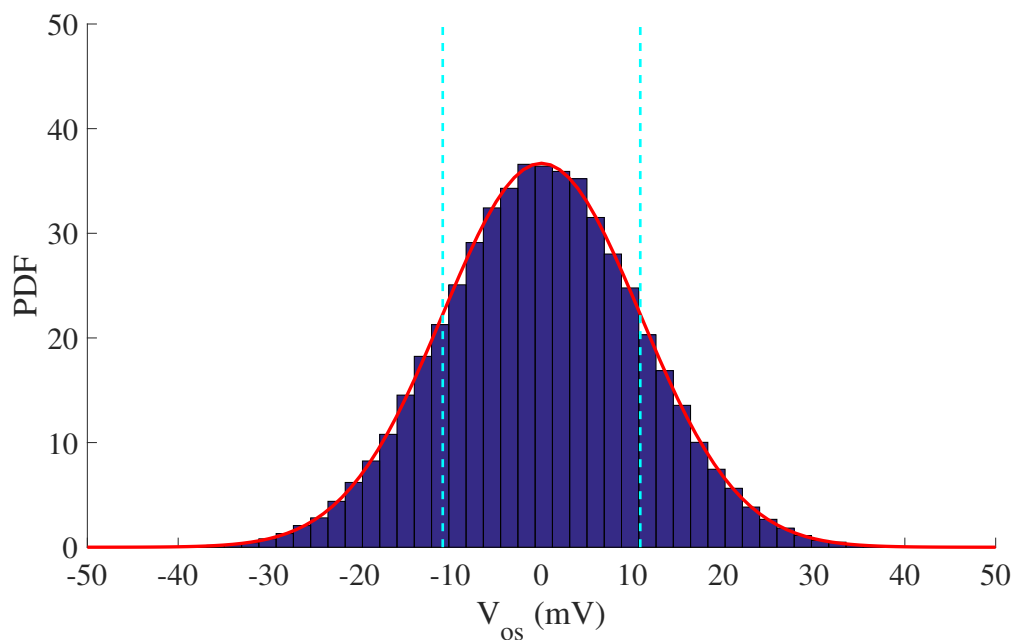
	C_0	C_1	C_2	C_3	C_4	C_5
L	$60nm$					
W	$120nm$	$240nm$	$480nm$	$960nm$	$1920nm$	$3840nm$
C	$56aF$	$112aF$	$224aF$	$448aF$	$896aF$	$1792aF$
C^{off}	$36aF$	$72aF$	$144aF$	$288aF$	$576aF$	$1152aF$

Fonte: Autor (2023)

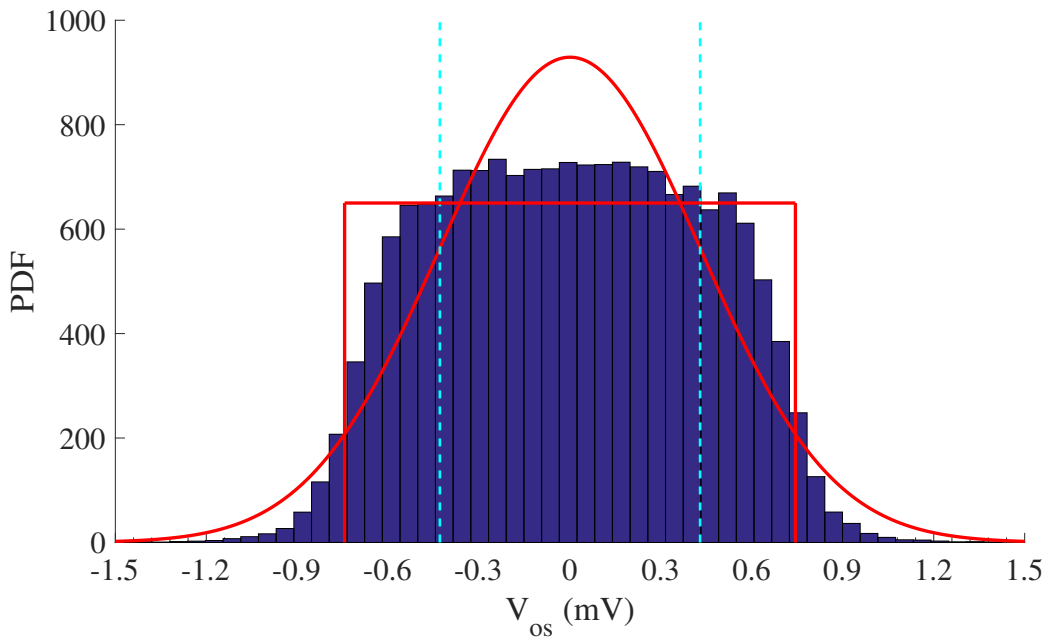
6.5 ANÁLISE DE FUNCIONAMENTO

6.5.1 Verificação de *Offset*

Para a determinação das características de *offset* do projeto, são repetidos os procedimentos realizados para o caso idealizado, através de uma simulação monte carlo de 100 mil iterações. A Figura 45 mostra a distribuição do *offset* pré calibração do circuito, enquanto que a Figura 46 mostra o resultado pós calibração.

Figura 45 – PDF do *Offset* Pré Calibração

Fonte: Autor (2023)

Figura 46 – PDF do *Offset* Pós Calibração

Fonte: Autor (2023)

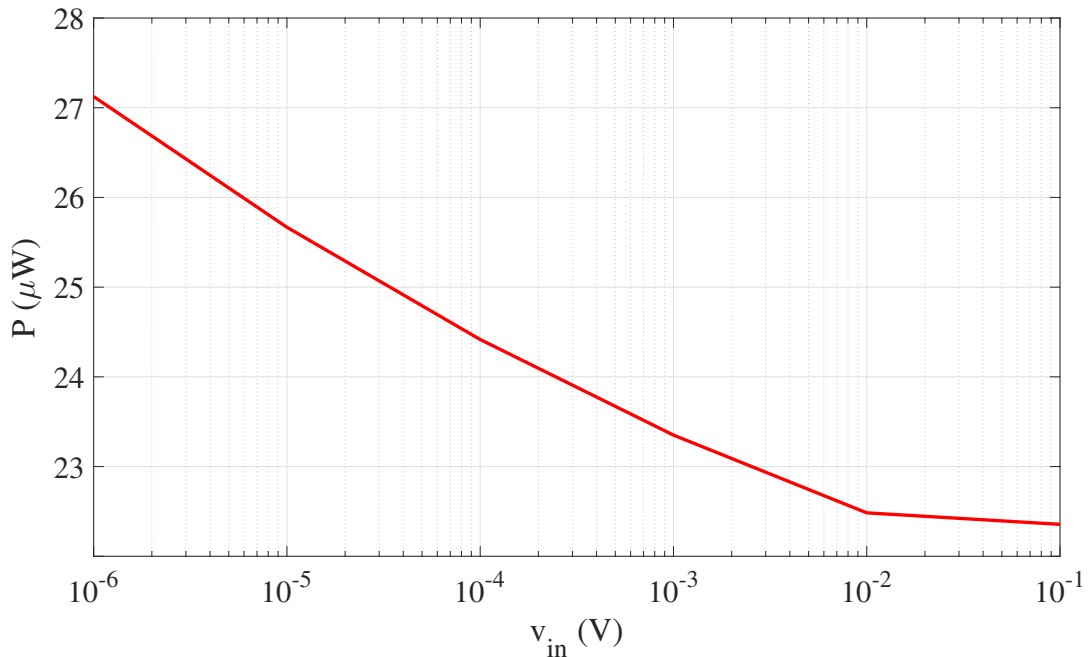
A Figura 45 mostra a distribuição gaussiana característica do *offset*, cujo desvio padrão é $\sigma(V_{os}) = 10.5mV$. Já a Figura 46 mostra uma distribuição diferente da inicialmente esperada, apresentando uma dispersão de valores nas pontas do histograma, semelhante ao ocorrido em uma distribuição normal. Este comportamento é explicado tanto pelo deslocamento em $k\sigma(V_{os})$ dos valores fora da capacidade de calibração, quanto pela ocorrência de *mismatch* sobre as capacitâncias dos MOSCaps, que também seguem um distribuição normal. Dessa forma, a distribuição resultante acaba por ser alterada, se tornando uma mescla entre a distribuição uniforme e a normal. Essa mudança, entretanto, não altera significativamente o desvio padrão do *offset* pós calibração, que neste caso é igual a $\sigma(V_{os}) = 0.43mV$, respeitando o critério estabelecido de $\sigma(V_{os}) < 0.5mV$. Destas simulações, também identificou-se o máximo *offset* que a calibração é capaz de corrigir, cujo valor é $41mV$, correspondente a aproximadamente $4\sigma(V_{os})$, também de acordo com os parâmetros de projeto.

6.5.2 Verificação de Potência

A potência estimada pela equação (6.33) é de aproximadamente $15 \mu W$. Apesar da redução largura de canal dos transistores do comparador, as capacitâncias parasitas adicionadas pelos MOSCaps são suficientes para elevar as capacitâncias $C_{P,Q}$ de forma suficiente para compensar esta diferença, mantendo a potência relativamente parecida,

quando comparado ao projeto anterior. A Figura 47 mostra os valores de potência obtidos por simulação. Mais uma vez, a diferença entre o valor calculado e o simulado para $v_{in} = 100 \text{ mV}$ é de aproximadamente 50%.

Figura 47 – Potência Dissipada para Diferentes Valores de v_{in}



Fonte: Autor (2023)

6.5.3 Verificação de Ruído

Durante o projeto do comparador, utilizou-se a estimativa de ruído como um critério para a determinação da largura de canal. Por esta estimativa, tem-se que o ruído do comparador deve ser de aproximadamente $\sigma(v_n) = 0.8 \text{ mV}$.

De forma experimental, definindo $V_{in1} - V_{in2} = 0.8 \text{ mV}$, obteve-se uma probabilidade $P = 82\%$ de o resultado da comparação ser 1. Utilizando a expressão (3.28), encontra-se que o ruído do circuito é $\sigma(v_n) = 0.86 \text{ mV}$.

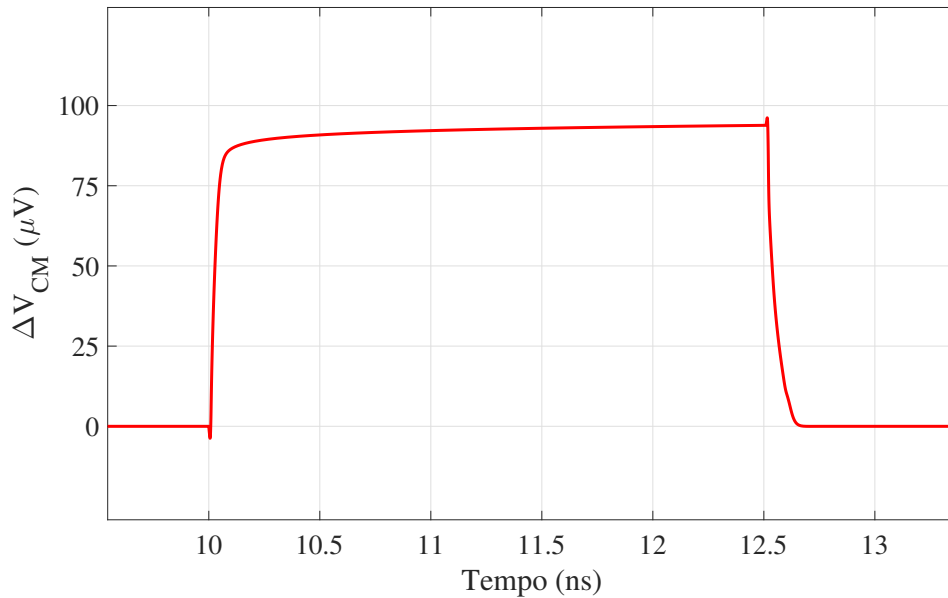
6.5.4 Verificação de Kickback Noise

Na Figura 48 e Figura 49 são mostrados o efeito do *kickback noise* sobre a tensão de modo comum e diferencial, respectivamente, na entrada do circuito.

No comportamento de modo comum, é observado uma variação de $93 \mu\text{V}$ com a mudança de *clock*. Já para o comportamento diferencial, a maior variação observada é de

cerca de $7.7\mu V$. Normalizando estes valores em relação ao capacitor de $10pF$ utilizado na entrada do circuito, têm-se que a variação de modo comum é de $930\mu VpF$, enquanto que a diferencial é de $77\mu VpF$.

Figura 48 – Efeito do *Kickback Noise* Sobre V_{CM}



Fonte: Autor (2023)

6.5.5 Resumo de Projeto

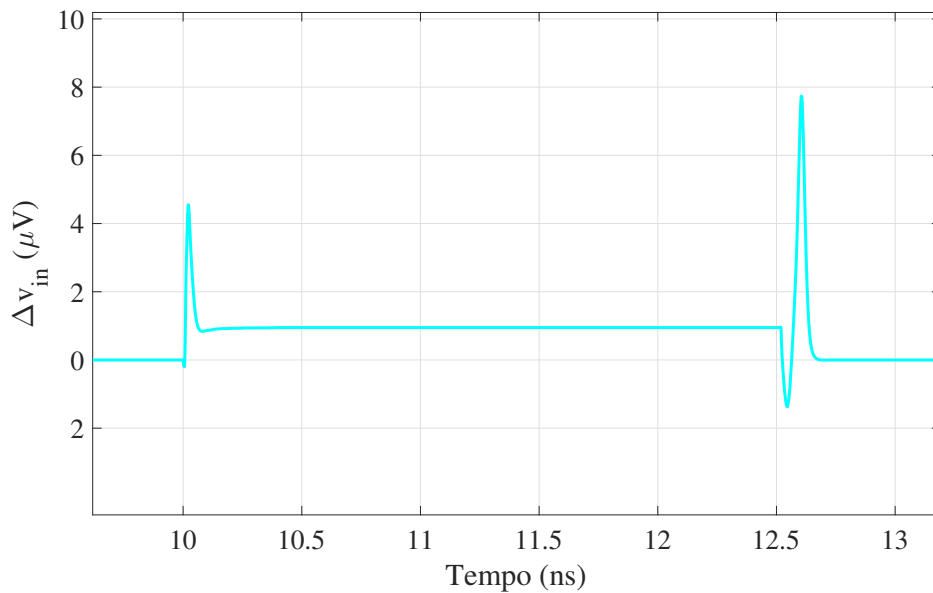
Na Tabela (9) são mostradas as características do circuito projetado.

Tabela 9 – Características de Operação do Comparador

	t_{smp}	τ_{reg}	P	$C_{P,Q}$	$C_{X,Y}$	$\sigma(V_{os})$	$\sigma(v_n)$
Calculado	$26ps$	$15ps$	$15\mu W$	$5.2fF$	$1.4fF$	$0.5mV$	$0.761mV$
Simulado	$30ps$	$14ps$	$22\mu W$	$7fF$	$2fF$	$0.43mV$	$0.86mV$

Fonte: Autor (2023)

Percebe-se que mesmo com a redução das larguras de canal W em 33% em relação ao projeto anterior, ainda houve um aumento nas capacitâncias equivalentes em P e Q . Ou seja, as capacitâncias parasitas adicionadas pelos MOSCaps superam a redução das capacitâncias provenientes da área do comparador. Como consequência, tanto o tempo de *sampling* quanto a potência do circuito sofreram um aumento quando comparadas aos resultados da Tabela (6). Com relação aos demais parâmetros, não nota-se diferença significativa.

Figura 49 – Efeito do *Kickback Noise* Sobre v_{in} 

Fonte: Autor (2023)

6.6 PROJETO DO CIRCUITO DE CONTROLE

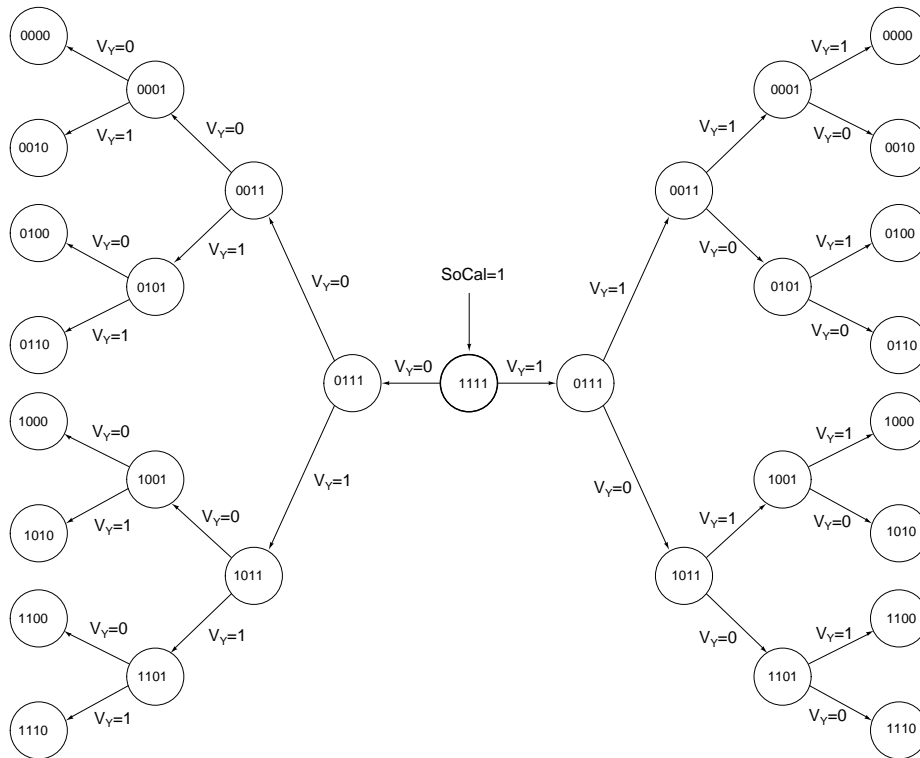
O circuito de controle é feito a partir de uma máquina de estados que, através de sucessivas comparações, identifica o sinal do *offset* e seleciona a melhor combinação de capacitores para eliminar o *offset* do circuito.

Para compor a máquina de estados, pode-se separá-la em duas partes principais. Uma delas é composta pelo algoritmo de busca binária, responsável por determinar a combinação de calibração correta. A outra é responsável por guardar a informação do sinal do *offset* e determinar o início e fim da calibração.

Na Figura 50, é mostrado o diagrama de estados para um exemplo de 4 bits, onde SoCal é o sinal para o início da calibração, V_Y representa a saída Y do comparador após um ciclo de comparação e pode ser entendida como o sinal do *offset*, enquanto que cada estado mostra a configuração de MOSCaps ativos em cada comparação (ativos em zero).

Essencialmente, o que é feito é uma comparação inicial com todos os componentes de calibração desativados e entrada de tensão diferencial nula. Dessa forma, a tensão sendo comparada no circuito será o próprio *offset* do comparador, e com isso pode-se identificar o sinal do *offset* do circuito. A partir da definição do sinal do *offset*, pode-se dar início a calibração no nó correspondente P ou Q do comparador, a partir do algoritmo da busca binária. Ou seja, se o resultado da primeira comparação é $V_Y = 1$, mantêm-se os MOSCaps do nó Q desativados, e procura-se a combinação de MOSCaps no nó P do comparador. A busca binária é feita ao ativar o MOSCap que quebra o intervalo de busca ao meio, que devido a distribuição binária é o MOSCap mais significativo, e então fazendo uma nova comparação. Se o sinal do *offset* não mudar, ativa-se o próximo MOSCap mais

Figura 50 – Diagrama de Estados



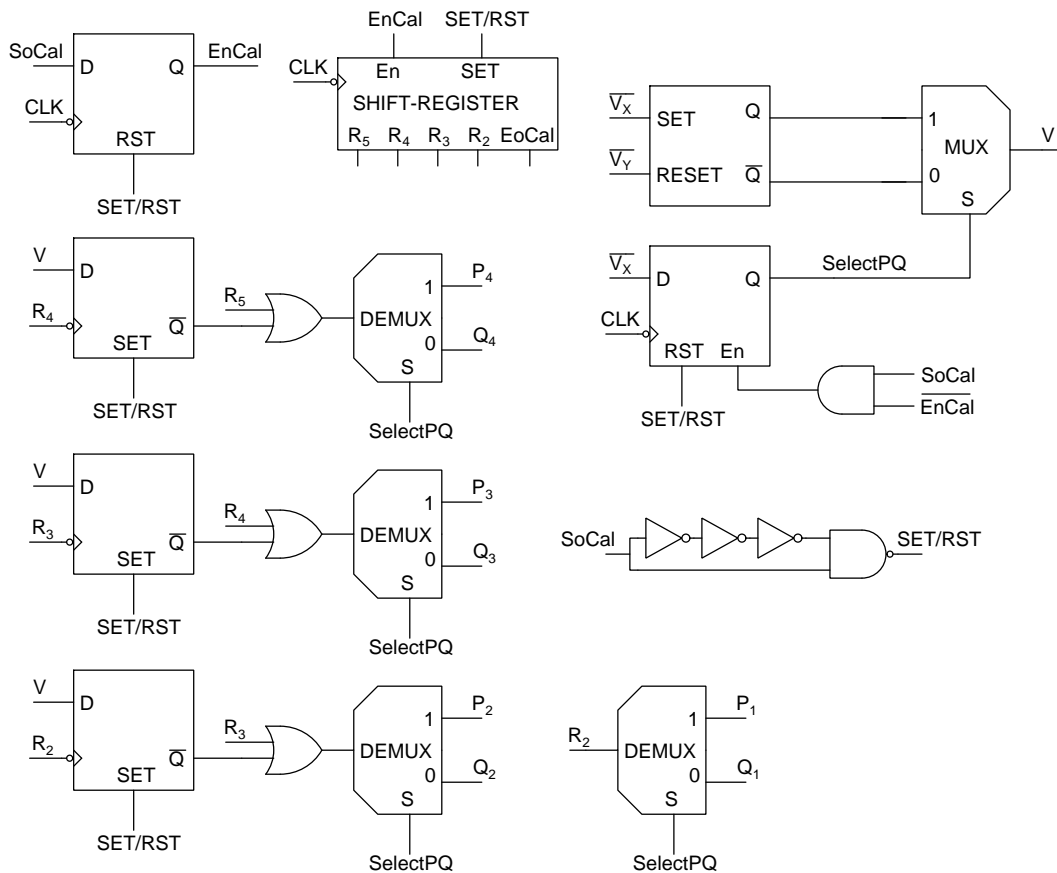
Fonte: Autor (2023)

significativo, e repete-se o processo ao realizar uma nova comparação. Em contrapartida, se o sinal do *offset* for alterado, têm-se que o MOSCap ativado nesta iteração adiciona mais capacitância que o necessário, e portanto deve ser desativado, enquanto que o próximo MOSCap mais significativo deve ser ativado para a próxima iteração. Este processo se repete até que o último MOSCap seja ativado. Através da busca binária, garante-se que, contanto que o *offset* original do comparador esteja dentro das capacidades de calibração projetadas para o circuito, o *offset* pós calibração será igual ou inferior a resolução de calibração $V_{OS_{res}}$.

Para determinar a máquina de estados que reflete o comportamento apresentado, deve-se notar algumas características. Primeiro, nota-se que ambos os lados do diagrama são compostos pelos mesmos estados, sendo a única diferença o critério que leva a transição entre eles. Entretanto, percebe-se ainda que estes critérios são exatamente opostos entre si, ou seja, um lado do diagrama olha para V_Y e outro para $\overline{V_Y}$. Ainda, sabe-se que $\overline{V_Y} = V_X$, e portanto pode-se reduzir o diagrama a somente uma das partes, ao selecionar qual das tensões de saída se quer verificar após cada comparação, o que deve ser realizado uma única vez no estado inicial do diagrama. Além disso, ao final da calibração, o bit menos significativo está sempre ativo, e o número de estados finais é igual a 2^{N-1} , sendo N o número de bits do sistema. A Figura 51 mostra o circuito lógico implementado para o projeto, tomando o exemplo de 4 bits.

Quando o sinal SoCal muda para nível lógico alto, é feito o *set* ou *reset* de todos

Figura 51 – Máquina de Estados



Fonte: Autor (2023)

os componentes, através de um circuito de detecção de borda, e, com a descida do *clock*, habilita-se o início da calibração ao levar o sinal *EnCal* para nível alto. Este *clock* é o mesmo que o do comparador, e ao final desta primeira comparação, é definido o estado do sinal *SelectPQ*, que por sua vez é usado para selecionar qual das tensões de saída será utilizada durante a calibração através de um MUX, bem como selecionar qual dos nós do circuito será calibrado, através dos DEMUX do circuito. A busca binária é feita pela combinação de um *shift-register*, cujo estado inicial é setado com todas as saídas em nível alto, e a tensão de saída selecionada do comparador. Em resumo, a cada comparação feita, o *shift-register* habilita o MOSCap do estado atual e serve como *clock* do *flip-flop* que controla o MOSCap anterior, que terá seu estado definido pela tensão de saída do comparador. O final da calibração é dado quando o último bit do *shift register* *EoCal* passa para nível lógico baixo, que acontece um ciclo de *clock* após o MOSCap menos significativo ser ativado.

7 CONSIDERAÇÕES FINAIS

Neste trabalho, foram desenvolvidas metodologias para o projeto de um comparador *StrongARM* e de um circuito de calibração de *offset*, que podem ser utilizadas para o projeto individual de cada circuito, ou unidas para o desenvolvimento de um projeto conjunto. Ainda, foi desenvolvido um circuito lógico de controle para a implementação do processo de calibração.

A metodologia de projeto do comparador mostra o impacto que cada conjunto de transistores tem sobre as características de velocidade, potência e precisão do circuito, permitindo que o projeto seja feito de forma a atender os critérios estabelecidos pela aplicação desejada. Ainda, propõe-se um projeto padrão que melhor relaciona as características de potência e velocidade do comparador, e que controla o parâmetro de precisão a partir de uma única variável, a largura de canal dos transistores do par diferencial $W_{1,2}$.

Para o projeto do circuito de calibração, a metodologia desenvolvida permite a definição das características de área dos dispositivos de calibração que menos impactem os parâmetros de potência e velocidade do comparador, a partir da definição das características de precisão desejadas. Considerando o projeto conjunto dos circuitos, esta metodologia também associa a definição do parâmetro $W_{1,2}$ para a maximização da performance do circuito.

Com o projeto do comparador sem calibração, evidenciou-se as consequências de se utilizar somente o *sizing* dos transistores para atender critérios relativamente rígidos de precisão. Para o exemplo desenvolvido, cumprir com o requisito de $\sigma(V_{os}) < 1.5 \text{ mV}$ resultou em um circuito com consumo de potência maior que 1 mW para operação em 1 GHz , bem como a utilização de transistores com até 3 mil vezes o tamanho mínimo. Utilizando o circuito de calibração, com requisito de *offset* de $\sigma(V_{os}) < 0.5 \text{ mV}$, o comparador projetado apresentou consumo de potência cerca de 55 vezes menor, bem como uma redução de 95 vezes na área estimada. Em contrapartida, houve uma redução na velocidade de comparação e nas características de ruído do comparador.

Para trabalhos futuros, pode-se realizar a validação das metodologias desenvolvidas em outras litografias, e verificar as peculiaridades de tecnologias maiores ou menores. Ainda, pode-se realizar a comparação entre outros tipos de circuitos de calibração, como o *body-bias*, *autozero*, e outros, verificando em qual situação cada um destes métodos é preferível em relação aos demais. Por fim, pode-se desenvolver uma metodologia para o projeto em *layout* do comparador. Esta etapa pode se mostrar desafiadora devido a necessidade de garantir a simetria do circuito. Sabendo que os *layers* de metal e as conexões por vias adicionam capacitâncias diferentes ao circuito, é preciso realizar as conexões de forma a adicionar o mesmo valor de capacitâncias parasitas nos pares de transistores.

REFERÊNCIAS

- ABIDI, A.; XU, H. Understanding the regenerative comparator circuit. In: **Proceedings of the IEEE 2014 Custom Integrated Circuits Conference**. [S.l.: s.n.], 2014. p. 1–8.
- BOSCH, A. Van den; STEYAERT, M.; SANSEN, W. Transistor mismatch: Evolution and relevance. In: _____. **Static and Dynamic Performance Limitations for High Speed D/A Converters**. Boston, MA: Springer US, 2004. p. 165–203.
- CAKA, N. et al. Impact of mosfet parameters on its parasitic capacitances. In: . [S.l.: s.n.], 2007.
- DRENNAN, P.; MCANDREW, C. A comprehensive mosfet mismatch model. In: **International Electron Devices Meeting 1999. Technical Digest (Cat. No.99CH36318)**. [S.l.: s.n.], 1999. p. 167–170.
- DUVVURY, C. A guide to short-channel effects in mosfets. **IEEE Circuits and Devices Magazine**, v. 2, n. 6, p. 6–10, 1986.
- GILES, M. Chapter 10 - approximating the erfinv function. In: HWU, W. mei W. (Ed.). **GPU Computing Gems Jade Edition**. Boston: Morgan Kaufmann, 2012, (Applications of GPU Computing Series). p. 109–116. ISBN 978-0-12-385963-1. Disponível em: <<https://www.sciencedirect.com/science/article/pii/B9780123859631000101>>.
- GUPTA, C. et al. Analysis and modeling of capacitances in halo-implanted mosfets. In: **2017 IEEE Electron Devices Technology and Manufacturing Conference (EDTM)**. [S.l.: s.n.], 2017. p. 198–200.
- GÜLER, .; PUSANE, A. E.; DÜNDAR, G. Investigating flicker noise effect on randomness of cmos ring oscillator based true random number generators. In: **2014 International Conference on Information Science, Electronics and Electrical Engineering**. [S.l.: s.n.], 2014. v. 2, p. 845–849.
- KOBAYASHI, T. et al. A current-mode latch sense amplifier and a static power saving input buffer for low-power architecture. In: **1992 Symposium on VLSI Circuits Digest of Technical Papers**. [S.l.: s.n.], 1992. p. 28–29.
- LI, S.; XU, Z.; LIZUKA, T. Analysis of strong-arm comparator with auxiliary pair for offset calibration. **Analog Integrated Circuits and Signal Processing**, p. 535–546, 2022.
- NUZZO, P. et al. Noise analysis of regenerative comparators for reconfigurable adc architectures. **IEEE Transactions on Circuits and Systems I: Regular Papers**, v. 55, n. 6, p. 1441–1454, 2008.
- PELGROM, M.; DUINMAIJER, A.; WELBERS, A. Matching properties of mos transistors. **IEEE Journal of Solid-State Circuits**, v. 24, n. 5, p. 1433–1439, 1989.
- RAZAVI, B. The strongarm latch [a circuit for all seasons]. **IEEE Solid-State Circuits Magazine**, v. 7, n. 2, p. 12–17, 2015.

_____. The design of a comparator [the analog mind]. **IEEE Solid-State Circuits Magazine**, v. 12, n. 4, p. 8–14, 2020.

SAHU, K.; TIWARI, R. Study of different types of analog comparator topologies in cmos technology. **International journal of engineering research and technology**, v. 3, 2018. Disponível em: <<https://api.semanticscholar.org/CorpusID:133001330>>.

SANGEETHA, R. et al. An overview of dynamic cmos comparators. In: **2019 5th International Conference on Advanced Computing & Communication Systems (ICACCS)**. [S.l.: s.n.], 2019. p. 1001–1004.

SONAR, S.; VAITHIYANATHAN, D.; MISHRA, A. Performance analysis of double tail dynamic comparators. **Journal of Physics: Conference Series**, IOP Publishing, v. 1706, n. 1, p. 012058, dec 2020. Disponível em: <<https://dx.doi.org/10.1088/1742-6596/1706/1/012058>>.

WHITEHEAD, N. R. **Design and Measurement of StrongARM Comparators**. 2019. Dissertação (Master of Science) — Brigham Young University, Provo, Utah, 2019.

XU, H.; ABIDI, A. A. Analysis and design of regenerative comparators for low offset and noise. **IEEE Transactions on Circuits and Systems I: Regular Papers**, v. 66, n. 8, p. 2817–2830, 2019.

ZIRGER, A. **Random Offset in CMOS IC Design**. 2007. Disponível em: https://designers-guide.org/forum/Attachments/mismatch_presentation.pdf.

NUP: 23081.158356/2023-89

Prioridade: Normal

Homologação de ata de defesa de TCC e estágio de graduação

125.322 - Bancas examinadoras de TCC: indicação e atuação

COMPONENTE

Ordem	Descrição	Nome do arquivo
11	Trabalho de conclusão de curso (TCC) (125.32)	TCC_Davi_MDT.pdf

Assinaturas

03/01/2024 07:42:05

DIEGO BERLEZI RAMOS (Coordenador(a) de Curso)
07.09.02.00.0.0 - CURSO DE ENGENHARIA ELÉTRICA - CEELE



Código Verificador: 3712195

Código CRC: 2e88354c

Consulte em: <https://portal.ufsm.br/documentos/publico/autenticacao/assinaturas.html>

