

UNIVERSIDADE FEDERAL DE SANTA MARIA
CAMPUS CACHOEIRA DO SUL
CURSO DE GRADUAÇÃO EM ENGENHARIA ELÉTRICA

Airton Sbruzzi Watte

**DESENVOLVIMENTO DE CONVERSOR COM CÉLULAS A CAPACITOR
CHAVEADO**

Cachoeira do Sul, RS

2024

Airton Sbruzzi Watte

**DESENVOLVIMENTO DE CONVERSOR COM CÉLULAS A CAPACITOR
CHAVEADO**

Trabalho de Conclusão de Curso apresentado ao Curso de Engenharia Elétrica, da Universidade Federal de Santa Maria, campus Cachoeira do Sul (UFSM-CS, RS), como requisito parcial para obtenção do título de Bacharel em Engenharia Elétrica.

Orientador: Prof. Dr. Diogo Ribeiro Vargas

Coorientador: Prof. Dr. António Manuel Santos Spencer Andrade

Cachoeira do Sul, RS

2024

Airton Sbruzzi Watte

**DESENVOLVIMENTO DE CONVERSOR COM CÉLULAS A CAPACITOR
CHAVEADO**

Trabalho de Conclusão de Curso apresentado ao Curso de Engenharia Elétrica, da Universidade Federal de Santa Maria, campus Cachoeira do Sul (UFSM-CS, RS), como requisito parcial para obtenção do título de Bacharel em Engenharia Elétrica.

Aprovado dia 31 de julho de 2024.

Diogo Ribeiro Vargas, Dr. (UFSM)
(Presidente/Orientador)

Paulo César Vargas Luz, Dr. (UFSM)

Cristiane Cauduro Gastaldini, Dra. (UFSM)

Cachoeira do Sul, RS

2024

NUP: 23081.081852/2024-18

Prioridade: Normal

Homologação de ata de defesa de TCC e estágio de graduação

125.322 - Bancas examinadoras de TCC: indicação e atuação

COMPONENTE

Ordem	Descrição	Nome do arquivo
1	Ata de defesa de trabalho de conclusão de curso (TCC) (125.322)	TCC - AIRTON WATTE_v3 termo.pdf

Assinaturas

02/08/2024 09:48:41

DIOGO RIBEIRO VARGAS (PROFESSOR DO MAGISTÉRIO SUPERIOR (Ativo))
31.06.00.00.0.0 - COORDENAÇÃO ACADÊMICA - UFSM-CS - C_ACA_UFSM/CS

02/08/2024 10:43:10

PAULO CÉSAR VARGAS LUZ (PROFESSOR DO MAGISTÉRIO SUPERIOR (Ativo))
31.06.00.00.0.0 - COORDENAÇÃO ACADÊMICA - UFSM-CS - C_ACA_UFSM/CS

02/08/2024 10:45:57

CRISTIANE CAUDURO GASTALDINI (PROFESSOR DO MAGISTÉRIO SUPERIOR (Ativo))
01.08.11.00.0.0 - COORDENADORIA DE TECNOLOGIA EDUCACIONAL - CTE-PROGRAD



Código Verificador: 4422263

Código CRC: 5421b7fc

Consulte em: <https://portal.ufsm.br/documentos/publico/autenticacao/assinaturas.html>



AGRADECIMENTOS

Ao professor Dr. António Manuel Santos Spencer Andrade, que foi meu orientador na disciplina de TCC I e idealizador da ideia do conversor desenvolvido neste trabalho e;

Ao professor Dr. Diogo Ribeiro Vargas.

Só a paciência e o apoio que ambos tiveram para comigo fizeram esse trabalho ser possível.

Meus mais profundos votos de agradecimento.

RESUMO

DESENVOLVIMENTO DE CONVERSOR COM CÉLULAS A CAPACITOR CHAVEADO

Autor: Airton Sbruzzi Watte

Orientador: Prof. Dr. Diogo Ribeiro Vargas

Cabe à área da engenharia elétrica prover soluções que satisfaçam um mercado que busca, com aumento expressivo de intensidade nos últimos anos, a miniaturização de circuitos, eficiência e alta densidade de potência. Nesse sentido, conversores de potência tradicionais, como as conhecidas topologias *buck* e *boost*, apresentam alguns problemas e novas topologias, como conversores a capacitor chaveado, emergem como alternativas. Conversores híbridos são aqueles que combinam as duas topologias e apresentam vantagens frente tanto às convencionais (e.g. *buck*, *boost*) quanto às topologias puramente a capacitor chaveado. Pode-se citar como principais vantagens a fácil regulação da tensão de saída, à baixa tensão de bloqueio nos semicondutores e a possibilidade de se adicionar mais células de capacitores chaveados, aumentando o ganho estático de tensão. O presente trabalho, após minuciosa descrição do funcionamento das células a capacitor chaveado e apresentação de três topologias de conversores híbridos bidirecionais disponíveis na literatura, apresenta uma topologia de conversor de potência elevador de tensão híbrida, que foi implementada tanto em simulação quanto em um protótipo. O conversor proposto foi designado para atuar com uma entrada de tensão de 50 V, tensão de saída de 200 V e potência nominal de 200 W. Como resultados experimentais o protótipo, para uma tensão de entrada média de $V_{imed} = 49,7$ V, apresentou uma corrente de entrada média de $I_{imed} = 4,49$ A, uma potência de entrada média de $P_{imed} = 220$ W, uma tensão de saída média de $V_{omed} = 194$ V, uma corrente de saída média de $I_{omed} = 982$ mA e uma potência de saída média de $P_{omed} = 189$ W. O protótipo de conversor elevador de tensão híbrido obteve, portanto, um rendimento $\eta = 85,9\%$ e um ganho de tensão de $G = 3,9$.

Palavras-chave: eletrônica de potência; conversor de potência; capacitor chaveado; conversores híbridos a capacitor chaveado.

ABSTRACT

DEVELOPMENT OF A CONVERTER WITH SWITCHED CAPACITOR CELLS

Author: Airton Sbruzzi Watte

Advisor: Prof. Dr. Diogo Ribeiro Vargas

It is up to the electrical engineering field to provide solutions that satisfy a market that has been seeking, with significant increase in intensity in recent years, the miniaturization of circuits, efficiency and high power density. In this sense, traditional power converters, such as the well-known buck and boost topologies, present some problems and new topologies, such as switched capacitor converters, emerge as alternatives. Hybrid converters are those that combine both topologies, and present advantages over both the conventional (buck/boost) and the purely switched capacitor topologies, in which the main advantages are the easy regulation of the output voltage, the low blocking voltage and the possibility of adding more switched capacitor cells, further increasing the static voltage gain. The present work, after a detailed description of the operation of switched capacitor cells and presentation of three bidirectional hybrid converter topologies available in the literature, presents a hybrid voltage boost power converter topology, which was implemented both in simulation and in a prototype. The converter was designed to operate with an input voltage of 50 V, an output voltage of 200 V, and a nominal power of 200 W. The prototype presented as experimental results, for an average input voltage of $V_{imed} = 49.7$ V, an average input current of $I_{imed} = 4.49$ A, and an average input power of $P_{imed} = 220$ W, an average output voltage of $V_{omed} = 194$ V, an average output current of $I_{omed} = 982$ mA, and an average output power of $P_{omed} = 189$ W. The hybrid step-up converter prototype therefore obtained an efficiency of $\eta = 85.9\%$ and a voltage gain of 3.9.

Keywords: power electronics; power converter; switched capacitor; switched capacitor hybrid converters.

SUMÁRIO

1	INTRODUÇÃO.....	07
1.1	OBJETIVOS.....	10
2	REVISÃO BIBLIOGRÁFICA.....	12
2.1	ANÁLISE DE ESTRUTURAS BÁSICAS DE SCC.....	12
2.1.1	Considerações iniciais.....	12
2.1.2	Conversor CC-CC básico a capacitor chaveado.....	15
2.1.2.1	Etapas de operação.....	15
2.1.2.2	Resistência equivalente.....	17
2.1.3	Outras topologias.....	20
2.1.3.1	SCC abaixador de tensão.....	20
2.1.3.2	SCC elevador de tensão.....	22
2.2	ANÁLISE DE TOPOLOGIAS DE CONVERSORES HÍBRIDOS.....	25
2.2.1	Conversor de ZHANG et al (2018).....	25
2.2.2	Conversor de CORTEZ et al (2015).....	29
2.2.3	Conversor de CORNEA et al (2017).....	32
3	TOPOLOGIA PROPOSTA.....	35
3.1	ANÁLISE TEÓRICA DO CONVERSOR PROPOSTO.....	35
3.2	SIMULAÇÃO.....	40
3.3	MONTAGEM DO PROTÓTIPO.....	46
3.3.1	Resultados experimentais.....	48
4	CONCLUSÃO.....	54
4.1	SUGESTÃO PARA TRABALHOS FUTUROS.....	55
	REFERÊNCIAS.....	56

1 INTRODUÇÃO

As últimas décadas foram marcadas, no que tange ao consumo de energia elétrica, por uma grande mudança de parâmetro devido à conscientização ambiental bem como o avanço das tecnologias de microgeração (que também se tornaram menos dispendiosas), sendo perceptível a transição do consumo de energia advinda de combustíveis fósseis (veículos à combustão interna, termoelétricas, etc.) para a energia proveniente de fontes renováveis (energia solar, eólica, etc.). Conversores estáticos bidirecionais passaram a ter grande destaque e interesse nas pesquisas em eletrônica de potência devido à necessidade, cada vez mais presente, de se manipular energia em aplicações que são tanto geradoras quanto consumidoras, como na indústria de veículos elétricos e na geração de energia distribuída.

Em se tratando de carros elétricos, os conversores bidirecionais se tornam fundamentais para o aumento da eficiência e autonomia do veículo, uma vez que o motor elétrico das rodas além de operar como motor de tração, pode fazer o papel de gerador durante uma frenagem, transformando a energia cinética das rodas em energia elétrica que é usada para recarregar as baterias. Demonstrando a aplicabilidade desses em veículos elétricos.

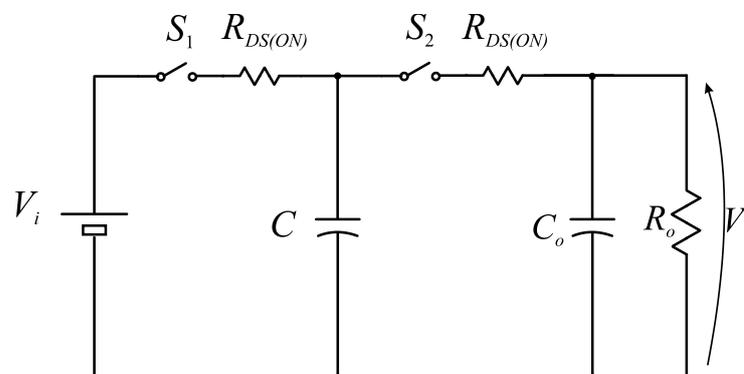
No caso da produção de energia elétrica distribuída existem as microrredes ou *microgrids* que nada mais são do que pequenos produtores de energia, geralmente de fontes renováveis como a energia solar ou eólica, que podem ou não estar conectados à rede da concessionária de energia. A energia elétrica produzida deve ser tratada e convertida para corrente contínua (CC) ao ser armazenada no banco de baterias das unidades produtoras. Quando a produção de energia cessa (por exemplo, quando anoitece, no caso da produção de energia solar, ou termina de ventar, no caso da produção de energia elétrica eólica) a energia armazenada nas baterias passa a ser usada para alimentar a carga, isso é, passa a ser usada para suprir a demanda de energia naquela unidade. Ainda, essa energia deve ser convertida da corrente contínua do banco de baterias para corrente alternada (CA) para o uso final, tipicamente utilizando um inversor. Nesse contexto surge a necessidade de um conversor bidirecional, capaz de fornecer a energia às baterias e, em outro momento, direcioná-la ao inversor.

As topologias convencionais de conversores CC-CC são as que envolvem o uso de acoplamentos magnéticos e/ou transformadores. Nessa categoria estão os conversores *boost* (elevador de tensão) e *buck* (abaixador de tensão) que, por si próprios, não atuam de maneira bidirecional, mas que podem ser conectados em antiparalelo para adquirir tal característica (PANDEY et al, 2021). A popularidade dessas topologias está relacionada com sua

simplicidade, bem como seu baixo custo e alta eficiência. Em um conversor *buck* e/ou *boost* o ganho de tensão pode ser controlado pelo tempo de comutação de um semicondutor. Porém, essas topologias apresentam algumas desvantagens, como o grande volume que ocupam (devido ao elemento magnético), os elementos parasitas que limitam a faixa de ganho de tensão e, mais ainda, o fato de que os interruptores estáticos (semicondutores) ficam submetidos a tensões que podem chegar até mesmo à tensão do lado de alta, de modo que precisam ser dimensionados para esse esforço maior (CORTEZ, 2015).

Com o intuito de mitigar as deficiências e limitações dos conversores tradicionais, conforme CORTEZ (2015), os conversores a capacitor chaveado (SCC – *Switched Capacitor Converter(s)*) têm sido, nos últimos anos, grande objeto de estudo na área de eletrônica de potência. Neles, o mecanismo de funcionamento é baseado na conexão série-paralelo dos capacitores, que são comutados em alta frequência através de chaves controladas. MACCARINI (2013) apresenta um conversor CC-CC básico a capacitor chaveado, que pode ser visto na Figura 1.1.

Figura 1.1 – Conversor CC-CC básico a capacitor chaveado.



Fonte: Maccarini (2010, p.7) - adaptado.

Na topologia apresentada, o ganho estático é unitário, mas percebe-se a presença de apenas capacitores (C e C_o) e chaves de comutação (S_1 e S_2). As resistências $R_{DS(ON)}$ referem-se às resistências internas das chaves quando em condução.

Justifica-se, ainda, o crescente interesse do estudo de SCC pela crescente demanda por energia elétrica de alta densidade de potência, bem como a busca incessante por maiores eficiências durante o processo de manipulação da energia, principalmente em aplicações que envolvam baterias ou qualquer outra forma de armazenamento de energia (MARTINS, 2013).

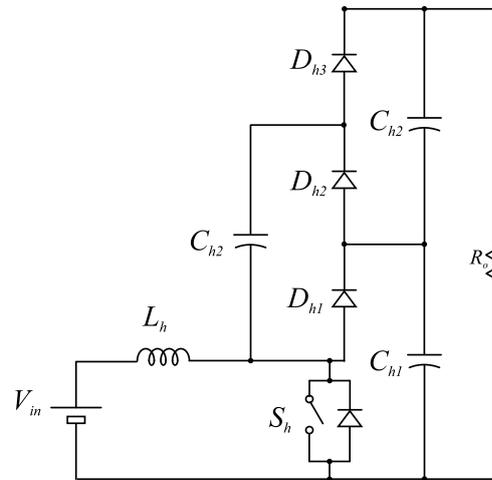
Para MACARINI (2013), os conversores a capacitor chaveado se apresentam como uma forma promissora de se obter elevado ganho estático de tensão, já que são compostos apenas por capacitores e semicondutores (chaves de comutação). Neles, nota-se a ausência de elementos magnéticos, resultando em um conversor compacto e de grande eficiência. Outra vantagem da topologia de conversores a capacitor chaveado é a baixa tensão de bloqueio à qual os semicondutores estão submetidos, de maneira que eles podem ser implementados com semicondutores mais simples e de custo reduzido (via de regra, semicondutores projetados para altas tensões de bloqueio têm um custo de aquisição elevado). Ainda, conforme MACCARINI (2013) “outra boa característica desse conversor é a possibilidade de se adicionar mais módulos de capacitor chaveado na saída, aumentando ainda mais o ganho estático e mantendo o mesmo valor de tensão de bloqueio para os semicondutores” (referindo-se ao módulo de capacitor chaveado do conversor de topologia híbrida da Figura 1.2).

Ainda no rol de vantagens dos conversores a capacitor chaveado em relação aos conversores tradicionais (com elementos magnéticos), CORTEZ (2015) cita a possibilidade de construção dos SCC em circuitos integrados, isso é, integração monolítica, o que não é o caso para conversores tradicionais, e a melhora na interferência eletromagnética (EMI – *Eletromagnetic Interference*) que o conversor inflige na rede. Por fim, os SCC podem ser representados por um circuito equivalente visto da carga, no qual todo o conversor é substituído por uma resistência equivalente série.

Os conversores com topologia puramente a capacitor chaveado possuem também suas limitações e desvantagens. Uma delas está na regulação da tensão de saída quando há uma grande variação de carga (MARTINS, 2013). Como essa família de conversores atua com eficiência e tensão de saída máxima quando operando sem carga, se tem que quanto maior for a carga aplicada, menor será o rendimento. A regulação de tensão é, contudo, possível, mas acarreta também na redução da eficiência.

Para solucionar esses problemas e utilizar, por assim dizer, o melhor dos dois mundos, existem as topologias de conversores híbridos, nos quais existe a presença de elementos magnéticos para fazer a regulação de tensão bem como módulos de capacitor chaveado para aumentar ainda mais o ganho de tensão na saída. Como exemplo dessa topologia há o conversor proposto por ROSAS-CARO, RAMIREZ e VALDERRABANO (2010), que pode ser visto na Figura 1.2.

Figura 1.2 – Topologia proposta por Rosas-Caro, Ramirez e Valderrabano.



Fonte: Rosas-Caro, Ramirez e Valderrabano (2010, p.3) - adaptado.

A topologia apresentada consiste em um conversor CC-CC híbrido, em que há um conversor *boost* convencional ao qual são somados módulos de capacitor chaveado. Na Figura 1.2 são mostrados apenas dois desses módulos (de maneira que o ganho estático do conversor convencional foi dobrado), mas se poderia adicionar mais módulos, a fim de aumentar ainda mais o ganho estático do conversor sem aumentar, contudo, a tensão de bloqueio para os semicondutores (D_{h1} , D_{h2} , D_{h3} , etc.).

1.1 Objetivos

O presente trabalho de conclusão de curso tem por objetivo propor e analisar uma nova topologia de conversor CC-CC elevador de tensão híbrido a capacitor chaveado. Para isso, os seguintes objetivos específicos devem ser atendidos:

- i. Revisão da literatura sobre os princípios de funcionamento de conversores a capacitor chaveado;
- ii. Revisão de topologias de conversores híbridos, isso é, que acrescentam aos conversores convencionais células a capacitor chaveado;
- iii. Propor uma nova topologia de conversor com características híbridas;
- iv. Avaliação dos princípios de funcionamento do conversor proposto;
- v. Simulação em software da topologia apresentada;
- vi. Implementação do protótipo do conversor proposto;

- vii. Coletar os dados do conversor fisicamente implementado e compará-los com os dados obtidos em simulação.

2 REVISÃO BIBLIOGRÁFICA

Esse capítulo é dividido em duas seções, das quais a primeira é dedicada à análise do funcionamento das estruturas básicas de SCC puros (Seção 2.1), enquanto a segunda parte é voltada à análise de topologias de conversores híbridos propostas pela literatura (Seção 2.2).

2.1 ANÁLISE DE ESTRUTURAS BÁSICAS DE SCC

Nessa seção, após as considerações iniciais (Seção 2.1.1), é realizada uma análise da estrutura básica de SCC, sendo ela o conversor CC-CC básico a capacitor chaveado (Seção 2.1.2). Ainda, são apresentadas as etapas de operação desse conversor, bem como as principais formas de onda e equacionamentos relevantes. Ademais, como “os conversores a capacitores chaveados podem ser representados por um circuito equivalente constituído basicamente por uma resistência equivalente” (MARTINS, 2013, p.12), será também mostrada, ao final da análise, a resistência equivalente do circuito. A seguir, a Seção 2.1.3 tratará da análise de topologias de SCC baseados no SCC básico, sendo elas a do conversor CC-CC abaixador de tensão a capacitor chaveado (Seção 2.1.3.1) e do o conversor CC-CC elevador de tensão a capacitor chaveado (Seção 2.1.3.2).

2.1.1 Considerações iniciais

A Figura 1.1 apresenta a topologia de um SCC de ganho unitário. Na qual é possível observar o capacitor e a resistência de saída, C_o e R_o , respectivamente, bem como o capacitor chaveado C e as chaves de comutação, S_1 e S_2 . Será levada em conta, na análise que será feita, a resistência de condução dos interruptores considerando o uso de MOSFETs, isso é, a resistência *Drain-to-Source* ($R_{DS(ON)}$), mas não será considerada a resistência série equivalente dos capacitores (R_{SE}).

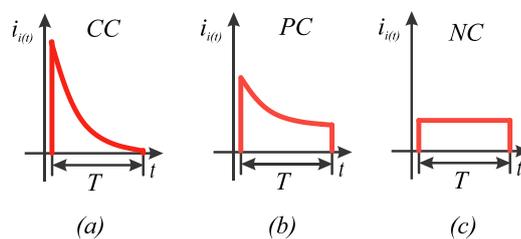
Durante todo o período de comutação (T_s), a razão em que S_1 entra em condução em relação a S_2 é chamada de razão cíclica (D). A constante de tempo (τ) do capacitor chaveado é dado conforme a Equação (2.1).

$$\tau = R_{DS(ON)} \times C \quad (2.1)$$

Como $R_{DS(ON)}$ é um parâmetro do transistor, para se fazer o ajuste de τ é a capacitância do capacitor chaveado C que deve ser mudada.

De acordo com BEN-YAAKOV (2012), o conversor SCC pode operar em três modos, que variam conforme a proporção entre a constante de tempo τ e o período de comutação T_S : modo *complete-charge* (CC), *partial-charge* (PC) e *no-charge* (NC). As correntes de carga do capacitor chaveado, em cada um desses modos de operação, é mostrada na Figura 2.1.

Figura 2.1 – Forma de onda da corrente durante o carregamento do capacitor nos três modos de operação.



Fonte: BEN-YAAKOV (2012, p.633) - adaptado.

Cada um desses modos de operação possui suas peculiaridades, vantagens e desvantagens, que serão analisadas a seguir.

Modo *complete-charge* – Nesse modo há a carga completa do capacitor chaveado. Isso acontece porque o tempo de chaveamento, e, por consequência, o período em que o capacitor é carregado, é muito maior do que a constante de tempo, ou seja, $T_S \gg \tau$.

Pode-se ver na Figura 2.1(a) que nesse modo o capacitor fica submetido a um grande pico de corrente, fazendo com que esse seja o modo com a maior corrente eficaz. Como essa mesma corrente percorre também as resistências parasitas do circuito, o modo *complete-charge* apresenta grandes perdas, já que a potência dissipada cresce com o quadrado da corrente (CORTEZ, 2015).

Modo *partial-charge* – Nesse modo o período de comutação é próximo da constante de tempo, ou seja, $T_S \approx \tau$. Assim, o capacitor tem tempo para se carregar e descarregar apenas parcialmente. Nesse modo os picos observados no modo *complete-charge* são amenizados sem, contudo, serem completamente extintos, como pode ser observado na Figura 2.1(b).

Modo *no-charge* – Esse é o modo em que o período de comutação é muito menor do que a constante de tempo, ou seja, $T_S \ll \tau$. Assim, o capacitor chaveado passa um período relativamente pequeno carregando, de modo que virtualmente nenhuma carga consegue ser

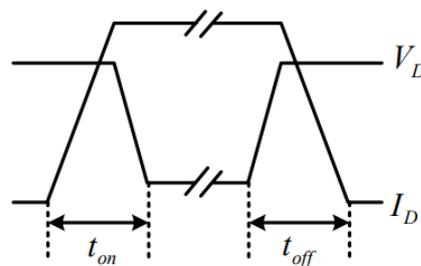
armazenada nele, tornando a corrente constante durante o período de comutação (CORTEZ, 2015), como pode ser visto na Figura 2.1(c).

Em um primeiro momento se poderia pensar que a melhor escolha de capacitância do capacitor chaveado seria aquela para qual o conversor operasse em modo *no-charge*, já que esse é o modo no qual ocorrem as menores perdas nas resistências parasitas do conversor. No entanto, deve-se considerar que para estabelecer esse modo é preciso que se aumente muito a frequência, fazendo o período ficar menor, ou que se aumente muito a capacitância, para que a constante de tempo fique maior. Ambas ações acarretam em desvantagens.

O aumento da capacitância do capacitor chaveado, a fim de diminuir o período de comutação e alcançar o modo *no-charge*, acarreta na redução da densidade de potência do conversor. O que compromete a portabilidade e eleva os custos de aquisição dos componentes do conversor.

Por outro lado, tentar fazer com que o período de comutação diminua (aumentando a frequência) resulta no aumento das perdas de comutação nas chaves, já que os MOSFETs possuem perdas de comutação, geradas pela presença de corrente e tensão quando o estado da chave é alterado, como pode ser visto na Figura 2.2.

Figura 2.2 – Formas de onda de um MOSFET de potência durante comutação.



Fonte: SHEN et al (2006, p.1438).

Como se pode observar na Figura 2.2, durante os intervalos em que o MOSFET está em condução (t_{on}) e aberto (t_{off}), existe a presença de corrente e tensão no componente, gerando assim as perdas de comutação. De fato, essa potência perdida se torna mais considerável a partir do momento em que os conversores de potência têm a frequência de comutação elevada, já que assim esses intervalos em que existem as perdas ocorrem com uma frequência maior.

Dessa maneira “o modo *partial-charge* oferece a melhor combinação para perdas, frequência e capacitância, pois não leva a valores muito elevados de capacitância e também não rende perdas por efeito Joule excessivas” (CORTEZ, 2015, p.40).

2.1.2 Conversor CC-CC básico a capacitor chaveado

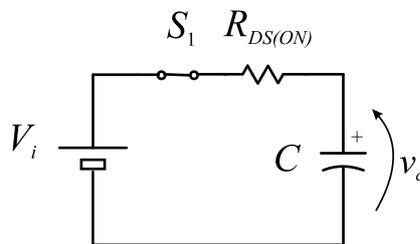
A Figura 1.1 apresenta um conversor CC-CC a capacitor chaveado de ganho unitário. Essa topologia é de estrutura mais simples e “conversores mais complexos são compostos, geralmente, por n células topologicamente equivalentes à deste conversor fundamental” (MARTINS, 2013, p.7). Ela possui dois interruptores, S_1 e S_2 , sendo que os tempos de condução de ambas são complementares, i. e., enquanto S_1 está conduzindo, S_2 está em aberto e vice-versa.

2.1.2.1 Etapas de operação

O conversor básico possui duas etapas de operação, sendo a primeira delas a etapa em que o capacitor chaveado C é carregado pela fonte de tensão e a segunda etapa aquela na qual o capacitor chaveado C entrega a energia à carga.

Primeira etapa de operação (0, D_1T_s) - A chave S_1 conduz, enquanto a chave S_2 está em aberto. O circuito que se forma pode ser visto na Figura 2.3.

Figura 2.3 – Circuito do conversor CC-CC básico a capacitor chaveado durante a primeira etapa de operação



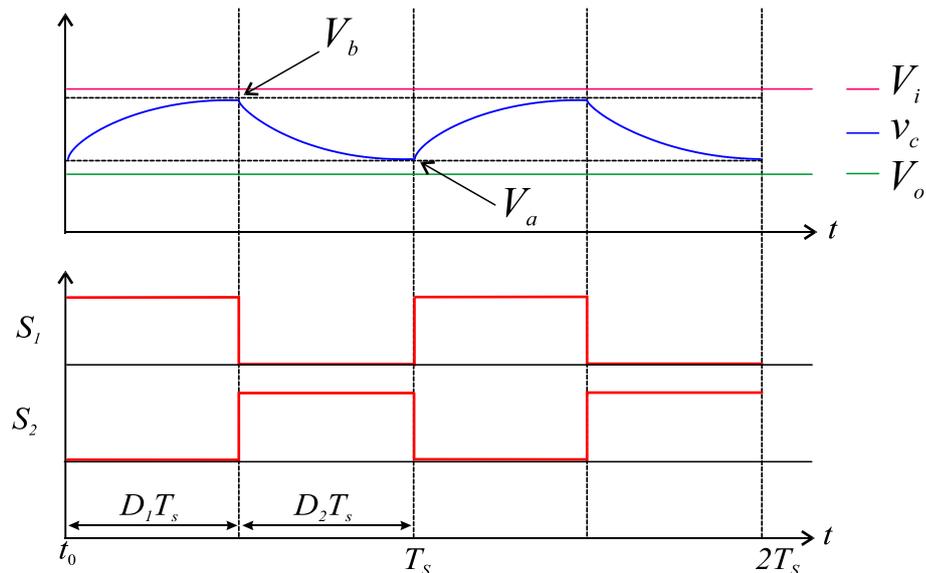
Fonte: MACCARINI (2013, p.8).

Na figura é possível perceber que, de maneira ideal, o capacitor chaveado C recebe a tensão da fonte de entrada (uma vez carregado completamente), dessa forma a tensão do capacitor (v_c) é dada pela Equação (2.2).

$$v_c = V_i \quad (2.2)$$

As formas de onda (em regime permanente) das chaves, bem como as do capacitor chaveado podem ser vistos na Figura 2.4.

Figura 2.4 – Algumas formas de onda do conversor CC-CC básico a capacitor chaveado.



Fonte: MARTINS (2013, p.9).

No início da primeira etapa o capacitor chaveado começa a ser carregado a partir de uma tensão já existente V_a (que é maior que a tensão de saída) até o pico V_b (que é menor que a tensão da fonte), ao final dessa etapa, o que implica que o capacitor chaveado não descarrega completamente.

A Equação da tensão no capacitor durante essa primeira etapa de operação é dada por (2.3) MACCARINI (2013, p.9).

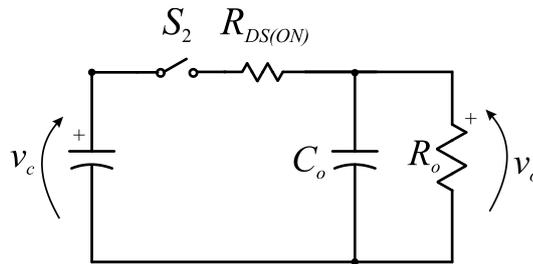
$$V_C(t) = V_i + (v_a - V_i)e^{-\frac{(t-t_0)}{\tau}} \quad (2.3)$$

Segunda etapa de operação (D_1T_s , T_s) - A chave S_1 está em aberto, enquanto a chave S_2 conduz. O circuito que se forma pode ser visto na Figura 2.5.

Na figura percebe-se que, de maneira ideal, a tensão do capacitor chaveado C é aplicada na carga, ou seja:

$$V_o = v_c \quad (2.4)$$

Figura 2.5 – Circuito do conversor CC-CC básico a capacitor chaveado durante a segunda etapa de operação



Fonte: MACCARINI (2013, p.8).

Como se sabe, por meio de (2.2), que a tensão v_c , do capacitor chaveado C , é a tensão da fonte V_i :

$$V_o = V_i \quad (2.5)$$

Assim, de maneira ideal, a tensão na saída do conversor é a mesma que a tensão da fonte de entrada e, portanto, o ganho estático do conversor é unitário:

$$G = \frac{V_o}{V_i} = 1 \quad (2.6)$$

A equação da tensão no capacitor durante a segunda etapa de operação é dada por (2.7) (MACCARINI, 2013, p.10).

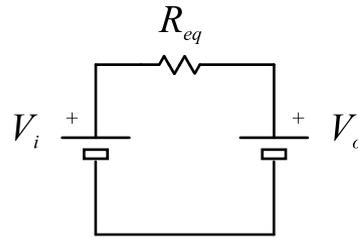
$$V_c(t) = V_o + (v_b - V_o)e^{-\frac{(t-t_0)}{\tau}} \quad (2.7)$$

2.1.2.2 Resistência equivalente

Como é característico de qualquer conversor a capacitor chaveado, o conversor básico pode ser representado por um circuito equivalente visto pela carga, contendo apenas a fonte de entrada, de saída e a resistência equivalente. Tal representação é mostrada na Figura 2.6.

Quando opera com carga, o conversor apresentado opera com ganho estático menor do que o ideal, já que, durante o processo de comutação, quando o capacitor chaveado carrega o capacitor de saída, existem dois capacitores com tensões distintas em paralelo o que gera perda de energia. Dessa maneira, representa-se essa perda intrínseca ao processo de funcionamento do conversor a capacitor chaveado com uma resistência equivalente, R_{eq} , na Figura 2.6.

Figura 2.6 – Circuito equivalente ao SCC básico



Fonte: MACCARINI (2013, p.11).

Mais do que isso, busca-se equacionar essas perdas, de maneira que se possa perceber de quais parâmetros do circuito elas dependem, e, feito isso, torna-las as menores possíveis.

Para se determinar a resistência equivalente é considerada a equação $R_{eq} = (V_i/V_o)/I_o$, na qual o parâmetro I_o depende da variação de tensão sobre o capacitor chaveado ($V_b - V_a$, na Figura 2.4). Após manipulações algébricas, MACCARINI (2013, p.9) apresenta a resistência equivalente do SCC unitário analisado nessa seção, que pode ser encontrada na Equação (2.8).

$$R_{eq} = \frac{1}{fC} \times \frac{\left(1 - e^{-\frac{T}{\tau}}\right)}{\left(1 - e^{-\frac{DT}{\tau}} + e^{-\frac{T}{\tau}} - e^{-\frac{(T-DT)}{\tau}}\right)} \quad (2.8)$$

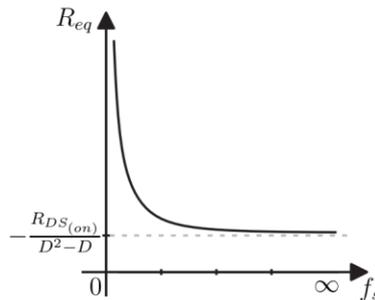
Percebe-se que a resistência equivalente do capacitor depende dos seus componentes, da frequência de comutação e da razão cíclica. A frequência de comutação define o tempo ao qual o capacitor estará submetido a carga e descarga, de maneira que quanto menor for a frequência, maior será o tempo em que o capacitor passa carregando/descarregando e, portanto, maior a variação de carga no capacitor. Como supracitado, essa variação de carga gera perdas, portanto quanto maior a frequência de comutação menor serão essas perdas intrínsecas a esse processo de conversão.

Assim, a resistência equivalente mínima (R_{eqMin}) acontece quando a frequência aumenta tendendo ao infinito e é apresentada por MACCARINI (2013, p.9) e apresentada em (2.9).

$$R_{eqMin} = \lim_{f \rightarrow \infty} R_{eq} = -\frac{R_{DS(ON)}}{D^2 - D} \quad (2.9)$$

O gráfico da resistência equivalente em função da frequência, do SCC de ganho unitário estudado nessa seção, é mostrado na Figura 2.7.

Figura 2.7 – Resistência equivalente em função da frequência de comutação

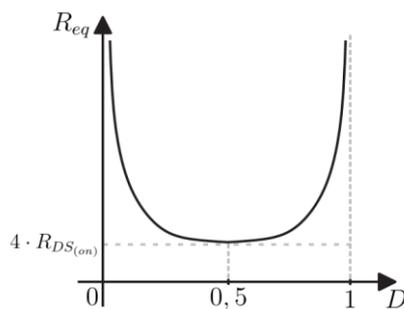


Fonte: MACCARINI (2013, p.13).

A assíntota horizontal apresentada no gráfico acontece justamente no ponto de resistência equivalente mínima, ou seja, quando a frequência de comutação aumenta o suficiente, a resistência do circuito é virtualmente igual à descrita na Equação (2.9).

Uma vez que se fixa a frequência de comutação em um valor adequado (na região plana do gráfico da Figura 2.7), deve-se ainda definir uma razão cíclica adequada, já que é o único parâmetro facilmente mutável da Equação (2.9). O gráfico da Figura 2.8 mostra o comportamento da resistência equivalente em função da razão cíclica.

Figura 2.8 – Resistência equivalente em função da razão cíclica



Fonte: MACCARINI (2013, p.13).

Percebe-se que a resistência equivalente mínima acontece quando $D = 0,5$, ou seja, quando a primeira etapa de comutação ocupa a exata metade do período total de comutação e a segunda etapa, a outra metade. Portanto, substituindo esse valor em (2.9) obtém-se:

$$R_{eqMin} = -\frac{R_{DS(on)}}{0,5^2 - 0,5} = 4R_{DS(on)} \quad (2.10)$$

A Equação (2.10) mostra que a resistência mínima para a topologia analisada é de quatro vezes a resistência de condução dos interruptores.

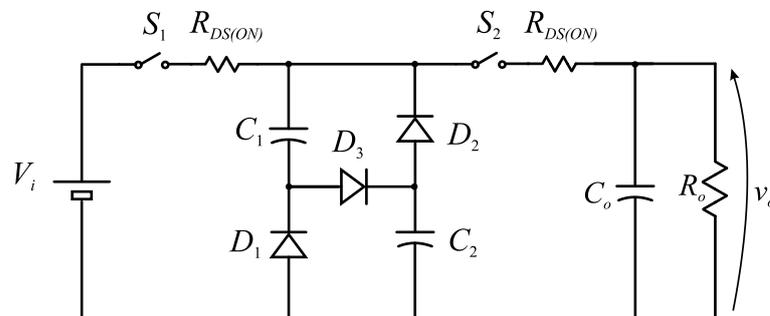
2.1.3 Outras topologias

Nessa seção serão analisadas, de maneira mais superficial, duas topologias de SCC baseadas na estudada na Seção 2.1.2., sendo elas o a do SCC abaixador de tensão (Subseção 2.1.3.1) e a do SCC elevador de tensão (Subseção 2.1.3.2).

2.1.3.1 SCC abaixador de tensão

O conversor a capacitor chaveado abaixador de tensão apresentado na Figura 2.9 tem como princípio de funcionamento o rearranjo dos capacitores chaveados C_1 e C_2 em série e paralelo a cada período de comutação. Esses dois capacitores são considerados idênticos.

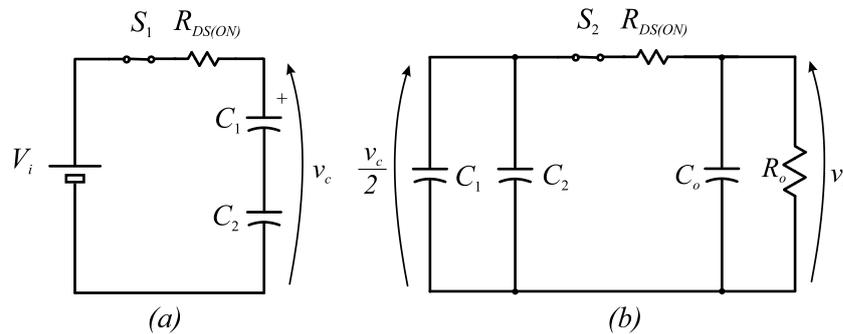
Figura 2.9 – SCC abaixador de tensão.



Fonte: MACCARINI (2013, p.14) - adaptado.

Essa topologia também apresenta duas etapas de operação. Os circuitos formados em cada etapa podem ser vistos na Figura 2.10.

Figura 2.10 – Circuitos formados na primeira (a) e segunda (b) etapa de operação do SCC abaixador de tensão.



Fonte: MACCARINI (2013, p.14) adaptado.

Primeira etapa de operação (0, DT_s) – As chaves e os diodos atuam de maneira a deixar os capacitores chaveados C_1 e C_2 em série com a fonte de tensão V_i para que sejam, assim, carregados. Para isso, S_1 entra em condução enquanto S_2 é aberta. Isso acarreta na condução do diodo D_3 e da não condução dos diodos D_1 e D_2 . O circuito resultante é observado na Figura 2.10(a).

Percebe-se na Figura 2.10(a) que, idealmente, que a tensão da fonte é aplicada à série dos capacitores C_1 e C_2 :

$$v_c = V_i \quad (2.11)$$

Segunda etapa de operação (DT_s , T_s) – A posição das chaves S_1 e S_2 se invertem, fazendo com que os diodos D_1 e D_2 entrem em condução, enquanto o diodo D_3 saia de condução. O circuito resultante é visto na Figura 2.10(b), na qual percebe-se que os capacitores chaveados C_1 e C_2 estão conectados em paralelo entre si e com a carga.

Como C_1 e C_2 são idênticos, idealmente tem-se:

$$\frac{v_c}{2} = V_o \quad (2.12)$$

Substituindo (2.11) em (2.12) se obtém:

$$\frac{V_i}{2} = V_o \quad (2.13)$$

Assim, de maneira ideal, a tensão na saída do conversor é a metade da tensão da fonte de entrada e, portanto, o ganho estático do conversor é igual a 1/2:

$$G = \frac{V_o}{V_i} = \frac{1}{2} \quad (2.14)$$

Quanto à resistência equivalente, o mesmo padrão de comportamento encontrado para o conversor de ganho unitário é observado no SCC abaixador de tensão, de maneira que “quanto maior for a frequência de comutação menores serão as perdas no conversor” MACCARINI (2013, p.18). Tanto que o gráfico da Figura 2.7 descreve quase que perfeitamente o comportamento da resistência equivalente em função da frequência de comutação, sendo a única diferença o valor absoluto em que se encontra a assíntota horizontal observada. Esse valor, que é o de resistência equivalente mínima (R_{eqMin}) é dado por MACCARINI (2013, p.18):

$$R_{eqMin} = \lim_{f \rightarrow \infty} R_{eq} = -\frac{R_{DS(ON)}}{2D^2 - 2D} \quad (2.15)$$

O mesmo tipo de semelhança acontece com a razão cíclica, sendo o gráfico da Figura 2.8 aplicável para descrever o comportamento da resistência equivalente em função da razão cíclica. Desse modo, percebe-se que a razão cíclica em que as perdas são mínimas é de $D = 0,5$. Substituindo esse valor em (2.15) se obtém:

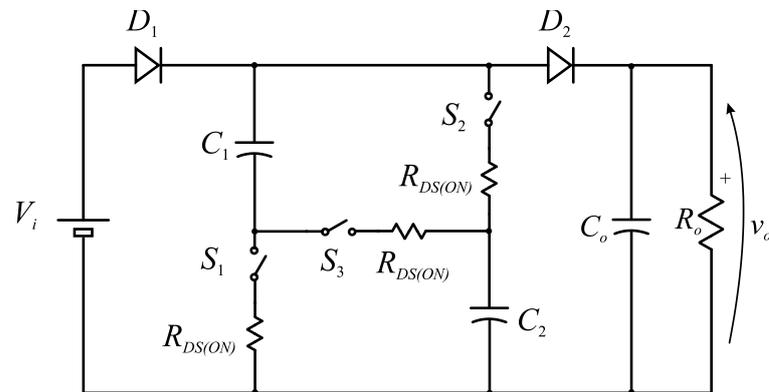
$$R_{eqMin} = -\frac{R_{DS(ON)}}{2(0,5)^2 - 2(0,5)} = 2R_{DS(ON)} \quad (2.16)$$

A Equação (2.16) mostra que a resistência mínima para a topologia analisada é de duas vezes a resistência de condução dos interruptores.

2.1.3.2 SCC elevador de tensão

O conversor a capacitor chaveado elevador de tensão apresentado na Figura 2.11 tem o mesmo princípio de funcionamento do que o SCC abaixador, i. e., o rearranjo dos capacitores chaveados C_1 e C_2 em paralelo e em série, com uma diferença: o SCC abaixador carregava os capacitores chaveados em série com a fonte e os descarregava em paralelo com a carga, enquanto o SCC elevador, como será visto, os carrega em paralelo com a fonte e os descarrega em série com a carga. Também, nessa topologia, os dois capacitores são considerados idênticos.

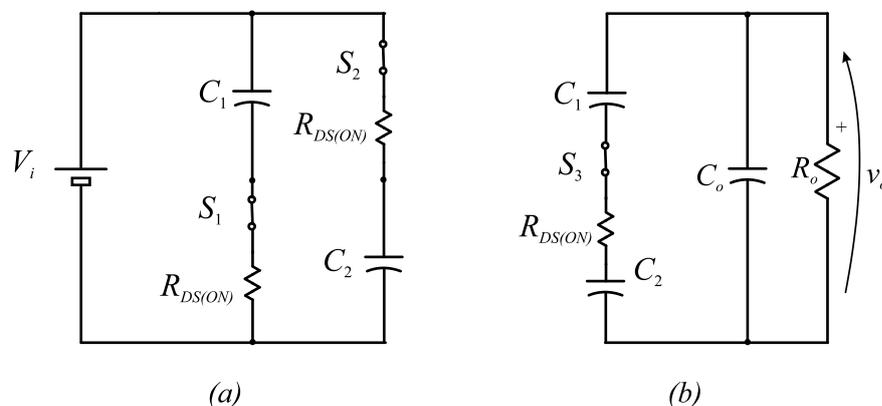
Figura 2.11 – SCC elevador de tensão.



Fonte: MACCARINI (2013, p.19) - adaptado.

Essa, como se pode observar na Figura 2.11, é a primeira topologia que possui três chaves de comutação (S_1 , S_2 e S_3), mas, assim como as estudadas anteriormente, apresenta apenas duas etapas de operação. Os circuitos formados em cada etapa podem ser vistos na Figura 2.12.

Figura 2.12 – Circuitos formados na primeira (a) e segunda (b) etapa de operação do SCC elevador de tensão.



Fonte: MACCARINI (2013, p.20) adaptado.

Primeira etapa de operação (0, DT_s) – As chaves e os diodos atuam de maneira a deixar os capacitores chaveados C_1 e C_2 em paralelo com a fonte de tensão V_i para que sejam, assim, ambos carregados com a tensão da fonte. Para isso, S_1 e S_2 entram em condução enquanto S_3 é aberta. Isso acarreta na condução do diodo D_1 e da não condução do diodo D_2 . O circuito resultante é observado na Figura 2.12(a).

Percebe-se na Figura 2.12(a) que, idealmente, que a tensão da fonte é aplicada aos capacitores C_1 e C_2 em paralelo:

$$v_{C1} = v_{C2} = V_i \quad (2.17)$$

Segunda etapa de operação (DT_s, Ts) – A posição das chaves S_1 e S_2 e S_3 se invertem, fazendo com que o diodo D_2 entre em condução, enquanto o diodo D_1 saia dela. O circuito resultante é visto na Figura 2.12(b), na qual percebe-se que a série dos capacitores chaveados C_1 e C_2 está conectado em paralelo com a carga.

Como C_1 e C_2 são idênticos, idealmente tem-se:

$$v_{C1} + v_{C2} = V_o \quad (2.18)$$

Substituindo (2.11) em (2.12) se obtém:

$$2V_i = V_o \quad (2.19)$$

Assim, de maneira ideal, a tensão na saída do conversor é o dobro da tensão da fonte de entrada e, portanto, o ganho estático do conversor é igual a 2:

$$G = \frac{V_o}{V_i} = 2 \quad (2.20)$$

Quanto à resistência equivalente, o mesmo padrão de comportamento encontrado para o conversor de ganho unitário e para o SCC abaixador é observado, ou seja, quanto maior for a frequência de comutação, menor serão as perdas inerentes ao processo. O gráfico da Figura 2.7 também serve para representar o comportamento da resistência equivalente em função da frequência de comutação para o SCC elevador de tensão, sendo a única diferença o valor absoluto em que se encontra a assíntota horizontal observada. Esse valor, que é o de resistência equivalente mínima (R_{eqMin}) é dado por MACCARINI (2013, p.24):

$$R_{eqMin} = \lim_{f \rightarrow \infty} R_{eq} = -\frac{2R_{DS(ON)}}{D(D-1)} \quad (2.21)$$

O mesmo tipo de semelhança acontece com a razão cíclica, sendo o gráfico da Figura 2.8 perfeitamente aplicável para descrever o comportamento da resistência equivalente em

função da razão cíclica. Desse modo, percebe-se que a razão cíclica em que as perdas são mínimas é de $D = 0,5$. Substituindo esse valor em (2.21) se obtém:

$$R_{eqMin} = -\frac{2R_{DS(ON)}}{0,5(0,5 - 1)} = 8R_{DS(ON)} \quad (2.22)$$

A Equação (2.22) mostra que a resistência mínima para a topologia analisada é de duas vezes a resistência de condução dos interruptores.

2.2 ANÁLISE DE TOPOLOGIAS DE CONVERSORES HÍBRIDOS

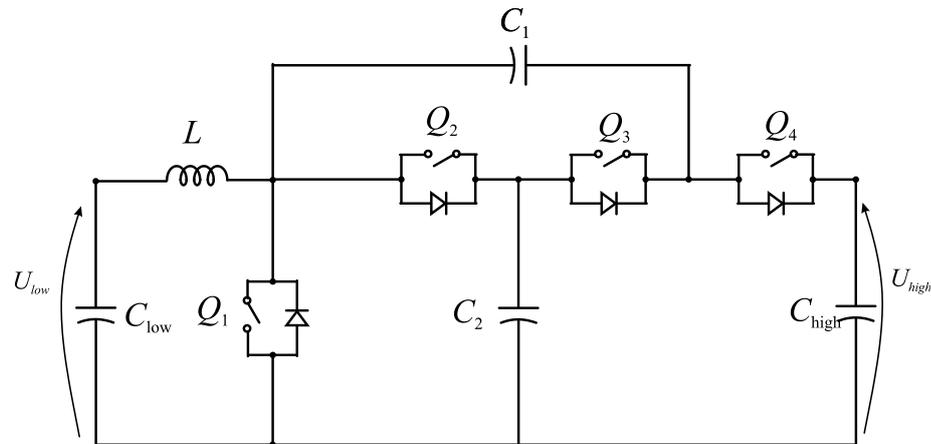
Como já mencionado, as topologias puramente a capacitor chaveado possuem certas desvantagens e, por isso, topologia híbridas surgiram com a intenção de mitigar tais aspectos negativos. Tais topologias mesclam o alto ganho estático dos SCC com a maior facilidade de controle dos conversores tradicionais. Nessa seção será realizado o estudo de três topologias híbridas propostas pela literatura (Seções 2.2.1 - 2.2.3).

2.2.1 Conversor de ZHANG et al (2018)

Os autores do projeto do conversor em questão (ZHANG et al, 2018) se propuseram a projetar um conversor bidirecional CC-CC a capacitor chaveado para veículos elétricos com fontes de energia híbrida. O conversor deveria, ainda, ter uma alta gama de ganho de tensão. Eles observaram que seria muito benéfico ao projeto de um veículo elétrico contar com um sistema híbrido de energia usando supercapacitores, que seriam usados nos momentos em que o veículo demandasse uma potência maior abruptamente (como em uma aceleração ou em um aclave) juntamente com as tradicionais baterias. Devido ao caráter híbrido do veículo elétrico, as baterias não teriam as altas correntes drenadas de si nessas súbitas demandas por potência, que seriam providas pelos supercapacitores, promovendo, desse modo, um menor esforço na bateria e prolongando sua vida útil.

O conversor bidirecional CC-CC, principal alvo de interesse desse trabalho, faz a interface entre os supercapacitores e a malha de alta tensão contendo os motores do veículo elétrico. A topologia proposta pelos autores é exibida na Figura 2.13.

Figura 2.13 – Topologia proposta por Zhang et al.



Fonte: ZHANG et al (2018, p.9460) - adaptado.

Nota-se que o conversor proposto é composto por apenas quatro semicondutores de potência (chaves), do Q_1 a Q_4 , um indutor L e quatro capacitores: C_1 , C_2 , C_{low} e C_{high} . Há, contudo, que se fazer uma distinção das funções dos capacitores: enquanto C_{low} e C_{high} são capacitores de armazenamento e filtragem (do lado de baixa e alta tensão, respectivamente) C_1 e C_2 são, efetivamente, os capacitores chaveados.

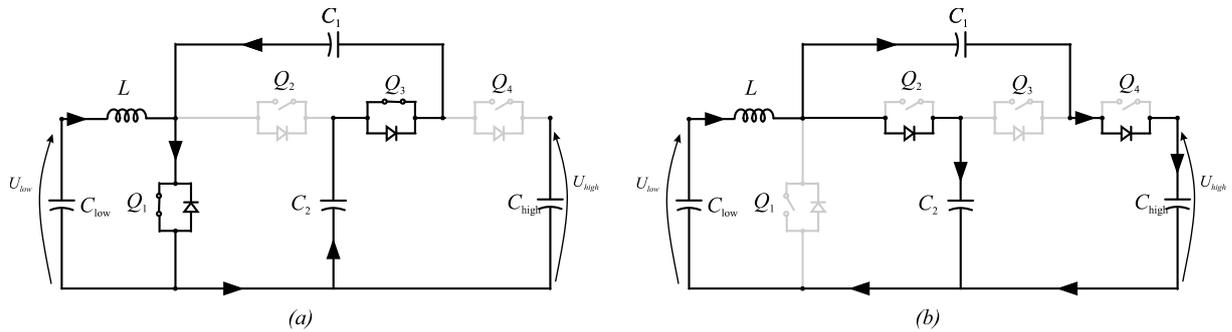
Como o conversor proposto tem característica bidirecional, há dois modos de operação: o *step-up* (elevador de tensão) e o *step-down* (abaixador de tensão).

Modo elevador de tensão - a energia flui do lado de baixa para o de alta tensão e, para tal, é feito o controle do semicondutor de potência Q_1 , bem como o dos diodos em antiparalelo dos semicondutores Q_2 , Q_3 e Q_4 .

Na primeira parte do ciclo a chave Q_1 está fechada. O diodo antiparalelo de Q_3 está em condução, enquanto os diodos antiparalelos de Q_2 e Q_4 estão abertos. A energia da fonte (U_{low} , aplicada em C_{low}) é transferida para o indutor. Enquanto isso C_1 é carregado pelo capacitor C_2 e a energia de C_{high} é transferida para a carga. O fluxo de energia pode ser visto na Figura 2.14 (a).

Na segunda parte do ciclo a chave Q_1 e o diodo antiparalelo de Q_3 estão em aberto, enquanto os diodos antiparalelos de Q_2 e Q_4 estão em condução. Desse modo C_2 é carregado pelo indutor enquanto C_1 é descarregado e C_{high} é carregado. A fonte, o indutor e C_1 fornecem energia para a carga. O fluxo de energia pode ser visto na Figura 2.14(b).

Figura 2.14 – Fluxo de potência nas duas partes do ciclo do modo *step-up*.



Fonte: ZHANG et al (2018, p. 9461) - adaptado.

Percebe-se que, no modo *step-up*, os capacitores C_1 e C_2 são carregados, na primeira etapa, em paralelo e depois, na segunda etapa, se conectam em série com a carga e com o capacitor C_{high} da saída, de modo que suas tensões somadas são aplicadas em ambos.

Para o modo *step-up*, os autores encontraram um ganho conforme a Equação (2.23).

$$G = \frac{2}{1 - d_{boost}} \quad (2.23)$$

Em que d_{boost} é a razão cíclica para o modo *step-up*.

Modo abaixador de tensão - a energia flui do lado de alta tensão para o de baixa e, para tal, é feito o controle das chaves Q_2 , Q_3 e Q_4 , bem como do diodo antiparalelo da chave Q_1 .

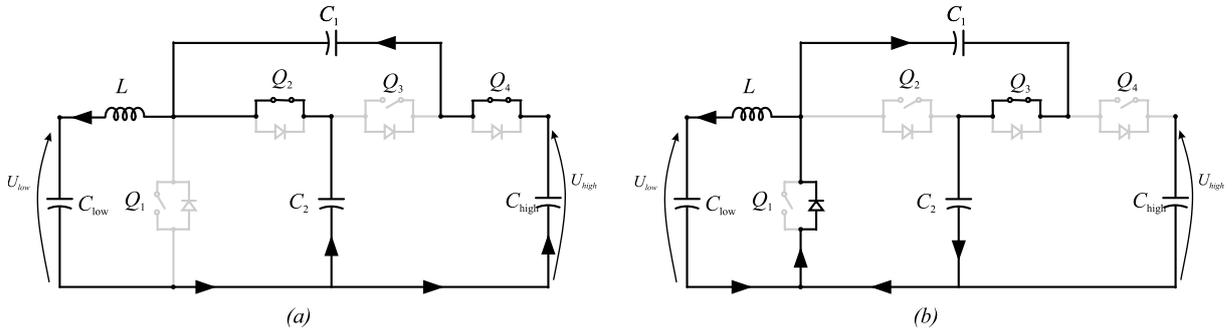
Na primeira parte do ciclo, as chaves Q_2 e Q_4 estão fechadas, enquanto a chave Q_3 e o diodo antiparalelo da chave Q_1 estão abertos. O indutor é carregado por C_2 , enquanto C_1 é carregado por C_{high} e U_{high} . A fonte U_{high} , o indutor e o capacitor C_2 fornecem energia para a carga. O fluxo de energia pode ser visto na Figura 2.15(a).

Na segunda parte do ciclo a chave Q_3 e o diodo antiparalelo da chave Q_1 estão em condução, enquanto as chaves Q_2 e Q_4 estão abertas. O indutor é descarregado fornecendo, assim, a energia para a carga, enquanto C_2 é carregado por C_1 . O capacitor C_{high} é carregado pela fonte U_{high} . O fluxo de energia pode ser visto na Figura 2.15(b).

Para o modo *step-down*, os autores encontraram um ganho conforme a Equação (2.24).

$$U_{low} = \frac{d_{buck}}{2} U_{high} \quad (2.24)$$

Figura 2.15 – Fluxo de potência nas duas partes do ciclo do modo *step-down*.



Fonte: ZHANG et al (2018).

Em que, d_{buck} é a razão cíclica para o modo *step-down*.

Os estresses de tensão nos semicondutores de potência podem ser vistos em (2.25).

$$U_{Q_1} = U_{Q_2} = U_{Q_3} = U_{Q_4} = \frac{U_{high}}{2} \quad (2.25)$$

Nota-se que o esforço de tensão máximo nos semicondutores de potência é sempre a metade da tensão do lado de alta.

Os estresses de corrente nos semicondutores de potência são mostrados em (2.26).

$$\begin{cases} I_{Q_1} = \left[1 + \frac{d_{buck}}{2(1 - d_{buck})} \right] I_{low} \\ I_{Q_2} = I_{Q_4} = \frac{1}{2} I_{low} \\ I_{Q_3} = \frac{d_{buck}}{2(1 - d_{buck})} I_{low} \end{cases} \quad (2.26)$$

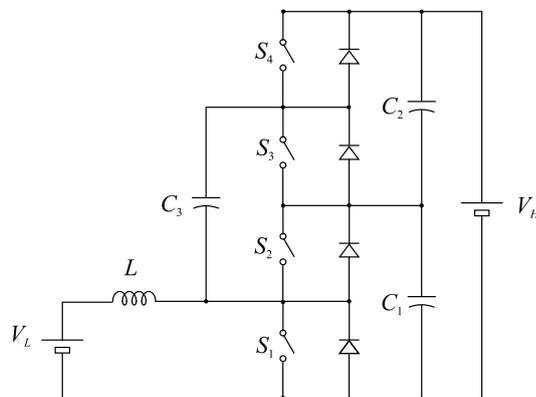
Por fim, os autores construíram um protótipo a partir da topologia apresentada com uma potência de 300 W, com um lado de baixa tensão que variava entre 40 V e 100 V e um lado de alta constante de 300 V. As eficiências máximas encontradas foram 94,45% no modo *step-down* e 94,39% no modo *step-up*.

2.2.2 Conversor de CORTEZ et al (2015)

Assim como o projeto do conversor analisado anteriormente, a topologia proposta pelos autores (CORTEZ et al, 2015) também foi pensada como solução para o setor de veículos elétricos. O conversor proposto é híbrido, sendo uma mescla de um conversor bidirecional regular com um a capacitor chaveado.

A problemática apresentada pelos autores gira em torno do fato de que é lugar comum, em se tratando de veículos elétricos, haver sistemas baseados em 14 V e que, com o aumento da potência demandada por esses veículos, seria benéfico que se trabalhasse com sistemas de 42 V para evitar altas correntes e, conseqüentemente, altas perdas. Desse modo, os autores propõem o uso de um sistema com dois níveis de voltagem, um sendo de 42 V para o sistema de motores do veículo e um de 14 V, para sistemas como o de iluminação, computador de bordo, etc. A ponte entre os dois sistemas de distintas voltagens é feita por um conversor bidirecional híbrido, de topologia que mescla um conversor bidirecional convencional com um a capacitor chaveado, proposto pelos autores, que é mostrado na Figura 2.16.

Figura 2.16 – Topologia proposta por Cortez et al.



Fonte: CORTEZ et al (2015, p.3297) adaptado.

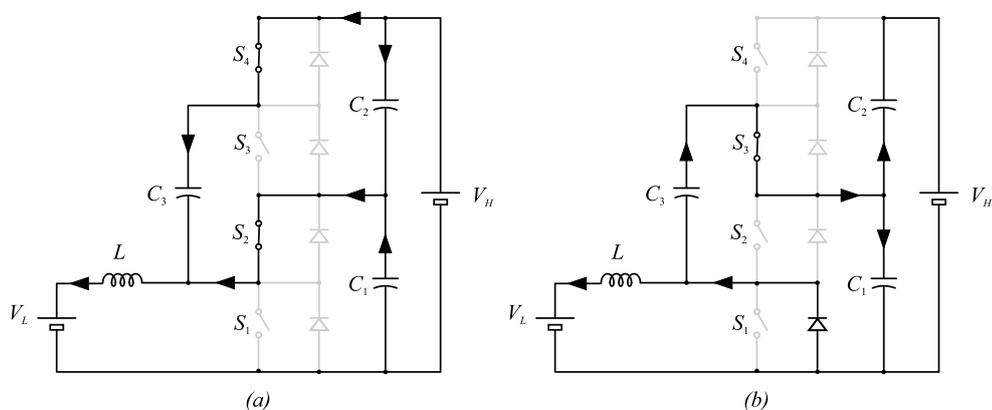
Nota-se que o conversor proposto é composto por apenas quatro semicondutores de potência (chaves), do S_1 a S_4 , três capacitores: C_1 a C_3 . O indutor L , que garante a característica híbrida à topologia, é localizado no lado de baixa voltagem (e, conseqüentemente, alta corrente), o que garante que o *ripple* de corrente seja baixo.

Assim como no primeiro conversor analisado, esse possui dois modos de operação: o elevador de tensão e o abaixador de tensão.

Modo abaixador de tensão - a energia flui do lado de alta tensão V_H para o de baixa V_L e, para tal, as chaves S_1 e S_3 se abrem e se fecham ao mesmo tempo. A mesma sincronia é observada nas chaves S_2 e S_4 .

Na primeira parte do ciclo as chaves S_2 e S_4 estão ligadas, enquanto S_1 e S_3 , desligadas. Nesse estágio, os capacitores C_2 e C_3 estão sendo carregados com a energia fornecida pela fonte V_H , enquanto C_1 é descarregado na carga V_L através da chave S_2 . O circuito resultante, bem como o fluxo de potência, é mostrado na Figura 2.17(a).

Figura 2.17 – Fluxo de potência nas duas partes do ciclo do modo abaixador de tensão.



Fonte: CORTEZ et al (2015, p.3297) - adaptado.

Quando a posição das quatro chaves se inverte na segunda parte do ciclo, os capacitores C_2 e C_3 são descarregados enquanto C_1 é carregado. Como é característica dos indutores, L força a corrente a se manter em mesmo sentido, de modo que o diodo antiparalelo da chave S_1 entra em condução. O circuito resultante, bem como o fluxo de potência, é mostrado na Figura 2.17(b).

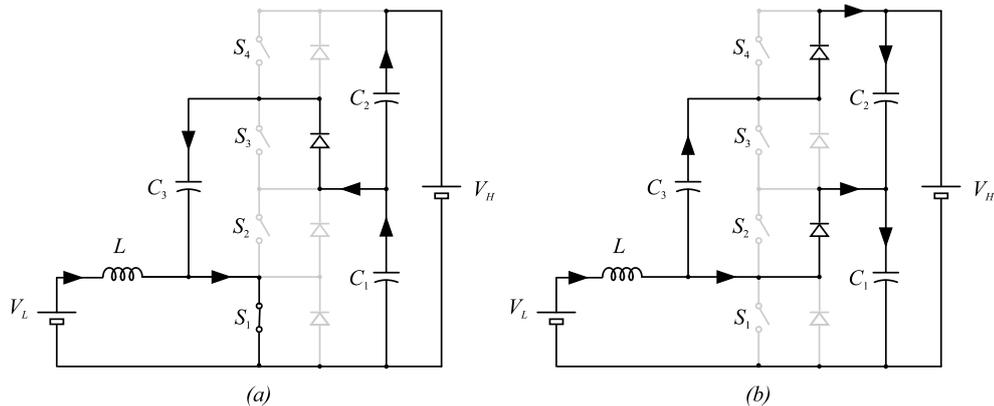
Os autores encontraram, no modo abaixador de tensão, um ganho estático conforme a Equação (2.27).

$$G = \frac{d_{buck}}{2} \quad (2.27)$$

Em que d_{buck} é a razão cíclica utilizada no modo abaixador de tensão. Ainda, é necessário dizer que a Equação (2.27) é válida se se considera nula a resistência dos capacitores.

Modo elevador de tensão - a energia flui do lado de baixa tensão V_L para o de alta V_H . Análogo ao modo abaixador de tensão, existem duas partes do ciclo no modo elevador, que podem ser vistos na Figura 2.18.

Figura 2.18 – Fluxo de potência nas duas partes do ciclo do modo elevador de tensão.



Fonte: CORTEZ et al (2015).

A análise desse modo de operação, por ser similar ao modo abaixador de tensão, foi omitida pelos autores, que também não equacionaram o ganho estático para o modo elevador de tensão.

Em qualquer um dos modos, os estresses de tensão nos semicondutores de potência podem ser vistos na Equação (2.28).

$$V_{S_1} = V_{S_2} = V_{S_3} = V_{S_4} = \frac{V_H}{2} \quad (2.28)$$

Nota-se que, da mesma maneira que o primeiro conversor híbrido analisado, o esforço de tensão máximo nos semicondutores de potência é sempre a metade da tensão do lado de alta.

As correntes médias nos semicondutores de potência são mostradas na Equação (2.29).

$$\begin{cases} I_{S_1} = -\frac{(d-2)P}{dV_H} \\ I_{S_2} = I_{S_3} = I_{S_4} = \frac{P}{V_H} \end{cases} \quad (2.29)$$

A corrente na chave S_1 é a maior entre as quatro chaves já que ela é a soma da corrente instantânea presente no capacitor C_3 com a corrente instantânea no indutor L .

Por fim, os autores construíram um protótipo a partir da topologia apresentada com uma potência de 140 W, com as tensões de 14 V no lado de baixa e 42 V no lado de alta tensão. Para o modo elevador de tensão se obteve uma eficiência máxima de 97,5%, enquanto o modo abaixador de tensão apresentou uma eficiência máxima de 96,3% com uma frequência de comutação de 70 kHz.

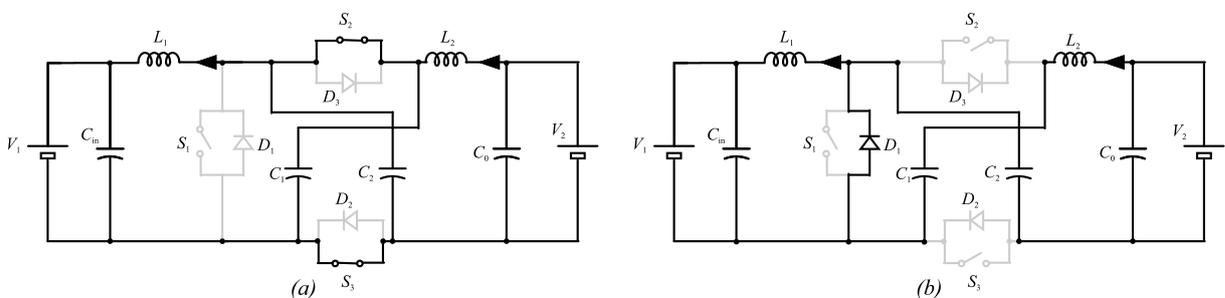
2.2.3 Conversor de CORNEA et al (2017)

Os autores do último conversor híbrido a ser estudado (CORNEA et al, 2017), consideraram a necessidade do uso de conversores CC-CC em diversas aplicações, como em *microgrids*, sistemas de energia renovável e em veículos elétricos. Com base nisso, propuseram uma topologia de conversor CC-CC bidirecional que usa células a capacitor chaveado para elevar o ganho estático de um conversor tradicional.

Assim como nos demais conversores analisados, esse possui dois modos de operação: o elevador de tensão e o abaixador de tensão.

Modo abaixador de tensão - a energia flui do lado de alta tensão V_H para o de baixa V_L e, para tal, é feito o controle dos semicondutores de potência S_2 e S_3 , bem como do diodo D_1 , antiparalelo à chave S_1 , mostrados na Figura 2.19. Esse processo acontece em duas etapas de operação, cujos circuitos resultantes, bem como o respectivo fluxo de potência, podem ser vistos na Figura 2.19(a) (primeira parte do ciclo) e na Figura 2.19(b) (segunda parte do ciclo).

Figura 2.19 – Fluxo de potência nas duas partes do ciclo do modo abaixador de tensão.



Fonte: CORNEA et al (2017).

Na primeira etapa de operação do modo abaixador de tensão a as chaves S_2 e S_3 , que são síncronas, estão fechadas, permitindo a passagem de corrente, enquanto a chave S_1 está em aberto, bem como está bloqueado o diodo D_1 . Assim, os capacitores C_1 e C_2 estão conectados em paralelo através de S_1 e S_2 . Nessa etapa ocorre o descarregamento dos capacitores chaveados para a carga.

Na segunda etapa de operação as chaves S_2 e S_3 estão em aberto, enquanto o diodo antiparalelo da chave S_1 conduz. Dessa maneira, os capacitores C_1 e C_2 se conectam em série através do diodo D_1 . Nessa etapa acontece o carregamento dos capacitores chaveados pela fonte V_H .

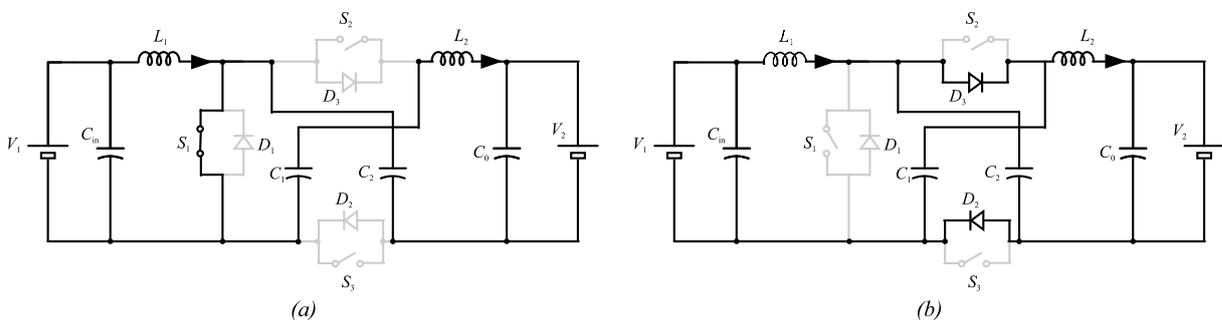
O ganho estático para o modo abaixador de tensão é dado pela Equação (2.30).

$$G = \frac{D'}{2 - D'} \quad (2.30)$$

Em que, D' é a razão cíclica das chaves S_2 e, conseqüentemente, S_3 .

Modo elevador de tensão - a energia flui do lado de baixa tensão V_L para o de alta V_H , e, para tal, é feito o controle do semicondutor de potência S_1 , bem como dos diodos D_2 e D_3 , antiparalelos à chave S_2 e S_3 , respectivamente, e mostrados na Figura 2.20. Esse processo acontece em duas etapas de operação, cujos circuitos resultantes, bem como o respectivo fluxo de potência, podem ser vistos na Figura 2.20(a) (primeira parte do ciclo) e na Figura 2.20(b) (segunda parte do ciclo).

Figura 2.20 – Fluxo de potência nas duas partes do ciclo do modo elevador de tensão.



Fonte: CORNEA et al (2017).

Na primeira etapa de operação do modo elevador de tensão os capacitores C_1 e C_2 são conectados em série através da chave S_1 . Os diodos D_2 e D_3 permanecem bloqueados. Nessa etapa ocorre o descarregamento dos capacitores chaveados para a carga.

Já na segunda etapa de operação, a chave S_1 é aberta, enquanto dos diodos D_2 e D_3 entram em condução. Dessa maneira, os capacitores chaveados C_1 e C_2 são conectados em paralelo através dos diodos D_2 e D_3 , enquanto são carregados pela fonte V_L .

O ganho estático para o modo elevador de tensão é dado pela Equação (2.31).

$$G = \frac{1 + D}{1 - D} \quad (2.31)$$

Em que D é a razão cíclica da chave S_1 .

Tanto no modo elevador de tensão quanto no abaixador, a tensão máxima nos semicondutores (seja nas chaves ou nos diodos) é dada pela Equação (2.32).

$$V_{max} = \frac{V_L + V_H}{2} \quad (2.32)$$

Por fim, os autores construíram um protótipo a partir da topologia apresentada com uma potência de 2 kW, com um lado de baixa tensão de 48 V e um lado de alta de 400 a 600 V. Nesse protótipo, foram usados IGBTs em vez de MOSFETs para as chaves, o que acarretou em perdas mais significativas. Contudo, através de simulações levando em conta as perdas características, os autores chegaram a uma eficiência máxima de 98,6%, sendo que durante toda a operação a eficiência não baixou de 96,8%, quando foram usados MOSFETs.

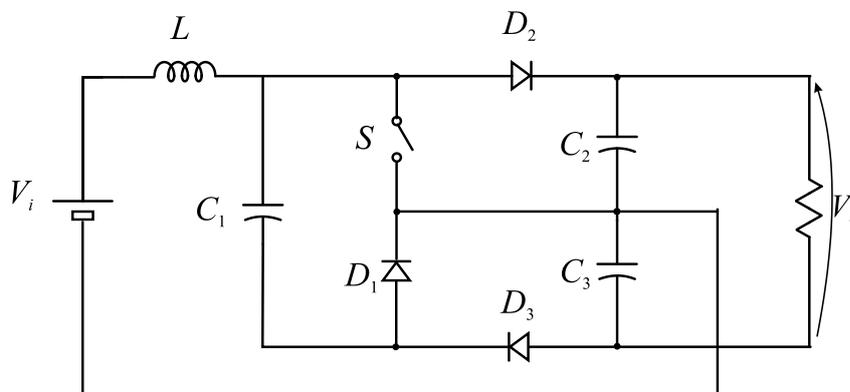
3 TOPOLOGIA PROPOSTA

Esse capítulo, na Seção 3.1, apresenta a análise teórica da topologia de conversor híbrido proposta, na qual é apresentada a topologia em si, o princípio de operação e os esforços aos quais os semicondutores são submetidos (obtidos de maneira teórica). A Seção 3.2 traz a definição de alguns dos parâmetros do conversor usados em simulação (e, posteriormente, no protótipo) e os resultados obtidos em simulação. Por fim a Seção 3.3 descreve a montagem do protótipo e traz os resultados medidos.

3.1 ANÁLISE TEÓRICA DO CONVERTOR PROPOSTO

A topologia de conversor híbrido elevador de tensão proposta pode ser vista na Figura 3.1.

Figura 3.1 – Topologia de conversor híbrido proposta.



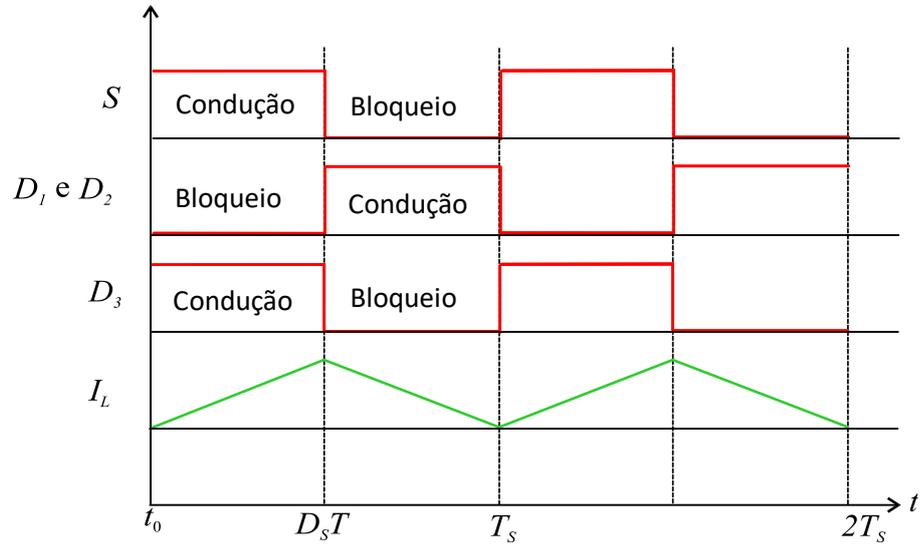
Fonte: Autor.

Nota-se que o conversor proposto é composto por três capacitores (C_1 , C_2 e C_3), uma chave (S_1), três diodos (D_1 , D_2 e D_3) e um indutor (L). Ainda, percebe-se que a tensão de saída V_o recebe a soma das tensões dos capacitores C_2 e C_3 , tal qual se viu nos modos elevadores de tensão das topologias híbridas analisadas anteriormente.

Uma vez que é elevador de tensão, o lado de baixa tensão (V_L) atua como fonte e a energia é entregue à carga no lado de alta tensão (V_H). Para tal, o conversor opera em duas etapas, definidas de acordo com o estado de condução da chave S . O sinal de comando da chave S (V_{GS}), que indica o seu estado em condução ou em aberto, bem como para os estado dos

diodos D_1 , D_2 e D_3 , em ambas as etapas de operação, pode ser visto na Figura 3.2, na qual também se encontra a forma típica de onda da corrente no indutor de entrada L (I_L).

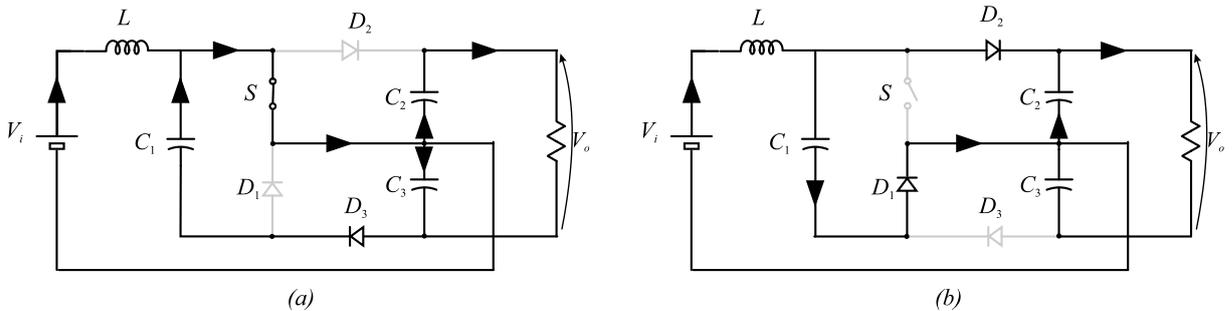
Figura 3.2 – Formas de onda típica do conversor no modo elevador de tensão.



Fonte: Autor.

Conforme a chave S é aberta e fechada, e os diodos entram ou deixam de entrar em condução, os circuitos resultantes variam nas duas etapas de operação, e podem ser vistos na Figura 3.3(a) para a primeira etapa de operação e na Figura 3.3(b) para a segunda etapa de operação. Em ambos os circuitos também é possível observar o fluxo de potência na respectiva etapa.

Figura 3.3 – Circuito formado e fluxo de potência nas duas partes do ciclo do conversor proposto no modo elevador de tensão. (a) Primeira etapa de operação, chave S em condução. (b) Segunda etapa de operação, chave S bloqueada.



Fonte: Autor.

Primeira etapa de operação (0 – DT_s) – Na primeira etapa de operação, que compreende o tempo de fechamento da chave S até o instante DT_s , os diodos D_1 e D_2 estão em aberto, enquanto o diodo D_3 está conduzindo. Dessa maneira, as tensões na chave S (Equação 3.1) e no diodo D_3 (Equação 3.2) são nulas, já que ambos estão em condução.

$$V_S = 0 V \quad (3.1)$$

$$V_{D_3} = 0 V \quad (3.2)$$

Percebe-se na Figura 3.3(a) que o diodo D_1 está em aberto e em paralelo ao capacitor C_3 , enquanto o diodo D_2 , também em aberto, está em paralelo com o capacitor C_2 . Desse modo, as tensões nos diodos D_1 e D_2 são dadas abaixo:

$$V_{D_1} = V_{C_3} \quad (3.3)$$

$$V_{D_2} = V_{C_2} \quad (3.4)$$

Na configuração resultante, o capacitor C_1 carrega o capacitor C_3 , enquanto C_2 é descarregado na carga. Ainda, o indutor L é magnetizado pela fonte V_i .

Quanto às correntes através dos componentes, fica evidente na Figura 3.3(a) que, uma vez que estão em aberto, as correntes dos diodos D_1 e D_2 são nulas. Já a corrente do diodo D_3 é a corrente entre os capacitores chaveados C_1 e C_3 . Essa corrente é dada pela tensão nos capacitores chaveados na primeira etapa de operação (apresentada na Equação 2.3) pela resistência equivalente:

$$i_{D_3} = \frac{V_{C_3}}{R_{eq}} = \frac{V_i + (v_a - V_i)e^{-\frac{(t-t_0)}{\tau}}}{R_{DS(ON)}} \quad (3.5)$$

Em que, para a resistência parasita equivalente, nessa análise, é considerada a resistência *Drain-to-Source* ($R_{DS(ON)}$) das chave S , mas não é considerada a resistência série equivalente dos capacitores (R_{SE}).

A corrente no indutor, por sua vez, é a dada por:

$$i_{L(t)} = \frac{V_i}{L} + I_{L(t_0)} \quad (3.6)$$

Na qual $I_{L(t_0)}$ é a corrente já presente no indutor quando a etapa começa. Por fim, a corrente na chave S é dada pela soma da corrente do indutor com a corrente do diodo D_3 .

$$i_{S(t)} = i_L + i_{D_3} = \frac{V_i}{L} + I_{L(t_0)} + \frac{V_i + (v_a - V_i)e^{-\frac{(t-t_0)}{\tau}}}{R_{DS(ON)}} \quad (3.7)$$

Segunda etapa de operação ($DT_S - T_S$) – Na segunda etapa de operação, que compreende o tempo de abertura da chave S até o instante T_S , os diodos D_1 e D_2 estão em condução, enquanto o diodo D_3 está em aberto. Dessa maneira, as tensões nos diodos D_1 e D_2 (Equação 3.8 e 3.9, respectivamente) são nulas, já que ambos estão em condução.

$$V_{D_1} = 0 \text{ V} \quad (3.8)$$

$$V_{D_2} = 0 \text{ V} \quad (3.9)$$

Percebe-se na Figura 3.3(b) que o diodo D_3 está em aberto e em paralelo ao capacitor C_3 , enquanto a chave S , também em aberto, está em paralelo com o capacitor C_2 . Desse modo, as tensões no diodo D_3 e na chave S são dadas pelas Equações 3.10 e 3.11.

$$V_{D_3} = V_{C_3} \quad (3.10)$$

$$V_S = V_{C_2} \quad (3.11)$$

Na configuração resultante, o indutor L desmagnetiza e carrega os capacitores C_1 e C_2 , ao mesmo tempo que fornece energia para a carga. O capacitor C_3 se descarrega e também fornece energia para a carga. A corrente no indutor, por sua vez, é a dada por (3.12).

$$i_{L(t)} = \frac{V_i - V_{C_1}}{2} + I_{L(t_1)} \quad (3.12)$$

Em que $I_{L(t_1)}$ é a corrente já presente no indutor no instante em que começa a segunda etapa de operação ($t = DT_S$). As correntes nos dois diodos podem ser aproximadas conforme a Equação (3.13).

$$i_{D_1} = i_{D_2} \approx \frac{i_L}{2} \quad (3.13)$$

Para avaliar o ganho estático de tensão no modo elevador de tensão do conversor proposto, faz-se a análise *volt-second* no indutor L . Temos, portanto que:

$$\int_0^{T_s} v_L dt = 0 \quad (3.13)$$

Uma vez que o período T_s é formado por duas etapas, a integral é separada para cada uma delas.

$$\int_0^{DT_s} v_L dt + \int_{DT_s}^{T_s} v_L dt = 0 \quad (3.14)$$

Discriminando as tensões no indutor L , em cada etapa, tem-se:

$$\int_0^{DT_s} V_i dt + \int_{DT_s}^{T_s} (V_i - V_{C_1}) dt = 0 \quad (3.15)$$

Uma vez que são constantes, as tensões podem sair da integral.

$$V_i [DT_s - 0] + (V_i - V_{C_1}) [T_s - DT_s] = 0 \quad (3.16)$$

Após a manipulação algébrica, a seguinte igualdade é encontrada:

$$\frac{V_{C_1}}{V_i} = \frac{1}{1 - D} \quad (3.17)$$

Como na segunda etapa de operação a igualdade $V_{C_2} = V_{C_1}$ é garantida e, aplicando-se a Lei das Tensões de Kirchhoff na primeira etapa de operação na malha dos capacitores C_1 e C_3 se percebe que $V_{C_1} = V_{C_3}$, se tem:

$$\frac{V_{C_1}}{V_i} = \frac{V_{C_2}}{V_i} = \frac{V_{C_3}}{V_i} = \frac{1}{1 - D} \quad (3.18)$$

Uma vez que os capacitores C_3 e C_2 estão em série e conectados à carga, a expressão da tensão de saída do conversor é dada por:

$$V_o = V_{C_2} + V_{C_3} = \frac{V_i}{1-D} + \frac{V_i}{1-D} = \frac{2V_i}{1-D} \quad (3.19)$$

O ganho de tensão é, portanto:

$$G = \frac{V_o}{V_i} = \frac{2}{1-D} \quad (3.20)$$

O ganho de tensão do conversor proposto é maior do que o ganho do conversor estudado na Seção 2.2.3, e é idêntico ao estudado na Seção 2.2.1.

3.2 SIMULAÇÃO COMPUTACIONAL

O maior interesse na simulação foi verificar previamente a funcionalidade do conversor e confirmar os resultados teóricos referentes aos esforços aos quais os componentes são submetidos a fim de, na implementação do protótipo, utilizar componentes adequados à tais esforços.

Antes de mais nada foi preciso estabelecer alguns parâmetros básicos do conversor proposto. Assim, foi definido que o conversor teria uma tensão de entrada $V_i = 50$ V, tensão de saída $V_o = 200$ V, uma potência de saída de $P_o = 200$ W – o que implica em uma corrente de saída de $I_o = 1$ A e em uma carga de $R_o = 200$ Ω . Por fim, foi definido que a frequência de operação como sendo de $f_s = 20$ kHz.

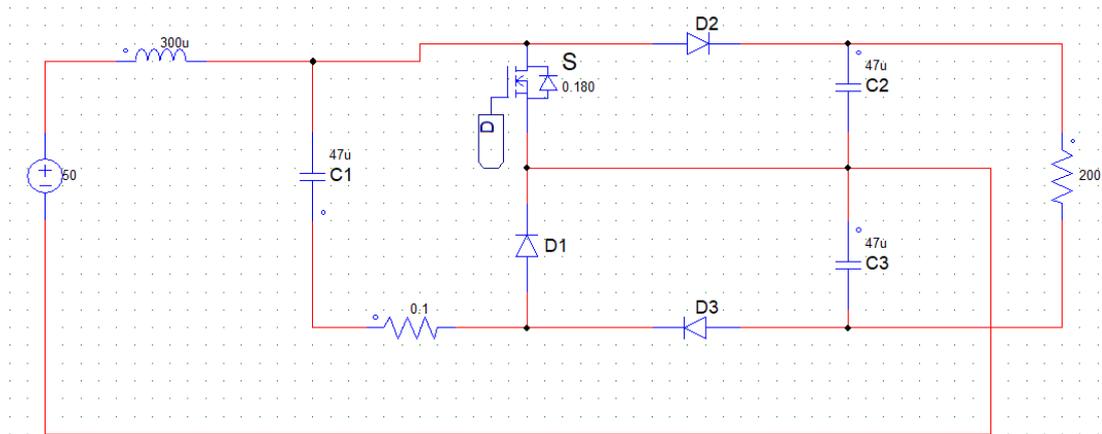
Uma vez definidos os dados preliminares e usando as equações de dimensionamento de um conversor *boost* convencional, foi possível calcular a razão cíclica conforme a Equação (3.21), em que G é ganho do conversor.

$$D = 1 - \frac{2}{G} = 1 - \frac{2}{4} = 0,5 \quad (3.21)$$

Assim, a razão cíclica determinada para o conversor coincide com a determinada na Seção 2.1.3.2 para a qual as perdas são mínimas nos módulos de capacitores chaveados.

Por fim, para a simulação, os capacitores foram definidos como tendo a capacitância de $C = 47 \mu\text{F}$, e o indutor como tendo a indutância de $L = 300 \mu\text{H}$. A definição desses valores foi realizada de empírica e tiveram como base os valores típicos para conversores *boost* de mesma potência. O circuito simulado no *software* PSIM é apresentado na Figura 3.4.

Figura 3.4 – Circuito simulado no *software* PSIM.

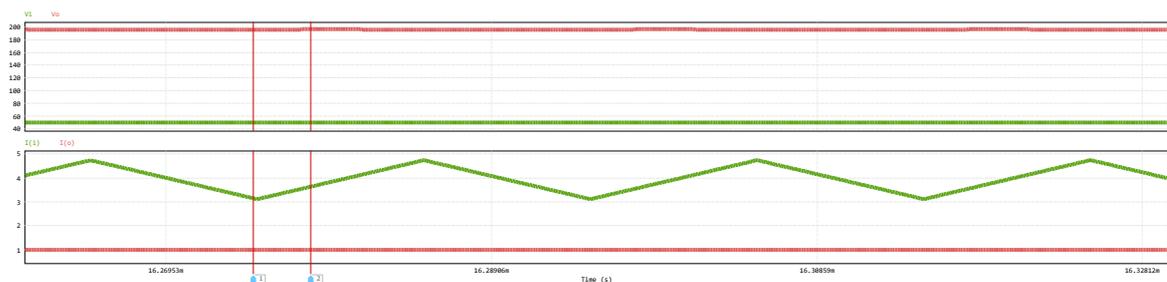


Fonte: Autor.

Para a simulação se definiu como ideais todos os diodos e capacitores e à chave S foi atribuída uma resistência de $R_{DS(ON)} = 0,18 \Omega$ (valor típico). O resistor R foi colocado com intuito de evitar picos de corrente gerados devido às idealidades presentes nos componentes simulados. Foi utilizado um passo de simulação de 100 ns.

As formas de onda da tensão de entrada V_i (curva verde) e de saída V_o (curva vermelha) são mostradas no primeiro gráfico da Figura 3.5, enquanto as formas de onda da corrente de entrada I_i (curva verde) e de saída I_o (curva vermelha) são mostradas no segundo gráfico.

Figura 3.5 – Curvas de tensão e corrente de entrada e de saída obtidas em simulação no *software* PSIM.

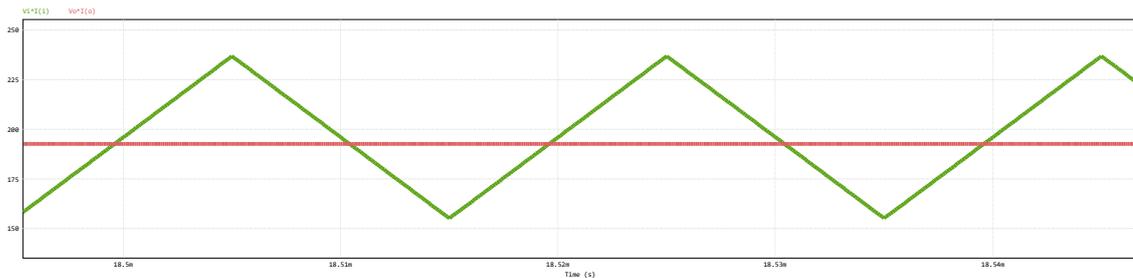


Fonte: Autor.

Os valores referentes à essas formas de onda serão discutidos mais adiante no texto.

Já as formas de onda para a potência instantânea de entrada P_i e de saída P_o são apresentadas, respectivamente, pelas curvas verde e vermelhas mostradas no gráfico da Figura 3.6.

Figura 3.6 – Curvas de potência de entrada e de saída obtidas em simulação no *software* PSIM.



Fonte: Autor.

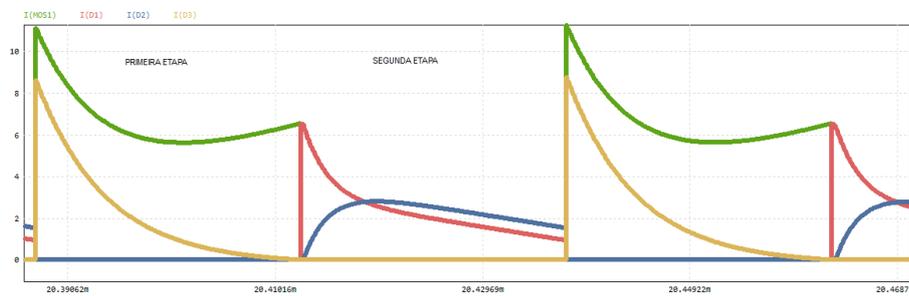
Foi verificado que a média tensão de saída do conversor foi de $V_{omed} = 194,95$ V, tensão essa que teve uma variação de $\Delta V_o = 3,48$ V, tendo uma máxima de $V_{omax} = 197,61$ V e uma mínima de $V_{omin} = 194,13$ V. No caso da corrente de saída média, obteve-se $I_{omed} = 0,978$ A, com uma variação de $\Delta I_o = 0,00849$ A. E temos que a potência média de saída do conversor foi de $P_{omed} = 191,32$ W, com uma variação de $\Delta P_o = 4,55$ W. Com isso, foi possível estimar o rendimento η do conversor simulado por (3.22).

$$\eta = \frac{P_o}{P_i} = \frac{191,32}{200} = 0,9566 \rightarrow \eta = 95,66\% \quad (3.22)$$

Para a verificação do comportamento dos diodos durante as duas etapas de operação do conversor a corrente que passa por cada um deles foi medida, e a Figura 3.7 apresenta os resultados.

No gráfico foi possível notar que, durante a primeira etapa de operação, isso é, do tempo em que a chave S entra em condução até o instante DT_s , a única corrente notada, além, naturalmente, da corrente na própria chave S (curva verde), foi a do diodo D_3 (curva amarela). Já na segunda etapa de operação (quando a chave S está em aberto), assim como previsto, foram percebidas correntes nos diodos D_1 e D_2 . O resultado, portanto, é o previsto na análise teórica e apresentado na Figura 3.2.

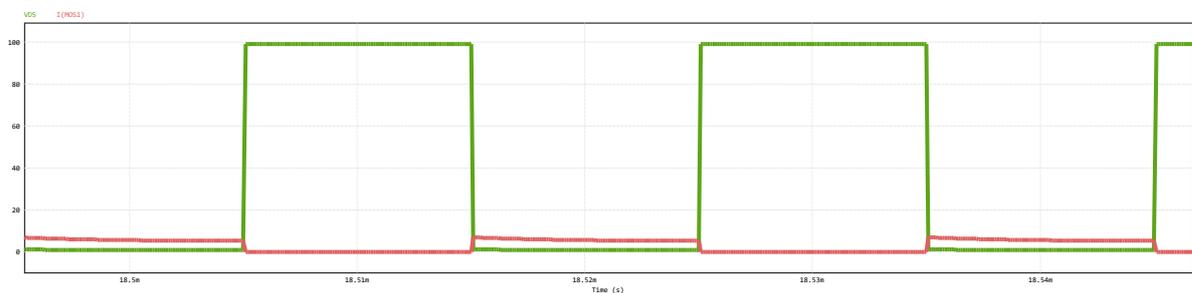
Figura 3.7 – Gráfico do comportamento da corrente da chave e dos diodos em ambas etapas de operação do conversor (simulação)



Fonte: Autor.

As formas de onda na chave S são mostradas na Figura 3.8, onde é observado, na curva verde, a tensão V_{DS} e a corrente I_S através da chave na curva vermelha. Os valores dessas grandezas serão mostrados mais adiante.

Figura 3.8 – Formas de onda da tensão V_{DS} e da corrente I_S obtidas em simulação no *software* PSIM.

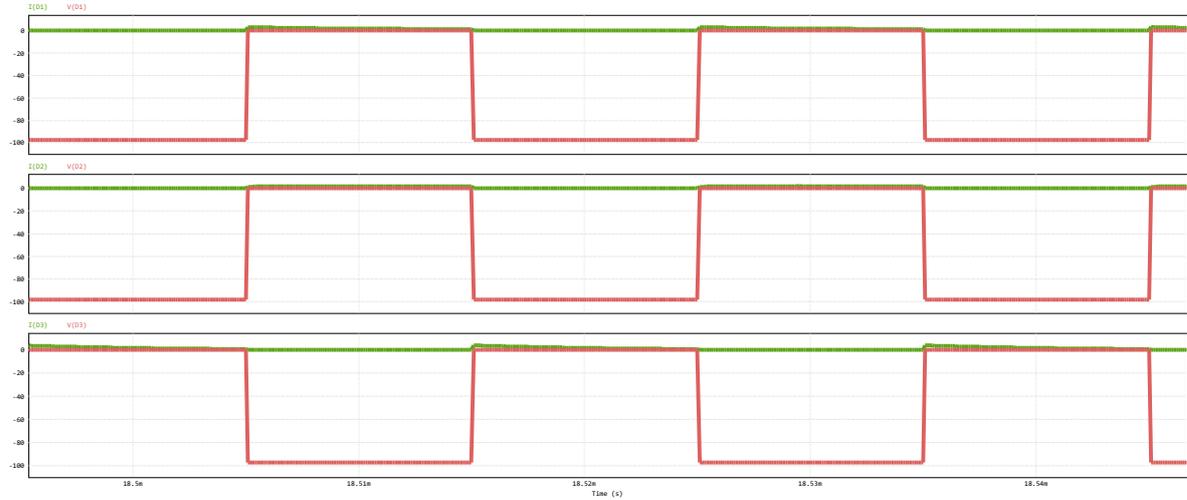


Fonte: Autor.

As formas de onda, tanto de tensão quanto de corrente, nos três diodos do conversor, são mostradas na Figura 3.9, que apresenta as curvas do diodo D_1 no primeiro gráfico, as do D_2 no segundo gráfico e as curvas do diodo D_3 no terceiro gráfico. Os valores dessas curvas também serão tratados mais a frente.

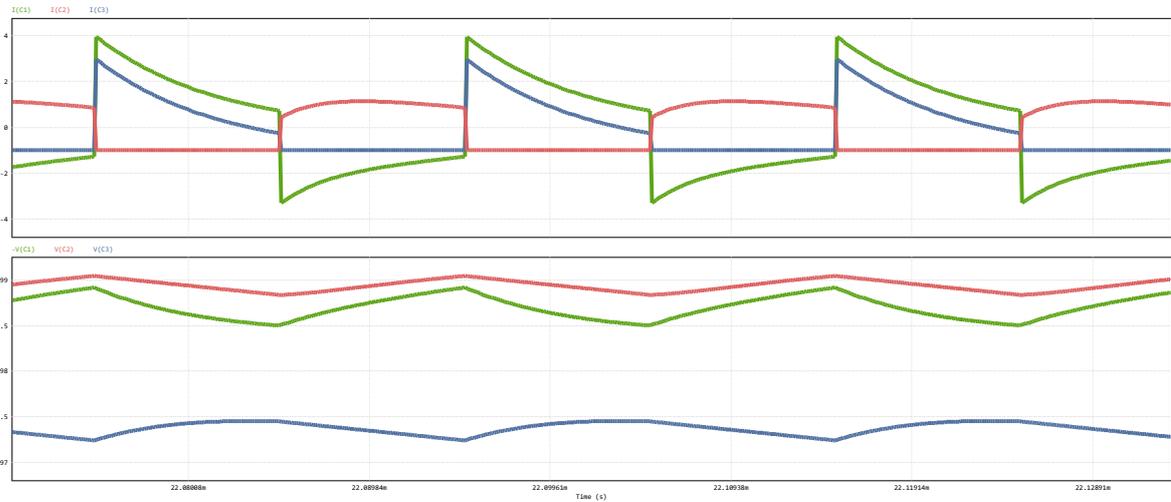
Convém ainda apresentar as formas de onda averiguadas em simulação nos capacitores. A Figura 3.10 apresenta, no primeiro gráfico, as formas de onda das correntes dos capacitores C_1 , C_2 e C_3 nas curvas verde, vermelha e azul, respectivamente. Já no segundo gráfico a figura mostra as tensões nesses capacitores (as correspondências de cores se mantêm).

Figura 3.9 – Formas de onda da tensão e da corrente nos diodos obtidas em simulação no *software* PSIM.



Fonte: Autor.

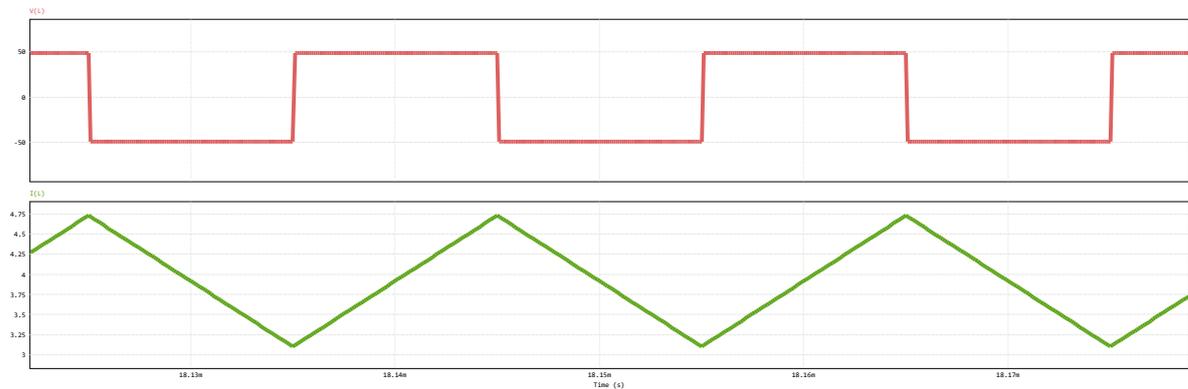
Figura 3.10 – Formas de onda da tensão e da corrente dos capacitores obtidas em simulação no *software* PSIM.



Fonte: Autor.

Por fim, a Figura 3.11 apresenta a tensão no indutor (primeiro gráfico) e a corrente no mesmo (segundo gráfico). Os valores referentes à essas grandezas serão mostrados mais adiante.

Figura 3.11 – Formas de onda da tensão e da corrente no indutor obtidas em simulação no *software* PSIM.



Fonte: Autor.

A Tabela 3.1 apresenta os esforços de tensão e corrente em componentes do conversor (considerando o regime permanente) observados em simulação.

Tabela 3.1 – Esforços de tensão e corrente nos componentes do conversor.

Componente	Tensão máxima (V)	Tensão Média (V)	Corrente Máxima (A)	Corrente Média (A)
Chave S	99,97	49,92	11,53	3,07
Diodo D_1	96,81	48,51	6,63	1,11
Diodo D_2	98,8	48,94	2,88	0,98
Diodo D_3	97,71	48,30	8,95	0,975
Capacitor C_1	99,98	98,40	8,95	2,09
Capacitor C_2	99,97	98,84	1,91	1,03
Capacitor C_3	97,87	96,75	7,97	1,28
Indutor L	49,97	48,76	6,65	4,17

Fonte: Autor.

A tabela mostra que a maior tensão de bloqueio exercida sob os diodos, bem como o maior esforço de tensão na chave S foi de aproximadamente metade da tensão de saída do conversor, validando, dessa maneira, uma das mais atrativas características dos conversores a capacitor chaveado: a relativa baixa tensão de bloqueio exercida nos semicondutores quando comparados com os conversores *boost* tradicionais.

3.3 MONTAGEM DO PROTÓTIPO

A primeira etapa da montagem do protótipo foi a confecção do indutor. Para tal se utilizou o fio AWG37. Haja vista a capacidade nominal de corrente suportada pelo fio, que é de 0,028 A, foi usada uma configuração de 150 fios paralelos, totalizando uma capacidade total de corrente de 4,2 A, que é maior do que a corrente no indutor mostrada na Tabela 3.1. Foi utilizado um núcleo de ferrite NEE30/15/14 com entreferro, que apresenta um parâmetro AL de 766 nH. Dessa forma, para atingir os 300 μ H de projeto, foram utilizadas 20 voltas dos fios AWG, conforme apresentado na Equação (3.23).

$$L = 766nH \cdot 20^2 = 306,4 \mu H \quad (3.23)$$

A escolha dos capacitores se deu a partir dos esforços obtidos em simulação. Assim, foi escolhido um capacitor eletrolítico radial da fabricante OMNI, com 47 μ F de capacitância e que suporta uma tensão de até 160 V. Em seguida os capacitores, e também o indutor, foram verificados em um equipamento *LCR meter* modelo 891 da marca B&K PRECISION para se averiguar seu comportamento nas frequências de chaveamento de 20 kHz e 50 kHz, já que esses dispositivos são sensíveis à mudança de frequência, de maneira que o valor efetivo de sua capacidade muda conforme muda a frequência. Os resultados são mostrados na Tabela 3.2.

Tabela 3.2 – Comportamento dos componentes em frequências distintas.

Configuração	20 kHz		50 kHz	
	Resistência	Grandeza	Resistência	Grandeza
1 capacitor	1,043 Ω	24,25 μF	953 $m\Omega$	18,67 μF
2 capacitores em paralelo	590 $m\Omega$	45,6 μF	568 $m\Omega$	33,62 μF
Indutor	660 $m\Omega$	376,9 μH	600 $m\Omega$	386,1 μH

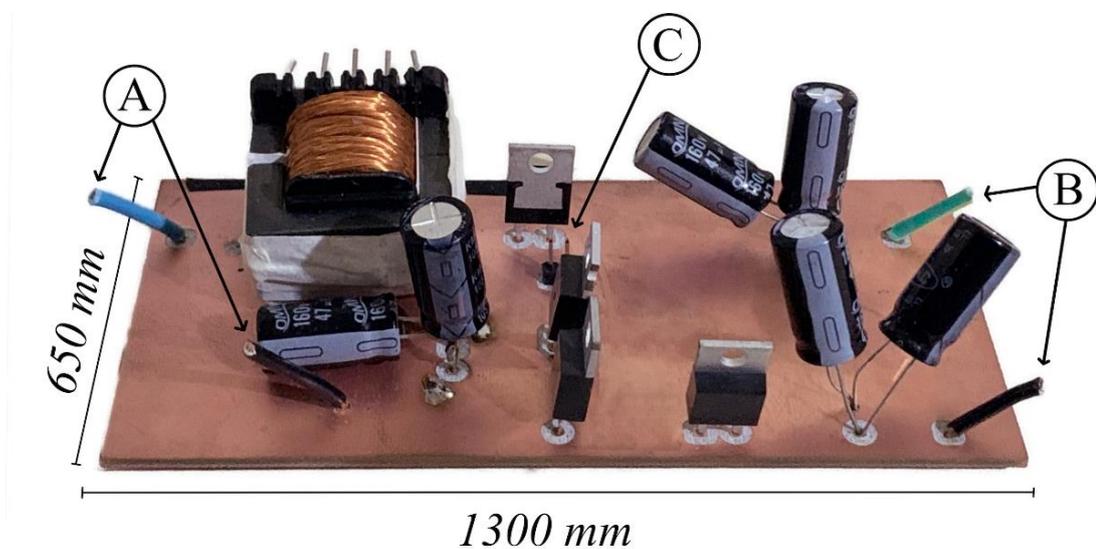
Fonte: Autor.

Percebeu-se, nesse ponto, que a configuração que mais se aproximaria da simulação é a que usa dois capacitores em paralelo em uma frequência de 20 kHz, na qual a capacitância efetiva seria de 45,6 μ F (em contraste com os 47 μ F especificados pelo fabricante e usados em simulação). Para essa frequência o indutor então apresentou uma indutância de 376,9 μ H (em contraste com os 300 μ H que eram esperados e foram utilizados em simulação).

Ainda se levando em conta os esforços aferidos em simulação se fez a escolha dos semicondutores. Para a chave S foi escolhido o transistor MOSFET modelo IRF640, cuja capacidade de tensão de bloqueio é de 200 V, a de corrente é de 18 A e apresenta R_{DSon} de 180 m Ω , conforme a Tabela 3.1, a chave ficará exposta a uma tensão de bloqueio máxima de 99,97 V e uma corrente máxima de 11,53 A. Já para os diodos D_1 , D_2 e D_3 , o modelo escolhido foi o MUR860, que tolera uma tensão de bloqueio de até 600 V e uma corrente direta de até 8 A, nenhuma das tensões máximas medidas em simulação excedeu os 100 V; no caso do diodo D_3 , a corrente excedeu, de fato, os 8 A, por um curto intervalo de tempo e, como a média de corrente ficou em menos de 1 A, o uso desse modelo de diodo não implicou em maiores problemas.

Uma placa PCB foi então fabricada, de modo a conectar todos os componentes de acordo com a topologia apresentada na Figura 3.1. O protótipo, já montado, é visto na Figura 3.12.

Figura 3.12 – Protótipo do conversor



Fonte: Autor.

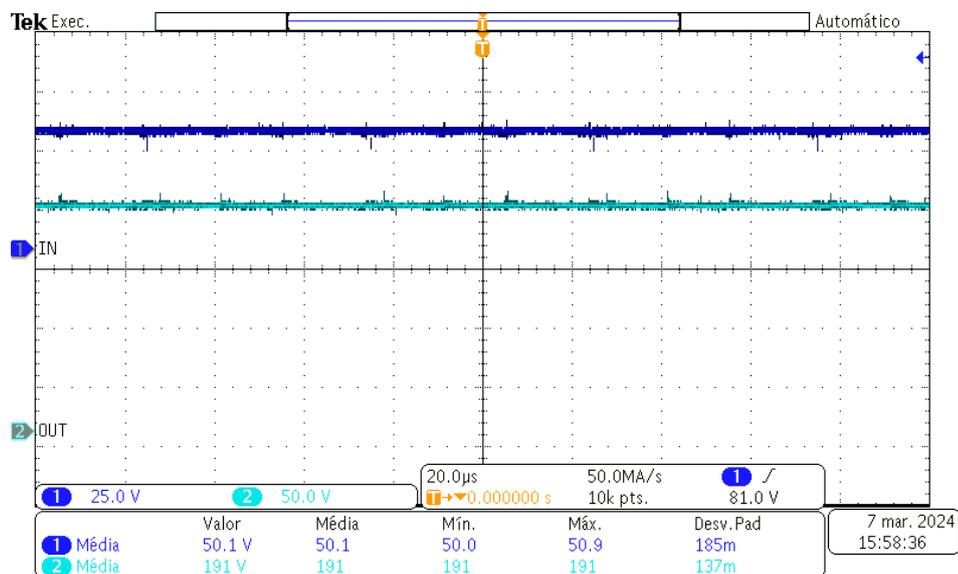
A imagem destaca os terminais de entrada (baixa tensão) em “A”, os terminais de saída (alta tensão) em “B” e os terminais para a recepção do sinal de controle da chave S no ponto “C”.

3.3.1 Resultados experimentais

Para a alimentação do protótipo foi utilizada uma fonte CC modelo FA3030 da fabricante Instrutherm, que forneceu uma tensão de entrada de 50 V com uma corrente de entrada de 4 A. Para o controle da chave S foi utilizado um gerador de sinais da marca Tcktronic, modelo AFG1022, que forneceu o sinal PWM de 20 kHz. Esse sinal foi enviado a um circuito de *driver* para que servisse de *gate driver* do MOSFET (sinal que faz a chave S abrir ou fechar). Foi utilizada uma topologia de *driver* com optoacoplador, baseada no CI 6N137. Como carga resistiva de 200 Ω foi utilizada uma resistência variável (reostato), que foi capaz de suportar os 200 V e 1 A da saída do conversor. Por fim, para fazer as medidas de tensão de entrada e saída foi utilizado um osciloscópio da marca Tektronix, modelo TBS 1052B.

Na Figura 3.13 são apresentadas as tensões de entrada V_i (no canal 1) e de saída V_o (no canal 2).

Figura 3.12 – Tensões de entrada e saída medidas no protótipo.



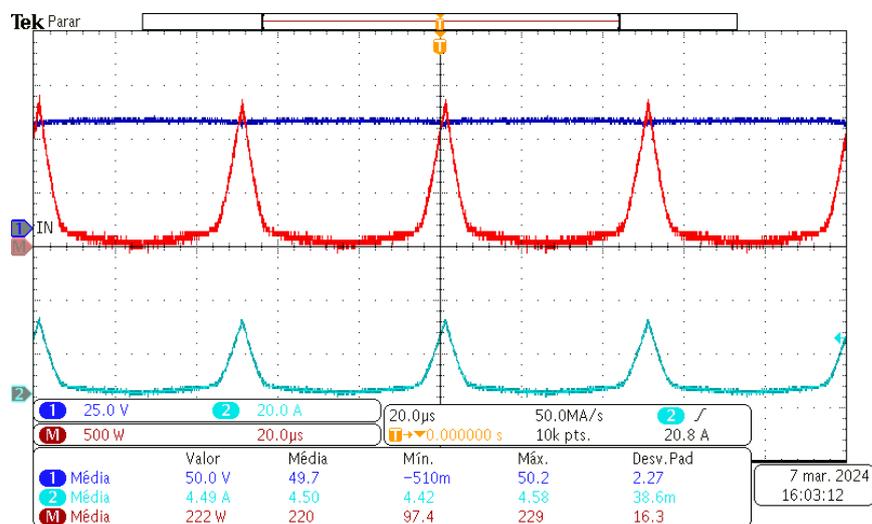
Fonte: Autor.

É comprovada, então, a operação como conversor elevador de tensão, uma vez que a tensão de entrada V_i foi de 50,1 V e a tensão de saída V_o foi de 191 V. Assim, o ganho G , cujo resultado previsto era $G = 4$, foi de $G = 3,812$, gerando, dessa maneira, um erro de 4,69% conforme apresentado na Equação (3.24).

$$\varepsilon = \left| \frac{3,812 - 4}{4} \right| \times 100\% = 4,69\% \quad (3.24)$$

Na Figura 3.13 são apresentados os resultados de tensão de entrada V_i (canal 1) corrente de entrada I_i (canal 2) e potência de entrada P_i (canal M) do conversor. A potência instantânea foi calculada no canal matemático e é obtida pela multiplicação dos dois sinais (tensão e corrente) no tempo.

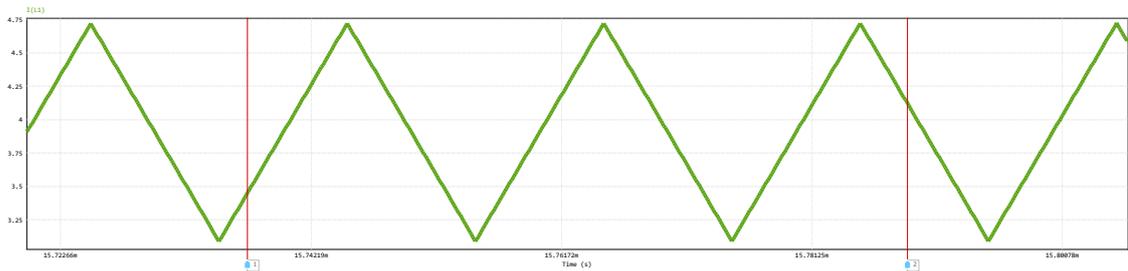
Figura 3.13 – Resultados de tensão, corrente e potência de entrada do conversor.



Fonte: Autor.

O valor médio da tensão de entrada foi de $V_{imed} = 49,7$ V enquanto o valor médio da corrente de entrada foi de $I_{imed} = 4,49$ A e o valor médio da potência de entrada $P_{imed} = 220$ W (ou seja, potência ativa). Foi observado um pico na corrente de entrada de aproximadamente 30 A, sendo que essa também é a corrente do indutor, o que indica que possivelmente houve a saturação do núcleo do indutor, o que contraria o resultado esperado, que é mostrado na Figura 3.14, obtida em simulação. A corrente no indutor, portanto, deveria ser uma onda triangular que varia entre 3,08 A e 4,72 A.

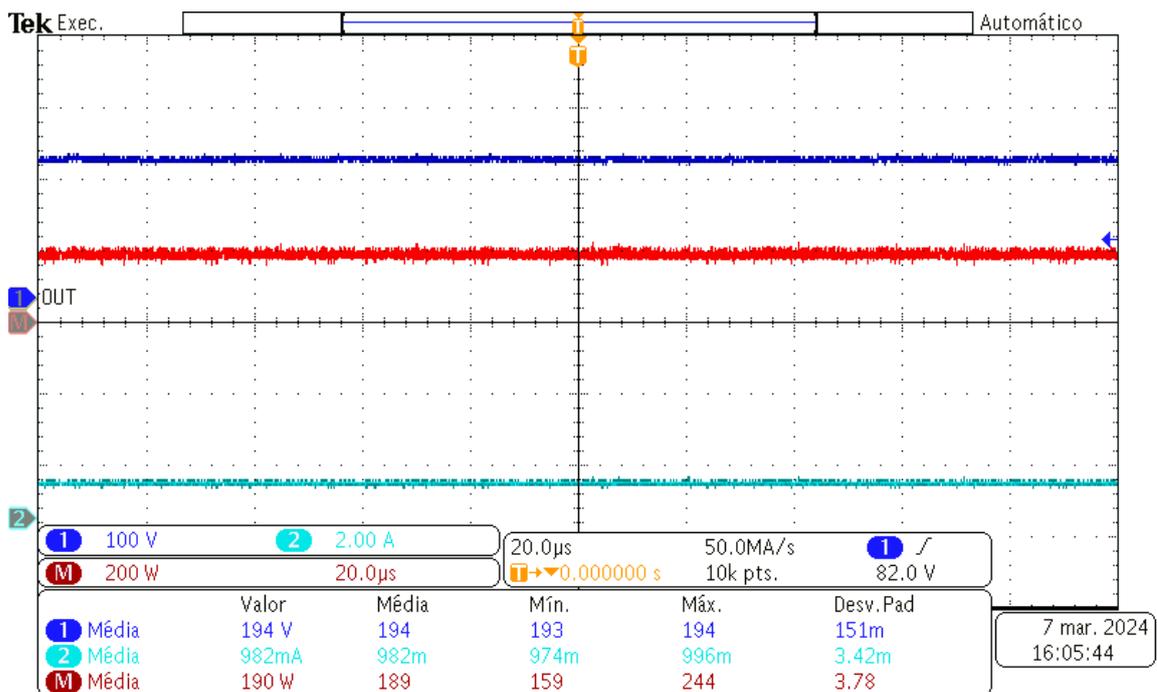
Figura 3.14 – Corrente no indutor obtida em simulação.



Fonte: Autor.

De forma análoga, a Figura 3.15 mostra os resultados de tensão (canal 1), corrente (canal 2) e potência (canal M) na saída do conversor.

Figura 3.15 – Resultados de tensão, corrente e potência de saída do conversor.



Fonte: Autor.

O valor médio da tensão de saída foi de $V_{omed} = 194 \text{ V}$, enquanto o valor médio de corrente de saída foi de $I_{omed} = 982 \text{ mA}$. O valor médio da potência de saída, por sua vez, foi de $P_{omed} = 189 \text{ W}$.

Os valores de tensão e potência de saída foram menores do que os respectivos valores encontrados em simulação ($P_{omed} = 194,95 \text{ V}$ e $P_{omed} = 191,32 \text{ W}$), enquanto o valor de corrente na saída foi um pouco superior ao simulado ($I_{omed} = 978 \text{ mA}$), o que era esperado uma vez que

em simulação houveram idealidades, como no caso da queda de tensão nos diodos, que foram desprezadas.

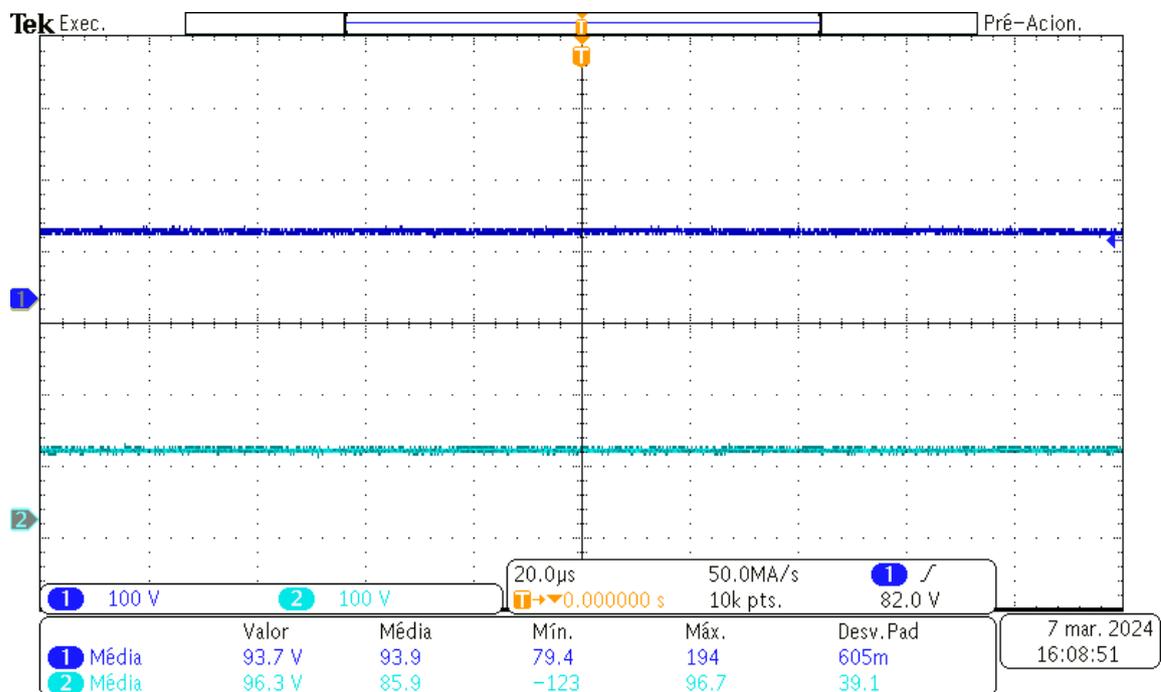
Uma vez medidas as potências de entrada e de saída do conversor, pôde-se então estimar o rendimento η do protótipo:

$$\eta = \frac{P_o}{P_i} = \frac{189}{220} = 0,8590 \rightarrow \eta = 85,90\% \quad (3.25)$$

O valor do rendimento do protótipo foi menor do que o valor do rendimento obtido em simulação. Novamente, todas as idealidades que foram consideradas para esse fizeram com que houvesse essa discrepância.

Ainda, convém apresentar as tensões nos dois capacitores de saída, a fim de se observar a ação da célula de capacitor chaveado que, em teoria, dobra o ganho de tensão do conversor *boost*. A Figura 3.16 mostra as tensões no capacitor C_2 (canal 1) e C_3 (canal 2).

Figura 3.16 – Resultados de tensão nos capacitores C_2 e C_3 do conversor.



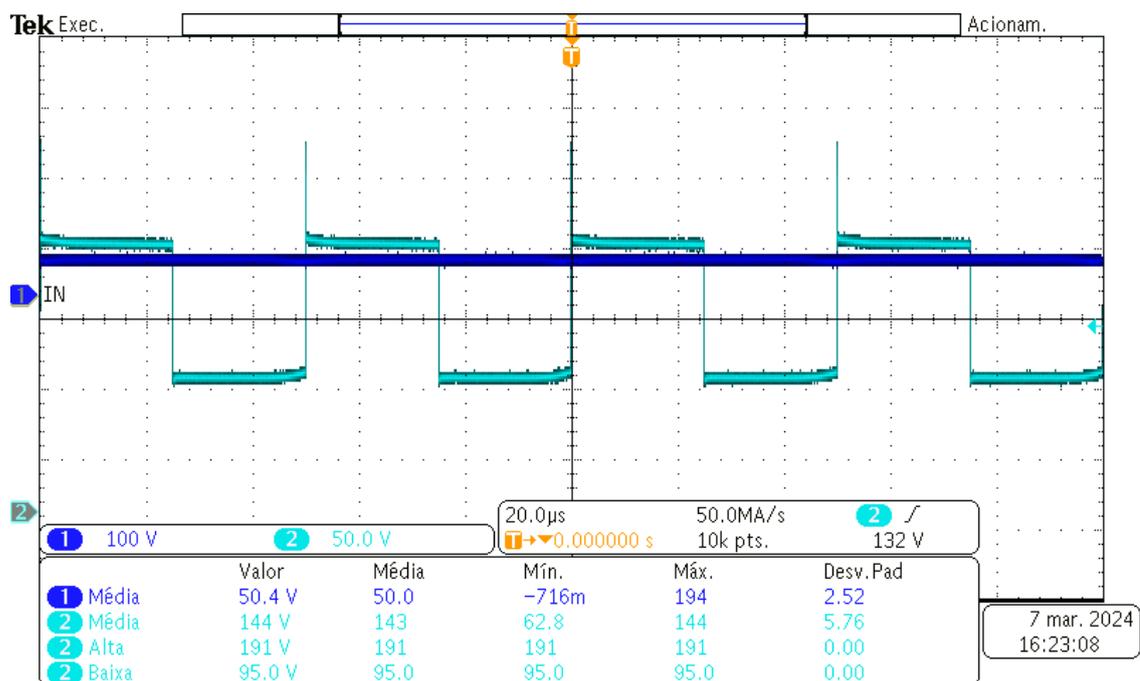
Fonte: Autor.

As tensões dos capacitores C_2 e C_3 , 93,7 V e 96,3 V, respectivamente, quando somadas, geram a tensão de saída de $V_o = 190$ V. Considerando-se os pequenos desvios (o teste para se

averiguar a tensão na saída do conversor, que observou uma $V_{omed} = 194 \text{ V}$, foi diferente do que mediu as tensões nos capacitores na saída), pode-se dizer que o princípio da célula a capacitor chaveado foi observado.

Por fim, a Figura 3.17 apresenta a tensão de entrada (canal 1) e a tensão entre o dreno da chave S e o terra da saída (canal 2).

Figura 3.17 – Resultados de tensão na chave S .



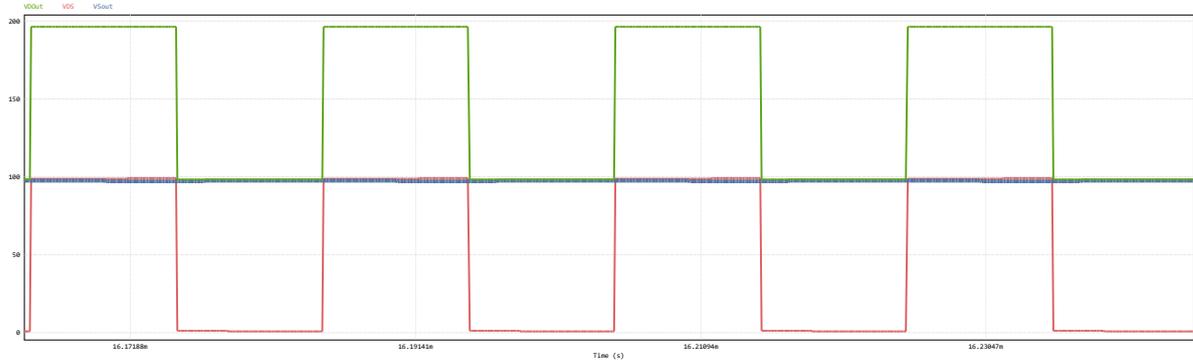
Fonte: Autor.

A tensão de entrada (de 50,4 V) foi adicionada ao gráfico para mostrar o ponto de operação. O formato da curva, chaveando entre 191 V e 95 V, mostra a comutação da chave S de potência. O valor de 191 V é obtido na etapa em que os capacitores chaveados estão ligados em série, enquanto o valor de 95 V quando estão ligados em paralelo. O conversor operou com uma frequência de $f = 20 \text{ kHz}$ e com uma razão cíclica de 0,5 (observa-se isso pela escala no gráfico gerado).

Como o comportamento da tensão dreno-source V_{DS} não foi verificada no protótipo diretamente, ela pode ser estimada em simulação, mostrada na Figura 3.18, na qual é observada, em verde, a curva da tensão V_{Dout} , que se refere à tensão entre dreno e o terra da saída do conversor. Essa mesma curva foi obtida para o protótipo e é vista na Figura 3.17 (canal 2). Para se estimar a tensão V_{DS} , entre o dreno e o source do transistor, se fez a subtração do valor

constante do terra, que é de 100 V (curva azul na Figura 3.18). Dessa maneira, surge a curva vermelha da Figura 3.18, representando a tensão V_{DS} , que varia entre 0 V e 98 V.

Figura 3.18 – Curvas de tensão na chave S .



Fonte: Autor.

Por fim, o resultado medido no protótipo confirmou o estimado em simulação e apresentado na Tabela 3.1: a tensão média na chave S foi de 50 V.

4 CONCLUSÃO

O presente trabalho apresentou uma topologia híbrida de conversor de potência, que mescla característica da conhecida topologia *boost* com células a capacitor chaveado para elevados ganhos de tensão. Em um primeiro momento foram tratadas das vantagens de uma topologia híbrida frente tanto à topologia convencional (*boost*) quanto às topologias puramente a capacitor chaveado, na qual se pode citar como principais uma regulação da tensão de saída facilitada (pois topologias puramente a capacitor chaveado tem uma maior dificuldade em regulação, devido ao seu ganho estático ser dependente do número de células e necessitarem alterar parâmetros que tipicamente reduzem sua eficiência para realizar essa regulação), à baixa tensão de bloqueio à qual os semicondutores ficam expostos e a possibilidade de se adicionar mais células de capacitores chaveados, aumentando ainda mais o ganho estático de tensão.

No decorrer do trabalho foram apresentadas três topologias de conversores híbridos bidirecionais para que então fosse introduzida uma nova topologia, desenvolvida para esse trabalho, de conversor de potência híbrido elevador de tensão. Os cálculos preliminares mostraram que a nova topologia tem um ganho de tensão elevado quando em comparação com a topologia *boost* tradicional.

Assim, definiu-se que o conversor operaria com uma tensão de entrada de $V_i = 50$ V, uma tensão de saída de $V_o = 200$ V, corrente de entrada de $I_i = 4$ A e $I_o = 1$ A seria a corrente na saída. A potência, tanto de entrada quanto de saída, seria, idealmente, $P = 200$ W.

A fim de validar os resultados obtidos de maneira teórica, em um primeiro momento se fez a simulação do circuito do conversor híbrido proposto. Nessa etapa foram coletados dados de esforços nos componentes, que permitiram dimensionar os semicondutores, capacitores e indutor que, a seguir, foram usados na montagem do protótipo prático do conversor.

Uma vez em funcionamento, o protótipo foi testado e apresentou o comportamento previsto em teoria, isso é, atuou, de fato, como elevador de tensão. Mais ainda, para uma tensão de entrada média de $V_{imed} = 49,7$ V, entregou uma tensão média de saída de $V_{omed} = 194$ V, obtendo um ganho de aproximadamente 3,9. Quanto à corrente, recebeu uma entrada de $I_{imed} = 4,49$ A e, na saída, entregou uma corrente média de $I_{omed} = 982$ mA. A potência média de entrada foi de $P_{imed} = 220$ W, enquanto a potência média de saída foi de $P_{omed} = 189$ W, o que é dizer que o conversor híbrido obteve um rendimento $\eta = 85,9\%$. Um resultado que não foi previsto em teoria foi a saturação do indutor, que precisaria ser montado com outras especificações para atender aos requisitos do conversor.

Ainda, comprovou-se com o protótipo uma vantajosa característica dos conversores a capacitor chaveado: a tensão máxima sobre a chave de comutação foi de metade da tensão do lado de alta, ou seja, $V_{S_{max}} = 100 \text{ V}$.

4.1 SUGESTÃO PARA TRABALHOS FUTUTOS

Para trabalhos futuros, sugere-se o desenvolvimento de um conversor híbrido bidirecional, sendo a topologia proposta nesse trabalho adequada para a função de elevador de tensão. Dessa maneira e com os devidos ajustes, poder-se-ia, num mesmo conversor, ter as funções de abaixador e elevador de tensão, com todas as vantagens oferecidas pela topologia híbrida, e, com isso, o projeto teria exponencialmente mais usos, como, por exemplo, na indústria de veículos elétricos (na qual ora o motor usa energia armazenada nas baterias para mover o carro e ora usa a energia cinética do carro para recarregar as baterias).

Também como trabalho futuro sugere-se a tomada das medidas de tensão e corrente, no protótipo, de todos os componentes, a fim de serem validadas todas as medidas encontradas em simulação. Por fim ainda é sugerido a comparação desses esforços com um conversor tradicional que atue na mesma faixa de tensões e potência.

REFERÊNCIAS

- BEM-YAAKOV, S. **Behavioral Average Modeling and Equivalent Circuit Simulation of Switched Capacitors Converters**. Power Electronics, IEEE Transactions on. [S. l.], v. 27, 2012, p. 632-636.
- CORNEA, G.O. *et al.* **Bidirectional Power Flow Control in a DC Microgrid Through a Switched-Capacitor Cell Hybrid DC–DC Converter**. IEEE Transactions on Industrial Electronics. [S. l.], v. 64, 2017. p. 3012-3022.
- CORTEZ, D.F. *et al.* **DC–DC Converter for Dual-Voltage Automotive Systems Based on Bidirectional Hybrid Switched-Capacitor Architectures**. IEEE Transactions on Industrial Electronics. [S. l.], v.62, 2015. p. 3296-3304.
- CORTEZ, Daniel Flores. **Família de retificadores PWM unidirecionais três níveis híbridos a capacitor chaveado com elevado fator de potência**. Tese (Doutorado em Engenharia Elétrica) – Universidade Federal de Santa Catarina. Florianópolis, p.253, 2015.
- JIANHUA, W. *et al.* **Modeling and analysis of a buck/boost bidirectional converter with developed PWM switch model**. 8th International Conference on Power Electronics – ECCE. Jeju, 2011. p. 705-711.
- MACCARINI, Marcello Costa. **Retificador monofásico com fator de potência unitário, de alto ganho, baseado em um conversor boost híbrido**. Dissertação (Mestrado em Engenharia Elétrica) – Universidade Federal de Santa Catarina. Florianópolis, p.180, 2013.
- MARTINS, Guilherme Brunel. **Estudo de conversores a capacitor chaveado**. Dissertação (Mestrado em Engenharia Elétrica) – Universidade Federal de Santa Catarina. Florianópolis, p.161, 2013.
- PANDEY, K.K. *et al.* **Bidirectional DC-DC Buck-Boost Converter for Battery Energy Storage System and PV Panel**. Modeling, Simulation and Optimization. Smart Innovation. Singapura, 2021. p. 681-693.
- ROSAS-CARO, Julio. RAMIREZ, Juan. VALDERRABANO, Antonio. **Voltage Balancing in DC/DC Multilevel Boost Converters**. 40th North American Power Symposium. Calgary, 2008. p. 1-7.
- SHEN, Z.J. *et al.* **Power MOSFET Switching Loss Analysis: A New Insight**. Conference Record of the 2006 IEEE Industry Applications Conference Forty-First IAS Annual Meeting. Tampa, 2006. p. 1438-1442.
- ZHANG, Y. *et al.* **A Switched-Capacitor Bidirectional DC–DC Converter With Wide Voltage Gain Range for Electric Vehicles With Hybrid Energy Sources**. IEEE Transactions on Power Electronics. [S. l.], v. 33, 2018. p. 9459-9469.