

UNIVERSIDADE FEDERAL DE SANTA MARIA
CENTRO DE TECNOLOGIA
CURSO DE GRADUAÇÃO EM ENGENHARIA ELÉTRICA

Diego Henrique Nyland

**PROJETO E ANÁLISE DE UM PLL DE TERCEIRA ORDEM EM
TECNOLOGIA CMOS**

Santa Maria, RS
2024

Diego Henrique Nyland

PROJETO E ANÁLISE DE UM PLL DE TERCEIRA ORDEM EM TECNOLOGIA CMOS

Trabalho de Conclusão de Curso apresentado ao Curso de Graduação em Engenharia Elétrica, Área de Concentração em Microeletrônica, da Universidade Federal de Santa Maria (UFSM, RS), como requisito parcial para obtenção do grau de **Bacharel em Engenharia Elétrica**. Defesa realizada por videoconferência.

Orientador: Prof. Cesar Augusto Prior

Santa Maria, RS
2024

Diego Henrique Nyland

PROJETO E ANÁLISE DE UM PLL DE TERCEIRA ORDEM EM TECNOLOGIA CMOS

Trabalho de Conclusão de Curso apresentado ao Curso de Graduação em Engenharia Elétrica, Área de Concentração em Microeletrônica, da Universidade Federal de Santa Maria (UFSM, RS), como requisito parcial para obtenção do grau de **Bacharel em Engenharia Elétrica**.

Aprovado em 17 de julho de 2024:

Cesar Augusto Prior, Dr. (UFSM)
(Presidente/Orientador)

Mauricio Banaszkeski da Silva, Dr. (UFSM)

Daniel Barcelos, Ms. (EnSilica)

Santa Maria, RS
2024

AGRADECIMENTOS

Agradeço a todos aqueles que, de alguma forma, me ajudaram a chegar até aqui e, de maneira especial, agradeço:

Ao meu pai, Gerson, e minhas irmãs, Duda e Carol, que estiveram comigo nos momentos mais difíceis, sempre me incentivando a ser uma pessoa melhor;

À minha companheira de vida, Gabi, cujo amor e presença constante foram vitais para tornar esta jornada mais prazerosa e significativa;

Aos meus amigos, Davi, Kliver, Buriol, Alan, Vitor, Henrique e Giulia, com quem compartilhei inúmeros momentos especiais ao longo da graduação;

E aos professores do grupo de microeletrônica, Cesar Prior, Maurício Banaszkeski e André Aita, que me acompanharam no início da minha trajetória nesta área.

RESUMO

PROJETO E ANÁLISE DE UM PLL DE TERCEIRA ORDEM EM TECNOLOGIA CMOS

AUTOR: Diego Henrique Nyland

Orientador: Cesar Augusto Prior

No presente trabalho, é desenvolvido um circuito do tipo *Phase Locked Loop* (PLL) para a sintetização de frequência. A topologia utilizada é de terceira ordem e foi empregada uma técnica de compensação de descasamento de correntes no Charge Pump. O projeto elétrico, desenvolvido em tecnologia CMOS, considerou especificações de área e consumo, bem como teve que ser ajustado para suportar variações de temperatura, tensão de alimentação e processos. O PLL projetado eleva uma frequência de $20MHz$ para $240MHz$, tendo 82 *pico segundos* de *jitter* RMS, consumo de $115\mu W$ e uma área estimada de $0.0026mm^2$.

Palavras-chave: Phase Locked Loop, PLL, Jitter. Sintetizador de Frequências

ABSTRACT

DESIGN AND ANALYSIS OF A THIRD-ORDER PLL IN CMOS TECHNOLOGY

AUTHOR: Diego Henrique Nyland

ADVISOR: Cesar Augusto Prior

In this work, a Phase-Locked Loop (PLL) circuit is developed for frequency synthesis. The chosen topology is third-order, and a current mismatch compensation technique is employed in the Charge Pump. The electrical design, developed in CMOS technology, considered specifications for area and power consumption and was adjusted to withstand variations in temperature, supply voltage, and processes. The designed PLL increases a frequency from $20MHz$ to $240MHz$, achieving an RMS jitter of 82 picoseconds RMS, with a power consumption of $115\mu W$ and an estimated area of $0.0026mm^2$.

Keywords: Phase Locked Loop, PLL, Jitter. Frequency synthesizer

LISTA DE FIGURAS

Figura 1 – PLL tipo I	15
Figura 2 – Formas de onda do detector de fase	15
Figura 3 – Formas de onda de degrau de fase	16
Figura 4 – PLL como sintetizador de frequências	16
Figura 5 – Charge Pump PLL	17
Figura 6 – Detector de Fase	18
Figura 7 – Detector de Frequência	18
Figura 8 – Detector de Fase e Frequência	19
Figura 9 – Charge Pump	20
Figura 10 – Topologias de Charge Pumps	20
Figura 11 – Filtro RC do PLL	22
Figura 12 – Ripple na tensão de controle provocado pelo descasamento das correntes do Charge Pump	23
Figura 13 – Filtro de segunda ordem	24
Figura 14 – Topologias de osciladores: a) Oscilador em anel. b) Par cruzado com tanque LC. c) Oscilador com amplificadores diferenciais	24
Figura 15 – Flip-flop D configurado como divisor	26
Figura 16 – Modelo linear do Charge Pump PLL no domínio da fase	27
Figura 17 – Ruído de fase	29
Figura 18 – Eye diagram	30
Figura 19 – Efeito do <i>jitter</i> na amostragem de um sinal	33
Figura 20 – <i>Latch</i> utilizado no Detector de Fase e Frequência	36
Figura 21 – Detector de Fase e Frequência projetado	36
Figura 22 – Forma de onda do Detector de Fase e Frequência projetado	37
Figura 23 – a) Charge Pump sem compensação, b) Charge Pump projetado	38
Figura 24 – Amplificador <i>rail-to-rail</i> utilizado no Charge Pump	39
Figura 25 – Circuito de geração de polarização para os amplificadores	41
Figura 26 – Amplificador A_2 utilizado no Charge Pump	41
Figura 27 – Resultados de simulação dos amplificadores em <i>corners</i> variando a tensão de modo comum	42
Figura 28 – Descasamento entre correntes do Charge Pump	43
Figura 29 – Descasamento entre correntes do Charge Pump em <i>corners</i>	43
Figura 30 – Correntes de fuga do NMOSCAP e PMOSCAP.	44
Figura 31 – VCO controlado por <i>moscaps</i>	45
Figura 32 – Curvas frequência x V_{ctrl} do oscilador controlado por <i>moscaps</i>	46
Figura 33 – Oscilador controlado por tensão projetado	47

Figura 34 – Tensão de saída do oscilador e controle de frequência.	48
Figura 35 – Curvas de frequência em diferentes <i>corners</i>	48
Figura 36 – Ruído de fase do VCO projetado	49
Figura 37 – Divisor de frequência projetado.	50
Figura 38 – <i>Latches</i> utilizados no divisor de frequência.	50
Figura 39 – Operação do divisor de frequência.	51
Figura 40 – PLL projetado	52
Figura 41 – Simulação transiente do PLL	53
Figura 42 – Correntes do Charge Pump em operação	53
Figura 43 – <i>Ripple</i> na tensão de controle do PLL projetado, frequência instantânea e <i>jitter</i> absoluto	54
Figura 44 – Histograma do <i>jitter</i> medido no PLL	55
Figura 45 – <i>Ripple</i> na tensão de controle do PLL projetado, frequência instantânea e <i>jitter</i> absoluto na simulação transiente com ruído	56
Figura 46 – Histograma do <i>jitter</i> medido no PLL na simulação transiente com ruído ..	57

LISTA DE TABELAS

TABELA 1 – Especificações para o projeto do PLL.....	34
TABELA 2 – Resultados obtidos dos amplificadores em <i>corners</i>	42
TABELA 3 – Potência consumida do PLL	56

LISTA DE QUADROS

Quadro 1 – Dimensões dos dispositivos utilizados no <i>latch</i> do PFD	35
Quadro 2 – Dimensões dos dispositivos utilizados no Charge Pump	38
Quadro 3 – Dimensões dos dispositivos utilizados no amplificador <i>rail-to-rail</i>	40
Quadro 4 – Dimensões dos dispositivos utilizados no circuito de polarização	40
Quadro 5 – Dimensões dos dispositivos no amplificador A_2	40
Quadro 6 – Dimensões dos dispositivos utilizados no VCO	46

LISTA DE SIGLAS

PLL	Phase Locked Loop
VCO	Voltage Controlled Oscillator
LPLL	Linear Phase Locked Loop
DPLL	Digital Phase Locked Loop
ADPLL	All Digital Phase Locked Loop
ADC	Analog to Digital Converter
PFD	Phase Frequency Detector
CP	Charge Pump
MOSFET	Metal Oxide Semiconductor Field Effect Transistor
CCO	Current Controlled Oscillator
DCO	Digitally Controlled Oscillator
CPPLL	Charge Pump Phase Locked Loop
LPF	Low Pass Filter
DIV	Divider
CMOS	Complementary Metal Oxide Semiconductor
MOSCAP	Metal Oxide Semiconductor Capacitor
TSPC	True Single-Phase Clocked
RMS	Root Mean Square
MIMCAP	Metal Insulator Metal Capacitor
LDO	Low Dropout

SUMÁRIO

1	INTRODUÇÃO	12
2	REVISÃO BIBLIOGRÁFICA	14
2.1	PLL TIPO I	14
2.1.1	Configuração de PLL como sintetizador de frequência	15
2.2	PLL TIPO II	16
2.2.1	Detector de Fase e Frequência	17
2.2.2	Charge Pump	19
2.2.2.1	Drain Switched	20
2.2.2.2	Gate Switched	21
2.2.2.3	Source Switched	21
2.2.3	Filtro de Laço	21
2.2.3.1	Instabilidade	21
2.2.3.2	Ripple na tensão de controle	21
2.2.3.3	Função de transferência	22
2.2.4	Oscilador Controlado por Tensão	23
2.2.5	Divisor de Frequência	25
2.2.6	Modelo Matemático	26
2.3	RUÍDO	27
2.3.1	Ruído de Fase	28
2.3.2	Jitter	30
2.3.2.1	Terminologias e definições	30
2.3.3	<i>Jitter</i> determinístico em PLLs	31
3	PROJETO	33
3.1	ESPECIFICAÇÕES	33
3.2	PARÂMETROS DA MALHA	34
3.3	BLOCOS FUNCIONAIS	35
3.3.1	Detector de Fase e Frequência	35
3.3.2	Charge Pump	36
3.3.3	Filtro de Laço	44
3.3.4	Oscilador Controlado por Tensão	45
3.3.5	Divisor de Frequência	49
4	ANÁLISE DE RESULTADOS	52
5	CONCLUSÃO	58
	REFERÊNCIAS BIBLIOGRÁFICAS	59

1 INTRODUÇÃO

Um *Phase Locked Loop* é um circuito que faz com que um sistema acompanhe outro. Mais precisamente, um PLL é um circuito que sincroniza um sinal de saída (gerado por um oscilador) com um sinal de referência ou de entrada, tanto em frequência quanto em fase. No estado sincronizado, frequentemente chamado de "travado", o erro de fase entre o sinal de saída do oscilador e o sinal de referência é zero ou permanece constante (BEST, 2007).

Se um erro de fase se acumula, um mecanismo de controle atua no oscilador de tal forma que o erro de fase é novamente reduzido ao mínimo. Nesse sistema de controle, a fase do sinal de saída é efetivamente travada na fase do sinal de referência. É por isso que é chamado de circuito de laço de fase travada.

Os primeiros PLLs foram desenvolvidos a partir de componentes discretos, como válvulas eletrônicas e, posteriormente, transistores discretos. Os primeiros circuitos integrados de PLL surgiram por volta de 1965 e eram dispositivos puramente analógicos. Utilizavam um multiplicador analógico como detector de fase, um filtro RC passivo ou ativo como filtro de laço e um oscilador controlado por tensão (VCO) para gerar o sinal de saída. Este tipo de PLL é conhecido hoje como PLL linear (LPLL) (BEST, 2007).

Com o passar dos anos, os PLLs começaram a incorporar componentes digitais. O primeiro PLL digital (DPLL), que apareceu por volta de 1970, era um dispositivo híbrido: apenas o detector de fase era digital, enquanto os demais blocos ainda eram analógicos. Poucos anos depois, foi inventado o PLL totalmente digital (ADPLL), construído exclusivamente com blocos funcionais digitais, sem componentes passivos como resistores e capacitores.

Apesar dos avanços tecnológicos e da evolução dos PLLs, o *jitter* continua sendo uma preocupação significativa. Em sistemas eletrônicos, o *jitter* é uma variação indesejada na posição dos pulsos de um sinal de clock, que pode introduzir erros de temporização e afetar a precisão e o desempenho de diversos dispositivos (RAZAVI, 2020a). Este pode ser introduzido por várias fontes, que serão abordadas ao longo desse trabalho.

O problema do *jitter* em PLLs se manifesta para vários outros sistemas, especialmente em comunicações e em conversores de dados. Em comunicações, a largura de banda limitada, tanto em conexões com fio quanto sem fio, exige modulações espectralmente eficientes, que restringem o *jitter* tolerável na geração de clock. Além disso, à medida que os conversores analógico-digital (ADCs) buscam maiores velocidades e resoluções, o *jitter* do clock de amostragem deve diminuir proporcionalmente para manter a precisão (RAZAVI, 2021).

A nova geração de transceptores de comunicação óptica opera a uma taxa de 224Gb/s (KIM, 2021). A uma taxa de 112Gbaud , o período de cada palavra é de cerca

de $9ps$, o que requer um valor *RMS* de *jitter* de aproximadamente $100f_{s_{rms}}$ no transmissor. Entretanto, a situação é mais crítica no receptor, onde é tipicamente empregado ADCs de $7bits$ a uma frequência de $112GHz$, onde o *jitter* deve ser menor que $10fs$ (RAZAVI, 2021).

Além da preocupação com o *jitter*, os PLLs também enfrentam desafios relacionados ao consumo de potência. A potência consumida por um oscilador é proporcional ao quadrado da frequência operacional, enquanto um ADC geralmente consome potência de maneira proporcional à frequência. Com a demanda por frequências de operação mais altas em sistemas de comunicação óptica e ADCs de alta velocidade, o consumo de um PLL, que antes era desprezado em relação ao resto do sistema, torna-se dominante (RAZAVI, 2020b).

Neste contexto, este trabalho visa explorar técnicas para a redução de *jitter* em PLLs, integrando teoria e aplicação prática. O texto está organizado em quatro capítulos: inicialmente, será realizada uma revisão bibliográfica, abordando duas das principais topologias de PLLs analógicos. Em seguida, o projeto de um PLL será apresentado, com uma análise detalhada de cada bloco funcional e justificativas para as escolhas de projeto. Por fim, será feita uma análise dos resultados obtidos e uma conclusão sobre o trabalho.

2 REVISÃO BIBLIOGRÁFICA

Neste capítulo será feito uma revisão de sintetizadores de frequência do tipo PLL.

2.1 PLL TIPO I

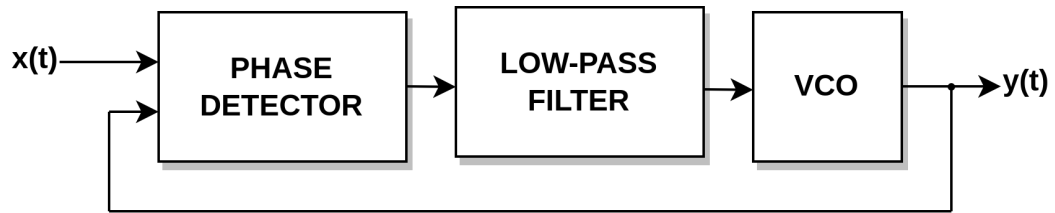
A configuração clássica de um circuito tipo PLL é apresentado na Figura 1: o Detector de Fase, o Filtro e o Oscilador Controlado por Tensão. Essa topologia é comumente denominada como PLL do tipo I, devido à sua função de transferência em malha aberta que possui apenas um polo na origem (RAZAVI, 1996).

Ao analisar a Figura 1, nota-se que o princípio de operação do circuito está ligado à retroalimentação negativa. Nesse contexto, a saída $y(t)$ é realimentada para o Detector de Fase, que gera pulsos com largura proporcional à diferença de fase entre os sinais $x(t)$ e $y(t)$. Esses pulsos passam pelo filtro, que trata-se de um passa-baixas, convertendo-os em uma tensão contínua. Essa tensão serve como entrada para o Oscilador Controlado por Tensão, cuja saída é um sinal periódico com frequência proporcional à tensão de controle. Uma vez que ambos sinais ($x(t)$ e $y(t)$) estão em fase, o PLL entra em regime permanente, e a tensão de controle do VCO permanece constante no valor correspondente a frequência do sinal de entrada.

A Figura 2 representa os pulsos gerados pelo Detector de Fase. Nesse cenário, os sinais possuem a mesma frequência, mas apresentam fases distintas. O comparador gera pulsos com largura proporcional à diferença de tempo entre os cruzamentos por zero entre a entrada e a saída.

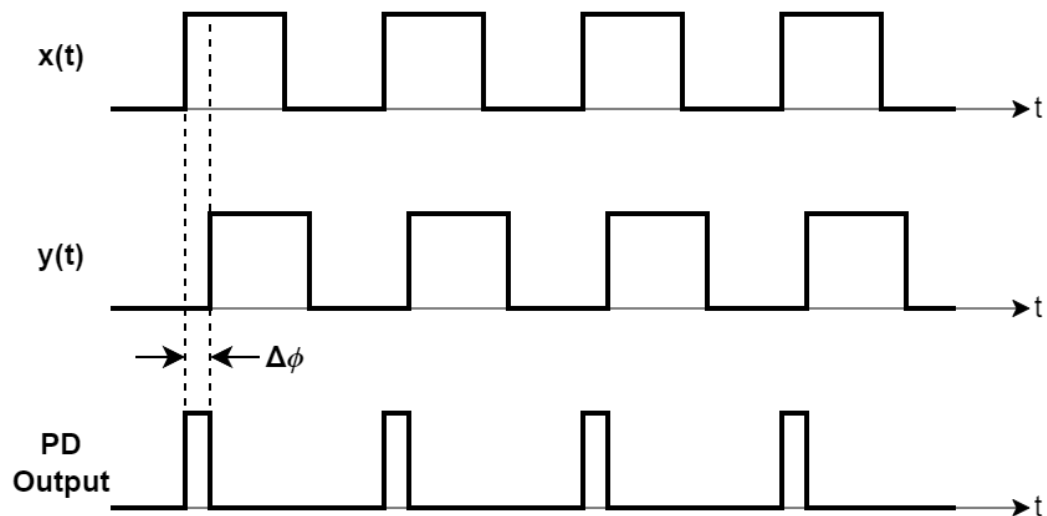
No cenário subsequente, Figura 3, examinamos o PLL em seu estado estacionário, ou seja, quando a saída do VCO está em fase com o sinal de referência. Analisamos o comportamento do circuito quando sujeito a uma perturbação que induz uma súbita alteração na fase do oscilador. Essa abrupta mudança na fase pode ser interpretada como um "degrau de fase" (RAZAVI, 1996) e representa uma aplicação da "resposta ao degrau". Essa análise é uma abordagem comum para avaliar o desempenho de sistemas de controle em resposta a perturbações ou estímulos. No contexto do PLL, a ênfase recai sobre o domínio da fase, onde todo o controle é direcionado para gerenciar a fase do sinal de saída.

Figura 1 – PLL tipo I



Fonte: Adaptado de RAZAVI (1996).

Figura 2 – Formas de onda do detector de fase



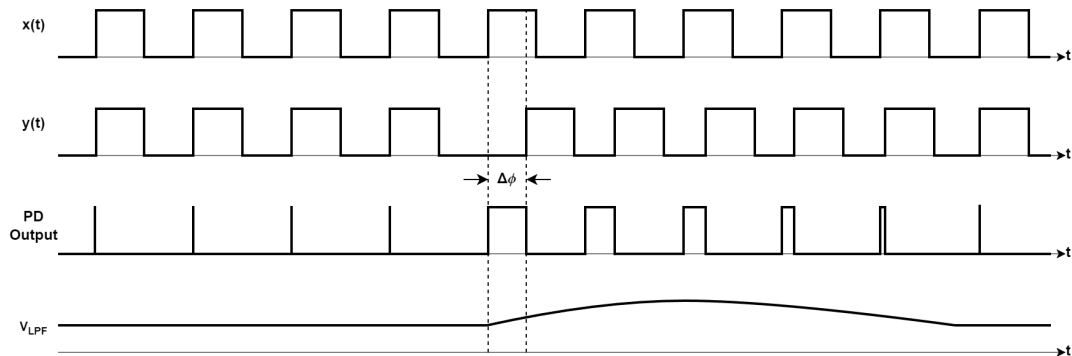
Fonte: Adaptado de RAZAVI (1996).

2.1.1 Configuração de PLL como sintetizador de frequência

A topologia clássica de um PLL tem suas limitações, uma vez que não é particularmente útil a geração de um sinal de mesma frequência do sinal de referência (RAZAVI, 2020a). Sua aplicação principal reside na síntese de frequências, na qual o oscilador opera em uma frequência que é um múltiplo, seja inteiro ou fracionário, da frequência de referência. Geralmente, esse múltiplo é uma entrada configurável do PLL, permitindo o ajuste preciso da frequência a ser sintetizada de acordo com as necessidades específicas.

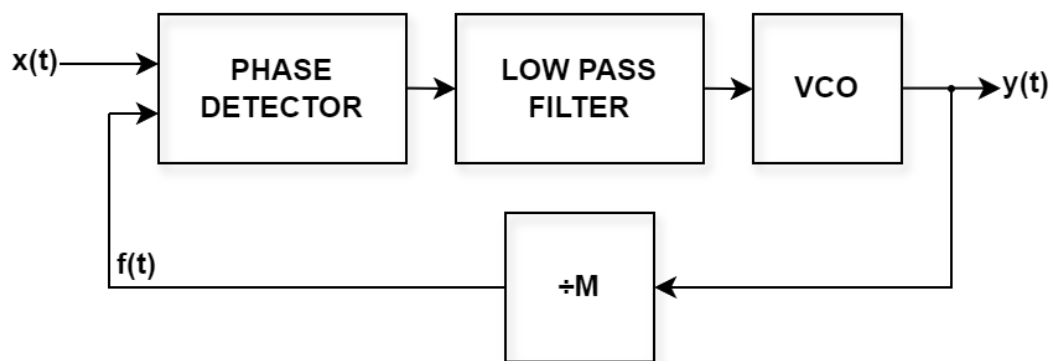
A Figura 4 apresenta a estrutura do PLL atuando como um sintetizador, sendo as principais distinções em relação ao PLL convencional a inclusão de um divisor de frequência e o VCO operando em uma frequência múltipla da referência. Nessa configuração, a comparação de fases é realizada a cada M -ésimo pulso do VCO. Se a malha está travada, o sinal de *feedback* $f(t)$ está em fase com a referência $x(t)$, portanto a frequência de $y(t)$ é M vezes maior que a de $x(t)$.

Figura 3 – Formas de onda de degrau de fase



Fonte: Adaptado de RAZAVI (1996).

Figura 4 – PLL como sintetizador de frequências



Fonte: Adaptado de RAZAVI (1996).

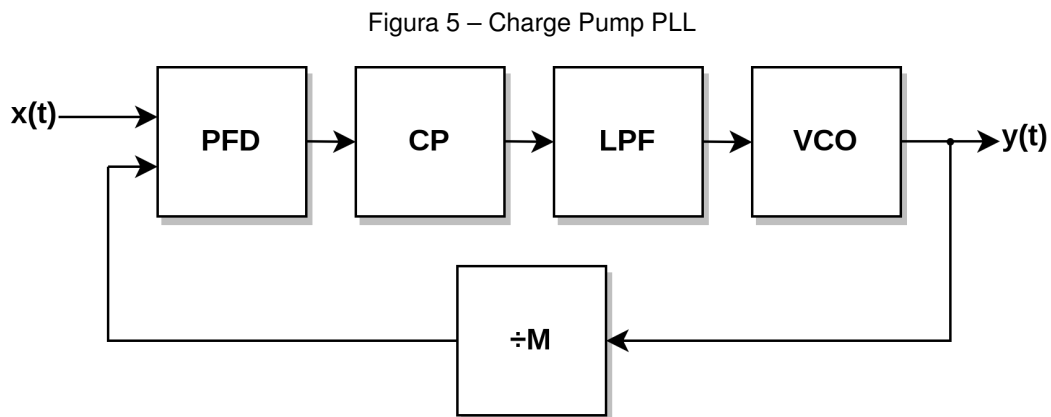
2.2 PLL TIPO II

A topologia clássica de PLL que emprega um detector de fase, embora amplamente utilizada em PLLs discretos, apresenta uma limitação que restringe sua aplicação em circuitos integrados de alto desempenho (RAZAVI, 2020a). Esta restrição pode ser ilustrada com maior clareza por meio do seguinte exemplo: Suponha que um PLL do tipo I seja ativado e que o oscilador opere em uma frequência muito distante da frequência de referência. Nessa situação, o detector de fase gera pulsos com larguras substancialmente discrepantes entre si, resultando em instabilidade do sistema e na impossibilidade de atingir o regime permanente. Para mitigar esse problema, é imperativo assegurar que a largura de banda do filtro passa-baixas seja superior à diferença entre as frequências de entrada e saída, conforme mencionado em (RAZAVI, 2017). No entanto, é importante notar que essa solução acarreta em um impacto adverso, gerando *ripple* (flutuações) na tensão de controle do VCO, representando um desafio considerável em termos de *trade-off*.

Para resolver os desafios de aquisição do *lock*, os PLLs modernos empregam comparações de fase e frequência. Inicialmente, ocorre a comparação de frequência, permitindo que o oscilador se aproxime da referência. À medida que as frequências se tornam

suficientemente próximas, o detector de fase entra em ação, assegurando a estabilidade do regime permanente. Essa abordagem proporciona uma ampla faixa de operação para o oscilador, o que é particularmente vantajoso, dada a sensibilidade desse componente a variações de processo, tensão e temperatura (RAZAVI, 2020a).

Visto que as comparações são efetuadas pelo bloco PFD (Comparador de Fase-Frequência), torna-se imprescindível a inserção de um circuito intermediário entre o PFD e o filtro, chamado de CP (Charge Pump). Este circuito compreende duas fontes de corrente controladas, que introduzem ou extraem carga no filtro com o objetivo de ajustar a tensão de controle do VCO e, por conseguinte, a frequência desse componente. Quando a diferença de fase entre o VCO e a referência é nula, o Charge Pump não altera a carga do filtro, mantendo a tensão de controle inalterada. A topologia de PLL que incorpora os blocos PFD e CP é referida na literatura como PLL do tipo II, devido à existência de dois polos na origem (RAZAVI, 2017). Esta abordagem será examinada com maior detalhamento nas próximas subseções deste trabalho, e sua estrutura em blocos pode ser visualizada na Figura 5.

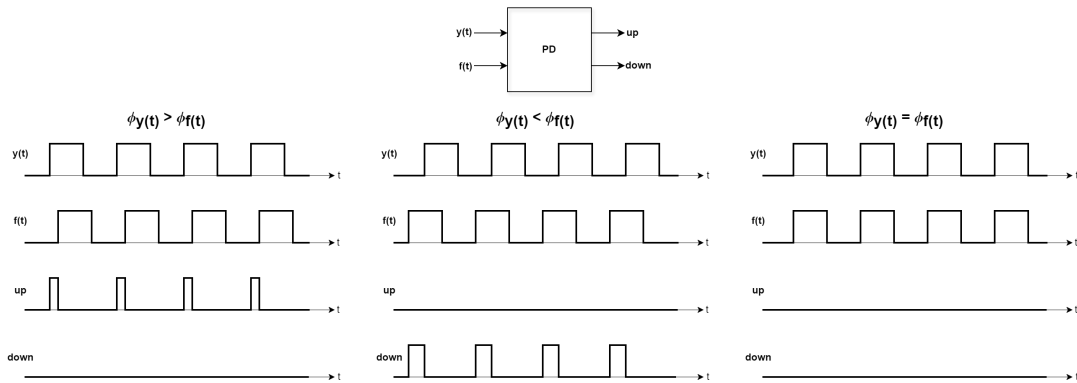


Fonte: Adaptado de RAZAVI (1996).

2.2.1 Detector de Fase e Frequência

O detector de fase opera como uma máquina de estados, em tempo contínuo, com três estados distintos e dois sinais de saída, *up* e *down*: o sinal *up* indica que a fase da referência $y(t)$ está adiantada em relação à fase de *feedback* $f(t)$. Portanto, neste estado, o sinal *up* possui largura proporcional a essa diferença de fases, e *down* é nulo; no caso em que a fase de $f(t)$ está adiantada em relação à fase de $y(t)$, há um pulso com largura proporcional a essa diferença em *down*, e *up* é nulo; no estado de travamento das fases, onde ambos os sinais possuem a mesma fase, *up* e *down* são nulos. Os três estados distintos podem ser observados na Figura 6, em suas respectivas ordens.

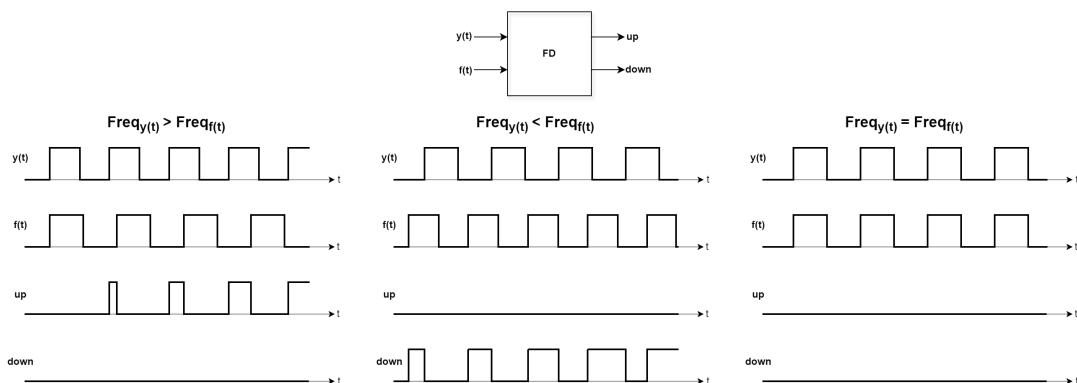
Figura 6 – Detector de Fase



Fonte: Adaptado de RAZAVI (1996).

O detector de frequência opera de modo semelhante ao detector de fase, indicando através de *up* e *down*, pulsos com largura proporcional a diferença de frequência entre $y(t)$ e $f(t)$. A Figura 7 ilustra sua operação.

Figura 7 – Detector de Frequência

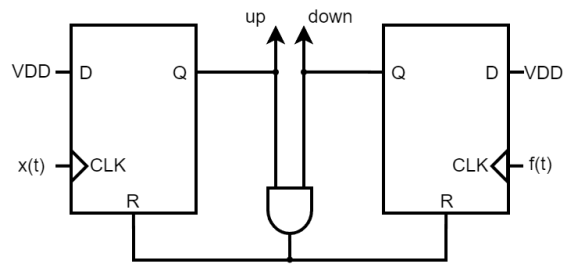


Fonte: Adaptado de RAZAVI (1996).

As comparações de fase e frequência ocorrem de forma paralela pelo PFD. Portanto, no caso de sinais periódicos, que compreendem a maior parte das aplicações de PLLs, ambas operações são realizadas por um mesmo circuito, com saídas *up* e *down*. A maneira mais comum de implementar o PFD é através de dois *flip flops* tipo D, e pode ser observada na Figura 8.

As entradas *D* são mantidas em lógica 1, enquanto as entradas de *clock* sentem $x(t)$ e $f(t)$. A porta *AND* reseta ambos os *flip-flops* quando $x(t)$ e $f(t)$ estão em nível lógico alto. Se, por exemplo, a entrada $x(t)$ sobe, a saída *up* sobe. Entretanto, quando $f(t)$ sobe, a saída *down* vai para nível lógico alto, causando um *reset* de ambos os *flip-flops* através da porta *AND* (RAZAVI, 2020a). Diferente das ilustrações 6 e 7, nesta implementação, *up* e *down* apresentam um breve pulso, mesmo com as fases e frequências de $x(t)$ e $f(t)$ sincronizadas. Esta imperfeição é causada pelo tempo de propagação do sinal de *reset*, e

Figura 8 – Detector de Fase e Frequência



Fonte: Adaptado de RAZAVI (2020a).

será detalhada mais adiante neste trabalho.

2.2.2 Charge Pump

No contexto dos PLLs, o Charge Pump é um circuito que injeta ou retira carga durante um determinado período de tempo. Esse circuito é controlado pelos pulsos *up* e *down*, gerados pelo PFD. Considerando que o filtro de laço é comumente implementado como um capacitor, é possível descrever a dinâmica desses circuitos através da equação (2.1), onde ΔV_C é a variação de tensão no capacitor, I_{CP} é a corrente do Charge Pump, C é o capacitor do filtro e ΔT é o período que a corrente é injetada ou retirada. A Figura 9 representa o esquemático, bem como a operação do Charge Pump, quando, por exemplo, o sinal $y(t)$ está adiantado com relação a $f(t)$.

$$\Delta V_C = \frac{I_{CP}}{C} \Delta T \quad (2.1)$$

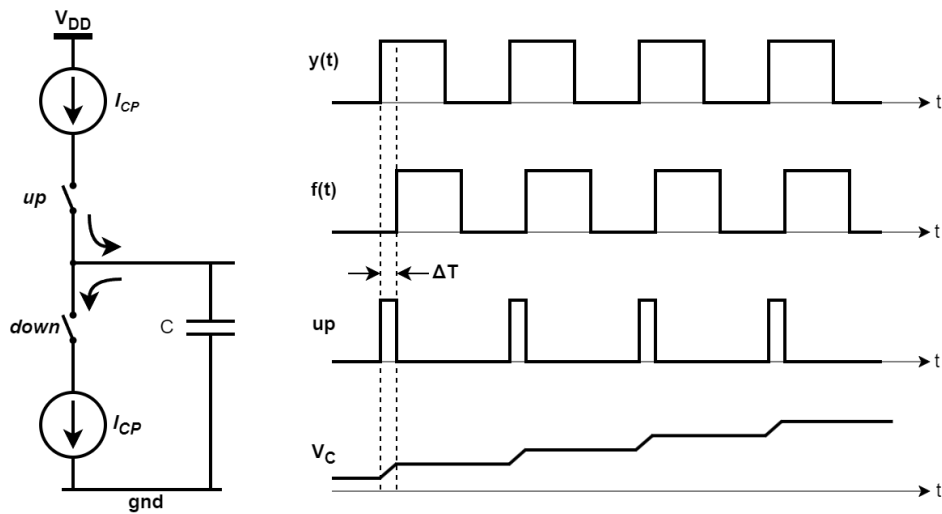
Toda vez que uma comparação de fase é feita, a chave de *up* é fechada por ΔT segundos e uma corrente I_{CP} é injetada no capacitor, provocando assim um aumento de tensão ΔV_C . De forma análoga, quando $f(t)$ está adiantado, a carga é retirada do capacitor, reduzindo sua tensão.

Com base no funcionamento conjunto do Charge Pump (CP) e do Phase Frequency Detector (PFD), e considerando que esses blocos operam de forma interdependente, podemos estabelecer um ganho para o sistema, que considera como entrada uma diferença de fases $\Delta\phi$, conforme a equação 2.2:

$$K_{CP}(s) = \frac{\Delta\phi I_{CP}}{2\pi} \quad (2.2)$$

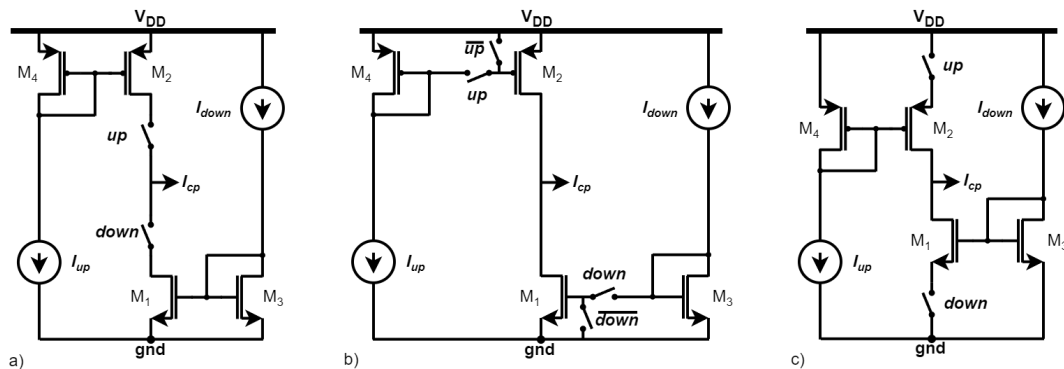
A Figura 10 ilustra três topologias típicas de Charge Pumps, sendo a diferença entre elas o posicionamento das chaves (RHEE, 1999).

Figura 9 – Charge Pump



Fonte: Adaptado de RAZAVI (2020a).

Figura 10 – Topologias de Charge Pumps



Fonte: Adaptado de Shu (2005).

2.2.2.1 Drain Switched

Na Figura 10a, chamada "*Drain Switched*", quando a chave *down* está aberta, o dreno de M_1 é puxado para *gnd*. Quando a chave é fechada, a tensão de dreno de M_1 cresce até a tensão do filtro, e caso esta seja maior que a mínima tensão de saturação de M_1 , o dispositivo passa a conduzir, espelhando a corrente I_{down} (desconsiderando o efeito de modulação de canal). Esta configuração apresenta problemas de *clockfeedthrough*, que geram saltos na tensão de controle devido ao acoplamento capacitivo entre as chaves e o capacitor de filtro (RAZAVI, 2020a). No entanto, como essa configuração não será utilizada, esse problema não será abordado neste trabalho.

2.2.2.2 Gate Switched

A Figura 10b representa o Charge Pump quando a chave é realocada para a porta dos MOSFETs "*Gate Switched*". Nesta configuração, o V_{DS} das chaves é eliminado, e tem-se uma maior excursão da tensão de saída, dada por $V_{DD} - V_{DS1min} - |V_{DS2min}|$. No entanto, essa configuração apresenta uma desvantagem significativa: a sincronização dos sinais de *up* e *down* é mais difícil. Isso ocorre porque, por exemplo, a chave *down* só é fechada com dois V_{TH}^N , que são afetados pela variabilidade de processo.

2.2.2.3 Source Switched

A terceira topologia é chamada "*Source Switched*", e será utilizada no capítulo de projeto deste trabalho. Uma de suas vantagens, em especial quando comparada à topologia "*Drain Switched*", é que para uma dada margem de tensão de saída do Charge Pump, a impedância de saída é maior (RAZAVI, 2020a). Além do mais, o problema de *clockfeedthrough* é mitigado, dado que os MOSFETs M_1 e M_2 "absorvem" parte do pico de tensão gerado pelo acoplamento capacitivo.

2.2.3 Filtro de Laço

2.2.3.1 Instabilidade

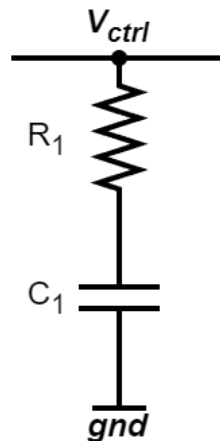
Embora tratado como um simples capacitor na seção anterior, essa abordagem não é adequada. Conforme será discutido na sequência deste trabalho, o oscilador é modelado matematicamente como um integrador ideal, no domínio da fase. Em conjunto com o capacitor do filtro, estes formam dois polos imaginários na função de transferência do PLL, resultando em uma malha instável (RAZAVI, 2020a).

Para solucionar o problema de instabilidade, a alternativa mais comum é adicionar um resistor em série com o capacitor, conforme a Figura 11, de forma a adicionar um zero na função de transferência.

2.2.3.2 Ripple na tensão de controle

Embora o projeto do Charge Pump pareça simples, há uma grande dificuldade de realizar o devido casamento entre as correntes que são injetadas no filtro. Esse descasamento é decorrente de diversos fatores, como a variabilidade de processo, a variação na

Figura 11 – Filtro RC do PLL



Fonte: Adaptado de RAZAVI (2020a).

tensão de alimentação, a temperatura na qual o PLL está operando e principalmente, a tensão de controle do filtro. Independente da topologia empregada, a impedância de saída do Charge Pump é finita, portanto a tensão V_{ctrl} gera descasamentos entre as correntes de *up* e *down*.

O descasamento entre as correntes torna-se mais relevante quando o PLL está em regime permanente. Essa afirmação pode ser melhor compreendida através da Figura 12, onde o circuito está em estado estacionário, entretanto, ainda existem breves pulsos em *up* e *down* devido às imperfeições do PFD. Neste cenário, consideramos que a corrente I_{up} é ΔI maior que a corrente I_{down} . Realizando a soma das correntes no nó V_{ctrl} , percebemos que ΔI é injetada no filtro, causando uma variação de tensão indesejada (RAZAVI, 2020a).

Para a redução deste *ripple* na tensão de controle, muitos PLLs empregam um segundo capacitor no filtro, conforme a Figura 13, tornando-o de segunda ordem. A finalidade deste capacitor é fornecer um caminho para a corrente inicial do Charge Pump, reduzindo o salto de tensão em V_{ctrl} (RAZAVI, 1996)..

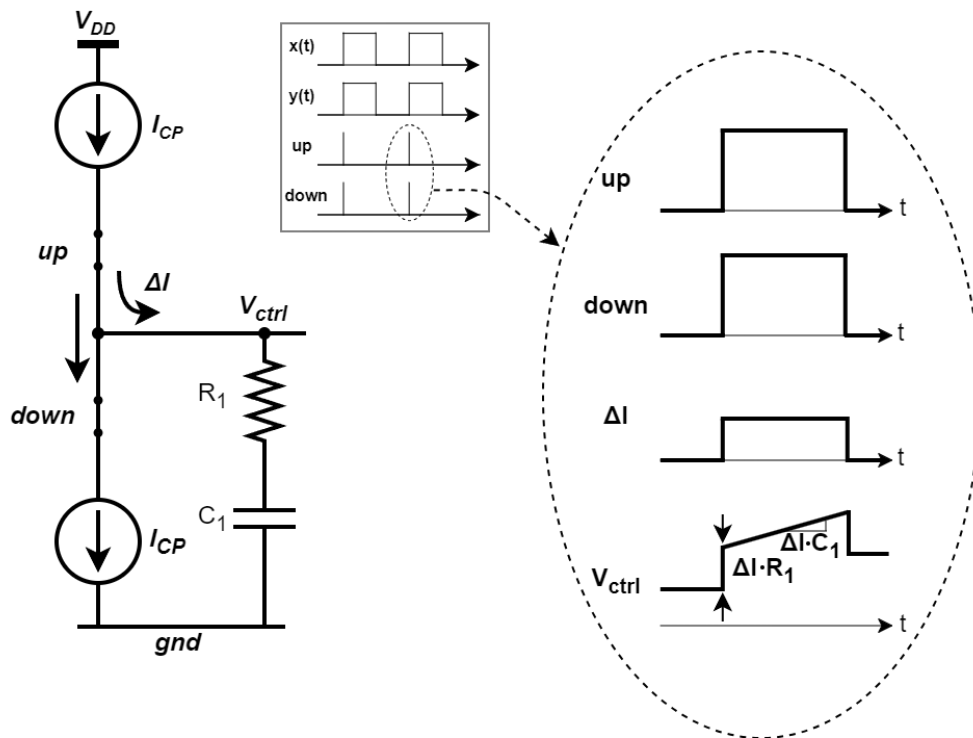
Com a adição do capacitor C_2 o PLL torna-se de terceira ordem, degradando a margem de fase do sistema. Portanto, para garantir a estabilidade, é necessário empregar $C_2 \ll C_1$ (RAZAVI, 2020a).

2.2.3.3 Função de transferência

Por fim, a função de transferência do filtro pode ser obtida considerando a tensão V_{ctrl} como saída, e a corrente injetada no nó I_{cp} como a entrada. Portanto tem-se:

$$F(s) = \frac{V_{ctrl}(s)}{I_{cp}(s)} = (R_1 + Z_{C1}) // Z_{C2}$$

Figura 12 – Ripple na tensão de controle provocado pelo descasamento das correntes do Charge Pump



Fonte: Adaptado de RAZAVI (2020a).

$$F(s) = \frac{\frac{R_1}{sC_2} + \frac{1}{s^2C_1C_2}}{R_1 + \frac{1}{sC_1} + \frac{1}{sC_2}}$$

$$F(s) = \frac{1}{(C_1 + C_2)} \frac{1 + s/\omega_z}{s(1 + s/\omega_{p3})} \quad (2.3)$$

Onde

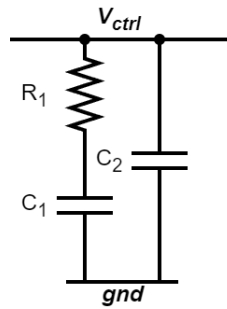
$$\omega_z = \frac{1}{(R_1C_1)} \quad (2.4)$$

$$\omega_{p3} = \frac{(C_1 + C_2)}{(R_1C_1C_2)} \quad (2.5)$$

2.2.4 Oscilador Controlado por Tensão

O oscilador é possivelmente o bloco mais crítico de um PLL, sendo frequentemente o foco principal na maioria dos estudos relacionados a esse tipo de circuito. O surgimento do PLL se deu ao fato de osciladores estarem muito sujeitos à variações de processo,

Figura 13 – Filtro de segunda ordem

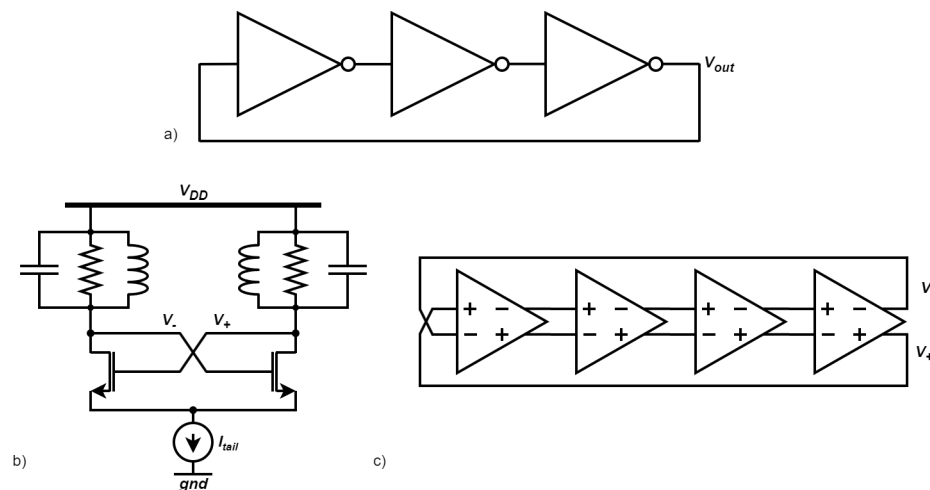


Fonte: Adaptado de RAZAVI (2020a).

temperatura, tensão de alimentação, e inúmeros outros fatores. Essas variações podem afetar significativamente o desempenho do oscilador, levando a desvios de frequência e instabilidades.

Um oscilador é um sistema de realimentação negativa, onde a margem de fase é propositalmente zero ou negativa (RAZAVI, 2011). Com base nessa afirmação, osciladores são implementados através de células de *delay*, como inversoras ou amplificadores diferenciais, que promovem ganho e inversão de fase. Também são amplamente utilizados tanques LC, que comportam-se como ressonadores eletrônicos. A Figura 14 representa alguns tipos de osciladores.

Figura 14 – Topologias de osciladores: a) Oscilador em anel. b) Par cruzado com tanque LC. c) Oscilador com amplificadores diferenciais



Fonte: Adaptado de RAZAVI (2011).

Como o nome sugere, além de oscilarem em uma dada frequência, VCOs devem proporcionar controle sobre o período de suas oscilações. No caso de VCOs, este controle é realizado através de uma tensão. Entretanto, também são comumente empregados o controle por corrente (CCOs) ou de forma digital (DCOs) (RAZAVI, 2020a).

A característica mais importante de um oscilador controlado é seu ganho. No caso

de um oscilador controlado por tensão, o ganho pode ser expresso por K_{VCO} . Este, representa a variação de frequência, com relação à variação de tensão, conforme a equação 2.6.

$$K_{VCO} = \frac{\Delta f_{osc}}{\Delta V_{ctrl}} \quad (2.6)$$

Dessa forma, a frequência de oscilação é dada por

$$f_{osc} = V_{ctrl} \cdot K_{VCO} + f_0. \quad (2.7)$$

Onde f_0 é a frequência natural do oscilador, caso nenhum controle seja aplicado.

A equação 2.7 é o modelo estático de osciladores. Entretanto, é bastante útil representar a forma de onda produzida pelo oscilador no domínio do tempo, considerando que a tensão V_{ctrl} não é constante:

$$V_{out}(t) = V_0 \cos \left[2\pi \left(f_0 t + K_{VCO} \int V_{ctrl}(t) dt \right) \right] \quad (2.8)$$

A análise de PLLs é comumente realizada no domínio da fase, portanto é importante definir a "fase excessiva", que corresponde à

$$\phi_{ex} = K_{VCO} \int V_{ctrl}(t) dt. \quad (2.9)$$

A equação 2.9 pode ser reescrita na forma de uma função de transferência, no domínio da fase:

$$\frac{\phi_{ex}}{V_{ctrl}} = \frac{K_{VCO}}{s} \quad (2.10)$$

Esta representação é fundamental para a análise de PLLs. A propriedade integradora ($1/s$) implica que o sistema é dinâmico, onde o valor atual ϕ_{ex} depende dos valores passados de V_{ctrl} . Essa afirmação pode ser compreendida de outra forma: para alterar a fase excessiva de saída de um VCO, é necessário ajustar V_{ctrl} e aguardar até que ϕ_{ex} atinja o valor desejado.

2.2.5 Divisor de Frequência

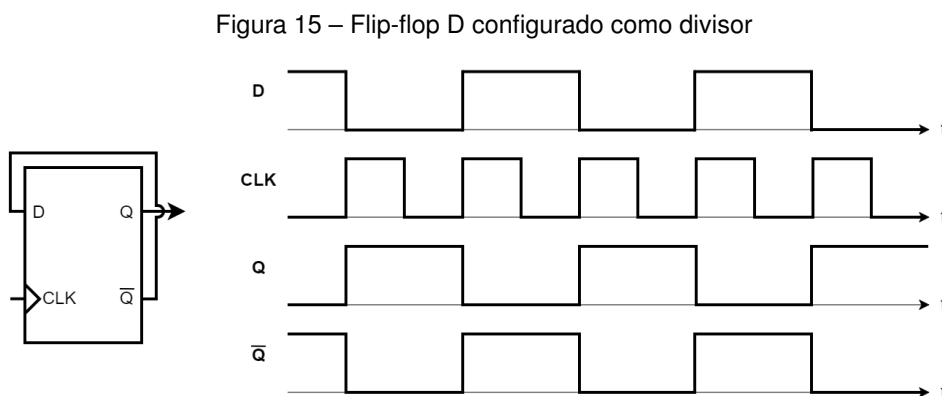
O funcionamento do divisor de frequência consiste em gerar um sinal a partir da saída do oscilador, com frequência que é uma fração da qual o VCO opera. Essa tarefa é realizada através de circuitos digitais, como *flip-flops*, contadores e lógica combinacional.

Existem diferentes tipos de divisores de frequência, e seu projeto depende de parâmetros como a razão de divisão que será realizada e a frequência do sinal de entrada. É

possível categorizar divisores através de:

- **Divisores Inteiros:** Geram uma saída cuja frequência é uma fração inteira da frequência de entrada.
- **Divisores Fracionários:** Permitem a obtenção de frequências de saída que são frações não inteiras da frequência de entrada. Isso é realizado alternando entre diferentes divisores inteiros, resultando em uma média ponderada que atinge a divisão desejada.
- **Divisores Programáveis:** Permitem a configuração dinâmica da taxa de divisão. A frequência de saída pode ser ajustada conforme necessário por meio de sinais de controle, sendo fundamentais para PLLs que precisam gerar diferentes frequências a partir de um mesmo *clock* de referência.

A Figura 15 representa a simples implementação de um circuito divisor por 2 através de um *flip-flop* tipo D. Este pode ser facilmente cascateado n vezes, a fim de realizar uma divisão por 2^n .



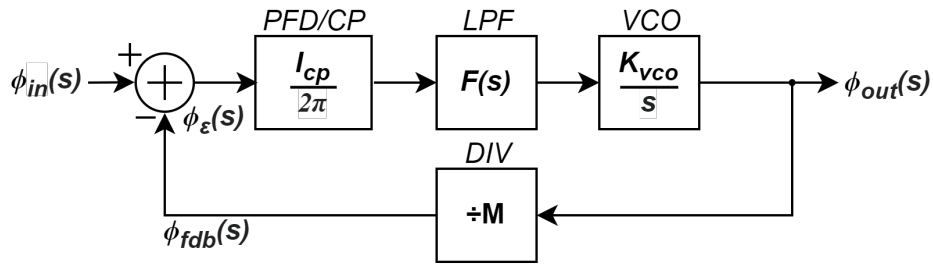
Fonte: Adaptado de RAZAVI (2020a).

2.2.6 Modelo Matemático

O modelo linear do CPPLL no domínio da fase é mostrado na Figura 16. As variáveis $\phi_{in}(s)$ e $\phi_{fdb}(s)$ correspondem à fase dos sinais de referência e de *feedback*, respectivamente. A diferença entre as fases (ou erro entre fases) é representada como $\phi_{\epsilon}(s)$, e por definição é

$$\phi_{\epsilon}(s) = \phi_{in}(s) - \phi_{fdb}(s). \quad (2.11)$$

Figura 16 – Modelo linear do Charge Pump PLL no domínio da fase



Fonte: Adaptado de RAZAVI (2017).

O ganho da malha é dado por

$$G(s) = \frac{I_{cp}K_{VCO}}{2\pi M(C_1 + C_2)s^2} \frac{1 + s/\omega_z}{(1 + s/\omega_{p3})} \quad (2.12)$$

Através de 2.4 e 2.5, temos $\omega_{p3} = \omega_z(1 + C_1/C_2)$. Portanto, para $C_2 \ll C_1$ tem-se $\omega_z \ll \omega_{p3}$, e podemos aproximar o sistema a uma segunda ordem (RAZAVI, 2011).

A função de transferência é então representada por

$$H(s) = \frac{\frac{I_{cp}K_{VCO}}{2\pi C_1}(R_1 C_1 s + 1)}{s^2 + \frac{I_{cp}K_{VCO}}{2\pi M} R_1 s + \frac{I_{cp}K_{VCO}}{2\pi C_1 M}} \quad (2.13)$$

Utilizando a forma padrão, empregada em sistemas de controle (2.14)

$$H(s) = \frac{2\xi\omega_n s + \omega_n^2}{s^2 + 2\xi\omega_n s + \omega_n^2} \quad (2.14)$$

Tem-se:

$$\xi = \frac{R_1}{2} \sqrt{\frac{I_{cp}K_{VCO}C_1}{2\pi M}} \quad (2.15)$$

$$\omega_n = \sqrt{\frac{I_{cp}K_{VCO}}{2\pi C_1 M}} \quad (2.16)$$

O fator de amortecimento ξ está intimamente ligado à estabilidade do sistema. Este, é tipicamente escolhido entre $\sqrt{2}/2$ e 1, configurando uma resposta subamortecida.

A frequência ω_n corresponde à frequência natural do sistema e está ligada a velocidade com que o PLL pode corrigir o erro de fase e se ajustar ao sinal de entrada.

2.3 RÚIDO

Ruído é um processo aleatório, o que significa que seu valor instantâneo no domínio do tempo não pode ser previsto com precisão. Entretanto, é possível calcular a função

densidade de probabilidade (FDP) da sua amplitude. A FDP é usualmente uma distribuição Gaussiana, caracterizada pelo seu desvio padrão (σ) (RAZAVI, 2020a).

A maioria das análises de ruído é realizada no domínio da frequência, onde este é facilmente representado pela transformada de Fourier, através do conceito de densidade espectral de potência, que é definido como a quantidade de potência (ou energia) que um sinal carrega em uma largura de banda de $1Hz$ centrada em cada frequência.

Na tecnologia CMOS, existem dois tipos de ruído que são dominantes: *Thermal Noise* e *Flicker Noise*. O primeiro é atrelado a agitação térmica dos elétrons. A densidade espectral do *Thermal Noise* em um resistor R é modelada como uma fonte de tensão em série, dada por

$$\overline{V_n^2} = 4kTR \left(\frac{V^2}{Hz} \right) \quad (2.17)$$

Onde k é a constante de *Boltzmann* ($k = 1.38 \cdot 10^{-23} J/K$), T é a temperatura absoluta (K) e R é a resistência (Ω).

Em um dispositivo MOSFET operando na região de saturação, o espectro do *Thermal Noise* é dado por

$$\overline{V_n^2} = \frac{4kT\gamma}{g_m} \left(\frac{V^2}{Hz} \right) \quad (2.18)$$

Onde γ é o coeficiente de ruído excessivo e g_m é a transcondutância do dispositivo. O coeficiente γ é um parâmetro que depende principalmente da tecnologia, variando entre $2/3$ e 2 , sendo o último encontrado em dispositivos com canal curto (RAZAVI, 2011).

O *Flicker Noise* (também chamado de "1/f noise") é um tipo de ruído presente em dispositivos MOS, e tem origem nas flutuações no número e na mobilidade de portadores (SURYA, 1987). Modelado como uma fonte de tensão em série com a porta do dispositivo, sua densidade espectral é dada por

$$\overline{V_n^2} = \frac{K}{WLC_{ox}} \frac{1}{f} \quad (2.19)$$

Onde K é um parâmetro dependente do processo, W e L são as dimensões do dispositivo e C_{ox} é a capacitância do óxido por área. É evidente que este ruído torna-se mais expressivo em dispositivos com dimensões pequenas e principalmente nas baixas frequências.

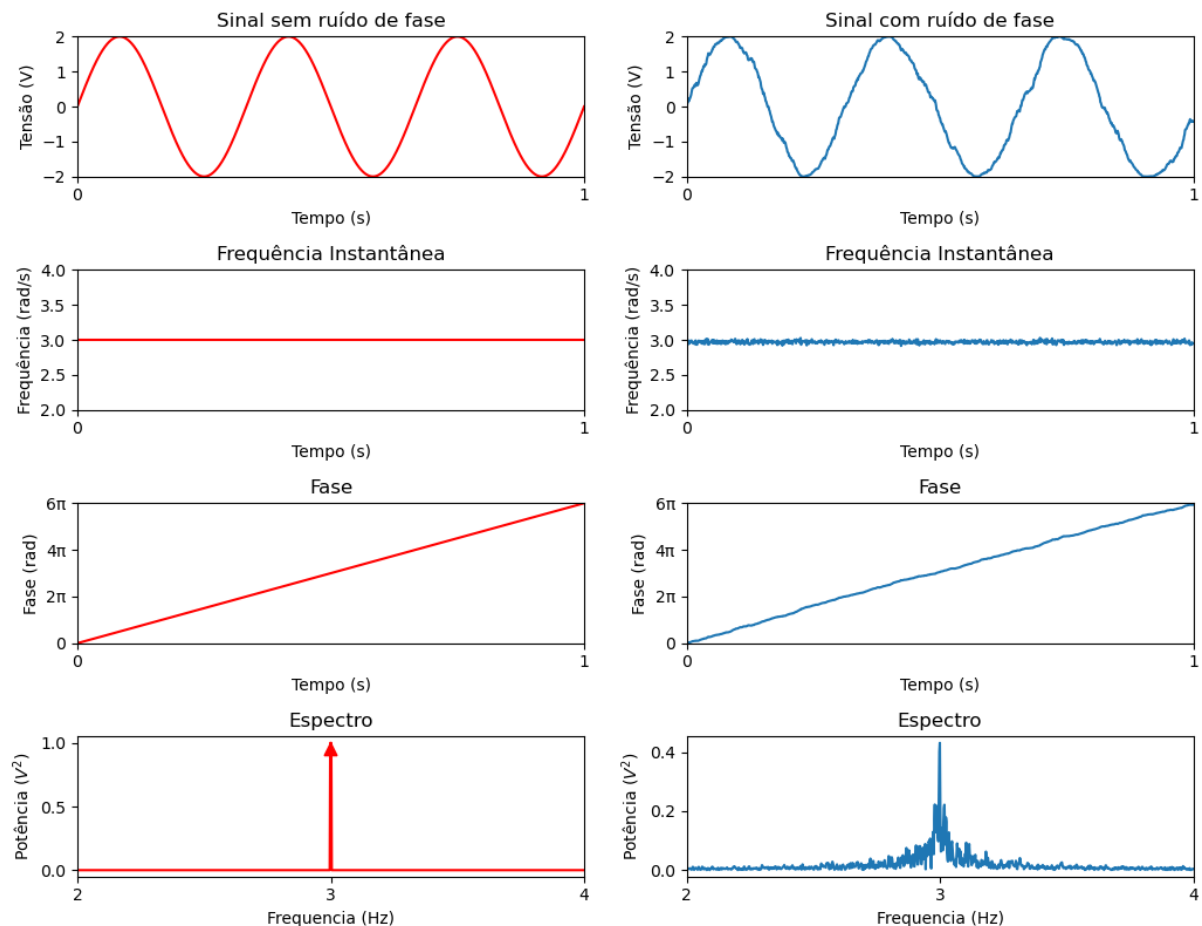
2.3.1 Ruído de Fase

Um oscilador sem ruído gera um sinal perfeitamente periódico, na forma de uma senóide ou de uma onda quadrada. Entretanto, fontes de ruído no circuito do oscilador,

como térmico e *flicker*, criam distúrbios tanto na amplitude quanto na fase do sinal, sendo o último mais relevante. Distúrbios na fase de um sinal resultam em variações nos períodos e na frequência instantânea. Esta modulação aleatória é particularmente preocupante quando se deseja gerar sinais precisos, sendo um parâmetro importante para o projeto de osciladores (RAZAVI, 2011).

A Figura 17 ilustra dois sinais. O sinal vermelho é uma senóide perfeita, com frequência constante e fase linear. O sinal azul, por outro lado, apresenta ruído de fase introduzido através de uma distribuição Gaussiana. Nota-se que a fase e a frequência do sinal azul exibem oscilações em comparação com o sinal ideal. Por fim, é possível também observar o espectro de ambos sinais: A senóide sem ruído apresenta um espectro com um pulso em 3Hz , que é a frequência do sinal. Já o sinal ruidoso apresenta componentes no entorno de 3Hz , indicando que parte da potência do sinal é dispersa devido às flutuações causadas pelo ruído.

Figura 17 – Ruído de fase



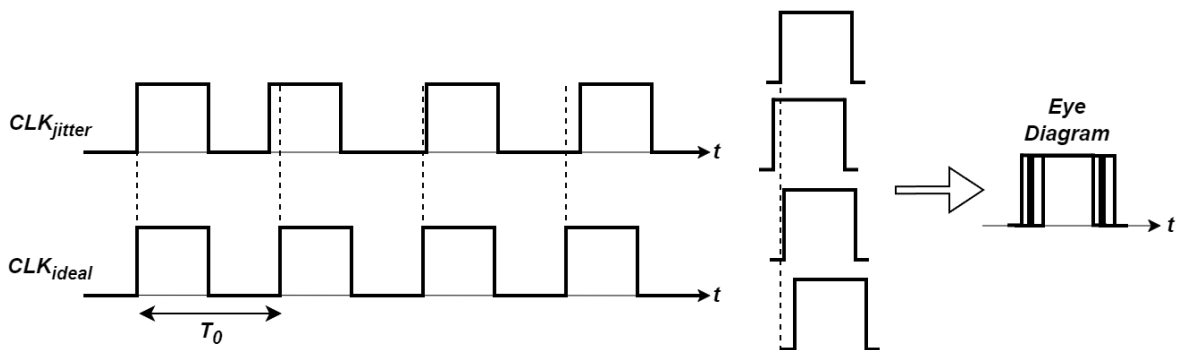
Fonte: Autor

2.3.2 Jitter

O deslocamento do cruzamento por zero de um sinal periódico é chamado de *jitter*. Este conceito está atrelado ao ruído de fase, mas o *jitter* é geralmente referido como um fenômeno no domínio do tempo, enquanto o ruído de fase é tratado no domínio da frequência. Além disso, o ruído de fase é causado por distúrbios aleatórios no sistema, enquanto o *jitter* abrange tanto aleatoriedades quanto distúrbios que ocorrem periodicamente, chamados de *jitter* determinístico (RAZAVI, 2020a).

Uma forma comum de visualizar o *jitter* é através do "*Eye Diagram*", ou "diagrama de olho". Este pode ser visto na Figura 18, onde tem-se um sinal de *clock* ideal, bem como um sinal que apresenta *jitter*. Sobrepondo os ciclos, é possível verificar que os cruzamentos por zero do sinal com *jitter* não ocorrem sempre em múltiplos do período T_0 . O "*Eye Diagram*" é uma maneira de visualizar o *jitter* absoluto, conforme será abordado em seguida.

Figura 18 – Eye diagram



Fonte: Adaptado de RAZAVI (2020a).

2.3.2.1 Terminologias e definições

O conceito de *jitter* pode ser expresso de diferentes maneiras, dependendo da aplicação. Portanto, é importante distinguir essas formas, embora todas representem um desvio no instante de tempo, atrelado a uma referência (SHEIKHOLESLAMI, 2018).

- **Jitter absoluto:** Este é definido como uma sequência discreta de elementos, onde cada um representa o deslocamento de tempo da borda de um sinal em relação à borda correspondente de um sinal ideal. Este ideal é um sinal sem jitter, com períodos espaçados exatamente por T_0 .
- **Jitter relativo:** Diferente do *jitter* absoluto, o *jitter* relativo compara as bordas do sinal investigado com as bordas de outro sinal real e não ideal, ambos com o mesmo

período médio T_0 . O *jitter* relativo é a diferença entre os *jitters* absolutos dos dois sinais.

- **Jitter cíclico:** O *jitter* cíclico (ou ciclo-a-ciclo) compara a posição de uma borda do sinal com a posição da borda anterior do mesmo sinal. Pode ser expresso em termos de *jitter* absoluto como a diferença entre os valores absolutos de *jitter* de bordas consecutivas.
- **Jitter de N-ciclos:** O *jitter* de N-ciclos estende o conceito de *jitter* cíclico, comparando a posição de uma borda com a posição da N-ésima borda anterior do mesmo sinal. Ele pode ser expresso como a soma do *jitter* relativo ao longo de N períodos consecutivos, sendo também conhecido como *jitter* acumulado.

2.3.3 Jitter determinístico em PLLs

De forma geral, imperfeições sistemáticas causam *jitter* determinístico. No caso do CPPLL, a maior parte dessas imperfeições é gerada por uma modulação indevida da tensão de controle do VCO, chamada de *ripple*. Algumas causas para o *ripple* são: Descasamento das correntes do CP, *charge injection* e *clockfeedthrough* das chaves do CP e correntes de fuga do CP e dos capacitores do filtro (DEBDUT, 2018) (RAZAVI, 2020a). Embora todas contribuam para o *jitter* do PLL, as mais expressivas são relacionadas ao *mismatch* entre as correntes do CP e as correntes de fuga do CP e dos capacitores de filtro, portanto, estas serão descritas em sequência:

- **Descasamento de correntes do CP:** O *ripple* causado pela corrente ΔI foi abordado na subseção 2.2.3.2 e reduzido com o uso do capacitor C_2 . No entanto, ainda persiste uma pequena parcela proveniente do descasamento das correntes do CP, que gera espúrios nas frequências múltiplas da referência do PLL. No documento (DEBDUT, 2018), a equação 2.20 foi desenvolvida para quantificar a amplitude do k-ésimo espúrio gerado por este fenômeno, levando em conta o compartilhamento de carga dos capacitores C_1 e C_2 através do resistor R_1 .

$$\frac{A_{k-spur}}{A_{carrier}} = \frac{K_{VCO} T_{ref}}{2\pi k^2} \frac{C_1 \Delta I t_{reset}}{C_2 (C_1 + C_2)} \left(\exp\left(\frac{T_{ref}}{R_1 C_{eq}}\right) - 1 \right) \quad (2.20)$$

Onde A_{k-spur} é a amplitude do k-ésimo espúrio, $A_{carrier}$ a amplitude do sinal na frequência central, T_{ref} o período do sinal de referência, t_{reset} o período que os *flip-flops* do PFD levam para *resetar* e C_{eq} é $C_1 C_2 / (C_1 + C_2)$.

- **Corrente de fuga do CP:** Outra imperfeição relevante do CP é a corrente de fuga enquanto este está inativo, causando um descarregamento dos capacitores do filtro. Por consequência, a tensão de controle reduz, abaixando a frequência do VCO.

Considerando que no estado estacionário o período que o CP fica desligado é aproximadamente igual o período T_{ref} , e que $C_2 \ll C_1$, é possível aproximar a variação da tensão de controle por

$$\Delta V_{ctrl} = \frac{I_{leak} T_{ref}}{C_2}. \quad (2.21)$$

Onde I_{leak} é a corrente de fuga do CP.

Através da equação 2.9, podemos expressar a variação pico-a-pico da fase do VCO (RAZAVI, 2009) por

$$\phi_{pp} = \frac{K_{VCO}}{2} \frac{I_{leak}}{C_2} \left(\frac{T_{ref}}{2} \right)^2. \quad (2.22)$$

- **Corrente de fuga dos capacitores de filtro:** Algumas aplicações requerem grandes capacitores no filtro, o que torna atraente o uso de MOSCAPs para a redução de área. Entretanto, esta proposta possui um problema severo, que é a corrente de fuga destes dispositivos. Um dispositivo NMOS com área de $10\mu m/0.5\mu m$ na tecnologia $45nm$ possui uma corrente de fuga com alta dependência no V_{gs} que chega a $1\mu A$ (RAZAVI, 2009).

De forma semelhante a 2.22, a equação 2.23 representa a variação de fase pico-a-pico do VCO, onde I_G é a corrente de fuga do capacitor.

$$\phi_{pp} = \frac{K_{VCO}}{2} \frac{I_G}{C_2} \left(\frac{T_{ref}}{2} \right)^2 \quad (2.23)$$

As equações 2.20, 2.22 e 2.23 mostram a importância de mitigar o descasamento das correntes do CP e reduzir as correntes de fuga do CP e dos capacitores. Um ponto relevante é o K_{VCO} , que aparece no numerador de todas as equações, sugerindo que uma possível otimização para um PLL com baixo *jitter* é a redução do ganho do oscilador. No entanto, isso se torna desafiador quando o projeto do VCO deve suportar grandes variações de temperatura e processo. De maneira geral, seu ganho em $rad/(s \cdot V)$ deve ser mantido menor que 10% da sua frequência em rad/s (RAZAVI, 2020a). Por exemplo, se a frequência central do oscilador é de $200Mrad/s$, o ganho deve ser mantido inferior a $20Mrad/(s \cdot V)$.

Além de reduzir o ganho do oscilador, outra otimização visível na equação 2.20 está relacionada ao período t_{reset} . Este deve ser minimizado para que, em caso de descasamento das correntes do CP, o espúrio seja reduzido.

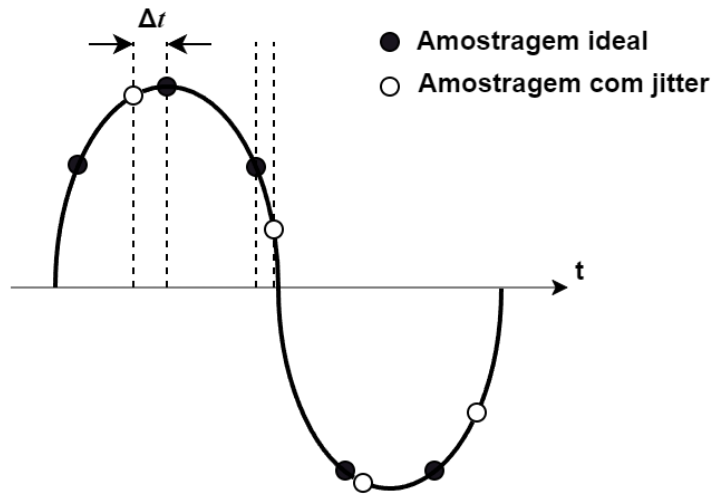
3 PROJETO

Nesta capítulo do trabalho será desenvolvido o projeto de um PLL tipo II na tecnologia de processo *CMOS 45nm*. O objetivo geral é gerar uma frequência de $240MHz$ a partir de um cristal piezoelétrico de $20MHz$. A frequência gerada pelo PLL será utilizada como *clock* para um conversor ADC de $10bits$. Todos os resultados foram obtidos através de simulações na versão 6.1.8 do *Virtuoso* da *Cadence*.

3.1 ESPECIFICAÇÕES

Um *clock* com baixo *jitter* é essencial para essa aplicação, visto que este degrada a relação sinal-ruído (SNR) do conversor, conforme pode ser visto na Figura 19.

Figura 19 – Efeito do *jitter* na amostragem de um sinal



Fonte: Adaptado de RAZAVI (2020a).

Para uma entrada senoidal com amplitude A e frequência f_{in} , a potência do ruído induzido por *jitter* pode ser calculado por 3.1 (RAZAVI, 2020a).

$$P_{jit} = 2\pi^2 f_{in}^2 A^2 \Delta t_{rms}^2 \quad (3.1)$$

Neste projeto, será considerado que o ruído induzido por *jitter* afetará no máximo $2dB$ na relação sinal-ruído do ADC. Portanto, calculando a potência do ruído de quantização, tem-se (3.2), onde n é o número de bits.

$$P_Q = \frac{(2A/2^n)^2}{12} \quad (3.2)$$

Para um ADC de 10bits com amplitude $0.55V$ ($V_{DD}/2$), a potência do ruído de quantização é de aproximadamente $96nV^2$.

Com a penalidade de $2dB$ no SNR, podemos calcular a potência do ruído induzido por *jitter*:

$$-2dB = 10\log \left[\frac{P_Q}{P_Q + P_{jit}} \right] \approx 56nV^2. \quad (3.3)$$

Utilizando 3.1, e considerando f_{in} metade da frequência do *clock* (teorema de Nyquist), tem-se um *jitter RMS* de $\Delta t_{rms} \approx 800fs$

Além da especificação de ruído, o PLL deve ser capaz de operar em diferentes temperaturas, processos e suportar uma variação no V_{DD} . A tabela 1 sumariza as especificações de projeto.

Tabela 1 – Especificações para o projeto do PLL

Descrição	Valor	Unidade
f_{out}	240	MHz
f_{ref}	20	MHz
$Jitter_{rms}$	800	fs
Potência	100	μW
Área	< 0.01	mm^2
ΔV_{DD}	1.0 - 1.2	V
ΔT	0 - 80	$^{\circ}C$
Processo	TT, SS, SF, FF, FS	-

Fonte: Autor

3.2 PARÂMETROS DA MALHA

Partindo das equações 2.15 e 2.16, o fator de divisão do PLL é definido pela razão entre as frequências de entrada e saída, portanto $M = 12$. O fator de amortecimento ξ é tipicamente escolhido como unitário, o que se traduz para uma margem de fase de aproximadamente 76° . Já a frequência natural ω_n é restrita pela natureza discreta do conjunto PFD e CP, o que implica que a largura de banda (ganho unitário da malha) seja reduzida a um décimo da frequência de entrada, como visto em (RAZAVI, 2011) e (GARDNER, 2005). Sendo assim, ω_n deve ser aproximadamente $\omega_{ref}/21$, resultando em $6Mrad/s$.

Portanto de 2.15 e 2.16 tem-se:

$$1 = \frac{R_1}{2} \sqrt{\frac{I_{cp} K_{VCO} C_1}{24\pi}} \quad (3.4)$$

$$6Mrad/s = \sqrt{\frac{I_{cp}K_{VCO}}{24\pi C_1}} \quad (3.5)$$

Na seção 2.3.3 foi visto que um ganho baixo no VCO tem um impacto positivo no *jitter* do PLL. Entretanto, para este projeto suportar as variabilidades em temperatura, processo e tensão de alimentação, o ganho do VCO foi de aproximadamente $120MHz/V$, e será mais detalhado na seção 3.3.4.

Os parâmetros restantes para o projeto são C_1 e I_{cp} . Para reduzir a área ocupada pelo capacitor C_1 , a corrente I_{cp} deve ser reduzida. No entanto, como visto em (RAZAVI, 2020a), existe um limite inferior para essa corrente, imposto pelo ruído *flicker* introduzido pelas chaves do CP. Em termos de potência, no regime permanente, as correntes são injetadas apenas por breves períodos, o que não afeta significativamente o consumo geral do PLL. Para este projeto, foi escolhida $I_{cp} = 50\mu A$, o que leva $C_1 \approx 14pF$ e $R_1 \approx 24k\Omega$. O capacitor C_2 foi projetado como $C_1/5 = 2.8pF$, conforme sugerido em (RAZAVI, 2020a), o que não afetou na estabilidade do PLL.

3.3 BLOCOS FUNCIONAIS

3.3.1 Detector de Fase e Frequência

Como visto na seção 2.2.1, este bloco é comumente implementado através de dois *flip flops* tipo D. Entretanto, visando minimizar o t_{reset} para reduzir o *jitter* causado pelo descasamento das correntes do CP, o *latch* TSPC (*True Single-Phase Clocked*) da Figura 20 foi utilizado.

O *latch* foi adaptado de (YUAN, 1989) e (RABAEY, 1995), considerando que a entrada D da Figura 8 está conectada ao V_{DD} , permitindo simplificações no circuito original. A versão adaptada inclui um sinal de *enable*, com o objetivo de desativar o PFD quando necessário e definir as tensões iniciais nos nós internos do *latch*. O Quadro 1 apresenta as dimensões dos transistores utilizados no circuito.

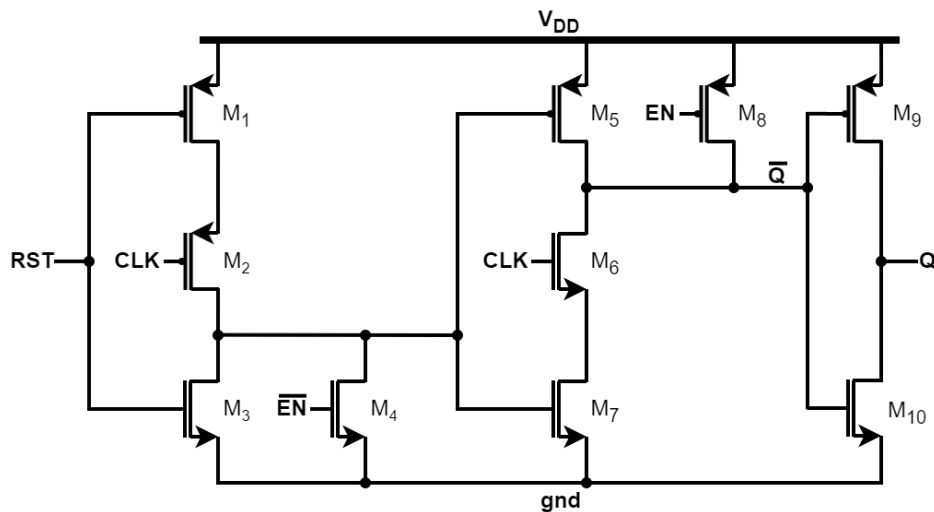
Quadro 1 – Dimensões dos dispositivos utilizados no *latch* do PFD

Transistor	Comprimento (μm)	Largura (μm)
M_1, M_2	0.045	0.30
M_3, M_4, M_{10}	0.045	0.12
M_5, M_8, M_9	0.045	0.15
M_6, M_7	0.045	0.24

Fonte: Autor

Devido à adaptação nos *latches*, o restante do PFD também precisou ser ajustado,

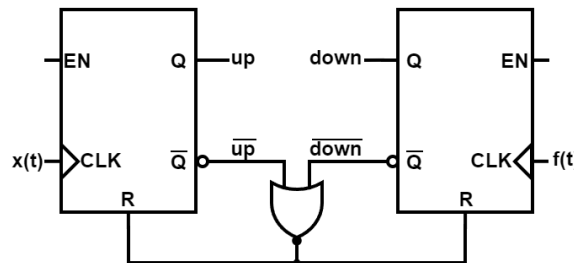
Figura 20 – Latch utilizado no Detector de Fase e Frequência



Fonte: Autor

conforme mostrado na Figura 21. Embora não esteja ilustrado, foram utilizadas *transmission gates* nas saídas complementares dos *latches* para igualar os tempos de propagação das saídas barradas e não barradas.

Figura 21 – Detector de Fase e Frequência projetado



Fonte: Autor

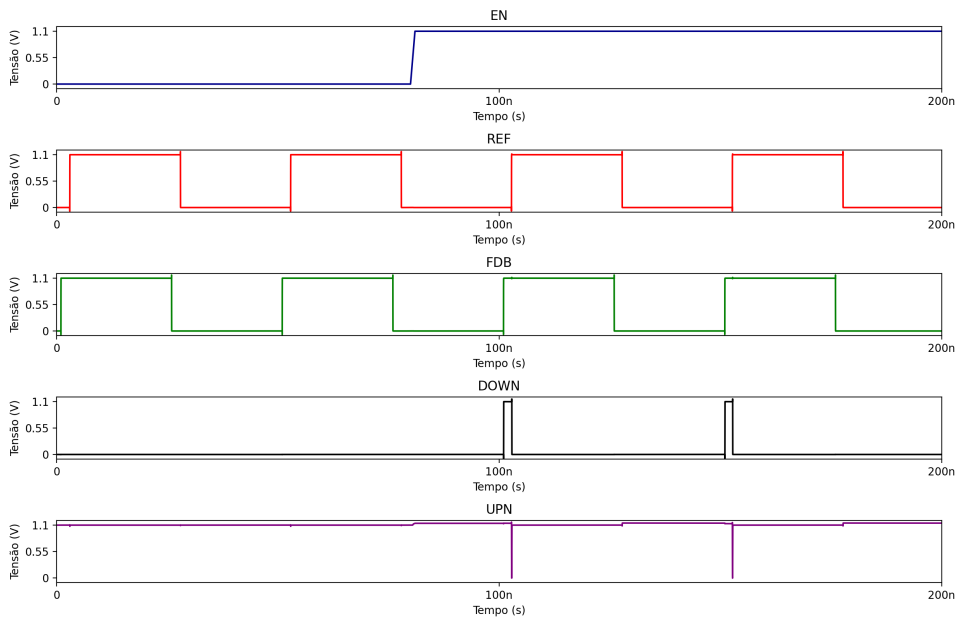
A Figura 22 apresenta um *testbench* do circuito, com uma diferença de fase entre os sinais aplicados de aproximadamente 15° . Foram *plotados* os sinais *down* e *up* invertido, pois esses serão utilizados na seção 3.3.2.

Adicionalmente, o teste foi realizado em diferentes *corners* e o t_{reset} (correspondente ao breve pulso observado no sinal *up* invertido) foi medido entre $35.21ps$ e $86.04ps$. A potência média consumida pelo bloco variou entre $789nW$ e $1.217\mu W$.

3.3.2 Charge Pump

A topologia escolhida para o *Charge Pump* foi a *Source Switched*, visto que esta possui uma impedância de saída superior as outras topologias. além de não demonstrar

Figura 22 – Forma de onda do Detector de Fase e Frequência projetado



Fonte: Autor

problemas de *clockfeedthrough* como a *Drain Switched* e não possuir os problemas de sincronização entre *up* e *down* presentes na *Gate Switched*.

Apesar da topologia possuir vantagens em relação as outras, neste projeto foi utilizado o método de redução de descasamento entre as correntes de *up* e *down* proposto em (SHUJIANG et al., 2020). O circuito proposto pode ser visualizado na Figura 23b, juntamente com o circuito sem compensação. São utilizados dois amplificadores operacionais em malha fechada para reduzir a variação entre as correntes.

O amplificador A_1 ajusta a tensão de porta de M_4 e M_8 , de forma que, quando a tensão V_{ctrl} sobe, a tensão de porta dos dispositivos reduz, o que eleva as correntes I_1 e I_2 , formando um *feedback* positivo com M_8 . Por outro lado, o aumento na corrente I_1 eleva a tensão no dreno de V_{D4} e V_{D5} , formando um *feedback* negativo com M_4 . Assumindo que os ramos de I_1 e I_2 são simétricos, a estabilidade do circuito é garantida pois o ganho do *feedback* negativo é maior que do positivo, conforme:

$$\beta^- = A_1 g_{m4} [(1 + g_{m4} r_{ds4}) r_{ds3} + r_{ds4}] / [(1 + (1 + A_2) g_{m5} r_{ds5}) r_{ds6} + r_{ds5}]$$

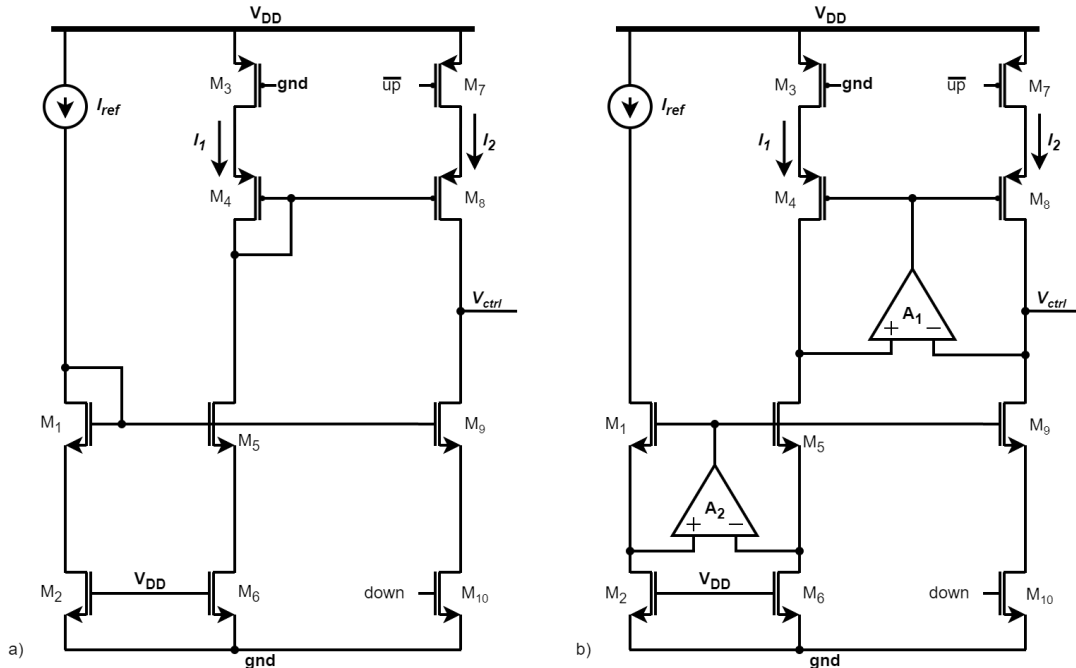
$$\beta^+ = A_1 g_{m8} [(1 + g_{m8} r_{ds8}) r_{ds7} + r_{ds8}] / [(1 + (1 + A_2) g_{m9} r_{ds9}) r_{ds10} + r_{ds9}] // F(s)$$

Portanto, desde que o ganho de A_1 seja suficientemente grande, as correntes I_1 e I_2 são iguais, independente da tensão V_{ctrl} .

Apesar do amplificador A_1 igualar as correntes de *up* e *down*, estas ainda estão sujeitas as variações de processo, temperatura e tensão de alimentação. Para isso, é utilizado o amplificador A_2 que, de forma semelhante a A_1 , ajusta a tensão de porta dos

dispositivos M_1 e M_5 , igualando a corrente I_1 à corrente de referência. Apesar de não estar ilustrado na Figura, para a estabilidade de A_2 é necessário enfraquecer o ganho da malha positiva, formada por M_1 e M_2 . Para isto, é adicionado um capacitor $C_1 = 500\text{fF}$ no dreno de M_2 , que foi realizado com MOSCAP para redução de área.

Figura 23 – a) Charge Pump sem compensação, b) Charge Pump projetado



Fonte: Adaptado de (SHUJIANG et al., 2020)

A corrente de referência é escolhida é de $10\mu\text{A}$, e neste projeto não foi considerada nenhuma variação. Os transistores M_2 , M_3 e M_6 foram inseridos com o intuito de replicar o V_{DS} das chaves M_7 e M_{10} . As dimensões dos dispositivos é mostrada no Quadro 2.

Quadro 2 – Dimensões dos dispositivos utilizados no Charge Pump

Transistor	Comprimento (μm)	Largura (μm)	Multiplicador
M_1, M_5	0.8	1.0	1
M_9	0.8	1.0	5
M_2, M_6	0.3	0.20	1
M_{10}	0.3	0.20	5
M_3	0.3	0.24	1
M_7	0.3	0.24	5
M_4	0.8	1.2	1
M_8	0.8	1.2	5

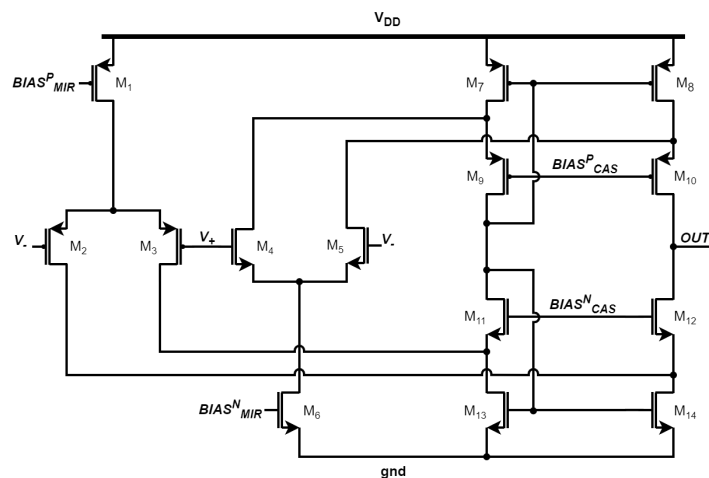
Fonte: Autor

Um importante parâmetro no projeto do amplificador A_1 é a tensão de modo comum, visto que, a entrada negativa do amplificador está sujeita às variações na tensão de controle. Para ampliar a tensão de controle do oscilador, foi definido uma margem de

projeto de $250mV - 850mV$. Portanto, a topologia do amplificador A_1 deve ser *rail-to-rail* para operar com tensões de entrada próximas de V_{DD} e gnd . O ganho do amplificador deve ser o máximo possível, para reduzir a diferença entre as correntes I_1 e I_2 . A margem de fase deve permanecer superior a 60° , para garantir estabilidade e robustez ao projeto. A largura de banda no amplificador não é um fator limitante, pois a malha negativa formada por A_1 e M_4 permanece intacta mesmo com variações abruptas na tensão de controle.

A topologia escolhida para o projeto de A_1 é ilustrada na Figura 24. Uma desvantagem deste circuito é que ele possui uma zona morta próxima de $V_{DD}/2$ (DUQUE-CARRILLO, 2000), reduzindo o ganho efetivo do amplificador. Entretanto, a compensação do Charge Pump é mais crítica quando a tensão de controle se aproxima de V_{DD} ou gnd , portanto esta redução de ganho não possui impactos significativos na compensação, conforme será visto nas próximas seções. Outro ponto relevante, é que não foi empregado um segundo estágio para o amplificador, visando a redução de potência e a área que possivelmente seria utilizada com capacitores de compensação. O Quadro 3 apresenta o dimensionamento do amplificador.

Figura 24 – Amplificador *rail-to-rail* utilizado no Charge Pump



Fonte: Autor

As tensões de polarização foram geradas através do circuito da Figura 25. Foram utilizados resistores com o intuito de tornar a polarização simples e robusta, dado que estas tensões também foram utilizadas para polarizar os dispositivos do amplificador A_2 . A corrente de referência é de $2.5\mu A$ e os resistores R_1 e R_2 são de $133k\Omega$ e $143k\Omega$, respectivamente.

A tensão de modo comum do amplificador A_2 é próxima de gnd , logo este não necessita de uma entrada *rail-to-rail*, mas sim de um par de entrada formado por *pmos*. Portanto, o amplificador A_1 foi adaptado, conforme ilustra a Figura 26. De forma semelhante a A_1 , não foi utilizado um segundo estágio para a redução de área e potência. O Quadro 5 apresenta o dimensionamento do circuito.

Quadro 3 – Dimensões dos dispositivos utilizados no amplificador *rail-to-rail*

Transistor	Comprimento (μm)	Largura (μm)	Multiplicador
M_1	2.0	2.0	2
M_2, M_3	0.5	1.6	1
M_4, M_5	0.5	1.6	1
M_6	2.0	2.0	2
M_7, M_8	2.0	3.2	1
M_9, M_{10}	0.5	2.4	2
M_{11}, M_{12}	0.5	2.4	2
M_{13}, M_{14}	0.8	2.4	1

Fonte: Autor

Quadro 4 – Dimensões dos dispositivos utilizados no circuito de polarização

Transistor	Comprimento (μm)	Largura (μm)	Multiplicador
M_1, M_2, M_7	2.0	2.0	1
M_3	0.5	2.4	1
M_4, M_5	2.0	2.0	1
M_6	0.5	2.4	1

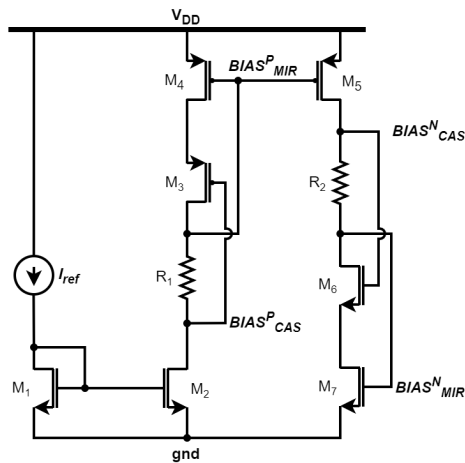
Fonte: Autor

Quadro 5 – Dimensões dos dispositivos no amplificador A_2

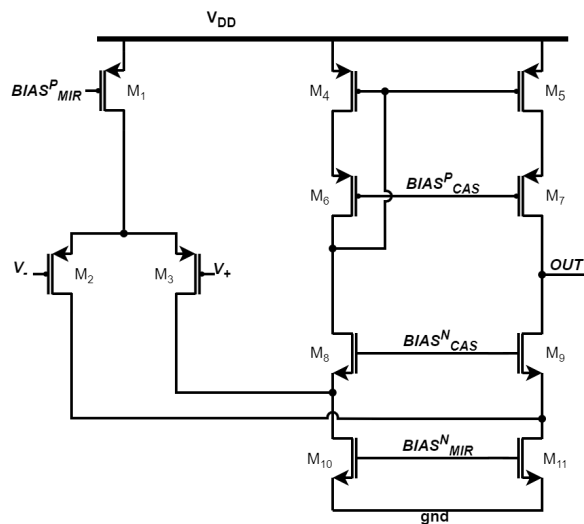
Transistor	Comprimento (μm)	Largura (μm)	Multiplicador
M_1	2.0	2.0	1
M_2, M_3	0.5	0.8	1
M_4, M_5	2.0	1.6	1
M_6, M_7, M_8, M_9	0.5	2.4	1
M_{10}, M_{11}	2.0	2.0	1

Fonte: Autor

Figura 25 – Circuito de geração de polarização para os amplificadores

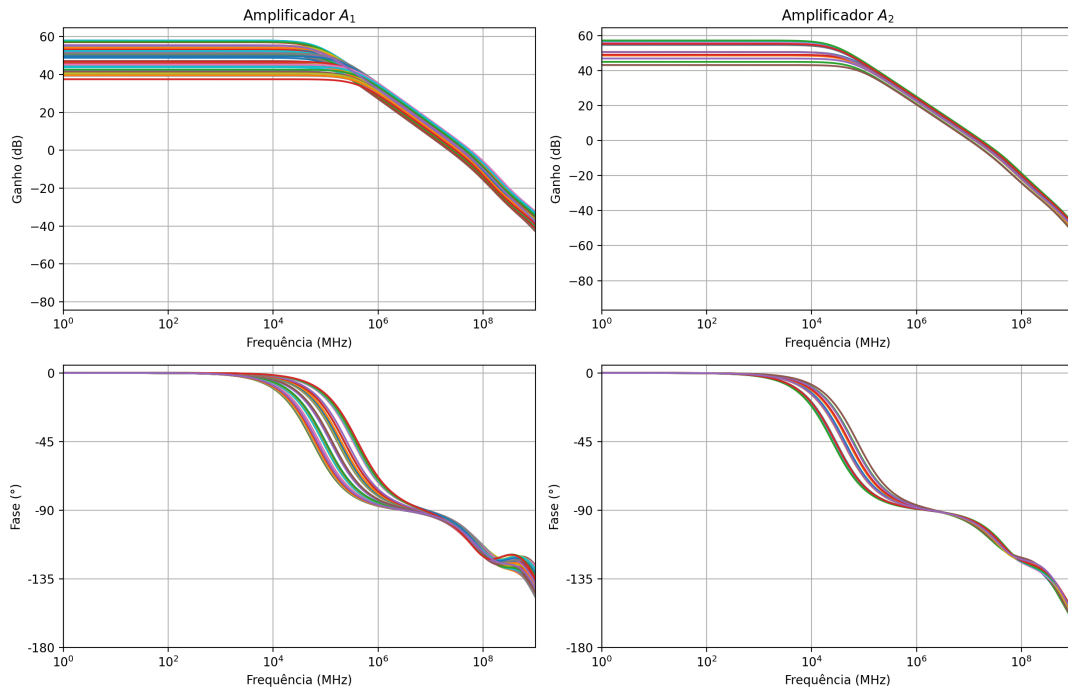


Fonte: Autor

Figura 26 – Amplificador A_2 utilizado no Charge Pump

Fonte: Autor

A Figura 27 representa o ganho e a fase dos amplificadores, simulados nas condições especificadas na tabela 1. A simulação do amplificador A_1 levou em conta diferentes tensões de modo comum, sendo elas $250m$, $550m$ e $850m$, enquanto na simulação de A_2 a tensão de modo comum foi de $100mV$. A tabela 2 sumariza os resultados obtidos de ambos circuitos.

Figura 27 – Resultados de simulação dos amplificadores em *corners* variando a tensão de modo comum

Fonte: Autor

Tabela 2 – Resultados obtidos dos amplificadores em *corners*

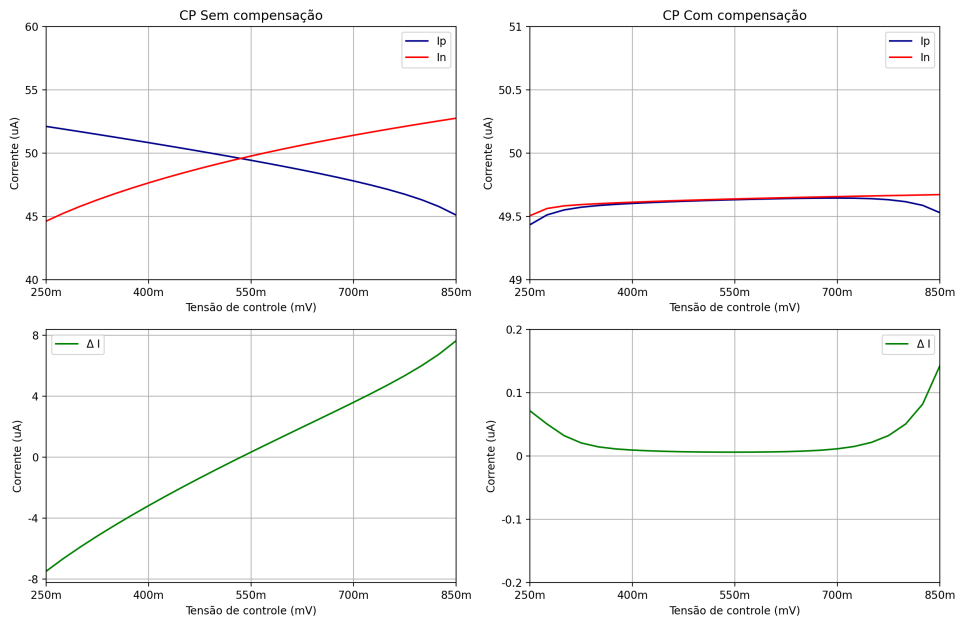
Descrição	A_1			A_2		
	Mínimo	Típico	Máximo	Mínimo	Típico	Máximo
Margem de fase ($^{\circ}$)	72.2	76.07	82.85	79.88	81.15	83.17
Ganho DC (dB)	37.48	55.79	57.94	38.93	44.59	57.24
UGBW (MHz)	19.89	47.2	58.11	9.34	12.83	17.7
BW ($-3dB$) (kHz)	50.61	80.48	371.5	24.88	77.34	107.1
Consumo (μW)	8.79	25.39	49.32	3.85	5.01	6.56

Fonte: Autor

A Figura 28 ilustra o descasamento entre as correntes de *up* e *down* para uma variação da tensão de controle no caso típico. A diferença entre as correntes é representada pelos gráficos em verde, atingindo o valor máximo quando a tensão V_{ctrl} atinge o limite superior. Nesse cenário, a diferença máxima entre as correntes é de aproximadamente $7.6\mu A$ para o circuito não compensado, e $140nA$ para o circuito compensado.

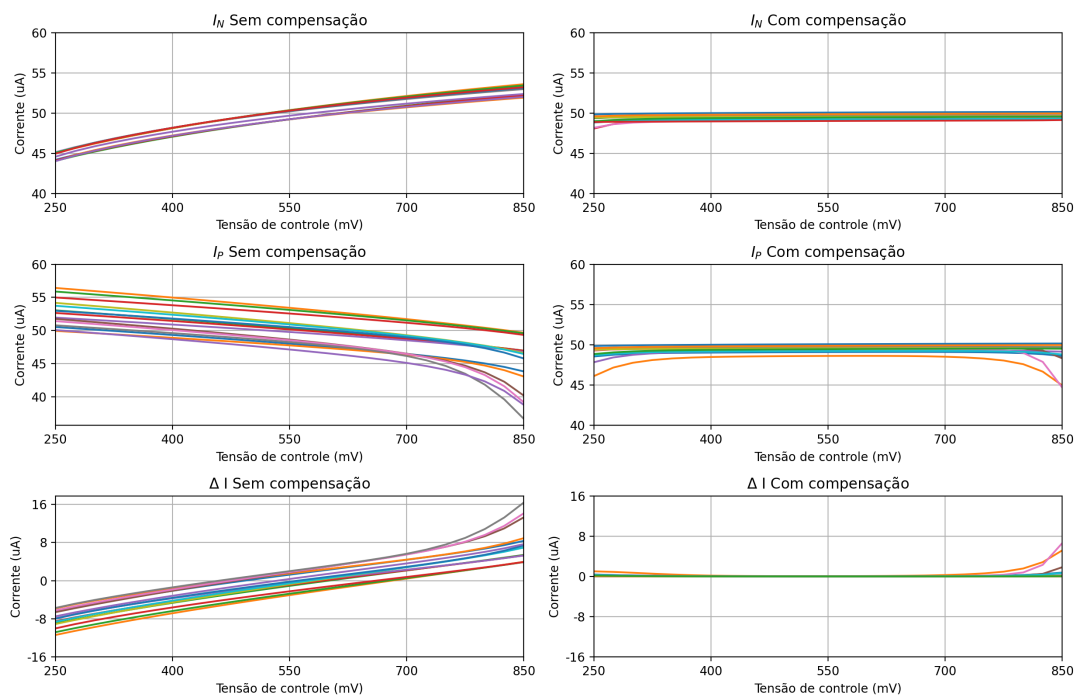
O erro máximo das correntes, definido pela diferença entre a corrente real e a corrente de projeto ($50\mu A$) é de aproximadamente 10 vezes menor no caso compensado.

Figura 28 – Descasamento entre correntes do Charge Pump



Fonte: Autor

Na Figura 29 é ilustrado o resultado de uma simulação considerando as variações especificadas para o projeto. Mesmo neste cenário o circuito compensado apresentou melhor desempenho.

Figura 29 – Descasamento entre correntes do Charge Pump em *corners*

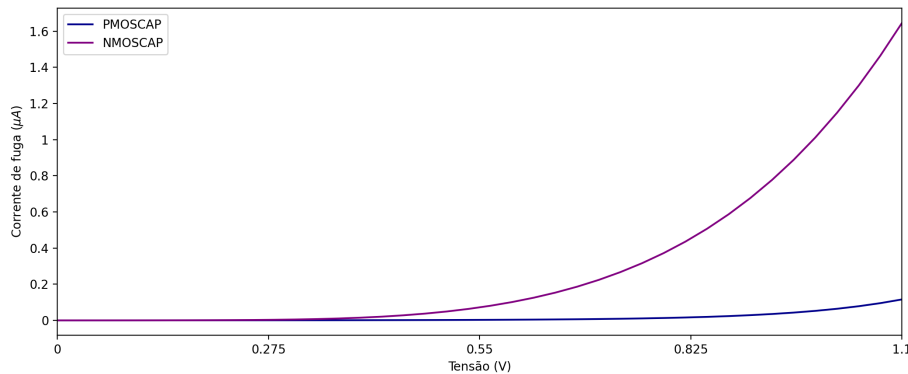
Fonte: Autor

3.3.3 Filtro de Laço

O filtro projetado possui a estrutura apresentado anteriormente em 2.2.3. Com a restrição de *jitter*, torna-se atraente a utilização de capacitores com pouca corrente de fuga, como os MIMCAPS (Metal-Insulator-Metal), entretanto estes possuem uma baixa capacitância por área (cerca de $0.001025F/m^2$), o que corresponde à uma área para C_1 e C_2 de $0.0164mm^2$, ou 164% da área especificada para o projeto. Para uma redução na área, MOSCAPS foram utilizados, sob a penalidade de um aumento no *jitter*. A área do MOSCAP é de aproximadamente 11.4% da área do projeto para uma densidade de $0.01508F/m^2$.

A Figura 30 ilustra a corrente de fuga dos capacitores feitos com MOS da tecnologia. É possível perceber que os PMOSCAPS possuem menor corrente de fuga, dado que os portadores majoritários destes dispositivos exibem uma menor mobilidade comparado com os NMOSCAPS.

Figura 30 – Correntes de fuga do NMOSCAP e PMOSCAP.



Fonte: Autor

A corrente de fuga do NMOSCAP é de cerca de $81nA$ para uma tensão de $550mV$, enquanto a do PMOSCAP é de cerca de $3nA$, o que pode ser traduzido em termos de *jitter* através da equação 2.23:

$$\phi_{pp}^{nmoscap} = \frac{120MHz}{2V} \frac{3nA}{2.8pF} \left(\frac{50ns}{2} \right)^2 T_{VCO} = 4.52ps \quad (3.6)$$

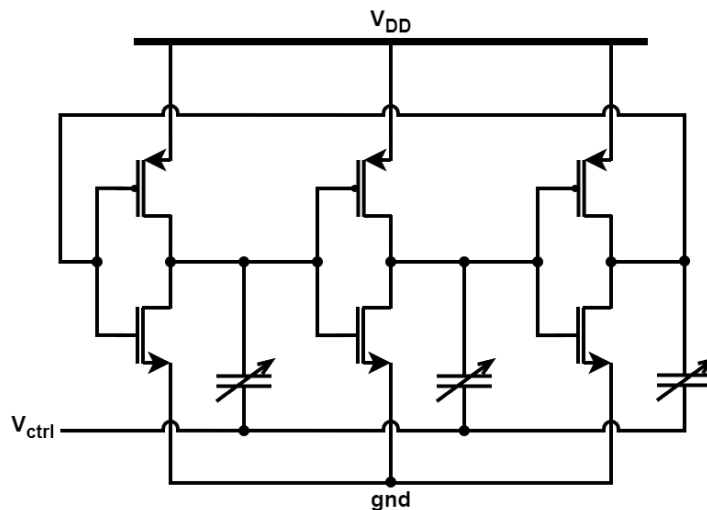
$$\phi_{pp}^{pmoscap} = \frac{120MHz}{2V} \frac{3nA}{2.8pF} \left(\frac{50ns}{2} \right)^2 T_{VCO} = 167.41fs \quad (3.7)$$

3.3.4 Oscilador Controlado por Tensão

Um projeto de oscilador com baixo ruído e potência usualmente implica no uso de tanques LC . No entanto, devido a restrições de área impostas neste projeto, o uso de indutores foi inviabilizado. Portanto, foram consideradas topologias que empregam o uso de inversoras como células de atraso controladas.

Ao longo do desenvolvimento do projeto foi utilizada a topologia com controle de frequência através $MOSCAPS$, conforme ilustra a Figura 31. A capacitância dos $MOSCAPS$ é dependente da tensão de controle, portanto é possível controlar o tempo de propagação das inversoras.

Figura 31 – VCO controlado por *moscaps*



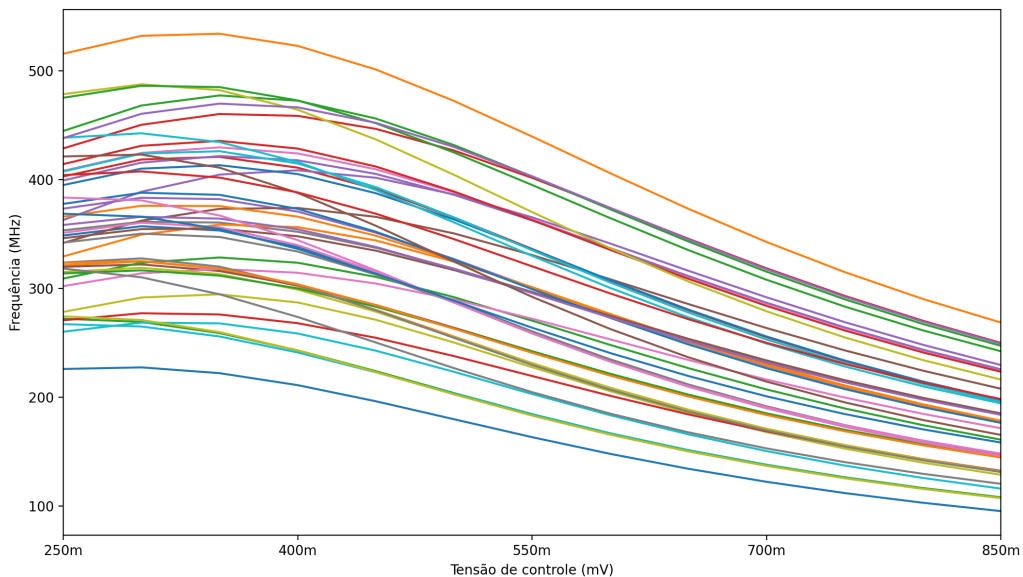
Fonte: Autor

Essa topologia emprega poucos transistores, o que a torna atraente na questão de simplicidade, consumo e ruído. Entretanto, como pode ser visualizado na Figura 32, a frequência de oscilação é muito susceptível às variações de processo, temperatura e principalmente tensão de alimentação. A frequência é quadraticamente proporcional ao V_{DD} (RAZAVI, 2020a), tornando imprescindível o uso de reguladores de tensão (LDOs).

Sabendo da dificuldade de projeto do VCO com as especificações da tabela 1, optou-se pelo oscilador controlado ilustrado na Figura 33, que é um "*Current Starved Oscillator*" de 3 estágios. O uso de uma corrente de referência constante auxilia na estabilidade do circuito ao longo dos *corners*, enquanto o emprego de fontes de corrente reduzem a sensibilidade do circuito com V_{DD} .

Seu princípio de funcionamento é baseado no controle das correntes das inversoras formadas por $M_{15} - M_{20}$, através dos espelhos inferiores ($M_7 - M_9$) e superiores ($M_{12} - M_{14}$), que replicam a corrente de M_5 .

A corrente de M_5 é formada pela soma das correntes de dreno de M_3 e M_4 . A corrente de M_3 é uma réplica da referência, enquanto a corrente de M_4 é definida pela

Figura 32 – Curvas frequência x V_{ctrl} do oscilador controlado por *moscaps*

Fonte: Autor

tensão de controle e pelo resistor R_1 . O dispositivo M_4 foi projetado para operar em triodo, visto que nessa região a sua corrente é aproximadamente proporcional à tensão de porta, tornando o controle da corrente linear. Os dispositivos M_2 e M_{10} são utilizados para desabilitar o circuito. As dimensões dos transistores podem ser visualizadas no Quadro 6.

Quadro 6 – Dimensões dos dispositivos utilizados no VCO

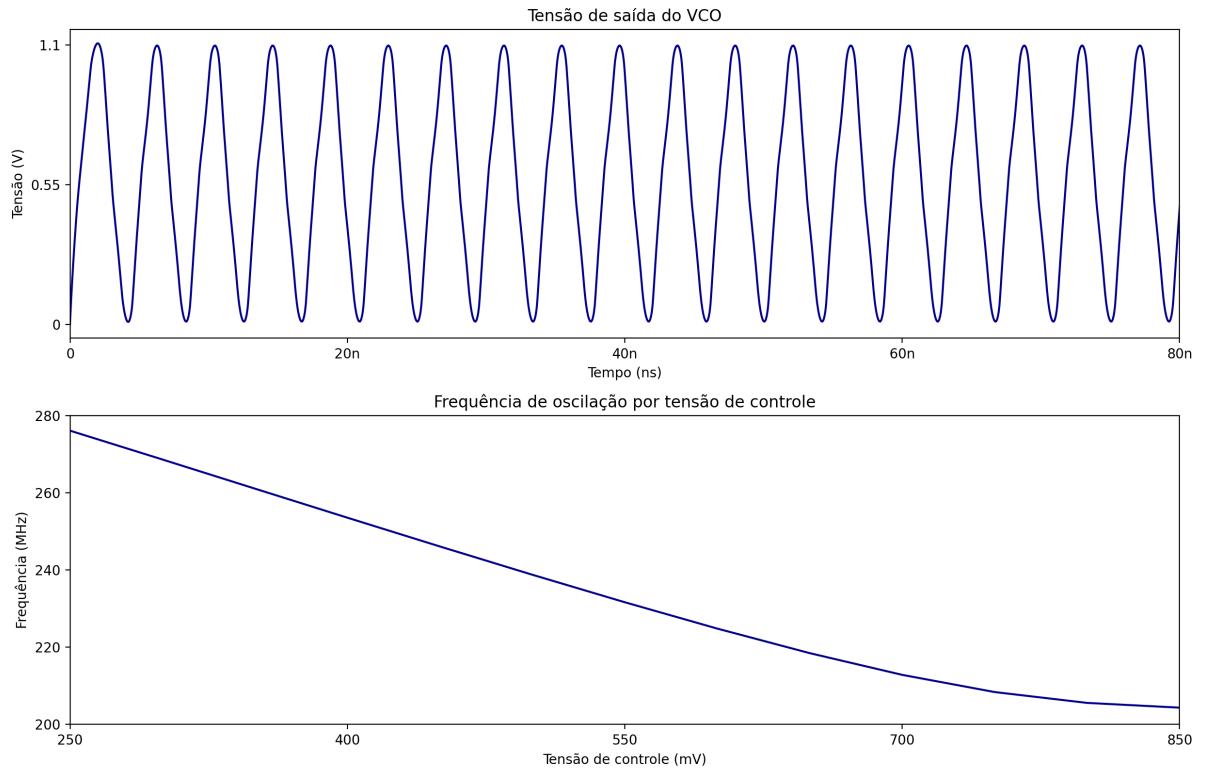
Transistor	Comprimento (μm)	Largura (μm)
M_1, M_3	0.30	2.0
M_2, M_{10}	0.10	2.0
M_4	8.0	8.0
M_5, M_6, M_7, M_8, M_9	0.30	1.6
$M_{11}, M_{12}, M_{13}, M_{14}$	0.30	2.0
M_{15}, M_{16}, M_{17}	0.30	2.4
M_{18}, M_{19}, M_{20}	0.30	2.0

Fonte: Autor

É importante destacar que um fator de multiplicação ($I_3 = M \cdot I_1$) na réplica da corrente de referência traria benefícios com relação ao consumo de potência. Entretanto, como visto em (RAZAVI, 2020a), o ruído na corrente de M_3 seria multiplicada pelo fator M , sendo propagado para o restante dos espelhos de corrente. A corrente de referência é de $10\mu A$, portanto estima-se que o oscilador consumirá em torno de $60\mu W$.

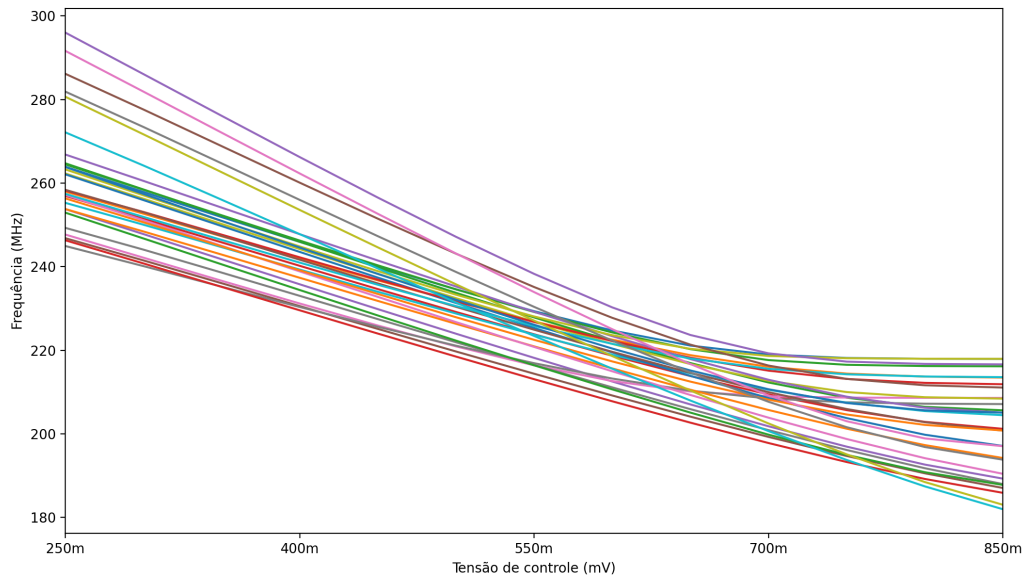
A Figura 34 apresenta a tensão de saída e o controle de frequência do oscilador nas condições típicas. Nota-se que um aumento na tensão de controle reduz a frequência

Figura 34 – Tensão de saída do oscilador e controle de frequência.



Fonte: Autor

Figura 35 – Curvas de frequência em diferentes *corners*.

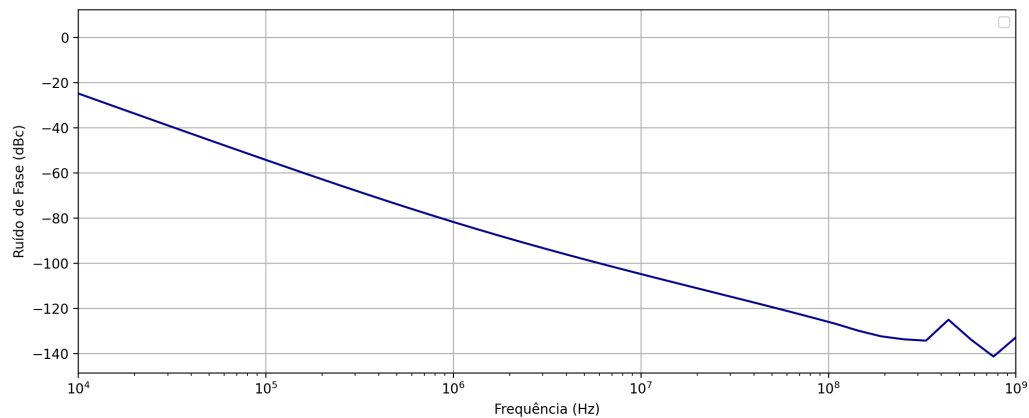


Fonte: Autor

O ganho K_{VCO} foi medido através da derivada da curva no ponto de interseção de $240MHz$, sendo cerca de $-120MHz/V$ no caso típico, com mínimos e máximos de $-96MHz/V$ e $-184MHz/V$ em *corners*. A potência típica é de $52\mu W$, enquanto em *corners* variou entre $38\mu W$ e $69\mu W$.

A Figura 36 ilustra o ruído de fase do oscilador, onde com um *offset* de $1MHz$ o ruído é de aproximadamente $-82dBc$. Este, é dominado principalmente pelo ruído *flicker* do dispositivo M_5 , que espelha sua corrente para os demais dispositivos.

Figura 36 – Ruído de fase do VCO projetado

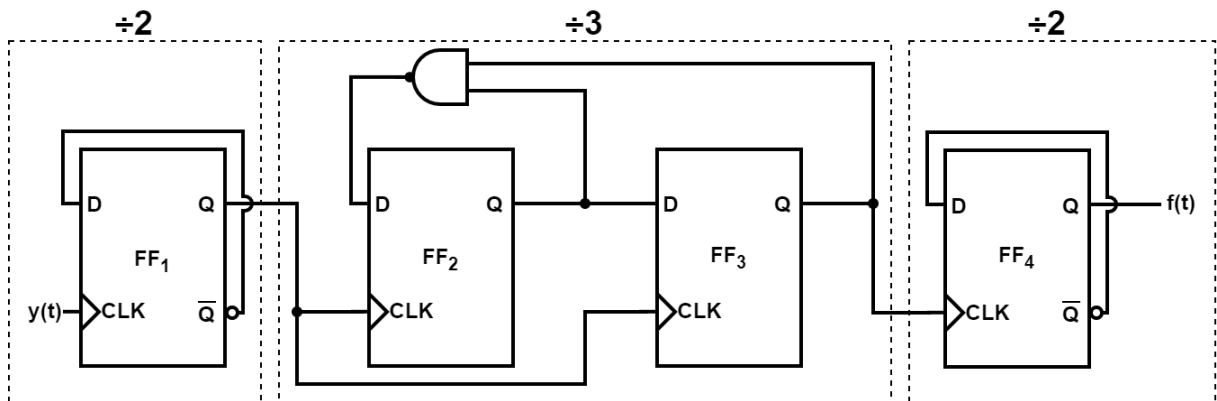


Fonte: Autor

3.3.5 Divisor de Frequência

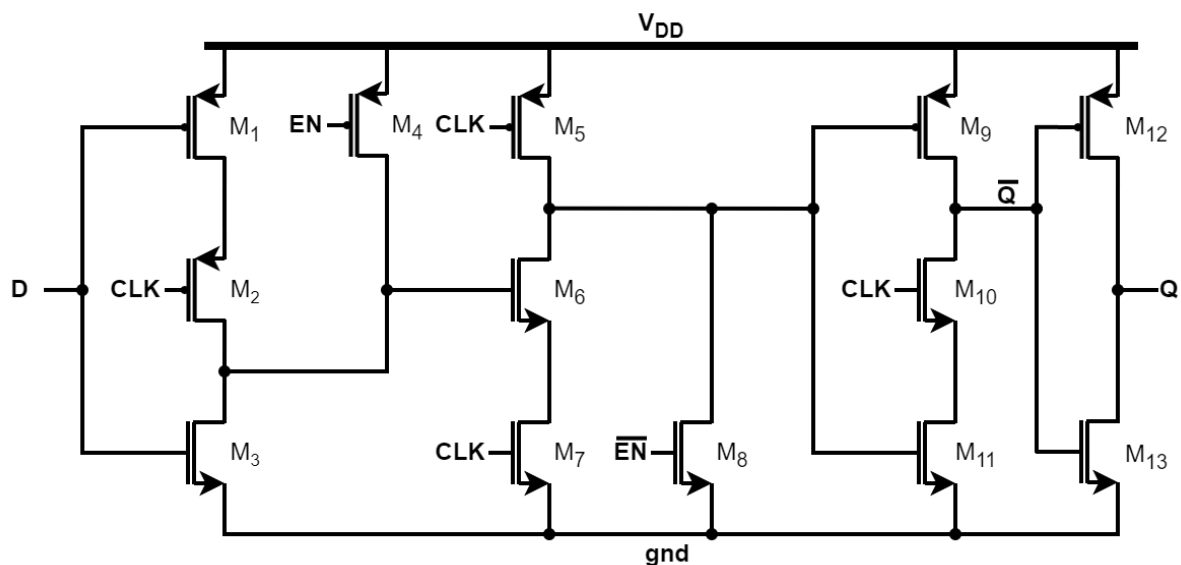
A razão de divisão das frequências do PLL é de $M = 12$, o que resulta em uma decomposição de $(2 \cdot 2 \cdot 3)$. Para isso, foi implementado o divisor da Figura 37. Este é composto por 2 *flip-flops* tipo D para dividir a frequência por 4 (FF_1 e FF_4), através da estrutura apresentada anteriormente na Figura 15, além de outros 2 *flip-flops* e uma porta NAND para realizar a divisão por 3.

Figura 37 – Divisor de frequência projetado.



Fonte: Autor

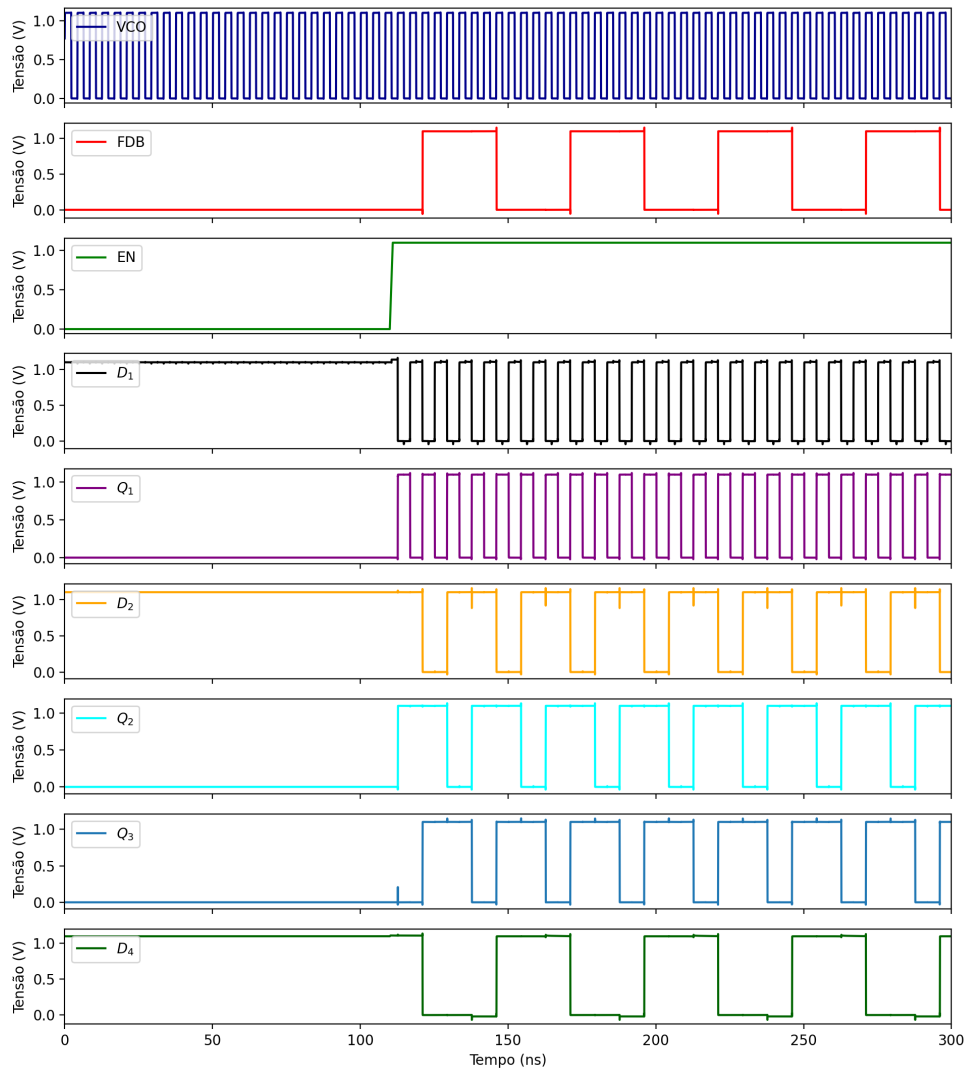
O divisor foi projetado através de *latches* semelhantes aos utilizados no PFD, e pode ser visto na Figura 38. Novamente foram utilizadas chaves para *setar* as condições iniciais do circuito e desabilita-lo caso necessário.

Figura 38 – *Latches* utilizados no divisor de frequência.

Fonte: Autor

A Figura 39 ilustra a operação do divisor de frequências, bem como os sinais intermediários. O divisor consome uma potência média de $2.9\mu W$, sendo a maior parte consumida pelo *flip-flop* FF_1 , pois este opera em $240MHz$. Nas simulações de *corners* as potências máximas e mínimas foram $7.3\mu W$ e $2.1\mu W$.

Figura 39 – Operação do divisor de frequência.

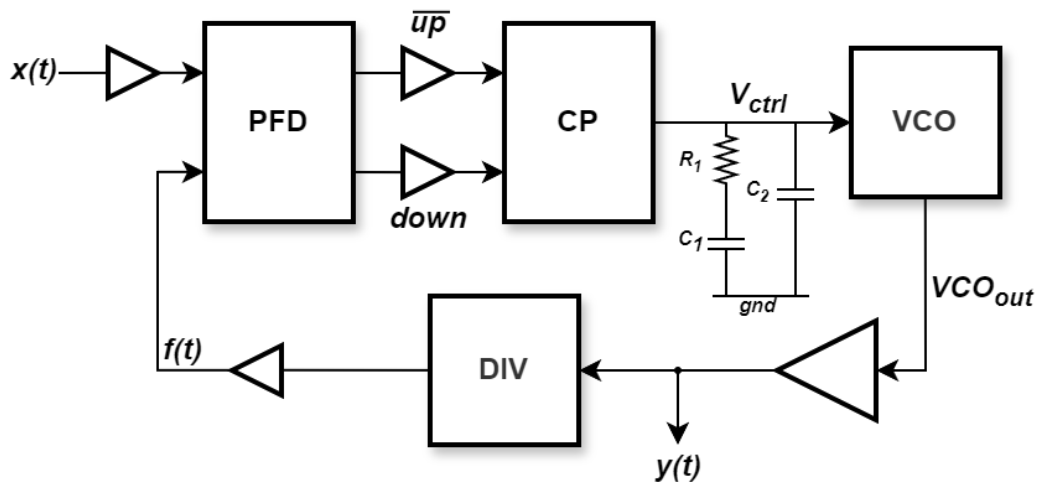


Fonte: Autor

4 ANÁLISE DE RESULTADOS

Após desenvolver e validar individualmente todos os blocos funcionais, realizou-se um teste com o sistema completo. Para garantir o correto funcionamento do circuito, as saídas do PFD, DIV e do VCO foram bufferizadas. A Figura 40 apresenta o esquemático final do circuito.

Figura 40 – PLL projetado



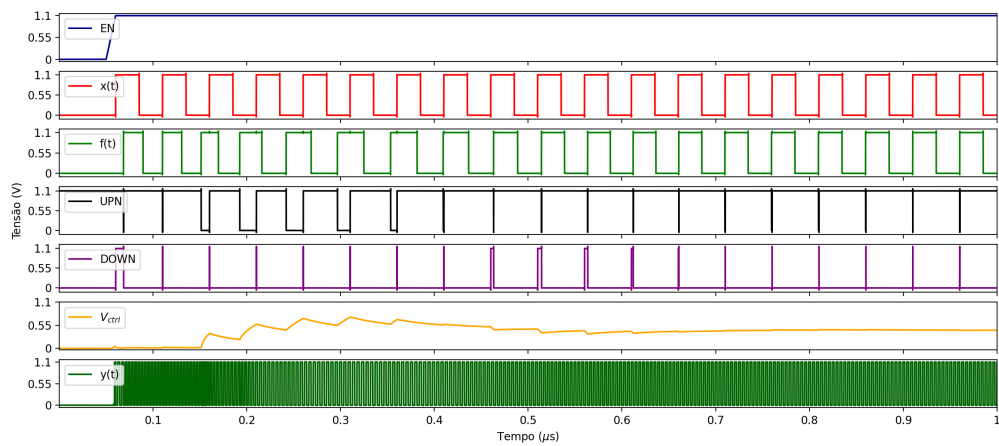
Fonte: Autor

A verificação do projeto foi realizada através de simulações transientes no caso típico, embora seja recomendado em (CADENCE, 2022) que PLLs sejam caracterizados no domínio da frequência, utilizando modelos em *Verilog-A* que incluem as funções de transferência dos blocos individuais, bem como o ruído de fase.

As simulações transientes são pouco eficientes para a caracterização de PLLs devido à necessidade de um *time step* muito pequeno. Este, é o intervalo de tempo para o qual uma nova tensão/corrente é calculada, e deve ser uma fração do período do oscilador para capturar com precisão o comportamento em alta frequência. Além disso, a maior parte do circuito (PFD, CP e filtro) possui constantes de tempo muito maiores, necessitando de vários períodos da referência para atingir o regime permanente. Isso resulta em longos tempos de simulação e um elevado custo computacional.

A Figura 41 apresenta o resultado da simulação transiente. Visualmente percebe-se que o PLL entrou em regime permanente com cerca de 16 períodos da referência, o que corresponde à $800ns$. Também é possível concluir que houve um *overshoot* na tensão de controle, mas pouca oscilação, indicando que o ξ real é $0.8 \sim 1$.

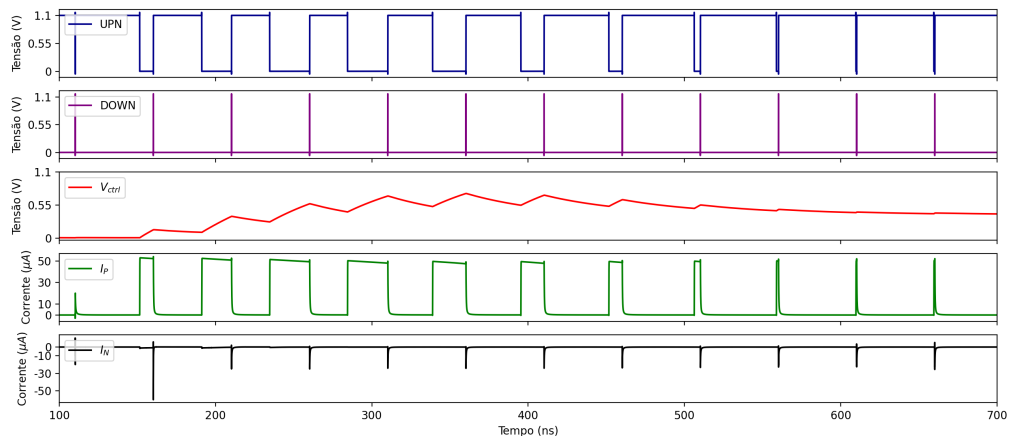
Figura 41 – Simulação transiente do PLL



Fonte: Autor

Em seguida, é ilustrado na Figura 42 as correntes do Charge Pump. A corrente injetada no filtro é uma série de pulsos, onde a altura destes variou pouco com relação à tensão de controle. Essa pequena variação pode ser associada com a largura de banda reduzida do amplificador A_1 , que apesar de realizar as correções entre um pulso e outro, não possui velocidade suficiente para compensar as chaves enquanto elas estão ligadas.

Figura 42 – Correntes do Charge Pump em operação

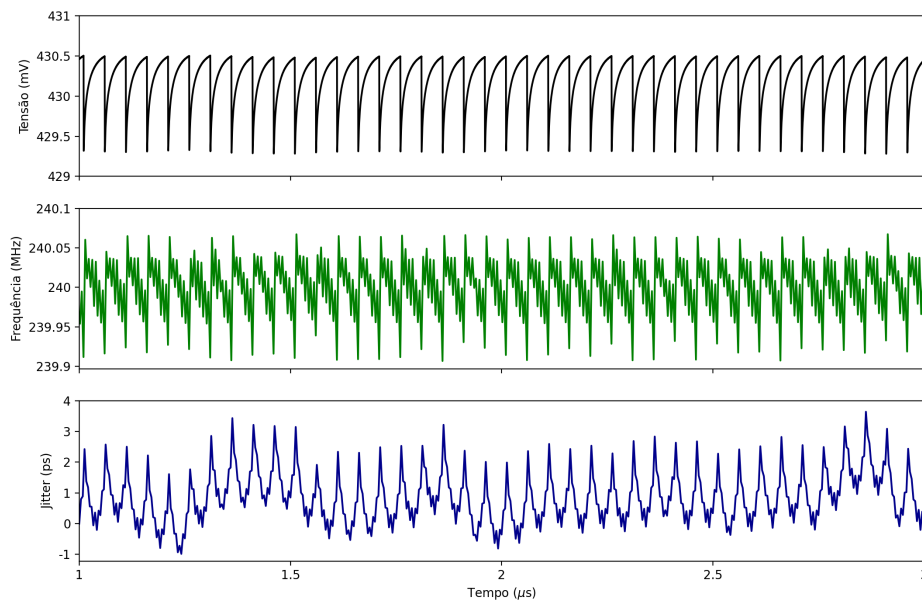


Fonte: Autor

Na Figura 43 é realizado um *zoom* na tensão de controle, ficando nítido um *ripple* de cerca de $1mV_{pp}$. Este, é possivelmente causado por uma diferença de tempo de propagação dos sinais *up* e *down*, causando com que o NMOS seja ligado ligeiramente antes

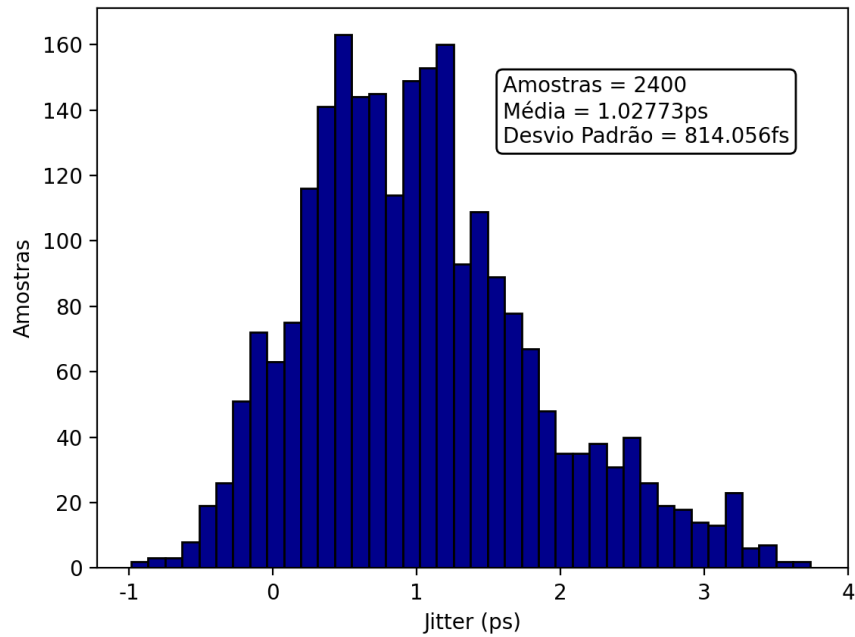
que o PMOS, provocando uma redução na tensão do filtro. A curva em verde representa a frequência instantânea do oscilador, onde é possível identificar uma relação entre os picos na curva de frequência e tensão de controle. A curva em azul representa o *jitter* absoluto, medido a cada ciclo do oscilador. É visível um comportamento periódico semelhante aos outros sinais, com frequência igual da referência.

Figura 43 – *Ripple* na tensão de controle do PLL projetado, frequência instantânea e *jitter* absoluto



Fonte: Autor

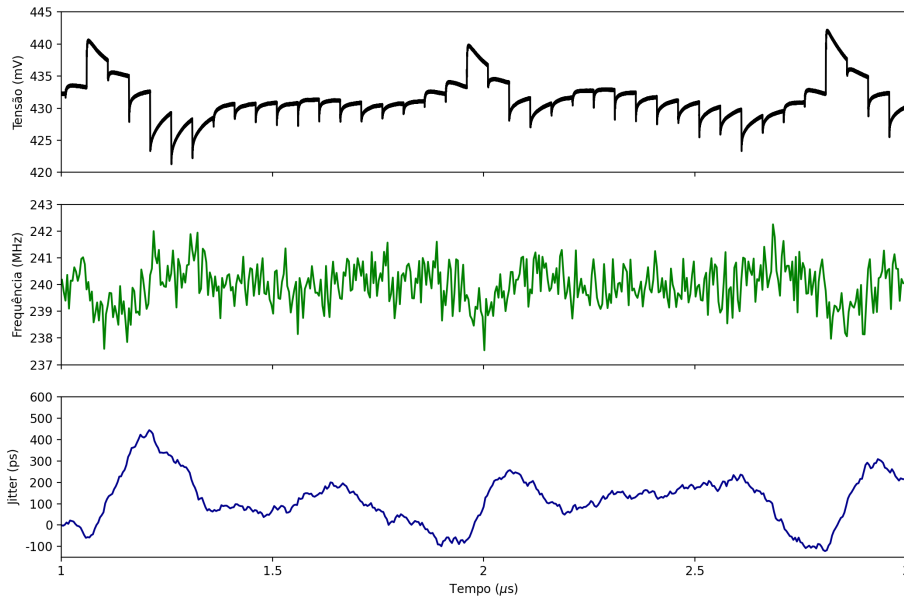
A Figura 44 ilustra o histograma do *jitter* absoluto, observado em 2400 amostras, o que corresponde a cerca de $10\mu s$ de operação do PLL. Neste gráfico, é possível extrair o *jitter* RMS através do desvio padrão, que corresponde a $814fs$. É importante destacar que este valor tende à aumentar se o *jitter* absoluto for medido através de mais amostras. Isto ocorre pois ao analisar o *jitter* por $10\mu s$, não estamos considerando todas as flutuações que o sistema possui.

Figura 44 – Histograma do *jitter* medido no PLL

Fonte: Autor

Em seguida o PLL é analisado em uma simulação transiente com ruído. Neste cenário, além do *jitter* determinístico, tem-se o efeito do ruído dos dispositivos. Na Figura 45 é possível observar que o *ripple* na tensão de controle foi bastante acentuado, o que causou uma grande dispersão na frequência instantânea medida.

Figura 45 – *Ripple* na tensão de controle do PLL projetado, frequência instantânea e *jitter* absoluto na simulação transiente com ruído



Fonte: Autor

Na Figura 46 é ilustrado o histograma do *jitter* absoluto, e concluiu-se que o desvio padrão, ou *jitter* RMS é de cerca de $82ps$, ou 1.9% do período do oscilador.

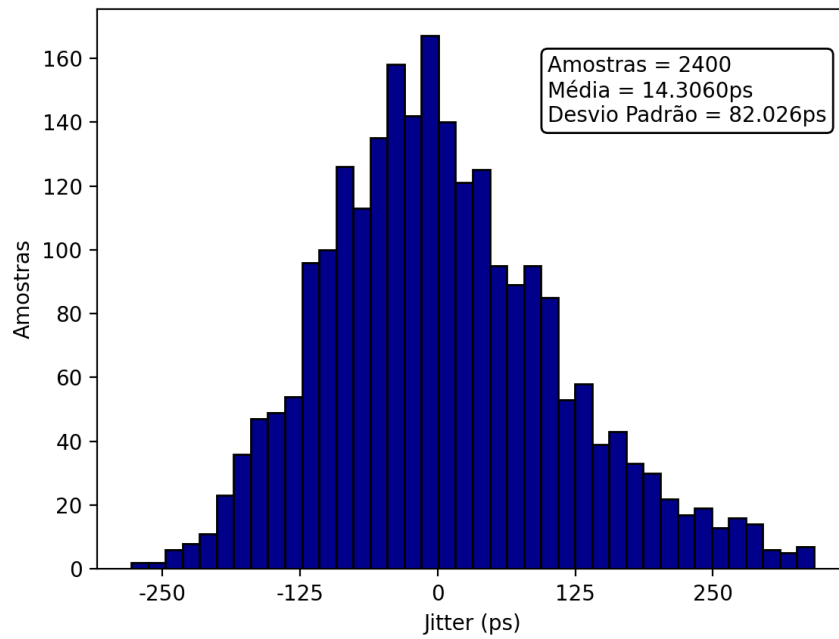
A área estimada através de um fator de utilização de 70% é de aproximadamente $0.0026mm^2$, o que corresponde à 26% da especificação. Por fim, o Quadro 3 sumariza as potências típicas do PLL.

Tabela 3 – Potência consumida do PLL

Bloco	Potência μW
PFD	0.99
CP e FILTRO	59
VCO	52
Divisor	2.9
TOTAL	114.89

Fonte: Autor

Figura 46 – Histograma do *jitter* medido no PLL na simulação transiente com ruído



Fonte: Autor

5 CONCLUSÃO

Este trabalho abordou duas topologias tipicamente empregadas em PLLs analógicos, dando um maior foco para o PLL de tipo 2 e ordem 3, que foi utilizado na etapa de projeto. Nesta, foram estabelecidas especificações reais, considerando muitas das imperfeições encontradas no projeto de circuitos integrados.

O projeto apresentado empregou o uso de um método de redução de descasamento de correntes do Charge Pump, que mostrou-se eficiente nas simulações realizadas, tornando o ΔI cerca de 10 vezes inferior para os piores *corners*. Entretanto, como ilustrado na Tabela 3, o emprego de dois amplificadores operacionais elevou drasticamente o consumo do circuito, consumindo aproximadamente o dobro. Portanto para trabalhos futuros, é necessário reanalisar os benefícios desta implementação.

Além do consumo ter sido superior à especificação, o *jitter* do PLL mostrou-se bastante elevado, especialmente nas simulações transientes com ruído. Isto se deve ao fato do oscilador ser bastante ruidoso, principalmente o *flicker*. Uma possível otimização neste quesito é o redimensionamento das chaves do VCO, empregando áreas maiores. Outra abordagem seria a substituição da topologia utilizada.

O *jitter* determinístico do circuito é superior a especificação de *jitter* geral. Entretanto, através das simulações transientes, acredita-se que a abordagem utilizada para redução do descasamento de correntes não prejudicou o sistema. O maior causador do *jitter* determinístico é possivelmente a dessincronização dos pulsos de *up* e *down*, que gera um breve instante onde a chave NMOS está ligada e a PMOS não está. Este problema tende à se agravar com simulações de *corners* do PLL completo, dado que o V_{TH} das chaves irá sofrer variações, afetando os tempos de propagação de *up* e *down*.

Por fim, como trabalhos futuros, é essencial a verificação de PLLs no domínio da frequência, como sugerido em (CADENCE, 2022). Através deste modelamento, é possível prever o *jitter* do circuito com simulações extremamente mais rápidas, tornando o projeto de PLLs mais eficiente.

$$K_{VCO} = -120MHz/V$$

REFERÊNCIAS

- BEST, R. **Phase Locked Loops 6/e: Design, Simulation, and Applications**. 6. ed. [S.l.]: McGraw Hill, 2007. v. 1, 2 p.
- CADENCE. **PLL Verification: Rapid adoption kit**. Santa Maria, 2022. 88 p. Acesso em 27 ago. 2017.
- DEBDUT, T. K. B. B. Surface mobility fluctuations in metal-oxide-semiconductor field-effect transistors. **Analog Integrated Circuits and Signal Processing**, v. 95, p. 209221, 2018.
- DUQUE-CARRILLO. 1-v rail-to-rail operational amplifiers in standard cmos technology. **IEEE Journal of Solid-State Circuits**, v. 35, n. 1, p. 33–44, 2000.
- GARDNER, F. M. **Phaselock Techniques**. 3. ed. [S.l.]: Wiley, 2005. v. 1, 28 p.
- KIM, J. A 224 gb/s dac-based pam-4 transmitter with 8-tap ffe in 10 nm cmos,. **IEEE Journal of Solid-State Circuits**, v. 57, n. 1, p. 620, 2021.
- RABAEY, J. M. **Digital Integrated Circuits: A Design Perspective**. 1. ed. [S.l.]: Prentice Hall, 1995. v. 1, 502 p.
- RAZAVI, B. **Design of Monolithic Phase-Locked Loops and Clock Recovery Circuits-A Tutorial**. 1. ed. [S.l.]: Wiley, 1996. v. 1, 6 p.
- _____. The role of plls in future wireline transmitters. **IEEE TRANSACTIONS ON CIRCUITS AND SYSTEMS**, v. 565, n. 8, p. 17861793, 2009.
- _____. **RF Microelectronics**. 2. ed. [S.l.]: Pearson, 2011. v. 1, 502 p.
- _____. **Design of Analog CMOS Integrated Circuits**. 2. ed. [S.l.]: McGraw-Hill Education, 2017. v. 1, 666 p.
- _____. **Design of CMOS Phase-Locked-Loops: From Circuit Level to Architecture Level**. 1. ed. [S.l.]: Prentice Hall, 2020. v. 1, 220 p.
- _____. Lower bounds on power consumption of clock generators for adcs. **IEEE International Symposium on Circuits and Systems (ISCAS)**, p. 15, 2020.
- _____. Jitter-power trade-offs in plls. **IEEE TRANSACTIONS ON CIRCUITS AND SYSTEMS**, v. 68, n. 4, p. 13811387, 2021.
- RHEE, W. Design of high-performance cmos charge pumps in phase-locked loops. **IEEE International Symposium on Circuits and Systems (ISCAS)**, v. 2, p. 545–548, 1999.
- SHEIKHOLESAMI, N. D. D. A. **Understanding Jitter and Phase Noise: A Circuits and Systems Perspective**. 1. ed. [S.l.]: Cambridge, 2018. v. 1, 17 p.
- SHU, E. S.-S. K. **CMOS PLL Synthesizers: Analysis and Design**. 1. ed. [S.l.]: Springer, 2005. v. 1, 172 p.

SHUJIANG, J. et al. A novel charge pump with ultra-low current mismatch and variation for pll. **IEEE International Symposium on Circuits and Systems (ISCAS), Seville, Spain**, p. 14, 2020.

SURYA, T. Y. H. C. Surface mobility fluctuations in metal-oxide-semiconductor field-effect transistors. **Phys. Rev. B.**, v. 35, p. 6342, 1987.

YUAN, C. S. J. High-speed cmos circuit technique. **IEEE JOURNAL OF SOLID-STATE CIRCUITS**, v. 24, n. 1, p. 62–70, 1989.