

UNIVERSIDADE FEDERAL DE SANTA MARIA
CENTRO DE TECNOLOGIA
PROGRAMA DE PÓS-GRADUAÇÃO EM ENGENHARIA
ELÉTRICA

Renan Borges de Vasconcelos

**CONTROLADOR DIGITAL MULTI-AMOSTRAS PID E V2 COT HÍBRIDO
PARA REGULADOR BUCK SÍNCRONO**

Santa Maria, RS
2018

Renan Borges de Vasconcelos

**CONTROLADOR DIGITAL MULTI-AMOSTRAS PID E V2 COT HÍBRIDO
PARA REGULADOR BUCK SÍNCRONO**

Dissertação apresentada ao Curso de Mestrado do Programa de Pós-Graduação em Engenharia Elétrica, Área de Concentração em Processamento de Energia (Eletrônica de Potência), da Universidade Federal de Santa Maria (UFSM, RS), como requisito parcial para a obtenção do grau de **Mestre em Engenharia Elétrica**.

Orientador: Prof. Dr. Mário Lúcio da Silva Martins

Santa Maria, RS
2018

Vasconcelos, Renan

Controlador digital multi-amostras PID e V2 COT
híbrido para regulador buck síncrono / Renan Vasconcelos.-
2018.

148 p.; 30 cm

Orientador: Mário Lúcio da Silva Martins

Dissertação (mestrado) - Universidade Federal de Santa
Maria, Centro de Tecnologia, Programa de Pós-Graduação em
Engenharia Elétrica, RS, 2018

1. buck síncrono 2. controle digital 3. point-of-load
I. da Silva Martins, Mário Lúcio II. Título.

Renan Borges de Vasconcelos

**CONTROLADOR DIGITAL MULTI-AMOSTRAS PID E V2 COT HÍBRIDO
PARA REGULADOR BUCK SÍNCRONO**

Dissertação apresentada ao Curso de Mestrado do Programa de Pós-Graduação em Engenharia Elétrica, Área de Concentração em Processamento de Energia (Eletrônica de Potência), da Universidade Federal de Santa Maria (UFSM, RS), como requisito parcial para a obtenção do grau de **Mestre em Engenharia Elétrica**.

Aprovado em 23 de fevereiro de 2018:

Mário Lúcio da Silva Martins, Dr. (UFSM)
(Presidente/Orientador)

Diogo Ribeiro Vargas, Dr. (UTFPR)

Gustavo Weber Denardin, Dr. (UTFPR)

Santa Maria, RS
2018

RESUMO

CONTROLADOR DIGITAL MULTI-AMOSTRAS PID E V² COT HÍBRIDO PARA REGULADOR BUCK SÍNCRONO

AUTOR: Renan Borges de Vasconcelos
ORIENTADOR: Mário Lúcio da Silva Martins

Este trabalho apresenta uma técnica de controle digital híbrido para um conversor ponto de carga abaixador (*buck*) síncrono implementado de forma digital em um processador digital de sinais, com objetivo de apresentar alta eficiência em cargas reduzidas e respostas transitórias rápidas para variações de carga. Inicialmente, um estudo de possíveis modulações e modos de operação e seu impacto na eficiência do conversor é realizado. Também são discutidos métodos de controle, apresentando comportamento, particularidades da implementação digital, além da metodologia de projeto. Na proposta dois controladores são utilizados em diferentes condições de carga, buscando unir as melhores características e eliminar alguns problemas encontrados em cada técnica quando empregada individualmente. Para cargas reduzidas e modo de condução descontínua, um controlador V² COT é utilizado produzindo uma modulação em frequência resultando em ganhos de eficiência. Para cargas elevadas, um controle PID com modulação por largura de pulso é utilizado, devido a melhor estabilidade em modo de condução contínua, para acelerar a resposta transitória é aplicada uma técnica multi-amostrada de controle. O projeto foi realizado para um conversor abaixador alimentado em 3,3V e com carga regulada de 1,2V com uma demanda de corrente máxima de 5A. A viabilidade do controle proposto é verificada a partir de simulações e resultados experimentais. Demonstrou-se experimentalmente que a eficiência se manteve próxima a 90% em cargas mais elevadas com um valor mínimo acima de 80% na carga mínima enquanto o tempo de resposta para degraus de carga ficou entre 100 μ s e 150 μ s.

Paravras-chave: *buck* síncrono, multi-amostrado, controle digital, tempo de condução constante.

ABSTRACT

HYBRID DIGITAL CONTROLLER WITH MULTISAMPLED PID AND V2 COT FOR A SYNCHRONOUS BUCK CONVERTER

AUTHOR: Renan Borges de Vasconcelos

ADVISOR: Mário Lúcio da Silva Martins

This work presents a hybrid digital control method for a point-of-load synchronous buck converter implemented in a digital signal processor, seeking to achieve high efficiency in light loads and good transitory responses. To present the control system proposal, a study of the modulation on buck converter is presented analyzing the impact on losses. The control methods are also presented, analyzing behavior and particularities of digital implementation with design methodology. In the proposal two different controllers are used, seeking out to join good characteristics while eliminating drawbacks under different load conditions. For light loads, a constant on-time pulse frequency modulation controller is used, in order to reduce power losses. For high loads, a linear pulse width modulation PID controller is applied due to its better stability, with improved transitory response achieved by multisampling. The study was carried out for a step-down power converter from 3.3V to 1.2V with a maximum load current of 5A. The feasibility of the proposed control method is shown with simulation and experimental results. An efficiency close to 90% was obtained for high loads with a reduction to 80% on the minimum load, the transient time results for load step remained between 100us and 150us.

Keywords: constant on-time, multisampled, digital control, synchronous buck.

LISTA DE ILUSTRAÇÕES

Figura 2.1 – Controle em modo-tensão	20
Figura 2.2 – Controle em modo-corrente	21
Figura 2.3 – Modulação em modo-corrente com tempo de bloqueio constante.....	21
Figura 2.4 – Modulação em modo-corrente com tempo de bloqueio constante.....	22
Figura 2.5 – Modulação em modo-corrente por valor de pico	22
Figura 2.6 – Modulação em modo-corrente por valor de vale	23
Figura 2.7 – Modulação em modo-corrente por histerese	23
Figura 2.8 – Diagrama de blocos do controle modo-corrente através do modelo médio.....	24
Figura 2.9 – Conversor <i>buck</i> com controle de carga	25
Figura 2.10 – Conversor <i>buck</i> empregando controle V^2	26
Figura 3.1 – Topologia <i>buck</i>	27
Figura 3.2 – Topologia <i>buck</i> síncrono	28
Figura 3.3 – Circuito ideal do conversor <i>buck</i> síncrono.....	29
Figura 3.4 – Primeira etapa de operação (S1 em condução)	30
Figura 3.5 – Segunda etapa de operação (S2 em condução)	32
Figura 3.6 – Curvas do conversor em CCM.....	34
Figura 3.7 – Componentes do <i>ripple</i> de tensão sobre o capacitor	36
Figura 3.8 – Variação de carga sobre o capacitor.....	37
Figura 3.9 – Terceira etapa de operação (S1 e S2 em corte).....	38
Figura 3.10 – Curvas do conversor em DCM.....	41
Figura 3.11 – Variação de carga no capacitor em DCM	42
Figura 3.12 – Modulação PWM	44
Figura 3.13 – Curvas de razão cíclica para o conversor <i>buck</i> em PWM.....	45
Figura 3.14 – Corrente no indutor para PWM em diferentes pontos de operação	46
Figura 3.15 – Modulação COT	47
Figura 3.16 – Curvas de frequência de chaveamento para o conversor <i>buck</i> em COT.....	49
Figura 3.17 – Corrente no indutor para COT em diferentes pontos de operação.....	49
Figura 3.18 – Curvas com transições de estado não ideais CCM.....	54
Figura 3.19 – Transições não ideais DCM	56
Figura 3.20 – Variação das perdas de chaveamento e de condução com a carga	63
Figura 3.21 – Curvas de eficiência para diferentes modulações	64
Figura 3.22 – Curvas de eficiência em COT para diferentes correntes de fronteira	65
Figura 4.1 – Estrutura do controle V^2 COT.....	69
Figura 4.2 – Funcionamento do controlador V^2 COT	70
Figura 4.3 – Atraso entre acionamento da chave e crescimento da tensão da carga CCM.....	72
Figura 4.4 – Atraso entre acionamento da chave e crescimento da tensão da carga DCM.....	73
Figura 4.5 – Controle V^2 COT implementado digitalmente.....	74
Figura 4.6 – Atraso devido a amostragem e oscilação na tensão de saída.	75
Figura 4.7 – Estrutura do controlador.....	78
Figura 4.8 – Diagrama de blocos do sistema de controle.....	79
Figura 4.9 – Compensador PID	79
Figura 4.10 – Diagrama de blocos do sistema de controle digital.....	80
Figura 4.11 – PWM digital.....	81
Figura 4.12 – Diagrama usado na modelagem	82
Figura 4.13 – Diagrama do conversor durante a condução de S1	84
Figura 4.14 – Diagrama para a condução da chave S2.....	86
Figura 5.1 – Circuito de instrumentação para tensão de saída	99
Figura 5.2 – Circuito de instrumentação para corrente do indutor.....	100

Figura 5.3 – Resposta em frequência do sistema em malha aberta não compensada.....	102
Figura 5.4 – Resposta em frequência do sistema em malha aberta compensada.....	103
Figura 5.5 – Diagrama esquemático utilizado para simulação no PSIM.....	106
Figura 5.6 – Controle PID em regime permanente ($I_o = 1A$).....	107
Figura 5.7 – Resposta transitória para diferentes variações positivas de carga em PWM.....	108
Figura 5.8 – Resposta transitória para diferentes variações negativas de carga em PWM.....	108
Figura 5.9 – Comportamento do conversor projetado COT/PWM.....	109
Figura 5.10 – <i>Ripple</i> de tensão e corrente para COT com carga máxima ($I_o = 0,8A$).....	112
Figura 5.11 – <i>Ripple</i> de tensão e corrente para COT com carga média ($I_o = 0,4A$).....	112
Figura 5.12 – <i>Ripple</i> de tensão e corrente para COT com carga mínima ($I_o = 0,05A$).....	113
Figura 5.13 – Transitório de positivo de carga em COT de 0,05A para 0,8A.....	114
Figura 5.14 – Transitório de negativo de carga em COT de 0,8A para 0,05A.....	114
Figura 5.15 – Transitório positivo de carga de 0,05A para 5A com troca de controlador....	116
Figura 5.16 – Transitório de negativo carga de 5A para 0,05A com troca de controlador....	117
Figura 5.17 – Transitório positivo de carga de 0,4A para 3A com troca de controlador.....	118
Figura 5.18 – Transitório negativo de carga de 3A para 0,4A com troca de controlador.....	118
Figura 5.19 – Teste de estabilidade com variações sequenciais de carga.....	119
Figura 6.1 – Diagrama esquemático do protótipo implementado.....	120
Figura 6.2 – Protótipo implementado em PCB.....	121
Figura 6.3 – Conjunto de cargas usadas nos testes experimentais.....	122
Figura 6.4 – Funcionamento em regime permanente para 1A de carga em modo PWM.....	123
Figura 6.5 – Funcionamento em regime permanente para 4A de carga em modo PWM.....	123
Figura 6.6 – Funcionamento em regime permanente para 0,8A de carga em modo PFM....	124
Figura 6.7 – Funcionamento em regime permanente para 0,05A de carga em modo PFM..	125
Figura 6.8 – <i>Ripple</i> de corrente no indutor em PWM com 4A de carga.....	127
Figura 6.9 – <i>Ripple</i> de corrente no indutor em FPWM com 0,1A de carga.....	127
Figura 6.10 – <i>Ripple</i> de corrente em DCM com 0,1A de carga.....	128
Figura 6.11 – Variação da frequência de chaveamento com a carga.....	129
Figura 6.12 – Degrau positivo de carga no controlador PID.....	131
Figura 6.13 – Degrau negativo de carga no controlador PID.....	131
Figura 6.14 – Degrau positivo de carga no controlador V^2 COT.....	132
Figura 6.15 – Degrau negativo de carga no controlador V^2 COT.....	133
Figura 6.16 – Troca entre PFM e PWM em carga constante.....	134
Figura 6.17 – Troca entre PWM e PFM em carga constante.....	134
Figura 6.18 – Degrau positivo de carga com troca de modo.....	135
Figura 6.19 – Degrau negativo de carga com troca de modo.....	136
Figura 6.20 – Resultados de eficiência para baixas cargas em PFM e PWM.....	139
Figura 6.21 – Resultados de eficiência para altas cargas em PWM.....	140
Figura 6.22 – Comparação da eficiência simulada e resultados experimentais.....	141

LISTA DE TABELAS

Tabela 3.1 – Parâmetros aproximados para conversor	62
Tabela 5.1 – Parâmetros de projeto do conversor	96
Tabela 5.2 – Dados dos componentes utilizados	98
Tabela 5.3 – Componentes instrumentação tensão de saída.....	99
Tabela 5.4 – Componentes instrumentação da corrente do indutor	100
Tabela 5.5 – Parâmetros do processador	100
Tabela 5.6 – Parâmetros usados no modelo	101
Tabela 6.1 – Parâmetros para cálculo de eficiência no conversor implementado.....	137

LISTA DE ABREVIATURAS E SIGLAS

ADC	<i>Analog to digital converter</i> – conversor analógico-digital
CA	Corrente alternada
CC	Corrente contínua
CCM	<i>Continuous conduction mode</i> – Modo de condução contínua
CI	Circuito integrado
CIC	<i>Current-Injection Control</i> – Controle por injeção de corrente
COT	<i>Constant on-time</i> – Tempo de condução constante
DCM	<i>Discontinuous conduction mode</i> – Modo de condução descontínua
DSP	<i>Digital signal processor</i> – Processador digital de sinais
FCCM	<i>Forced continuous conduction mode</i> – Modo de condução contínua forçado
PFM	<i>Pulse frequency modulation</i> – Modulação por frequência de pulso
PID	(Compensador) Proporcional integral e derivativo
POL	<i>Point-of-load converter</i> – Conversor ponto de carga
PWM	<i>Pulse width modulation</i> – Modulação por largura de pulso
RMS	<i>Root mean square</i> – Valor quadrático médio/Valor eficaz
RSE	Resistência série equivalente (Capacitor)
SCM	<i>Standardized Control Module</i> – Módulo de controle padronizado
SoC	<i>System on chip</i> – Sistema em um <i>chip</i>

LISTA DE SÍMBOLOS

ΔL	<i>Ripple</i> de corrente no indutor
ΔQ	Variação de carga do capacitor
C	Capacitor
D	Razão cíclica para S1
D'	Razão cíclica para S2
e	Erro de tensão
f_a	Frequência de amostragem
f_{clk}	Frequência de <i>clock</i> do DSP
f_s	Frequência de chaveamento
I_B	Corrente de fronteira entre operação DCM e CCM
I_C	Corrente sobre o capacitor
I_i	Corrente na entrada do conversor
I_L	Corrente sobre o indutor
I_o	Corrente na saída do conversor
I_{S1}	Corrente sobre a chave S1
I_{S2}	Corrente sobre a chave S2
I_{tr}	Corrente durante a transição da chave
L	Indutor
M	Ganho do conversor
P_C	Perdas de condução no capacitor
P_{Coss}	Perdas na capacitância de saída das chaves
P_{CT}	Total de perdas de condução
P_{DT}	Perdas de condução no diodo intrínseco de S2 durante o tempo morto
P_G	Perdas no <i>gate</i> das chaves
P_i	Potência consumida pelo conversor
P_L	Perdas de condução no indutor
P_o	Potência da carga
P_{RR}	Perdas de recuperação reversa no diodo intrínseco de S2
P_{S1}	Perdas de condução em S1
$P_{S1(off)}$	Perdas durante a transição no corte de S1
$P_{S1(on)}$	Perdas durante a transição no acionamento de S1
P_{S2}	Perdas de condução em S2

$P_{S2(off)}$	Perdas durante a transição no corte de S2
$P_{S2(on)}$	Perdas durante a transição no acionamento de S2
P_{SW}	Perda total de chaveamento
P_T	Potência total de perdas
P_{tr}	Perdas durante a transição das chaves
$Q_{gs(S1)}$	Carga entre <i>gate</i> e <i>source</i> de S1
$Q_{gs(S2)}$	Carga entre <i>gate</i> e <i>source</i> de S2
$Q_{oss(S1)}$	Carga na saída de S1
$Q_{oss(S2)}$	Carga na saída de S2
$Q_{rr(S2)}$	Carga de recuperação reversa do diodo intrínseco de S2
R_C	Resistencia série equivalente do capacitor (RSE)
R_L	Resistencia série DC do indutor (DCR)
R_o	Resistência da carga
$S1$	Chave principal do conversor buck síncrono
$S2$	Chave secundária do conversor buck síncrono
T	Período de chaveamento
T_{DEAD}	Tempo morto entra a condução das chaves
T_{ON}	Tempo de condução de S1
T_{ON2}	Tempo de condução de S2
t_{tr}	Tempo de transição da chave
V_C	Sinal de comparação na modulação V ² COT (saída do compensador)
V_C	Tensão sobre o capacitor
V_D	Tensão de condução do diodo intrínseco das chaves
V_{DR}	Tensão do driver de acionamento das chaves
V_{GS1}	Tensão no <i>gate</i> da chave S1
V_{GS2}	Tensão no <i>gate</i> da chave S2
V_i	Tensão na entrada do conversor
V_L	Tensão sobre o indutor
V_o	Tensão de saída do conversor
V_r	<i>Ripple</i> de tensão na carga
$V_{r(c)}$	<i>Ripple</i> de tensão sobre o capacitor (C)
$V_{r(Rc)}$	<i>Ripple</i> de tensão sobre a resistência série do capacitor (R _c)
V_{S1}	Tensão sobre a chave S1

V_{S2}	Tensão sobre a chave S2
V_{SW}	Tensão medida entre as chaves S1 e S2
V_{tr}	Tensão durante a transição da chave
η	Eficiência do sistema (%)

SUMÁRIO

1	INTRODUÇÃO	13
1.1	OBJETIVOS	17
1.1.1	Objetivo principal.....	17
1.1.2	Objetivos específicos.....	17
1.1.3	Organização da dissertação	18
2	REVISÃO TEÓRICA	19
2.1	INTRODUÇÃO.....	19
2.2	TÉCNICAS DE CONTROLE PARA CONVERSORES	19
2.3	CONCLUSÃO.....	26
3	CONVERTOR BUCK SÍNCRONO	27
3.1	INTRODUÇÃO.....	27
3.2	DESCRIÇÃO DO CIRCUITO.....	27
3.3	MODOS DE OPERAÇÃO.....	28
3.3.1	Modo de condução contínua (CCM).....	30
3.3.2	Modo de operação crítica.....	38
3.3.3	Modo de condução descontínua (DCM)	38
3.4	ANÁLISE DA MODULAÇÃO	43
3.4.1	Modulação por largura de pulso (PWM)	43
3.4.2	Modulação com tempo de condução constante (COT)	47
3.5	PERDAS E EFICIÊNCIA DO CONVERTOR	50
3.5.1	Perdas de condução	50
3.5.2	Perdas de chaveamento.....	52
3.5.2.1	<i>Perdas na transição de estado das chaves</i>	<i>52</i>
3.5.2.2	<i>Perdas no gate.....</i>	<i>57</i>
3.5.2.3	<i>Perdas na capacitância de saída das chaves</i>	<i>58</i>
3.5.2.4	<i>Perdas no diodo de corpo durante o tempo morto.....</i>	<i>58</i>
3.5.2.5	<i>Perda de recuperação reversa no diodo</i>	<i>58</i>
3.5.2.6	<i>Total de perdas de chaveamento</i>	<i>59</i>
3.5.3	Eficiência	59
3.5.3.1	<i>Análise teórica de perdas e eficiência.....</i>	<i>60</i>
3.5.3.2	<i>Análise numérica de perdas e eficiência</i>	<i>61</i>
3.6	CONCLUSÃO.....	66
4	CONTROLE DIGITAL.....	67
4.1	INTRODUÇÃO.....	67
4.2	CONTROLE V^2 COT.....	68
4.2.1	Descrição do controlador V^2 COT	68
4.2.2	Princípio de operação.....	69
4.2.3	Abordagem digital.....	74
4.2.4	Metodologia de projeto do controle V^2 COT	76
4.3	CONTROLE PID	77
4.3.1	Descrição do controlador PID	78
4.3.2	Abordagem digital.....	80
4.3.3	Modelagem para a operação CCM.....	82
4.3.3.1	<i>Etapa 1: condução de S_1.....</i>	<i>83</i>
4.3.3.2	<i>Etapa 2: condução de S_2.....</i>	<i>86</i>
4.3.3.3	<i>Modelo médio</i>	<i>88</i>
4.3.3.4	<i>Modelo para pequenos sinais.....</i>	<i>89</i>
4.3.3.5	<i>Função de transferência.....</i>	<i>90</i>

4.3.4	Metodologia de projeto do controle PID digital.....	91
4.4	PROPOSTA DE CONTROLE	93
4.5	CONCLUSÃO	94
5	PROJETO E SIMULAÇÃO	95
5.1	INTRODUÇÃO	95
5.2	PROJETO DO CONVERSOR	95
5.3	PROJETO DO SISTEMA DE INSTRUMENTAÇÃO	97
5.3.1	Tensão na carga.....	98
5.3.2	Corrente no indutor	99
5.4	PROJETO DO SISTEMA DE CONTROLE.....	100
5.4.1	Controle PID.....	101
5.4.1.1	<i>Projeto compensador PID</i>	<i>102</i>
5.4.1.2	<i>Implementação em código</i>	<i>104</i>
5.4.1.3	<i>Simulação PID.....</i>	<i>105</i>
5.4.2	Controle V² COT.....	109
5.4.2.1	<i>Projeto compensador PI.....</i>	<i>110</i>
5.4.2.2	<i>Implementação em código</i>	<i>111</i>
5.4.2.3	<i>Simulação V² COT.....</i>	<i>111</i>
5.5	SISTEMA COMPLETO DE CONTROLE	115
5.5.1.1	<i>Simulação do sistema completo</i>	<i>115</i>
5.6	CONCLUSÃO	119
6	ANÁLISE EXPERIMENTAL	120
6.1	INTRODUÇÃO	120
6.2	DESCRIÇÃO DO PROTÓTIPO	120
6.3	ANÁLISE DO PROTÓTIPO EM REGIME PERMANENTE	122
6.3.1	Regulação e <i>ripple</i> de tensão na carga.....	122
6.3.2	<i>Ripple</i> de corrente no indutor	125
6.3.3	Frequência de chaveamento.....	128
6.4	ANÁLISE DO PROTÓTIPO EM REGIME TRANSITÓRIO.....	130
6.4.1	Degrau de carga no controlador PID	130
6.4.2	Degrau de carga no controlador V² COT	132
6.4.3	Troca de controladores em carga constante.....	133
6.4.4	Troca de controladores com degrau de carga	135
6.5	ANÁLISE DE EFICIÊNCIA	137
6.6	CONCLUSÃO	138
7	CONCLUSÕES FINAIS	142
	REFERÊNCIAS.....	144

1 INTRODUÇÃO

O estudo das técnicas de gerenciamento de energia em equipamentos eletrônicos vem aumentando dramaticamente nos últimos anos. Isso corresponde ao grande aumento no uso de dispositivos portáteis alimentados por baterias, tais como telefones celulares, câmeras e outros equipamentos multimídia. Com os dispositivos eletrônicos agregando funcionalidades mais complexas através de Circuitos Integrados (CIs) com maior poder de processamento e tamanho reduzido, os requisitos para o gerenciamento de energia são cada vez mais rigorosos, visando garantir a alimentação adequada e autonomia.

À medida que as tecnologias avançaram ao longo dos anos, os métodos para alimentar esses sistemas complexos também amadureceram. Em 1965, Gordon Moore, o co-fundador da Intel, estabeleceu que o número de transistores em um circuito integrado dobrasse a cada dois anos, o que ficou conhecido como Lei de Moore (INTEL, 2011). Com o crescente aumento na velocidade e capacidade de processamento dos processadores digitais, há um número cada vez maior de transistores integrados e, com o aumento do número de transistores, o consumo de energia dos processadores também tem aumentado (INTEL, 2007).

Para os dispositivos móveis, o gerenciamento de energia busca em essência melhorar a eficiência do dispositivo, resultando em uma vida útil prolongada da bateria e, portanto, no tempo de operação do dispositivo sem a necessidade de recarga (PATOUNAKIS *et al.*, 2004). O desempenho eficiente, a alta funcionalidade, o perfil pequeno, o transiente rápido e o baixo custo são alguns dos requisitos mais buscados para os sistemas de gerenciamento de energia modernos. Um sistema de gerenciamento de energia contém vários subsistemas, incluindo reguladores lineares, reguladores chaveados e o sistema de controle do regulador, que podem estar arrançados de forma discreta ou integrados em um único CI.

A regulação da tensão e o tempo de recuperação transitória são as principais questões a serem atendidas para se assegurar a qualidade da fonte de alimentação do sistema. Essa demanda por alta qualidade se faz necessária, pois a instabilidade da tensão de alimentação em períodos de variações de carga pode causar operação anormal ou até mesmo deteriorar o desempenho dos dispositivos portáteis.

Portanto, uma resposta transitória rápida associada à uma alta eficiência são as considerações mais relevantes para o projeto dos reguladores chaveados, também chamados de conversores estáticos ou conversores CC-CC, empregados nas fontes de alimentação dos dispositivos portáteis.

As características rígidas de alimentação requeridas pelas cargas de sistemas eletrônicos em conjunto com a necessidade de diferentes tensões de alimentação para as diversas cargas presentes em um único sistema moderno, popularizou o uso arquiteturas distribuídas de alimentação com aplicação de conversores ponto de carga (POL - *Point-Of-Load*) (WHITE, 2003); (REUSCH, 2012); (YINGYI *et al.*, 2013).

Conversores POL são conversores posicionados próximos à carga e especificamente projetados para atender suas necessidades, garantindo assim, uma regulação mais precisa, melhor resposta transitória e ganhos em eficiência (YINGYI *et al.*, 2013).

Diversos trabalhos analisam diferentes técnicas para melhorar a resposta transitória e eficiência nos conversores POL, esses estudos podem ser divididos em duas principais áreas: topologia e técnicas de controle.

Analisando primeiramente estudos voltados a topologia, de um modo geral, a topologia abaixadora (*buck*) é a mais utilizada em conversores POL, devido as baixas tensões das cargas normalmente alimentadas. As técnicas de aprimoramento de resposta transitória nessa topologia são voltadas em acelerar o tempo de carga ou descarga para o capacitor de saída do conversor CC-CC (ZHENYU *et al.*, 2014). Para tanto foram introduzidas várias modificações na topologia *buck* (MARVI *et al.*, 2016).

Reduzir o valor da indutância do conversor pode aumentar a taxa de variação da corrente de saída e reduzir a variação da tensão de saída durante as transições de carga, melhorando a resposta dinâmica do conversor. Todavia esse método também produzirá uma maior ondulação de tensão na carga em regime permanente, o que pode inviabilizar as especificações de regulação de tensão da carga, o que não é aceitável em alguns casos (BJELETIC *et al.*, 2011).

Como alternativa para aumentar a taxa de variação da corrente de saída é possível paralelizar vários conversores, o que é conhecido como operação intercalada. Com isso consegue-se a redução do valor equivalente de indutância sem comprometer a ondulação de tensão na carga em regime permanente (MARVI *et al.*, 2016); (BEHJATI e DAVOUDI, 2011). Utilizando essa abordagem é possível reduzir os indutores até o seu valor crítico aumentando o número de conversores em paralelo. Contudo, a grande ondulação de corrente em cada conversor resulta em maiores perdas e maiores esforços de corrente para os MOSFETs. Para reduzir esses esforços o emprego do acoplamento indutivo dos indutores foi proposto (BEHJATI e DAVOUDI, 2011); (NAGARAJA *et al.*, 2011). Entretanto, na abordagem intercalada o número de componentes é aumentado e é necessário um circuito de controle complexo.

Para reduzir o número de conversores em paralelo e os problemas associados, o conceito de indutância chaveada foi apresentado (SENANAYAKE e NINOMIYA, 2005); (LU *et al.*, 2007). A modificação instantânea do valor da indutância melhora significativamente a eficiência do conversor e, também, reduz o seu custo devido à redução do número de componentes adicionais. Contudo, essa abordagem requer o uso de um indutor customizado, o que em muitas aplicações pode não ser viável. Além disso, nessas soluções os componentes do circuito adicional são colocados no caminho do fluxo de potência do conversor ou estão associados aos componentes principais do circuito, de modo que, em regime permanente, a eficiência desses conversores é degradada.

Ainda visando aumentar as variações de corrente através do indutor e reduzir os transitórios de tensão na carga sem modificar o valor do indutor, Hwang *et al.* (2014) propôs a variação da tensão aplicada sobre o mesmo por meio da inserção de um circuito com capacitor chaveado (SC – Switched Capacitor) na entrada do conversor *buck* síncrono. Com a utilização do SC a tensão de entrada é dobrada quando se necessita injetar ou remover corrente na carga.

Outra solução possível é o uso de um circuito em paralelo com o indutor de filtro que seja capaz de fornecer ou remover a energia necessária para o capacitor de saída. O emprego de um circuito para bombear corrente foi proposto por Barrado *et al.* (2005), esse circuito consiste de um conversor *buck* auxiliar que é projetado para ter uma resposta dinâmica mais rápida que o conversor *buck* principal. Alternativamente, Lambert *et al.* (2009) propôs o uso de um regulador auxiliar bidirecional em paralelo com o regulador principal, chamado de compensador de tensão transitória (TVC – *Transient Voltage Compensator*), projetado para regular rapidamente os transientes de carga. Um circuito semelhante foi apresentado como sendo um armazenador de energia (*energy buffer*) (SHAN *et al.*, 2013). Todas essas técnicas se baseiam no uso de um circuito auxiliar, o qual depende de uma detecção *a posteriori* do transitório para atuação, gerando um atraso inevitável, no entanto, uma comunicação direta entre o processador que está sendo alimentado e o sistema de controle do regulador de tensão pode mitigar esse problema (SHAN *et al.*, 2014).

Se por um lado vários trabalhos discutem mudanças no circuito do conversor *buck*, outros trabalhos abordam melhorias com respeito aos aspectos dinâmicos do conversor, a partir da análise de técnicas de controle.

Controles em modo-corrente são amplamente utilizados para conversores POL devido a simplicidade de projeto e os bons resultados de resposta dinâmica (YINGYI *et al.*, 2013). Nesse tipo controladores, o controle é realizado a partir da corrente no indutor do conversor,

podendo ser utilizadas uma grande variedade de esquemas de controle (REDL e SOKAL, 1985).

Dentre os esquemas de controle em modo-corrente destaca-se o controle V^2 com tempo de condução constante (COT – *Constant On-Time*). Esse controle utiliza a modulação COT que possui excelente eficiência em cargas reduzidas através da redução da frequência de chaveamento (YU e LEE, 2010). Para obter essa modulação é utilizado o *ripple* de corrente, medido de forma indireta na tensão de saída do conversor através da queda de tensão sobre a Resistência Série Equivalente (RSE) do capacitor, essa medição indireta elimina a necessidade de um sensor de corrente com alta banda passante. Contudo, o projeto de cada sistema deve ser feito de forma personalizada tendo em vista que a RSE depende de diversos fatores, como a tecnologia e o valor da capacitância de cada capacitor.

A realização do controle através de um *ripple* torna a sua implementação de forma digital bastante complexa, pois os atrasos e erros envolvidos na amostragem prejudicam a resposta transitória e estabilidade do sistema, fazendo com que para esse tipo de aplicação controladores analógicos ainda representem uma expressiva maioria (CHENG *et al.*, 2014).

No entanto, a implementação digital possui diversas vantagens associadas à sua flexibilidade, como por exemplo: reprogramação, supervisão e possibilidade de uso de estruturas mais complexas de controle (JAKOBSEN *et al.*, 2008). Essas vantagens, em conjunto com redução de preços e aumento de poder de processamento de microprocessadores, tornaram interessante o estudo de técnicas digitais de controle.

Algumas técnicas que buscam solucionar os problemas do controle V^2 COT com implementação digital. Essas técnicas fazem uso de rampas externas e internas em conjunto com o *ripple* de tensão na geração da modulação, e com isso visam reduzir as oscilações e instabilidades causadas pela amostragem. Em contraponto, com a utilização dessas técnicas a resposta dinâmica do controle acaba sendo prejudicada (CHENG *et al.*, 2014).

Outros trabalhos apresentam uma abordagem diferente para obtenção de respostas transitórias rápidas com controladores digitais. Nesses trabalhos é apresentada uma técnica a partir um controle linear PID (Proporcional, Integral e Derivativo), porém, com a utilização de múltiplas amostras em um período de chaveamento para obter melhor resposta dinâmica, a partir da redução de atrasos em conjunto com técnicas específicas de controle (CORRADINI *et al.*, 2008); (CORRADINI e MATTAVELLI, 2008).

Finalmente, é possível observar que as exigências crescentes impostas a conversores POL por dispositivos eletrônicos modernos torna o estudo de técnicas para melhorar a eficiência e resposta dinâmica muito importante, o que gerou o surgimento de diversas técnicas, com

diferentes características. Duas abordagens se destacam nesse estudo, a primeira considera modificações na topologia e especificação dos elementos do circuito, a segunda busca ganhos através da técnica de controle aplicada.

Nesse trabalho será proposta uma técnica de controle digital para atingir os objetivos de eficiência e resposta transitória necessários para conversores POL, aplicados em sistemas alimentados por baterias.

A técnica de controle proposta é composta de dois controladores digitais para diferentes situações de consumo. Um controle não linear COT é utilizado em cargas reduzidas garantindo elevada eficiência através da redução da frequência de chaveamento. Essa técnica já é bastante estabelecida na literatura, no entanto, sua aplicação na forma digital resulta em problemas de estabilidade verificados principalmente em cargas elevadas. Para contornar o problema de estabilidade um controlador PID é aplicado em cargas elevadas, utilizando múltiplas amostras em um único período de chaveamento para atingir melhores respostas transitórias.

Para justificar o controlador proposto cada uma das técnicas de controle será apresentada de forma detalhada, analisando teoricamente e através de simulações as vantagens e desvantagens de cada uma em diferentes situações de carga.

1.1 OBJETIVOS

1.1.1 Objetivo principal

Esse trabalho tem como objetivo propor um sistema de controle digital implementado a partir de um processador digital de sinais (DSP – *Digital Signal Processor*) para um conversor POL utilizando a topologia *buck* síncrono, visando a aplicação para sistemas alimentados por baterias. Considerando a aplicação pretende-se conseguir uma elevada eficiência em cargas leves sem sacrifícios na resposta transitória, o que será obtido através da aplicação de duas técnicas de controle para diferentes situações de consumo de energia.

1.1.2 Objetivos específicos

Para alcançar os objetivos serão utilizadas as seguintes metas:

- a) Realizar uma revisão teórica de técnicas de controle em modo corrente utilizadas em controle de conversores POL.

- b) Apresentar o conversor *buck* síncrono, fazendo uma análise de possíveis estratégias de modulação e modos de operação.
- c) Verificar, a partir da apresentação das perdas, os impactos das diferentes modulações sobre a eficiência. Definir o modo de funcionamento para maximizar a eficiência a partir dessa análise.
- d) Analisar diferentes técnicas de controle digital e definir uma proposta de sistema de controle para o conversor, buscando atender as necessidades de resposta transitória apresentando uma metodologia de projeto para o controle proposto.
- e) Definir os parâmetros de projeto e projetar o conversor e o sistema de controle. Usar simulação para verificar o funcionamento adequando do conversor e características estáticas e dinâmicas do controle.
- f) Implementar o sistema projetado e realizar testes experimentais para verificar o funcionamento e características do conversor.
- g) Apresentar as conclusões obtidas com a realização do trabalho, evidenciando características positivas e negativas verificadas. Identificar possíveis melhorias a serem realizadas em trabalhos futuros.

1.1.3 Organização da dissertação

Este trabalho está organizado em 7 capítulos. No Capítulo 1 é realizada a introdução e apresentação dos objetivos. No Capítulo 2 é apresentada a revisão teórica com técnicas de controle modo-corrente. No Capítulo 3 é analisado o conversor *buck* síncrono em diferentes modulações, apresentando uma análise de perdas. No Capítulo 4 é apresentada a proposta para o sistema de controle digital, com apresentação e análise dos dois controladores utilizados. No Capítulo 5 é realizado o projeto do conversor e do sistema de controle, utilizando simulação para verificação do funcionamento. No Capítulo 6 é discutida a implementação e testes experimentais do conversor, analisando resultados para regime permanente, transitório e eficiência. No Capítulo 7 são apresentadas as conclusões finais do trabalho realizado, sugerindo propostas para trabalhos futuros.

2 REVISÃO TEÓRICA

2.1 INTRODUÇÃO

Há duas formas de se controlar a tensão de saída em reguladores de tensão. A primeira forma usa diretamente o erro de tensão para alimentar o controlador. Este modo é conhecido como controle em modo tensão. A segunda forma de controle usa a medição da tensão de saída e uma medição da corrente no indutor de filtro. Este último modo de regulação de tensão é conhecido como controle em modo corrente. Nesse capítulo serão apresentados funcionamento e características de algumas técnicas de controle, com ênfase em técnicas em modo-corrente.

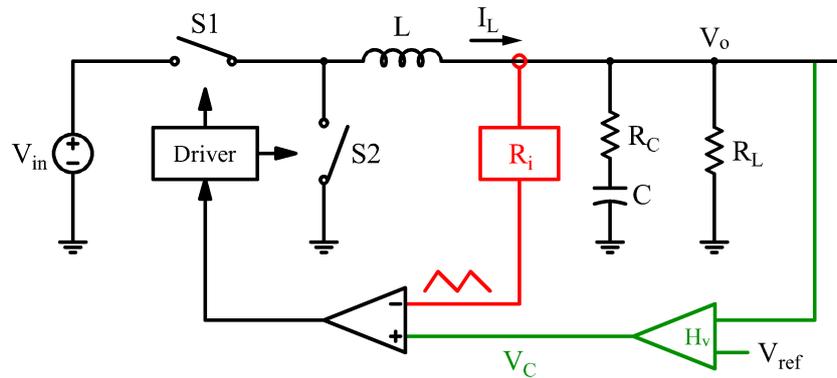
2.2 TÉCNICAS DE CONTROLE PARA CONVERSORES

Existem várias técnicas de controle que fazem uso do sinal da corrente do indutor para de uma forma ou de outra, controlar a tensão em reguladores CC-CC (LI, 2009). De um modo geral, todas essas técnicas podem ser definidas como controle em modo-corrente (RIDLEY, 1990). Essas técnicas se diferenciam na maneira em que a corrente do indutor de um conversor *buck* síncrono é utilizada como parte do mecanismo de realimentação e do sistema de controle.

No entanto, antes do surgimento do controle em modo-corrente, as técnicas de controle em modo-tensão se popularizaram (KAZIMIERCZUK *et al.*, 1993), principalmente devido à sua simplicidade de implementação e do uso de uma única malha de realimentação. Como exemplo pode ser citado o controle linear modo-tensão com modulação por largura de pulso (PWM – *Pulse Width Moduation*), amplamente utilizado. Nesse controle a modulação é produzida a partir da comparação de um sinal modulante (V_C) e uma portadora de frequência fixa com forma de onda triangular ou dente de serra. O sinal modulante, por sua vez, é gerado por um compensador, utilizando o erro de tensão do conversor. A estrutura de controle e o princípio de modulação para o controle modo-tensão são apresentados na Figura 2.1.

A Figura 2.1 (a) mostra o diagrama do circuito onde pode-se observar que o sinal de referência V_{ref} é comparado com o sinal medido da tensão V_o . Este sinal passa por um diferenciador com ganho definido como H_V . O sinal de saída (diferença) do diferenciador é comparado com um sinal dente-de-serra em um comparador. O sinal de saída do comparador é um trem de pulsos que é aplicado no driver que aciona os transistores S1 e S2. A Figura 2.1 (b) mostra os sinais que entram no comparador e o sinal de saída (trem de pulsos). Observa-se que a amplitude do sinal V_C deve estar entre os valores mínimo e máximo do sinal dente-de-serra

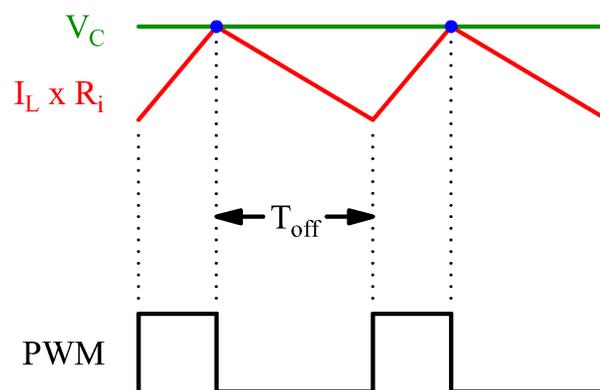
Figura 2.2 – Controle em modo-corrente



Fonte: Adaptação de Li (2009).

Uma possível modulação faz uso do sinal da saída do comparador para bloquear o transistor, enquanto que, sua entrada em condução é determinada definindo-se o intervalo de bloqueio com um valor fixo (T_{off}). Essa modulação, apresentada na Figura 2.3, é conhecida como Controle em Frequência-Variável com Tempo de Bloqueio Constante (VFC COFFT – *Variable-Frequency Control with Constant Off-Time*), (RIDLEY, 1990); (LAU e SANDERS, 1997).

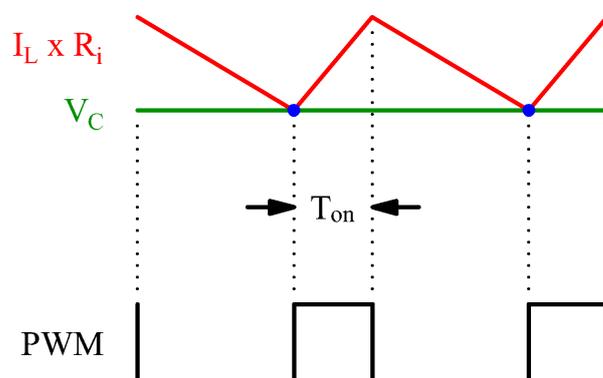
Figura 2.3 – Modulação em modo-corrente com tempo de bloqueio constante



Fonte: Adaptação de Li (2009).

De maneira semelhante, é possível gerar a modulação utilizando o sinal da saída do comparador para acionar o transistor, enquanto que, seu bloqueio é determinado definindo-se o intervalo de condução com um valor fixo (T_{on}), conforme Figura 2.4. Essa modulação é conhecida como Controle em Frequência-Variável com Tempo de Condução Constante (VFC – COnt *Variable-Frequency Control with Constant On-Time*), (HONG e CHOI, 2000).

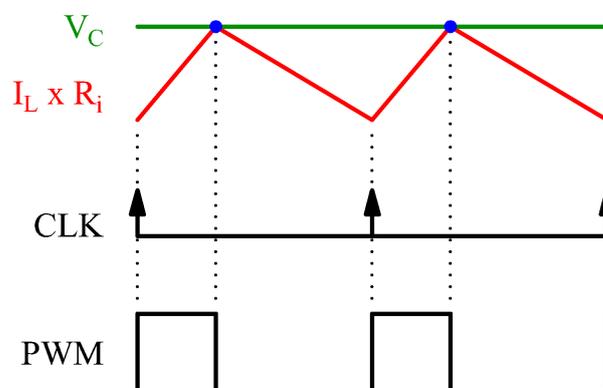
Figura 2.4 – Modulação em modo-corrente com tempo de bloqueio constante



Fonte: Adaptação de Li (2009).

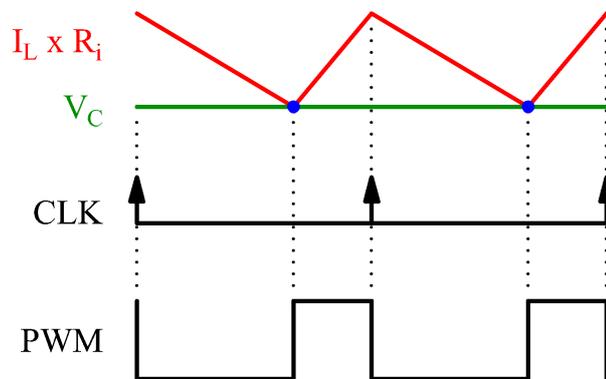
Para se obter uma frequência constante de operação, pode ser utilizado um sinal de *clock* (CLK) como temporizador. Nesse caso, ou o instante de entrada em condução, ou bloqueio são definidos pelo temporizador. Utilizando o *clock* para início da condução é gerada a modulação denominada de Frequência-Constante com Controle de Valor de Pico (CF-PVC – *Constant-Frequency Peak Value Control*), apresentada na Figura 2.5, (PAPATHOMAS, 1986); (QIU *et al.*, 2007). De modo análogo, com o *clock* interrompendo a condução é gerada a modulação denominada de Frequência-Constante com Controle de Valor de Vale (CF-VVC – *Constant-Frequency Valley Value Control*), apresentada na Figura 2.6, (ZHOU *et al.*, 2010).

Figura 2.5 – Modulação em modo-corrente por valor de pico



Fonte: Adaptação de Li (2009).

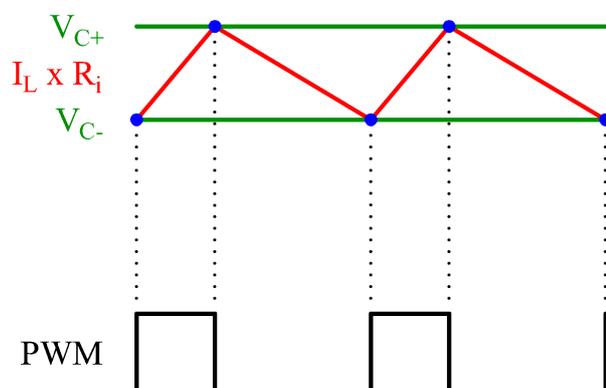
Figura 2.6 – Modulação em modo-corrente por valor de vale



Fonte: Adaptação de Li (2009).

Com uma pequena modificação no circuito, uma patente de Gallaher e Redner (1967) propõe o uso de um comparador Schmitt para controle de um conversor *buck*. Assim, a implementação de um controle por histerese é realizada, utilizando as informações CA e CC do sinal da corrente do indutor. Nessa modulação, apresentada na Figura 2.7, a forma de onda da corrente do indutor é utilizada para controlar ambas as transições do transistor, i.e., entrada em condução e bloqueio, através de dois sinais para comparação (V_{C-} e V_{C+}), o que assegura que não se faz necessário o uso de qualquer circuito temporizador (*clock*). Uma grande vantagem desse circuito é sua inerente estabilidade, além de proporcionar uma rápida resposta transitória (LEUNG *et al.*, 2003); (TSAI *et al.*, 2009).

Figura 2.7 – Modulação em modo-corrente por histerese



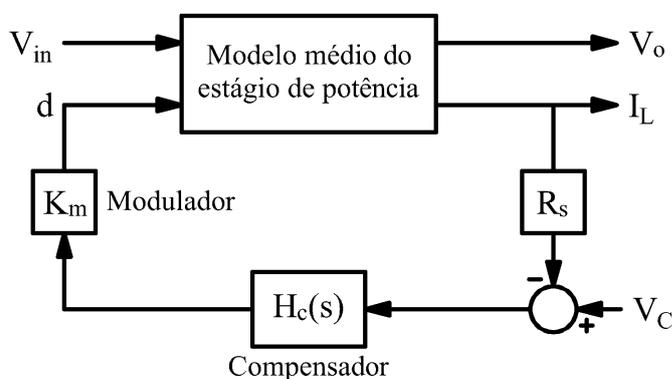
Fonte: Adaptação de Li (2009).

Um circuito semelhante é descrito por Schwarz (1972), onde a forma de onda de corrente é obtida por meio da integração do sinal de tensão através do indutor, que foi aplicada em conversores ressonantes e, posteriormente, em conversores PWM (SCHOENFELD e YU, 1973). Esse circuito ficou conhecido como módulo de controle padronizado (SCM - *Standardized Control Module*). Deve-se ressaltar que as características do controle em modo-corrente estão presentes nesse circuito (RIDLEY *et al.*, 1988).

Uma maneira mais prática de se implementar o controle em modo-corrente é apresentada por Deisch (1978), na qual a corrente do indutor é medida indiretamente junto ao terminal da fonte do MOSFET, uma vez que essa corrente é idêntica a corrente que circula pelo indutor no intervalo de condução do mesmo para a topologia *buck*. Esta técnica ficou conhecida como controle com injeção de corrente (*CIC – Current-Injection Control*). Por utilizar somente parcialmente as informações da corrente do indutor, as modulações que podem ser usadas são limitadas, permitindo a utilização de VFC COFTT e a modulação em CF-PVC.

De um modo geral, os controladores em modo-corrente fazem uso de uma malha interna de corrente e uma malha externa de tensão, como se pode observar através do diagrama que representa o controle em modo-corrente na Figura 2.2. Partindo desse conceito, outra maneira para se obter o controle de corrente é se incluir uma malha interna com compensador conforme apresentado por Sun e Bass (1999), o diagrama de blocos para esse controle pode ser visualizado na Figura 2.8. Desta forma, a representação dinâmica para malha interna pode ser aplicada por meio da modelagem do sistema (LU *et al.*, 2004). Esta técnica é conhecida como controle em modo-corrente do valor médio (*average current-mode control*).

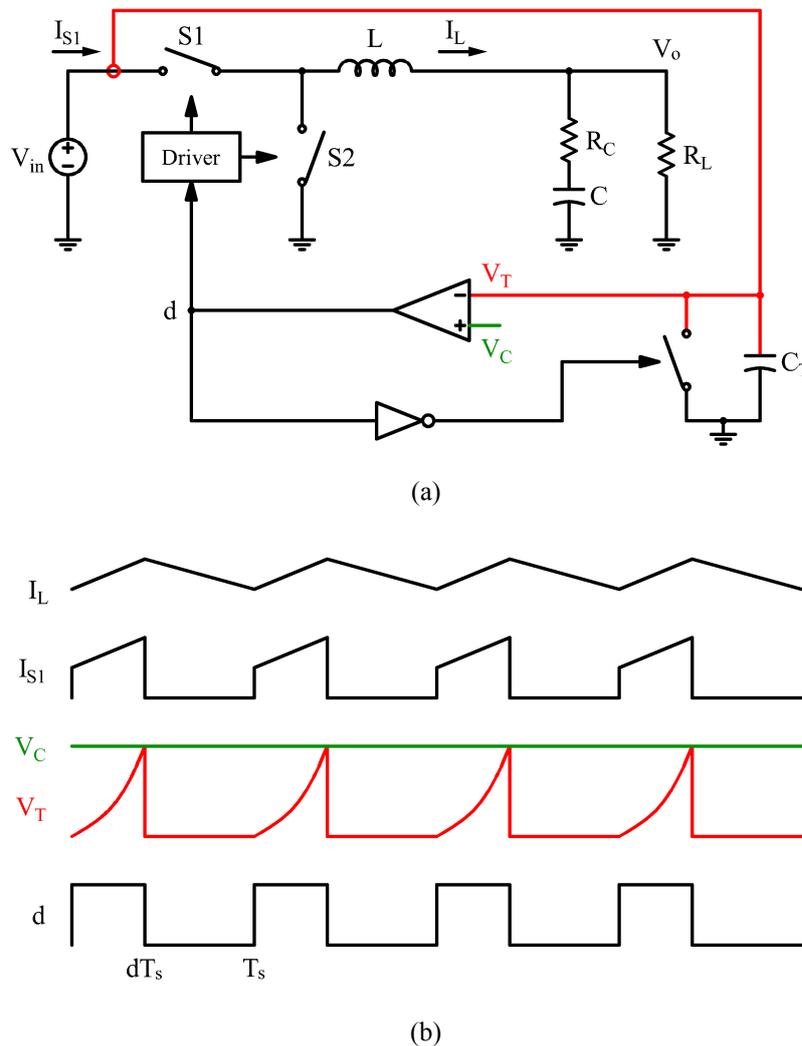
Figura 2.8 – Diagrama de blocos do controle modo-corrente através do modelo médio



Fonte: Adaptação de Sun e Bass (1999).

Outra técnica que não faz uso de variáveis instantâneas é conhecida como controle de carga (*charge control*), esse método de controle é apresentado na Figura 2.9. Nessa técnica o sinal de corrente sobre a chave S1 (corrente na entrada do conversor) é utilizado para carregar um capacitor (C_T), o sinal de tensão desse capacitor, o qual está relacionado à sua carga, é utilizado para bloquear a chave S1 e descarregar o próprio capacitor (TANG *et al.*, 1993).

Figura 2.9 – Conversor *buck* com controle de carga

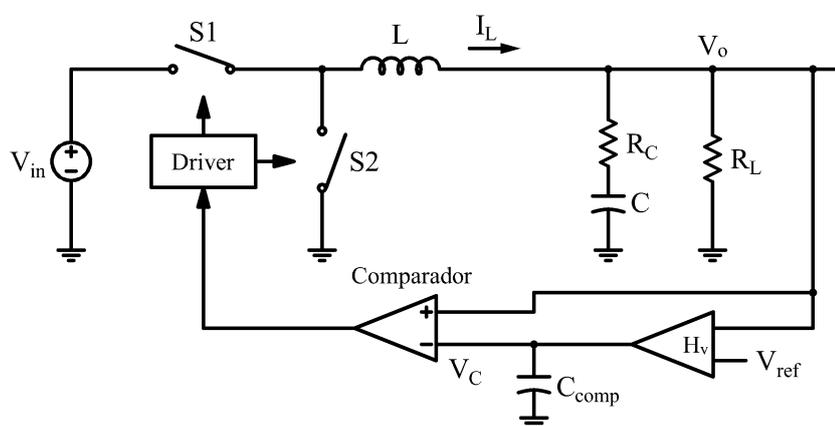


(a) Esquema de controle; (b) Formas de onda.
Fonte: Adaptação de Tang *et al.* (1993).

Uma característica comum às técnicas de controle em modo-corrente discutidas até o momento é a necessidade de se utilizar algum tipo de sensor para medição da corrente, seja esta realizada no MOSFET ou no próprio indutor. Para eliminar essa necessidade, o emprego da variação da tensão sobre o capacitor de saída foi proposto por Qu (2001), essa técnica ficou

conhecida como controle V^2 devido a utilização de duas malhas de tensão, embora uma delas seja usada para medição indireta de corrente. A medição indireta de corrente baseia-se no conceito de que o RSE do capacitor irá produzir uma variação de tensão proporcional ao valor da corrente que passa pelo capacitor, sendo essa variação utilizada para medição indireta da corrente. Contudo o valor de RSE depende do tipo de capacitor utilizado, e a qualidade da medição de corrente dependerá de uma relação entre valores de capacitância, RSE e *ripple* de corrente (YU e LEE, 2010). Dessa forma é necessária uma análise aprofundada para projeto do conversor. Na Figura 2.10 é apresentada a estrutura do controlador V^2 .

Figura 2.10 – Conversor *buck* empregando controle V^2



A possibilidade de implementação do controle sem uma medição instantânea de corrente no V^2 é extremamente vantajosa, devido à complexidade e custo desse sensor. Ao mesmo tempo, esse modo de controle consegue manter as excelentes características de resposta transitória para variação de carga presentes em controladores em modo-corrente, no entanto, a qualidade da medição de corrente não é garantida, devido a medição indireta, fator que deve ser considerado durante o projeto.

2.3 CONCLUSÃO

Nesse capítulo foram apresentadas diversas técnicas de controle encontradas na bibliografia para conversores chaveados. Uma ênfase foi dada ao controle em modo-corrente, mostrando sua evolução e algumas das modulações possíveis, chegando finalmente ao controle V^2 , o qual, devido suas vantagens, será analisado com mais detalhes para aplicação nesse trabalho.

3 CONVERSOR BUCK SÍNCRONO

3.1 INTRODUÇÃO

Nesse capítulo será realizada uma análise completa do conversor abaixador *buck* síncrono, apresentando descrição do circuito e modos de operação. Nessa análise, serão desenvolvidas equações que descrevem o funcionamento do conversor, equações essas, importantes para realizar o projeto do conversor.

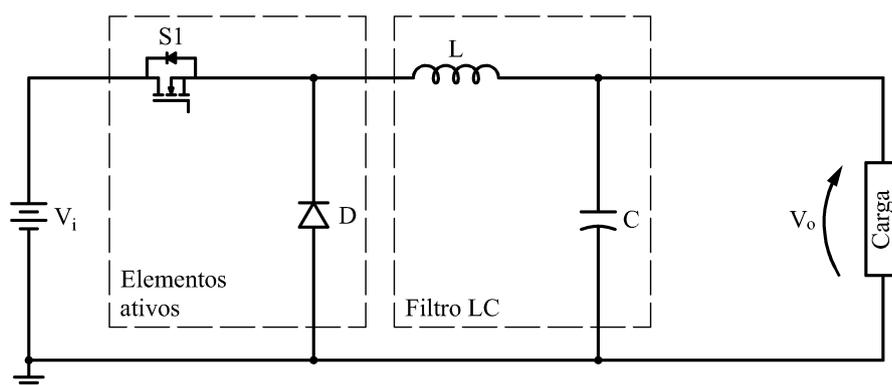
Duas possíveis modulações serão apresentadas, ambas muito utilizadas em fonte chaveadas: modulação em largura de pulso (PWM) e modulação em frequência (PFM – *Pulse Frequency Modulation*) obtida pela utilização de um tempo de condução constante (COT) para chave S1.

Também serão apresentadas as perdas presentes no conversor, relacionadas à condução e chaveamento. Diante dos conceitos discutidos, será realizada uma análise de eficiência, para as diferentes modulações e modos de operação, com o intuito de identificar parâmetros de projeto e funcionamento adequados para os objetivos do trabalho.

3.2 DESCRIÇÃO DO CIRCUITO

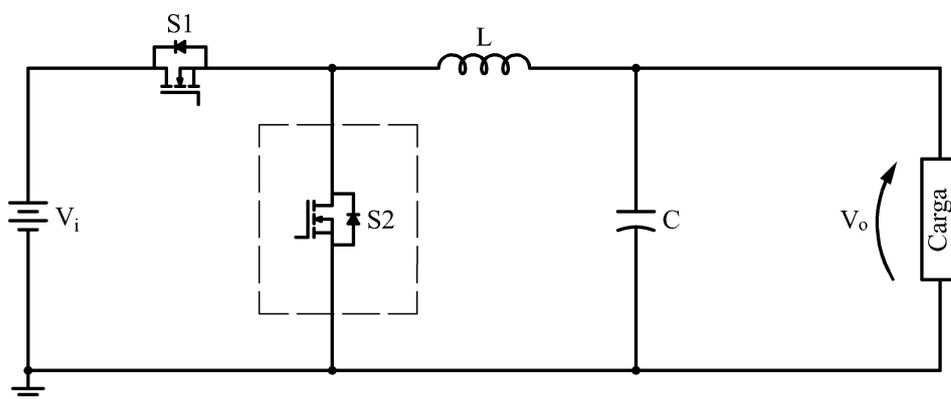
O conversor *buck* é uma topologia não isolada abaixadora de conversores chaveados, produzindo a partir de uma tensão de entrada (V_i) uma tensão de saída (V_o) menor. Para isso, a tensão de entrada é modulada a partir dos elementos ativos do sistema, MOSFET (S1) e diodo (D), e posteriormente filtrada através de um filtro composto por um indutor e um capacitor (filtro LC), resultando na tensão de saída. Na Figura 3.1 é visualizada a topologia *buck*, com a identificação dos componentes citados.

Figura 3.1 – Topologia *buck*



A topologia *buck* síncrono, apresenta como diferença a substituição do diodo por um MOSFET (S2), Figura 3.2. Para aplicações em baixa tensão, as perdas no diodo podem ser muito elevadas, devido ao valor relativamente alto da sua tensão de condução, assim, o uso de um MOSFET, que possui baixa resistência de condução para baixas tensões de ruptura, reduz significativamente as perdas do conversor.

Figura 3.2 – Topologia *buck* síncrono



Com relação ao funcionamento, o *buck* síncrono é muito semelhante ao conversor *buck*, necessitando de um sinal de controle extra para a chave S2. O uso de um MOSFET permite, no entanto, a condução de corrente negativa sobre o indutor, o que não é possível com o uso de diodo. Contudo, um comportamento igual ao de um diodo pode ser obtido através do controle do acionamento de S2, o qual pode ser inibido ou habilitado.

A utilização da topologia síncrona necessita também de um cuidado relativo ao acionamento das chaves, com a aplicação de um tempo morto para eliminar o risco de curto-circuito da fonte V_i nos momentos de transição de estado. Durante esse intervalo, o diodo intrínseco presente no MOSFET efetua a condução de corrente.

3.3 MODOS DE OPERAÇÃO

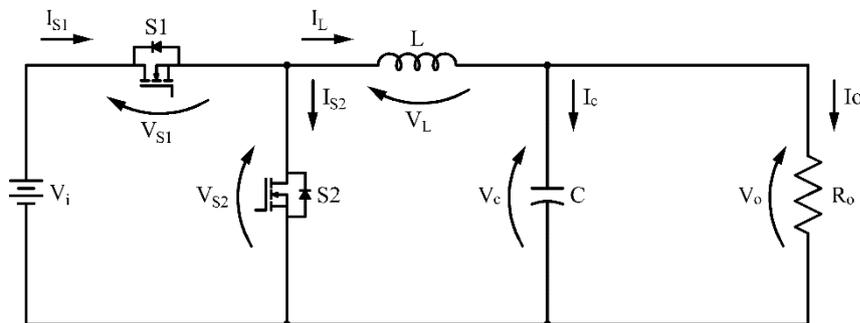
A característica de condução de corrente sobre o indutor define os modos de operação possíveis para um conversor *buck*, tendo influência sobre algumas características fundamentais do sistema, como ganho e modelo do sistema. Dessa forma, é importante a análise dos modos de operação para realização de um projeto adequado do conversor.

O conversor *buck* pode operar em modo de condução contínua (CCM – *Continuous Conduction Mode*) e em modo de condução descontínua (DCM – *Discontinuous Conduction Mode*), sendo essa nomenclatura referente ao comportamento da corrente no indutor. Ainda é possível uma operação crítica, ponto de transição entre os modos de operação citados.

Para a análise de modos de operação é considerado um circuito com componentes ideais (sem perdas), ou seja, com resistências nulas. Também é considerado que o conversor opera em regime permanente. Além disso, a tensão de entrada é considerada como uma fonte de tensão ideal, cujo valor é constante e igual a V_i . De forma análoga, a tensão de saída também é considerada constante com valor V_o , uma vez que a variação de tensão no capacitor (C) é desprezada por possuir um valor muito pequeno.

O diagrama esquemático do circuito utilizado na análise é apresentado na Figura 3.3, com a identificação dos componentes e variáveis.

Figura 3.3 – Circuito ideal do conversor *buck* síncrono



O período de chaveamento do conversor (T) é dado pelo inverso da frequência de chaveamento (f_s), conforme (3.1).

$$T = \frac{1}{f_s} \quad (3.1)$$

O período de condução da chave S1, definido por T_{ON} , pode ser descrito como uma razão do período de chaveamento, designando a razão cíclica (D) do conversor (3.2). Para a chave S2 o tempo de condução foi definido como T_{ON2} , descrito por D' como razão do período de chaveamento (3.3).

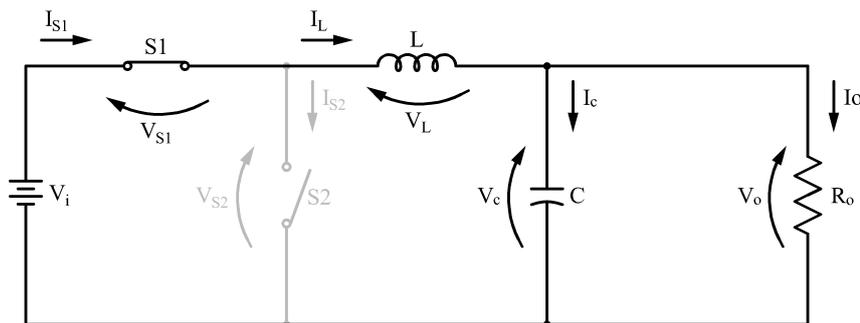
$$D = \frac{T_{ON}}{T} \quad (3.2)$$

$$D' = \frac{T_{ON2}}{T} \quad (3.3)$$

3.3.1 Modo de condução contínua (CCM)

Em modo de condução contínua o conversor apresenta duas etapas de funcionamento. A primeira etapa ocorre durante o intervalo de condução de S1 ($0 < t < DT$). O diagrama do circuito para este intervalo é representado na Figura 3.4.

Figura 3.4 – Primeira etapa de operação (S1 em condução)



Pode-se observar, através da análise do circuito, que a tensão sobre o indutor (V_L) é igual a diferença entre a tensão de entrada (V_i) e a tensão de saída (V_o).

$$V_L = V_i - V_o \quad (3.4)$$

A equação diferencial que relaciona a tensão e corrente sobre um indutor é apresentada em (3.5). Utilizando as considerações acima e a característica abaixadora do conversor, verifica-se que V_L possui um valor positivo constante, fazendo com que a corrente sobre o indutor aumente de forma linear, a partir de um valor inicial ($I_L(0)$), durante essa etapa de operação, conforme (3.6).

$$V_L(t) = L \frac{dI_L(t)}{dt} \quad (3.5)$$

$$I_L(t) = I_L(0) + \frac{V_i - V_o}{L} t \quad (3.6)$$

Os esforços de tensão e corrente sobre as chaves para essa etapa são apresentados nas equações (3.7) a (3.10). A corrente sobre a chave S1 é igual ao valor de corrente sobre o indutor, enquanto a tensão é zero, por estar em condução. Para a chave S2 a tensão é igual a tensão de entrada, e a corrente é zero, pois se encontra em corte.

$$I_{S1}(t) = I_L(t) \quad (3.7)$$

$$V_{S1} = 0 \quad (3.8)$$

$$I_{S2} = 0 \quad (3.9)$$

$$V_{S2} = V_i \quad (3.10)$$

A primeira etapa de condução é encerrada com o bloqueio da chave S1, no instante de tempo $t = DT$, onde as equações apresentadas de (3.4) à (3.10) deixam de ser válidas.

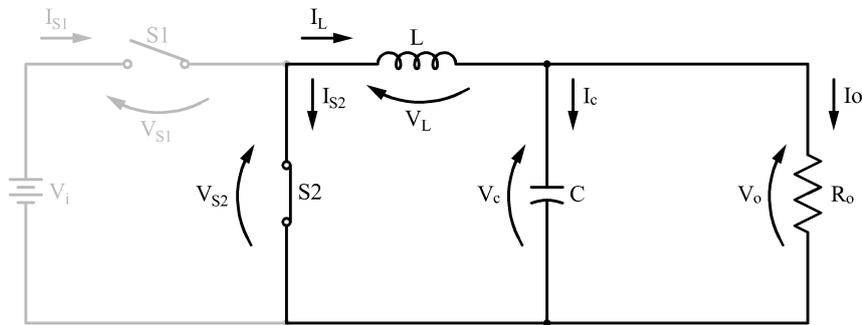
Na segunda etapa de operação, ocorre a condução da chave S2 e corte da chave S1 conforme a Figura 3.5. Em CCM essa etapa ocorre até o fim do período, assim, a relação entre os intervalos de condução das chaves e o período é apresentada em (3.11).

$$T_{ON} + T_{ON2} = T \quad (3.11)$$

A mesma relação pode ser escrita de outra forma em função das razões cíclicas (3.12).

$$D + D' = 1 \quad (3.12)$$

Figura 3.5 – Segunda etapa de operação (S2 em condução)



No intervalo de condução de S2 ($DT < t < T$) a tensão sobre o indutor é a mesma tensão de saída com polaridade invertida (3.13), causando uma redução linear na corrente do indutor.

$$V_L = -V_o \quad (3.13)$$

Utilizando novamente a equação diferencial para o indutor apresentada em (3.5), pode-se encontrar a função da corrente no indutor para a segunda etapa de condução (3.14).

$$I_L(t) = I_L(DT) - \frac{V_o}{L}(t - DT) \quad (3.14)$$

A corrente sobre a chave S2 será a corrente do indutor com polaridade invertida, enquanto a tensão sobre a chave S1 será igual a tensão na entrada, o que pode ser verificado na Figura 3.5. Os esforços sobre as chaves para esta etapa são apresentados nas equações (3.15) até (3.18).

$$I_{S1} = 0 \quad (3.15)$$

$$V_{S1} = V_i \quad (3.16)$$

$$I_{S2}(t) = -I_L(t) \quad (3.17)$$

$$V_{S2} = 0 \quad (3.18)$$

Com o fim desta etapa em $t = T$, ocorre o bloqueio de S2 e condução de S1, iniciando um novo período de chaveamento.

A Figura 3.6 apresenta algumas formas de onda para o conversor operando em CCM, considerando os dois intervalos apresentados. São mostrados os estados de condução das chaves (a) e (b), a tensão sobre o indutor (c) e sua corrente (d).

Para funcionamento em regime permanente a corrente média que circula sobre o capacitor em um período de chaveamento é zero (3.19).

$$I_{c(med)} = \int_0^T I_c(t) dt = 0 \quad (3.19)$$

Utilizando análise nodal é possível relacionar os valores médios de corrente na carga, no indutor e no capacitor (3.20). A corrente na carga é considerada constante e, portanto, é igual ao seu valor médio.

$$I_{L(med)} = I_o + I_{c(med)} \quad (3.20)$$

Utilizando as equações (3.19) e (3.20), conclui-se que a corrente média no indutor é igual a corrente na carga (3.21).

$$I_{L(med)} = I_o \quad (3.21)$$

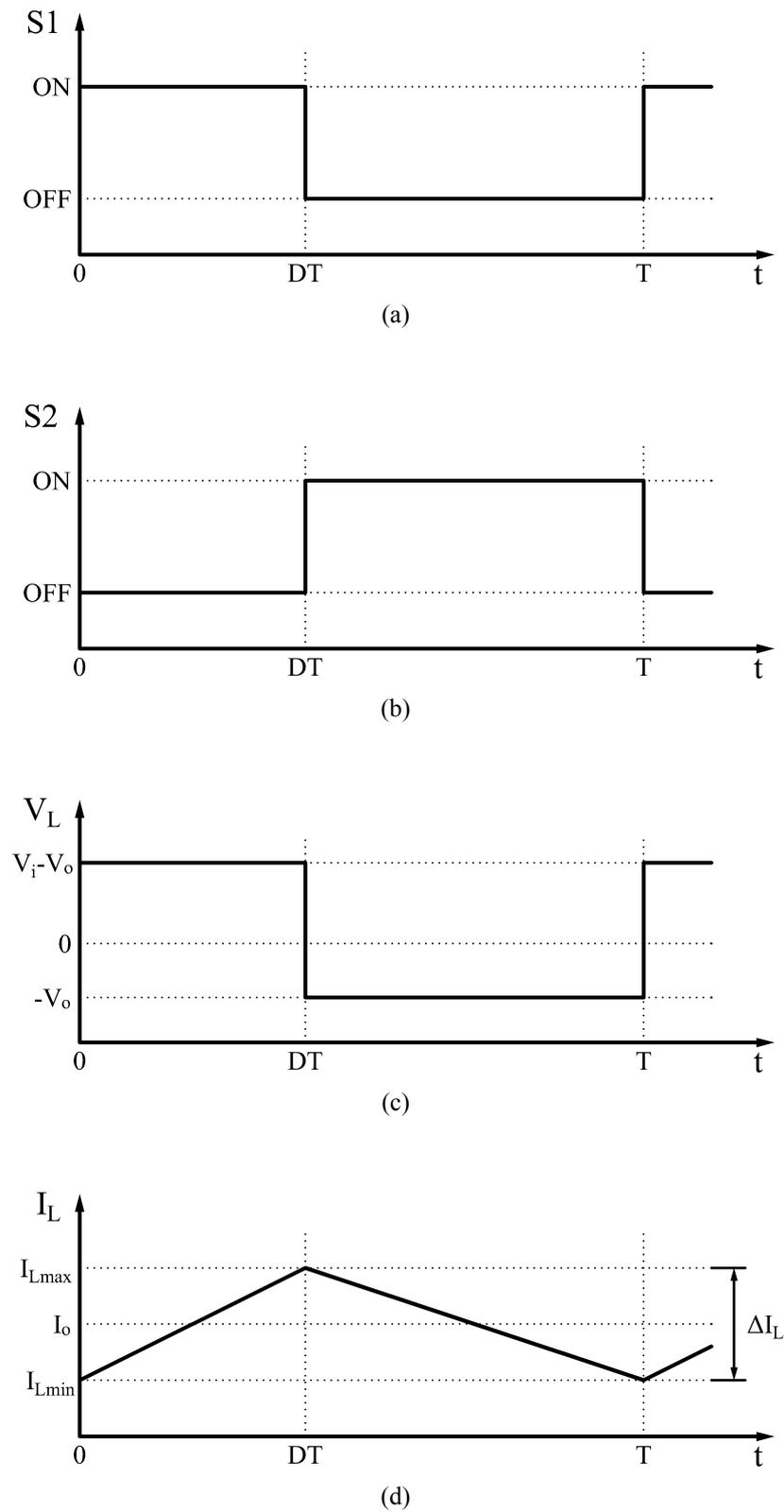
A variação de corrente no indutor (ΔI_L), ou *ripple* de corrente, pode ser encontrado a partir dos valores mínimo e máximo de corrente (3.22), respectivamente em $t = 0$ e $t = DT$ como verificado na Figura 3.6 (d).

$$\Delta I_L = I_{L(max)} - I_{L(min)} = I_L(DT) - I_L(0) \quad (3.22)$$

Utilizando a equação da corrente no indutor para a primeira (3.6) ou segunda (3.14) etapa, encontra-se o *ripple* de corrente em função de parâmetros do conversor (3.23).

$$\Delta I_L = \frac{D(V_i - V_o)T}{L} \quad (3.23)$$

Figura 3.6 – Curvas do conversor em CCM



(a) Estado de condução da chave S1; (b) Estado de condução da chave S2; (c) Tensão sobre o indutor (V_L); (d) Corrente sobre o indutor (I_L).

Ainda utilizando a Figura 3.6 (d) os valores de corrente máximo e mínimo no indutor podem ser utilizados para cálculo de sua corrente média (corrente na carga), considerando a forma de onda triangular, esse cálculo é feito por (3.24).

$$I_o = \frac{I_{L(max)} + I_{L(min)}}{2} \quad (3.24)$$

Os valores mínimo e máximo de corrente sobre o indutor ainda podem ser encontrados em função da corrente da carga usando as relações (3.22) e (3.24), resultando nas equações e (3.25) e (3.26).

$$I_{L(max)} = I_o - \frac{\Delta I_L}{2} \quad (3.25)$$

$$I_{L(min)} = I_o + \frac{\Delta I_L}{2} \quad (3.26)$$

Assim como a corrente média sobre o capacitor, a tensão média sobre o indutor é zero para um período de chaveamento em regime permanente, conforme (3.27).

$$V_{L(med)} = \frac{1}{T} \int_0^T v_L(t) dt = 0 \quad (3.27)$$

Utilizando o valor da tensão no indutor na primeira e na segunda etapa, pode ser feito o cálculo da tensão média, usando as respectivas razões cíclicas (3.28).

$$D(V_i - V_o) - D'V_o = 0 \quad (3.28)$$

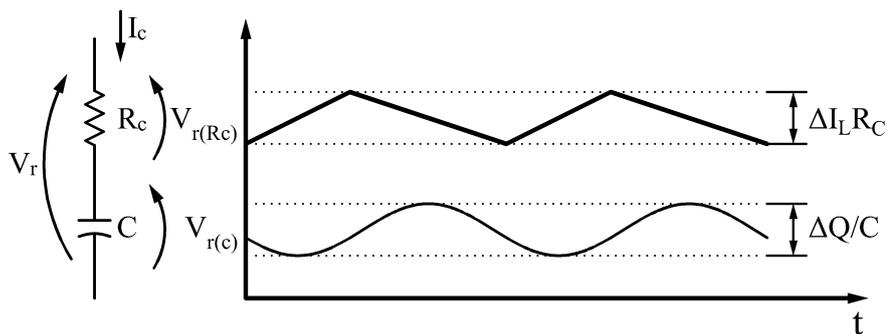
A partir dessa equação, é possível calcular o ganho para operação em CCM (3.29), definido como M , o qual representa a razão entre a tensão de entrada e saída. Verifica-se que para funcionamento em CCM o ganho será função apenas da razão cíclica, não dependendo de demais parâmetros do circuito.

$$M = \frac{V_o}{V_i} = D \quad (3.29)$$

Até o momento a variação de tensão (*ripple* de tensão) na carga foi desconsiderado para simplificação da análise, o que é justificável devido ao efeito mínimo sobre as tensões e correntes nas chaves e indutor, considerando que é desejado um *ripple* pequeno na carga. Porém, o *ripple* de tensão é um parâmetro importante de projeto, e portanto, seu comportamento é analisado a seguir.

Para um cálculo preciso do *ripple* de tensão na carga, é necessário incluir resistência série (R_c) do capacitor (C) no circuito mostrado na Figura 3.5. Com isso, o modelo do capacitor do conversor passa a ser conforme mostrado na Figura 3.7. A partir desse modelo, a variação da tensão de saída fica composta por duas parcelas, a primeira referente à variação de corrente sobre o resistor (R_c), e a segunda devido à variação de carga no capacitor, conforme mostrado na Figura 3.7.

Figura 3.7 – Componentes do *ripple* de tensão sobre o capacitor



A primeira parcela, observada sobre o resistor série, pode ser calculada da seguinte forma. Considerando que a corrente na carga é constante, o *ripple* de corrente do indutor será igual ao *ripple* de corrente no capacitor, gerando um *ripple* de tensão sobre a resistência série apresentado em (3.30).

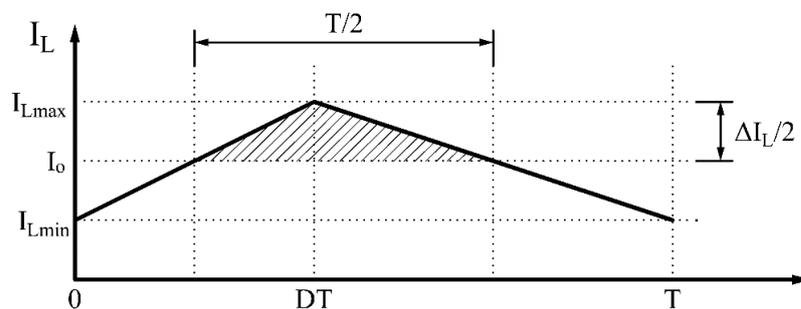
$$V_{r(Rc)} = \Delta I_L R_c \quad (3.30)$$

A segunda parcela, referente à variação de carga (ΔQ) no capacitor, pode ser calculada utilizando a área da corrente I_L acima de I_o ($I_c = I_L - I_o$), Figura 3.8. Esse cálculo pode ser realizado através da fórmula para área de um triângulo resultando em (3.31). O *ripple* de tensão é calculado para o valor do capacitor conforme (3.32).

$$\Delta Q = \frac{T\Delta I_L}{8} \quad (3.31)$$

$$V_{r(c)} = \frac{\Delta Q}{C} = \frac{T\Delta I_L}{8C} \quad (3.32)$$

Figura 3.8 – Variação de carga sobre o capacitor



As parcelas de *ripple* não estão em fase, o que pode ser observado na Figura 3.7, mas a soma direta das duas parcelas pode ser considerado como um critério conservador de projeto (3.33).

$$V_r = \frac{T\Delta I_L}{8C} + \Delta I_L R_c \quad (3.33)$$

A partir da análise realizada é possível observar que o ganho em CCM é independente da corrente da carga, assim como os *ripple* de corrente e de tensão.

O *buck* síncrono permite a utilização do modo CCM para qualquer valor de corrente da carga, apenas pelo acionamento complementar das chaves S1 e S2, permitindo a circulação de corrente negativa sobre o indutor. Como a operação com corrente negativa é um caso de funcionamento específico, com algumas diferenças de comportamento, essa operação é chamada de CCM forçado, ou FCCM, para diferenciação.

Porém correntes negativas sobre o indutor podem ser indesejadas devido às perdas envolvidas, para evitar isso, S2 pode atuar de forma similar a um diodo, através do bloqueio de S2 não permitindo a circulação de corrente negativa. Nessa situação o conversor opera em DCM para uma dada região de carga, o ponto de transição de modos (operação crítica) e a operação DCM são analisados a seguir.

3.3.2 Modo de operação crítica

A operação crítica é a fronteira entre os modos CCM e DCM. Essa operação possui o mesmo comportamento que CCM, apresentando duas etapas de condução, com a particularidade de a corrente começar (e terminar) o período exatamente em zero. Nesse caso a corrente mínima $I_{L(min)}$ será igual a zero e, utilizando as equações para corrente (3.23) e (3.24) em conjunto com a equação do ganho (3.29), chega-se ao valor de corrente da carga para operação crítica (3.34), chamada de corrente de fronteira (I_B - *Boundary current*).

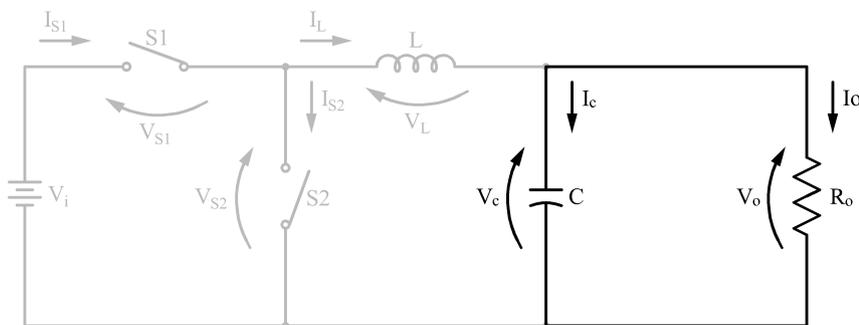
$$I_B = \frac{M(V_i - V_o)T}{2L} \quad (3.34)$$

Essa equação é usada no projeto do indutor para definição do tipo de operação do conversor, ou valor de corrente para o qual ocorrerá a troca entre DCM e CCM.

3.3.3 Modo de condução descontínua (DCM)

A operação em DCM, no conversor *buck* síncrono, ocorre quando a corrente da carga é menor que a corrente de operação crítica do conversor, considerando a chave S2 em operação semelhante a um diodo, cortando a condução quando a corrente atinge o valor zero. Em decorrência disso, além das duas etapas de condução observadas em CCM, há uma terceira etapa onde a tensão e corrente no indutor se mantêm zero e as chaves S1 e S2 se encontram abertas, Figura 3.9.

Figura 3.9 – Terceira etapa de operação (S1 e S2 em corte)



Para as duas primeiras etapas o comportamento é semelhante a operação CCM, com a corrente partindo de zero no primeiro estágio e terminando em zero ao fim do segundo estágio. Além disso, a soma dos tempos de condução das chaves S1 e S2 não é igual ao período de chaveamento devido a existência da terceira etapa.

Para a primeira etapa, com condução de S1 ($0 < t < DT$), a corrente pode ser calculada por (3.35).

$$I_L(t) = \frac{V_i - V_o}{L} t \quad (3.35)$$

Para a segunda etapa, com condução de S2 ($DT < t < (D+D')T$), a corrente é calculada por (3.36).

$$I_L(t) = \frac{V_i}{L} DT - \frac{V_o}{L} t \quad (3.36)$$

Na terceira etapa ($(D+D')T < t < T$), onde ambas as chaves estão abertas, a corrente possui valor zero, conforme (3.37).

$$I_L(t) = 0 \quad (3.37)$$

Os esforços sobre as chaves também são iguais aos da operação CCM, para a primeira e segunda etapa. Na terceira etapa, a tensão sobre a chave S1 será igual a diferença entre a tensão de entrada e saída (3.39), sobre a chave S2 será igual a tensão de saída (3.41), e as correntes serão iguais a zero (3.38) e (3.40).

$$I_{S1} = 0 \quad (3.38)$$

$$V_{S1} = V_i - V_o \quad (3.39)$$

$$I_{S2} = 0 \quad (3.40)$$

$$V_{S2} = V_o \quad (3.41)$$

A Figura 3.10 apresenta as formas de onda do conversor para operação em DCM. Observa-se na Figura 3.10 (d) que a corrente inicia o período em zero, sendo esse seu valor mínimo (3.42), o valor máximo será igual a variação de corrente ΔI_L (3.43).

$$I_{L(\min)} = 0 \quad (3.42)$$

$$I_{L(\max)} = \Delta I_L \quad (3.43)$$

O valor do *ripple* de corrente é calculado de forma semelhante à operação CCM, através da equação de corrente para a primeira etapa (3.35), resultando em (3.44). O mesmo pode ser feito analisando a corrente na segunda etapa (3.36), o que resulta em (3.45).

$$\Delta I_L = \frac{(V_i - V_o)DT}{L} \quad (3.44)$$

$$\Delta I_L = \frac{V_o D' T}{L} \quad (3.45)$$

A partir das equações (3.44) e (3.45) é possível encontrar a relação entre as razões cíclicas das chaves em DCM (3.46).

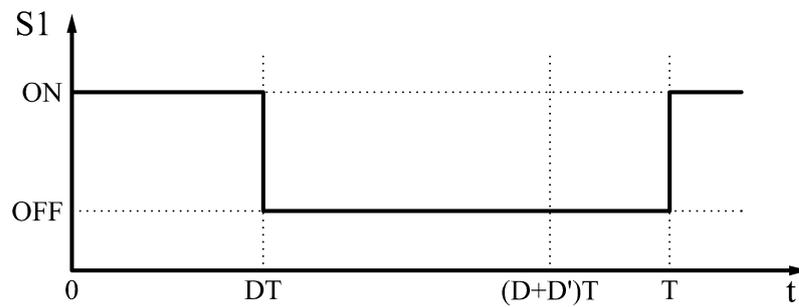
$$D' = D \frac{(V_i - V_o)}{V_o} \quad (3.46)$$

Ainda observando a Figura 3.10 (d), é visualizada uma forma de onda triangular para a corrente, abrangendo apenas a parcela do período referente à primeira e segunda etapa. O cálculo, para essa forma de onda, da corrente média no indutor (corrente da carga), é apresentado em (3.47).

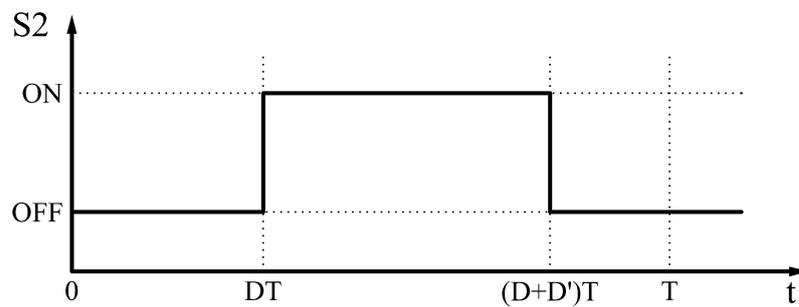
$$I_o = \frac{\Delta I_L (D + D')}{2} \quad (3.47)$$

A substituição da relação entre as razões cíclicas (3.46) na equação de corrente da carga (3.47), resulta na corrente de saída expressa em função das tensões de entrada e saída, *ripple* de corrente e razão cíclica (3.48).

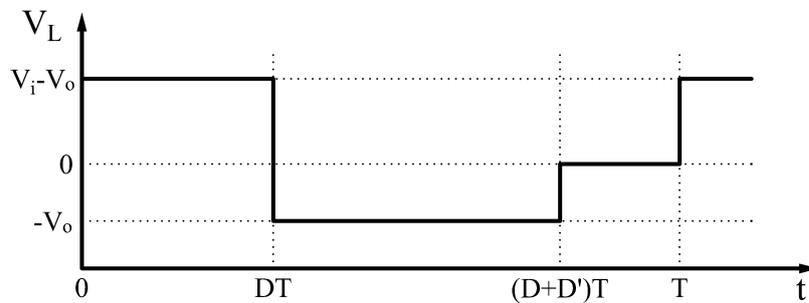
Figura 3.10 – Curvas do conversor em DCM



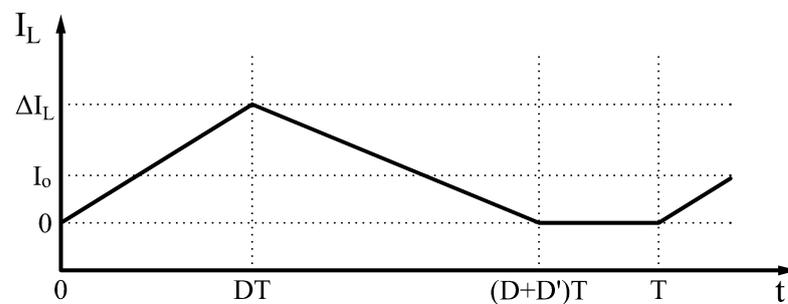
(a)



(b)



(c)



(d)

(a) Estado de condução da chave S1; (b) Estado de condução da chave S2; (c) Tensão sobre o indutor (V_L); (d) Corrente sobre o indutor (I_L).

$$I_o = \frac{\Delta I_L D V_i}{2V_o} \quad (3.48)$$

Desta equação pode ser derivada a equação para o ganho (M) do conversor em DCM (3.49). É observado que, para operação em DCM o ganho do conversor depende não apenas da razão cíclica, como em CCM, mas também da corrente de saída e do *ripple* de corrente.

$$M = \frac{\Delta I_L D}{2I_o} \quad (3.49)$$

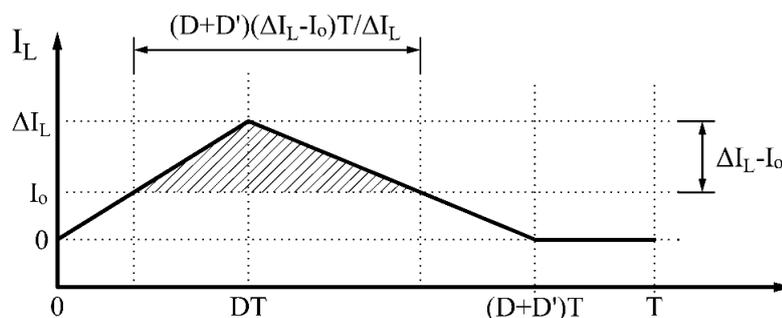
O *ripple* de tensão é calculado da mesma forma que em CCM, com a consideração das parcelas referentes à variação de carga do capacitor e ao resistor série, Figura 3.7. Para o *ripple* de tensão sobre o resistor série a equação é semelhante ao modo CCM (3.50), utilizando o *ripple* de corrente e a resistência série equivalente.

$$V_{r(RC)} = \Delta I_L R_c \quad (3.50)$$

A variação de carga no capacitor também é calculada de forma semelhante à CCM, pela área da corrente em acima da corrente da carga, mas, para esse caso a curva de corrente é diferente, apresentada na Figura 3.11. A partir dos valores identificados na Figura 3.11 a variação de carga sobre o capacitor é calculada por (3.51).

$$\Delta Q = \frac{(D + D')(\Delta I_L - I_o)^2 T}{2\Delta I_L} \quad (3.51)$$

Figura 3.11 – Variação de carga no capacitor em DCM



Substituindo a soma das razões cíclicas apresentada na equação (3.47) e utilizando o valor do capacitor, é possível calcular o valor do *ripple* de tensão devido a carga do capacitor através de (3.52).

$$V_{r(c)} = \frac{I_o(\Delta I_L - I_o)^2 T}{\Delta I_L^2 C} \quad (3.52)$$

O *ripple* total de tensão é calculado pela soma das duas parcelas apresentadas para operação DCM (3.50) e (3.52), resultando em (3.53).

$$V_r = \Delta I_L R_c + \frac{I_o(\Delta I_L - I_o)^2 T}{\Delta I_L^2 C} \quad (3.53)$$

3.4 ANÁLISE DA MODULAÇÃO

Nesta seção serão analisados dois tipos de modulação PWM e COT (PFM), apresentando o comportamento do conversor, em CCM e DCM, para uma situação de ganho constante. Esse comportamento será utilizado para análise de eficiência e avaliação do método de modulação mais adequado para os requisitos de projeto.

3.4.1 Modulação por largura de pulso (PWM)

A modulação por largura de pulso é amplamente utilizada em fontes chaveadas, devido a sua simplicidade de implementação em malha aberta ou fechada em conjunto com compensadores lineares. Seu funcionamento consiste na utilização de uma frequência constante, com atuação sobre a razão cíclica de S1 (D) e, portanto, sobre o ganho do conversor.

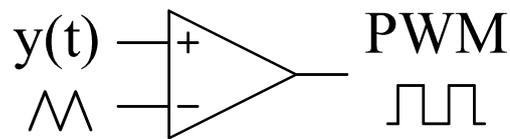
Essa modulação é facilmente obtida analogicamente a partir de um comparador, um sinal modulador ($y(t)$) e uma portadora triangular ou dente de serra na frequência de chaveamento, Figura 3.12 (a). Na Figura 3.12 (b) pode ser observado como o sinal PWM é gerado a partir do comparador. Em abordagens digitais é utilizado o mesmo conceito, através da utilização de contadores como portadora, com módulos específicos para esse fim presentes nos microcontroladores e DSPs.

Para CCM, o ganho do conversor é dado diretamente pela razão cíclica (3.29), logo, para um ganho constante a razão cíclica será constante (3.54). Essa situação ocorrerá sempre

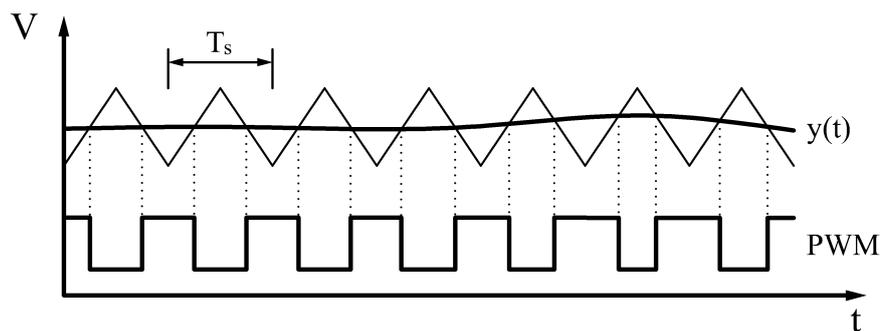
para correntes acima da corrente crítica, e para correntes abaixo da crítica no caso de operação CCM forçada (FCCM), com aplicação de sinal complementar às chaves.

$$D = M \quad (3.54)$$

Figura 3.12 – Modulação PWM



(a)



(b)

(a) Modulador PWM através de um comparador; (b) Análise gráfica da modulação PWM com portadora triangular.

O *ripple* de corrente também será constante em CCM dado pela equação (3.55).

$$\Delta I_L = \frac{(V_i - V_o)DT}{L} = 2I_B \quad (3.55)$$

Para operação em DCM a razão cíclica pode ser calculada através de (3.56), derivada das equações (3.44) e (3.49).

$$D^2 = \frac{2I_oML}{T(V_i - V_o)} \quad (3.56)$$

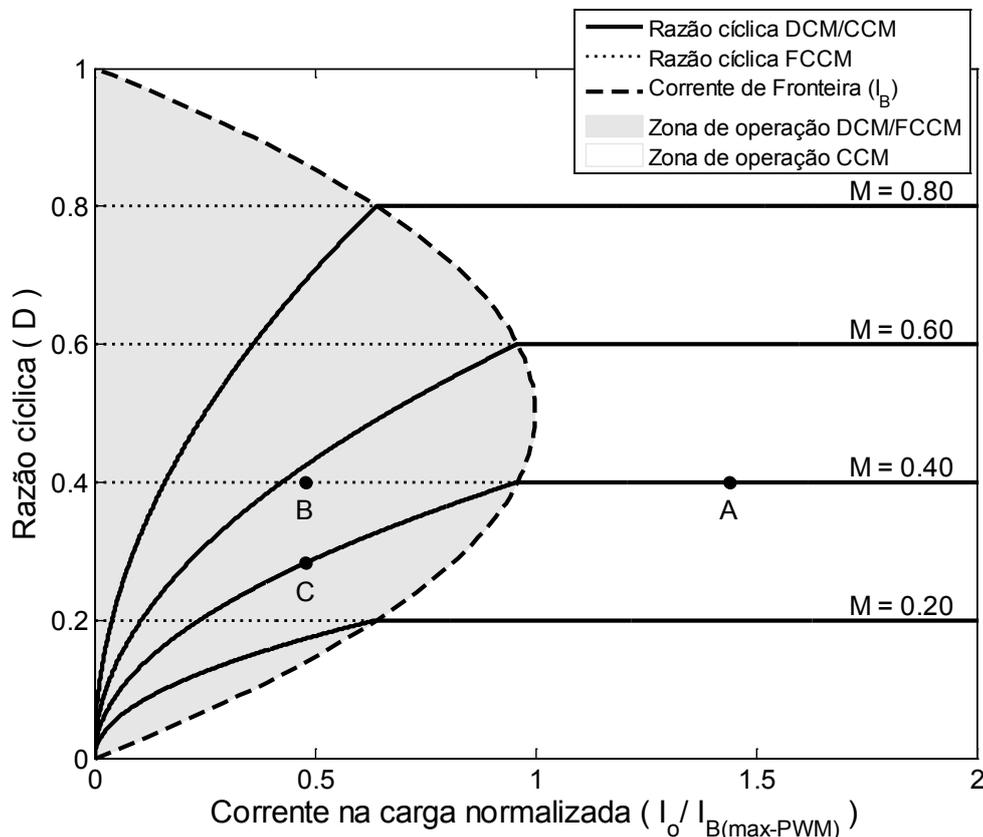
Como a operação DCM ocorre para correntes abaixo da corrente de fronteira (I_B), é interessante calcular a razão cíclica em função de uma razão entre a corrente da carga e a corrente de fronteira (3.57), a qual é obtida substituindo (3.34) em (3.56).

$$D = M \sqrt{\frac{I_o}{I_B}} \quad (3.57)$$

Em DCM a razão cíclica é proporcional à raiz quadrada da razão entre a corrente da carga e a corrente de fronteira para um ganho constante.

A Figura 3.13 apresenta as curvas de razão cíclica para PWM em operação CCM, FCCM e DCM, para diferentes valores de ganho. É observado que a corrente de fronteira varia para diferentes ganhos, com um valor máximo no ganho $M = 0,5$, usado para normalização da corrente. Para correntes superiores à corrente de fronteira, a razão cíclica se mantém constante conforme a equação (3.54). Para correntes abaixo da corrente de fronteira, área destacada, o conversor opera em DCM com a razão cíclica definida por (3.57), ou em FCCM mantendo a razão cíclica constante.

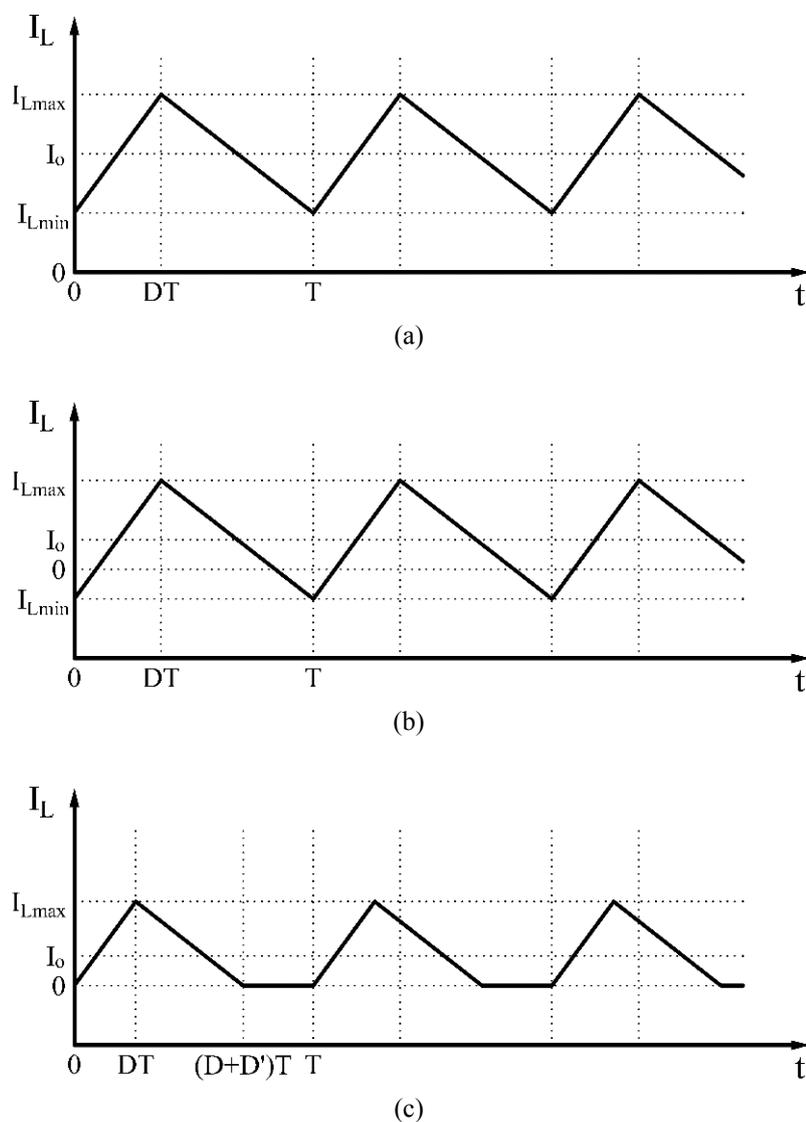
Figura 3.13 – Curvas de razão cíclica para o conversor *buck* em PWM



Três pontos de operação são destacados na Figura 3.13 para um ganho $M = 0,4$, sendo: A para operação em CCM, B para operação FCCM e C para operação em DCM. A modulação PWM é apresentada para cada ponto, através da curva de corrente sobre o indutor, na Figura 3.14, respectivamente em (a), (b) e (c).

É verificado que em todos os casos a frequência é mantida constante. Em operação CCM (e FCCM) a razão cíclica é a mesma, assim como o *ripple* de corrente, com um deslocamento da corrente média do indutor conforme a carga. Em operação DCM a corrente mínima é limitada em zero, e a razão cíclica é reduzida assim como o *ripple* de corrente.

Figura 3.14 – Corrente no indutor para PWM em diferentes pontos de operação



(a) Operação em CCM; (b) Operação em FCCM; (c) Operação em DCM.

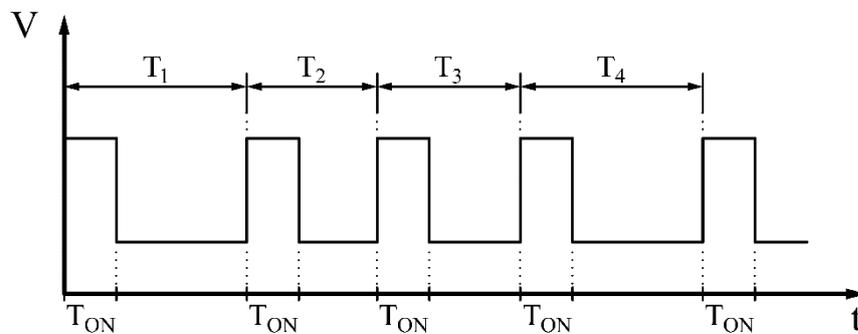
Em funcionamento DCM o comportamento é visualizado para o *ripple* de corrente no indutor é semelhante ao comportamento da razão cíclica, podendo ser calculado por (3.58), em função da corrente da carga e corrente de fronteira.

$$\Delta I_L = 2I_B \sqrt{\frac{I_o}{I_B}} \quad (3.58)$$

3.4.2 Modulação com tempo de condução constante (COT)

A modulação COT é realizada mantendo o tempo de condução da chave S1 constante, atuando portanto, sobre a frequência de chaveamento para modificar a razão cíclica e ganho do conversor, o que pode ser observado na Figura 3.15. Essa modulação é um tipo de modulação em frequência, o que a torna interessante devido à redução a frequência de chaveamento para baixas cargas quando em operação DCM, como será analisado a seguir.

Figura 3.15 – Modulação COT



A alteração da frequência de chaveamento torna difícil de se obter um modelo linear para o conversor, assim, para esse tipo de modulação são comumente utilizadas técnicas de controle não lineares.

Em funcionamento CCM e ganho constante, a razão cíclica será constante (3.29). Utilizando a relação entre a razão cíclica e o tempo de condução da chave S1 (3.2), é possível relacionar a frequência de chaveamento ao ganho (3.59), onde verifica-se uma frequência de chaveamento constante.

$$f_s = \frac{M}{T_{on}} \quad (3.59)$$

Assim como para PWM, em COT também é possível utilizar FCCM para correntes abaixo da corrente de fronteira, mantendo a frequência constante para qualquer carga.

O *ripple* de corrente também está relacionado ao tempo de condução da chave S1, logo, para essa modulação, se manterá constante em toda a faixa de operação (3.60).

$$\Delta I_L = 2I_B \quad (3.60)$$

Para funcionamento em DCM pode-se encontrar a frequência em função da corrente da carga a partir da equação (3.61). Utilizando a relação entre tempo de condução da chave S1 e razão cíclica (3.2), em conjunto com o *ripple* de corrente constante para DCM (3.44). É observado que, quando em operação DCM, o valor da frequência de chaveamento é proporcional a carga.

$$f_s = \frac{MI_o}{T_{ON}I_B} \quad (3.61)$$

O comportamento da frequência de chaveamento para modulação COT é observado na Figura 3.16 para diferentes ganhos, derivado das equações (3.59) para CCM e (3.61) para DCM. A frequência de chaveamento é normalizada pela frequência máxima hipotética ($1/T_{on}$), que ocorreria em uma situação de ganho $M = 1$. Assim como em funcionamento PWM, a corrente de fronteira varia para diferentes ganhos, porém nesse caso de forma linear, com seu valor máximo ocorrendo para o caso de ganho mínimo.

São identificados, na Figura 3.16, dois pontos de operação: A para operação CCM e B para operação DCM, ambos para um ganho $M = 0,4$. A modulação COT é apresentada para os dois pontos de operação, através da curva de corrente sobre o indutor, na Figura 3.17, respectivamente em (a) e (b).

Observa-se que, em CCM o comportamento da modulação COT é semelhante a operação PWM, considerando a escolha do tempo de condução da chave S1 para obter-se a mesma frequência de chaveamento. Para funcionamento em DCM, ocorre variação na frequência de chaveamento, enquanto o *ripple* de corrente é mantido fixo. Também é importante observar que o tempo de condução da chave S2 também é mantido constante o que simplifica a implementação de seu acionamento.

Figura 3.16 – Curvas de frequência de chaveamento para o conversor *buck* em COT

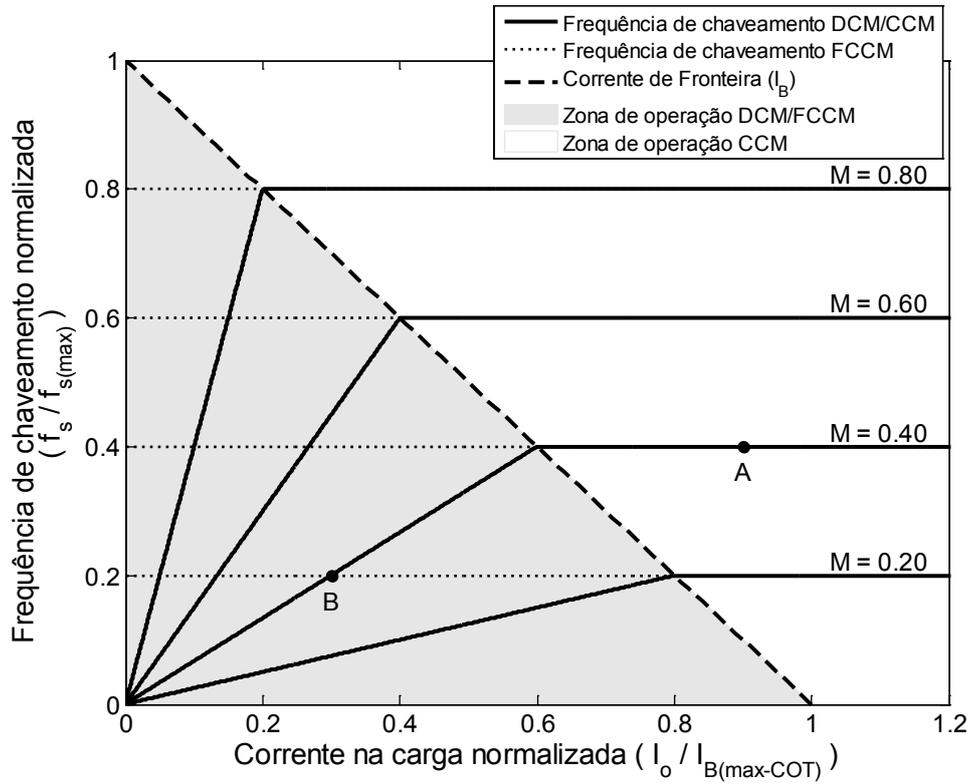
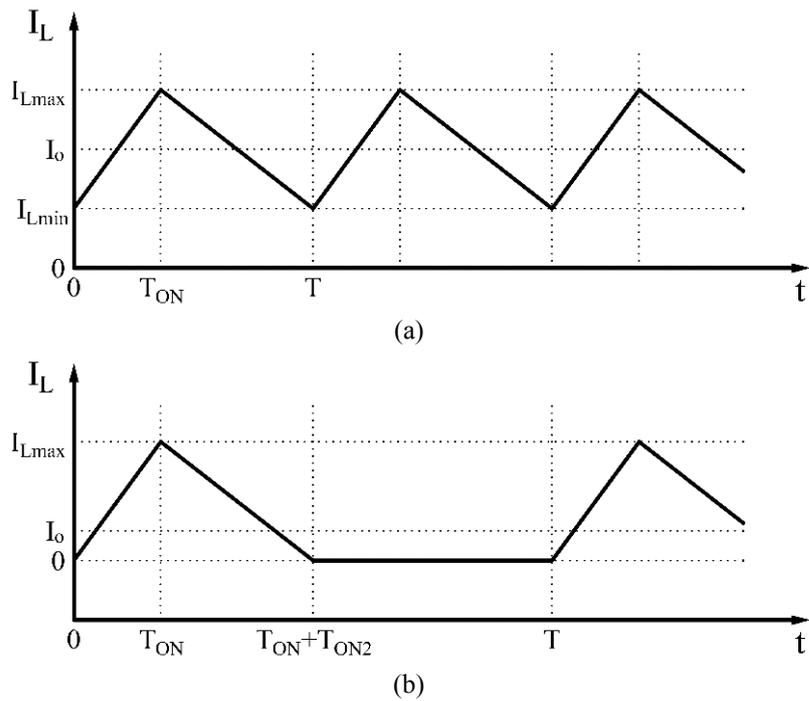


Figura 3.17 – Corrente no indutor para COT em diferentes pontos de operação



(a) Modulação COT para funcionamento em CCM; (b) Modulação COT para funcionamento em DCM.

3.5 PERDAS E EFICIÊNCIA DO CONVERSOR

Como analisado nas seções 3.3 e 3.4, o modo de operação e o tipo de modulação possuem grande influência no funcionamento do conversor *buck*, alterando comportamento e valor de diversas variáveis. Como uma das prioridades do trabalho é obter uma eficiência elevada, especialmente em cargas reduzidas, é importante a realização de uma análise dos mecanismos de perdas do conversor, para verificação de como os tipos de funcionamento apresentados influenciam nas perdas.

Essa seção apresentará uma análise das perdas mais importantes presentes para o circuito do conversor *buck* síncrono, identificando a influência de alguns parâmetros de projeto e modos de funcionamento sobre os diferentes tipos de perdas. Todas as perdas são dadas em Watts (W) e, como referência para apresentação dos equacionamentos foram utilizados Wen (2014), Jauregui *et al.* (2011) e Fu *et al.* (2013).

Após apresentadas as equações para as perdas e eficiência, será estudado o comportamento da eficiência para diferentes cargas e situações de funcionamento. Essa análise será feita de forma teórica e através de simulação, apresentando curvas de eficiência em função da carga.

Por fim, serão avaliados os resultados teóricos e gráficos de eficiência para diferentes parâmetros do conversor e diferentes modos de funcionamento, sendo esses resultados utilizados na definição do projeto e funcionamento do conversor.

3.5.1 Perdas de condução

As perdas de condução são geradas devido a circulação de corrente sobre as resistências intrínsecas dos componentes do circuito. Foram considerados na análise os resistores séries para o indutor (R_L) e capacitor (R_C), além da resistência de condução para as chaves S1 ($R_{S1(on)}$) e S2 ($R_{S2(on)}$).

O cálculo das perdas de condução é feito a partir do valor de corrente eficaz (RMS – *Root Mean Square*) sobre cada elemento do circuito. O valor RMS de uma variável pode ser calculado por (3.62).

$$X_{(RMS)} = \sqrt{\frac{1}{T} \int_0^T x(t)^2 dt} \quad (3.62)$$

A aplicação da equação do valor eficaz nas funções de corrente em operação CCM, considerando as duas etapas de condução, resulta nas correntes RMS apresentadas nas equações de (3.63) à (3.66) para cada componente do conversor.

$$I_{S1(RMS)} = D \sqrt{I_o^2 + \frac{\Delta I_L^2}{12}} \quad (3.63)$$

$$I_{S2(RMS)} = (1 - D) \sqrt{I_o^2 + \frac{\Delta I_L^2}{12}} \quad (3.64)$$

$$I_{L(RMS)} = \sqrt{I_o^2 + \frac{\Delta I_L^2}{12}} \quad (3.65)$$

$$I_{C(RMS)} = \sqrt{\frac{\Delta I_L^2}{12}} \quad (3.66)$$

Realizando o cálculo para operação DCM, chega-se às equações de (3.67) à (3.70).

$$I_{S1(RMS)} = \Delta I_L \sqrt{\frac{D}{3}} \quad (3.67)$$

$$I_{S2(RMS)} = \Delta I_L \sqrt{\frac{D'}{3}} \quad (3.68)$$

$$I_{L(RMS)} = \frac{2\Delta I_L I_o}{3} \quad (3.69)$$

$$I_{C(RMS)} = \frac{2\Delta I_L I_o}{3} - I_o \quad (3.70)$$

As perdas em cada componente são calculadas através dos respectivos valores de resistência e correntes eficazes (3.71) - (3.74), para ambos modos de operação (CCM e DCM).

$$P_{S1} = I_{S1(RMS)}^2 R_{S1(on)} \quad (3.71)$$

$$P_{S2} = I_{S2(RMS)}^2 R_{S2(on)} \quad (3.72)$$

$$P_L = I_{L(RMS)}^2 R_L \quad (3.73)$$

$$P_C = I_{C(RMS)}^2 R_C \quad (3.74)$$

Observa-se que as correntes RMS e, portanto, as perdas de condução estão relacionadas ao *ripple* de corrente, esse por sua vez está relacionado a corrente de fronteira (I_B), conforme (3.55) para PWM/CCM, (3.58) para PWM/DCM e (3.60) para COT, assim, a escolha do valor da corrente de fronteira será relevante para as perdas de condução.

O total de perdas de condução (P_{CT}) pode ser calculado pela soma de perdas em cada componente (3.75).

$$P_{CT} = P_{S1} + P_{S2} + P_L + P_C \quad (3.75)$$

3.5.2 Perdas de chaveamento

As perdas de chaveamento ocorrem nos elementos ativos do conversor (MOSFETs), devido a carga e descarga gerada sobre os efeitos capacitivos presentes nas chaves, além de tempos de chaveamento não instantâneos. Essas perdas podem ser divididas em diversos tipos, com diferentes comportamentos, analisados separadamente a seguir.

3.5.2.1 Perdas na transição de estado das chaves

A transição de estado das chaves do sistema não ocorre de forma instantânea. Assim, durante o tempo de transição de cada chave os valores de corrente e tensão variam de seu valor inicial ao seu valor final, gerando uma sobreposição de corrente e tensão sobre o MOSFET, o que causa perdas.

As perdas de transição, para cada troca de estado, podem ser aproximadas por (3.76) considerando uma transição linear (WEN, 2014). São utilizados para o cálculo, os valores de tensão (V_{tr}) e corrente (I_{tr}) no momento da transição, o tempo de transição (t_{tr}) e a frequência de chaveamento (f_s) para considerar o número de chaveamentos em um segundo. Como dependem dos valores de tensão e corrente durante a transição, essas perdas sofrem influência do modo de operação CCM ou DCM.

$$P_{tr} = \frac{V_{tr}I_{tr}t_{tr}}{2} f_s \quad (3.76)$$

Como a transição não ocorre de forma instantânea, deve ser utilizado um tempo morto entre o acionamento das chaves, pois se ambas as chaves sofrerem a transição ao mesmo tempo surge uma condução de corrente direta entre a fonte e o potencial de aterramento do conversor (GND) causando perdas elevadas.

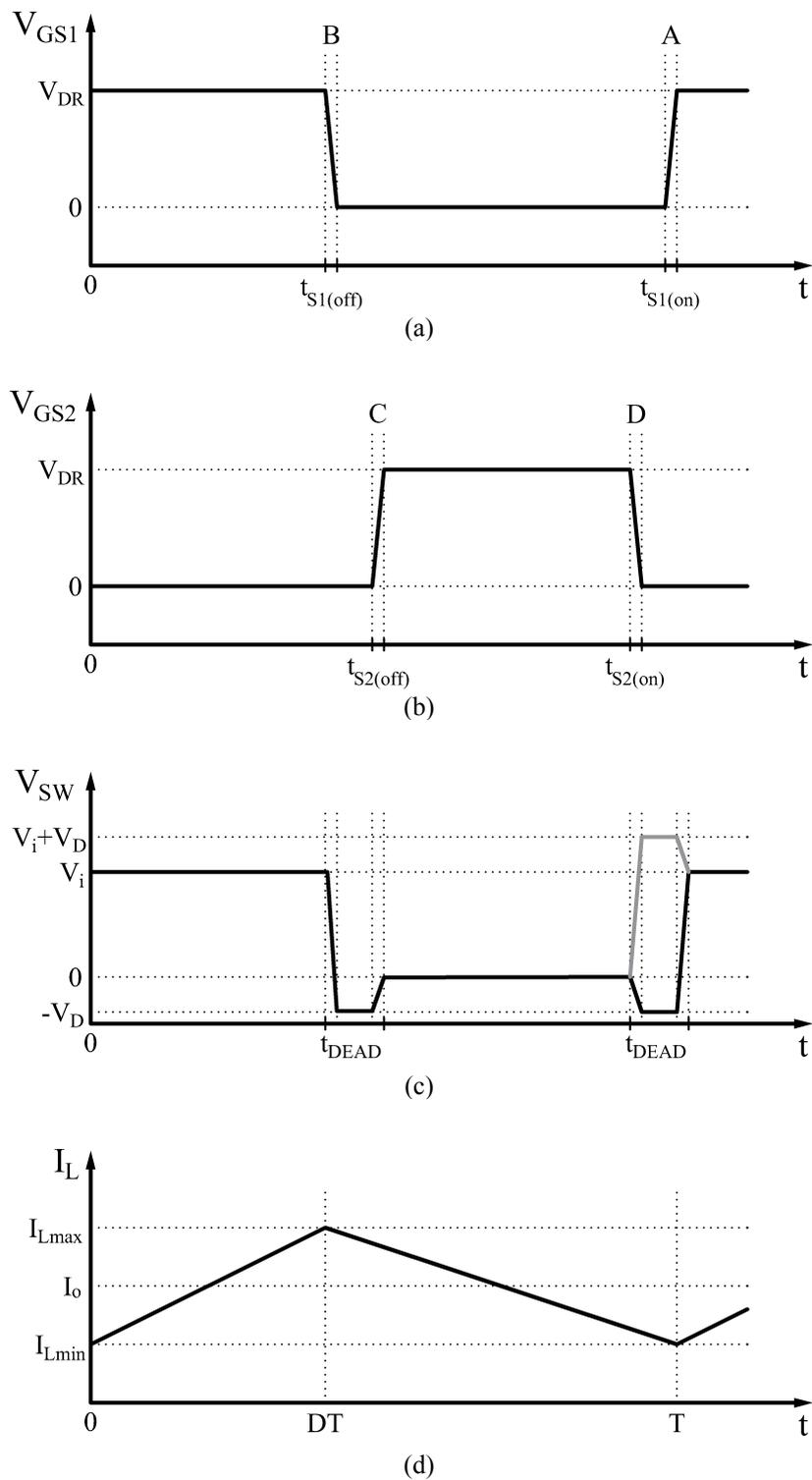
Para operação CCM as formas de onda são apresentadas na Figura 3.18, com ênfase nos momentos de transição, considerando o tempo morto (T_{DEAD}) entre a condução das chaves.

Na Figura 3.18 (a) e (b), são mostrados os tempos de transição respectivamente para as chaves S1 e S2. Na Figura 3.18 (c), pode ser observado a variação de tensão V_{SW} (medida no nó entre as chaves), resultando em um valor igual a V_i durante a condução de S1 e zero durante a condução de S2. Durante o tempo morto, a tensão fica definida pela tensão de condução do diodo de corpo (V_D), com operação CCM convencional apenas o diodo de corpo da chave inferior conduz, o que resulta em um valor de tensão igual a $-V_D$ no nó analisado. É mostrado também uma possível operação com corrente negativa sobre o indutor (em cinza), onde durante o tempo morto o diodo de corpo da chave superior entra em condução fazendo com que a tensão analisada fique com valor de $V_i + V_D$. Por fim, na Figura 3.18 (d), é apresentada a corrente no indutor, que é igual a corrente nas chaves durante o chaveamento.

Em um período ocorrem um total de 4 transições de estados das chaves: condução de S1, bloqueio de S1, condução de S2 e bloqueio de S2 identificados respectivamente na Figura 3.18 por A, B, C e D. Para cada um desses momentos será analisado as perdas de transição. Essa análise será feita apenas para a situação de corrente positiva, situação mais comum de operação.

No momento de condução de S1 (identificado por A), verifica-se que a tensão V_{SW} possui um valor inicial de $-V_D$, o que resulta em uma tensão de $V_i + V_D$ sobre S1. Nesse momento, a corrente mínima do indutor circula sobre S1. Logo, para essa transição a perda é calculada por (3.77).

Figura 3.18 – Curvas com transições de estado não ideais CCM



(a) Sinal de acionamento da chave S1; (b) Sinal de acionamento da chave S2; (c) Tensão no nó de chaveamento; (d) Corrente no indutor.

$$P_{S1(on)} = \frac{(V_i + V_D)I_{L(min)}t_{S1(on)}}{2} f_s \quad (3.77)$$

No bloqueio de S1 (identificado por B) a tensão sobre a chave S1 tem um valor final de $V_i + V_D$, enquanto a corrente no indutor apresenta seu valor máximo, resultando na equação (3.78).

$$P_{S1(off)} = \frac{(V_i + V_D)I_{L(max)}t_{S1(off)}}{2} f_s \quad (3.78)$$

Na condução de S2 (identificado por C), a tensão inicial sobre a chave S2 é de $-V_D$, e a corrente é igual oposto da corrente máxima do indutor $-I_{L(max)}$, para essa transição o cálculo da perda pode ser feito por (3.79).

$$P_{S2(on)} = \frac{V_D I_{L(max)} t_{S2(on)}}{2} f_s \quad (3.79)$$

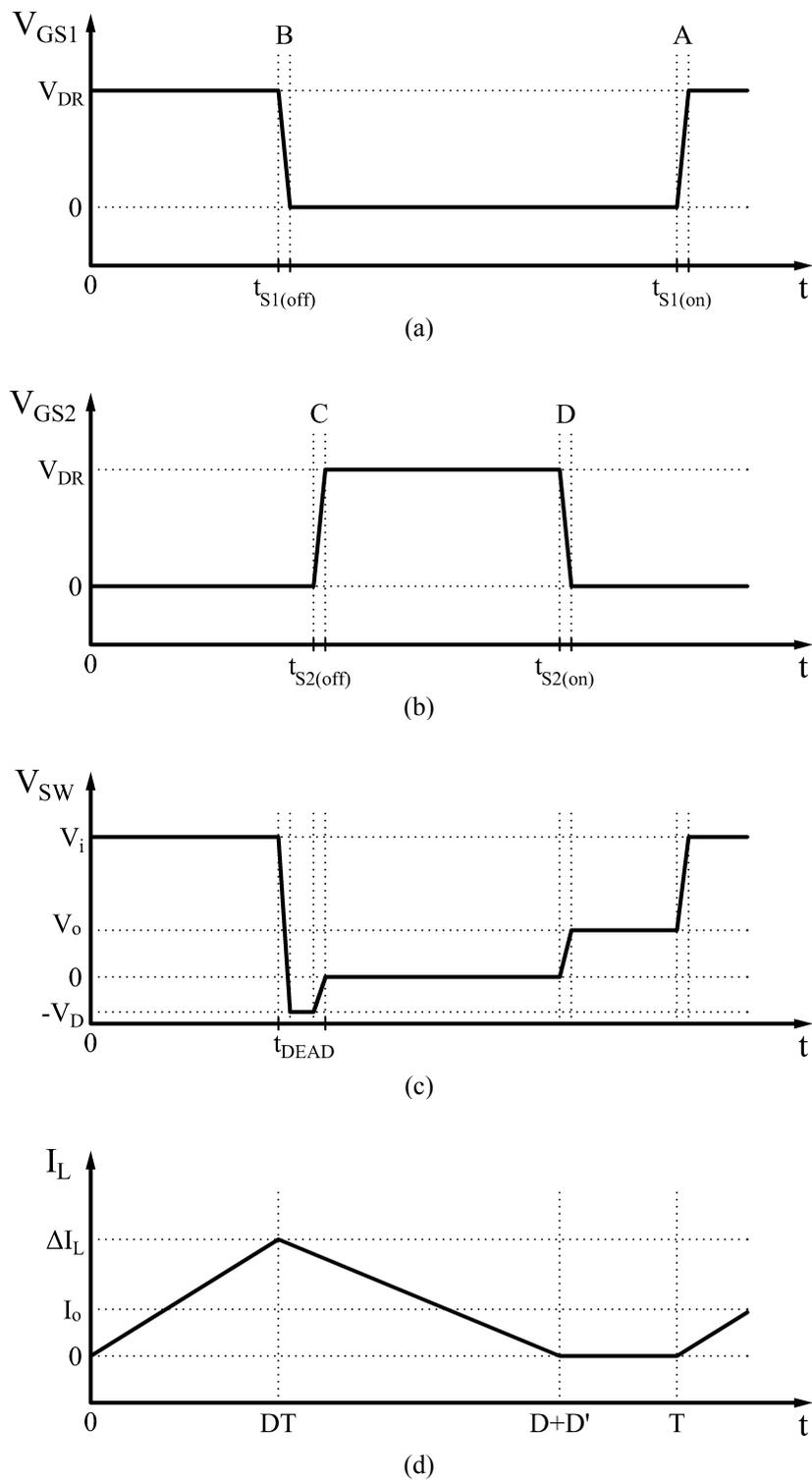
No bloqueio de S2 (identificado por D) a tensão final sobre a chave S2 é de $-V_D$ e sua corrente é igual ao oposto da corrente mínima do indutor $-I_{L(min)}$, resultando na equação (3.80).

$$P_{S2(off)} = \frac{V_D I_{L(min)} t_{S2(off)}}{2} f_s \quad (3.80)$$

Para o caso de operação com corrente negativa, os valores de tensão na condução de S1 e no bloqueio de S2 possuem valores diferente, resultando na redução de perdas sobre S1 e aumento de perdas sobre S2. No entanto, para uma situação de chaves semelhantes, as variações acabam sendo compensadas, permitindo, em uma análise simplificada, o uso dessa formulação para qualquer caso de operação.

Para análise das perdas em DCM as formas de onda são apresentadas na Figura 3.19, de forma semelhante a análise em CCM. Na Figura 3.19 (c) verifica-se que, para o estágio de bloqueio de ambas as chaves, a tensão V_{SW} fica igual a tensão de saída, devido à ausência de corrente sobre o indutor nesse estágio. Na Figura 3.19 (d) observa-se que a corrente é zero durante os chaveamentos A e D eliminando as perdas nessas transições.

Figura 3.19 – Transições não ideais DCM



(a) Sinal de acionamento da chave S1; (b) Sinal de acionamento da chave S2; (c) Tensão no nó de chaveamento; (d) Corrente no indutor.

Na condução de S1 (identificado por A) devido ao valor de corrente ser zero não ocorre perda de transição (3.81).

$$P_{S1(on)} = 0 \quad (3.81)$$

No bloqueio de S1 (identificado por B) o comportamento é semelhante ao caso CCM, com a tensão ao final da transição sendo igual a $V_i + V_D$, porém em DCM a corrente máxima será igual a variação de corrente ΔI_L , resultando na equação (3.82).

$$P_{S1(off)} = \frac{(V_i + V_D)\Delta I_L t_{S1(off)}}{2} f_s \quad (3.82)$$

A condução de S2 (identificado por C), também apresenta comportamento semelhante ao modo CCM, com tensão sobre S2 igual a $-V_D$ e corrente igual ao oposto da corrente máxima $-\Delta I_L$, a equação de perda para condução de S2 é apresentada em (3.83).

$$P_{S2(on)} = \frac{V_D \Delta I_L t_{S2(on)}}{2} f_s \quad (3.83)$$

Por fim, no bloqueio de S2 (identificado por D) a corrente novamente é de zero eliminando a perda nesta transição (3.84).

$$P_{S2(off)} = 0 \quad (3.84)$$

3.5.2.2 Perdas no gate

As perdas no *gate* ocorrem devido a carga e descarga da capacitância presente entre o *gate* e a fonte (C_{GS}), essa perda depende da carga do *gate* (Q_{gs}) que pode ser obtido no *datasheet* do MOSFET, da tensão do driver (V_{DR}) utilizado para acionamento dos MOSFETs e da frequência de chaveamento (f_s). A perda total para as duas chaves pode ser calculada por (3.85).

$$P_G = (Q_{gs(S1)} + Q_{gs(S2)})V_{DR}f_s \quad (3.85)$$

3.5.2.3 Perdas na capacitância de saída das chaves

Na saída das chaves também existe um efeito capacitivo, a carga dessa capacitância (Q_{oss}), que pode ser obtido no *datasheet*, causa as perdas calculadas por (3.86) para as duas chaves em conjunto.

$$P_{Coss} = \frac{(Q_{oss(S1)} + Q_{oss(S2)})V_i}{2} f_s \quad (3.86)$$

3.5.2.4 Perdas no diodo de corpo durante o tempo morto

Durante o tempo morto, entre o acionamento dos MOSFETs, a condução de corrente ocorre sobre o diodo intrínseco, o que gera perdas devido a tensão de condução do mesmo. Embora essa perda seja uma perda de condução sobre o diodo, no caso do *buck* síncrono, esse comportamento está muito mais relacionado ao evento de chaveamento e, portanto, foi considerada como uma perda de chaveamento.

Na Figura 3.18 (c) e (d) é observado que o tempo morto ocorre nos momentos de corrente máxima e mínima, estas correntes podem ser consideradas constantes durante esse momento, por ser um tempo muito curto. Utilizando um tempo morto igual para os dois momentos de chaveamento (T_{DEAD}) e a tensão de condução do diodo (V_D) é possível calcular as perdas por (3.87). Em DCM, Figura 3.19 (c), o tempo morto é utilizado em apenas um momento, o que reduz esse tipo de perda em DCM, mas como a corrente mínima é zero, a mesma equação continua válida.

$$P_{DT} = (I_{L(max)} + I_{L(min)})V_D T_{DEAD} f_s \quad (3.87)$$

3.5.2.5 Perda de recuperação reversa no diodo

Para que o diodo passe de um estado de condução para um estado de corte é necessária uma movimentação de cargas em forma de corrente, quando essa comutação do diodo é forçada devido ao acionamento de uma chave ocorre a perda de recuperação reversa (HAAF e HARPER, 2007).

Em CCM no momento anterior ao chaveamento de S1 o diodo de corpo de S2 se encontra em condução devido ao tempo morto, com o acionamento de S1 ocorre o corte forçado

na condução do diodo, gerando perdas de recuperação reversa. Esta perda pode ser calculada através da carga de recuperação reversa do diodo de corpo de S2 ($Q_{rr(S2)}$), obtida no *datasheet*, em conjunto com a tensão de entrada e frequência de chaveamento, conforme (3.88).

$$P_{RR} = Q_{rr(S2)} V_i f_s \quad (3.88)$$

Em DCM o diodo de corpo de S2 não se encontra em comutação no momento de acionamento de S1, fazendo com que não ocorram perdas de recuperação reversa.

3.5.2.6 Total de perdas de chaveamento

O total de perdas de chaveamento P_{SW} é calculado pela soma de todas as perdas de chaveamento apresentadas (3.89).

$$P_{SW} = P_{S1(ON)} + P_{S1(OFF)} + P_{S2(ON)} + P_{S2(OFF)} + P_G + P_{COSS} + P_{DT} + P_{RR} \quad (3.89)$$

Embora as diferentes perdas possuam origens e comportamentos diferentes é possível observar que todas são dependentes da frequência de chaveamento. Outro fator que tem um papel importante nas perdas de chaveamento, é o modo de operação, com o modo DCM sendo vantajoso devido a eliminação de algumas das perdas.

3.5.3 Eficiência

O total de perdas do conversor (P_T) é calculado pela soma das perdas de chaveamento com as perdas de condução (3.90).

$$P_T = P_{CT} + P_{SW} \quad (3.90)$$

Com a potência de saída do conversor (P_o), que pode ser calculada através da tensão e corrente (3.91), é possível calcular a potência de entrada (P_i) do conversor, de forma aproximada, adicionando as perdas (3.92).

$$P_o = I_o \cdot V_o \quad (3.91)$$

$$P_i = P_o + P_T \quad (3.92)$$

A eficiência quantifica a porcentagem da potência que é transferida para saída do conversor, a partir da razão entre a potência de saída e a potência de entrada do conversor, considerando as perdas do sistema (3.93).

$$\eta = \frac{P_o}{P_i} \cdot 100\% = \frac{P_o}{P_o + P_T} \cdot 100\% \quad (3.93)$$

Os valores de potência de saída e perdas estão relacionados com a carga, dessa forma, o conversor apresentará diferentes valores de eficiência para diferentes cargas. A eficiência, portanto, deve ser analisada para toda a faixa de carga do conversor.

3.5.3.1 Análise teórica de perdas e eficiência

Nas seções anteriores foram apresentadas as diversas perdas presentes no conversor *buck* síncrono, separadas em perdas de condução e de chaveamento, apresentando as equações para cada uma. Nessa seção é realizado um estudo teórico do comportamento dessas perdas, considerando uma faixa de carga ampla, analisando como alguns parâmetros de projeto podem influenciar na eficiência.

Observando as equações de perdas de condução apresentadas em 3.5.1 percebe-se que essas perdas estão relacionadas principalmente com a corrente da carga, sofrendo influência também do *ripple* de corrente do conversor. Para as perdas de chaveamento apresentadas em 3.5.2, as perdas são proporcionais a frequência de chaveamento, sendo afetada também pelo modo de operação (CCM ou DCM).

Como as perdas de condução são proporcionais ao quadrado da corrente eficaz, com o aumento da carga seu impacto sobre a eficiência será cada vez maior. Para cargas leves, o impacto das perdas de condução sobre a eficiência é reduzido, tornando as perdas de chaveamento mais relevantes para a eficiência do conversor.

Quanto as perdas de condução, não há muito o que possa ser feito para sua redução, pois o aumento de corrente é inerente ao aumento de carga. O único parâmetro que pode ser alterado a partir do projeto é o *ripple* de corrente, que possui um pequeno impacto sobre as perdas. Nesse aspecto, para uma carga semelhante, o funcionamento CCM apresentará menor *ripple* resultando em uma eficiência maior.

As perdas de chaveamento, por sua vez, são muito influenciadas pelo funcionamento do conversor. A modulação COT em DCM reduz a frequência de chaveamento, reduzindo também as perdas de chaveamento, em baixas cargas. Além disso, a operação DCM elimina algumas

perdas, devido aos chaveamentos ocorrendo sobre corrente zero (*soft switching*) e ausência de perdas de recuperação reversa no diodo.

Levando em consideração o apresentado, conclui-se que, para uma operação buscando eficiência elevada em cargas reduzidas, a modulação COT é mais adequada. Isso porque, as perdas de chaveamento possuem grande relevância para a eficiência em cargas leves, sendo minimizadas pela redução da frequência de chaveamento.

Para que ocorra a redução na frequência de chaveamento, o conversor deve operar em DCM em situação de baixa carga. Contudo, em cargas elevadas, o funcionamento em CCM é mais adequado, por apresentar um menor *ripple* de corrente, que além de reduzir as perdas de condução, permite a utilização de um capacitor de saída de menor valor.

Portanto, o ponto de transição entre DCM e CCM possui um papel importante no projeto desse conversor, e sua escolha, deve ser feita para maximizar a eficiência do conversor. Para análise do ponto transição é necessária uma avaliação quantitativa das perdas, o que foi feito através de análise gráfica.

3.5.3.2 Análise numérica de perdas e eficiência

Para melhor visualização do comportamento das perdas e da eficiência do conversor, uma análise numérica de perdas foi realizada através das equações apresentadas nas seções anteriores. Um *script* no *software* Matlab, foi utilizado para calcular as perdas para em cada valor de corrente da carga, resultando na curva de eficiência.

Para o cálculo das perdas são necessários os dados completos do conversor, o que só é possível obter com precisão após o projeto e definição dos componentes. Porém, para a faixa de cargas e frequência de chaveamento desejados, é possível a obtenção de valores convencionais em *datasheets*, suficientes para a análise desejada. Os parâmetros aproximados, utilizados para o cálculo de perdas, são apresentados na Tabela 3.1.

A Figura 3.20 apresenta as perdas no conversor para diferentes valores de carga. As perdas são separadas entre chaveamento e condução, para identificação do comportamento e verificação do impacto sobre a eficiência. Os resultados são apresentados para PWM-DCM/CCM, COT-CCM/DCM e FCCM o qual apresenta o mesmo resultado para ambas modulações (PWM e COT). Nessa análise é considerada uma modulação COT com frequência de 100kHz durante a operação CCM, mesma frequência utilizada na modulação PWM, para comparação adequada de resultados. A corrente de fronteira é definida como metade da carga máxima ($I_B=2,5A$) para observação do comportamento das perdas abaixo e acima da mesma.

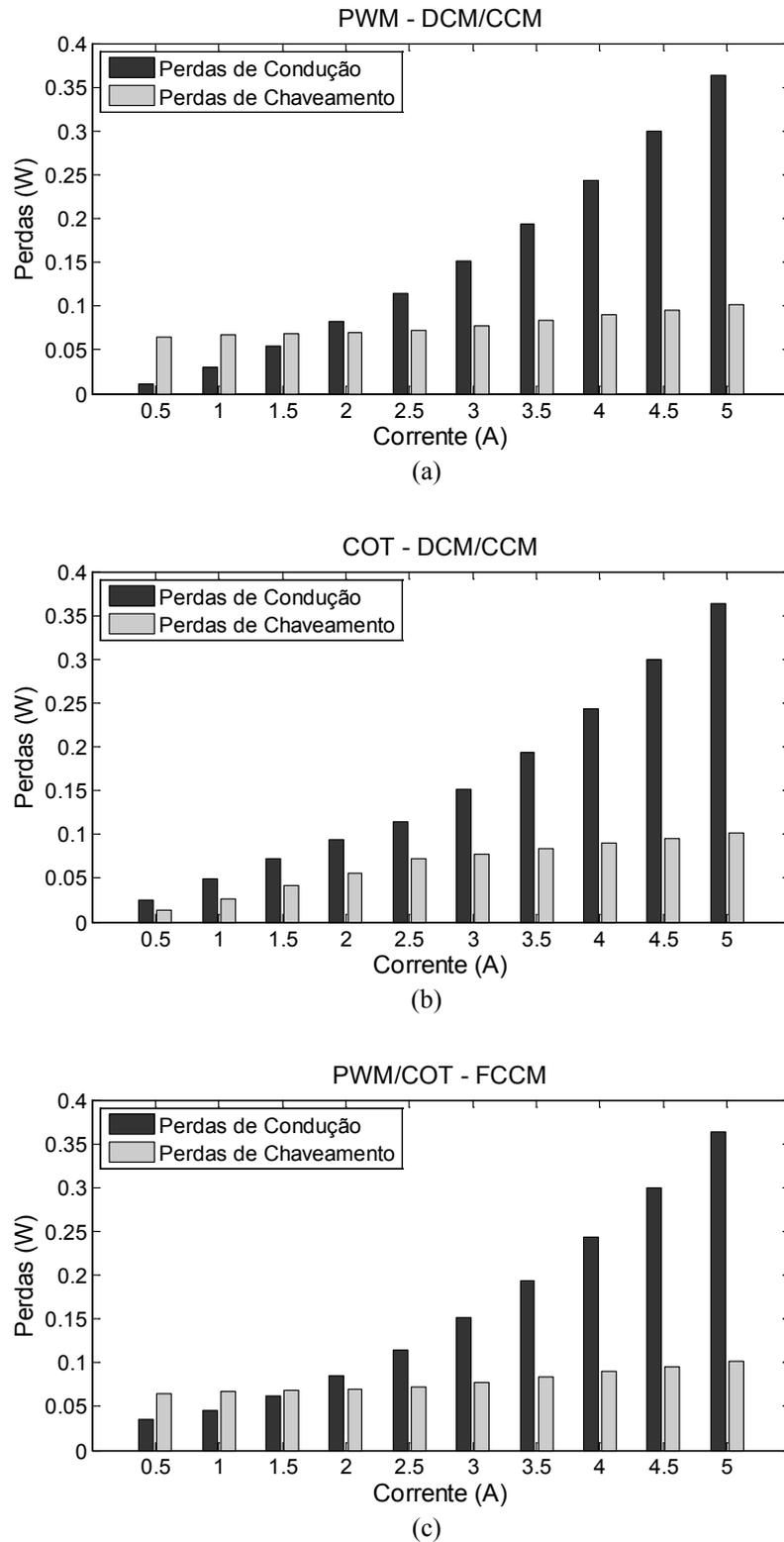
Tabela 3.1 – Parâmetros aproximados para conversor

Parâmetro	Símbolo	Valor
Tensão na entrada	V_i	3,3V
Tensão na carga	V_o	1,2V
Ganho	M	0,3636
Faixa de carga	I_o	0,05 -5A
Resistencia série do capacitor	R_c	2m Ω
Resistência série do indutor	R_L	10m Ω
Tempo de transição dos MOSFETs	$t_{S1(on)}, t_{S1(off)}, t_{S2(on)}, t_{S2(off)}$	10ns
Frequência de chaveamento em CCM	$f_{s(CCM)}$	100kHz
Carga da saída dos MOSFETs	$Q_{oss(S1)}, Q_{oss(S2)}$	20nC
Carga de recuperação reversa do diodo	$Q_{rr(S2)}$	50nC
Tensão de condução do diodo	V_D	0,7V
Dead time	T_{DEAD}	20ns
Tensão do <i>driver</i> dos MOSFETs	V_{DR}	5V
Carga do <i>gate</i> dos MOSFETs	$Q_{gs(S1)}, Q_{gs(S2)}$	20nC

É observado na Figura 3.20 que, em operação CCM, o comportamento de perdas é semelhante para todos os casos, pois todos mantem a frequência de chaveamento constante. Em CCM, as perdas de chaveamento sofrem pouca alteração com o aumento de carga, apenas devido ao aumento da corrente nos momentos de transição, o que é causado pelo aumento da corrente média no indutor. Para as perdas de condução, é observado uma variação proporcional ao quadrado da corrente.

Para correntes abaixo da corrente de fronteira (DCM e FCCM), ocorrem diferenças do comportamento das perdas nos diferentes modos. Nesse caso as perdas de condução passam a ser menos significativas, aumentando impacto das perdas de chaveamento sobre o total de perdas. Em PWM, pouca redução das perdas de chaveamento é observada com a redução das cargas, enquanto para COT as perdas de chaveamento são reduzidas de forma proporcional a carga, reduzindo também o total de perdas. O funcionamento FCCM apresenta o pior resultado, pois além de não reduzir as perdas de chaveamento, as perdas de condução reduzem mais lentamente, devido a condução de corrente negativa.

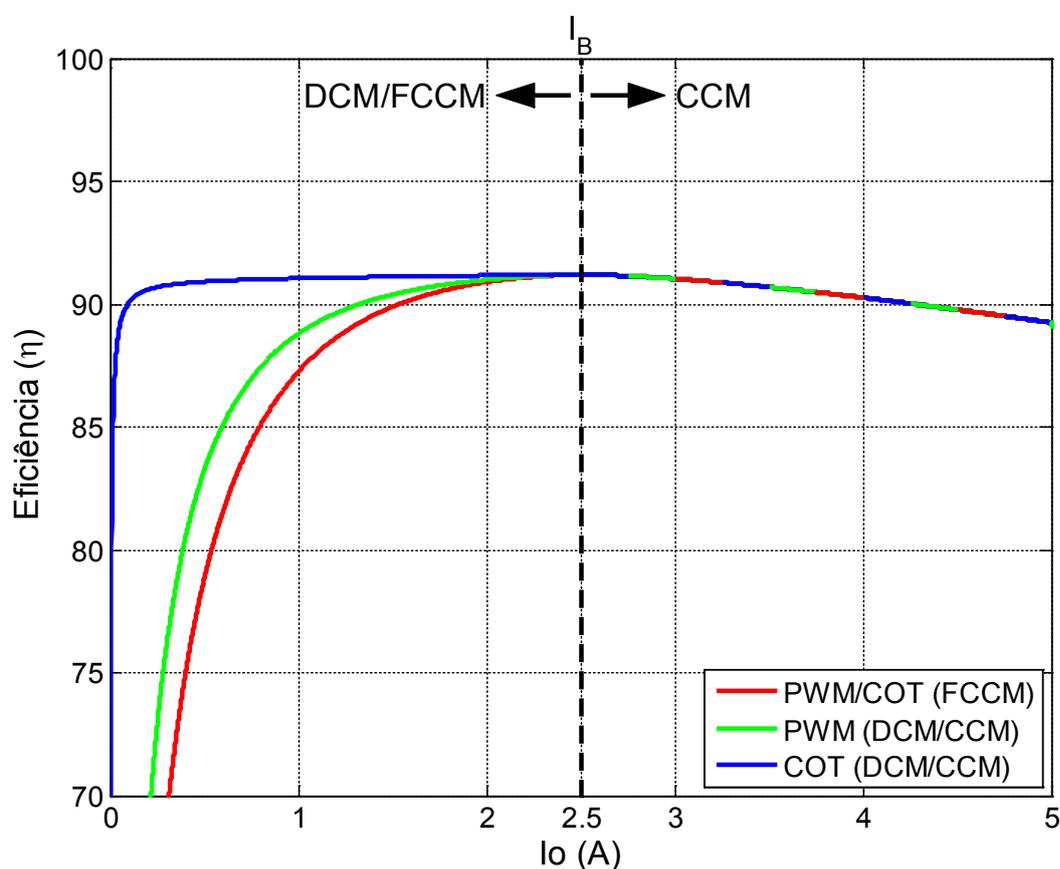
Figura 3.20 – Variação das perdas de chaveamento e de condução com a carga



(a) Perdas para PWM funcionando em DCM/CCM com corrente de fronteira de 2,5A; (b) Perdas para COT funcionando em DCM/CCM com corrente de fronteira de 2,5A; (c) Perdas para PWM e COT (mesmo resultado) funcionando em FCCM/CCM com corrente de fronteira de 2,5A.

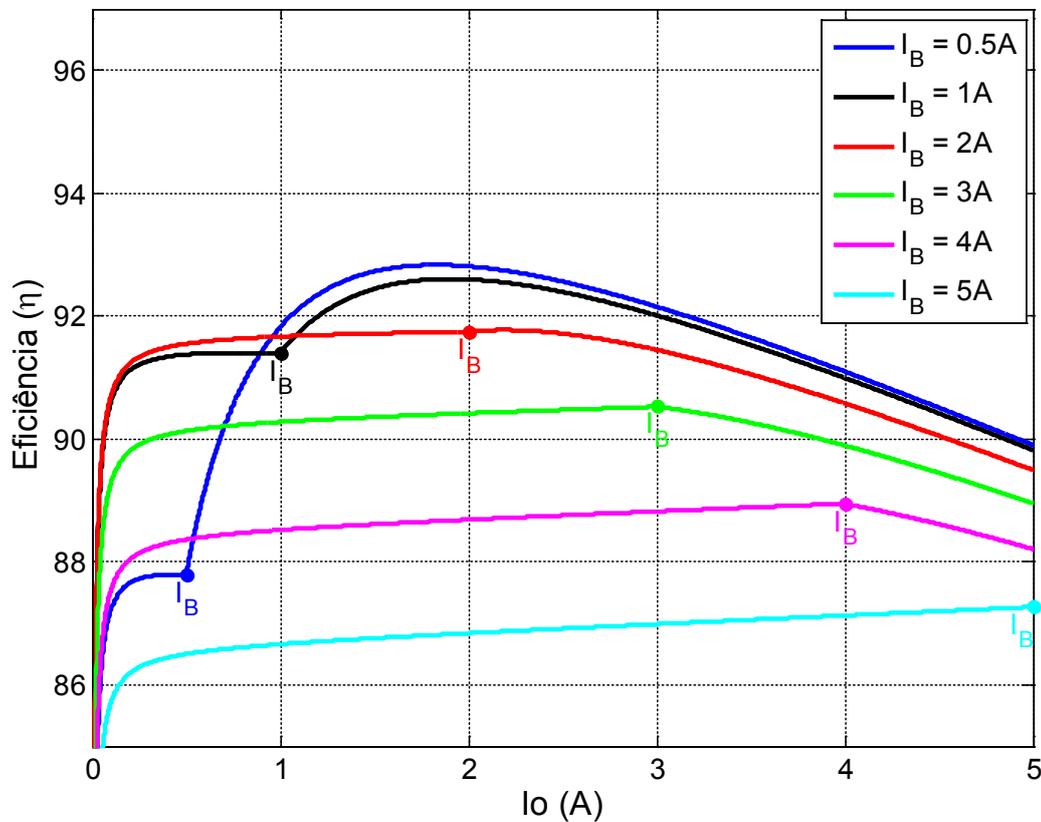
O impacto sobre a eficiência é apresentado na Figura 3.21, onde os mesmos parâmetros são aplicados. Acima da corrente de fronteira, as eficiências observadas são iguais identificadas em conjunto através da curva na cor preta, pois as modulações PWM e COT apresentam a mesma frequência de operação. Abaixo da corrente de fronteira, nota-se que a melhor opção é a utilização da modulação COT-DCM mantendo uma eficiência elevada, mesmo para cargas bastante reduzidas. Ainda se verifica que a operação PWM-DCM é vantajosa em relação a PWM-FCCM (ou COT-FCCM), pois o funcionamento em DCM elimina algumas perdas de chaveamento, além de possuir um menor *ripple* de corrente.

Figura 3.21 – Curvas de eficiência para diferentes modulações



A partir da análise gráfica é possível observar que a modulação COT apresenta a melhor curva de eficiência, confirmando a análise teórica da seção anterior. Para o projeto adequado do sistema, ainda é necessário definir o momento de transição entre DCM e CCM (corrente de fronteira). Em uma nova análise, apresentada na Figura 3.22, foram comparadas as curvas de eficiência para a modulação COT com diferentes valores de corrente de fronteira, buscando entender o efeito desse parâmetro sobre a eficiência.

Figura 3.22 – Curvas de eficiência em COT para diferentes correntes de fronteira



Para a análise da Figura 3.22 é importante observar que, na modulação COT o *ripple* de corrente será sempre o dobro da corrente de fronteira, conforme (3.60). Em cargas reduzidas é verificado que, com o aumento da corrente de fronteira a eficiência inicialmente aumenta, pois para uma mesma carga a frequência de chaveamento é menor, reduzindo as perdas de chaveamento. Em um certo valor de I_B , as perdas de chaveamento são reduzidas o suficiente, e as perdas de condução passam a causar maior impacto, mesmo em baixas cargas. A partir desse valor de I_B , o acréscimo de *ripple* de corrente assume maior relevância na eficiência, fazendo com que um aumento da corrente de fronteira reduza a eficiência em baixas cargas. Já em cargas elevadas observa-se uma redução da eficiência com o aumento da corrente de fronteira.

A partir dessas curvas, é possível escolher um valor de corrente de fronteira que apresente o melhor resultado de eficiência para a faixa de carga do conversor, essa escolha deve levar em consideração a proporção em que o conversor ficará em cargas baixas e elevadas. O valor de corrente de fronteira igual a 1A apresentou uma eficiência média mais elevada, sendo considerada a situação mais adequada para a aplicação, por possuir uma relação melhor entre eficiência em baixas cargas e cargas elevadas.

3.6 CONCLUSÃO

Nesse capítulo foi apresentado o conversor *buck* síncrono, com análise e equacionamento de possíveis modos de modulação e operação. As perdas no conversor foram avaliadas de forma teórica por meio do uso de modelos de perdas nos principais mecanismos de perdas do conversor. Com essa análise, foi possível identificar a forma de funcionamento que melhor atende os objetivos desse trabalho, o que foi feito através análise teórica e simulação, obtendo assim dados importantes para realização do projeto.

A proposta considerou um foco em eficiência em cargas reduzidas, analisando os resultados para uma frequência máxima de chaveamento de 100kHz, carga máxima de 5A e ganho constante com $V_i = 3,3V$ e $V_o = 1,2V$. Para esse caso, a operação que se mostrou mais adequada foi a modulação COT com a transição entre modos CCM e DCM ocorrendo em 1A (20% da carga máxima), o que pode variar para outros parâmetros de projeto necessitando de uma análise para cada caso. É necessário ainda definir um sistema de controle, buscando uma resposta transitória adequada para a aplicação, essa discussão é feita no Capítulo 4.

4 CONTROLE DIGITAL

4.1 INTRODUÇÃO

Como visto, para aplicação desse trabalho, é necessário, além de uma boa eficiência, uma resposta transitória rápida, o que é obtido através da utilização de um sistema de controle adequado. Diversas técnicas são encontradas na literatura para conseguir boas respostas transitórias, porém, apenas trabalhos mais recentes analisam a utilização de técnicas digitais para esse tipo de aplicação (CHENG *et al.*, 2014); (CORRADINI *et al.*, 2008); (CORRADINI e MATTAVELLI, 2008).

Nesse trabalho optou-se pela utilização de um controle digital com implementação feita através de um DSP, considerando principalmente sua flexibilidade e custos reduzidos. Além disso, procurou-se minimizar ao máximo o uso de circuitos auxiliares para modulação utilizando apenas os módulos e funções comumente presentes em DSPs.

Dentre opções de controle utilizadas destaca-se a técnica V^2 COT, que além de gerar a modulação proposta no Capítulo 3, apresenta uma excelente resposta transitória para variação de carga (principalmente variações positivas). No entanto, alguns problemas relativos a estabilidade estão presentes e precisam ser analisados. Os problemas de estabilidade se agravam ainda mais em aplicações digitais, fazendo com que apenas recentemente técnicas para solução desse problema fossem estudadas, mas sempre com algum sacrifício da resposta transitória em comparação com abordagens analógicas.

Outra opção é o uso de controle linear PID, amplamente utilizadas em controle digital, com metodologias de projeto consolidadas. Esse controle, no entanto, é normalmente utilizado para modulação PWM, e suas respostas transitórias costumam ser mais lentas se comparadas a abordagens não lineares, a opção por modulação COT e a necessidade de respostas transitórias rápidas acabam dificultando sua utilização na aplicação desejada. Porém, alguns trabalhos conseguem resultados adequados a aplicação com a utilização de múltiplas amostras por período de chaveamento, reduzindo atrasos e melhorando a resposta transitória do controlador (CORRADINI *et al.*, 2008); (CORRADINI e MATTAVELLI, 2008).

Esse capítulo, inicialmente discute o controlador V^2 COT em sua versão analógica. Em seguida, apresenta a implementação digital desse mesmo controlador, identificando seus problemas de instabilidade, principalmente quando o conversor *buck* opera em modo de CCM. Sendo apresentado ao final uma metodologia para projeto desse controlador.

Identificados os problemas no controlador V^2 COT em CCM, e tendo em vista que, o funcionamento CCM possui comportamento semelhante para as modulações PWM e COT, o controle linear PID em PWM é apresentado como uma solução para controle na faixa de operação CCM. São discutidas as versões analógica e digital para esse controle, a modelagem do conversor para CCM, e ao final uma metodologia para projeto do compensador de forma digital.

Por fim, é apresentado a proposta de controle com a utilização dos dois métodos de controle discutidos. Com essa proposta busca-se associar características boas dos métodos em diferentes situações de operação e eliminar características ruins, aproveitando-se da flexibilidade da implementação de forma digital.

4.2 CONTROLE V^2 COT

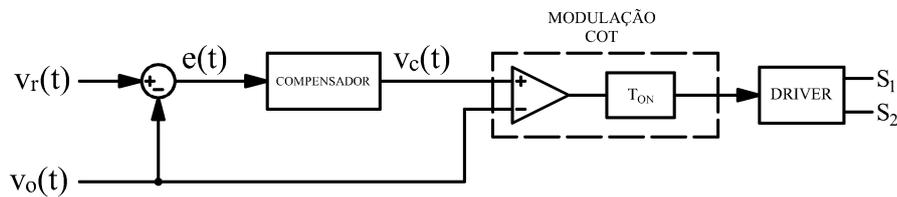
O controlador V^2 COT é classificado como um controle não linear com funcionamento baseado na corrente do indutor (controle modo-corrente), utilizando um sensor virtual de corrente através da medição do *ripple* de tensão sobre o resistor série do capacitor, eliminando a necessidade de um sensor de corrente (SUN, 2008).

A arquitetura de controle V^2 COT é amplamente utilizada em conversores *buck* principalmente devido a três características: arquitetura de controle simples, resposta transitória rápida para variações de carga e alta eficiência em baixas cargas. Características essas desejadas para o sistema de controle proposto (TIAN *et al.*, 2011).

No entanto, alguns problemas surgem em sua implementação digital, além da necessidade de utilização de capacitores com resistência série elevada, para garantir uma medição mais adequada da corrente do indutor através do *ripple* de saída (SUN, 2008).

4.2.1 Descrição do controlador V^2 COT

A realização da modulação é feita através de um comparador, utilizando a tensão de saída do conversor, a qual apresenta um *ripple*, e um sinal de um compensador V_C de variação lenta gerado a partir do erro. O compensador é utilizado para eliminar erros em regime permanente, utilizando uma referência V_r para cálculo do erro. O diagrama esquemático do controlador é apresentado na Figura 4.1.

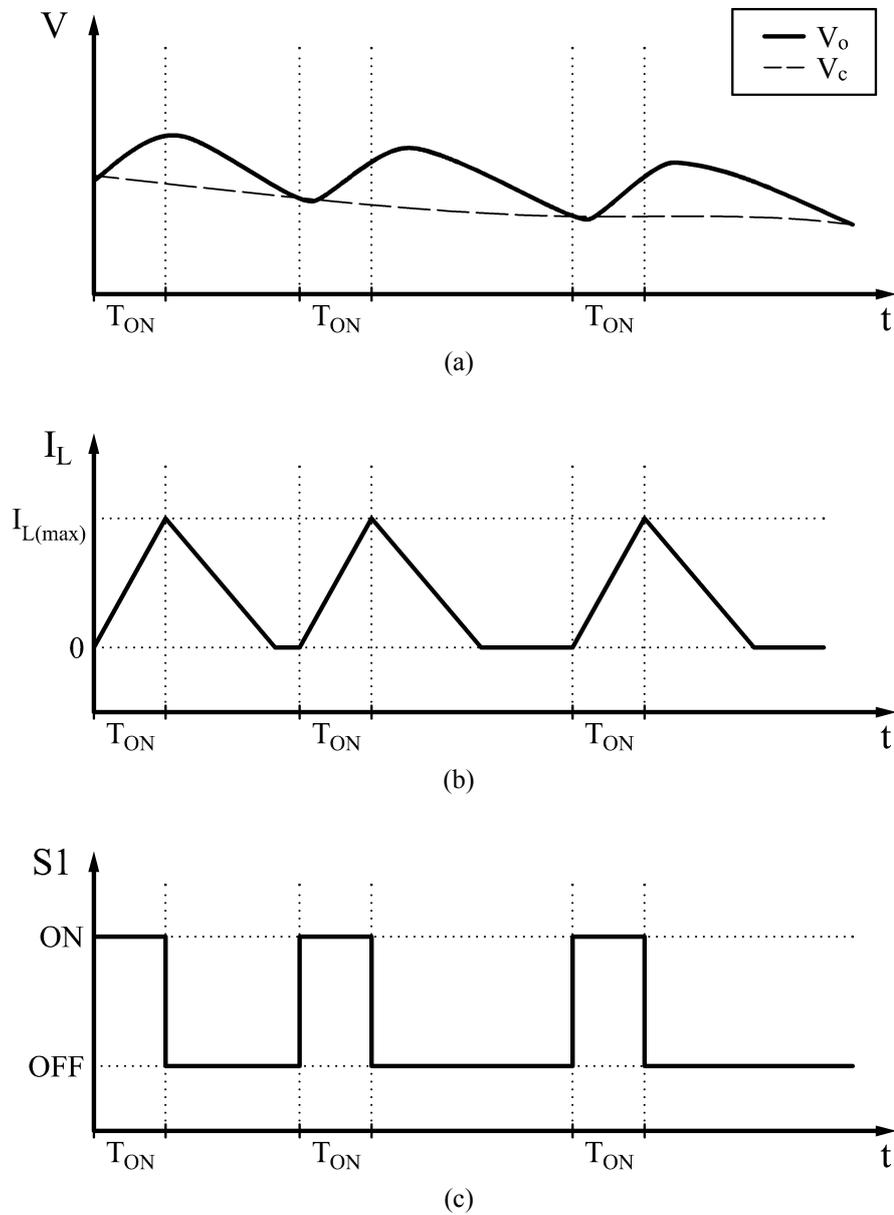
Figura 4.1 – Estrutura do controle V^2 COT

4.2.2 Princípio de operação

A modulação é obtida através da comparação entre o valor medido da tensão de saída ($v_o(t)$) com o sinal de tensão ($v_c(t)$) do compensador. Esse sinal de tensão ($v_c(t)$) carrega a informação do erro existente entre a tensão de saída ($v_o(t)$) e o valor de referência ($v_r(t)$). O objetivo do compensador é apenas a eliminação de pequenos erros em regime permanente que ocorrem devido a variações no *ripple* de tensão, com ordem de grandeza semelhante a esse *ripple*, não sendo determinante para a resposta transitória do sistema de controle, assim, é suficiente o uso de um integrador. Portanto, o sinal de tensão ($v_c(t)$) apresentará uma variação lenta, se comparada com a variação que ocorre na tensão $v_o(t)$, como pode ser observado pela Figura 4.2.

O pulso de tempo constante para condução de S1 é iniciado, através do comparador, no momento que a tensão de saída ($v_o(t)$) atinge um valor menor que o sinal do compensador ($v_c(t)$). Durante a condução a corrente no indutor e a tensão no capacitor de saída crescem. Como a duração do pulso é constante, no final do pulso, a chave S1 é bloqueada reduzindo a corrente do indutor assim como a tensão de saída. O comportamento das variáveis do conversor para essa modulação pode ser visualizado na Figura 4.2.

O comportamento não linear garante uma excelente resposta transitória para o controlador, principalmente para aumento de carga, pois a regulação de tensão é realizada logo que a tensão assume um valor inferior à referência. Porém, essa análise considera que a tensão na saída possua um comportamento semelhante à corrente no indutor, ou seja, o *ripple* de tensão sobre a resistência série deve ser predominante, o que gera a necessidade da utilização de capacitores com resistor série elevado, o que pode gerar impacto na eficiência do sistema.

Figura 4.2 – Funcionamento do controlador V^2 COT

(a) Comparação do sinal do compensador com a tensão de saída; (b) Corrente no indutor em operação DCM; (c) Modulação COT gerada pelo comparador.

Para valores pequenos de resistência série, o *ripple* de tensão referente à carga do capacitor passa a ter um valor mais significativo. Esse *ripple* está atrasado em relação a variação de corrente sobre o indutor, pois a carga do capacitor só é iniciada quando a corrente do indutor supera a corrente da carga (esse comportamento é observado na Figura 3.7 e na Figura 3.8). Portanto, o aumento da tensão na carga sofre com atrasos prejudicando a resposta transitória do controlador.

A Figura 4.3 analisa os efeitos do valor da resistência série sobre a modulação COT em operação CCM, mostrando o *ripple* de tensão sobre cada elemento e seu valor total. Na Figura 4.3 (a) o *ripple* de tensão sobre a resistência série possui amplitude igual ao *ripple* de tensão sobre o capacitor, representando uma resistência série relativamente elevada. Na Figura 4.3 (b) é representada uma resistência série menor, resultando em um *ripple* de tensão proporcionalmente inferior sobre a resistência.

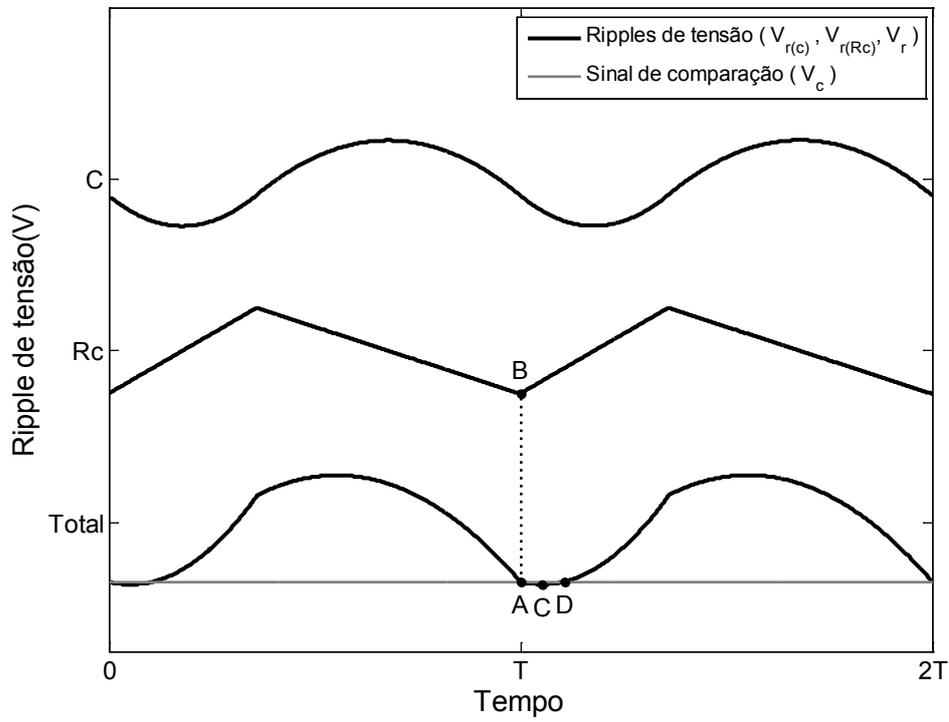
São destacados quatro pontos na Figura 4.3. O ponto A indica o momento em que a tensão da carga V_o é menor que o sinal de comparação V_c , gerando o pulso no modulador. O ponto B mostra o início da condução da chave, identificado instantaneamente sobre a resistência série devido ao aumento da corrente do indutor. O ponto C indica a tensão mínima de saída. E o ponto D indica o momento em que a tensão volta a superar a referência usada para criação do pulso de condução.

Observa-se comparando a Figura 4.3 (a) com a Figura 4.3 (b) que, com o aumento da predominância do *ripple* sobre o capacitor, ocorre um aumento do atraso entre o início da condução (A) e o aumento da tensão na carga (D), o que prejudica a resposta transitória do conversor para variações de carga. Em certas situações o atraso pode levar a pulsos de condução sequenciais e instabilidade no controlador. Logo, em CCM observa-se um grande efeito negativo do uso de capacitores com resistência série baixa.

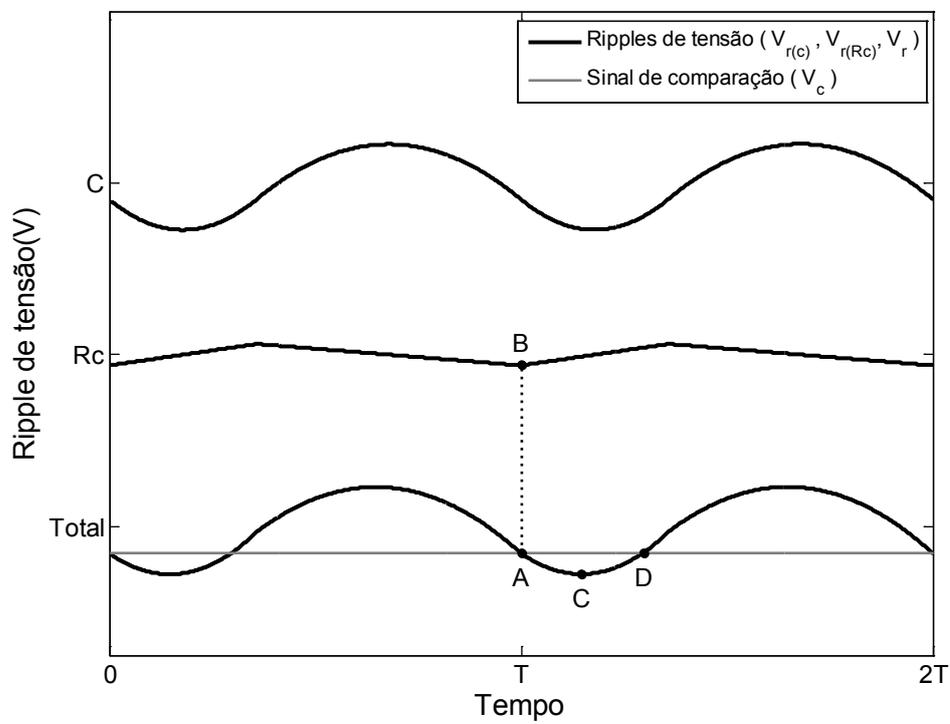
Na Figura 4.4, o mesmo efeito é analisado para operação DCM, com as mesmas relações entre o *ripple* no capacitor e na resistência série. Observa-se que, em DCM, o efeito do uso de uma resistência série pequena é significativamente reduzido, isso porque, em operação DCM, o atraso entre a carga do capacitor e a corrente do indutor é menor, diminuído o atraso entre o início da condução e aumento da tensão de saída, observado no *ripple* total.

Portanto, identifica-se que a resposta transitória do controlador V^2 COT em CCM está relacionada diretamente com o valor da resistência série do capacitor exigindo um valor elevado para um resultado bom e estável. Já em DCM a influência da resistência série não é tão relevante para o resultado, gerando boas respostas mesmo para valores baixos.

Figura 4.3 – Atraso entre acionamento da chave e crescimento da tensão da carga CCM



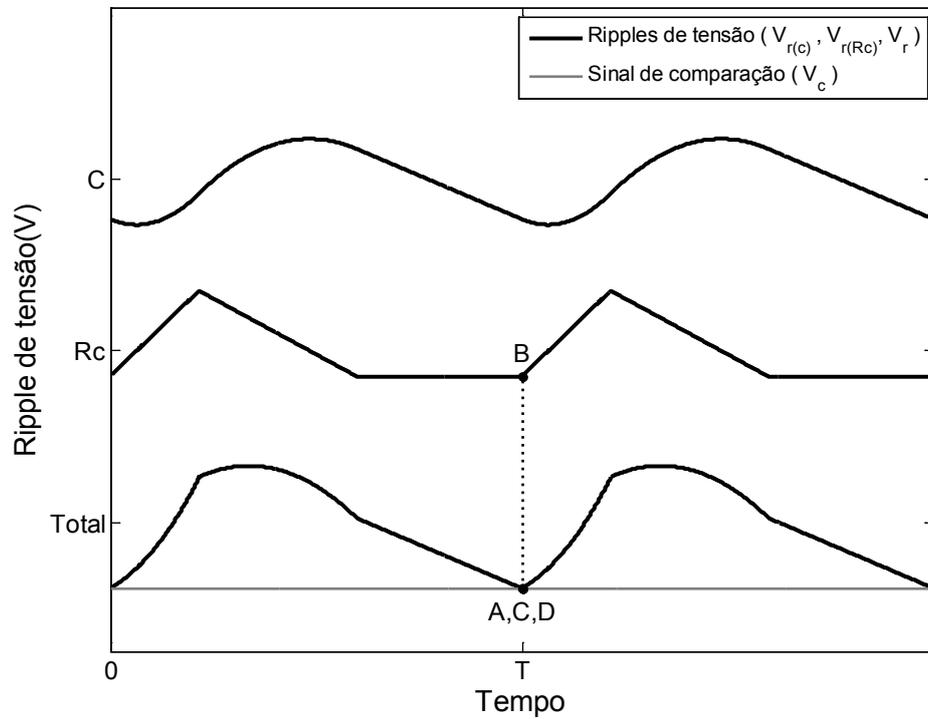
(a)



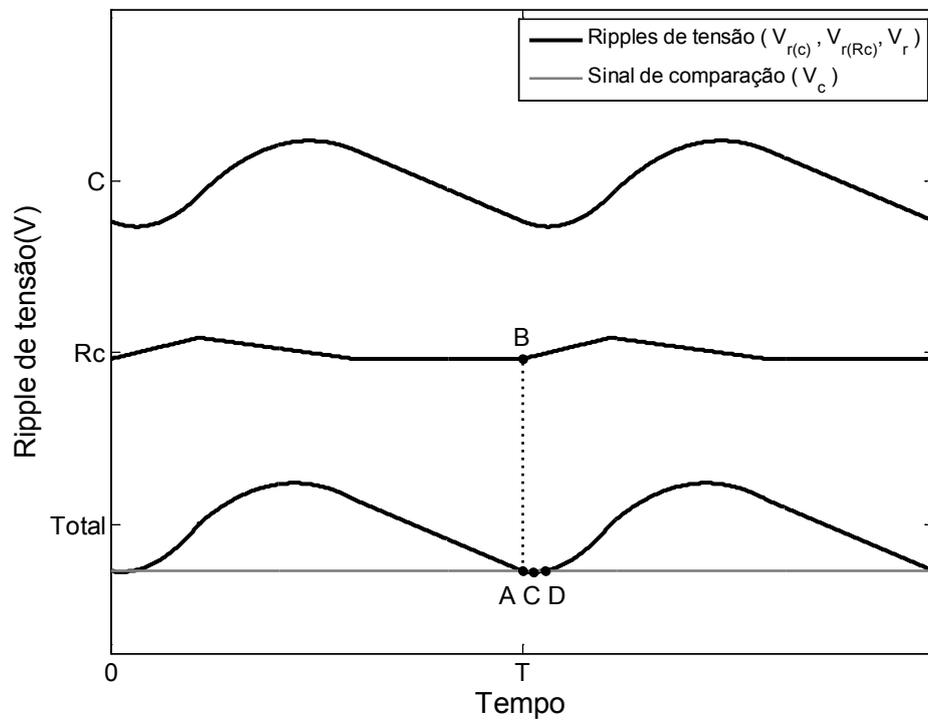
(b)

(a) relação de $V_{r(c)} = 4V_{r(Rc)}$; (b) relação de $V_{r(c)} = V_{r(Rc)}$.

Figura 4.4 – Atraso entre acionamento da chave e crescimento da tensão da carga DCM



(a)



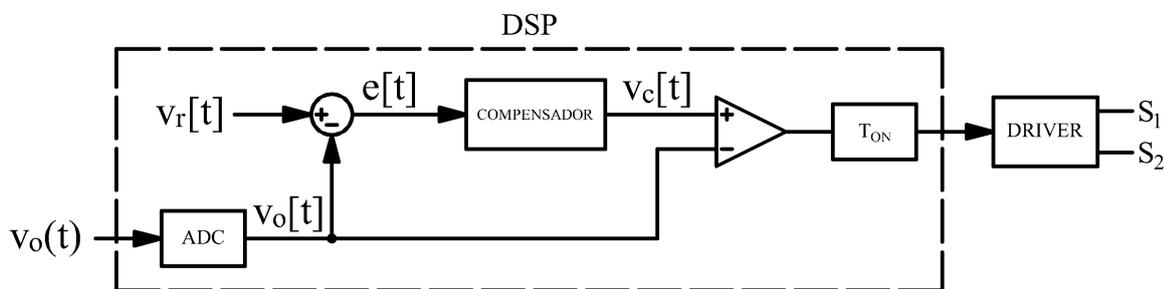
(b)

(a) relação de $V_{r(c)} = 4V_{r(Rc)}$; (b) relação de $V_{r(c)} = V_{r(Rc)}$.

4.2.3 Abordagem digital

A mesma estrutura do controle V^2 COT pode ser implementada de forma digital, conforme a Figura 4.5. Nesse trabalho é utilizado um DSP para o controle, sendo os cálculos, a comparação e a geração de pulso realizados através de *software*. Na implementação digital o controle é realizado de forma discreta a partir de um sinal amostrado por um conversor analógico-digital (ADC – *Analog-to-Digital Converter*) da tensão de saída.

Figura 4.5 – Controle V^2 COT implementado digitalmente.



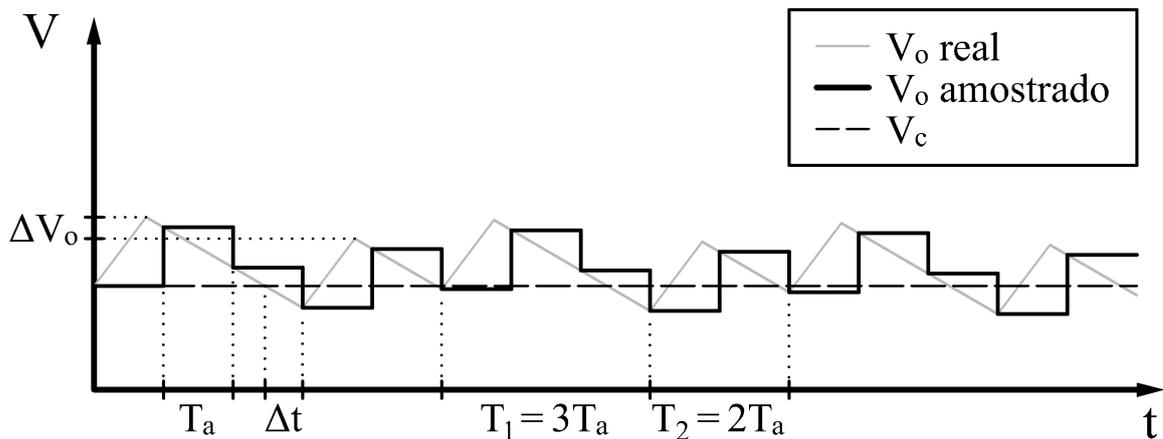
Os efeitos de amostragem, quantização e tempo de processamento, característicos da implementação digital, inserem atrasos e erros no sistema de controle, prejudicando seu funcionamento, principalmente em uma abordagem baseada em *ripple*. Os efeitos negativos na resposta transitória e estabilidade limitam muito a aplicação de controladores V^2 COT digitais, com seu uso crescendo apenas recentemente com o estudo de técnicas para mitigar esses problemas (CHENG *et al.*, 2014).

Com utilização de um DSP para o controle, o maior problema está relacionado à frequência de amostragem. Em um controle baseado em *ripple*, é evidente a necessidade de múltiplas amostras em um período de chaveamento, para permitir a visualização do *ripple* pelo controlador. Considerando que os conversores POL operam com uma frequência de chaveamento elevada, o número de amostras em um período de chaveamento, com utilização de DSP, fica limitado a poucas amostras.

O efeito da utilização de poucas amostras é visualizado na Figura 4.6, nesse caso é usado um tempo de amostragem (T_a) relativamente próximo a frequência de chaveamento. É possível observar que há um atraso, identificado por Δt , entre o momento que o sinal de tensão real fica menor que a referência V_c e o momento que isso é identificado no sinal amostrado, gerando o

pulso e fazendo com que a tensão volte a aumentar. Esse atraso é variável de zero até um período de amostragem, e se soma aos atrasos identificados na seção anterior, entre o acionamento de chave e o aumento da tensão, prejudicando ainda mais a resposta transitória e estabilidade do sistema.

Figura 4.6 – Atraso devido a amostragem e oscilação na tensão de saída.



Outro efeito visualizado devido a amostragem é que o período de chaveamento, variável em COT, será sempre múltiplo do período de amostragem, pois apenas nos momentos de amostragem que ocorre a comparação e possível geração de pulso. Como a variação de período de chaveamento em COT ocorre de forma contínua, valores intermediários de período de chaveamento são obtidos de forma média, através da variação do período de chaveamento. Esse comportamento é salientado na Figura 4.6 pela identificação dos períodos de chaveamento $T_1 = 3T_a$ e $T_2 = 2T_a$. A variação do período de chaveamento gera uma oscilação sub harmônica tensão da carga, identificada por ΔV_o .

Em CCM a oscilação de período de chaveamento não afeta apenas a tensão de saída, ocorrendo também sobre a corrente no indutor, devido a variação no tempo de condução da chave S2. Esse comportamento agrava ainda mais a oscilação de tensão na carga, prejudicando a estabilidade do sistema de controle.

Em DCM o problema de oscilação da corrente de saída não ocorre, pois a mesma parte do valor zero sendo limitada pelo tempo de condução constante, deixando o sistema estável. Além disso, com a redução da carga, a frequência de chaveamento é reduzida em DCM, permitindo mais amostras em um período de chaveamento, diminuindo assim os efeitos da amostragem.

Tanto os efeitos negativos da utilização de capacitores com resistência série baixa, característica visada para obter melhor eficiência e menor *ripple* de tensão, quanto os efeitos negativos da amostragem, são muito prejudiciais na operação CCM. Isso torna a implementação digital desse controle com boa resposta transitória bastante difícil, sendo as soluções apresentadas na literatura focadas principalmente na utilização de FPGAs. Contudo, em operação DCM, os efeitos negativos são minimizados significativamente, permitindo a aplicação desse controle com bons resultados em um DSP.

Do ponto de vista de eficiência, a operação COT é melhor em DCM, porém é equivalente à operação PWM em CCM, conforme analisado no Capítulo 3, portanto, o controlador COT pode ser aplicado apenas para operação DCM garantindo os ganhos em eficiência. Para operação CCM é utilizado um controle PWM, analisado posteriormente, aproveitando a flexibilidade do controle digital.

4.2.4 Metodologia de projeto do controle V^2 COT

Por ser uma técnica de controle baseada apenas na comparação do *ripple* com um sinal de referência o projeto de controle é simplificado. É necessário para projeto desse controlador a definição do compensador e a definição do tempo de condução das chaves.

O tempo de condução da chave S1 (T_{ON}) é calculado para obter uma frequência máxima para o ganho desejado, que ocorrerá no ponto crítico, através da equação (4.1).

$$T_{ON} = \frac{M}{f_{s(max)}} \quad (4.1)$$

Para evitar a necessidade de um circuito de detecção de corrente negativa, o tempo de condução de S2 também pode ser calculado, a partir de (4.2).

$$T_{ON2} = \frac{T_{ON2}(V_i - V_o)}{V_o} \quad (4.2)$$

O compensador consiste em um integrador do erro, e seu projeto deve levar em consideração que a tensão de referência (V_C) deve possuir variação lenta, mantendo-se aproximadamente constante em um período de chaveamento. Para garantir essa condição, a mínima frequência de chaveamento (4.3), observada na carga mínima, pode ser usada para determinar a frequência de cruzamento do integrador.

$$f_{s(min)} = \frac{MI_{o(min)}}{T_{ON}I_B} \quad (4.3)$$

Definida uma frequência de cruzamento (f_c) para o integrador, a sua função de transferência (G_C) no plano S pode ser calculada por (4.4).

$$G_C(s) = \frac{2\pi f_c}{s} \quad (4.4)$$

Como o compensador é implementado de forma digital, a função de transferência deve ser discretizada para a frequência de amostragem. A discretização utilizando retentor de ordem zero (ZOH – *Zero Order Holder*) é apresentada na equação (4.5).

$$G_C(z) = \left(\frac{z-1}{z}\right)Z\left\{\frac{G_C(s)}{s}\right\} \quad (4.5)$$

Como o integrador é responsável apenas por um ajuste fino, não há grande preocupação com a velocidade do compensador. Também por esse motivo, a saída do compensador (V_C) pode ser saturada em valores próximos da tensão desejada para carga, garantindo uma referência de comparação dentro de uma faixa especificada, tornando o controle mais robusto. Com o uso da saturação é desejável a utilização de um integrador *anti-windup* para evitar a saturação da lei de controle.

4.3 CONTROLE PID

Técnicas de controle linear com modulação PWM são amplamente utilizadas para controle de conversores chaveados, seja em versões analógicas ou digitais. Em geral, o controle linear apresenta transitórios mais lentos que controles não lineares baseados em *ripple*, como o controle V² COT, quando implementados analogicamente. Mas, conforme a análise realizada, o número reduzido de amostras da versão digital do V² COT prejudica muito seu funcionamento em CCM, tornando o controle linear uma opção viável para sua substituição nessa operação.

Embora para um compensador linear a implementação digital também apresente alguns efeitos negativos, devido a atrasos e erros de quantização, a perda de desempenho não é tão significativa, pois é considerado para o modelo o comportamento médio em um período de chaveamento. Além disso, em aplicações digitais o uso de múltiplas amostras em um período de chaveamento melhora consideravelmente o desempenho do compensador, principalmente

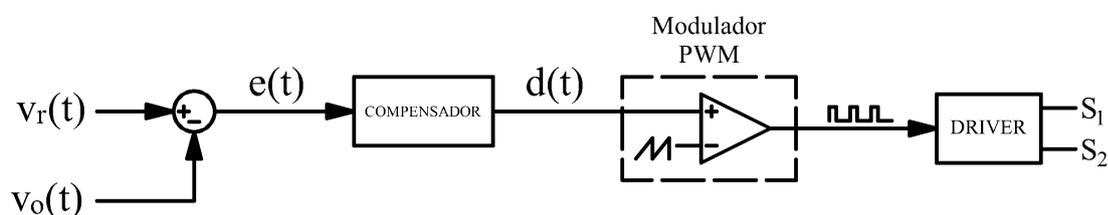
devido à redução de atrasos entre a aquisição e a atualização da saída PWM (CORRADINI *et al.*, 2008); (CORRADINI e MATTAVELLI, 2008).

Devido as necessidades de resposta transitória rápida e erro zero em regime permanente é adequado o uso de um compensador PID. A seguir o controle linear PID é descrito em detalhes, apresentando também características específicas da sua versão digital. Ao final é apresentada a modelagem do conversor para operação em CCM e uma metodologia para projeto digital do compensador.

4.3.1 Descrição do controlador PID

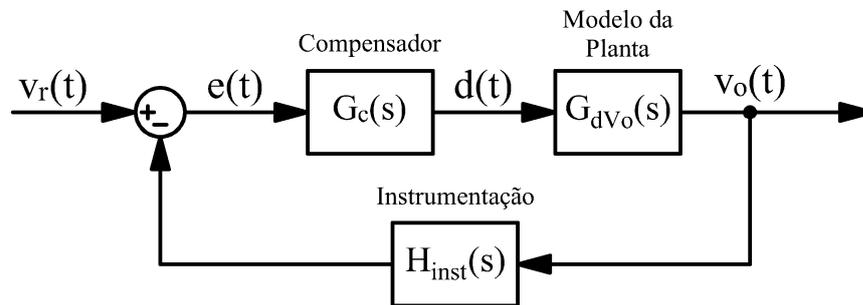
No controle linear a ação de controle ocorre sobre a razão cíclica do conversor, a qual é obtida a partir de um compensador PID utilizando o erro de tensão ou corrente na saída conversor. Essa razão cíclica é então utilizada para geração do PWM, utilizando a comparação com um sinal triangular. A Figura 4.7 apresenta a estrutura do controlador.

Figura 4.7 – Estrutura do controlador



O sistema de controle linear em malha fechada pode ser representado por diagramas de blocos incluindo o modelo da planta do sistema, a instrumentação e o compensador, Figura 4.8. Nesse caso o modelo da planta, representado pela função de transferência $G_{dvo}(s)$, descreve o seu comportamento para uma entrada em razão cíclica (sinal controlado) e com a saída em tensão na carga (sinal medido). A dinâmica e ganho do circuito de instrumentação também deve ser considerada.

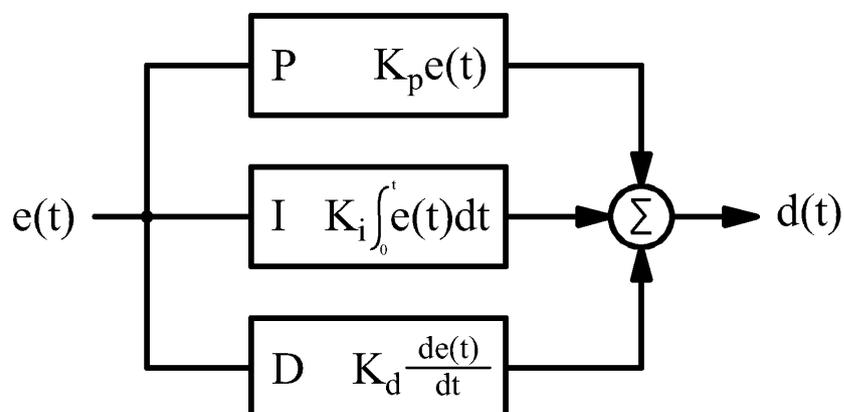
Figura 4.8 – Diagrama de blocos do sistema de controle



Utilizando o modelo do conversor e do sistema de instrumentação é possível projetar o compensador para obter a resposta desejada, dentro das limitações dinâmicas do sistema, o que pode ser feito a partir de diversas técnicas. No projeto é utilizado um modelo linear que descreve o comportamento médio do conversor em um período de chaveamento para pequenas variações na entrada. Esse modelo não leva em consideração dinâmicas que ocorrem dentro de um período de chaveamento, sendo impreciso em frequência próximas e maiores que a frequência de chaveamento.

O compensador PID é composto por um compensador proporcional (P), um compensador integral (I) e um compensador derivativo (D), sendo sua saída igual a soma das três parcelas apresentadas, Figura 4.9. O compensador PID é amplamente utilizado devido a sua capacidade de oferecer boas respostas transitórias, a partir da parcela derivativa, em conjunto com erro nulo em regime permanente, a partir da parcela integral.

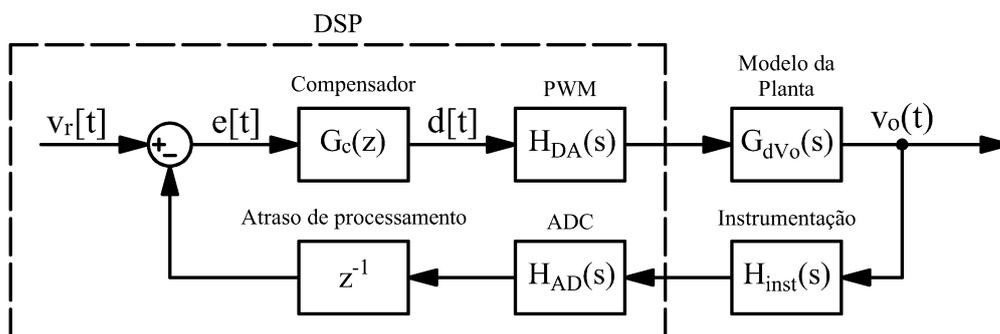
Figura 4.9 – Compensador PID



4.3.2 Abordagem digital

A implementação do controle PID de forma digital, assim como para o controle V^2 COT, modifica algumas características do sistema de controle devido amostragem. A Figura 4.10 mostra o diagrama de blocos do sistema de controle com uma implementação digital, nesse caso são adicionados funções de transferência referentes a amostragem ($H_{AD}(s)$), PWM implementado digitalmente ($H_{DA}(s)$), além de um atraso de processamento considerado como um período de amostragem (z^{-1}). Os efeitos da adição dessas dinâmicas devem ser levados em consideração no projeto, e embora os atrasos e erros de quantização tenham impactos negativos esses não são tão expressivos quanto os observados no controle baseado em *ripple*, pois o funcionamento do controle está baseado em um comportamento médio e não instantâneo das variáveis.

Figura 4.10 – Diagrama de blocos do sistema de controle digital



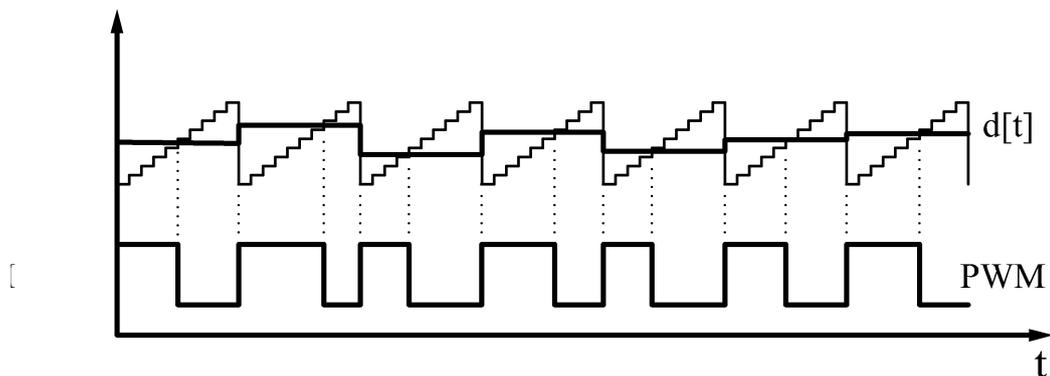
O conversor analógico-digital (ADC) é responsável pela amostragem do sinal. Sua dinâmica costuma ser extremamente rápida, apenas devido ao carregamento de capacitâncias muito pequenas na entrada, o que pode ser desconsiderado. Também deve ser observado o tempo de conversão, no entanto, esse tempo pode ser incluído no atraso de processamento, considerando que o DSP será capaz de amostrar e processar o sinal em um período de amostragem. Portanto, o ADC pode ser representado no sistema por um ganho (4.6), que será uma função do número de *bits* usados na amostragem ($bits_{AD}$) e a tensão máxima amostrada (V_{AD}), considerando uma amostragem entre zero e a tensão máxima.

$$H_{AD}(s) = \frac{2^{bits_{AD}}}{V_{AD}} \quad (4.6)$$

O PWM funciona a partir da comparação do sinal do compensador com um contador, com um resultado semelhante a comparação com uma onda triangular para um contador *up/down* ou dente de serra para um contador em apenas um sentido, na Figura 4.11 é representado um contador crescente gerando um pulso PWM no início do ciclo.

Para esse caso o ganho do PWM será dado pelo inverso do número de contagens realizadas, que pode ser obtido pela razão entre a frequência de chaveamento (f_s) e a frequência do contador, considerada como a frequência de *clock* do DSP (f_{clk}). Para um pulso no início, caso analisado, a dinâmica do PWM será equivalente a um ZOH. A função de transferência aproximada do PWM com pulso no início é apresentada em (4.7), considerando atualização do sinal apenas no início do período de chaveamento.

Figura 4.11 – PWM digital



$$H_{DA}(s) = \frac{f_s}{f_{clk}} \cdot \frac{1}{\frac{s}{2f_s} + 1} \quad (4.7)$$

São portanto adicionados ao sistema o atraso de processamento de um período de amostragem (z^{-1}) e o atraso do PWM com característica de ZOH. Esses atrasos diminuem a margem de fase do sistema, dificultando projeto e piorando a resposta transitória.

Ao utilizar um controle multi-amostrado o atraso de processamento de um período de amostragem é reduzido devido ao menor tempo entre amostras, além disso, é possível atualizar o sinal do PWM na mesma frequência de amostragem, tornando o sinal utilizado na comparação ($d[t]$) mais próximo ao de um sinal analógico. Conforme análise realizada por Corradini e Mattavelli (2008) a utilização de um controle multi-amostrado pode trazer grandes benefícios para a resposta transitória do sistema. Essa possibilidade se torna ainda mais atrativa devido a já presente necessidade de uma amostragem em frequência superior para o controle V^2 COT.

Ainda existem no controle digital os erros devido a quantização e arredondamentos nos cálculos, mas devido à alta resolução dos ADCs e maior capacidade de cálculos de processadores modernos esses problemas não são expressivos.

A flexibilidade do controle digital permite a aplicação de forma simples de compensadores mais complexos, nesse caso a utilização de um *anti-windup* no integrador pode melhorar a resposta transitória e aumentar a robustez do sistema evitando problemas com a saturação da saída.

4.3.3 Modelagem para a operação CCM

Para o projeto adequado do controlador, é necessário descrever o comportamento do conversor *buck* a partir de um modelo linear, para essa modelagem foi utilizado como referência Erickson e Maksimovic (2007).

O comportamento do conversor pode ser descrito através das equações do conversor, para cada etapa de condução, obtendo assim um modelo médio para um período completo de chaveamento, que descreve as variações em sinais de saída do conversor em função de variações em sinais da entrada.

O modelo médio desconsidera os efeitos do chaveamento dentro de um período de comutação, e por isso é válido apenas para frequências suficientemente inferiores a frequência de chaveamento. Pode-se considerar que o modelo médio apresenta uma boa descrição do comportamento para frequências até uma década abaixo da frequência de chaveamento ($f_s/10$).

Para uma modelagem mais precisa, considerando a frequência de chaveamento relativamente alta, serão considerados os efeitos das resistências séries presentes no indutor e capacitor do conversor, o diagrama do conversor e variáveis usadas na modelagem são apresentados na Figura 4.12.

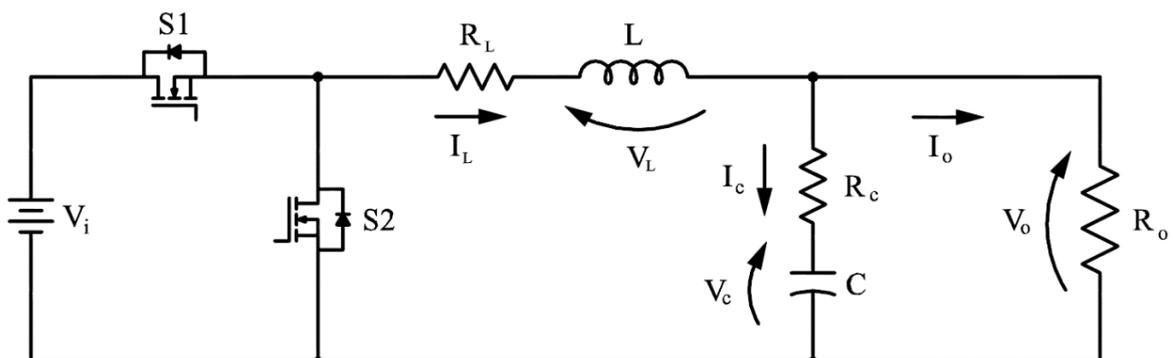


Figura 4.12 – Diagrama usado na modelagem

A descrição do circuito em variáveis de estado é feita através das equações diferenciais (4.8) e (4.9), onde $\mathbf{x}(t)$ é um vetor com as variáveis de estado, $\mathbf{y}(t)$ é um vetor com os sinais de saída, $\mathbf{u}(t)$ é um vetor com os sinais de entrada e \mathbf{K} , \mathbf{A} , \mathbf{B} , \mathbf{C} e \mathbf{E} são matrizes constantes que descrevem o comportamento do conversor.

$$\mathbf{K} \frac{d\mathbf{x}(t)}{dt} = \mathbf{A}\mathbf{x}(t) + \mathbf{B}\mathbf{u}(t) \quad (4.8)$$

$$\mathbf{y}(t) = \mathbf{C}\mathbf{x}(t) + \mathbf{E}\mathbf{u}(t) \quad (4.9)$$

As variáveis de estado do circuito são a corrente no indutor e a tensão no capacitor, resultando no vetor apresentado em (4.10).

$$\mathbf{x}(t) = \begin{bmatrix} i_L(t) \\ v_c(t) \end{bmatrix} \quad (4.10)$$

Para análise inicial é considerada como entrada do conversor apenas a tensão de entrada, conforme (4.11).

$$\mathbf{u}(t) = v_i(t) \quad (4.11)$$

Como a regulação do controle será feita através da tensão de saída, esta variável foi utilizada como sinal de saída do sistema (4.12).

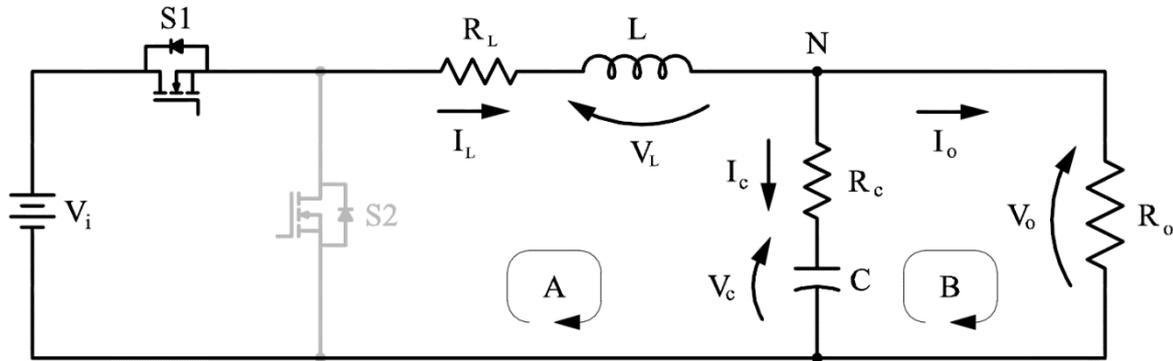
$$\mathbf{u}(t) = v_o(t) \quad (4.12)$$

A condução ou corte das chaves altera o comportamento do circuito, modificando as matrizes que o descreve, dessa forma, inicialmente é necessário obter as matrizes para as duas etapas de chaveamento presentes na operação CCM.

4.3.3.1 Etapa 1: condução de S1

Durante a etapa de condução da chave S1 a chave S2 está em corte, o diagrama do conversor para essa etapa é mostrado na Figura 4.13.

Figura 4.13 – Diagrama do conversor durante a condução de S1



Com a análise do diagrama é possível encontrar as equações que descrevem a malha A (4.13), malha B (4.14) e nó N (4.15).

$$v_i(t) = R_L i_L(t) + v_L(t) + R_c i_c(t) + v_c(t) \quad (4.13)$$

$$v_o(t) = v_c(t) + R_c i_c(t) \quad (4.14)$$

$$i_L(t) = i_o(t) + i_c(t) \quad (4.15)$$

As equações diferenciais que relacionam tensão e corrente no indutor e capacitor são apresentadas respectivamente em (4.16) e (4.17).

$$v_L(t) = L \frac{di_L(t)}{dt} \quad (4.16)$$

$$i_c(t) = C \frac{dv_c(t)}{dt} \quad (4.17)$$

Utilizando as equações de (4.13) até (4.17), é possível encontrar, através de substituição, as equações diferenciais que descrevem o comportamento das variáveis de estado em função de parâmetros do circuito e do sinal de entrada, apresentadas em (4.18) e (4.19).

$$L \frac{di_L(t)}{dt} + R_c C \frac{dv_c(t)}{dt} = -R_L i_L(t) - v_c(t) + v_i(t) \quad (4.18)$$

$$C \left(\frac{R_o + R_c}{R_o} \right) \frac{dv_c(t)}{dt} = i_L(t) - \frac{v_c(t)}{R_o} \quad (4.19)$$

Organizando de forma matricial chega-se a equação (4.20).

$$\begin{bmatrix} L & R_c C \\ 0 & \left(1 + \frac{R_c}{R_o}\right) C \end{bmatrix} \begin{bmatrix} \frac{di_L(t)}{dt} \\ \frac{dv_c(t)}{dt} \end{bmatrix} = \begin{bmatrix} -R_L & -1 \\ 1 & -\frac{1}{R_o} \end{bmatrix} \begin{bmatrix} i_L(t) \\ v_c(t) \end{bmatrix} + \begin{bmatrix} 1 \\ 0 \end{bmatrix} v_i(t) \quad (4.20)$$

Utilizando as equações (4.14) e (4.15) é possível escrever a tensão de saída em função das variáveis de estado do sistema, conforme (4.21).

$$v_o(t) = \frac{R_o R_c}{R_o + R_c} i_L(t) + \frac{R_o}{R_o + R_c} v_c(t) \quad (4.21)$$

Representando a tensão de saída de forma matricial chega-se a Equação (4.22).

$$v_o(t) = \begin{bmatrix} \frac{R_o R_c}{R_o + R_c} & \frac{R_o}{R_o + R_c} \end{bmatrix} \begin{bmatrix} i_L(t) \\ v_c(t) \end{bmatrix} \quad (4.22)$$

As Equações (4.20) e (4.22) descrevem o circuito da maneira apresentada por (4.8) e (4.9), é possível, portanto, encontrar as matrizes para esta etapa de operação que são apresentadas de (4.23) até (4.27).

$$\mathbf{K}_1 = \begin{bmatrix} L & R_c C \\ 0 & \left(1 + \frac{R_c}{R_o}\right) C \end{bmatrix} \quad (4.23)$$

$$\mathbf{A}_1 = \begin{bmatrix} -R_L & -1 \\ 1 & -\frac{1}{R_o} \end{bmatrix} \quad (4.24)$$

$$\mathbf{B}_1 = \begin{bmatrix} 1 \\ 0 \end{bmatrix} \quad (4.25)$$

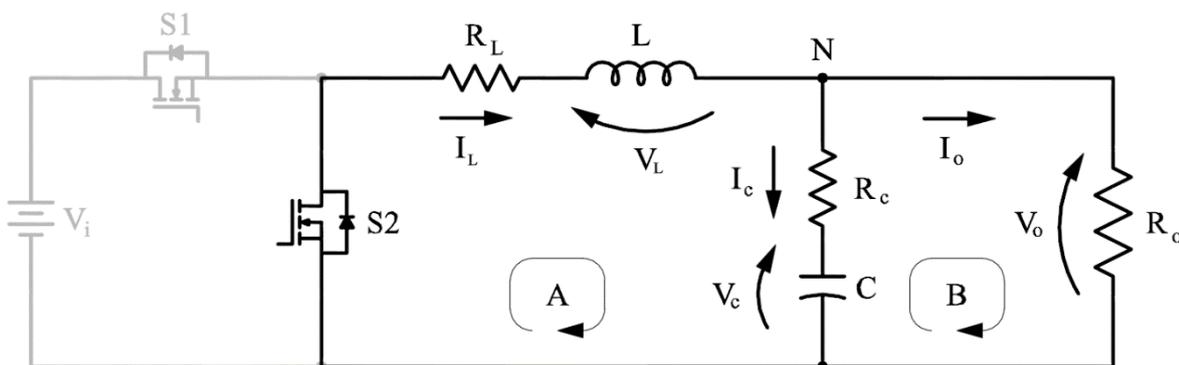
$$\mathbf{C}_1 = \begin{bmatrix} \frac{R_o R_c}{R_o + R_c} & \frac{R_o}{R_o + R_c} \end{bmatrix} \quad (4.26)$$

$$\mathbf{E}_1 = 0 \quad (4.27)$$

4.3.3.2 Etapa 2: condução de S2

A segunda etapa de condução do conversor *buck* síncrono é caracterizada pela condução da chave S2 e corte da chave S1, o diagrama para essa etapa é apresentado na Figura 4.14.

Figura 4.14 – Diagrama para a condução da chave S2



A análise do diagrama resulta nas equações (4.28) para malha A, (4.29) para malha B e (4.30) para o nó N.

$$0 = R_L i_L(t) + v_L(t) + R_c i_c(t) + v_c(t) \quad (4.28)$$

$$v_o(t) = v_c(t) + R_c i_c(t) \quad (4.29)$$

$$i_L(t) = i_o(t) + i_c(t) \quad (4.30)$$

Assim como para a etapa 1, as equações do circuito de (4.28) a (4.30) podem ser utilizadas em conjunto com as equações diferenciais do indutor (4.16) e capacitor (4.17), para

encontrar as equações diferenciais que descrevem o comportamento das variáveis de estado na etapa 2 (4.31) e (4.32).

$$L \frac{di_L(t)}{dt} + R_c C \frac{dv_c(t)}{dt} = -R_L i_L(t) - v_c(t) \quad (4.31)$$

$$C \left(\frac{R_o + R_c}{R_o} \right) \frac{dv_c(t)}{dt} = i_L - \frac{v_c(t)}{R_o} \quad (4.32)$$

Representando estas equações na forma matricial obtêm-se (4.33).

$$\begin{bmatrix} L & R_c C \\ 0 & \left(1 + \frac{R_c}{R_o}\right) C \end{bmatrix} \begin{bmatrix} \frac{di_L(t)}{dt} \\ \frac{dv_c(t)}{dt} \end{bmatrix} = \begin{bmatrix} -R_L & -1 \\ 1 & -\frac{1}{R_o} \end{bmatrix} \begin{bmatrix} i_L(t) \\ v_c(t) \end{bmatrix} \quad (4.33)$$

A relação entre as variáveis de estado e a tensão de saída contínua a mesma apresentada para a etapa 1 (4.21), que novamente em forma matricial é apresentada em (4.34).

$$v_o(t) = \begin{bmatrix} \frac{R_o R_c}{R_o + R_c} & \frac{R_o}{R_o + R_c} \end{bmatrix} \begin{bmatrix} i_L(t) \\ v_c(t) \end{bmatrix} \quad (4.34)$$

Das equações (4.33) e (4.34) podem ser obtidas as matrizes para a etapa 2 de condução, mostradas de (4.35) até (4.39).

$$\mathbf{K}_2 = \begin{bmatrix} L & R_c C \\ 0 & \left(1 + \frac{R_c}{R_o}\right) C \end{bmatrix} \quad (4.35)$$

$$\mathbf{A}_2 = \begin{bmatrix} -R_L & -1 \\ 1 & -\frac{1}{R_o} \end{bmatrix} \quad (4.36)$$

$$\mathbf{B}_2 = \begin{bmatrix} 0 \\ 0 \end{bmatrix} \quad (4.37)$$

$$\mathbf{C}_2 = \begin{bmatrix} \frac{R_o R_C}{R_o + R_C} & \frac{R_o}{R_o + R_C} \end{bmatrix} \quad (4.38)$$

$$\mathbf{E}_2 = 0 \quad (4.39)$$

4.3.3.3 Modelo médio

Para o cálculo do modelo médio deve ser considerada a proporção entre as etapas 1 e 2 dentro de um período de chaveamento. A média ponderada das etapas pode ser calculada para cada matriz, usando como fatores de ponderação a razão cíclica (D) e seu complemento ($D' = 1 - D$), conforme (4.40), onde M representa cada uma das matrizes de estado do sistema.

$$\mathbf{M} = D\mathbf{M}_1 + D'\mathbf{M}_2 \quad (4.40)$$

A aplicação da equação (4.40) para as matrizes do sistema resulta nas matrizes médias apresentadas de (4.41) até (4.45).

$$\mathbf{K} = \begin{bmatrix} L & R_C C \\ 0 & \left(1 + \frac{R_C}{R_o}\right) C \end{bmatrix} \quad (4.41)$$

$$\mathbf{A} = \begin{bmatrix} -R_L & -1 \\ 1 & -\frac{1}{R_o} \end{bmatrix} \quad (4.42)$$

$$\mathbf{B} = \begin{bmatrix} D \\ 0 \end{bmatrix} \quad (4.43)$$

$$\mathbf{C} = \begin{bmatrix} \frac{R_o R_C}{R_o + R_C} & \frac{R_o}{R_o + R_C} \end{bmatrix} \quad (4.44)$$

$$\mathbf{E} = 0 \quad (4.45)$$

4.3.3.4 Modelo para pequenos sinais

O modelo para pequenos sinais é obtido aplicando pequenas variações no vetor de entradas e na razão cíclica, verificando os efeitos sobre as variáveis de estado e saída. O modelo para pequenas variações pode é descrito por (4.46) e (4.47).

$$\frac{d\hat{\mathbf{x}}(t)}{dt} = \mathbf{A}_p\hat{\mathbf{x}}(t) + \mathbf{B}_p\hat{\mathbf{u}}_p(t) \quad (4.46)$$

$$\hat{\mathbf{y}}(t) = \mathbf{C}_p\hat{\mathbf{x}}(t) + \mathbf{E}_p\hat{\mathbf{u}}_p(t) \quad (4.47)$$

O vetor de variações nas entradas, com a adição da variação na razão cíclica, fica definido pela equação (4.48).

$$\hat{\mathbf{u}}_p(t) = \begin{bmatrix} \hat{\mathbf{u}}(t) \\ \hat{d}(t) \end{bmatrix} \quad (4.48)$$

Utilizando linearização para as pequenas variações, as matrizes do sistema podem ser calculadas pelas equações de (4.49) até (4.52).

$$\mathbf{A}_p = \mathbf{K}^{-1}\mathbf{A} \quad (4.49)$$

$$\mathbf{B}_p = [\mathbf{K}^{-1}\mathbf{B} \quad \mathbf{K}^{-1}((\mathbf{A}_1 - \mathbf{A}_2)\mathbf{X} + (\mathbf{B}_1 - \mathbf{B}_2)\mathbf{U})] \quad (4.50)$$

$$\mathbf{C}_p = \mathbf{C} \quad (4.51)$$

$$\mathbf{E}_p = [\mathbf{E} \quad ((\mathbf{C}_1 - \mathbf{C}_2)\mathbf{X} + (\mathbf{E}_1 - \mathbf{E}_2)\mathbf{U})] \quad (4.52)$$

Substituindo as matrizes para as devidas etapas de chaveamento e matrizes médias, é possível encontrar as novas matrizes apresentadas de (4.53) a (4.56). Essas matrizes descrevem o modelo de pequenos sinais do sistema para variações na tensão de entrada e na razão cíclica.

$$\mathbf{A}_p = \begin{bmatrix} -\frac{R_L}{L} - \frac{R_C R_o}{L(R_C + R_o)} & -\frac{R_C R_o}{L(R_C + R_o)} \\ -\frac{R_o}{C(R_C + R_o)} & -\frac{1}{C(R_C + R_o)} \end{bmatrix} \quad (4.53)$$

$$\mathbf{B}_p = \begin{bmatrix} \frac{D}{L} & \frac{V_i}{L} \\ 0 & 0 \end{bmatrix} \quad (4.54)$$

$$\mathbf{C}_p = \begin{bmatrix} \frac{R_o R_C}{R_o + R_C} & \frac{R_o}{R_o + R_C} \end{bmatrix} \quad (4.55)$$

$$\mathbf{E}_p = [0 \quad 0] \quad (4.56)$$

4.3.3.5 Função de transferência

Para projeto do compensador é necessária a representação do modelo no domínio de frequências. Essa representação é feita relacionando as variáveis de saída às variáveis de entrada no domínio de frequências, conforme (4.57).

$$\mathbf{Y}(s) = \mathbf{G}(s)\mathbf{U}_p(s) \quad (4.57)$$

Onde $G(s)$ é uma matriz composta pelas funções de transferência do sistema relacionando cada variável de entrada a cada variável de saída, que para o caso analisado, é apresentada em (4.58).

$$\mathbf{G}(s) = \begin{bmatrix} G_{v_i v_o}(s) \\ G_{d v_o}(s) \end{bmatrix} \quad (4.58)$$

A matriz $G(s)$ pode ser calculada por (4.59), onde a matriz identidade da ordem do sistema é representada por I .

$$\mathbf{G}(s) = \mathbf{C}_p(s\mathbf{I} - \mathbf{A}_p)^{-1}\mathbf{B}_p + \mathbf{E}_p \quad (4.59)$$

Substituindo as matrizes do sistema de (4.53) até (4.56) na equação (4.59) resulta nas funções de transferência relacionando a variações na tensão de saída às variações na tensão de entrada (4.60) e razão cíclica (4.61).

$$G_{v_i v_o}(s) = \frac{DR_o((R_c C + 1)s + 1)}{((R_c + R_o)LC)s^2 + ((R_o R_L + R_o R_c + R_c R_L) + L)s + (R_o + R_L)} \quad (4.60)$$

$$G_{d_v o}(s) = \frac{V_i R_o((R_c C + 1)s + 1)}{((R_c + R_o)LC)s^2 + ((R_o R_L + R_o R_c + R_c R_L) + L)s + (R_o + R_L)} \quad (4.61)$$

Como a atuação é feita sobre a razão cíclica para controle da tensão de saída, a função de transferência da planta utilizada para projeto do compensador deve ser função de transferência (4.61) a qual descreve o comportamento da tensão de saída para variações na razão cíclica.

4.3.4 Metodologia de projeto do controle PID digital

O projeto do compensador PID pode ser realizado por alocação de polos e zeros no plano W, uma metodologia para a obtenção do modelo no plano W e posterior discretização do compensador projetado é apresentada a seguir.

Para o projeto do compensador é utilizado o modelo do conversor *buck* operando em CCM com entrada em razão cíclica e saída em tensão. Esse modelo foi obtido na seção anterior e é apresentado na equação (4.61). Considerando a implementação digital devem ser considerados ainda as dinâmicas e ganhos dos conversores AD e DA (PWM) e instrumentação, respectivamente apresentados em (4.62), (4.63) e (4.64).

$$H_{DA}(s) = \frac{f_s}{f_{clk}} \cdot \frac{1}{\frac{s}{2f_a} + 1} \quad (4.62)$$

$$H_{AD}(s) = \frac{2^{bits_{AD}}}{V_{AD}} \quad (4.63)$$

$$H_{inst}(s) = \frac{G_{inst}}{1 + R_f C_f s} \quad (4.64)$$

Analisando a Figura 4.10, a resposta do sistema em malha aberta é obtida pela multiplicação das funções de transferência (4.61) à (4.64).

$$G_p(s) = G_{v_o d}(s)H_{DA}(s)H_{AD}(s)H_{inst}(s) \quad (4.65)$$

Para a inclusão do atraso de processamento de um período de amostragem, mostrado na Figura 4.10, é preciso que a função de transferência esteja no plano Z, essa transformação é feita utilizando a discretização ZOH na frequência de amostragem, conforme (4.66).

$$G_p(z) = \left(\frac{z-1}{z}\right) Z\left\{\frac{G_p(s)}{s}\right\} \quad (4.66)$$

O atraso de processamento é considerado como um período de amostragem, implementação passo à frente, o que é representado de forma discreta em (4.67).

$$H_d(z) = z^{-1} \quad (4.67)$$

Uma nova função de transferência, no plano Z, é obtida por (4.69) adicionando o atraso de um período de amostragem.

$$G_{pd}(z) = G_p(z) H_d(z) \quad (4.68)$$

Para utilização de técnicas mais simples de projeto de forma contínua, o modelo final é convertido para o plano W, para essa conversão é utilizado o método Tustin (4.69).

$$G_{pd}(w) = G_{pd}(z) \Big|_{z=\frac{1+(T_a/2)w}{1-(T_a/2)w}} \quad (4.69)$$

O modelo obtido ($G_{pd}(w)$) é utilizado para a realização do projeto por alocação de polos de forma contínua, obedecendo os critérios definidos, obtendo-se assim o compensador G_C no plano W. Esse compensador deve ser discretizado na frequência de amostragem, utilizando-se novamente o método Tustin, para posterior implementação digital, conforme (4.70).

$$G_c(z) = G_c(w) \Big|_{w=\frac{2}{T_a}\left(\frac{z-1}{z+1}\right)} \quad (4.70)$$

Por fim, é adicionado o atraso de implementação de um período de amostragem à função de controle, para que a mesma apresente o comportamento considerado no projeto de atraso de implementação.

$$G_{cd}(z) = z^{-1}G_c(z) \quad (4.71)$$

A função do compensador no plano Z é utilizada para a implementação em código do compensador. Alguns outros fatores referentes a essa implementação serão analisados posteriormente.

4.4 PROPOSTA DE CONTROLE

Ao analisar o controlador V² COT digital, verificou-se que em operação DCM ele apresenta bons resultados de eficiência e resposta transitória. Já a operação CCM fica inviabilizada devido aos atrasos que prejudicam significativamente a estabilidade e a resposta transitória do conversor. Portanto, a sua aplicação foi feita apenas para operação em DCM.

Para CCM foi analisado um controle PID multi-amostrado em PWM, que, para implementação digital, proporciona uma resposta transitória melhor em comparação ao V² COT, com uma eficiência equivalente.

Como o sistema de controle conta com dois controladores, é necessária uma maneira de identificar o tipo de operação (CCM ou DCM) do conversor para seleção do controle. Para esse fim será utilizado um sensor de corrente sobre o indutor medindo sua corrente média. Isso não elimina a vantagem do controle V² COT de não necessitar de um sensor de corrente instantânea, pois o sensor de corrente média é muito mais simples e fácil de implementar que um sensor de corrente instantânea.

Para evitar transições múltiplas entre controladores em cargas próximas à corrente de fronteira, será aplicado ainda uma histerese a qual será discutida no projeto do sistema de controle em conjunto com mais detalhes sobre a operação e transição entre controladores.

4.5 CONCLUSÃO

Nesse capítulo foram apresentadas duas técnicas de controle com diferentes princípios de funcionamento, em suas versões analógica e digital. A técnica V^2 COT foi analisada como uma solução ideal do ponto de vista de eficiência, porém, alguns problemas foram identificados na sua implementação digital em CCM. Como solução foi analisado o uso de um compensador PID multi-amostrado em PWM para a operação CCM, buscando melhorias no desempenho mantendo a eficiência. Ainda foram apresentadas metodologias de projeto para ambos os controladores em sua forma digital.

A partir das análises, foi proposto um sistema de controle digital, com a utilização das duas técnicas em conjunto buscando unir boas características de ambas e eliminar os problemas identificados.

5 PROJETO E SIMULAÇÃO

5.1 INTRODUÇÃO

Nesse capítulo é apresentado o projeto do conversor e do sistema de controle proposto, com a utilização de simulações para verificar o funcionamento. O projeto foi realizado para uma tensão de entrada de 3,3V e 1,2V de tensão de saída, considerando uma corrente máxima de saída de 5A e mínima de 0,05A. A frequência de chaveamento em CCM foi definida como 100kHz e a frequência de amostragem utilizada será de 400kHz para os dois controladores. A definição desses valores considerou as limitações do DSP utilizado de tempo de amostragem e processamento, além de uma relação suficiente de número de amostras para cada período de chaveamento, definida como 4, para o funcionamento adequado do controle V^2 COT.

O número de amostras é relativamente pequeno para o controle V^2 COT com operação próxima a frequência máxima (100kHz), mas como analisado, em operação DCM esse problema é reduzido à medida que a frequência de chaveamento diminui com a carga chegando a um valor teórico mínimo de 5kHz desconsiderando as perdas, situação na qual seriam realizadas 80 amostras por período de chaveamento. Já para o controle PID com frequência de chaveamento de 100kHz, mesmo um número reduzido de amostras garante uma redução significativa no valor dos atrasos e, conseqüentemente, uma melhora na resposta transitória.

Para o projeto do conversor foi considerada a forma de operação desejada, ou seja, CCM para cargas elevadas e DCM para cargas reduzidas. Dessa forma, foi necessário o projeto do ponto de operação crítica onde ocorre a transição entre CCM e DCM, o que define o *ripple* de corrente do conversor. O valor para transição entre modos foi escolhido para 20% da carga máxima ($I_o = 1A$), que apresenta melhores resultados de eficiência conforme a análise realizada no Capítulo 3. O *ripple* de tensão máximo foi definido como 2%, sendo tolerado valores maiores em situação de baixa carga. A Tabela 5.1 resume os parâmetros de projeto utilizados.

5.2 PROJETO DO CONVERSOR

Para o conversor devem ser definidos indutor, capacitor e MOSFETs. Inicialmente, no entanto, deve ser calculado o ganho de tensão a partir da tensão de entrada e saída.

$$M = \frac{V_o}{V_i} = 0,363 \quad (5.1)$$

Tabela 5.1 – Parâmetros de projeto do conversor

Parâmetro	Símbolo	Valor
Tensão de entrada	V_i	3,3V
Tensão de saída	V_o	1,2V
<i>Ripple</i> de tensão	V_r	2% (24mV)
Corrente da carga	I_o	0.05-5A
Corrente de fronteira	I_B	1A
Frequência de chaveamento	f_s	100kHz
Frequência de amostragem	f_a	400kHz

O valor do indutor é escolhido para que a transição entre CCM e DCM ocorra em 20% da carga, o que é equivalente a 1A de corrente de saída, carga na qual a frequência de chaveamento será 100kHz para ambos controladores. Para o cálculo é utilizada a equação para corrente de fronteira (3.34), a aplicação dos parâmetros de projeto resulta no valor do indutor apresentado em (5.2).

$$L = \frac{M(V_i - V_o)}{2f_s I_B} = \frac{0,363 \cdot (3,3 - 1,2)}{2 \cdot 100k \cdot 1} = 3,81\mu H \quad (5.2)$$

Devido a disponibilidade de valores comerciais para esse tipo de indutor foi utilizado o indutor de 4,7 μ H (SRP1265A-4R7M), esse componente suporta uma corrente de até 13,5A e possui 8,4m Ω de resistência série. A escolha de um valor comercial maior para o indutor resultará em uma corrente de fronteira menor, calculada em (5.3).

$$I_B = \frac{M(V_i - V_o)}{2f_s L} = \frac{0,363 \cdot (3,3 - 1,2)}{2 \cdot 100k \cdot 4,7\mu} = 0,812A \quad (5.3)$$

O *ripple* de corrente será constante para os dois modos de funcionamento, conforme (3.55) para PWM/CCM e (3.60) para COT/DCM, esse cálculo é apresentado em (5.4).

$$\Delta I_L = 2I_B = 2 \cdot 0,812 = 1,62A \quad (5.4)$$

Para projeto do capacitor foram considerados os *ripple* em PWM e em PFM com carga mínima (pior caso) apresentados nas equações (5.5) e (5.6), baseadas nas equações (3.33) e (3.53) respectivamente. Foram utilizados capacitores cerâmicos, devido a sua baixa resistência

série, a qual foi verificada como aproximadamente $2m\Omega$ na faixa de frequência de chaveamento considerada no projeto, sendo esse valor utilizado para os cálculos de capacitância.

$$C_{PWM} = \frac{T\Delta I_L}{8(V_r - \Delta I_L R_c)} = \frac{10\mu \cdot 1,62}{8 \cdot (24m - 1,62 \cdot 2m)} = 97,54\mu F \quad (5.5)$$

$$C_{COT} = \frac{I_{o(min)}(\Delta I_L - I_o)^2}{\Delta I_L^2 (V_r - \Delta I_L R_c) f_{s(min)}} = \frac{0,05 \cdot (1,62 - 0,05)^2}{1,62^2 \cdot (24m - 1,62 \cdot 2m) \cdot 6,15k} = 367\mu F \quad (5.6)$$

Para garantir o *ripple* em ambos modos de funcionamento o maior valor foi adotado, utilizando um capacitor SMD cerâmico de $470\mu F$ (AMK432 BJ477MM-T), com uma resistência série de $2m\Omega$ e máxima tensão de $4V$. É verificado um sobredimensionamento para PWM, essa característica é útil para o controle, pois transitórios de corrente terão um menor impacto sobre a tensão de saída devido a carga elevada do capacitor. O mesmo valor de capacitor projetado para saída foi usado para o capacitor de entrada do conversor, para reduzir *ripple* de tensão e variações de tensão na entrada durante os transitórios de corrente na saída.

A escolha das chaves foi realizada para a frequência de chaveamento de $100kHz$ e para suportar os esforços de tensão e corrente. Foi utilizada a chave IRF7910 para uma tensão de entrada de até $12V$ e corrente de até $10A$ e resistência de condução de $15m\Omega$, suprimindo as necessidades do circuito. Para acionamentos das chaves foi utilizado o driver síncrono MCP1470 com alimentação em $5V$ feita através de uma fonte externa.

A Tabela 5.2 apresenta os componentes utilizados em conjunto com alguns parâmetros considerados importantes.

5.3 PROJETO DO SISTEMA DE INSTRUMENTAÇÃO

O controle é realizado através da medição de tensão na saída, sendo selecionado o controlador a partir da medição da corrente média. Os projetos dos circuitos de instrumentação para cada sinal são apresentados a seguir.

Tabela 5.2 – Dados dos componentes utilizados

Parâmetro	Símbolo	Valor
Indutor (SRP1265A-4R7M)		
Indutância	L	4,7 μ H
Resistência série	R_L	7m Ω
Máxima corrente	$I_{L(max)}$	13,5A
Capacitor (AMK432 BJ477MM-T)		
Capacitância	C	470 μ F
Resistência série (RSE)	R_C	2m Ω
Tensão nominal	$V_{C(max)}$	4V
<i>Ripple</i> de corrente max.	$I_{C(ripple)}$	3,5Arms ($\Delta t = 10^\circ\text{C}$)
MOSFETs (IRF7910)		
Tensão máxima	$V_{DS(max)}$	12V
Corrente máxima	$I_{D(max)}$	10A
Resistência de condução	$R_{DS(on)}$	15m Ω
Driver (MCP1470)		
Tensão do driver	V_{DR}	5V

5.3.1 Tensão na carga

O conversor analógico digital (ADC) do DSP possui uma faixa de 0 a 3,3V e uma resolução de 12bits. Para melhor aproveitamento da faixa de medição do ADC foi definido um ganho igual a 2, obtido através de um amplificador operacional em configuração não inversora, possibilitando a medição de 0 à 1,65V com uma resolução máxima de 0,4mV. Foi utilizado o amplificador operacional FAN4174, *rail-to-rail* com alimentação em 3,3V para proteção do DSP e com banda passante de 3,7Mhz.

Além disso, foi utilizado um filtro passa baixas *anti-aliasing* com frequência de corte de 200kHz, metade da frequência de amostragem de 400kHz. O uso de 200kHz permite a visualização do *ripple* de tensão pelo controle V^2 COT, permitindo o uso da mesma instrumentação e ADC para ambos controladores.

O circuito utilizado pode ser verificado na Figura 5.2, os valores dos componentes para obter o ganho e a frequência de corte são apresentados na Tabela 5.3.

Figura 5.1 – Circuito de instrumentação para tensão de saída

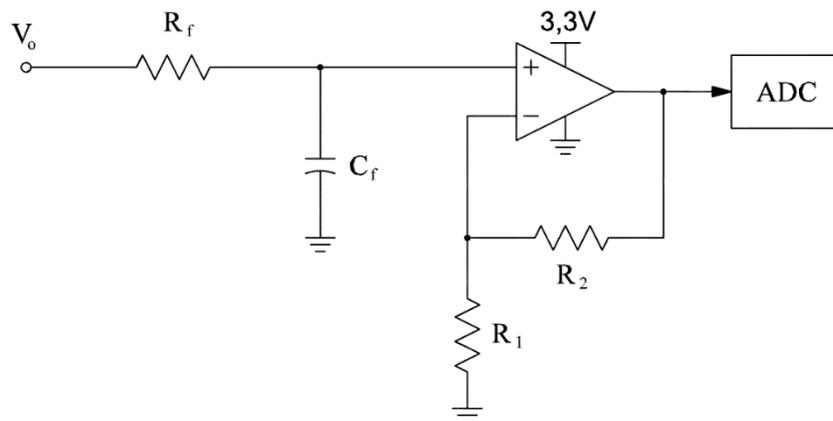


Tabela 5.3 – Componentes instrumentação tensão de saída

Componente	Valor
C_f	100pF
R_f	6,8k Ω
R_1	10k Ω
R_2	10k Ω

5.3.2 Corrente no indutor

A corrente no indutor é medida através de um sensor de efeito Hall. O sensor utilizado foi um sensor ACS712, que possui uma faixa de medição de -20A a +20A e sensibilidade de 100mV/A com uma corrente nula gerando uma saída de 2,5V. Utilizando a faixa do ADC do DSP de até 3,3V é possível realizar a medição de até 8A, o que é suficiente para o conversor projetado, dessa forma, é necessário apenas um circuito de proteção através de um amplificador operacional *rail-to-rail*, semelhante ao utilizado para medição de tensão (FAN4174), em configuração *buffer*. Também foi utilizado um filtro passa baixas de primeira ordem com frequência de corte de 10kHz, pois é necessária a medição da corrente média, e ganho unitário mantendo a resolução do sensor. O circuito utilizado é apresentado na Figura 5.1 e os componentes na Tabela 5.4.

Figura 5.2 – Circuito de instrumentação para corrente do indutor

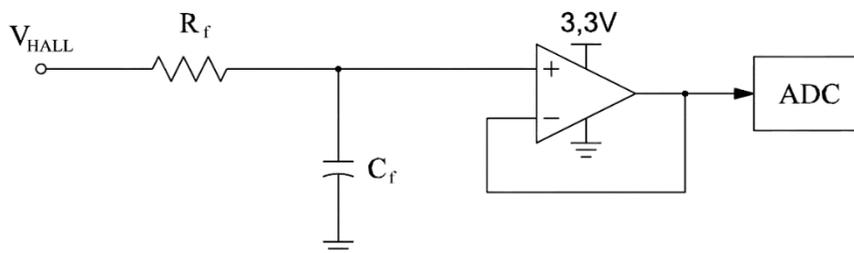


Tabela 5.4 – Componentes instrumentação da corrente do indutor

Componente	Valor
C_f	100pF
R_f	6,8k Ω

5.4 PROJETO DO SISTEMA DE CONTROLE

O sistema de controle é composto por dois controladores digitais. A seguir são apresentados os projetos de cada um dos sistemas, utilizando simulações para verificação do funcionamento. Na sequência são abordados alguns aspectos da utilização conjunta dos controladores e implementação em um DSP.

Para desenvolvimento do projeto foi utilizado um *kit* de desenvolvimento da Texas Instruments com o DSP F28M36P63C2Z. A Tabela 5.5 apresenta os dados do processador.

Tabela 5.5 – Parâmetros do processador

Parâmetro	Valor
Frequência de <i>clock</i>	150MHz
Número de <i>bits</i> do processador	32bits
Número de <i>bits</i> do ADC	12bits
Tensão no ADC	3,3V
Número de <i>bits</i> máximo do PWM	16bits

5.4.1 Controle PID

Conforme a metodologia apresentada em 4.3.4, para projeto do compensador é necessário o modelo em malha aberta no plano W do sistema, considerando as dinâmicas e atrasos, o que pode ser obtido utilizando o conjunto de equações (4.61) à (4.69). A Tabela 5.6 agrupa os parâmetros necessários para cálculo do modelo. Devido a variação de carga, há uma variação do modelo do sistema, para o cálculo do modelo foi utilizada a menor carga em que o compensador PID irá atuar, caso mais crítico do ponto de vista do controle.

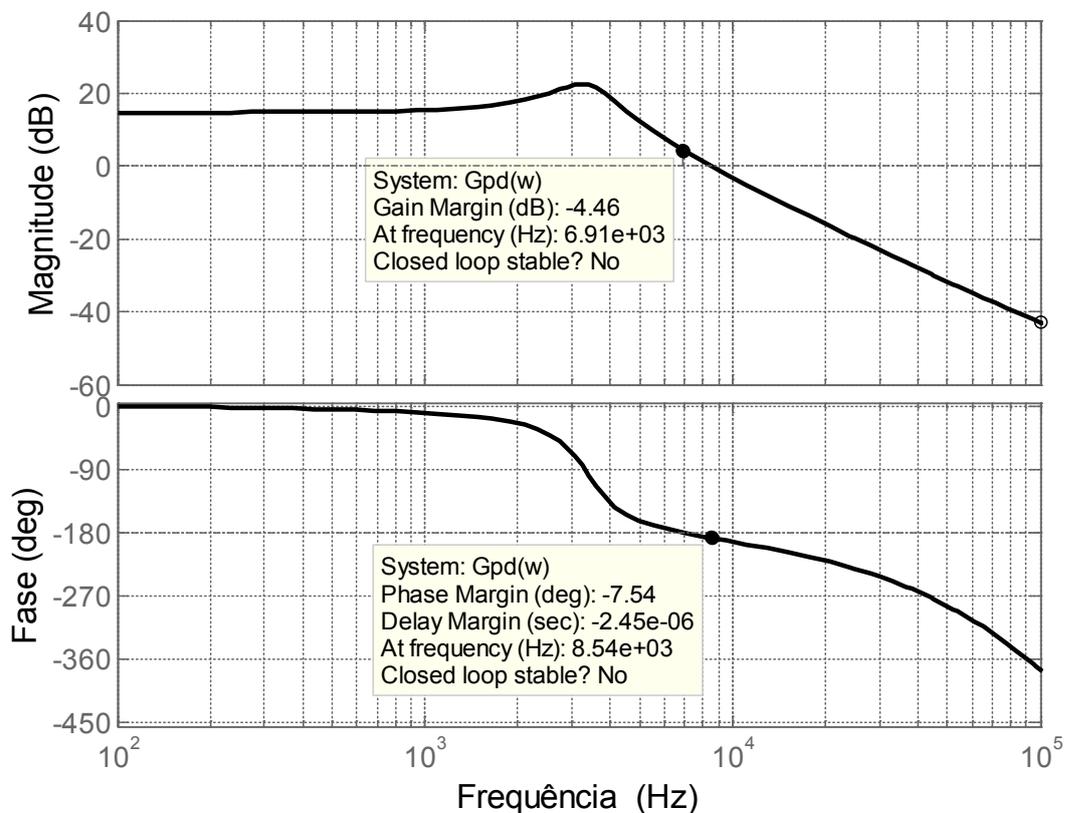
Tabela 5.6 – Parâmetros usados no modelo

Parâmetro	Símbolo	Valor
Tensão na entrada	V_i	3,3V
Indutância	L	4,7 μ H
Capacitância	C	470 μ F
Resistência	R	1,5 Ω ($I_o = 0,8A$)
Frequência de chaveamento	f_s	100kHz
Frequência de amostragem	f_a	400kHz
Frequência de <i>clock</i>	f_{clk}	150MHz
Número de <i>bits</i> conversor AD	$bits_{AD}$	12bits
Tensão AD	V_{AD}	3,3V
Ganho de instrumentação	G_{inst}	2
Resistência do filtro de instrumentação	R_f	6,8k Ω
Capacitância do filtro de instrumentação	C_f	100pF

A obtenção do modelo foi realizada com o *software* Matlab através de um *script*, com a substituição dos valores apresentados, resultando na função de transferência (5.7). A resposta em frequência da planta em malha aberta não compensada do sistema pode ser visualizada na Figura 5.3.

$$G_{pd}(w) = e^{-2,5 \times 10^{-6} w} \cdot \frac{0,001129w^4 + 1505w^3 - 3,193 \times 10^9 w^2 - 1,035 \times 10^{15} w + 1,638 \times 10^{21}}{w^4 + 1,487 \times 10^6 w^3 + 5,549 \times 10^{11} w^2 + 4,529 \times 10^{15} w + 2,749 \times 10^{20}} \quad (5.7)$$

Figura 5.3 – Resposta em frequência do sistema em malha aberta não compensada



5.4.1.1 Projeto compensador PID

Para o projeto do compensador foram adotados como parâmetros uma frequência de cruzamento de 10kHz, uma década abaixo da frequência de chaveamento (100kHz), buscando-se uma margem de fase de 40° , valor considerado como uma boa relação de compromisso entre tempo de acomodação e sobre nível percentual para a situação apresentada. O projeto foi realizado através de alocação de polos e zeros, para isto foi utilizado a ferramenta *sisotool* do software Matlab.

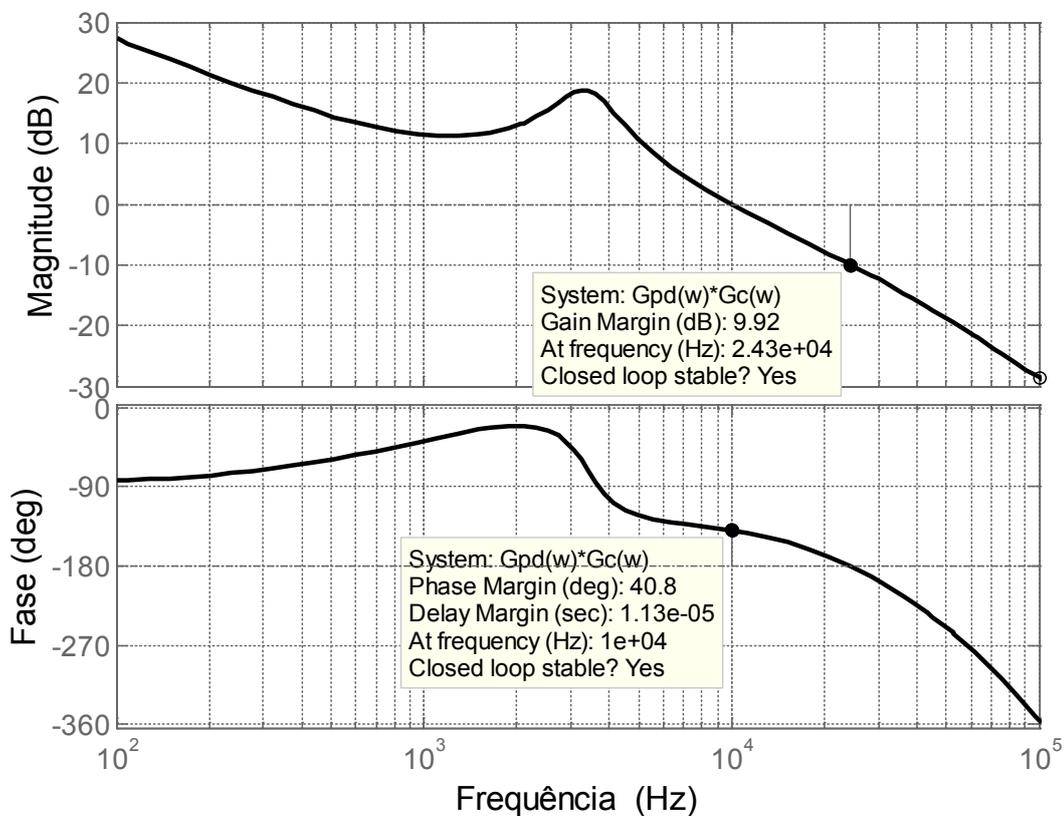
Para implementação do integrador, o polo é alocado na origem e o zero foi alocado em 1kHz, uma década abaixo da frequência de cruzamento desejada, com objetivo de gerar uma influência mínima na fase da frequência de cruzamento de projeto.

A margem de fase na frequência de cruzamento de projeto (10kHz) no sistema em malha aberta é de -14° conforme visualizado na Figura 5.3, para solução desse problema foram o polo e zero da parte derivativa do compensador foram alocados respectivamente em 40kHz e 3kHz.

Por fim, o ganho é ajustado para garantir a frequência de cruzamento de 10kHz, resultando na função de transferência do compensador PID no plano W (5.8), a resposta em frequência do sistema compensado é apresentada na Figura 5.4.

$$G_c(w) = \frac{5.616w^2 + 1.412 \times 10^5 w + 6,652 \times 10^8}{w^2 + 2,513 \times 10^5 w} \quad (5.8)$$

Figura 5.4 – Resposta em frequência do sistema em malha aberta compensada



É observado que o sistema compensado possui uma margem acima de aproximadamente 40° e uma frequência de cruzamento de 10kHz conforme parâmetros de projeto. A função de transferência do compensador é então discretizada utilizando Tustin (4.70) resultando em (5.9).

$$G_c(z) = \frac{4,409z^2 + 8,546z + 4,14}{z^2 + 1,522z + 0,5219} \quad (5.9)$$

Com a aplicação do atraso de implementação (4.71) a equação de controle fica definida por (5.10).

$$G_{cd}(z) = \frac{4,409z^2 + 8,546z + 4,14}{z^3 + 1,522z^2 + 0,5219z} \quad (5.10)$$

Como será utilizado no integrador um *anti-windup* a parcela integradora é separada para sua implementação. Isso é feito com a decomposição em funções parciais, dividindo o compensador em parcelas PI e PD conforme apresentado.

$$G_{cd}(z) = G_{PI}(z) + G_{PD}(z) \quad (5.11)$$

$$G_{PI}(z) = \frac{0,006617}{z - 1} \quad (5.12)$$

$$G_{PD}(z) = \frac{4,409z - 4,144}{z^2 - 0,5219z} \quad (5.13)$$

5.4.1.2 Implementação em código

Para implementação da lei de controle do compensador em código, é necessário obter a equação de diferenças discretas a partir da função de transferência discretizada do compensador.

Rearranjando as equações (5.12) e (5.13) para cálculo da saída de controle $U(z)$ em relação ao erro na entrada $E(z)$ chega-se as equações (5.14) e (5.15).

$$U_{PD}(z)(z^2 - 0,5219z) = E(z)(4,409z - 4,144) \quad (5.14)$$

$$U_{PI}(z)(z - 1) = 0,006617 \cdot E(z) \quad (5.15)$$

A partir dessas equações podem ser obtidas as equações de diferenças discretas (5.16) e (5.17).

$$U_{PD}[k] = 0,5219 \cdot U_{PD}[k - 1] + 4,409 \cdot E[k - 1] - 4,144 \cdot E[k - 2] \quad (5.16)$$

$$U_{PI}[k] = U_{PI}[k - 1] + 0,006617 \cdot E[k - 1] \quad (5.17)$$

O *anti-windup* para o controle PI é implementado em código limitando a saída U_{PI} , e parando a integração durante a saturação.

Devido ao pouco tempo para processamento ambos os controladores foram implementados em ponto fixo. Para isso as constantes multiplicadoras são representadas de forma inteira pela fórmula (5.18), onde “X” é uma das constantes multiplicadoras e “n” é o número de *bits* utilizados para representação da parte fracionária da constante.

$$X_{fix} = round(X \cdot 2^n) \quad (5.18)$$

Para o controle PD foi utilizado $n=8$ (8*bits* de resolução na parte fracionária), considerada suficiente para representar as variáveis sem grandes perdas de arredondamento.

$$U_{PD}[k] \ll 8 = 134 \times U_{PD}[k - 1] + 1129 \times E[k - 1] - 1061 \times E[k - 2] \quad (5.19)$$

Para o controlador PI, como o multiplicador possui um valor mais baixo foi utilizado um número de *bits* maior $n=11$ para representar de forma mais fiel a equação.

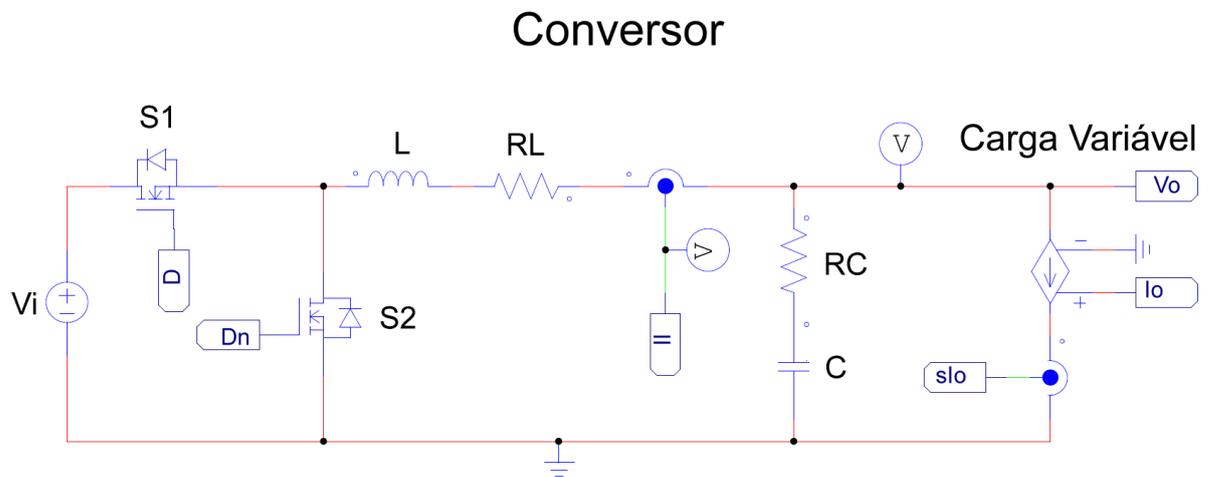
$$U_{PI}[k] \ll 11 = 2048 \times U_{PI}[k - 1] + 14 \times E[k - 1] \quad (5.20)$$

Por fim, o controle pode ser implementado em código a partir das equações (5.19) e (5.20).

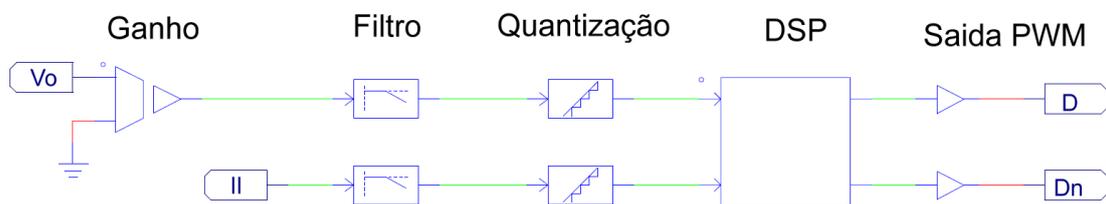
5.4.1.3 Simulação PID

A simulação foi realizada no *software* PSIM conforme o diagrama esquemático do próprio *software* apresentado na Figura 5.5, com o controle implementado a partir de bloco de programação C representando o DSP. Foi considerado um quantizador na entrada com a mesma resolução e ganho do ADC do DSP. O PWM foi gerado a partir de código no bloco de programação, utilizando contadores para obter uma quantização semelhante ao DSP. Também foi considerado o tempo de processamento com implementação da lei de controle com um período de amostragem em atraso. Dessa forma, é possível simular o comportamento do compensador com muita semelhança à uma situação real de operação.

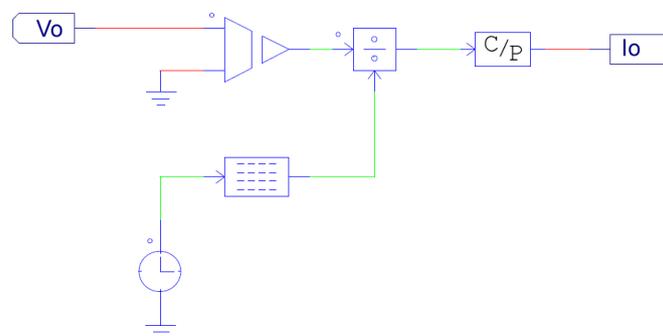
Figura 5.5 – Diagrama esquemático utilizado para simulação no PSIM



Controle do Conversor

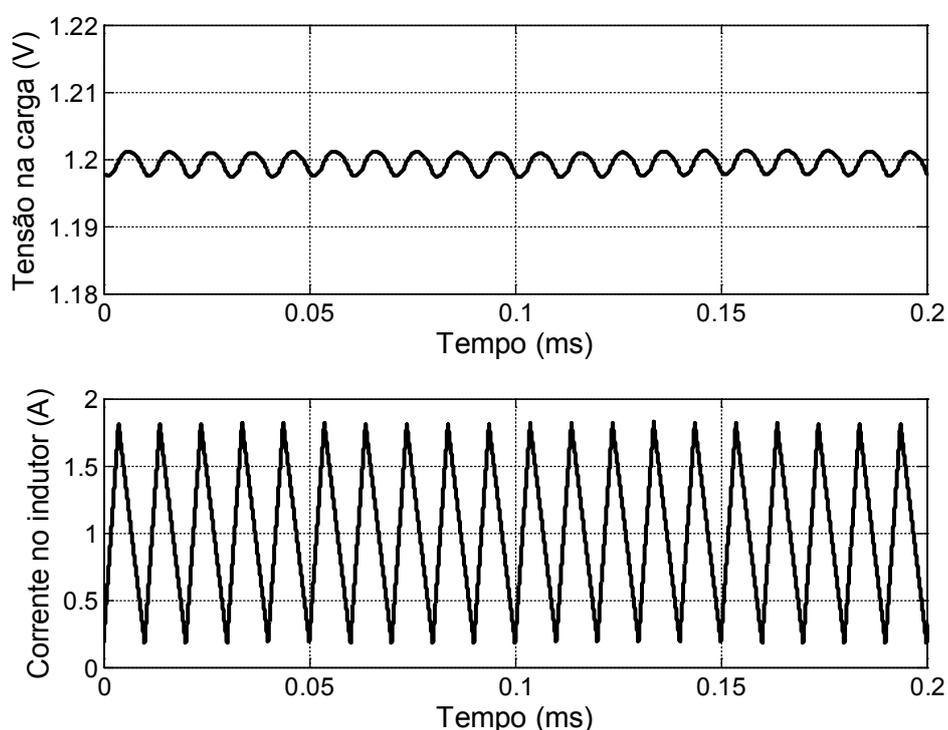


Controle da Carga



Foram verificadas as características de funcionamento em regime permanente, apresentada na Figura 5.6, para uma corrente na carga de 1A. Nessa figura é possível observar a regulação correta de tensão e estabilidade do sistema. É visualizada a operação CCM, como esperado para essa corrente, o *ripple* de corrente é de aproximadamente 1,6A, conforme projetado, e o *ripple* de tensão tem valor de aproximadamente 5mV, dentro dos limites de 24mV (2%).

Figura 5.6 – Controle PID em regime permanente ($I_o = 1A$)



Para simulação de transitórios foram utilizados diferentes degraus na corrente da carga, ocorrendo de forma instantânea. A Figura 5.7 apresenta diferentes variações positivas de carga, enquanto a Figura 5.8 apresenta as variações negativas. Analisando as figuras verifica-se que o controle é estável para variações cargas em toda a faixa para o qual foi projetado. Outra observação é que o tempo de acomodação se mantém constante, em aproximadamente 0,18ms, para as diferentes variações de carga testadas, um valor considerado adequado para a frequência de chaveamento utilizada. O sobre nível percentual, no entanto, é dependente da variação de carga, tendo um valor máximo de 0,15V ou 12,5% para a máxima variação de carga possível, um sobre nível dessa magnitude por um tempo menor que 0,1ms é aceitável para a aplicação desse trabalho.

Figura 5.7 – Resposta transitória para diferentes variações positivas de carga em PWM

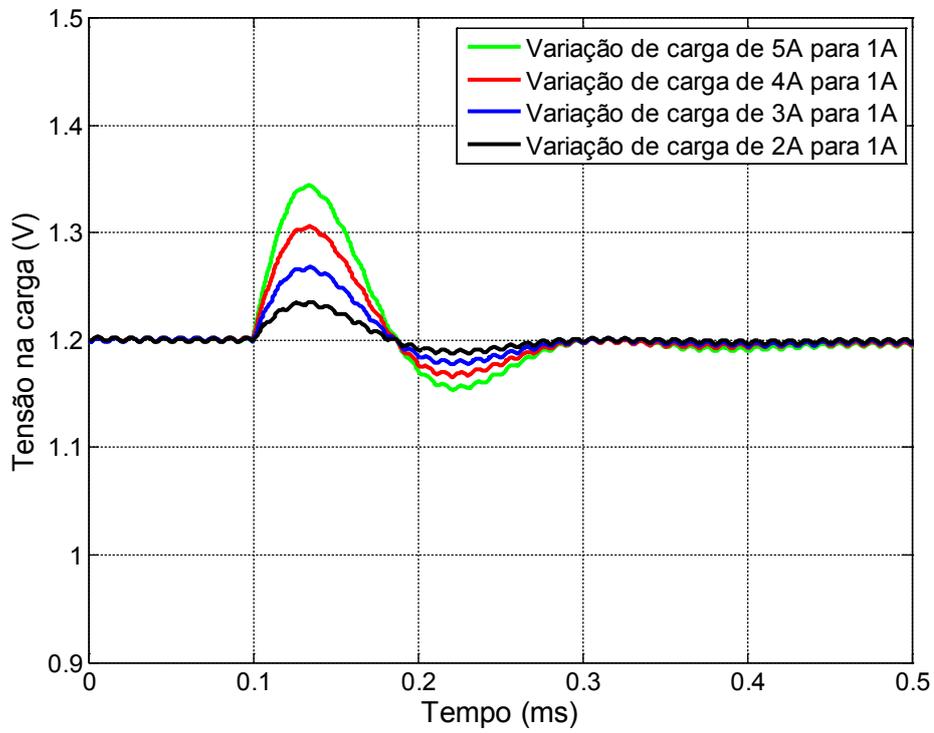
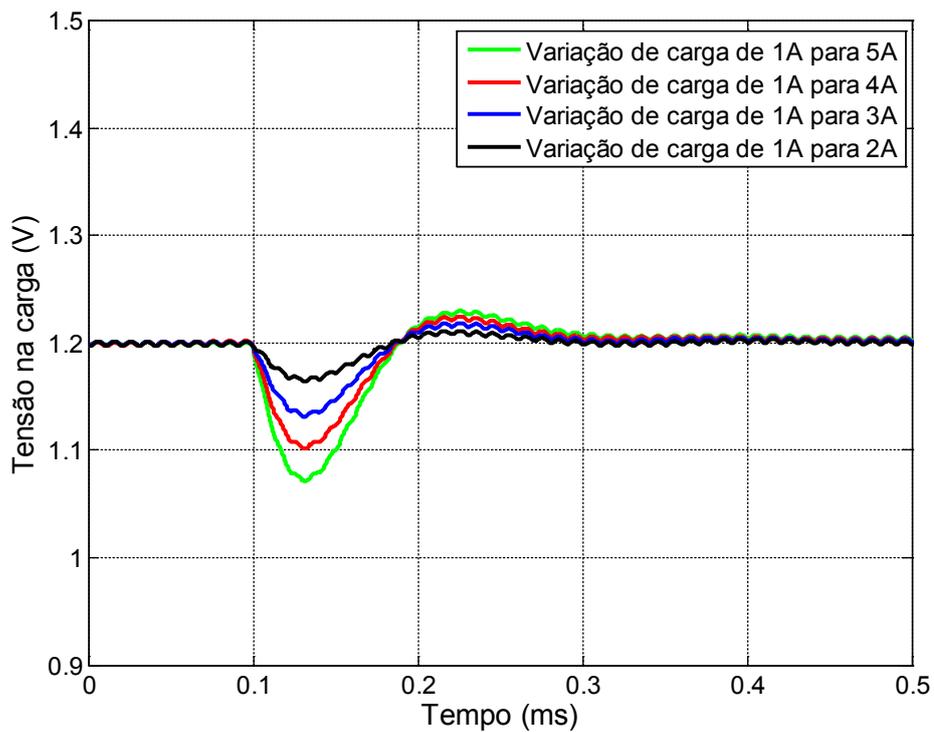


Figura 5.8 – Resposta transitória para diferentes variações negativas de carga em PWM



5.4.2 Controle V² COT

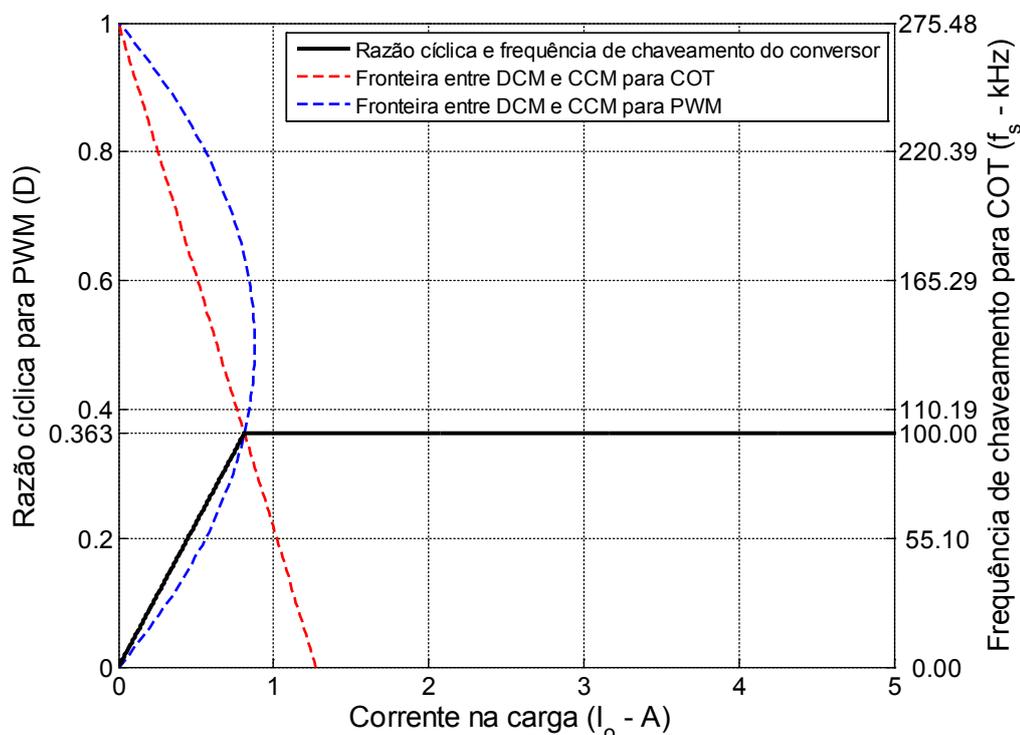
O projeto do controle V² COT é composto pela definição dos tempos de condução e do compensador, seguindo a metodologia apresentada em 4.2.4.

O tempo de condução para a chave S1 foi projetado para uma frequência máxima de chaveamento de valor igual à frequência da operação PWM (100kHz). O cálculo do tempo de condução é apresentado em (5.21).

$$T_{ON} = \frac{M}{f_{s(max)}} = \frac{0,363}{100k} = 3,63\mu s \quad (5.21)$$

Com a escolha de T_{ON} para uma frequência máxima igual a usada em PWM, a transição entre operação DCM e CCM ocorrerá no mesmo valor de corrente nas modulações PWM e COT, para o ganho definido. Isso pode ser verificado para o conversor projetado na Figura 5.10, que mostra o comportamento da razão cíclica em PWM e da frequência de chaveamento em COT, assim como as fronteiras entre DCM e CCM em ambos as modulações.

Figura 5.9 – Comportamento do conversor projetado COT/PWM



No entanto, como há perdas no conversor, a frequência de operação em COT será um pouco mais elevada que o calculado para um circuito ideal. Para compensar esse efeito foi utilizado um tempo de condução um pouco mais elevado, definido em (5.22).

$$T_{ON} = 4\mu s \quad (5.22)$$

Para esse tempo de condução da chave S1, pode ser calculado o tempo de condução da chave S2 em operação DCM, conforme (5.23).

$$T_{ON2} = \frac{T_{ON}(V_i - V_o)}{V_o} = \frac{4 \cdot (3,3 - 1,2)}{1,2} = 7\mu s \quad (5.23)$$

5.4.2.1 Projeto compensador PI

O projeto do compensador é realizado para a mínima frequência de operação, aproximadamente 5kHz, esse valor foi definido como a frequência de cruzamento do compensador para garantir uma oscilação lenta do sinal utilizado para modulação (V_C). A função de transferência do integrador para essa frequência de cruzamento é calculada em (5.24).

$$G_C(s) = \frac{2\pi f_c}{s} = \frac{31416}{s} \quad (5.24)$$

Aplicando o método de discretização ZOH (4.7) para uma frequência de amostragem de 400kHz, a função de transferência discretizada do compensador fica descrita por (5.25).

$$G_I(z) = \frac{0.07854z}{z - 1} \quad (5.25)$$

Como a regulação do compensador é utilizada apenas para eliminação de erros causados devido ao *ripple* de tensão, foi utilizada uma saturação entre 1,25V e 1,15V para a saída do compensador, suficiente para eliminar esses erros e regular corretamente em 1,2V. Para garantir um funcionamento adequado foi implementado um integrador *anti-windup*.

5.4.2.2 Implementação em código

Para implementação em código é utilizada a equação de diferenças apresentada em (5.26), que pode ser obtida a partir da função de transferência discreta.

$$U_I[k] = U_I[k - 1] + 0.07854 \cdot E[k - 1] \quad (5.26)$$

Da mesma forma que para o controlador PID essa implementação foi realizada em ponto fixo, utilizando 11 *bits* para representação da parte fracionária, resultando em (5.27).

$$U_I[k] \ll 11 = 2048 \cdot U_I[k - 1] + 161 \cdot E[k - 1] \quad (5.27)$$

5.4.2.3 Simulação V² COT

Para verificação do controle V² COT foram utilizados os mesmos critérios do controle PID. Foram realizadas simulações em regime permanente e transitórios de carga, com objetivo de verificar o funcionamento adequado do controle e modulação. O diagrama esquemático da simulação é o mesmo utilizado para a simulação PID com alteração no código do DSP, e pode ser visualizado na Figura 5.5.

Os testes em regime permanente foram realizados para diferentes correntes dentro da faixa de operação desse controle ($I_o < 0,8A$), observando a tensão na carga e a corrente sobre o indutor. Esses testes buscam verificar o funcionamento em DCM, a regulação adequada de tensão e a variação de frequência. Os resultados são apresentados na Figura 5.10 para carga máxima, Figura 5.11 para uma carga média e Figura 5.12 para carga mínima.

Analisando a tensão, é observada a regulação adequada em toda a faixa de cargas em 1,2V com o *ripple* de mantendo abaixo de 24mV, parâmetro usado no projeto, mesmo na carga mínima. Verifica-se também a redução da frequência de chaveamento com a redução da carga e o efeito de oscilação causado pela amostragem, presente de forma muito mais significativa na frequência de chaveamento mais elevada, devido ao menor número de amostragens em um período de chaveamento.

Analisando a corrente no indutor pode-se observar a operação em DCM em toda a faixa de cargas deste controlador, sendo na carga máxima uma operação próxima a crítica. O *ripple* de corrente se mantém constante em aproximadamente 1,9A, um pouco acima do valor de projeto devido ao aumento no valor do tempo de condução (T_{ON}).

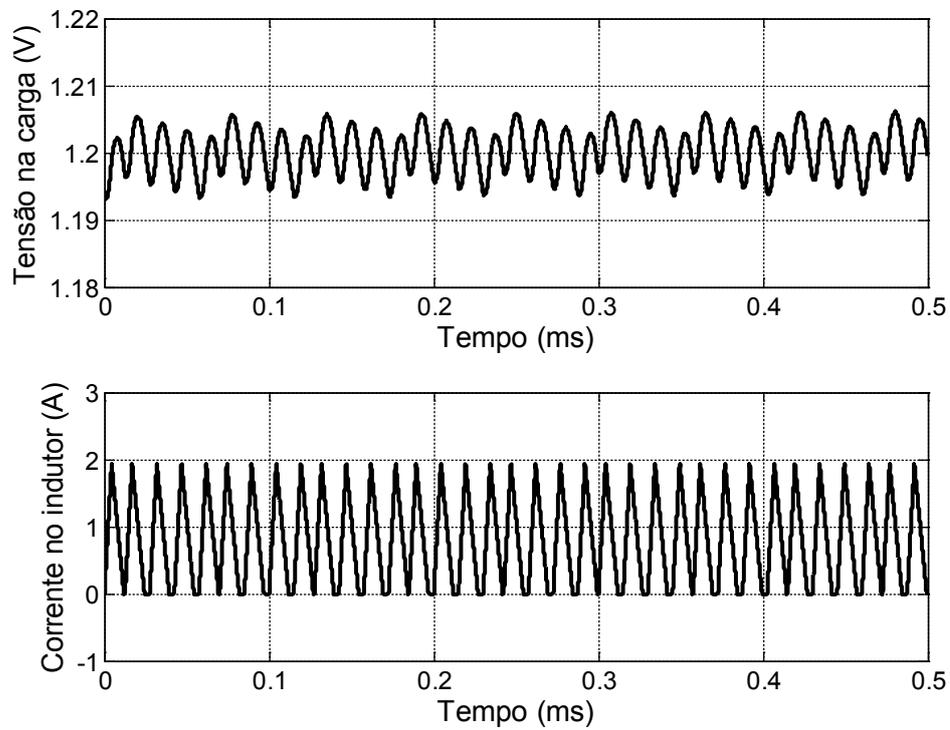
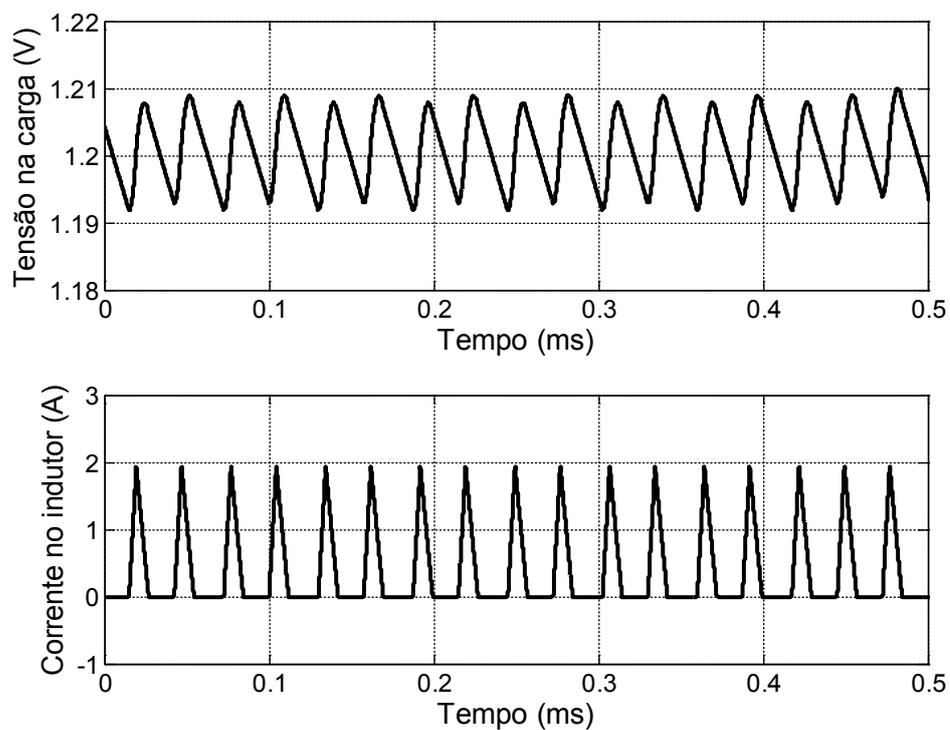
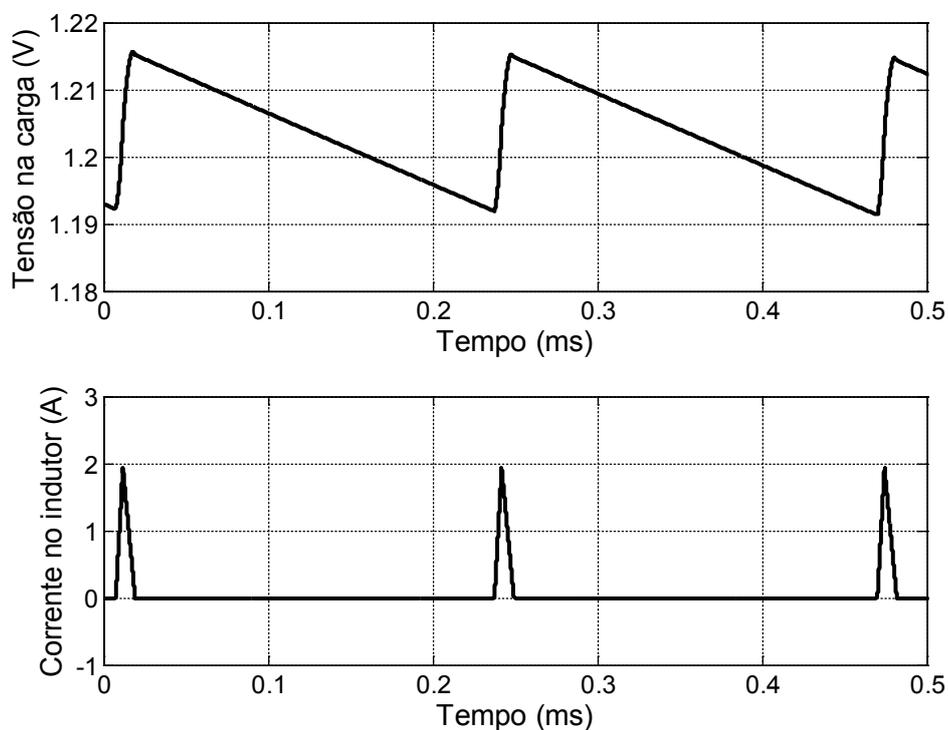
Figura 5.10 – *Ripple* de tensão e corrente para COT com carga máxima ($I_o = 0,8A$)Figura 5.11 – *Ripple* de tensão e corrente para COT com carga média ($I_o = 0,4A$)

Figura 5.12 – *Ripple* de tensão e corrente para COT com carga mínima ($I_o = 0,05A$)



Os resultados das simulações em regime permanente são adequados para os parâmetros de projeto utilizados, e confirmam as análises teóricas para esse controlador.

Para as simulações de transitórios de carga foi considerado degrau entre as cargas máxima e mínima para o qual o controlador atua ($0,05 - 0,8A$). A Figura 5.13 apresenta um degrau positivo de carga e a Figura 5.14 apresenta um degrau negativo de carga.

A resposta transitória desse controlador é bastante rápida, com variação instantânea da frequência de chaveamento, e com pouca oscilação de tensão na carga. Isso ocorre devido ao funcionamento do modulador diretamente através do *ripple*. Além disso, a faixa de cargas reduzida e funcionamento em DCM garantem a ausência de grandes oscilações durante o transitório em comparação com o controle PID.

Por fim, o projeto do controle V^2 COT se mostrou adequado para operação em regime permanente e com excelentes resultados para transitórios de carga.

Figura 5.13 – Transitório de positivo de carga em COT de 0,05A para 0,8A

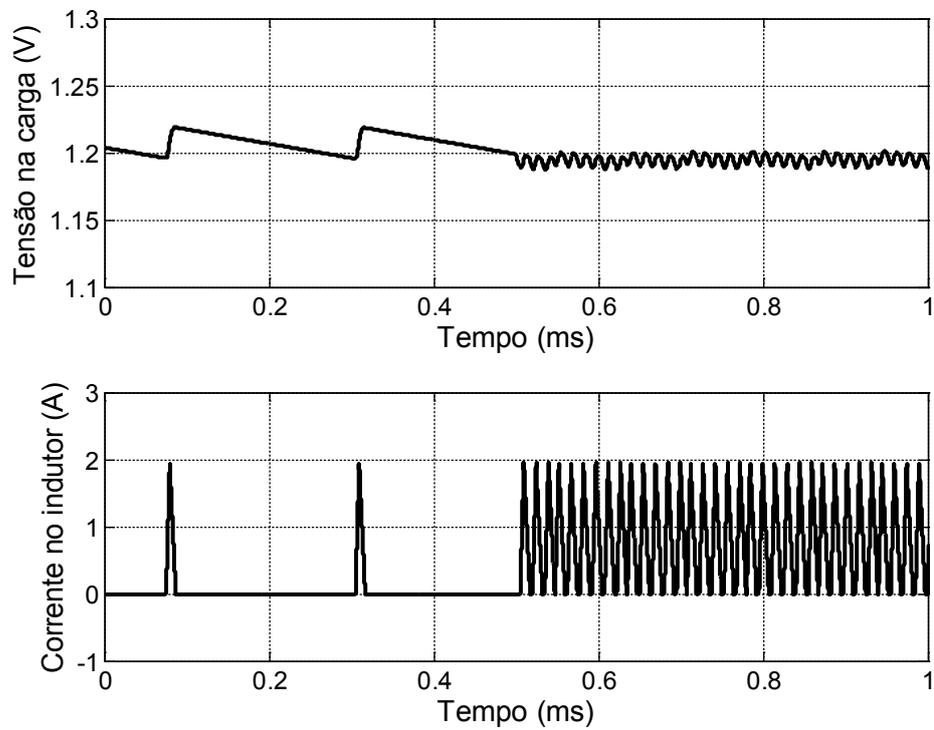
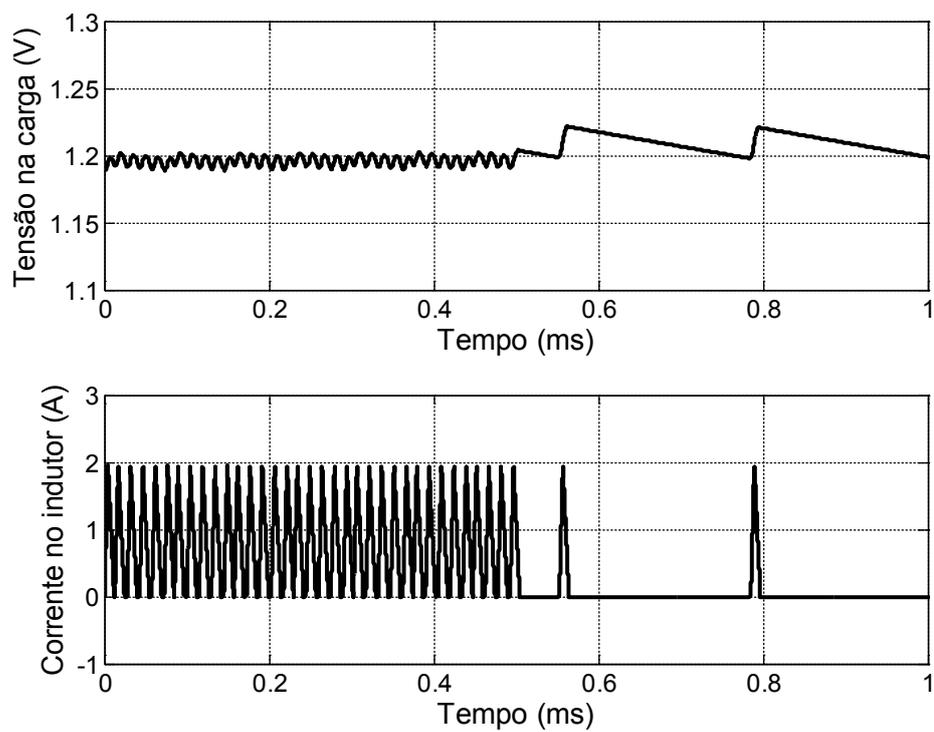


Figura 5.14 – Transitório de negativo de carga em COT de 0,8A para 0,05A



5.5 SISTEMA COMPLETO DE CONTROLE

Ambos os controladores foram projetados e simulados separadamente apresentando resultados adequados, porém, o sistema proposto utiliza os controladores em conjunto e, portanto, devem ser feitas mais algumas considerações de projeto quanto a seleção e transição entre controladores.

A seleção dos controladores é feita através da medição da corrente média sobre o indutor. Conforme projeto a transição entre DCM e CCM e, da mesma forma, a transição entre controladores deve ser feita em uma corrente de 0,8A. Para evitar que ocorram múltiplas trocas entre modos, em uma operação próxima a corrente de fronteira, é utilizada uma histerese. A faixa de histerese foi escolhida entre 0,7A e 0,9A, sendo assim, a transição entre de DCM para CCM só ocorrerá quando a corrente superar um valor de 0,9A, enquanto a transição contrária ocorrerá em uma corrente de 0,7A.

O funcionamento em PWM (controle PID) opera com acionamento complementar das chaves, permitindo circulação de corrente negativa. Esse comportamento garante o descarregamento do capacitor de forma mais rápida em situações de variação negativa de carga, onde ocorre um sobre nível de tensão. Para aproveitar essa característica, a tensão da carga também é utilizada para seleção do controle, forçando a utilização do controle PID por um período de tempo quando um sobre nível elevado na tensão é detectado. Isso é feito através do erro de tensão, a qual tende a aumentar com a redução de carga, mantendo o controle PID até que a mesma atinja o valor de referência. Isso é utilizado em momentos de transição entre o controle PID e o controle COT (redução de carga), onde o controle PID é mantido para acelerar a regulação de tensão.

Quanto aos compensadores, durante o momento em que o controlador não é utilizado, suas saídas são mantidas constantes, sendo usadas como ponto de partida quando o controle volta a ser utilizado, o que melhora a resposta transitória durante a transição entre controladores.

5.5.1.1 Simulação do sistema completo

Como cada controlador já foi simulado separadamente a simulação do sistema de controle completo foi focada na transição entre os controladores. Nessa simulação são aplicados degraus de carga que fazem com que a ocorra a troca entre controladores, para observação da resposta transitória nesse caso.

A Figura 5.15 apresenta uma variação de carga entre a carga mínima e máxima para o qual o conversor foi projetado, enquanto a Figura 5.16 apresenta a situação inversa. Esses casos representam as situações mais extremas de variação de carga possível.

Nessas figuras é observado que a troca entre controladores ocorre conforme previsto e não há problemas quanto a regulação de tensão. O sobre nível observado é de 0,142V para aumento e 0,197V para redução de carga, resultados semelhantes aos observados para o controle PID atuando sozinho. O tempo de acomodação fica abaixo de 80 μ s, resultado melhor que o obtido apenas com controle PID. Esses resultados indicam que a transição entre controladores não prejudica a resposta transitória do sistema em comparação com a utilização de apenas um controlador.

Na Figura 5.16, para redução da carga, é observado o uso do controle PID durante o transitório devido ao alto sobre nível, permitindo a circulação de corrente negativa para acelerar a descarga do capacitor de saída.

Figura 5.15 – Transitório positivo de carga de 0,05A para 5A com troca de controlador

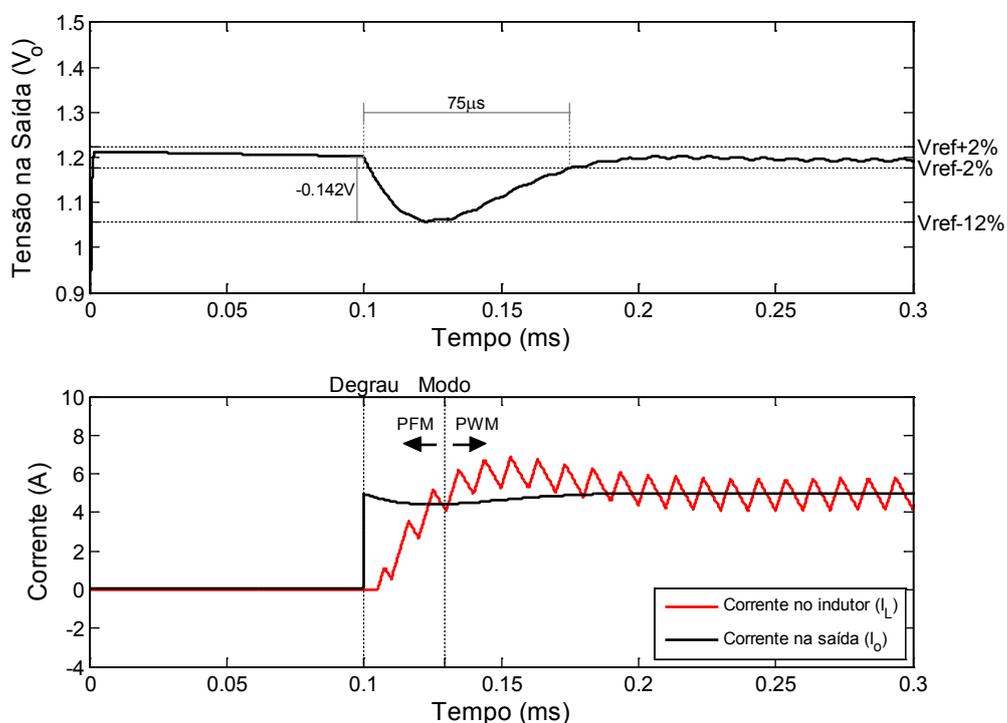
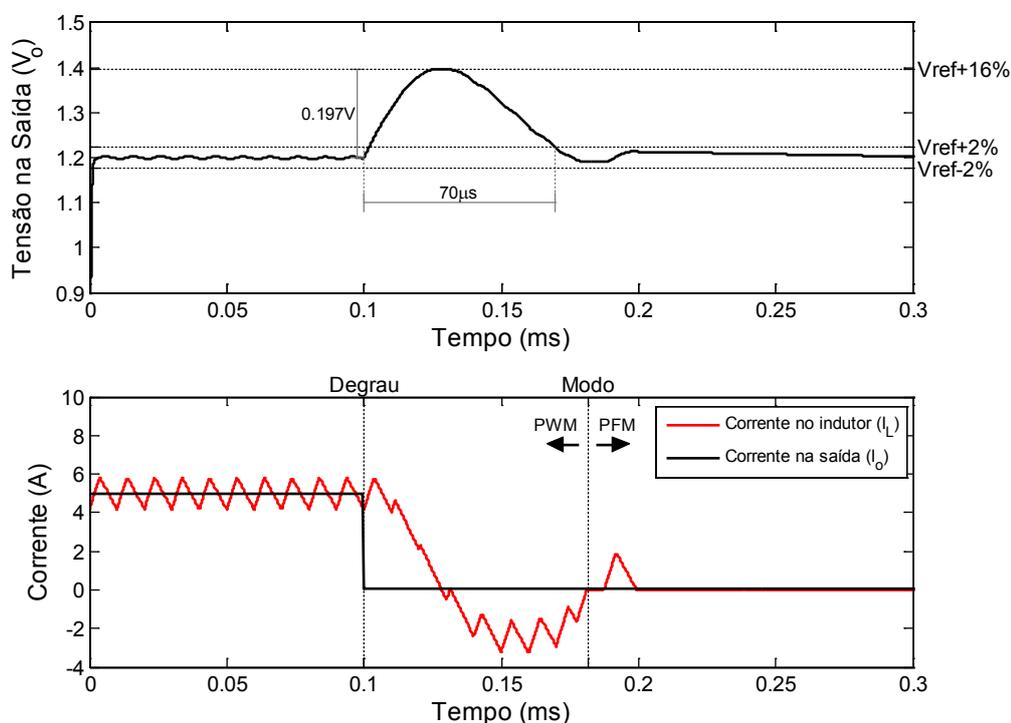


Figura 5.16 – Transitório de negativo carga de 5A para 0,05A com troca de controlador



Uma situação intermediária de transição entre controladores é apresentada na Figura 5.17 para degrau positivo de carga, e na Figura 5.18 para degrau negativo de carga. Nesta simulação foi usado o valor médio de carga para cada controlador. É observado que o sobre nível em ambas as situações fica reduzido à metade ($-0,07V$ e $0,1V$), se comparado à máxima variação de carga, enquanto o tempo de acomodação não sofre muita alteração, o que é esperado para esse controle.

Por fim, a estabilidade do sistema de controle foi verificada diante de variações sequenciais e aleatórias de carga com um período inferior ao tempo de acomodação sistema de controle. Essa simulação representa uma situação extrema de funcionamento, onde a carga é variada novamente antes que a tensão de saída estabilize o que poderia levar a instabilidade. A simulação foi realizada com variação de carga a cada $50\mu s$ equivalente a apenas cinco períodos de chaveamento na operação CCM. Na Figura 5.19 é apresentado o resultado obtido na simulação, o importante de se observar é que a oscilação de tensão, embora elevada, está contida em uma faixa fixa, o que caracteriza estabilidade do sistema. Por se tratar de uma situação extrema de funcionamento apenas para testar a estabilidade a oscilação elevada de tensão não é considerada um problema.

Figura 5.17 – Transitório positivo de carga de 0,4A para 3A com troca de controlador

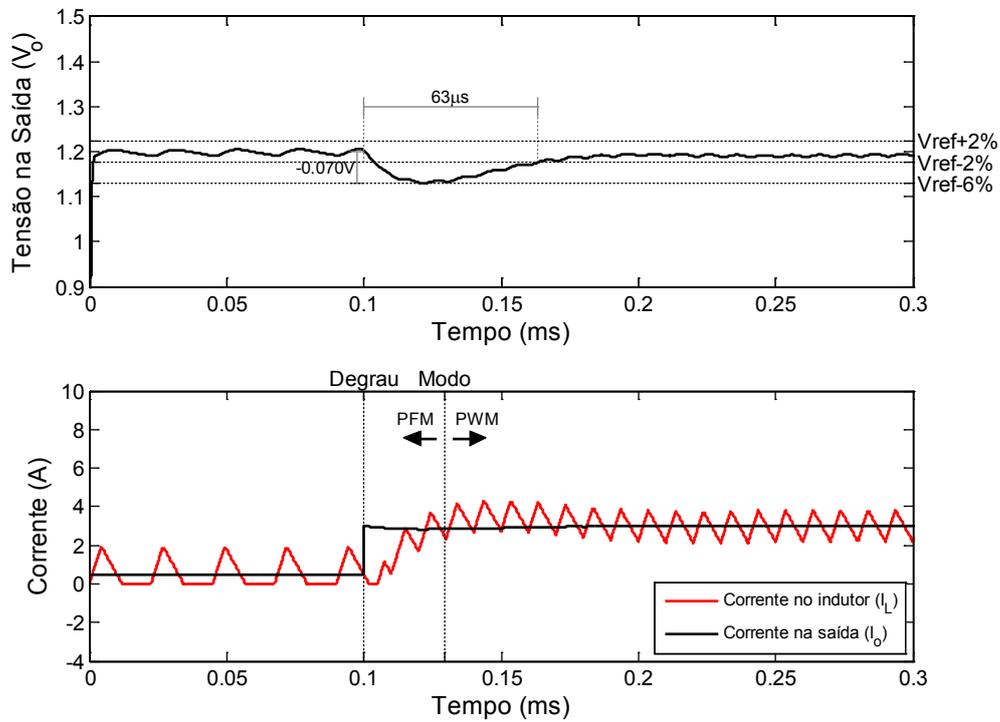


Figura 5.18 – Transitório negativo de carga de 3A para 0,4A com troca de controlador

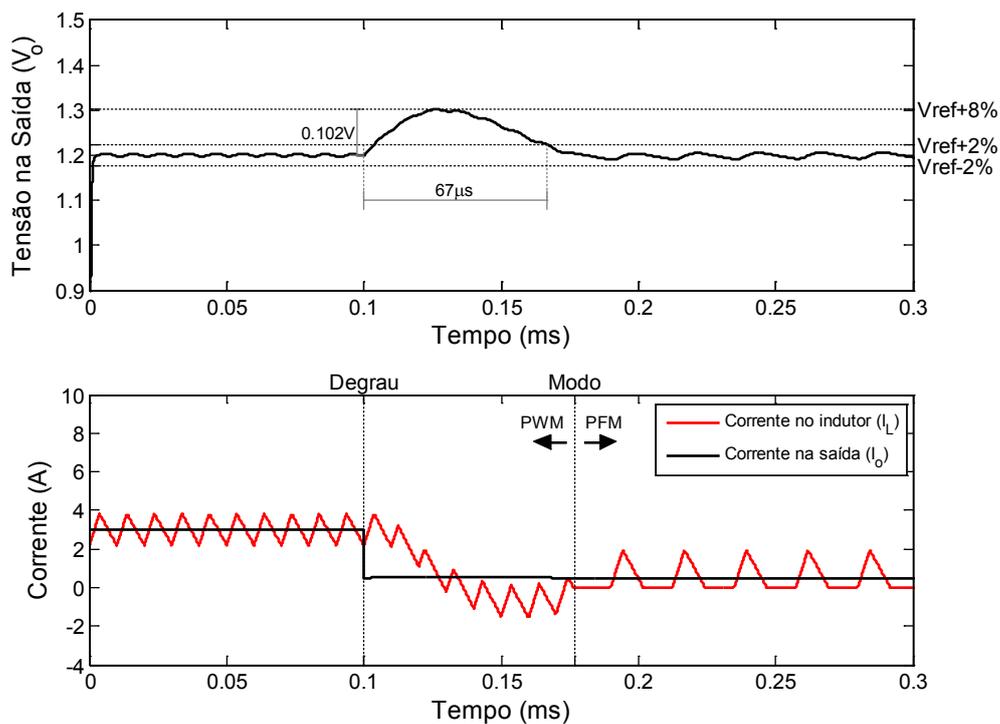
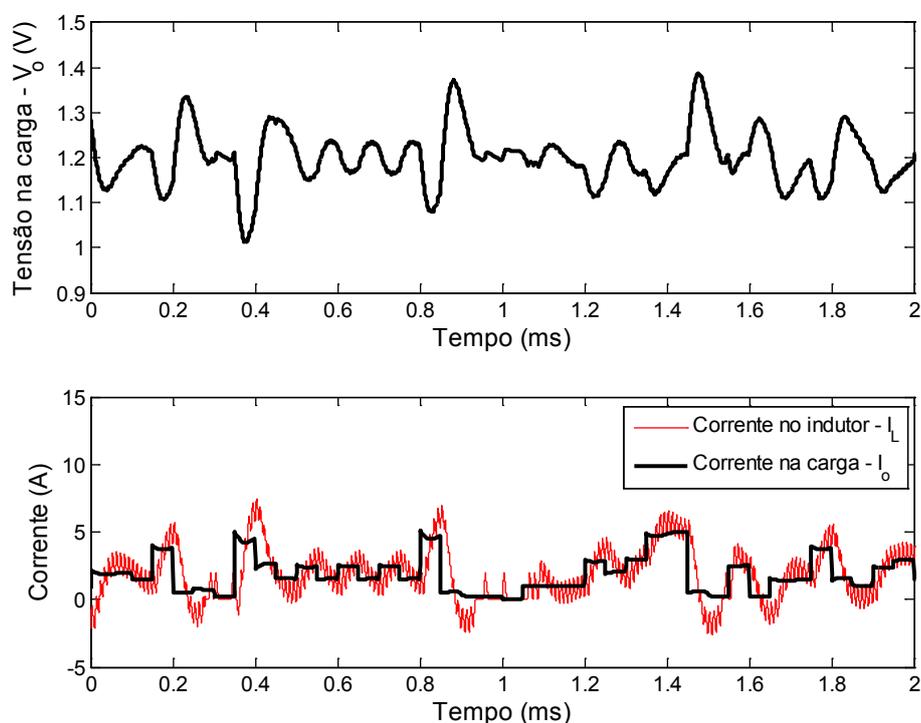


Figura 5.19 – Teste de estabilidade com variações sequenciais de carga



5.6 CONCLUSÃO

Neste capítulo foi apresentado o projeto do conversor, instrumentação e do sistema de controle composto por dois controladores, a partir das metodologias discutidas anteriormente. Foram realizadas simulações, buscando representar o controle digital da maneira mais precisa possível, para verificar o funcionamento adequado de cada um dos controladores.

Ao final foi analisada a utilização dos dois controladores em conjunto apresentando algumas considerações sobre a seleção e troca de controladores, a partir da corrente sobre o indutor e da tensão na carga. Novamente simulações foram utilizadas para verificar o comportamento do conversor durante as trocas entre controladores e a estabilidade diante de variações de carga com frequência elevada.

As simulações para os controladores individuais e para o sistema completo obtiveram resultados considerados adequados considerando os objetivos do projeto e análises teóricas realizadas nesse trabalho.

6 ANÁLISE EXPERIMENTAL

6.1 INTRODUÇÃO

Neste capítulo é apresentada a análise experimental realizada para conversor e sistema de controle projetado. Será verificado o funcionamento do conversor conforme os parâmetros de projeto, comparando com os resultados de simulação e comportamento esperado nas análises teóricas.

Uma descrição do protótipo será realizada, identificando os equipamentos e técnicas utilizados para obtenção e apresentação dos resultados. Os resultados experimentais serão analisados para regime permanente, transitórios de carga e eficiência, principais pontos considerados nesse trabalho.

6.2 DESCRIÇÃO DO PROTÓTIPO

Além do funcionamento adequado do conversor e controle, o protótipo foi projetado para permitir a realização dos testes planejados, com a adição de pontos de medição de corrente e cargas resistivas controladas.

O diagrama do protótipo do conversor é mostrado na Figura 6.1, para o qual foi desenvolvida uma placa de circuito impresso, Figura 6.2. Nessas figuras podem ser identificados o conversor *buck* (A), o circuito de instrumentação de tensão e corrente (B), as cargas controladas por MOSFETs utilizadas nos testes (C), pontos para conexão com DSP (D), também é possível observar os pontos para medição de corrente da carga (E) e do indutor (F).

Figura 6.1 – Diagrama esquemático do protótipo implementado

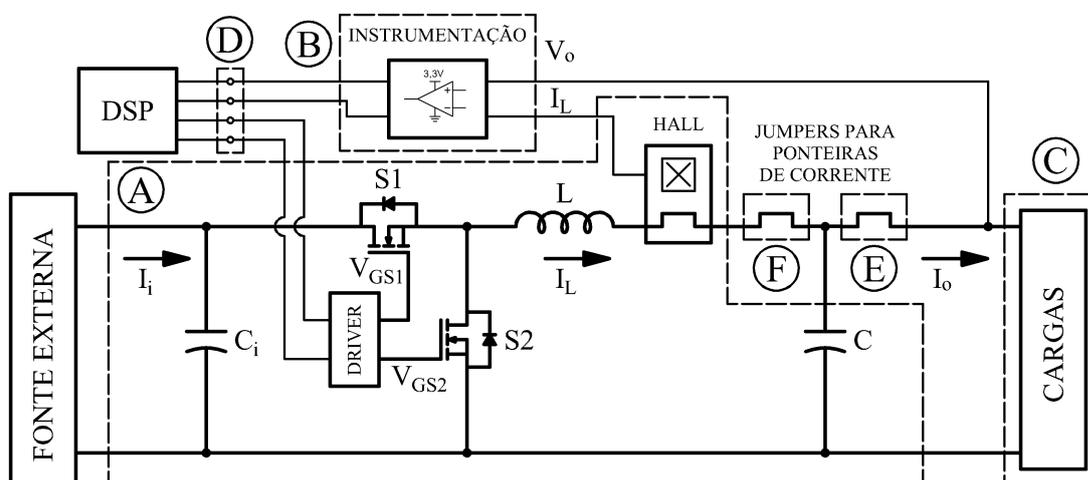
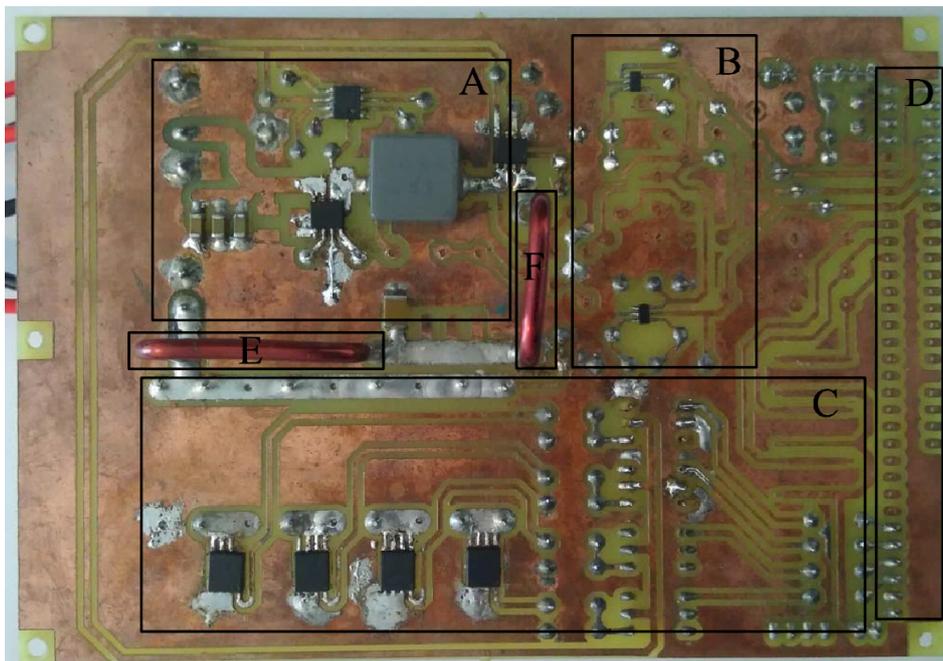


Figura 6.2 – Protótipo implementado em PCB



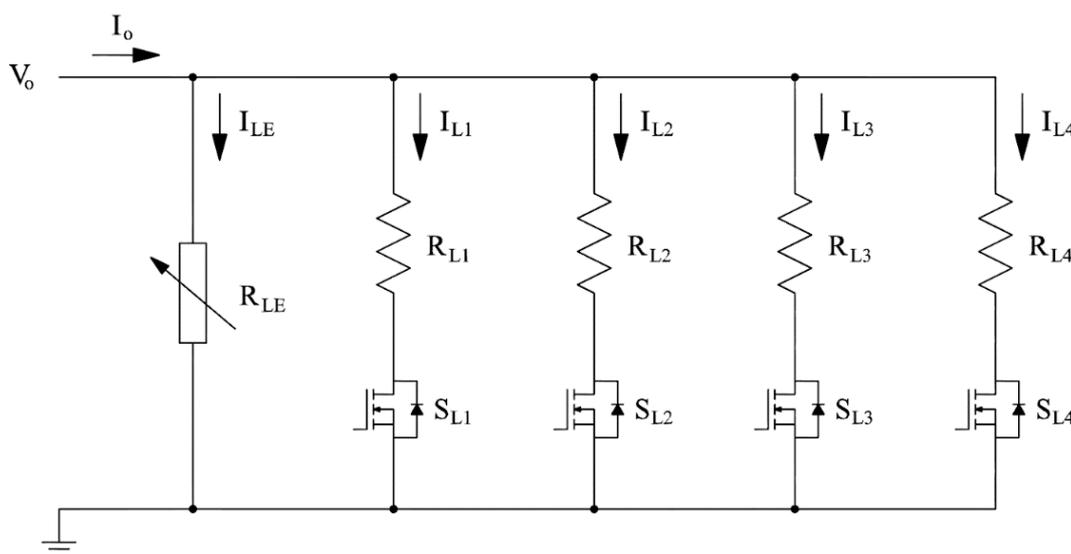
O DSP (F28M36P63C2Z) foi conectado através de um *kit* de desenvolvimento TMDXDOCK28M36, evitando a necessidade de projeto de circuitos de alimentação e de gravação para o DSP, sendo a alimentação do DSP desconsiderada nos cálculos de eficiência.

Para simulação de cargas, foi adicionado à placa um conjunto de resistores acionados por MOSFETs, controlados pelo próprio DSP, permitindo a aplicação de degraus de carga. O protótipo também possui conectores para uma carga externa. O circuito de cargas é mostrado na Figura 6.3 contando com a carga externa (R_{LE}) e o conjunto de cargas acionadas por MOSFETs ($R_{L1} - R_{L4}$). As resistências foram escolhidas para que com a tensão de saída em 1,2V as correntes sejam aproximadamente em $I_{L1} = 0,25A$, $I_{L2} = 0,5A$, $I_{L3} = 1A$ e $I_{L4} = 2A$, sendo possível gerar qualquer degrau de corrente entre 0,25A e 3,75A com uma resolução de 0,25A, apenas com a escolha de chaves a serem acionadas, enquanto a corrente inicial é ajustada na carga externa. Como os resistores são acionados por MOSFETs, através de sinais de controle do DSP, e o tempo de transição do MOSFET é significativamente menor que o período de chaveamento do conversor, a variação de carga terá efeitos semelhantes a uma variação instantânea para o conversor.

As medições foram realizadas através de dois osciloscópios digitais Tektroniks DPO3034 e Lecroy 6030A, fazendo aquisição de dados para uma análise mais precisa e melhor visualização dos resultados com auxílio do *software* Matlab. Para alimentação do conversor foi utilizada a fonte regulada Icel PS-6100 com dois canais de 30V/6A, também utilizada para uma

alimentação auxiliar de 5V para o DSP. Como carga externa foi utilizado uma carga eletrônica Array 3723A. Para levantamento de eficiência foi utilizado o analisador de potência de precisão digital WT1806 do fabricante Yokogawa.

Figura 6.3 – Conjunto de cargas usadas nos testes experimentais



6.3 ANÁLISE DO PROTÓTIPO EM REGIME PERMANENTE

Os testes em regime permanente foram realizados para verificação do funcionamento dos controladores para o modo de operação PWM/CCM e para o modo de operação COT/DCM. Cada controlador foi testado em condições distintas de carga, dessa forma foi possível verificar o *ripple* de tensão e corrente assim como a frequência de chaveamento e sinais de acionamento dos MOSFETs.

6.3.1 Regulação e *ripple* de tensão na carga

O conversor foi projetado para uma tensão na carga de 1,2V e um *ripple* de tensão de 24mV, para verificação desses parâmetros ambos os controladores foram testados em suas respectivas faixas de carga, sendo analisadas tensão na carga (V_o) e corrente no indutor (I_L).

O controle PID PWM atua para correntes entre 0,7A e 5A, em vista disso, os testes em regime permanente foram realizados em valores próximos a estes limites. Na Figura 6.4 é verificado o funcionamento para uma carga de 1A, e na Figura 6.5 para uma carga de 4A.

Figura 6.4 – Funcionamento em regime permanente para 1A de carga em modo PWM

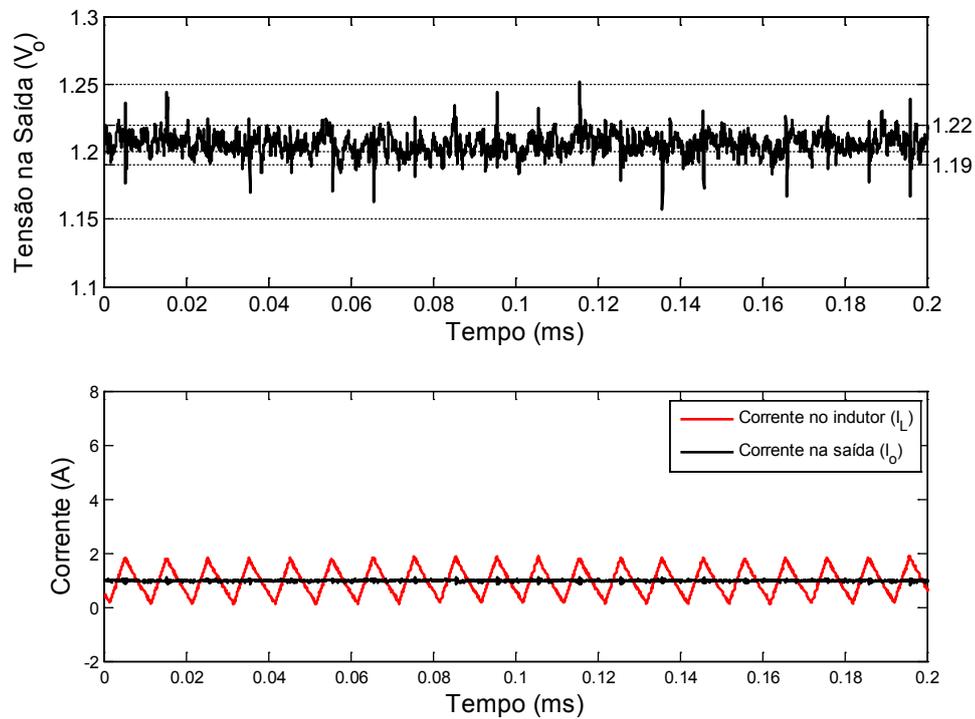
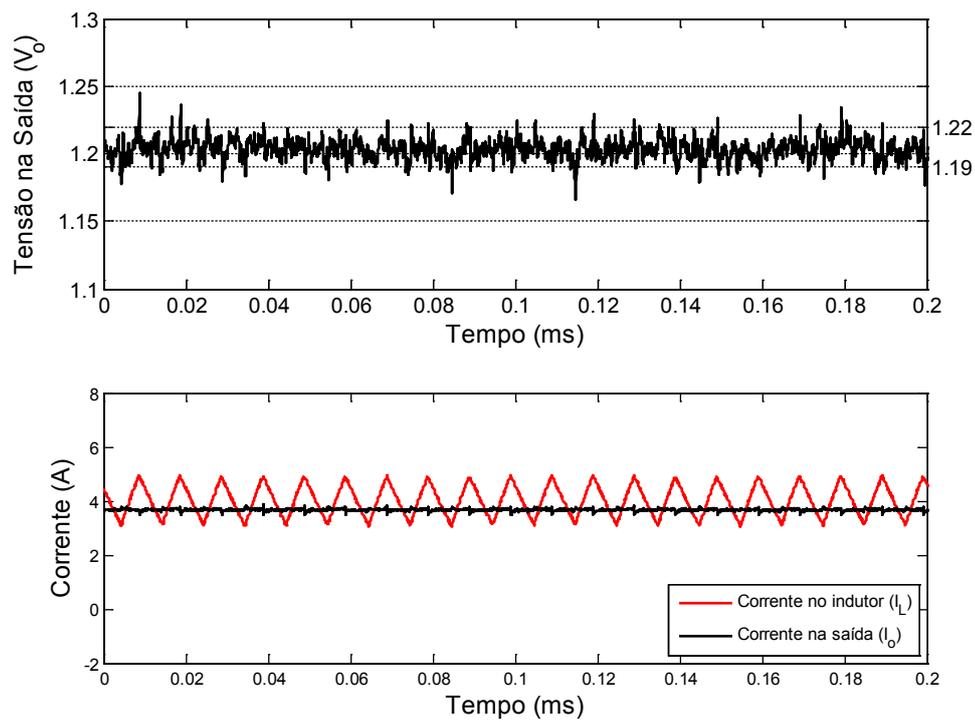


Figura 6.5 – Funcionamento em regime permanente para 4A de carga em modo PWM



Em ambos os casos a tensão de saída foi regulada na tensão de 1,2V, conforme projeto. O *ripple* de tensão observado foi de 30mV, esse valor é bastante superior ao *ripple* observado na simulação (5mV), porém apenas um pouco mais alto que o limite de 24mV do projeto.

O controlador COT foi projetado de 0,05A a 0,9A, na Figura 6.6 é apresentada a tensão de saída para 0,8A e na Figura 6.7 para 0,05A. A tensão ficou regulada em 1,2V, enquanto o *ripple* de tensão ficou com valores de 40mV e 50mV respectivamente, resultado também superior ao projetado.

Portanto, com relação a regulação de tensão na carga, os controladores COT e PID apresentaram o comportamento esperado. Contudo, com relação ao *ripple*, os resultados ficaram acima do especificado e verificado na simulação. Isso foi atribuído principalmente aos ruídos observados na implementação experimental, que devido ao valor extremamente reduzido de tensão na carga causam um grande efeito sobre o valor total de *ripple*. Outros fatores que podem ter contribuído para essa diferença no *ripple* experimental é a resistência de condução das chaves e do indutor.

Figura 6.6 – Funcionamento em regime permanente para 0,8A de carga em modo PFM

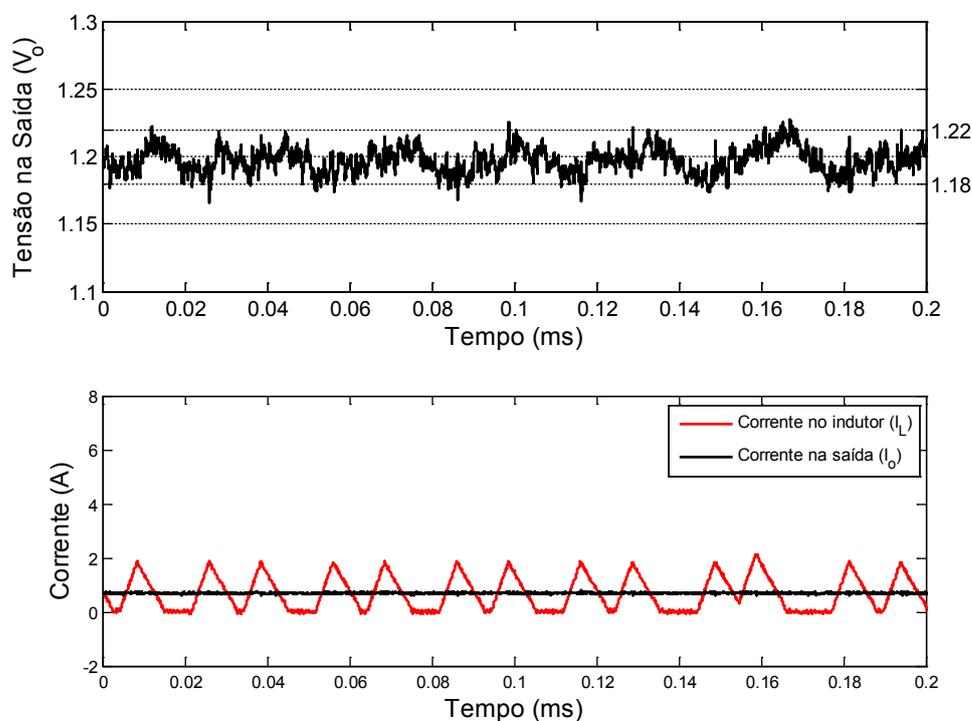
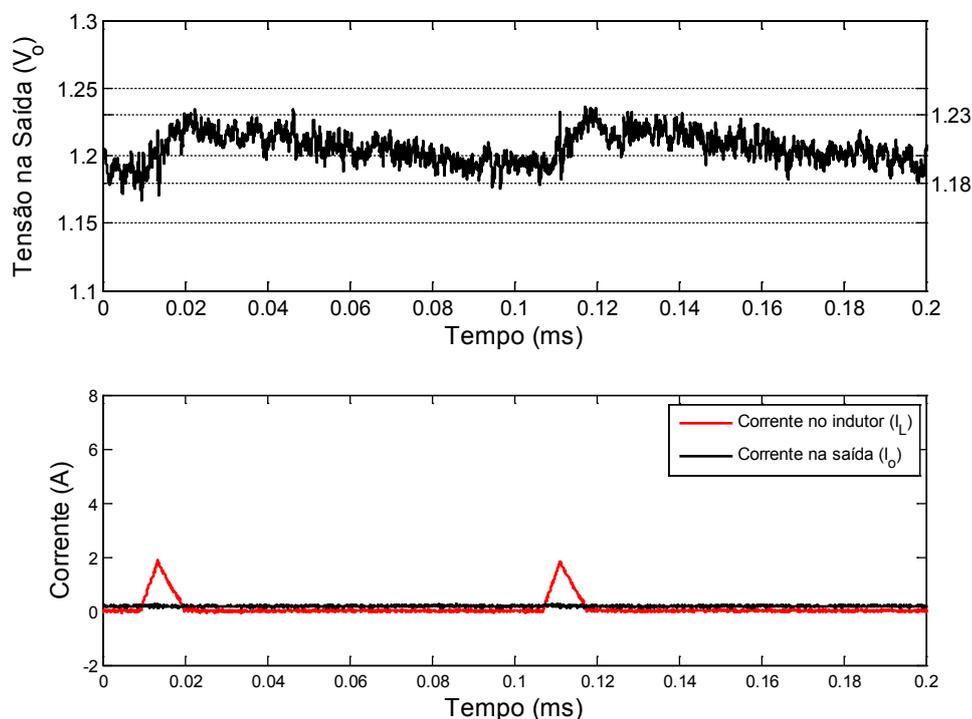


Figura 6.7 – Funcionamento em regime permanente para 0,05A de carga em modo PFM



O impacto sobre a carga não é significativo, visto que, em cargas elevadas onde a sensibilidade é maior, o *ripple* se encontra próximo ao valor estipulado, com um desvio maior do valor de projeto ocorrendo apenas em cargas reduzidas, onde há uma tolerância maior a um valor de *ripple* elevado.

Em uma implementação final esses problemas poderiam ser reduzidos com uma atenção maior no *layout* e um possível aumento do valor do capacitor de saída. No escopo desse trabalho não foi considerado necessário a correção desse problema, pois, apesar de estar um pouco acima do projetado, o valor observado foi considerado adequado para finalização dos testes.

6.3.2 *Ripple* de corrente no indutor

O *ripple* de corrente do indutor é um parâmetro importante do projeto, estando diretamente relacionado com a fronteira de operação entre CCM e DCM. Portanto, a seguir serão apresentados os resultados de corrente no indutor para diferentes cargas e modos de funcionamento. Em conjunto são mostrados os sinais de acionamento dos MOSFETs, para verificar o acionamento adequado nos diferentes modos de operação. Devido a limitação no

número de canais do osciloscópio, a corrente na carga não foi medida, mas seu valor médio é aproximado nos gráficos.

O projeto foi realizado para um *ripple* de corrente de 2A, mas devido ao valor comercial do indutor o *ripple* acabou ficando em aproximadamente 1,6A, logo a mudança de modos foi definida para 0,8A.

Para o teste em PWM foi aplicado uma carga de 4A, apresentado na Figura 6.8, onde é possível observar que o *ripple* de corrente possui um valor de 1,9A, 18% acima do valor projetado (1,6A). O principal fator para essa diferença são as perdas do sistema que aumentam a razão cíclica e, portanto, aumentam o *ripple* de corrente, embora outros fatores como tolerância dos componentes, principalmente indutor, também influenciem o valor do *ripple*.

A Figura 6.9 mostra o conversor operando em FCCM, com acionamento complementar das chaves, para uma corrente de 0,1A, ou seja, abaixo da corrente de fronteira. Esse teste foi realizado para verificar a estabilidade do controlador PID PWM próximo a mínima corrente do circuito, devido a sua atuação em momentos de transitórios de carga. Também pode-se observar a circulação de corrente negativa, devido ao valor baixo de corrente na carga e operação complementar das chaves.

Os mesmos 0,1A de carga são aplicados na Figura 6.10, dessa vez para o controlador V^2 COT. É possível observar que o conversor passa a operar em DCM com frequência reduzida, mantendo um *ripple* de corrente semelhante ao observado no modo PWM. No controle V^2 COT o MOSFET S2 tem um tempo de condução constante, assim como S1, sendo cortado ao final desse tempo. Verifica-se que o tempo de condução de S2 foi definido corretamente, pois o corte ocorre com corrente próxima a zero, reduzindo as perdas de condução no diodo intrínseco.

Portanto, as análises de corrente no indutor indicam o funcionamento do conversor para ambos os controladores. O *ripple* de corrente se manteve constante em todos os pontos de operação, com um valor próximo ao projetado. Além disso, o acionamento dos MOSFETS ocorre da maneira projetada, sendo complementar para o controle PID, permitindo a circulação negativa, enquanto para o controlador V^2 COT os tempos de condução são constantes.

Figura 6.8 – *Ripple* de corrente no indutor em PWM com 4A de carga

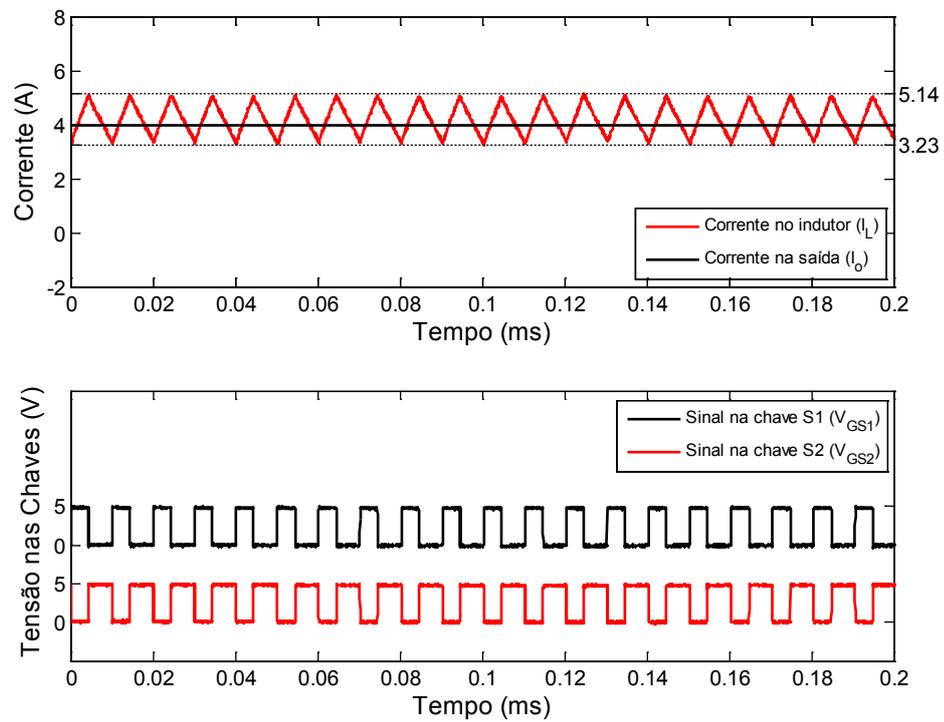


Figura 6.9 – *Ripple* de corrente no indutor em FPWM com 0,1A de carga

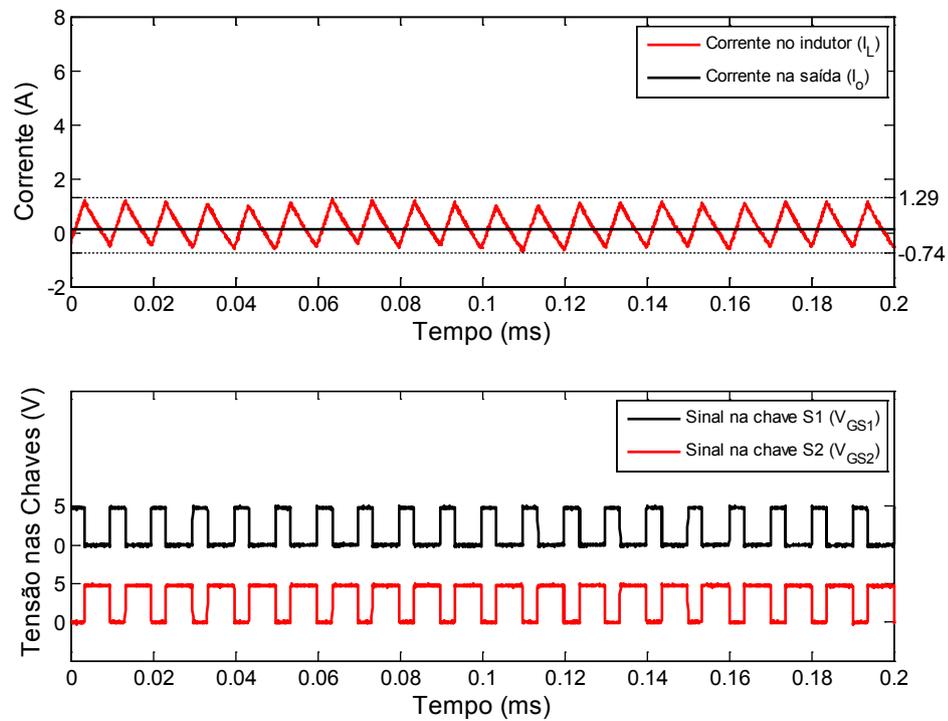
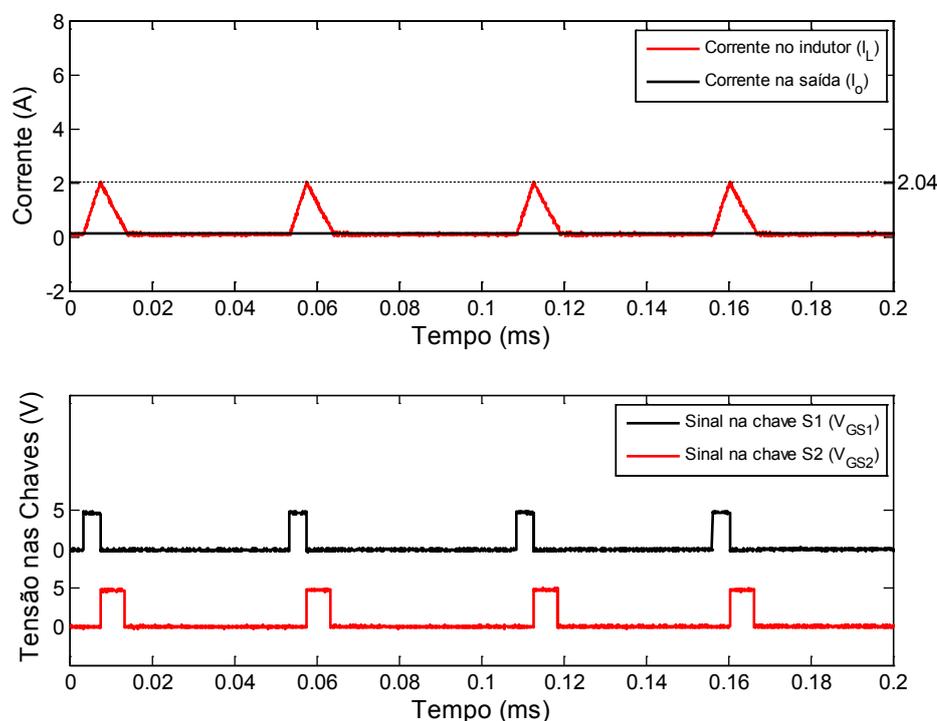


Figura 6.10 – *Ripple* de corrente em DCM com 0,1A de carga

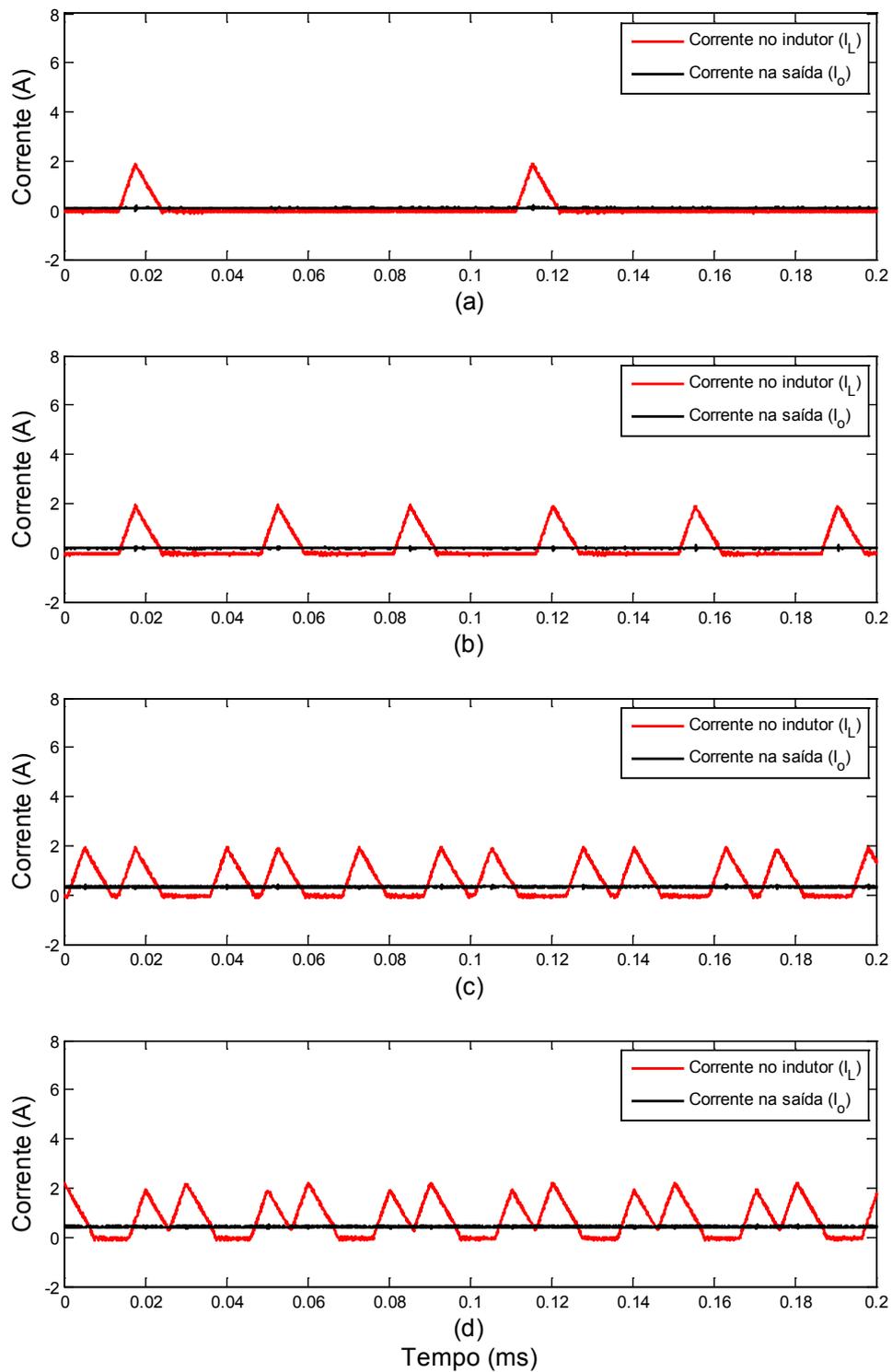
6.3.3 Frequência de chaveamento

Outro comportamento importante de verificar no conversor é a variação de frequência que deve ocorrer no controlador V^2 COT. A verificação deste comportamento é feita na Figura 6.11, para quatro valores diferentes de corrente na faixa de operação desse controlador entre 0,05A e 0,9A.

É observado que, aumentando a corrente de 0,1A (a) para 0,3A (b) a frequência de chaveamento é aumentada em aproximadamente três vezes, conforme o comportamento linear identificado na seção 3.4.2 para modulação COT e operação DCM.

Aumentando ainda mais a carga 0,5A (c) e 0,8A (d), observa-se que a frequência de chaveamento continua a aumentar. Nesses casos, com frequência de chaveamento mais elevadas, passa a ser possível observar o efeito da amostragem, resultando em variações nos períodos de chaveamento conforme análise feita na seção 4.2.3.

Figura 6.11 – Variação da frequência de chaveamento com a carga



Corrente no indutor em COT para as seguintes correntes de carga: (a) 0,1A, (b) 0,3A, (c) 0,5A, (d) 0,8A.

6.4 ANÁLISE DO PROTÓTIPO EM REGIME TRANSITÓRIO

As análises em regime transitório foram realizadas aplicando degraus de carga positivos e negativos para verificar estabilidade do controle, tempos de acomodação para um critério de 2% e sobre nível percentual. Os primeiros testes foram realizados para cada controlador dentro de sua faixa de operação.

Também foram realizados testes para situações de troca de controlador. Incluindo testes com carga constante, a fim de verificar a troca em uma situação onde a carga varia lentamente próximo a valor de fronteira, assim como para degraus de carga, onde a carga varia rapidamente entre as faixas de cargas de cada controlador. Para verificação dos transitórios são analisadas a tensão na carga e corrente no indutor.

6.4.1 Degrau de carga no controlador PID

Apesar de, em regime permanente, o controlador PID operar apenas na faixa entre 0,7A e 5A, considerando a histerese na troca de controladores, em transitórios esse controlador é utilizado mesmo para cargas menores, devido a sua característica de permitir circulação de corrente negativa no indutor. Como a situação mais crítica ocorre em mínima carga (0,05A), essa carga foi utilizada na realização dos testes, com a aplicação do máximo degrau possível no protótipo implementado (3,75A).

Na Figura 6.12 é apresentado o resultado para o degrau positivo de carga de 0,05A para 3,80A. É observada uma variação de 15% (-0,178V) na tensão da carga e um tempo de acomodação de 101 μ s.

A corrente na carga apresenta um pico logo após o degrau de carga, esse comportamento foi observado em todos os testes de variação de carga. Como o pico sempre ocorre no sentido contrário à variação de tensão provavelmente esteja relacionado ao controle da carga eletrônica buscando compensar a variação de tensão, portanto, nas análises posteriores este pico inicial de corrente foi desconsiderado.

O resultado para um degrau negativo de carga pode ser visualizado na Figura 6.13, com um degrau de corrente de 3,80A a 0,05A. Nesse caso a variação na tensão é de 16% (0,186V) e o tempo de acomodação é de 118 μ s. Os resultados para o controlador PID ficaram próximos aos obtidos em simulação, apresentando uma redução no tempo de acomodação, o que ocorre porque o conversor real apresenta uma característica mais amortecida, devido às perdas presentes no circuito.

Figura 6.12 – Degrau positivo de carga no controlador PID

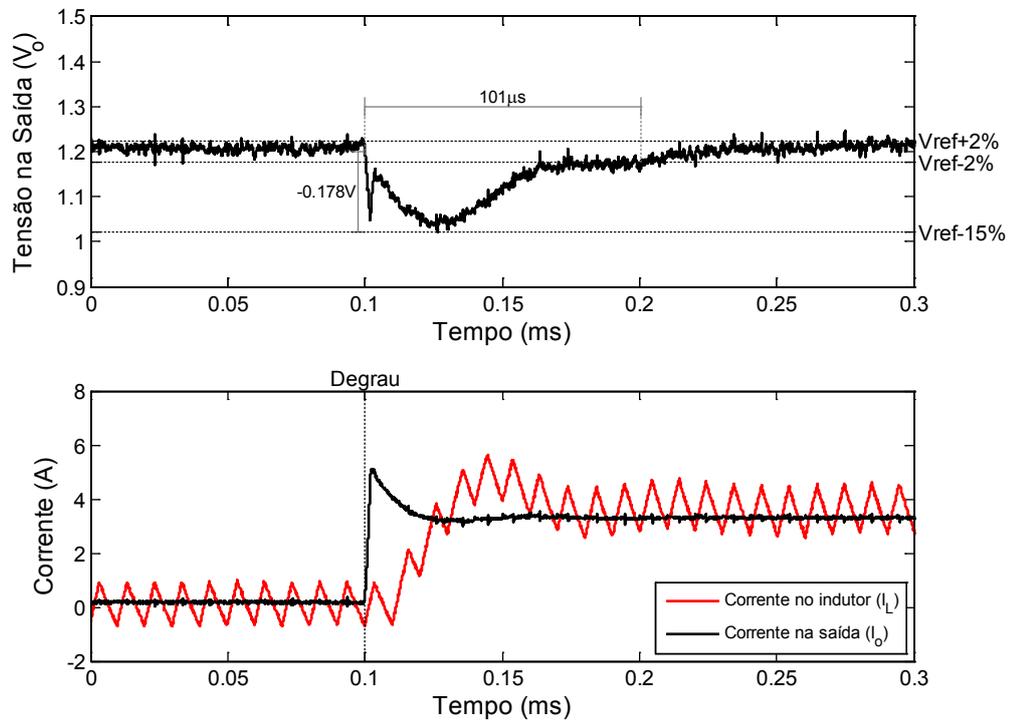
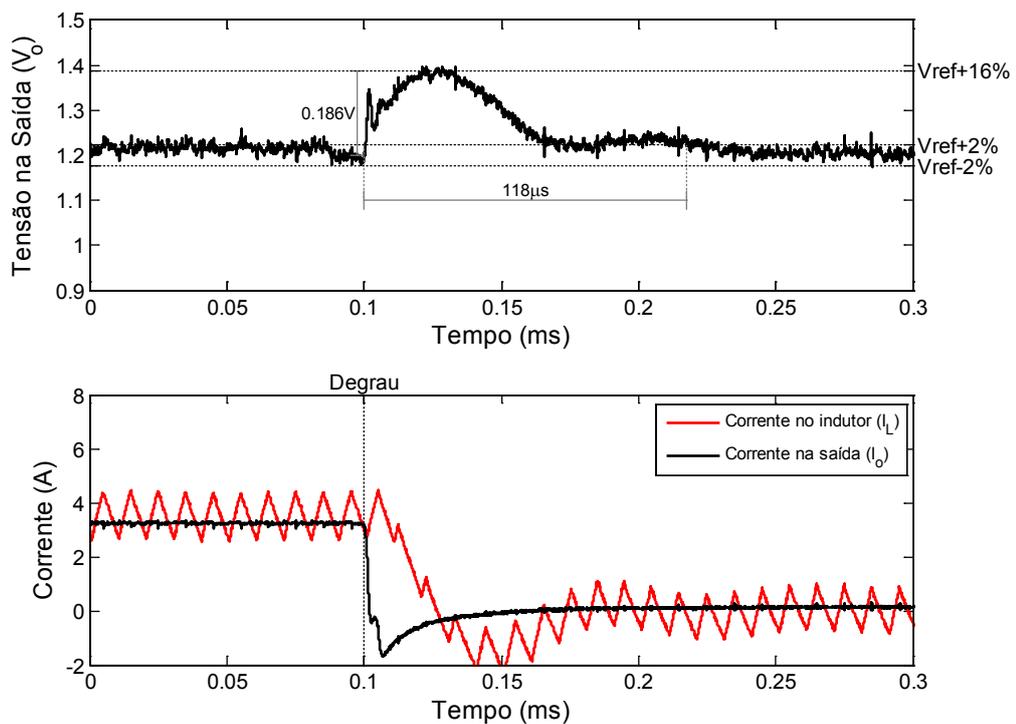


Figura 6.13 – Degrau negativo de carga no controlador PID



6.4.2 Degrau de carga no controlador V^2 COT

Para o controlador V^2 COT os testes foram realizados dentro de sua faixa de cargas, com um degrau de 0,5A e uma corrente mínima de 0,05A. O degrau positivo de carga pode ser visualizado na Figura 6.14 e o degrau negativo na Figura 6.15.

Em ambos os casos não é perceptível nenhuma oscilação de tensão durante o transitório de carga, apenas a variação na frequência de chaveamento. O comportamento observado é muito semelhante aos resultados obtidos em simulação, indicando um comportamento adequado do controlador.

Figura 6.14 – Degrau positivo de carga no controlador V^2 COT

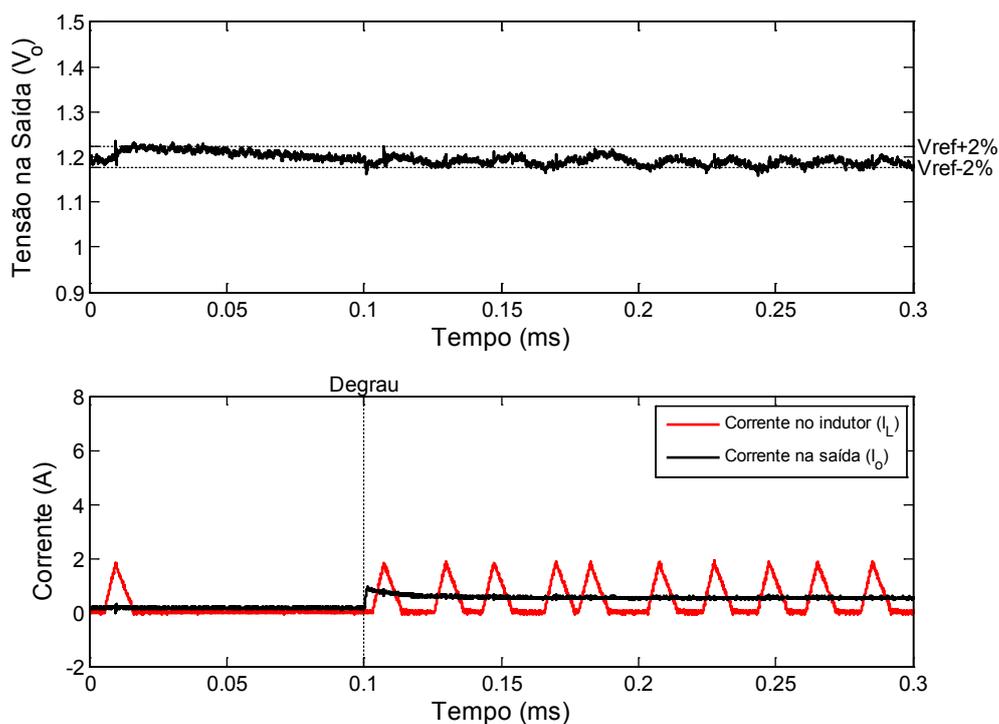
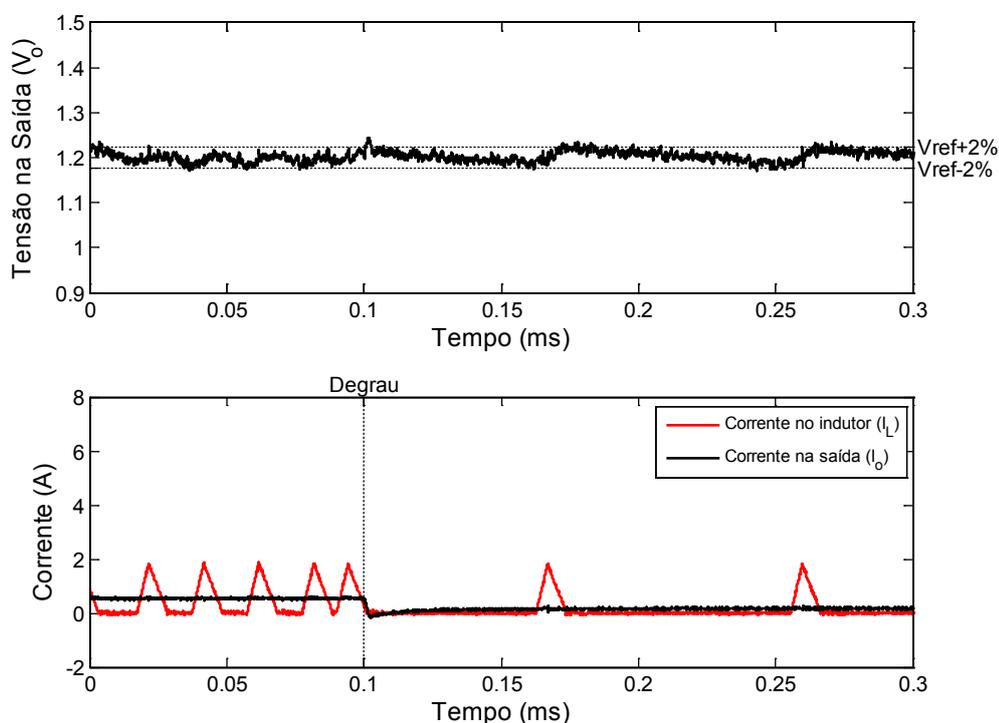


Figura 6.15 – Degrau negativo de carga no controlador V² COT

6.4.3 Troca de controladores em carga constante

Esse teste foi realizado para testar a troca de controladores em uma situação onde a carga varia lentamente, passando pela fronteira entre controladores, mas sem grande alteração de valor. Como a carga é mantida constante no valor utilizado como fronteira, a troca foi forçada através de programação no DSP.

Os resultados são mostrados na Figura 6.16 com a transição do controle V² COT (PFM) para o controle PID (PWM) e na Figura 6.17 para a transição contrária, ambos com a corrente da carga mantida constante em 0,8A. A transição de carga ocorre em 0,1ms e é identificada na curva de corrente, onde pode ser observada a troca de modo de operação facilmente através do comportamento da corrente.

Para esses casos se observa pouca oscilação de tensão durante o transitório, o que caracteriza que a troca entre os controladores não gera problemas de estabilidade para o controle em nenhum dos casos. No caso do controle V² COT por se tratar de uma corrente elevada e frequência alta ocorre o problema de amostragem causando oscilação na tensão.

Figura 6.16 – Troca entre PFM e PWM em carga constante

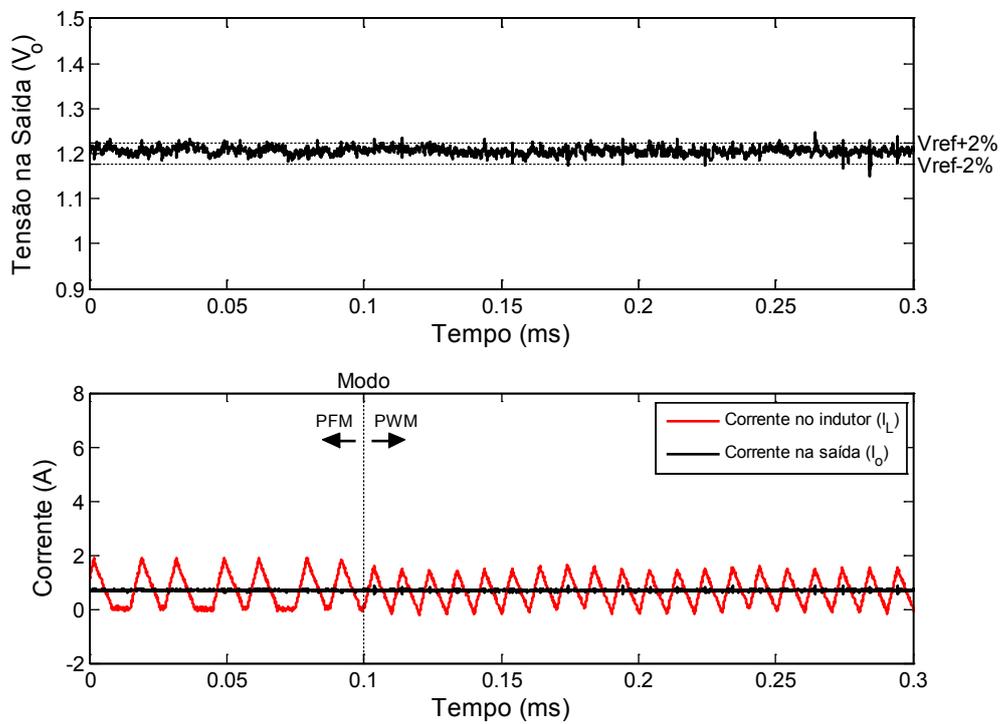
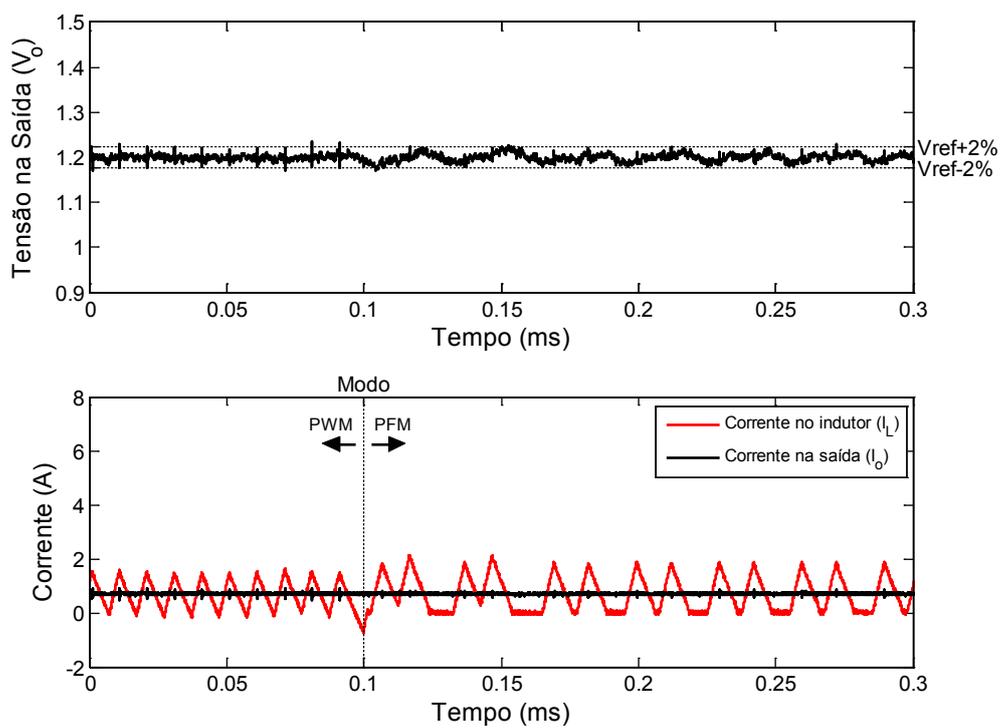


Figura 6.17 – Troca entre PWM e PFM em carga constante



6.4.4 Troca de controladores com degrau de carga

O último teste transitório foi realizado para a situação mais crítica para o sistema de controle, na qual ocorre um degrau elevado de carga que leva à troca entre controladores. Nesse teste a troca entre controladores é feita automaticamente através da medição da corrente média no indutor e tensão na carga, representando uma situação real de funcionamento. Com essa análise experimental é possível observar o quanto a resposta transitória é afetada pela troca de controladores.

Nesse ensaio foi utilizada a carga mínima do conversor (0,05A) aplicando um degrau de 3,75A. Para o degrau positivo de carga, apresentado na Figura 6.18, a carga mínima foi utilizada como carga inicial, resultando em uma variação de corrente de 0,05A para 3,80A. Para o degrau negativo de carga, apresentado na Figura 6.19, a carga mínima foi utilizada como carga final, resultando na variação de corrente de 3,80A para 0,05A.

Figura 6.18 – Degrau positivo de carga com troca de modo

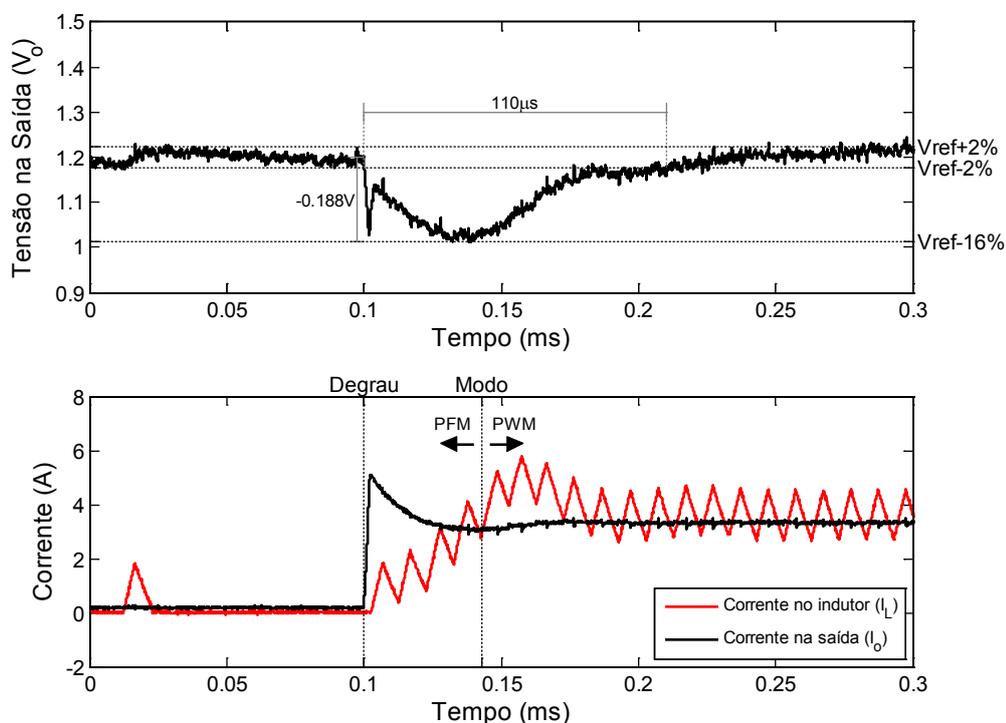
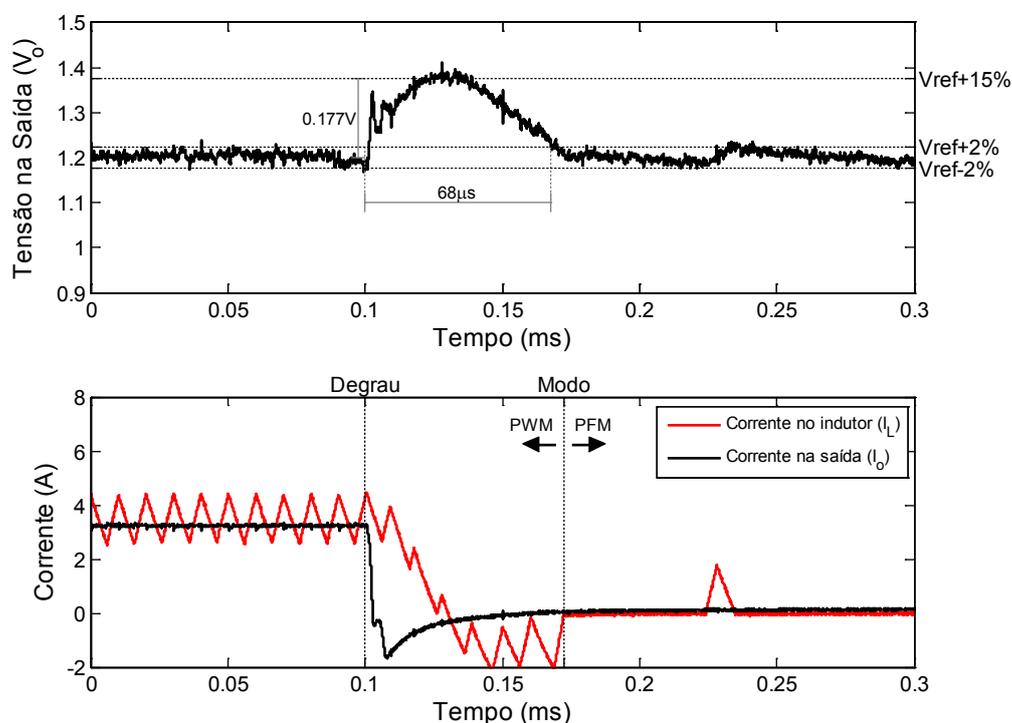


Figura 6.19 – Degrau negativo de carga com troca de modo



Para o degrau positivo de carga a variação na tensão de saída é de 16% (-0,188V) e o tempo de acomodação é de 110 μ s. Esses valores são um pouco maiores que os identificados na Figura 6.12 (15% e 101 μ s), com a mesma variação de carga, mas sem troca de controladores. É observado ainda, na curva de corrente um atraso na troca de controladores, onde o funcionamento em V^2 COT (PFM) é mantido por quatro períodos após o degrau de carga, isso ocorre devido ao atraso na identificação do aumento da corrente média.

Para o degrau negativo de carga a variação na tensão de saída é de 15% (0,177V) e o tempo de acomodação é de 68 μ s. Os resultados são ainda melhores que os observados para aumento de carga, isso por que o controle PID (PWM) é mantido até que a tensão volte ao valor correto e só então ocorre a troca de controladores já com o valor de tensão regulado.

Os testes com troca de controlador e degrau de carga indicam que há pouca influência da troca de controladores no transitório observado durante a variação de cargas, característica bastante positiva do sistema proposto.

6.5 ANÁLISE DE EFICIÊNCIA

Foi realizado o levantamento da curva de eficiência do conversor, comparando com os resultados simulados pelo equacionamento apresentado na seção 3.5. Para a verificação da eficiência foi utilizado o analisador de potência de precisão, medindo valores de tensão e corrente na entrada e saída em regime permanente, para aproximação das potências de entrada, saída e perdas, além do cálculo de eficiência. Nesse levantamento foi considerado apenas o conversor, desconsiderando o DSP o qual foi alimentado separadamente. Foram aplicados passos de 0,1A de carga com o objetivo de montar uma curva de eficiência para comparação com resultados simulados, na simulação foram usados os dados reais do conversor e seus componentes, que podem ser visualizados no Capítulo 5. O agrupamento dos dados utilizados para simulação, obtidos nos *datasheets* e dados de projeto, é apresentado na Tabela 6.1.

Tabela 6.1 – Parâmetros para cálculo de eficiência no conversor implementado

Parâmetro	Símbolo	Valor
Tensão na entrada	V_i	3,3V
Tensão na carga	V_o	1,2V
Ganho	M	0,3636
<i>Ripple</i> de corrente	ΔI_L	0,8A
Faixa de carga	I_o	0,05-5A
Resistencia série do capacitor	R_c	2m Ω *
Resistência série do indutor	R_L	7m Ω **
Tempo de transição dos MOSFETs	$t_{S1(on)}, t_{S1(off)}, t_{S2(on)}, t_{S2(off)}$	13ns***
Frequência de chaveamento em CCM	$f_{s(CCM)}$	100kHz
Carga da saída dos MOSFETs	$Q_{oss(S1)}, Q_{oss(S2)}$	16nC***
Carga de recuperação reversa do diodo	$Q_{rr(S2)}$	60nC***
Tensão de condução do diodo	V_D	0,7V***
Tempo morto	T_{DEAD}	20ns
Tensão do <i>driver</i> dos MOSFETs	V_{DR}	5V
Carga do <i>gate</i> dos MOSFETs	$Q_{gs(S1)}, Q_{gs(S2)}$	17nC***

* Dados obtidos no *datasheet* do capacitor (AMK432 BJ477MM-T)

** Dados obtidos no *datasheet* do indutor (SRP1265A)

*** Dados obtidos no *datasheet* dos MOSFETs (IRF7910)

A Figura 6.20 apresenta uma comparação de resultados de eficiência experimental entre PID (FPWM) e V^2 COT (PFM) em baixas cargas. Pode ser observado que a eficiência em PFM (à esquerda) se mantém elevada até valores bem reduzidos de corrente, enquanto em FPWM (à direita) a eficiência diminui significativamente. Analisando próximo à corrente crítica (0,8A), as eficiências nos dois modos são bastante semelhantes.

Na Figura 6.21 são visualizados os resultados de eficiência para PWM em cargas elevadas. Neste caso é observado um máximo de eficiência em 2A com uma redução conforme o aumento da corrente.

Na Figura 6.22 é feita uma comparação de resultados experimentais e simulados, utilizando os valores reais dos componentes e dados de funcionamento do conversor. Nessa figura é possível observar com mais detalhes o comportamento analisado na Figura 6.20 e na Figura 6.21. Também é possível observar que o resultado de eficiência possui um comportamento bastante semelhante à simulação, ficando um pouco abaixo do esperado. Isso pode ser atribuído a algumas perdas não consideradas e também resistências adicionais adicionadas pelos pontos de medição de corrente e cabos para ligação com o wattímetro.

Em geral o resultado para eficiência se mostrou adequado, mostrando os benefícios da modulação COT em baixas cargas para a eficiência. Essa diferença é bastante significativa para sistemas alimentados por baterias principalmente se as cargas passarem períodos longos em situação de baixa carga.

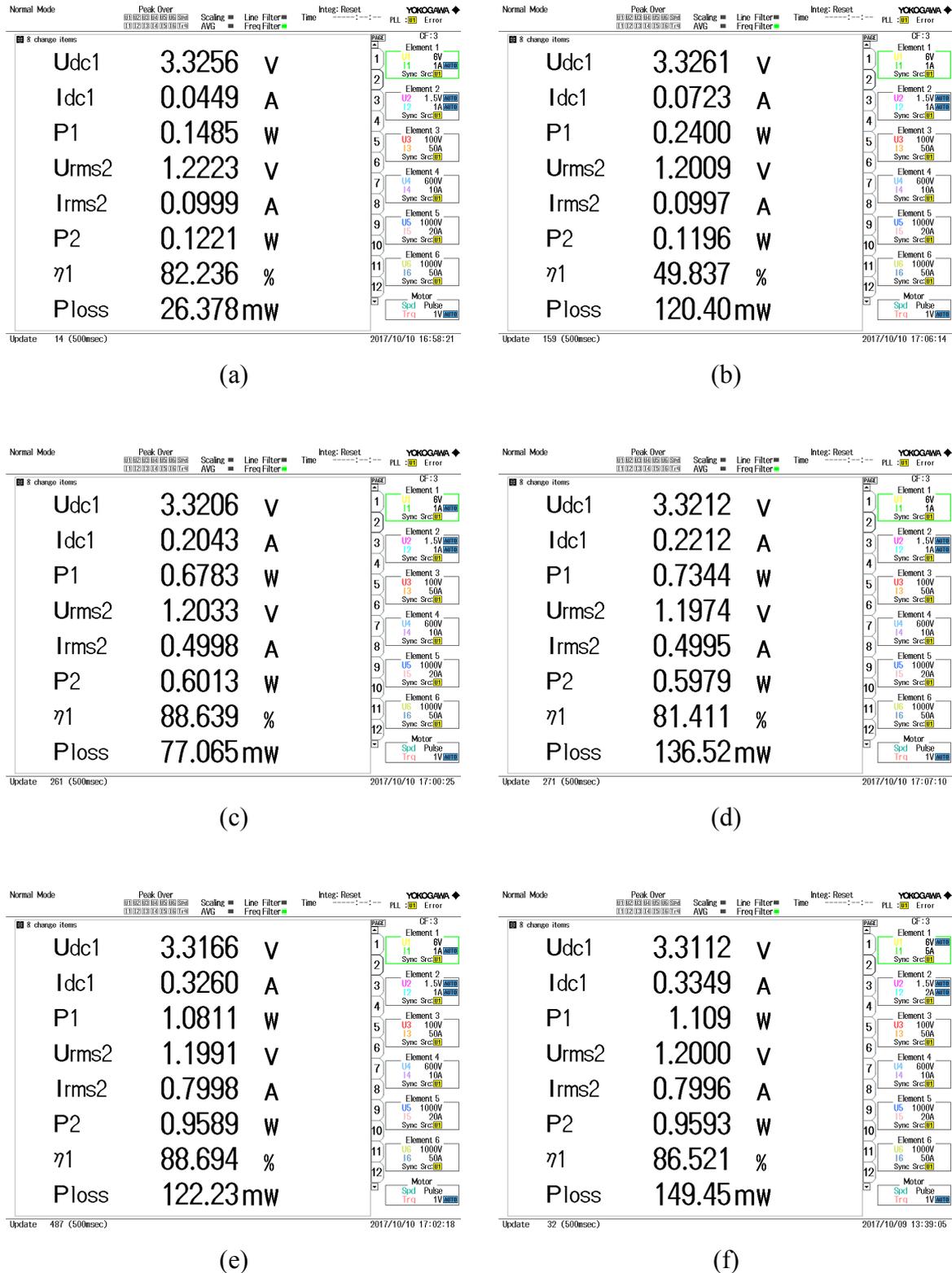
6.6 CONCLUSÃO

Nesse capítulo foi discutido a implementação do conversor e sistema de controle, analisando resultados experimentais para regime permanente, regimes transitórios com e sem troca de controladores e eficiência.

Os resultados experimentais obtidos foram parecidos com os resultados de simulação. A principal divergência observada foi no *ripple* de tensão na carga, que apresentou valor elevado devido aos ruídos não considerados durante o projeto. Os transitórios de carga obtiveram resultados adequados, com pouca influência causada pela troca de controladores.

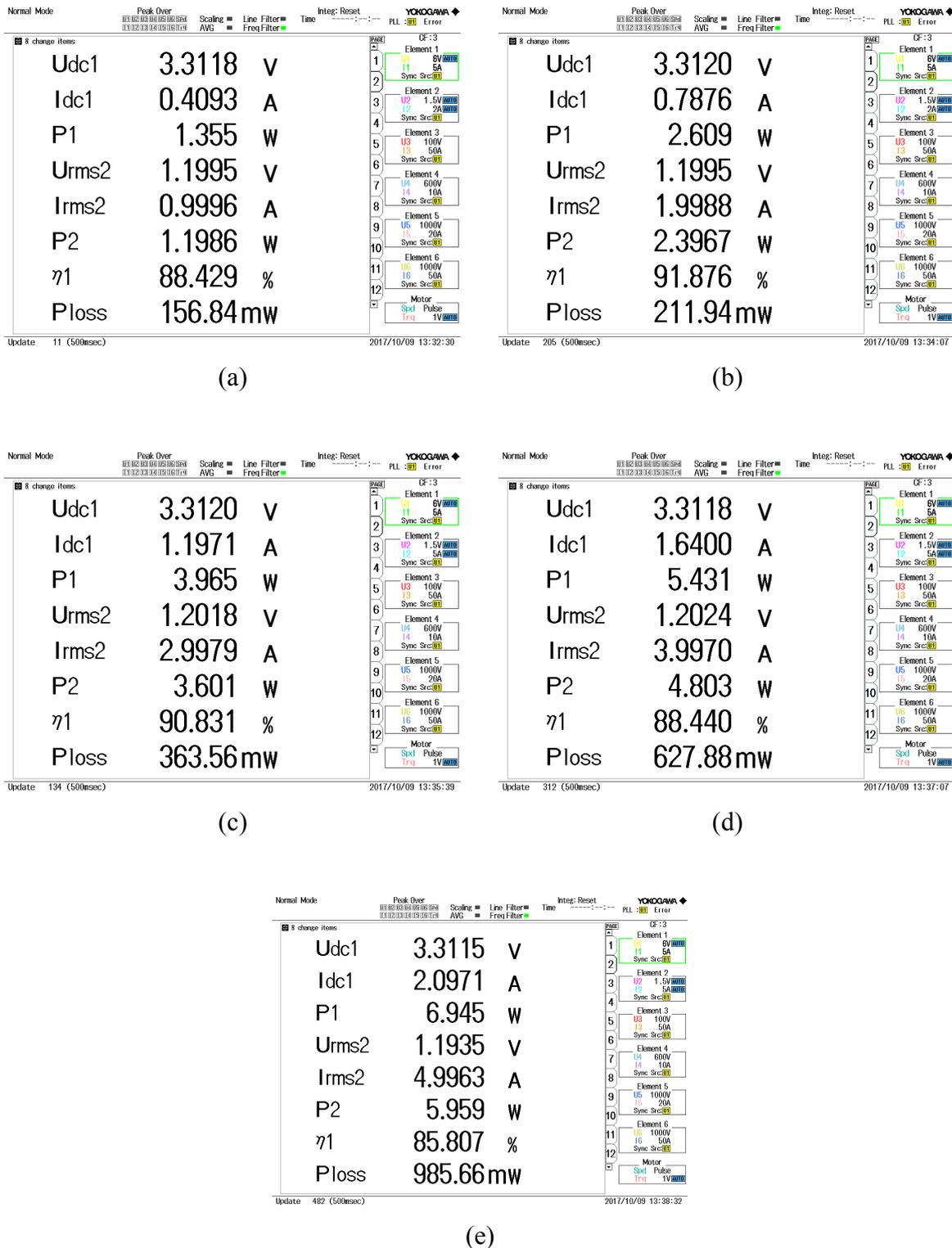
Enfim, os resultados experimentais demonstram a viabilidade do sistema de controle proposto, com a utilização de dois controladores digitais para obter boas respostas dinâmicas e elevada eficiência em baixas cargas.

Figura 6.20 – Resultados de eficiência para baixas cargas em PFM e PWM



Resultados para: (a) PFM 0,1A, (b) PWM 0,1A, (c) PFM 0,5A, (d) PWM 0,5A, (e) PFM 0,8A. (f) PWM 0,8A. Udc1, Idc1, P1 são referentes a entrada do sistema; Udc2, Idc2, P2 são referentes a saída do sistema; η representa a eficiência; Ploss as perdas do sistema.

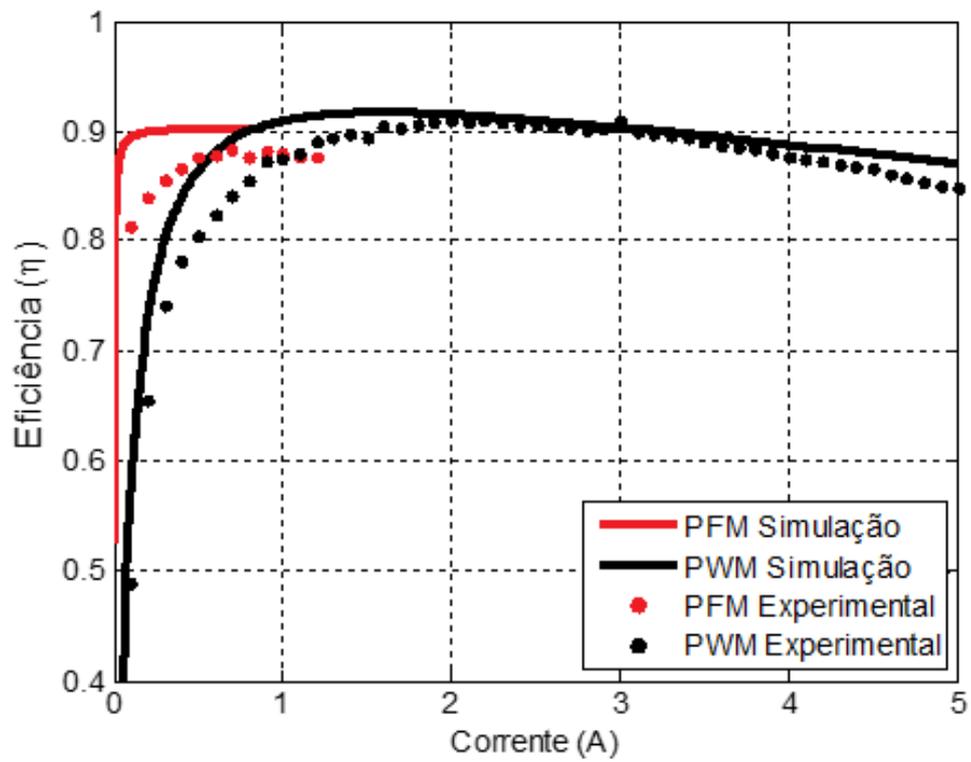
Figura 6.21 – Resultados de eficiência para altas cargas em PWM



Resultados para: (a) PWM 1A, (b) PWM 2A, (c) PWM 3A, (d) PWM 4A, (e) PFM 5A.

Udc1, Idc1, P1 são referentes a entrada do sistema; Udc2, Idc2, P2 são referentes a saída do sistema; η representa a eficiência; Ploss as perdas do sistema.

Figura 6.22 – Comparação da eficiência simulada e resultados experimentais



7 CONCLUSÕES FINAIS

Este trabalho apresentou a proposta e projeto de um sistema de controle digital híbrido aplicado à um conversor POL com a utilização de dois controladores PID multi-amostrado e V^2 COT, com objetivo de obter uma boa eficiência em cargas reduzidas e rápida resposta transitória para variações de carga.

Foi realizado um estudo de diversas técnicas de controle modo-corrente normalmente utilizadas em conversores POL, buscando as características necessárias à aplicação. Em conjunto, uma análise detalhada da topologia *buck* síncrono foi apresentada, descrevendo seu funcionamento assim como eficiência em diferentes modos de operação (CCM, DCM e FCCM) e para diferentes tipos de modulações (PWM e PFM). Levando em consideração o estudo realizado, foi possível definir a técnica de controle V^2 COT como a mais adequada à aplicação, para essa escolha as principais características observadas foram a alta eficiência em cargas reduzidas garantida pela modulação COT e rápida resposta transitória observada no controle V^2 .

Na análise inicial, para determinação da técnica de controle foi utilizado controle analógico, no entanto, a aplicação do controle digital pretendida no trabalho introduz dinâmicas ao sistema, e, portanto, foi realizada uma investigação dos impactos da versão digital do controlador V^2 sobre as características do conversor. Observou-se que o principal efeito negativo do controle digital é frequência de amostragem limitada, sendo prejudicial à resposta transitória e estabilidade do sistema de controle, contudo, em cargas reduzidas esses efeitos eram significativamente reduzidos, devido à redução da frequência de chaveamento e operação em DCM. Como a principal vantagem do controle V^2 COT é exatamente a eficiência em baixas cargas, a solução encontrada foi a substituição desse controle apenas para cargas elevadas e operação em CCM, aproveitando-se da flexibilidade do controle digital. Dessa forma, para cargas elevadas foi utilizado um controle linear PID, sobre o qual os efeitos da amostragem são significativamente menores, e podem ser reduzidos ainda mais utilizando uma abordagem multi-amostrada.

Com o controle definido foi realizado o projeto do conversor e do sistema de controle utilizando como base o equacionamento e a análise teórica realizada previamente. Em se tratando de um sistema de controle composto por dois controladores ambos foram testados separadamente e em conjunto através de simulação. Os resultados obtidos nas simulações realizadas comprovaram a viabilidade do sistema de controle para a aplicação apresentada nesse trabalho.

Uma análise experimental foi realizada através de um protótipo, apresentando testes semelhantes aos realizados em simulação e com resultados também semelhantes, comprovando o funcionamento do sistema de controle projetado para a aplicação. A curva de eficiência também foi levantada para o protótipo obtendo os resultados esperados através do equacionamento teórico.

Os resultados obtidos de tempo de acomodação e sobre nível percentual nesse projeto ficaram dentro do esperado se comparados com outras técnicas de controle digital em frequência semelhante da literatura, com a principal vantagem dessa proposta sendo observada na eficiência e simplicidade do circuito, sem a necessidade de um sensor de corrente com alta banda passante ou circuitos lógicos externos ao DSP. Comparando com técnicas analógicas existe perda de desempenho, principalmente devido à limitação da frequência de chaveamento, mas o projeto mais simples e a flexibilidade do controle digital fazem do controle proposto uma boa alternativa.

Portanto, conclui-se que o trabalho atingiu seus objetivos de apresentação e projeto de um conversor e seu sistema de controle digital híbrido, fazendo uso de dois controladores, e demonstrando seu funcionamento através de simulação e análise experimental.

Uma limitação observada nesse projeto foi o limite para frequência de chaveamento imposto pelo DSP utilizado para o controle, o que prejudicou os resultados principalmente para transitórios de carga. Diante disso, como possíveis aprimoramentos e trabalhos futuros indica-se:

- a) Análise de um sistema semelhante de controle para aplicação em conversores *buck* intercalados, para escalabilidade de corrente e melhora de resposta transitória.
- b) Projeto de um sistema semelhante com utilização de FPGA e frequências de chaveamento e amostragem superiores.
- c) Modificação de projeto para garantir o funcionamento para uma faixa de tensões de entrada com objetivo de aplicação alimentado diretamente por baterias.

REFERÊNCIAS

- BARRADO, A. et al. The fast response double buck DC-DC converter (FRDB): operation and output filter influence. **IEEE Transactions on Power Electronics**, 20, n. 6, nov. 2005. 1261-1270.
- BEHJATI, H.; DAVOUDI, A. Discrete-time modelling of digitally-controlled multiphase converters. **Electronics Letters**, 47, n. 4, fev. 2011.
- BJELETIC, A. et al. Specifications-Driven Design Space Boundaries for Point-of-Load Converters. **2011 Twenty-Sixth Annual IEEE Applied Power Electronics Conference and Exposition (APEC)**, 2011. 1166-1173.
- CHENG, K.-Y. et al. Digital Hybrid Ripple-Based Constant On-Time Control for Voltage Regulator Modules. **IEEE Transactions on Power Electronics**, 29, n. 6, jun. 2014. 443-451.
- CORRADINI, L. et al. High-Bandwidth Multisampled Digitally Controlled DC-DC Converters Using Ripple Compensation. **IEEE TRANSACTIONS ON INDUSTRIAL ELECTRONICS**, 55, n. 4, abr. 2008. 1501-1508.
- CORRADINI, L.; MATTAVELLI, P. Modeling of Multisampled Pulse Width Modulators for Digitally Controlled DC-DC Converters. **IEEE Journal of Solid-State Circuits**, 23, n. 4, jul. 2008. 1839-147.
- DEISCH, C. W. Simple Switching Control Method Changes Power Converter into a Current Source. **Proceedings of IEEE Power Electronics Specialists Conference**, 1978. 300-306.
- ERICKSON, R. W.; MAKSIMOVIC, D. **Fundamentals of power electronics**. [S.l.]: Springer Science & Business Media, 2007.
- FU, W.; TAN, S. T.; FAYED, A. Switching and Conduction Loss Analysis of Buck Converters Operating in DCM-only Scenarios. **2013 IEEE International Symposium on Circuits and Systems (ISCAS2013)**, 2013. 921-924.
- GALLAHER, L. E.; REDNER, R. J. **Current Regulator with AC and DC Feedback**. U.S. Patent 3,350,328, 31 out. 1967.
- HAAF, P.; HARPER, J. Understanding Diode Reverse Recovery and its Effect on Switching Losses. **Fairchild Power Seminar 2007**, 2007. A23-A33.
- HONG, S.-S.; CHOI, B. Technique for developing averaged duty ratio model for DC-DC converters employing constant on-time control. **Electronics Letters**, 36, n. 5, mar. 2000. 397-399.

HWANG, Y.-S. et al. A High-Efficiency DC–DC Converter With Wide Output Range Using Switched-Capacitor Front-End Techniques. **IEEE Transactions on Industrial Electronics**, 61, n. 5, maio 2014. 2244-2251.

INTEL. On the road to concurrency...: Reading the terrain ahead, 2007. Disponível em: <http://softwarecommunity.intel.com/isn/downloads/session1_isn.pdf>.

INTEL. What is Moore's Law?, 2011. Disponível em: <<http://www.intel.com/about/companyinfo/museum/exhibits/moore.htm>>.

JAKOBSEN, L. T.; SCHNEIDER, H.; ANDERSEN, M. A. E. Comparison of State-of-the-Art Digital Control and Analogue Control for High Bandwidth Point of Load Converters. **2008 Twenty-Third Annual IEEE Applied Power Electronics Conference and Exposition**, 2008. 1440-1445.

JAUREGUI, D.; WANG, B.; CHEN, R. Power Loss Calculation With Common Source Inductance Consideration for Synchronous Buck Converters. **Application Report Texas Instruments SLPA009A**, jul. 2011.

JIA, L. et al. Predictable Auxiliary Switching Strategy to Improve Unloading Transient Response Performance for DC–DC Buck Converter. **IEEE Transactions on Industry Applications**, 49, n. 2, mar-abr. 2013. 931-941.

KAZIMIERCZUK, M. K.; SATHAPPAN, N.; CZARKOWSKI, D. Voltage-mode-controlled PWM buck DC-DC converter with a proportional controller. **Proceedings of the IEEE 1993 National Aerospace and Electronics**, 1993. 413-419.

LAMBERT, W. J.; AYYANAR, ; CHICKAMENAHALLI, S. A Fast Transient Recovery Module for DC–DC Converters. **IEEE Transactions on Industrial Electronics**, 56, n. 7, jul. 2009. 2522-2529.

LAMBERT, W. J.; AYYANAR, R.; CHICKAMENAHALLI, S. Fast Load Transient Regulation of Low-Voltage Converters with the Low-Voltage Transient Processor. **IEEE Journal of Solid-State Circuits**, 24, n. 7, jul. 2009. 1839-1854.

LAU, W.; SANDERS, S. R. An integrated controller for a high frequency buck converter. **Record 28th Annual IEEE Power Electronics Specialists Conference (PESC97). Formerly Power Conditioning Specialists Conference**, 1997. 246-254.

LEUNG, K. K. S.; CHUNG, H. S. H.; HUI, S. Y. R. Use of State Trajectory Prediction in Hysteresis Control for Achieving Fast Transient Response of the Buck Converter. **Proceedings of the 2003 International Symposium on Circuits and Systems (ISCAS '03)**, 2003. III-439-III-442.

LI, J. **Current-Mode Control: Modeling and its Digital Application**. 2009. 180 p. Tese (Doutorado em Engenharia Elétrica) - Virginia Polytechnic Institute and State University. Virginia. 2009.

LU, D. D.-C. et al. A Single Phase Voltage Regulator Module (VRM) With Stepping Inductance for Fast Transient Response. **IEEE Transactions on Power Electronics**, 22, n. 2, mar. 2007. 417-424.

LU, Y. W.; FENG, G.; LIU, Y.-F. A large signal dynamic model for DC-to-DC converters with average current control. **Nineteenth Annual IEEE Applied Power Electronics Conference and Exposition, 2004 (APEC '04)**, 2, 2004. 797-803.

MARVI, F.; ADIB, E.; FARZANEHFARD, H. Zero voltage switching interleaved coupled inductor synchronous buck converter operating at boundary condition. **IET Power Electronics**, 9, n. 1, 2016. 126-131.

NAGARAJA, H. N.; KASTHA, D.; PATRA, A. Design Principles of a Symmetrically Coupled Inductor Structure for Multiphase Synchronous Buck Converters. **IEEE Transactions on Industrial Electronics**, 58, n. 3, mar. 2011. 988-997.

NG, W. T. et al. Digitally Controlled Integrated DC-DC Converters with Fast Transient Response. **2009 IEEE International Symposium on Radio-Frequency Integration Technology (RFIT)**, 2009. 335-338.

PAPATHOMAS, T. V. On the Stability of Peak Current-Controlled Converters: Analysis, Simulation, and Experiments. **IEEE Transactions on Industrial Electronics**, IE-36, n. 2, maio 1986. 489-498.

PATOUNAKIS, G.; LI, Y. W.; SHEPARD, K. L. Fully Integrated On-Chip DC-DC Conversion and Power Management System. **IEEE Journal of Solid-State Circuits**, 39, n. 3, mar. 2004. 443-451.

QIU, Y. et al. Bandwidth Improvements for Peak-Current Controlled Voltage Regulators. **IEEE Transactions on Power Electronics**, 22, n. 4, jun. 2007. 1253-1260.

QU, S. Modeling and design considerations of V2 controlled buck regulator. **Sixteenth Annual IEEE Applied Power Electronics Conference and Exposition (APEC 2001)**, 1, 2001. 507-513.

REDL, R.; SOKAL, N. O. Current-Mode Control, Five Different Types, Used with the Three Basic Classes of Power Converters: Small-Signal AC and Large-Signal DC Characterization, Stability Requirements, And Implementation Of Practical Circuits. **1985 IEEE Power Electronics Specialists Conference**, 1985. 771-785.

REUSCH, D. C. **High Frequency, High Power Density Integrated Point of Load and Bus Converters**. 2012. 207p. Tese (Doutorado em Engenharia Elétrica). Virginia Polytechnic Institute and State University, Blacksburg, 2012.

RIDLEY, R. B. A New Continuous-Time Model for Current-Mode Control with Constant Frequency, Constant On-Time, and Constant Off-Time, in CCM and DCM. **21st Annual IEEE Conference on Power Electronics Specialists**, 1990. 382-389.

RIDLEY, R. B. **A New Small-signal Model for Current-mode Control**. 1990. 197p. Tese (Doutorado em Engenharia Elétrica). Virginia Polytechnic Institute and State University, Blacksburg, 1990.

RIDLEY, R. B.; CHO, B. H.; LEE, F. C. Y. Analysis and Interpretation of Loop Gains of Multi-Loop-Controlled Switching Regulators. **IEEE Transactions on Power Electronics**, 3, n. 4, out. 1988. 489-498.

SCHOENFELD, A. D.; YU, Y. ASDTIC Control and Standardized Interface Circuits Applied to Buck, Parallel and Buck-boost DC-to-DC Power Converters. **NASA Report NASA CR-121106, Prepared by TRW Systems**, fev. 1973.

SCHWARZ, F. C. **Analog Signal to Discrete Time Interval Converter (ASDTIC)**. U.S. Patent 3,659,184, 25 abr. 1972.

SENANAYAKE, T.; NINOMIYA, T. An Improved Topology of Inductor-Switching DC-DC Converter. **IEEE Transactions on Industrial Electronics**, 52, n. 3, jun. 2005. 869-878.

SHAN, Z.; TAN, S.-C.; CHI, T. K. Transient Mitigation of DC-DC Converters for High Output Current Slew Rate Applications. **IEEE Transactions on Power Electronics**, 28, n. 5, maio 2013. 2377-2388.

SHAN, Z.; TSE, C. K.; TAN, S.-C. Pre-Energized Auxiliary Circuits for Very Fast Transient Loads: Coping With Load-Informed Power Management for Computer Loads. **IEEE Transactions on Circuits and Systems I: Regular Papers**, 61, n. 2, fev. 2014. 637-648.

STURCKEN, N. et al. A Switched-Inductor Integrated Voltage Regulator With Nonlinear Feedback and Network-on-Chip Load in 45 nm SOI. **IEEE Journal of Solid-State Circuits**, 47, n. 8, ago. 2012. 1935-1945.

SUN, J. Characterization and performance comparison of ripple-based control for voltage regulator modules. **IEEE Transactions on Power Electronics**, 21, n. 2, mar. 2008. 346-353.

SUN, J.; BASS, R. M. Modeling and Practical Design Issues for Average Current Control. **Applied Power Electronics Conference and Exposition, 1999 (APEC '99)**, 2, 1999. 980-986.

TANG, W. et al. Charge control: modeling, analysis, and design. **IEEE Transactions on Power Electronics**, 8, n. 4, out. 1993. 396-403.

TIAN, S.; CHENG, K.-Y.; LEE, F. C. Small-signal model analysis and design of constant-on-time V2 control for low-ESR caps with external ramp compensation. **2011 IEEE Energy Conversion Congress and Exposition**, 2011. 2944-2951.

TSAI, C. T.; CHOU, H. P.; SHEPARD, K. L. A Synthetic Ripple Buck Converter with Dynamic Hysteretic Band Modulation. **2009 International Conference on Power Electronics and Drive Systems (PEDS2009)**, 2009. 170-174.

WEN, D. Analysis of buck converter efficiency. **Application Note Richtek AN005**, mar. 2014.

WHITE, R. V. Emerging On-Board Power Architectures. **2003 Applied Power Electronics Conference and Exposition (APEC '03)**, 2, 2003. 799-804.

YINGYI, Y.; LEE, F. C.; MATTAVELLI, P. Comparison of Small Signal Characteristics in Current Mode Control Schemes for Point-of-Load Buck Converter Applications. **IEEE Transactions on Power Electronics**, 28, n. 7, jul. 2013. 3405-3414.

YU, F.; LEE, F. C. Y. Design Oriented Model for Constant On-time V2 Control. **2010 IEEE Energy Conversion Congress and Exposition (ECCE)**, 2010. 3115-3122.

ZHENYU, S.; TSE, C. K.; TAN, S.-C. Classification of Auxiliary Circuit Schemes for Feeding Fast Load Transients in Switching Power Supplies. **IEEE Transactions on Circuits and Systems I: Regular Papers**, 61, n. 3, mar. 2014. 930-942.

ZHOU, G. et al. Asymmetrical leading-triangle modulation technique for improved digital valley current controlled switching DC-DC converters. **2010 IEEE Energy Conversion Congress and Exposition**, 2010. 237-241.