

UNIVERSIDADE FEDERAL DE SANTA MARIA
CENTRO DE TECNOLOGIA
CURSO DE GRADUAÇÃO EM ENGENHARIA ELÉTRICA

Vander Silvio da Silva Júnior

**ANÁLISE DE CONVERSOR CA-CA MONOFÁSICO REBAIXADOR DE
TOPOLOGIA CLÁSSICA COM SOLUÇÃO DO PROBLEMA DE
COMUTAÇÃO**

Santa Maria, RS
2019

Vander Silvio da Silva Júnior

**ANÁLISE DE CONVERSOR CA-CA MONOFÁSICO REBAIXADOR DE TOPOLOGIA
CLÁSSICA COM SOLUÇÃO DO PROBLEMA DE COMUTAÇÃO**

Trabalho de Conclusão de Curso apresentado ao Curso de Graduação em Engenharia Elétrica da Universidade Federal de Santa Maria (UFSM, RS), como requisito parcial para obtenção do grau de **Bacharel em Engenharia Elétrica**.

ORIENTADOR: Prof. Humberto Pinheiro

Santa Maria, RS
2019

©2019

Todos os direitos autorais reservados a Vander Silvio da Silva Júnior. A reprodução de partes ou do todo deste trabalho só poderá ser feita mediante a citação da fonte.

End. Eletr.: vanderssj@gmail.com

Vander Silvio da Silva Júnior

**ANÁLISE DE CONVERSOR CA–CA MONOFÁSICO REBAIXADOR DE TOPOLOGIA
CLÁSSICA COM SOLUÇÃO DO PROBLEMA DE COMUTAÇÃO**

Trabalho de Conclusão de Curso apresentado ao Curso de Graduação em Engenharia Elétrica da Universidade Federal de Santa Maria (UFSM, RS), como requisito parcial para obtenção do grau de **Bacharel em Engenharia Elétrica**.

Aprovado em 11 de julho de 2019:

Humberto Pinheiro, Dr. (UFSM)
(Orientador)

Fernanda de Moraes Carnielutti, Dr. (UFSM)

M, Dr. (UFSM)

Santa Maria, RS
2019

AGRADECIMENTOS

Aos meus queridos e amados pais—Vander Silvio e Marta Isa—e minha amada irmã—Francy—que me apoiaram na minha jornada.

À minha grande amiga de curso—Letícia Cristina—que tornou essa graduação memorável.

À minha namorada—Ângela—que me deu suporte e me suportou.

Ao meu orientador—Prof. Dr. Humberto Pinheiro—que por meio de sua orientação e apoio tornou possível a realização desse trabalho.

Aos professores Dr.^a Fernanda de Moraes Carnielutti e Dr. Mário Lúcio da Silva Martins pelo tempo dedicado como membros da banca examinadora deste trabalho.

Aos meus amigos, familiares e professores que, de alguma forma, contribuíram para este trabalho.

À Xuxinha, Athena, Luna, Laika, Dobi[†], Guri, Didi e Capitu.

RESUMO

ANÁLISE DE CONVERSOR CA-CA MONOFÁSICO REBAIXADOR DE TOPOLOGIA CLÁSSICA COM SOLUÇÃO DO PROBLEMA DE COMUTAÇÃO

AUTOR: Vander Silvio da Silva Júnior
ORIENTADOR: Humberto Pinheiro

Nesse trabalho é apresentado o projeto e análise de perdas por comutação e condução por semicondutores de um conversor monofásico com controle de modulação de pulsos. O conversor tem entrada de 220 e saída de 127 Volts de corrente alternada. É descrito o ordenamento das comutações necessário para evitar sobrecorrente ou sobretensão durante as comutações dependentes da medição da tensão de entrada ou da corrente de saída. Caracterizam-se as perdas de comutação e de condução para dois tipos de semicondutores disponíveis no mercado: IGBT com diodo-SiC e SiC-MOSFET. O projeto dos filtros de entrada e saída são realizados para ambas tecnologias de semicondutores observando-se uma redução significativa dos parâmetros dos filtros com a utilização do MOSFET, devido a possibilidade de operar em frequência superiores. Resultados de simulação são apresentados para demonstração do desempenho do conversor estudado e um protótipo é projetado.

Palavras-chave: Conversor CA-CA. problema de comutação. transformador de estado sólido. *chopper*

ABSTRACT

ANALYSIS OF SINGLE PHASE AC-AC CONVERTER WITH CLASSIC TOPOLOGY SOLVING THE COMUTATION PROBLEM

AUTHOR: Vander Silvio da Silva Júnior

ADVISOR: Humberto Pinheiro

In this paper the design and losses analysis on the semiconductors of a PWM chopper single-phase converter are presented. It steps down a voltage of 220 Volts at the source to 127 Volts at the load. The ordering of the commutation according to a voltage or current measured is described, as a solution for the commutation problem. The commutation and conduction losses are estimated for two arrangements: IGBT with a SiC-diode and SiC-MOSFET. The filters are designed for both technologies, the MOSFET having its electrical parameters significantly smaller because of its higher operating frequency. Simulation results are presented and a prototype is designed.

Keywords: AC–AC converter. solid state transformer. comutation problem. chopper

SUMÁRIO

1	INTRODUÇÃO	7
1.1	JUSTIFICATIVA	7
1.2	OBJETIVO GERAL	7
1.3	OBJETIVOS ESPECÍFICOS	7
2	REVISÃO BIBLIOGRÁFICA	9
2.1	INTERRUPTORES BIDIRECIONAIS	9
2.2	CONVERSOR MATRICIAL	10
2.3	CICLOCONVERSOR	11
2.4	CHOPPER	11
2.5	CONVERSOR CA-CA COM CÉLULAS DE COMUTAÇÃO E INDUTORES PARCIALMENTE ACOPLADOS	11
2.6	CONVERSOR CA-CA Z-SOURCE	12
2.7	CONVERSOR CA-CA QUASI-Z-SOURCE	12
3	TOPOLOGIA	13
4	DESCRIÇÃO DA ESTRATÉGIA DE COMUTAÇÃO	15
5	SIMULAÇÃO E PROJETO DE FILTROS	18
6	CÁLCULO DAS PERDAS	23
6.1	PERDAS POR CONDUÇÃO NOS SEMICONDUTORES	23
6.1.1	Para o IGBT	24
6.1.2	Para o diodo	24
6.1.3	Para o MOSFET	25
6.2	RESULTADOS	25
6.2.1	Para 20 kHz	25
6.2.2	Para 100 kHz	26
6.3	MONTANTE DAS PERDAS	29
7	PROJETO DE PROTÓTIPO	31
7.1	INTERRUPTORES	31
7.2	GATE DRIVER	31
7.3	CONVERSORES A/D	32
7.4	MICROCONTROLADOR	33
7.5	PLACAS	34
8	CONSIDERAÇÕES FINAIS	37
	REFERÊNCIAS BIBLIOGRÁFICAS	38
	APÊNDICE A – CÓDIGOS EM VHDL	40
	APÊNDICE B – CIRCUITO ESQUEMÁTICO	43

1 INTRODUÇÃO

Conversores CA–CA vem sido estudados como ferramentas de controle de motores, geradores, regulação de tensão e conversão de potência, substituindo ou complementando transformadores, autotransformadores e sistemas de retificador e inversor (SWAMY; KUME, 2010). Há potenciais vantagens por conta da redução de volume, controle da saída em função as mudanças das condições de entrada do sistema e aumento da segurança e modularidade (AFSHARI; AMIRABADI, 2017).

Em diversas topologias de conversores CA–CA, por fazerem uso de interruptores bidirecionais não ideais, ocorre a necessidade de solucionar um problema de sobreposição ou de *deadtime* entre as comutações (KHAN; CHA; AHMED, 2015). Uma possível solução é o ordenamento, de acordo com uma tensão ou corrente medida, das comutações. Neste artigo explora-se esta solução, aplicada a um conversor CA–CA rebaixador, o tratamento da corrente de entrada e da tensão de saída por meio de filtros, além de estimativas das perdas por condução e comutação. Analisou-se um conversor com o uso de interruptores IGBT com comutação a 20 kHz e outro com Mosfet a 100 kHz. Posteriormente, implementou-se um protótipo usando o Mosfet SCT50N120, controlado por uma FPGA.

1.1 JUSTIFICATIVA

O que motivou a realização do trabalho foi o desenvolvimento recente de novas tecnologias de semicondutores de potência que tem o potencial de tornar conversores CA–CA competitivos no mercado de transformação de baixas tensões.

1.2 OBJETIVO GERAL

Analisar o funcionamento de conversores CA–CA rebaixadores de topologia tradicional através do *software* PSIM e da criação de um protótipo.

1.3 OBJETIVOS ESPECÍFICOS

São objetivos específicos deste trabalho:

- Fazer uma revisão bibliográfica sobre conversores CA–CA;

- Apresentar a topologia clássica do rebaixador CA–CA monofásico;
- Analisar esse rebaixador no *software* PSIM;
- Projetar uma solução para melhora da qualidade da energia de entrada e de saída;
- Apresentar o problema de comutação que existe ao usar essa topologia;
- Desenvolver uma solução para o problema de comutação por medição de tensão ou de corrente e ordenamento das comutações.
- Projetar um protótipo do conversor rebaixador CA–CA, com medição de tensão, usando uma FPGA como microcontrolador e MOSFETs como interruptores.

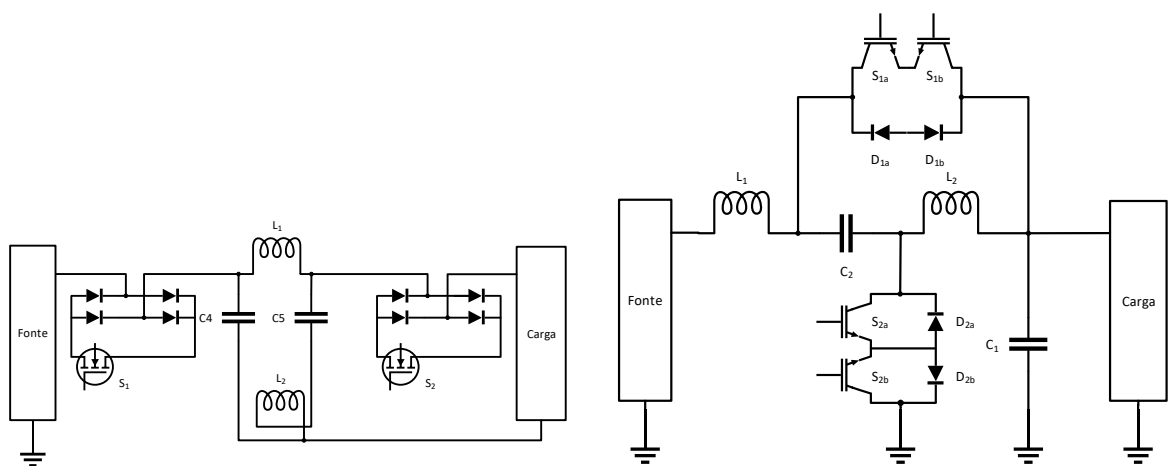
2 REVISÃO BIBLIOGRÁFICA

Diferentes estratégias de conversão CA–CA sem o uso de retificadores e inversores já foram propostas. Nguyen, Lim e Kim (2012) propõe um conversor CA–CA *quasi-Z-source*, conforme a figura 2.1b com grande faixa de conversão, com possibilidade de razões inferiores e de razões superiores a 1, reduzida corrente de *inrush* e harmônicas de corrente, e isolamento por transformador de alta frequência, com neutro comum entre entrada e saída. Por Klumpner et al. (2006) foram apresentados conversores matriciais. Khan, Cha e Ahmed (2015) apresentaram conversores CA–CA sob controle PWM. Uma solução possível para o problema de comutação é o uso de células comutativas e indutores acoplados (SHIN et al., 2015), com neutros de entrada e saída distintos.

O presente capítulo tem como objetivo detalhar conceitos importantes para conversores CA–CA e revisar pesquisas recentes desse assunto.

2.1 INTERRUPTORES BIDIRECIONAIS

Figura 2.1 – Duas topologias de conversão CA–CA.



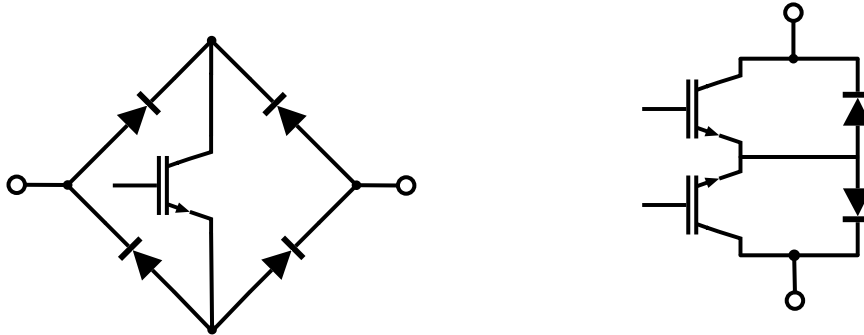
(a) Conversor CA–CA *Z-source*.

(b) Conversor CA–CA *quasi-Z-source*.

Fonte: Elaboradas pelo autor.

IntERRUPTORES bidirecionais, referidos na literatura também como interruptores bilaterais, são capazes de interromper e permitir a condução de corrente em ambas polaridades. Uma forma de se implementar uma chave bidirecional consiste de um par antiparalelo de um interruptor e um diodo ligado em antissérie com outro par, com os emissores em comum, apresentado na Figura 2.2b. Para um conversor matricial CA–CA monofásico são

Figura 2.2 – Duas soluções de implementação real de interruptores bidirecionais.



(a) Interruptor bidirecional com ponte de diodos. (b) Interruptor bidirecional com interruptores em antiparalelo com um diodo e outro par em antissérie.

Fonte: Elaboradas pelo autor.

necessários dois interruptores bidirecionais, totalizando, assim, 4 diodos e 4 interruptores simples (KRISHNA, 2014). No controle simples por sinal de PWM, em cada interruptor bidirecional, ora apenas um interruptor simples está conduzindo ora apenas o outro, correspondendo aos dois estados do sinal de PWM. Posteriormente referido apenas como interruptor bidirecional.

Outra forma, apresentada por Peng, Chen e Zhang (2003) usa apenas um interruptor e cinco diodos para cada interruptor bidirecional monofásico. Quatro diodos formam um retificador de onda completa, com a polaridade positiva retificada ligada ao coletor e a negativa ligada ao emissor. Posteriormente referido como interruptor bidirecional de ponte.

Banerjee, Choudhury e Rasul (2004) estudam um conversor CA–CA *buck-boost* monofásico que usa o interruptor bidirecional de ponte, mantendo uma tensão de referência comum a entrada e a saída.

2.2 CONVERSOR MATRICIAL

Proposto pela primeira vez por Gyugyi e Pelly (1976). Nesse conversor não há necessidade de componentes de armazenamento de reativos, em contraste com sistemas de conversão convencional com retificadores e inversores. O arranjo do circuito é tal que conexões entre quaisquer contatos da entrada possam ser feito com quaisquer contatos da saída, gerando formas de onda senoidais sem componentes subarmônicas e com pequenas componentes harmônicas de alta ordem, sendo mais altas para frequências de

comutação maiores (KRISHNA, 2014).

Pode funcionar como cicloconversor, *chopper*, retificador ou inversor (AHIRRAO et al., 2014).

2.3 CICLOCONVERSOR

Conversor que usa sua capacidade de inversão de fase. Pode evitar o problema de comutação por apenas comutar quando há passagem da tensão sobre os interruptores por zero. Converte uma forma de onda de tensão e frequência constantes em outra forma de onda de frequência menor, variável, usando interruptores semicondutores (GIDHAVANI, 2015). A faixa competitiva de potências nominais padronizadas fica na ordem de megawatts e dezenas de megawatts, usados em sistemas de içamentos para mineração, laminadoras (WATZMANN, 1996), moinhos de minérios, cimenteiras e sistemas de propulsão marítima (PAKASTE et al., 1999).

2.4 CHOPPER

Conversor que usa sua capacidade de alternar entre permitir ou não a passagem de corrente entre a entrada e a saída para gerar um efeito *boost* ou *buck*. É comum uma modificação do conversor matricial de forma a não mais permitir seu uso como retificador ou cicloconversor, mas reduzindo o número de semicondutores e potenciais isolados para *drivers*. Podem ser usados quatro interruptores bidirecionais para conversão monofásica, com dois potenciais isolados para *drivers*, ou seis interruptores bidirecionais para conversão trifásica.

2.5 CONVERSOR CA-CA COM CÉLULAS DE COMUTAÇÃO E INDUTORES PARCIALMENTE ACOPLADOS

Usando-se uma estrutura de células de comutação com a inclusão de pares de indutores acoplados se resolve o problema de comutação e se reduz o tamanho dos indutores de entrada ou de saída dos conversores (SHIN et al., 2015).

2.6 CONVERSOR CA–CA Z-SOURCE

Em conversores CA–CA Z-source pode-se elevar ou rebaixar a tensão, empregando-se uma rede simétrica de impedância formada por dois indutores e dois capacitores como elementos de armazenamento de energia e filtragem, que tem melhor desempenho na redução de harmônicas do que os filtros de entrada e saída necessários para a topologia tradicional. No entanto ainda há descontinuidade na forma de onda da corrente de entrada. Na família proposta por Fang, Qian e Peng (2005) emprega-se apenas dois elementos ativos, fazendo uso do interruptor bidirecional com ponte proposto por Peng, Chen e Zhang (2003), que para solução monofásica, utiliza apenas um interruptor simples e cinco diodos por interruptor bidirecional.

2.7 CONVERSOR CA–CA QUASI-Z-SOURCE

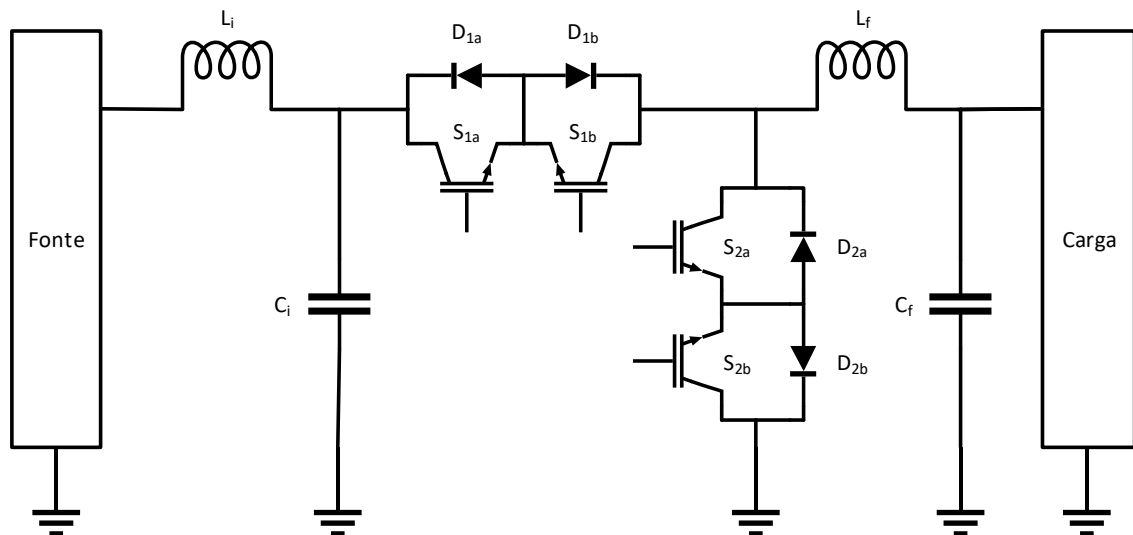
Esse conversor, proposto por Nguyen, Lim e Kim (2012) modifica o arranjo de conversores Z-source para uma forma com as impedâncias Z-source dispersas e que tem neutro comum entre a entrada e a saída.

3 TOPOLOGIA

O conversor rebaixador CA–CA em estudo, apresentado na figura 3.1 utiliza quatro interruptores para o rebaixamento da tensão. P é o sinal PWM que define o estado de condução dos interruptores S_{1a}, \dots, S_{2b} , de forma que em um momento a corrente fornecida pela fonte de tensão e pelo capacitor C_i , seja conduzida por S_{1a}, S_{1b} e a carga, tendo os interruptores S_{2a} e S_{2b} sem condução e em outro momento seja bloqueada pelos interruptores S_{1a} e S_{1b} , com possibilidade de condução da corrente do indutor de saída L_f por S_{2a} e S_{2b} , conforme a figura 3.2. Tem-se a tensão de saída, como o produto da tensão de entrada e uma função P , como apresentado na figura 3.3. Dado isso, na frequência fundamental a tensão eficaz de saída é igual ao produto da tensão eficaz de entrada e a razão cíclica D do sinal P .

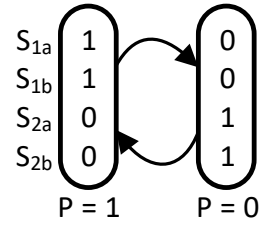
Na topologia em questão pode ocorrer comprometimento dos interruptores por sobrecorrente, se houver condução simultânea pela fonte de tensão e pelo caminho de baixa impedância dado por S_{1a}, D_{2b}, S_{2a} e D_{2b} ou por D_{1a}, S_{2b}, D_{2a} e S_{2b} . Por outro lado se não houver caminho para condução da corrente do indutor de saída L_f pode ocorrer sobretenção sobre os interruptores S_{2a} e S_{2b} .

Figura 3.1 – Conversor CA–CA monofásico.



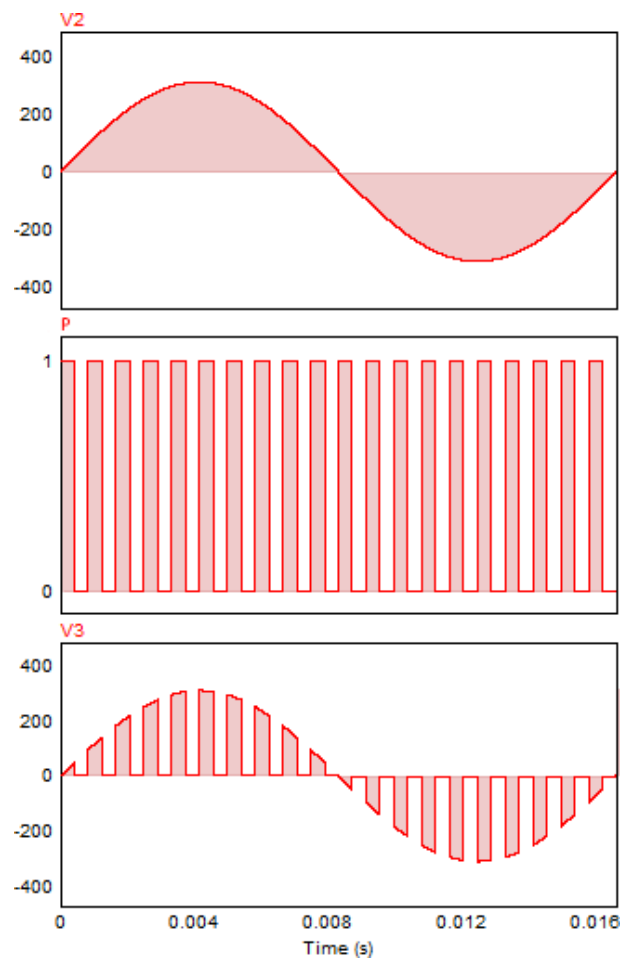
Fonte: Elaborada pelo autor.

Figura 3.2 – Lógica fundamental de comutação.



Fonte: Elaborada pelo autor.

Figura 3.3 – Formas de ondas simplificadas, apresentando V_2 como um sinal de entrada, P o sinal PWM de baixa frequência e V_3 o sinal de saída resultante.

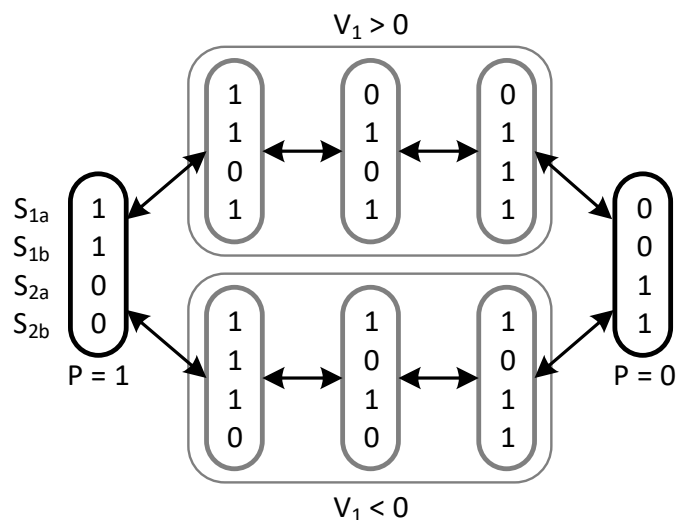


Fonte: Elaborada pelo autor, através do *software PSIM*.

4 DESCRIÇÃO DA ESTRATÉGIA DE COMUTAÇÃO

Devido ao fato de a entrada e a saída de condução dos semicondutores usados não ser instantânea, há a possibilidade da ocorrência das condições indesejadas, descritas anteriormente, quando há mudança no estado do sinal P . Para evitar isso pode-se realizar as comutações de forma ordenada dependente da polaridade da tensão V_1 , no emissor do interruptor mais próximo a fonte ou do sentido da corrente I_2 sobre o indutor $L2$, criando estados de condução adicionais durante a transição do sinal PWM. As figuras 4.1 e 4.2 descrevem a ordem proposta para o caso de medição de tensão e para o caso de medição de corrente, respectivamente. Caracteriza-se a corrente I_1 positiva no sentido fonte-carga.

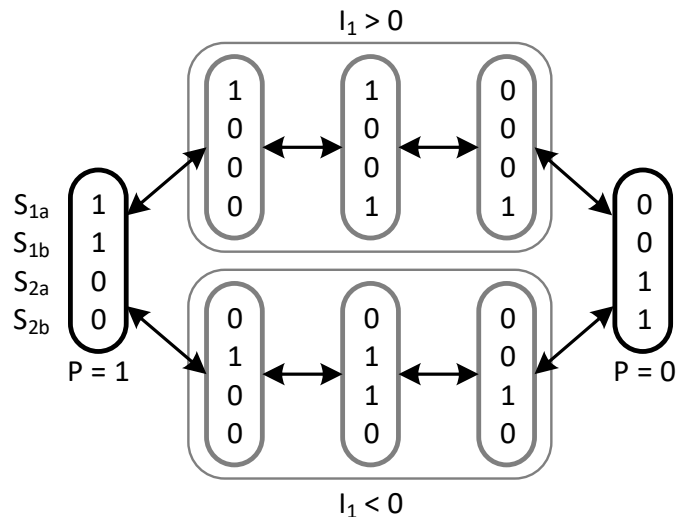
Figura 4.1 – Diagrama que apresenta as sequências de comutação em função da tensão V_1 no coletor do interruptor S_{1a} .



Fonte: Elaborada pelo autor.

Para o caso em que tensão é medida, detectada uma tensão V_1 positiva e o sinal PWM comutou de 1 para 0, indicando a necessidade da comutação S_{1a}, S_{1b} para S_{2a}, S_{2b} . Há uma incógnita, a direção da corrente sobre o indutor de saída. Para corrente I_2 positiva: Inicialmente o interruptor S_{2b} é fechado sem iniciar-se passagem de corrente e, portanto, sem perdas. Passado o intervalo Δt_1 o interruptor S_{1a} abre e passa a bloquear a condução de corrente, caracterizando-se uma comutação dissipativa. Após o intervalo Δt_2 o interruptor S_{2a} é fechado, entrando em condução com tensão nula. Após o intervalo Δt_3 o interruptor S_{1b} é aberto, sem corrente. Com mesma polaridade positiva da tensão V_1 , mesma transição de P de “1” para “0”, mas com corrente I_1 negativa tem-se inicialmente S_{1b} e D_{1a} a corrente vinda da carga, com o potencial da fonte sobre os interruptores S_{2a} e

Figura 4.2 – Diagrama que apresenta as seqüências de comutação em função da corrente que entra no indutor L_f



Fonte: Elaborada pelo autor.

S_{2b} . Ao iniciar a condução de S_{2b} o diodo D_{2a} fica reversamente polarizado e S_{2b} entra em condução com zero de corrente. Passado o intervalo Δt_1 o interruptor S_{1a} é aberto em zero de tensão, uma vez que o diodo D_{1a} conduz a corrente do indutor de saída L_f . Passado o intervalo Δt_2 o interruptor S_{2a} é fechado. Neste instante S_{2a} conduz a corrente da carga e bloqueia o diodo D_{1a} , em uma comutação dissipativa. Após o intervalo Δt_3 o interruptor S_{1b} é aberto com corrente nula, uma vez que o diodo D_{1a} tem polarização reversa. Estados análogos ocorrem para transição PWM “0” para “1” ou diferente polarização de V_1 .

Para o modelo de medição de corrente de saída, quando há transição do sinal P do nível alto para baixo quando a corrente I_1 está positiva. Inicialmente o interruptor S_{1b} é aberto, em zero de tensão, pois o diodo em antiparalelo D_{1b} conduz a corrente do indutor L_f . Passado o intervalo Δt_1 reservado para a abertura da S_{1b} o interruptor S_{2b} é colocado em condução, no tempo reservado Δt_2 . Existem, daí, duas possibilidades de polaridade da tensão V_2 . Se a polaridade da V_2 for positiva, então com a entrada em condução de S_{2b} o diodo D_{2a} é inversamente polarizado e a corrente no indutor L_f continua passando por S_{1a} e D_{1b} e a entrada em condução de S_{2b} ocorrem com zero corrente. Durante o intervalo de tempo Δt_3 ocorre a abertura do interruptor S_{1a} a condução da corrente do indutor passa a ser conduzido por S_{2b} e D_{2a} , em uma comutação dissipativa e ao final do intervalo de tempo o interruptor S_{2a} é colocado em condução com zero de tensão. Tem-se, assim, um *deadtime* de Δt_3 .

Por outro lado se a tensão V_2 for de polaridade negativa quando ocorre a entrada em condução de S_{2b} a corrente de L_f para condução por S_{1a} e D_{1b} e passa a conduzir-se

por D_{2a} e S_{2b} , caracterizando uma comutação dissipativa envolvendo S_{2b} e D_{1b} . Durante o intervalo de tempo Δt_3 ocorre a abertura do interruptor S_{1a} e ao final do intervalo de tempo o interruptor S_{2a} é colocado em condução com zero de tensão.

5 SIMULAÇÃO E PROJETO DE FILTROS

Realizam-se simulações no programa *PSIM* (POWERSIM INC., 2016) para prever o comportamento dos dispositivos de conversão. Foi usado um modelo simplificado com comutação instantânea entre os dois estados descritos na figura 3.2.

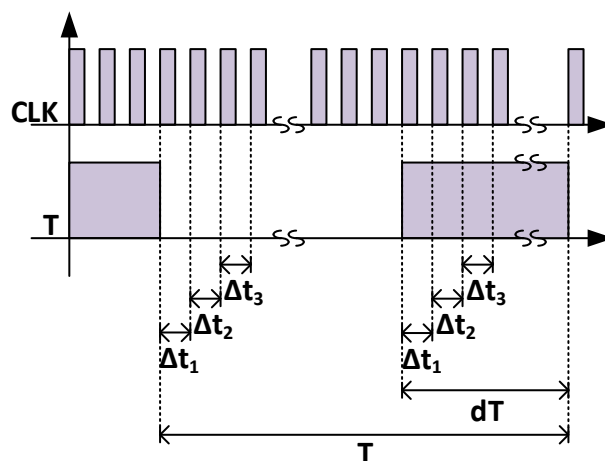
São definidos na tabela 5.1 os parâmetros usados em todas simulações usadas no projeto de filtros. Tem-se uma tensão de entrada de 220 V e uma razão cíclica da onda de controle de 0.575, de forma a se obter um produto de 126.5 V.

Tabela 5.1 – Parâmetros comuns

Parâmetro	Valor
$V_1 (V_{rms})$	220
D	.575

Fonte: Elaborada pelo autor.

Figura 5.1 – Formas de onda do sinal de relógio *CLK* e sinal PWM.



Fonte: Elaborada pelo autor.

As frequências de comutação foram escolhidas como 20 kHz e 100 kHz por serem as frequências de melhor funcionamento dos interruptores pesquisados: IGBT e MOSFET-SiC, respectivamente. A figura 5.1 apresenta os intervalos o período “T” do sinal “PWM”, o período multiplicado pela razão cíclica “dT”, e os intervalos de tempo Δt_i , $i = 1, 2, 3$. Esses intervalos são definidos pelo clock e é preciso que sejam mais longos que o tempo transitório do interruptor. *clock* de 8 MHz se tem $\Delta t_1 = \Delta t_2 = \Delta t_3 = 12.5 \mu s$. Com essa frequência de clock o “PWM” tem um resolução de 80 para uma frequência de comutação

dos interruptores de 100 kHz e 400 para uma frequência de comutação de 20 kHz.

As frequências de corte para tanto o filtro de entrada quanto o de saída foram escolhidas como 20 % das frequências de comutação. A resistência para os cálculos e simulações é a da carga linear para 3500 W e 127 V, de 4.608 Ω .

Tabela 5.2 – Parâmetros dos filtros

Parâmetro	Valores	
	20kHz	100kHz
Comutação	20kHz	100kHz
f_P (kHz)	20	100
f_c (kHz)	4	20
$L1$ (μH)	465.6	93.13
$C1$ (nF)	3400	680
$L2$ (μH)	316.6	63.33
$C2$ (nF)	5000	1000

Fonte: Elaborada pelo autor.

Nas tabelas 5.3a—sem filtro de entrada e sem capacitor no filtro de saída—e 5.3b—com todos os filtros projetados—são apresentados, comparando ambas frequências de comutação, os valores de tensão eficaz de entrada V_1 e de carga V_2 , de corrente eficaz de entrada e de carga, I_1 e I_2 , de potência ativa de entrada e de carga, P_{in} e P_{out} , de potência aparente de entrada e de carga S_{in} e S_{out} , de seus fator de potência FP_{in} e FP_{out} , correntes das componentes de frequência fundamental das tensões de entrada e de carga $V_{in,60Hz}$ e $V_{out,60Hz}$ e das correntes de entrada e de de carga $I_{in,60Hz}$ e $I_{out,60Hz}$ e de taxa de distorção harmônica da corrente de entrada THD_{I_1} , tensão de carga $THD_{V_{out}}$ e corrente de carga $THD_{I_{out}}$. São listados também valores de correntes eficaz para os filtros— I_{L1} , I_{L2} , I_{C1} , I_{C2} —importantes para possibilitar cálculo de perdas Joule sobre eles, além de valores de pico— $I_{L1,pico}$, $I_{L2,pico}$, $I_{C1,pico}$, $I_{C2,pico}$ —por serem possíveis limitações de projeto.

Apresentam-se as formas de ondas simuladas das tensões de entrada e saída e correntes de entrada e saída. na figura 5.3a e, mais detalhadamente, na figura 5.3b.

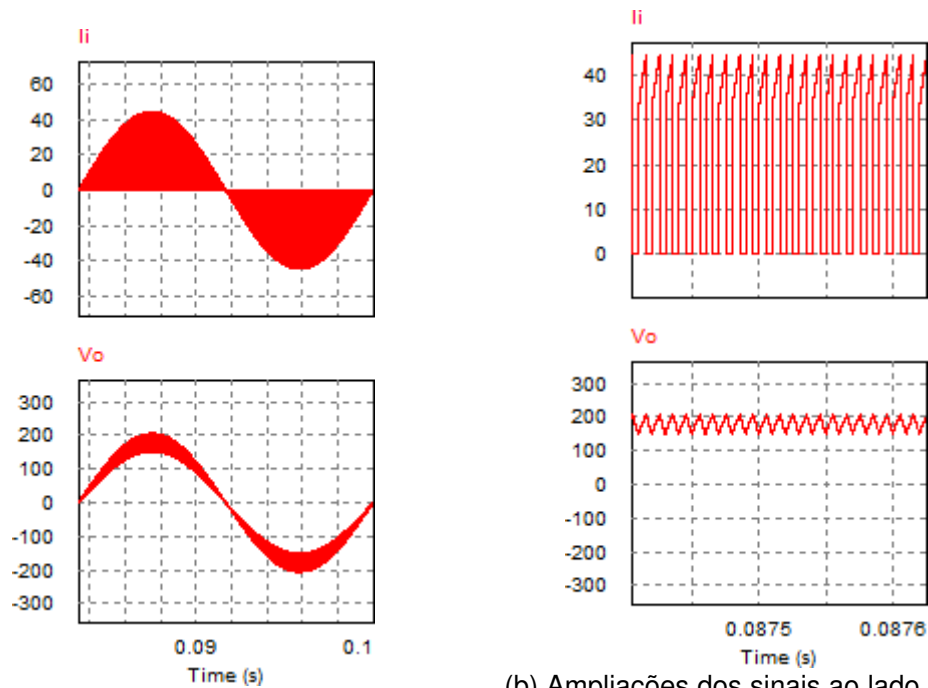
Tabela 5.3 – Resultados das simulações.

(a) Sem filtros além do indutor de saída $L2$. (b) Com filtros de entrada e saída.

Comutações Parâmetro	20 kHz Valores	100 kHz Valores	Comutações Parâmetro	20 kHz Valores	100 kHz Valores
$V_1 (V_{rms})$	220	220	$V_1 (V_{rms})$	220	220
$V_2 (V_{rms})$	126.95	126.99	$V_2 (V_{rms})$	128.15	128.17
$I_1 (A_{rms})$	21.05	21.03	$I_1 (A_{rms})$	16.21	16.22
$I_2 (A_{rms})$	27.55	27.56	$I_2 (A_{rms})$	32.35	27.82
$P_{in} (W)$	3496.8	3495.3.5	$P_{in} (W)$	3564.2	3565.5
$P_{out}(W)$	3497.7	3499.9	$P_{out}(W)$	3564.1	3565.5
$S_{in}(VA)$	4630.6	4627.3	$S_{in}(VA)$	3566.3	3567.4
$S_{out}(VA)$	3497.7	3499.9	$S_{out}(VA)$	3564.1	3565.5
FP_{in}	0.75515	0.75537	FP_{in}	0.99939	0.99947
FP_{out}	1	1	FP_{out}	1	1
$I_{L1} (A_{rms})$			$I_{L1} (A_{rms})$	16.21	16.21
$I_{C1} (A_{rms})$			$I_{C1} (A_{rms})$	14.55	14.54
$I_{L2} (A_{rms})$	27.55	27.56	$I_{L2} (A_{rms})$	27.92	27.93
$I_{C2} (A_{rms})$			$I_{C2} (A_{rms})$	2.51	2.50
$I_{L1,pico} (A)$			$I_{L1,pico} (A)$	23.98	23.98
$I_{C1,pico} (A)$			$I_{C1,pico} (A)$	23.98	23.98
$I_{L2,pico} (A)$	44.64	44.65	$I_{L2,pico} (A)$	44.88	44.89
$I_{C2,pico} (A)$			$I_{C2,pico} (A)$	6.37	6.37
$V_{in,60Hz} (V)$	$220\sqrt{2}$	$220\sqrt{2}$	$V_{in,60Hz} (V)$	$220\sqrt{2}$	$220\sqrt{2}$
$V_{out,60Hz} (V)$	$126.46\sqrt{2}$	$126.50\sqrt{2}$	$V_{out,60Hz} (V)$	$128.09\sqrt{2}$	$128.11\sqrt{2}$
$I_{in,60Hz} (V)$	$15.90\sqrt{2}$	$15.89\sqrt{2}$	$I_{in,60Hz} (V)$	$16.20\sqrt{2}$	$16.21\sqrt{2}$
$I_{out,60Hz} (V)$	$27.44\sqrt{2}$	$27.45\sqrt{2}$	$I_{out,60Hz} (V)$	$27.80\sqrt{2}$	$27.80\sqrt{2}$
$THD_{I_{in}}$	86.74%	86.75%	$THD_{I_{in}}$	3.24%	3.23%
$THD_{V_{out}}$	8.87%	8.87%	$THD_{V_{out}}$	3.07%	3.07%

Fonte: Elaboradas pelo autor.

Figura 5.2 – Formas de onda da corrente de entrada I_i e tensão de saída V_o , com comutação a 100 kHz, sem filtro de entrada ou capacitor de saída, com as ondas em um ciclo em (a) e visualização dos *ripples* em um intervalo de tempo em que suas amplitudes são máximas em (b).

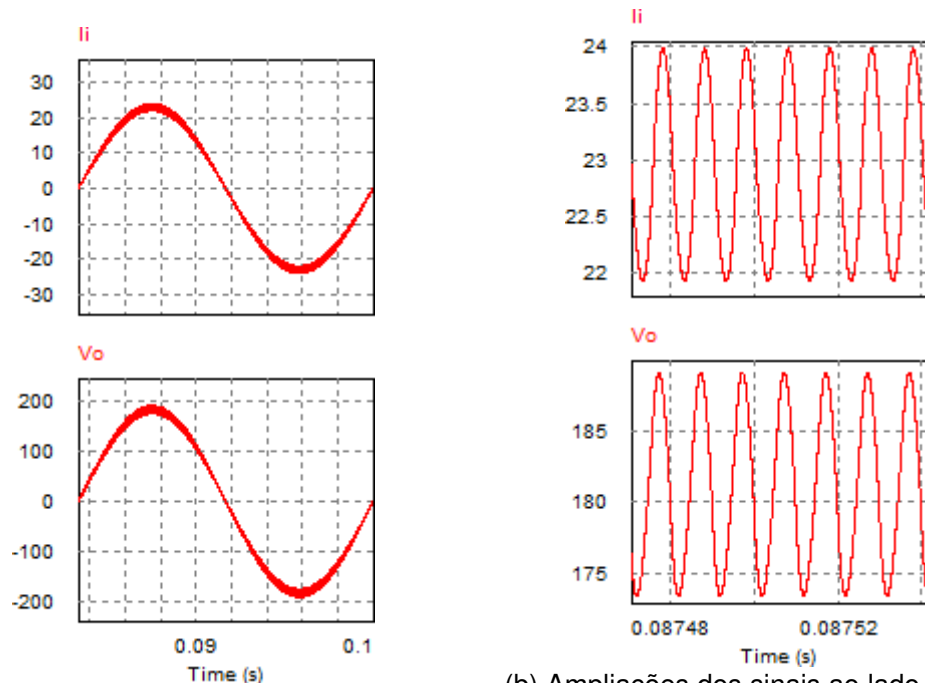


(a) Um período da corrente de entrada e tensão de saída

(b) Ampliações dos sinais ao lado, destacando a ondulação residual de alta frequência.

Fonte: Elaboradas pelo autor usando o *software* PSIM.

Figura 5.3 – Formas de onda da corrente de entrada I_i e tensão de saída V_o , com comutação a 100 kHz, com filtros, com as ondas em um ciclo em (a) e visualização dos *ripples* em um intervalo de tempo em que suas amplitudes são máximas em (b).



Fonte: Elaboradas pelo autor usando o *software* PSIM.

6 CÁLCULO DAS PERDAS

São feitos cálculos das perdas por condução e por comutação, desprezando-se as perdas sobre os filtros.

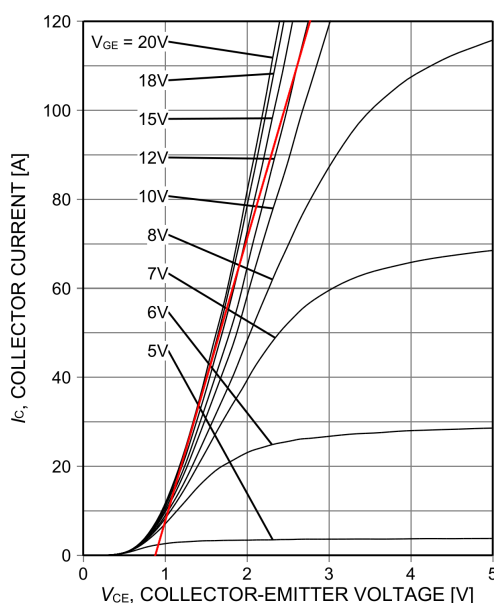
6.1 PERDAS POR CONDUÇÃO NOS SEMICONDUTORES

As perdas por condução sobre os semicondutores podem ser calculadas a partir da equação 6.1 (DROFENIK; KOLAR, 2005), tendo-se os valores de corrente eficaz i_{rms} e corrente média i_{AV} obtidos a partir de simulação. São necessários ainda parâmetros de resistência média R_o e tensão de limiar V_o dos semicondutores, obtidos conforme figura 6.1, com a curva aproximada a uma reta, com a resistência de acordo com a inclinação e a tensão limiar de acordo com a raiz dela.

$$P_{cond} = R_{co} * i_{rms}^2 + V_{to} * i_{AV} \quad (6.1)$$

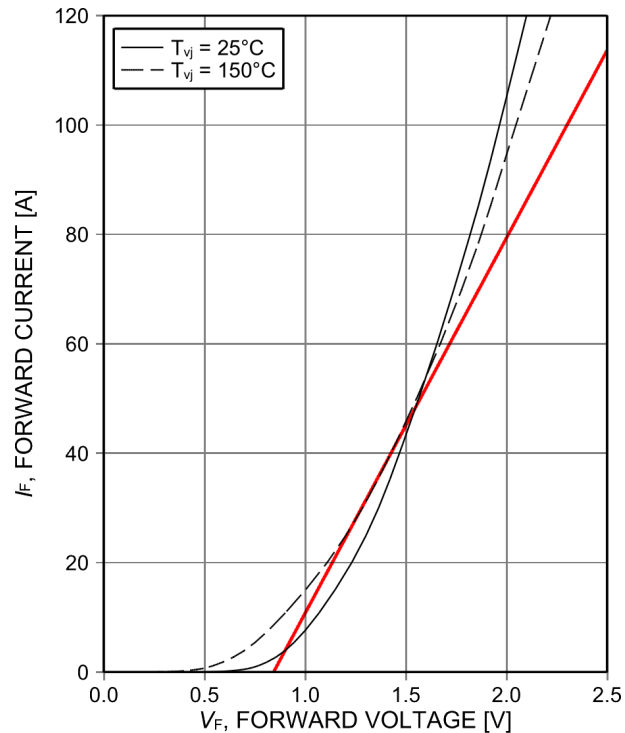
Define-se os parâmetros para perda de condução usando semicondutores IGBT com diodo em anti-paralelo IKW40N65ES5 (INFINEON TECHNOLOGIES AG, 2015), à 20 kHz e o MOSFET SCT50N120 (STMICROELECTRONICS, 2017), à 100 kHz.

Figura 6.1 – Característica corrente-tensão sobre o IGBT a $175^{\circ}C$ e sua linearização em vermelho.



Fonte: Catálogo (INFINEON TECHNOLOGIES AG, 2015).

Figura 6.2 – Modelo simplificado de corrente direta-tensão sobre o diodo, traçado sobre o gráfico do catálogo do fabricante do IGBT.



Fonte: Catálogo (INFINEON TECHNOLOGIES AG, 2015).

6.1.1 Para o IGBT

Linearizando a curva de $V_{GE} = 20V$ apresentada na figura 6.1 com temperatura de junção $t_{vj} = 175^{\circ}C$, com uma reta que tangencia curva em 30 A, obtém-se $V_{th,ce}$ e R_{co} .

$$V_{th,ce} = 0.88775 V$$

$$R_{co} = 15.768 m\Omega$$

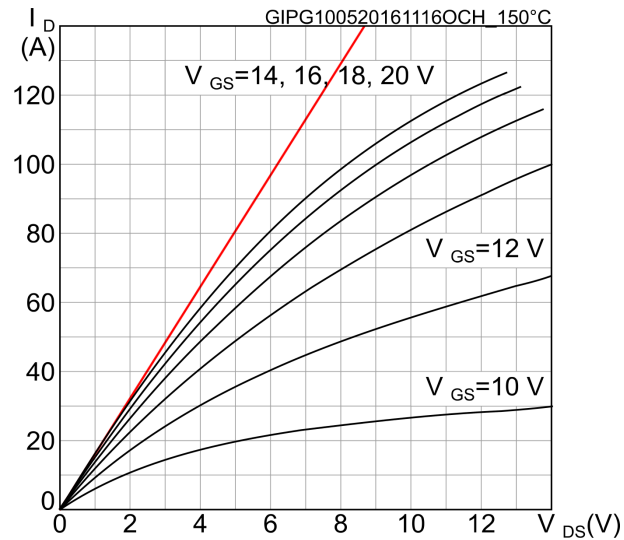
6.1.2 Para o diodo

O processo é repetido para se obter resistência do diodo em anti-paralelo a partir da curva apresentada na figura 6.2 à $150^{\circ}C$.

$$V_{fo} = 0.84641 V$$

$$R_{co} = 14.542 m\Omega$$

Figura 6.3 – Característica corrente-tensão dreno-fonte à 150°C sobre o MOSFET e sua linearização em vermelho.



Fonte: Catálogo (STMICROELECTRONICS, 2017).

6.1.3 Para o MOSFET

Novamente, para um V_{GS} de 20V , figura 6.3, à 150°C , obtém-se a resistência de condução por portadores de carga majoritários.

$$R_o = 61.922\text{m}\Omega$$

6.2 RESULTADOS

Das simulações são obtidos valores de correntes efetivas e médias. São, então, calculadas as perdas, de acordo com a equação e parâmetros apresentados anteriormente.

6.2.1 Para 20 kHz

Para o caso dos IGBTs com diodos em antiparalelo tem-se as correntes eficazes sobre os semicondutores. Tem-se os valores eficazes simulados $I_{S1a,RMS}$, $I_{S1b,RMS}$, $I_{S2a,RMS}$,

$I_{S_{2b},RMS}$ das correntes de coletor-emissor dos respectivos IGBTs S_{1a} , S_{1b} , S_{2a} , S_{2b} e os valores eficazes das correntes diretas $I_{D_{1a},RMS}$, $I_{D_{1b},RMS}$, $I_{D_{2a},RMS}$, $I_{D_{2b},RMS}$ dos respectivos diodos D_{1a} , D_{1b} , D_{2a} , D_{2b} .

$$\begin{aligned}
 I_{S_{1a},RMS} &= I_{S_{1b},RMS} = I_{D_{1a},RMS} = I_{D_{1b},RMS} = 14.88 \text{ A} \\
 I_{S_{2a},RMS} &= I_{S_{2b},RMS} = I_{D_{1a},RMS} = I_{D_{1b},RMS} = 12.57 \text{ A} \\
 I_{S_{1a},AV} &= I_{S_{1b},AV} = I_{D_{1a},AV} = I_{D_{1b},AV} = 7.157 \text{ A} \\
 I_{S_{2a},AV} &= I_{S_{2b},AV} = I_{D_{1a},AV} = I_{D_{1b},AV} = 5.196 \text{ A} \\
 P_{S_{1a}} &= P_{S_{1b}} = 15.768m \cdot 14.88^2 + 0.88775 \cdot 7.157 = 9.8449 \text{ W} \\
 P_{S_{2a}} &= P_{S_{2b}} = 15.768m \cdot 12.57^2 + 0.88775 \cdot 5.196 = 7.1042 \text{ W} \\
 P_{D_{1a}} &= P_{D_{1b}} = 14.542m \cdot 14.88^2 + 0.84641 \cdot 7.157 = 9.2776 \text{ W} \\
 P_{D_{2a}} &= P_{D_{2b}} = 14.542m \cdot 12.57^2 + 0.84641 \cdot 5.196 = 6.6957 \text{ W} \\
 P_{cond} &= 65.8432 \text{ W}
 \end{aligned}$$

Somando-se as perdas sobre os transistores e sobre os diodos é obtida a perda por condução de 65.84 W .

6.2.2 Para 100 kHz

É realizado um processo análogo para os MOSFETs.

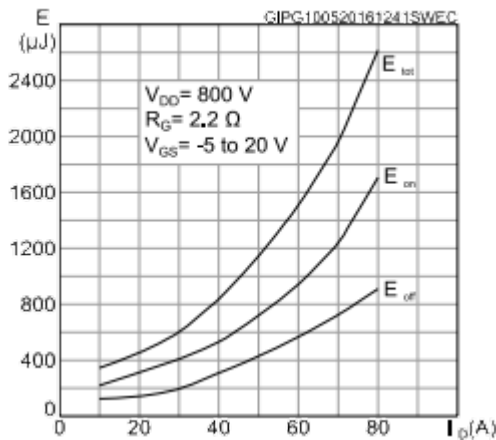
$$\begin{aligned}
 I_{S_{1a},RMS} &= I_{S_{1b},RMS} = I_{D_{1a},RMS} = I_{D_{1b},RMS} = 14.87 \text{ A} \\
 I_{S_{2a},RMS} &= I_{S_{2b},RMS} = I_{D_{1a},RMS} = I_{D_{1b},RMS} = 12.59 \text{ A} \\
 I_{S_{1a},AV} &= I_{S_{1b},AV} = I_{D_{1a},AV} = I_{D_{1b},AV} = 7.15 \text{ A} \\
 I_{S_{2a},AV} &= I_{S_{2b},AV} = I_{D_{1a},AV} = I_{D_{1b},AV} = 5.21 \text{ A} \\
 P_{S_{1a}} &= P_{S_{1b}} = 61.921m \cdot 14.87^2 = 13.6918 \text{ W} \\
 P_{S_{2a}} &= P_{S_{2b}} = 61.921m \cdot 12.59^2 = 9.8150 \text{ W} \\
 P_{cond} &= 2 \cdot (P_{S_{1a}} + P_{S_{1b}} + P_{S_{2a}} + P_{S_{2b}}) = 93.2272 \text{ W}
 \end{aligned}$$

Somando-se as perdas sobre os transistores ($P_{S_{1-4}}$), em ambas direções, é obtida a perda por condução de 93.23 W .

É encontrada a perda por comutação como uma soma das energias de comutação que existem a cada segundo. Considerou-se a maior perda, que ocorre quando as correntes e tensões estão em fase. As tensões e correntes sobre os interruptores são de senos

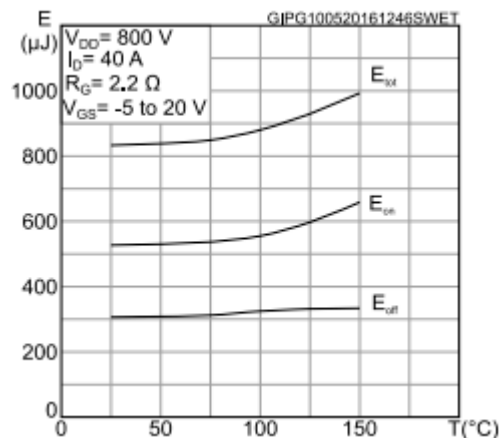
Figura 6.4 – Perdas por comutação em função da corrente no MOSFET.

Figure 11: Switching energy vs. drain current



Fonte: Catálogo (STMICROELECTRONICS, 2017).

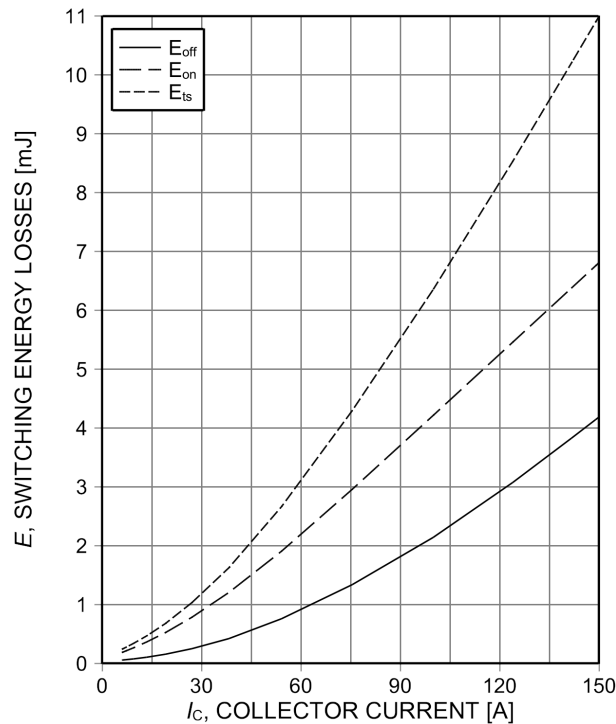
Figura 6.5 – Perdas por comutação em função da tensão no MOSFET.



Fonte: Catálogo (STMICROELECTRONICS, 2017).

com amplitudes de tensão primária e corrente secundária e que há tensão e corrente, ao mesmo tempo, em apenas uma interruptor por comutação, conforme análise anterior. Podem-se obter as energias de cada comutação em função de tensão e corrente a partir dos gráficos apresentados no *datasheet* do componente sendo a potência então determinada como a soma de um número, igual a frequência em Hz, de energias das comutações. Assim, as perdas de potência por comutação por entrada e saída de comutação podem ser encontradas a partir da equação 6.2, sendo ei e ev as funções extraídas dos catálogos. É usada a equação 6.3, numericamente igual a equação 6.2.

Figura 6.6 – Perdas por comutação em função da corrente no IGBT.



Fonte: Catálogo (INFINEON TECHNOLOGIES AG, 2015).

$$\sum_{\theta=1}^{100000} ei \left(\frac{3500}{220} \sqrt{2} \cdot \left| \text{sen} \left(\frac{2\pi \cdot 60 \cdot \theta}{100000} \right) \right| \right) \cdot \frac{ev \left(220\sqrt{2} \cdot \left| \text{sen} \left(\frac{2\pi \cdot 60 \cdot \theta}{100000} \right) \right| \right)}{800} \quad (6.2)$$

$$\simeq \sum_{\theta=1}^{100000} ei \left(\frac{3500}{220} \sqrt{2} \cdot \text{sen} \left(\frac{\pi \cdot \theta}{100000} \right) \right) \cdot \frac{ev \left(220\sqrt{2} \cdot \text{sen} \left(\frac{\pi \cdot \theta}{100000} \right) \right)}{800} \quad (6.3)$$

Para interruptores SCT50N120, com uma potência de entrada de 3.5 kW e tensão de 220 V, tensão de saída de 127 V e frequência de comutação de 100 kHz foram usadas as funções na figura 6.4 e 6.5 e obtidas os valores de perdas que ocorrem ao longo de um segundo, apresentados na figura 6.8. Somando essas perdas são obtidos valores de potência:

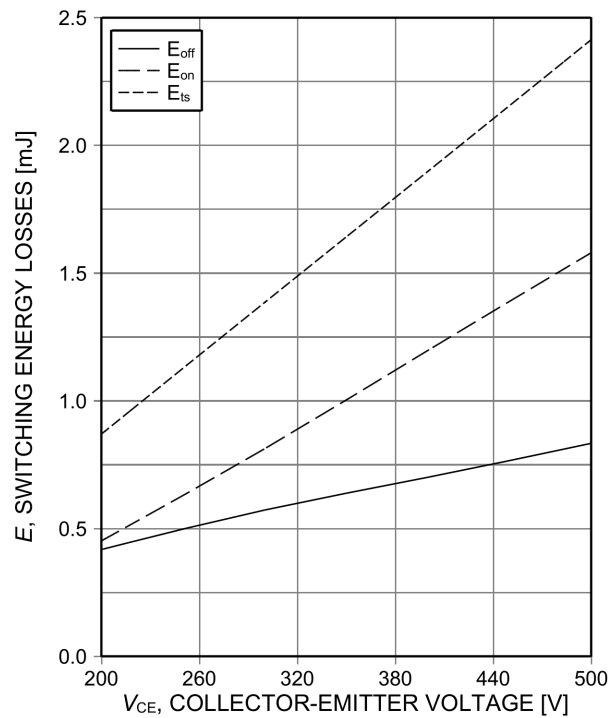
$$P_{MOSFET,on} = 10.5182 W$$

$$P_{MOSFET,off} = 16.1021 W$$

$$P_{MOSFET,on} + P_{MOSFET,off} = 26.6202 W$$

O mesmo processo é empregado para interruptores IKW40N65ES5, com frequên-

Figura 6.7 – Perdas por comutação no IGBT em função da tensão, com temperatura de junção de 150°C , V_{GE} variando entre 0 e 15V, $I_C = 40\text{A}$ e $R_G = 10\Omega$



Fonte: Catálogo (INFINEON TECHNOLOGIES AG, 2015).

cia de comutação de 20kHz :

$$P_{IGBT,on} = 8.3583\text{ W}$$

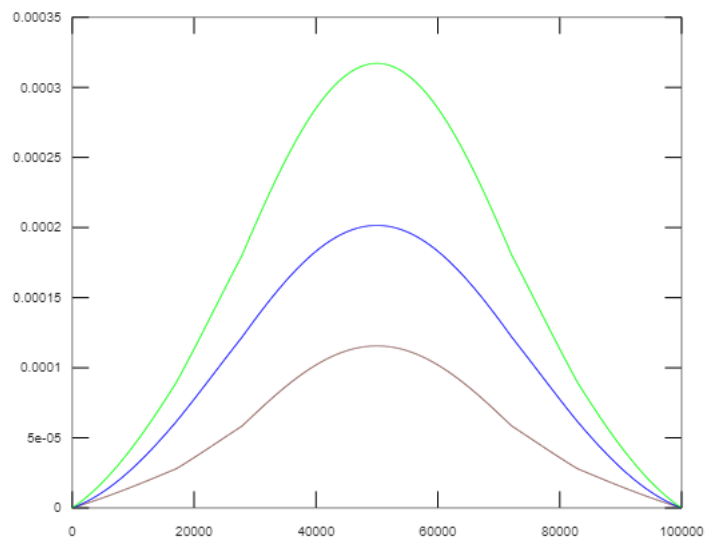
$$P_{IGBT,off} = 6.5439\text{ W}$$

$$P_{IGBT,on} + P_{IGBT,off} = 14.9022\text{ W}$$

6.3 MONTANTE DAS PERDAS

Tem-se abaixo as somas das perdas estimadas, desprezando as perdas nos filtros. Tem-se daí, uma eficiência estimada de 97.69% com IGBTs a 20kHz e 96.56% com MOSFETs a 100kHz .

Figura 6.8 – Energia por fechamento, E_{off} , por abertura, E_{on} , e a soma, E_{sum} , sobre os interruptores MOSFET que ocorrem em um segundo.



Fonte: Elaborado pelo autor.

Com IGBT:

$$P_{cond} + P_{diodo,cond} = 65.84 \text{ W}$$

$$P_{switch} = 14.90 \text{ W}$$

$$P_{total} = 80.74$$

$$\eta = 97.69\%$$

Com MOSFET:

$$P_{cond} = 93.23 \text{ W}$$

$$P_{switch} = 26.62 \text{ W}$$

$$P_{total} = 119.85 \text{ W}$$

$$\eta = 96.58\%$$

7 PROJETO DE PROTÓTIPO

Foi projetado um protótipo do conversor CA–CA. Quatro *Gate Driver's*, STGAP1AS (STMICROELECTRONICS, 2018), controlam quatro interruptores SCT50N120. Dois conversores A/D fazem a aquisição da tensão V_1 sobre o capacitor do filtro de entrada e da tensão de saída, V_f . A FPGA, Spartan-6 (XILINX, INC., 2015) na placa Cmod S6 (DIGILENT, INC., 2017), se comunica com os conversores A/D, ADS7820 (DIGILENT, INC., 2006) e os *gate drivers*, gerando a sequência correta de comutação de acordo com a tensão V_1 e a razão cíclica de acordo com a tensão V_f . O diagrama da figura 7.4 apresenta os elementos que constituem o protótipo, com as principais ligações. A saída do bloco de entrada é a tensão de entrada, V_i , de corrente alternada, de 220 V, monofásica. O filtro de entrada é um filtro LC, que tem como entrada a tensão V_i e saída a tensão V_1 . Os interruptores são quatro MOSFETs arranjados conforme o circuito apresentado na figura 3.1. Os interruptores tem uma entrada de potência, V_1 , ligada ao dreno do MOSFET S_{1a} , e 4 entradas lógicas, G_{1a} , G_{1b} , G_{2a} e G_{2b} , ligados a S_{1a} , S_{2a} , S_{1b} e S_{2b} , respectivamente. Os interruptores tem como saída uma tensão V_2 , nos drenos do S_{1b} e S_{2a} . O bloco de saída tem como entrada a tensão V_f , de 127 V, de corrente alternada. O bloco do conversor A/D 1 tem como entrada a tensão V_1 e um sinal de comando e tem como saída o sinal binário convertido de 1 bit, de 3.3 V. O conversor A/D 2 tem como entradas a tensão V_f e um sinal de comando e tem como saída o sinal binário convertido de 12 bits. O bloco *Gate Driver's* tem como entrada os quatro sinais de ligados aos respectivos quatro *gate driver's*. Tem como saída os 4 sinais, de +20 V ou -5 V, um de cada *gate driver* para o respectivo MOSFET. O FPGA tem como entradas os sinais dos conversores A/D e como saída os sinais de comando para os conversores A/D e os sinais de comando para os *Gate Driver's*.

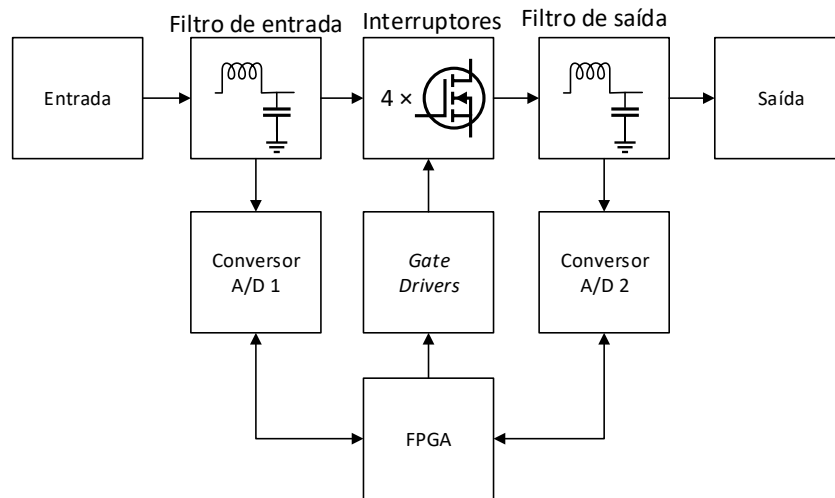
7.1 INTERRUPTORES

Os quatro interruptores usados são o MOSFET de carbeto de silício SCT50N120 (STMICROELECTRONICS, 2017), com frequência de comutação de 100 kHz.

7.2 GATE DRIVER

O STGAP1AS é um *gate driver* com isolamento galvânica entre a parte de controle e de potência. Foram usados dois pares de potenciais isolados de +20 e -5 Volts. Os circuitos adicionais foram projetados de acordo com o circuito de demonstração EVALSTGAP1AS.

Figura 7.1 – Diagrama simplificado do protótipo.



Fonte: Elaborado pelo autor.

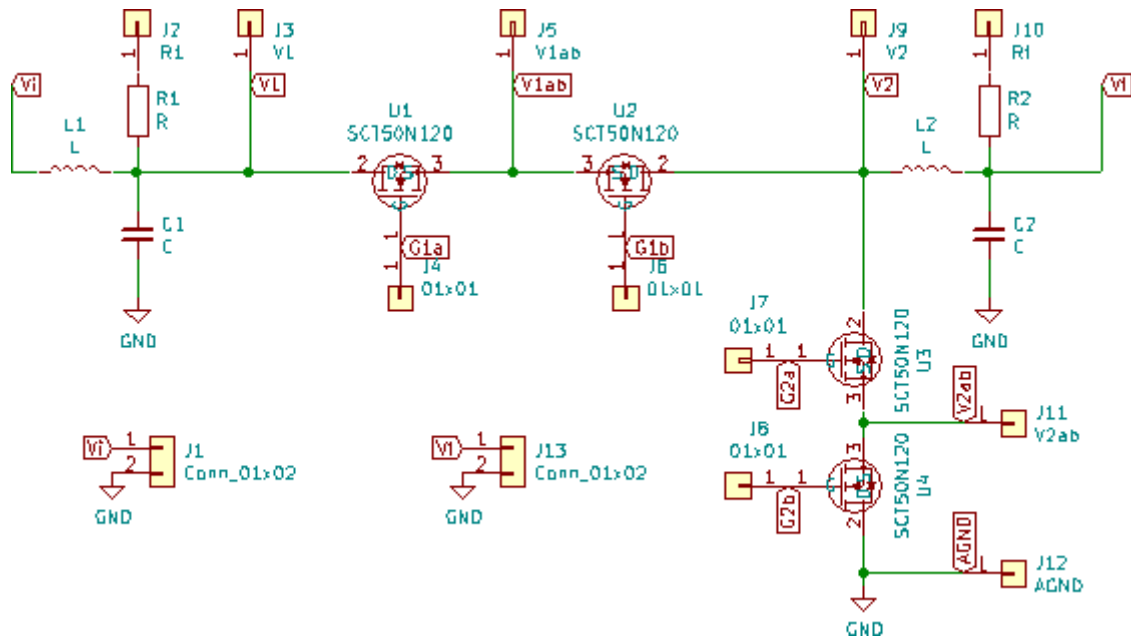
O controle dos *gate drivers* foi feito de acordo com as orientações para configuração simples presente no manual do circuito de demonstração EVALSTGAP1AS (STMICROELECTRONICS, 2016).

7.3 CONVERSORES A/D

O conversor usado é o ADS7820, de 12 bits, com amostragem à 100 kHz. A faixa de entrada do conversor é de 0 a +5V. A saída dos 12 bits convertidos é paralela.

Mediram-se duas tensões, a tensão V_i sobre o capacitor C_i e a tensão V_f sobre o capacitor C_f . As tensões V_i e V_f são aplicadas a divisores de tensão resistivos de resistências $820k\Omega$ e $5.6k\Omega$, de forma que a tensão de saída dos divisores fiquem entre -2.5 e $+2.5V$ para tensões entre $-368.6V$ e $+368.6V$. As tensões das saídas dos divisores de tensão são aplicadas a amplificadores operacionais usados ao mesmo tempo como *buffers* e somadores de tensão. Essas tensões são somadas a tensão de referência de $2.5V$ dos conversores A/D. As saídas dos amplificadores operacionais ficam, então, na faixa de 0 a 5V, ligadas às entradas analógicas dos conversores A/D. A figura 7.4 apresenta o esquema de ligações dos conversores A/D. As saída “D1” a “D11” são ligadas a FPGA.

Figura 7.2 – Porção do diagrama esquemático. Representa-se os interruptores, parte dos resistores divisores de tensão, os terminais de conexão com a placa de controle e de entrada e saída de potência.

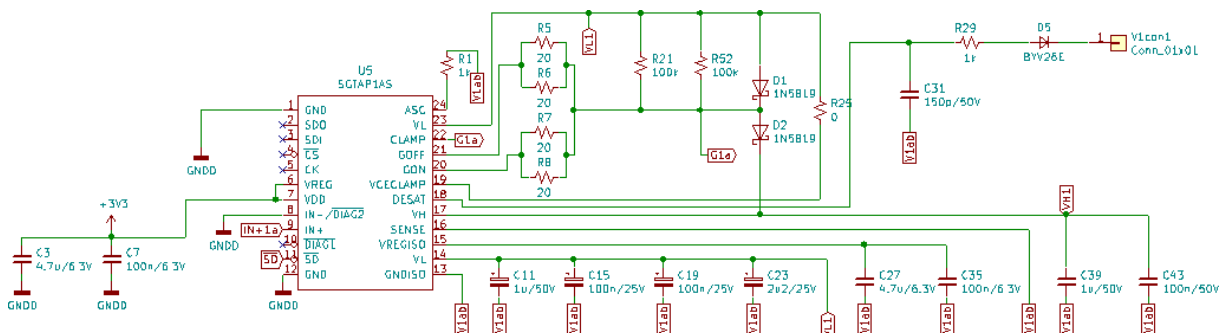


Fonte: Elaborado pelo autor usando o *software* KiCad (CHARRAS, 2012).

7.4 MICROCONTROLADOR

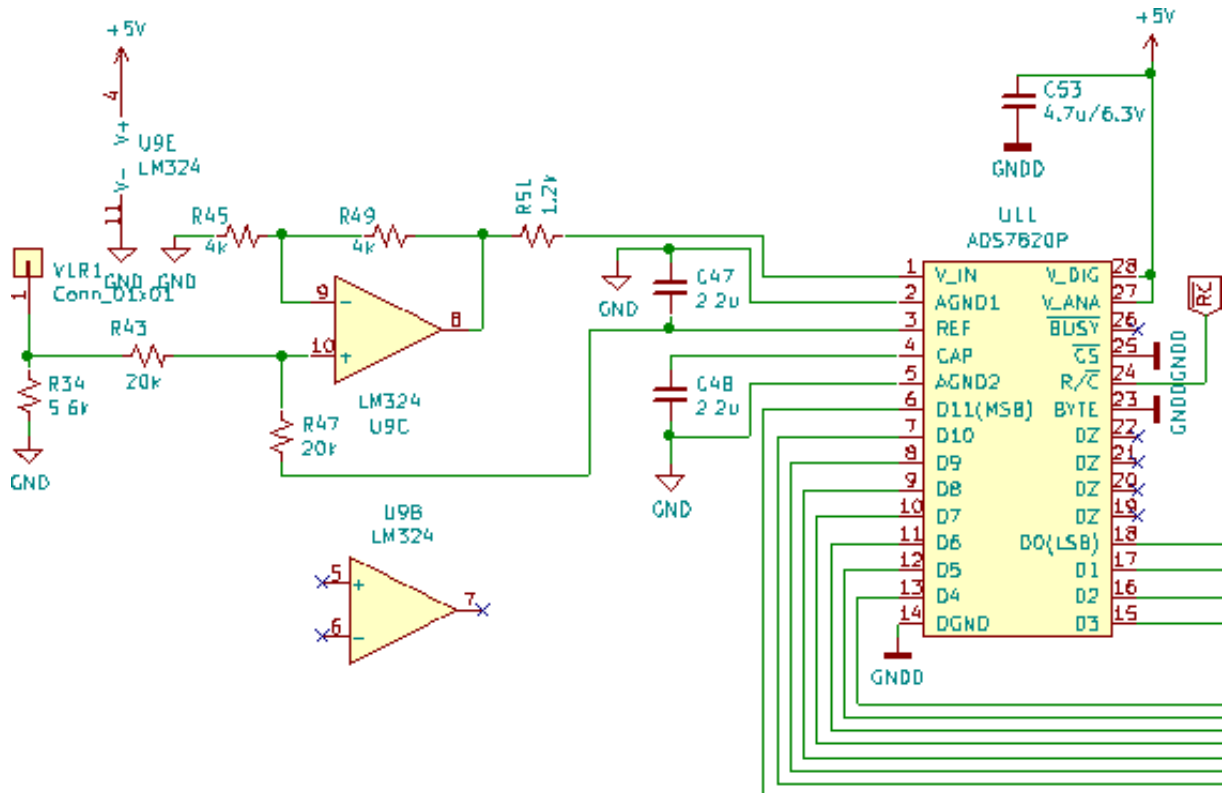
Como microcontrolador foi escolhida a FPGA Spartan-6 (XILINX, INC., 2015) sobre o módulo Cmod S6 (DIGILENT, INC., 2017), com 46 portas lógicas configuráveis como de entrada ou de saída. Das portas, quatro foram configuradas como de comando dos *gate drivers*, uma como *bit* de *reset* dos *gate drivers*. O bit mais significativo do primeiro conversor A/D é recebido, além dos doze bits do segundo conversor A/D. Um bit é configurado como de saída e conectado às entradas *Read/Convert* dos conversores A/D. Assim, foram necessárias dezenove portas da FPGA —dezessete de entrada e duas de saída.

Figura 7.3 – Porção do diagrama esquemático. Representa-se o *gate driver* para o interruptor S_{1a} .



Fonte: Elaborado pelo autor usando o *software* KiCad (CHARRAS, 2012).

Figura 7.4 – Porção do diagrama esquemático. Representa-se o conversor A/D e o circuito adicional de divisão de tensão, *buffering* e *offset*.



Fonte: Elaborado pelo autor usando o *software* KiCad.

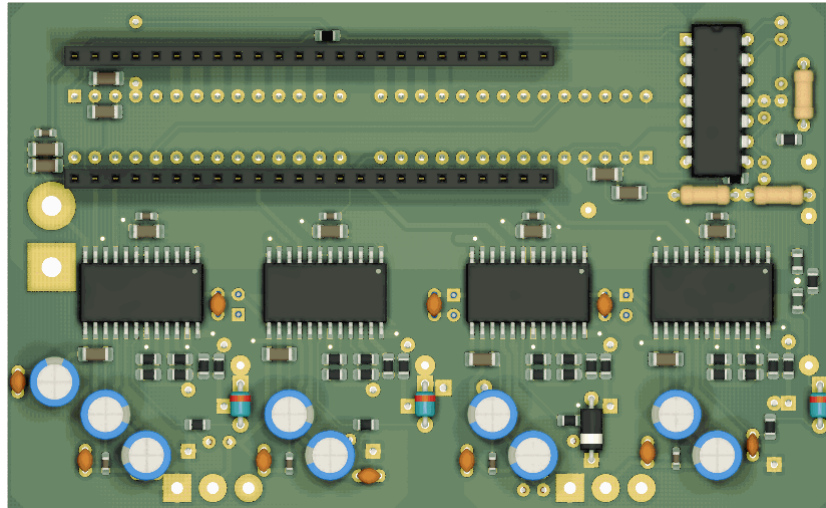
Basta adquirir o *bit* mais significativo adquirido da tensão V_1 para determinar a polaridade da tensão em questão. Esse bit é usado para determinar qual a sequência de mudança dos sinais de comando conversão, correspondente às comutações do *PWM*, conforme o diagrama apresentado na figura 4.2.

A outra tensão medida, V_f , foi usada para controlar a razão cíclica do *PWM* através de um controle por realimentação proporcional e antecipação.

7.5 PLACAS

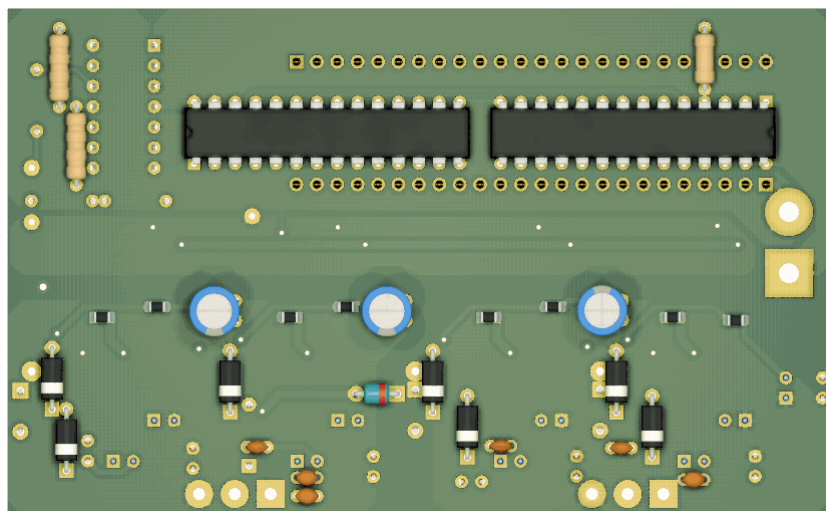
Foram projetadas duas placas a serem conectadas por fios externos. As placas são montadas perpendicularmente. A placa de controle, apresentada nas figuras 7.5 e 7.6 tem dimensões de 63.07 mm \times 102.3 mm. A placa de potência, apresentada nas figuras 7.7 e 7.8 tem dimensões 50.8 mm \times 100.33 mm. Fios de cobre apenas são usados para as conexões sujeitas a correntes maiores, evitando *loops* (ZUMBAHLEN, 2007). Sob a placa de potência, em contato com os MOSFETs pode ser fixado um dissipador.

Figura 7.5 – Visualização 3D da placa de controle, vista superior.



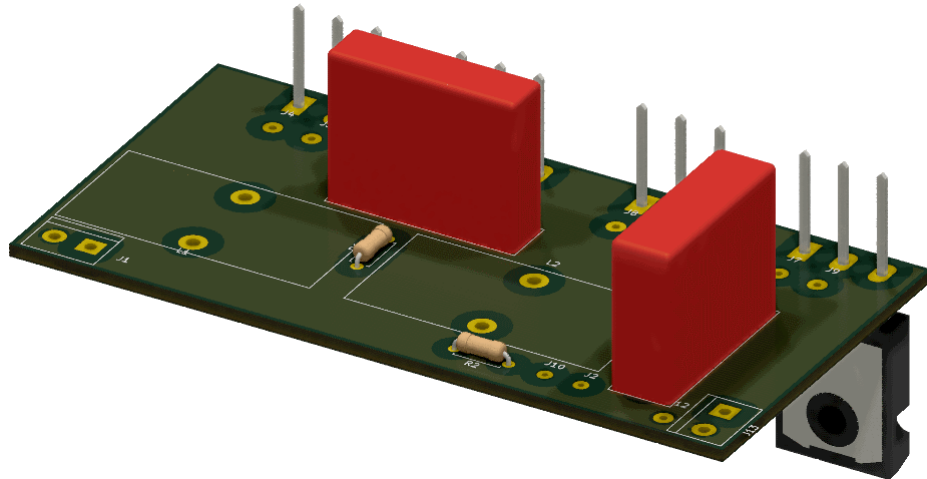
Fonte: Elaborado pelo autor usando o *software* KiCAD.

Figura 7.6 – Visualização 3D da placa de controle, vista inferior.



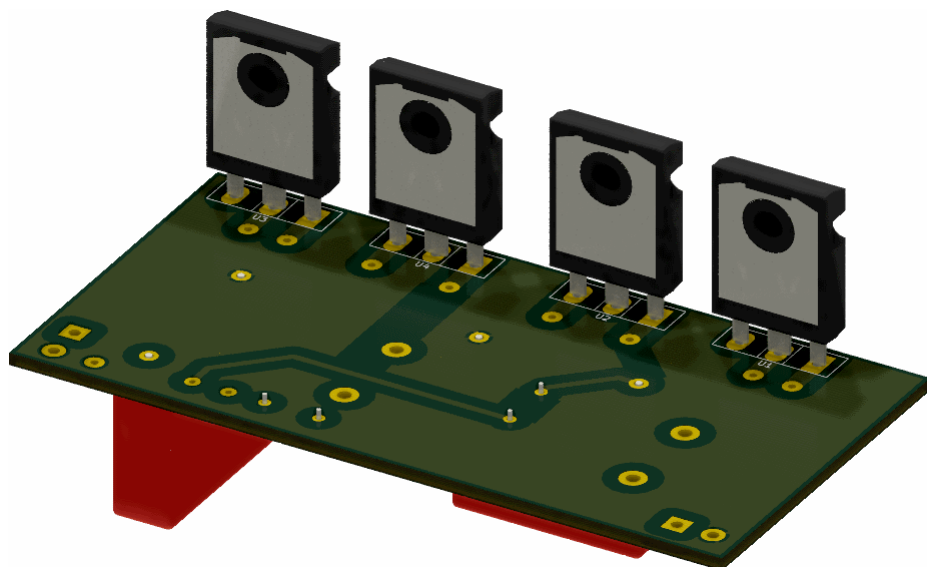
Fonte: Elaborado pelo autor usando o *software* KiCAD.

Figura 7.7 – Visualização 3D da placa de potência, vista superior.



Fonte: Elaborado pelo autor usando o *software* KiCAD.

Figura 7.8 – Visualização 3D da placa de potência, vista inferior.



Fonte: Elaborado pelo autor usando o *software* KiCAD.

8 CONSIDERAÇÕES FINAIS

É possível, com medição rápida da tensão de entrada ou corrente de saída, ordenar as comutações do conversor estudado de forma a evitar sobrecorrentes ou sobretensões. Com filtros adequados pode-se fornecer potência de qualidade adequada para cargas lineares, com baixa distorção da corrente da rede. Apesar de, de acordo com as simulações, apresentar maiores perdas de condução e comutação sobre os condutores do que quando se emprega IGBTs, a utilização do MOSFET de SiC—em frequências maiores—reduz o volume dos filtros em conversores CA–CA, para pequenas potências, tensões e razões de conversão.

O projeto do protótipo sugere a necessidade de pequeno volume para implementação desse conversor.

REFERÊNCIAS BIBLIOGRÁFICAS

AFSHARI, E.; AMIRABADI, M. A modular three-phase ac-ac converter with small number of film capacitors for highvoltage high-current applications. In: **2017 IEEE Energy Conversion Congress and Exposition (ECCE)**. [S.l.: s.n.], 2017. p. 1076–1083.

AHIRRAO, D. et al. Analysis of single phase matrix converter. **International Journal of Engineering Research and Applications**, v. 4, n. 3, p. 856–861, mar. 2014. ISSN 2248-9622. Disponível em: <https://www.ijera.com/papers/Vol4_issue3/Version%201/EP4301856861.pdf>.

BANERJEE, P. K.; CHOUDHURY, M.; RASUL, G. T. Ac voltage regulation by switch mode buck-boost voltage controller. **Journal of electrical engineering**, v. 31, n. 1-2, p. 27–31, 01 2004.

CHARRAS, J.-P. "**Kicad: GPL PCB Suite**". 2012.

DIGILENT, INC. **ADS8364**. [S.l.], 2006.

_____. **Cmod S6 FPGA Board Reference Manual**. [S.l.], 2017.

DROFENIK, U.; KOLAR, J. A general scheme for calculating switching- and conduction-losses of power semiconductors in numerical circuit simulations of power electronic systems. **The Institute of Electrical Engineers of Japan**, 01 2005.

FANG, X. P.; QIAN, Z. M.; PENG, F. Z. Single-phase z-source pwm ac-ac converters. **IEEE Power Electronics Letters**, v. 3, n. 4, p. 121–124, dez. 2005. ISSN 1540-7985.

GIDHAVANI, P. V. J. R. V. Single phase cycloconverter based on matrix converter topology. **International Journal for Scientific Research & Development**, v. 3, n. 1, p. 238–241, 2015.

GYUGYI, L.; PELLY, B. R. **Static power frequency changers : theory performance, and application**. [S.l.]: Wiley, 1976.

INFINEON TECHNOLOGIES AG. **IKW40N65ES5**. [S.l.], 2015. Rev 2.2.

KHAN, A. A.; CHA, H.; AHMED, H. High efficiency single-phase ac-ac converters without commutation problem. **IEEE Transactions on Power Electronics**, v. 31, 10 2015.

Klumpner, C. et al. New modulation method for matrix converters. **IEEE Transactions on Industry Applications**, v. 42, n. 3, p. 797–806, maio 2006. ISSN 0093-9994.

KRISHNA, B. V. Realization of ac-ac converter using matrix converter. **International Journal of Advanced Research in Electrical, Electronics and Instrumentation Engineering**, v. 3, n. 1, p. 6506–6512, jan. 2014.

Nguyen, M.; Lim, Y.; Kim, Y. A modified single-phase quasi-z-source acac converter. **IEEE Transactions on Power Electronics**, v. 27, n. 1, p. 201–210, jan. 2012. ISSN 0885-8993.

PAKASTE, R. et al. Experience with azipodó propulsion systems on board marine vessels. **ABB Review**, fev. 1999.

PENG, F. Z.; CHEN, L.; ZHANG, F. Simple topologies of pwm ac-ac converters. **IEEE Power Electronics Letters**, v. 1, n. 1, p. 10–13, mar. 2003. ISSN 1540-7985.

POWERSIM INC. **PSIM User's Guide**. 5. ed. [S.I.], 2016. Disponível em: <<https://powersimtech.com/drive/uploads/2016/06/PSIM-User-Manual.pdf>>.

SHIN, H. et al. Novel single-phase pwm acac converters solving commutation problem using switching cell structure and coupled inductor. **IEEE Transactions on Power Electronics**, v. 30, n. 4, p. 2137–2147, abr. 2015. ISSN 0885-8993.

STMICROELECTRONICS. **EVALSTGAP1AS: demonstration board for STGAP1AS galvanically isolated single gate driver**. [S.I.], 2016. Rev 1.

_____. **SCT50N120**. [S.I.], 2017. Rev 4.

_____. **STGAP1AS: Automotive galvanically isolated advanced single gate driver**. [S.I.], 2018. Rev 4.

SWAMY, M.; KUME, T. A present state and futuristic vision of motor drive technology. **Power Transmission Engineering**, 2010. Disponível em: <<http://www.powertransmission.com/issues/1210/swamy.pdf>>.

WATZMANN, S. R. M. Chinese rolling mill for extra high grade aluminium strip. **ABB Review**, p. 28–33, out. 1996.

XILINX, INC. **Spartan-6 FPGA Data Sheet: DC and Switching Characteristics**. [S.I.], 2015. Rev 3.1.1.

Basic linear design. In: ZUMBAHLEN, H. (Ed.). [S.I.]: Analog Devices, Inc., 2007. cap. Printer circuit boards design issues. ISBN 0-916550-28-1.

APÊNDICE A – CÓDIGOS EM VHDL

Figura A.1 – Primeira parte do código em VHDL. São declaradas portas e variáveis.

```
1 -----
2 library IEEE;
3 use IEEE.STD_LOGIC_1164.ALL;
4 use IEEE.NUMERIC_STD.ALL;
5
6 entity main is
7     Port ( adconv1, adconv2 : in  STD_LOGIC_VECTOR (11 downto 0);
8           clk : in  STD_LOGIC;--clock de 8 MHz
9           S1a : out  STD_LOGIC;
10          S1b : out  STD_LOGIC;
11          S2a : out  STD_LOGIC;
12          S2b : out  STD_LOGIC;
13          rc : out  STD_LOGIC := '1';
14          sd : out  STD_LOGIC := '0');
15 end main;
16
17 architecture Behavioral of main is
18
19     type statel is (A,ABp1,ABp2,ABp3,ABn1,ABn2,ABn3,B);
20     signal P      : STD_LOGIC;
21     signal estado : statel;--estado atual
22     signal sign   : STD_LOGIC;
23     signal count1 : integer range 0 to 79;-- para freq de 100k
24     signal thold  : integer range 0 to 79;
25     signal ADcount : integer range 0 to 79;
26     signal ADpleno : BOOLEAN;--sinaliza que o AD está em pleno funcionamento
27     signal starte  : integer range 0 to 1023;
28     signal v2      : integer range 0 to 4091;
29     signal countv  : integer range 0 to 1667;
30     signal RMSacum2 : integer range 0 to 3412349;
```

Elaborado pelo autor.

Figura A.2 – Segunda parte do código em VHDL. Inicia o processo dependente de clock de subida. Controle do A/D. É numericamente aproximado o valor da tensão efetiva de saída. É adquirida a polaridade da tensão sobre o capacitor de entrada.

```

31
32 begin
33   gate : process (clk, P, sign)
34     begin
35       if rising_edge(clk) then
36         -- ADC
37
38         if adcount < 79 then -- repete a 100 kHz
39           adcount <= adcount + 1;
40
41         if adcount = 0 then
42           rc <= '0';
43           if adpleno then
44             if countv < 1667 then
45               countv <= countv + 1;
46               sign <= adconv1(11);
47               RmsAcum2 <= RmsAcum2+(abs(to_integer(unsigned(adconv2))-2048)*abs(to_integer(unsigned(adconv2))-204
48             else
49               countv <= 0;
50               v2 <= to_integer(to_unsigned(RmsAcum2,33)*to_unsigned(3742,12) srl 32); --raiz quadrada apro
51               RmsAcum2 <= 0;
52             end if;
53           else
54             adpleno <= TRUE;
55           end if;
56         elsif adcount = 1 then
57           rc <= '1';
58         end if;
59       else
60         adcount <= 0;

```

Elaborado pelo autor.

Figura A.3 – Terceira parte do código em VHDL. Ocorre o controle da razão cíclica do PWM. Início da máquina de estados que controla a sequência das comutação.

```

61     end if;
62
63     -- PWM -- 100 kHz
64     if (count1<79) then
65       count1 <= count1 + 1;
66       thold <= 46 + (689-v2)/32;
67       if (count1>thold) then
68         P <= '0';
69       end if;
70     else
71       count1 <= 0;
72       P <= '1';
73     end if;
74
75     -- Máquina de estados
76     if starte = 1023 then
77       sd <= '1';
78       case estado is
79         when A =>
80           if(P='0') then
81             if (sign='1') then
82               estado<=ABp1;
83             else
84               estado<=ABn1;
85             end if;
86           end if;
87         when ABp1 =>
88           if (P='0') then
89             estado<=ABp2;
90           else

```

Elaborado pelo autor.

Figura A.4 – Quarta parte do código em VHDL. Continuação da máquina de estados que controla a sequência das comutação.

```

91         estado<=A;
92     end if;
93     when ABp2 =>
94         if (P='0') then
95             estado<=ABp3;
96         else
97             estado<=ABp1;
98         end if;
99     when ABp3 =>
100        if (P='0') then
101            estado<=B;
102        else
103            estado<=ABp2;
104        end if;
105    when B =>
106        if(P='1') then
107            if (sign='1') then
108                estado<=ABp3;
109            else
110                estado<=ABn3;
111            end if;
112        end if;
113    when ABn1 =>
114        if (P='0') then
115            estado<=ABn2;
116        else
117            estado<=A;
118        end if;
119    when ABn2 =>
120        if (P='0') then

```

Elaborado pelo autor.

Figura A.5 – Quinta parte do código em VHDL. Fim da máquina de estados que controla a sequência das comutação. Fim do processo síncrono. Descrição das portas assíncronas.

```

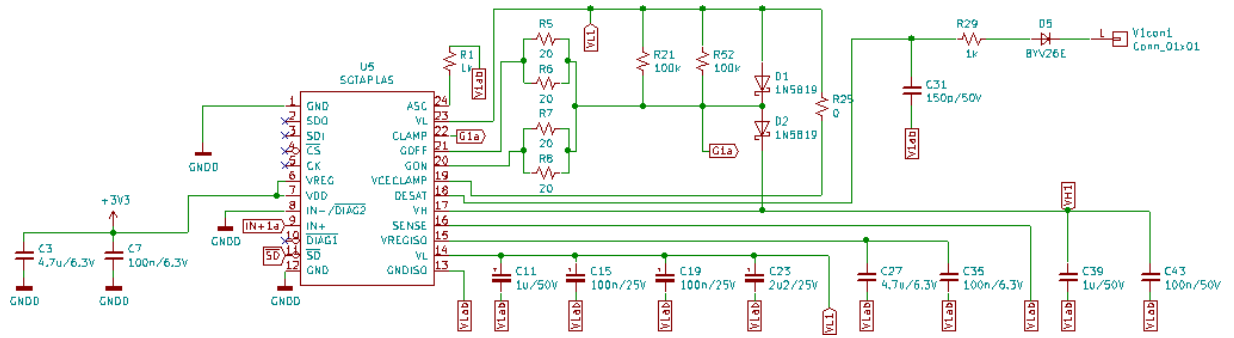
121         estado<=ABn3;
122     else
123         estado<=ABn1;
124     end if;
125     when others =>--ABN3
126         if (P='0') then
127             estado<=B;
128         else
129             estado<=ABn2;
130         end if;
131     end case;
132 else
133     starte <= starte + 1;
134     sd <= '0';
135 end if;
136 end if;
137 end process;
138
139 S1a<='1' when estado=A or estado=ABp1 or estado=ABn1 or estado=ABn2 or estado=ABn3 else
140     '0';
141 S1b<='1' when estado=A or estado=ABp1 or estado=ABp2 or estado=ABp3 or estado=ABn1 else
142     '0';
143 S2a<='1' when estado=ABp3 or estado=ABn1 or estado=ABn2 or estado=ABn3 or estado=B else
144     '0';
145 S2b<='1' when estado=ABp1 or estado=ABp2 or estado=ABp3 or estado=ABn3 or estado=B else
146     '0';
147 end Behavioral;

```

Elaborado pelo autor.

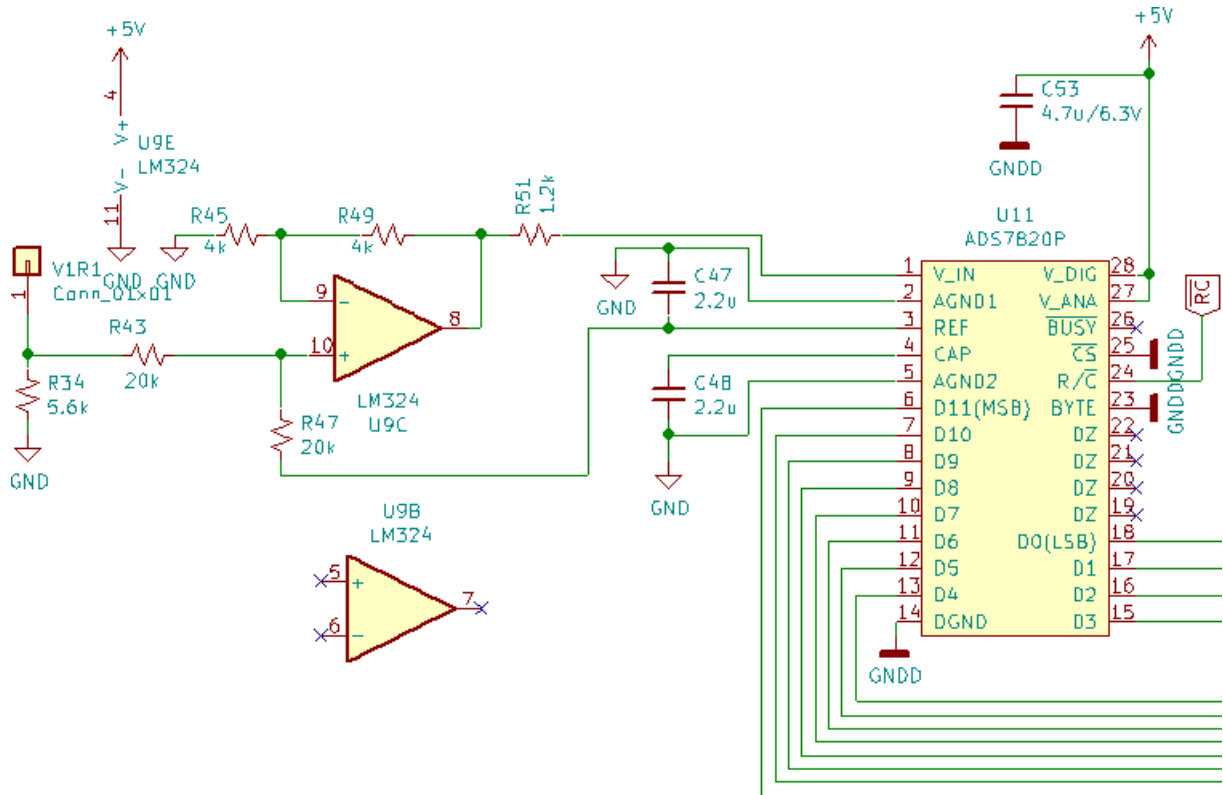
APÊNDICE B – CIRCUITO ESQUEMÁTICO

Figura B.1 – Circuito de potência.



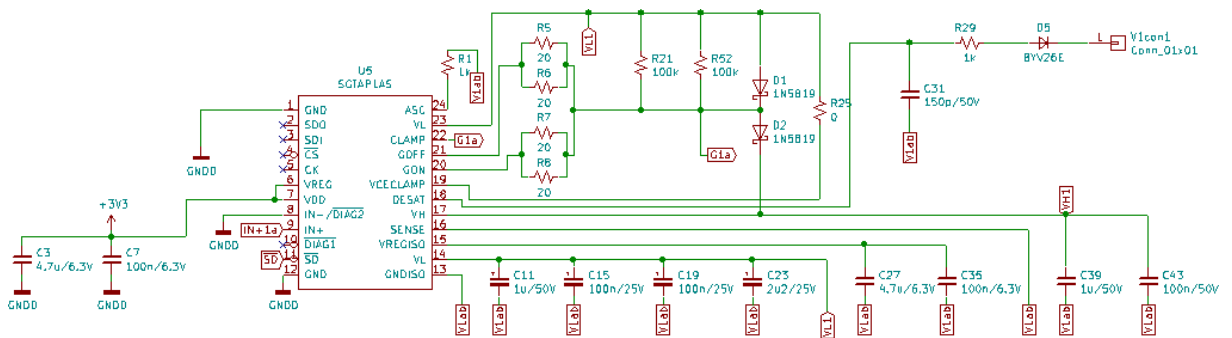
Fonte: Elaborado pelo autor usando o *software* KiCAD.

Figura B.2 – Parte do circuito de controle. Um dos conversores A/D.



Fonte: Elaborado pelo autor usando o *software* KiCAD.

Figura B.3 – Parte do circuito de controle. Circuito de um *gate driver*.



Fonte: Elaborado pelo autor usando o *software* KiCAD.