UNIVERSIDADE FEDERAL DE SANTA MARIA
DEPARTAMENTO DE ENGENHARIA ELÉTRICA
PROGRAMA DE GRADUAÇÃO EM ENGENHARIA ELÉTRICA

Alex Müller

PROJETO DE UM CONVERSOR A/D SAR COM COMPARTILHAMENTO DE CARGA: SÍNTESE LÓGICA DO CONTROLE E PROJETO ELÉTRICO DO DAC E COMPARADOR

Santa Maria, RS
2019

Alex Müller

PROJETO DE UM CONVERSOR A/D SAR COM COMPARTILHAMENTO DE CARGA: SÍNTESE LÓGICA DO CONTROLE E PROJETO ELÉTRICO DO DAC E COMPARADOR

Trabalho de Conclusão de Curso apresentado ao Programa de Graduação em Engenharia Elétrica da Universidade Federal de Santa Maria (UFSM, RS), como requisito parcial para obtenção do título de **Engenheiro Eletricista**.

ORIENTADOR: Prof. André Luiz Aita

Santa Maria, RS
2019

Alex Müller

PROJETO DE UM CONVERSOR A/D SAR COM COMPARTILHAMENTO DE CARGA: SÍNTESE LÓGICA DO CONTROLE E PROJETO ELÉTRICO DO DAC E COMPARADOR

Trabalho de Conclusão de Curso apresentado ao Programa de Graduação em Engenharia Elétrica da Universidade Federal de Santa Maria (UFSM, RS), como requisito parcial para obtenção do título de **Engenheiro Eletricista**.

Aprovado em 9 de dezembro de 2019:

_____

André Luiz Aita, Dr. (UFSM)
(Presidente/Orientador)

_____

Cesar Augusto Prior, Dr. (UFSM)

_____

Afonso Roberto Plantes Neto, Eng. (UFSM)

Santa Maria, RS
2019

RESUMO

PROJETO DE UM CONVERSOR A/D SAR COM COMPARTILHAMENTO DE CARGA: SÍNTESE LÓGICA DO CONTROLE E PROJETO ELÉTRICO DO DAC E COMPARADOR

AUTOR: Alex Müller
ORIENTADOR: André Luiz Aita

O trabalho apresenta o projeto de um conversor analógico-digital por aproximações sucessivas (SAR ADC). Na construção mais usual, um SAR ADC necessita de um circuito de controle lógico, um conversor digital-analógico (DAC) e um circuito comparador. O bloco de controle lógico é descrito em *Very High Speed Integrated Circuits Hardware Description Language* (VHDL) e sintetizado através da ferramenta Register Transfer Level Compiler (RTL Compiler)® do *software* Cadence®. No bloco do DAC, a arquitetura por compartilhamento de carga (CS) foi escolhida por apresentar menor consumo de energia quando comparado à arquitetura por redistribuição de carga (CR). No projeto do comparador é empregada uma topologia que mitiga os atrasos de comparação e, consequentemente, reduz o tempo de conversão do ADC. O SAR ADC CS possui resolução de 6 *bits*, é alimentado em 1,8 V e converte sinais diferenciais de entrada com *range* de 0 V a 1,8 V. O conversor é projetado em tecnologia *Metal-Óxido-Silício Complementar* (CMOS), usando o processo de fabricação TSMC180 (CMOS 0,18 µm), utilizando o *Process Design Kit* (PDK) - MIXED SIGNAL RF GENERAL PURPOSE II. O ADC implementado alcança um número efetivo de *bits* (ENOB) igual a 5,2 *bits* para uma frequência de conversão de 12,5 MSa/s. O máximo erro de DNL registrado é de +0,53 LSB, estando os erros de INL dentro da faixa de $\pm$0,4 LSB. A energia consumida por amostragem fica em torno de 292 μW, sendo apresentado a figura de mérito igual a 645,26 fJ/convertion.

Palavras-chave: Conversor Analógico-Digital por Aproximações Sucessivas (SAR ADC). Compartilhamento de Carga. Busca Binária. Síntese Lógica. DAC capacitivo. Comparadores

ABSTRACT

DESIGN OF CHARGE-SHARING SAR ADC: LOGIC SYNTHESIS OF CONTROLLER AND ELECTRICAL DESIGN OF DAC AND COMPARATOR

AUTHOR: Alex Müller
ADVISOR: André Luiz Aita

The paper presents the design of a successive-approximation-register (SAR) analog-to-digital converter (ADC). The most usual construction of the SAR ADC requires a logic control circuit, a digital-to-analog converter (DAC), and a comparator circuit. The logic control block is described in Very High Speed Integrated Circuits Hardware Description Language (VHDL) and synthesized using the Cadence Software Register Transfer Level Compiler (RTL)® tool. Regarding the DAC block, the charge-sharing (CS) architecture was chosen since it presents a lower power consumption when compared to the charge-redistribution (CR) architecture. Comparator design techniques are employed to mitigate comparison delays, and therefore reduce ADC conversion time. The 6-bits SAR ADC CS requires a voltage supply of 1.8 V and converts differential input signals, which ranges from 0 V to 1.8 V. The converter is designed in Complementary Metal-Oxide-Silicon (CMOS) technology using the TSMC180 (CMOS 0.18um) manufacturing process, using the Process Design Kit (PDK) - MIXED SIGNAL RF GENERAL PURPOSE II. The implemented ADC achieves a effective number of bits (ENOB) equal to 5.2 bit for a 12.5 MSa/s conversion frequency. The maximum DNL error registered is +0.53 LSB, with INL errors within the range of $\pm$0.4 LSB. The power consumed per sampling is around 292 μW, with the figure of merit equal to 645.26 fJ/convertion.

Keywords: Successive-Approximation-Register Analog-to-Digital Converter (SAR ADC). Charge-Sharing. Binary Search. Logic Synthesis. Capacitive DAC. Comparators.

LISTA DE FIGURAS

Figura 1 – Exemplos de características de sinal após conversões A/D e D/A. ... 14
Figura 2 – Diagrama de bloco de um conversor D/A. ... 15
Figura 3 – Relação ideal de entrada e saída para um DAC de 3 *bits*. ... 16
Figura 4 – Diagrama de bloco de um ADC. ... 17
Figura 5 – Relação ideal de entrada e saída para um conversor A/D de 3 *bits*. .. 18
Figura 6 – Sinais analógicos e amostrados. (a) e (b) no domínio do tempo; (c) e (d) no domínio da frequência. ... 19
Figura 7 – Esquemático de um circuito de amostragem básico. ... 19
Figura 8 – Representação da SNDR de sinal. ... 21
Figura 9 – Representação dos erros de ganho e *offset*. (a) Função de transferência com; (b) Impacto no erro de quantização. ... 23
Figura 10 – Representação de INL. ... 24
Figura 11 – Representação de DNL. ... 25
Figura 12 – Classificação dos princípios das conversões A/D. (a) Paralelo; (b) Sequencial; (c) Linear; (d) *Oversampled*. ... 26
Figura 13 – Exemplificação de procura binária. ... 28
Figura 14 – Arquitetura básica de um SAR ADC. ... 29
Figura 15 – Diagrama de tempo típico de um conversor SAR CR. ... 30
Figura 16 – (a) Arquitetura do conversor SAR CR com DAC capacitivo por redistribuição de carga; (b) Circuito equivalente no primeiro ciclo da procura binária. ... 31
Figura 17 – Arquitetura do conversor SAR por compartilhamento de carga proposto. ... 33
Figura 18 – Formas de ondas típicas do processo de conversão de um SAR ADC CS. ... 34
Figura 19 – Representação do *offset* no circuito do comparador. ... 36
Figura 20 – Diagrama de blocos do conversor A/D SAR com compartilhamento de carga projetado. ... 38
Figura 21 – Diagrama do fluxo de projeto misto utilizado na concepção do SAR ADC CS. ... 39
Figura 22 – Diagrama de fluxo do processo de síntese lógica. ... 41
Figura 23 – Máquina de estados do controlador projetado para o SAR ADC CS. . 43
Figura 24 – Simulação comportamental do controlador do conversor SAR CS descrito em VHDL. ... 44
Figura 25 – Esquemático do DAC utilizado no projeto, com circuito de rastreamento, amostragem e arranjo de buscas binárias, todos utilizando-se do princípio de compartilhamento de carga. ... 46
Figura 26 – Chave *Transmission gate*. (a) Esquemático do circuito; (b) Simbologia da chave. ... 47
Figura 27 – Resistência de canal, para tensão de entrada variando de 0 V até 1,8 V, para chaves nMOS, pMOS e transmission gate, com transistores de mesma largura e comprimento. ... 48
Figura 28 – Variação da resistência ron_{max}/ron_{min} em função da relação k. ... 49
Figura 29 – Curvas de resistência por tensão de entrada com fator k = 4 (w_n = 0.5 μm e w_p = 4 μm). ... 50

Figura 30 – Esquemático do comprador dinâmico implementado em tecnologia TSMC180. 51
Figura 31 – Circuito de testes do controlador em ambiente virtuoso. 53
Figura 32 – Sinais provenientes da simulação AMS do controlador (controller). . 54
Figura 33 – Chave com carga resistiva na saída. 55
Figura 34 – Tensão de saída da chave com resistor. 56
Figura 35 – Chave com capacitor na saída (Circuto *Sample and Hold*). 57
Figura 36 – Resposta de saída do circuito S&H equivalente. 57
Figura 37 – Blocos de capacitâncias binárias do DAC. 58
Figura 38 – Esquemático de teste do comparador em ambiente virtuoso. 59
Figura 39 – Simulação da resposta do comparador, operando em 125 MHz, para sinais com frequência de 5 MHz, com modo comum de 0,9 V e tensão igual a 1,8 V_{PP}. 60
Figura 40 – Atraso de comparação para ΔV = 10 mV com comparações sendo habilitadas a uma frequência de 125 MHz. 61
Figura 41 – Sinais durante o processo de conversão do SAR ADC CS para uma amostra do sinal de entrada. 62
Figura 42 – Bancada de testes para levantar as condições operacionais do conversor A/D SAR CS. 64
Figura 43 – Sinais para determinação de erros estáticos e dinâmicos do SAR ADC CS implementado. 65
Figura 44 – Resultados de DNL e INL obtidos através do teste de histograma. .. 66
Figura 45 – Transformada de Fourier para levantamento de erros dinâmicos. ... 67
Figura 46 – Consumo de potência em função dos diferentes períodos de relógio. 70

LISTA DE TABELAS

Tabela 1 – Consumo de potência do SAR ADC CS em função da frequência de operação. 69

LISTA DE ABREVIATURAS E SIGLAS

FET	*Field Effect Transistor*
A/D	*Analógico-Digital*
ADC	*Analog-to-Digital Converter*
D/A	*Digital-Analógico*
SAR	*Successive-Approximation-Register*
CR	*Charge-Redistribution*
CS	*Charge-Sharing*
VHDL	*VHSIC Hardware Description Language*
CMOS	*Complementary Metal Oxide Semiconductor*
PDK	*Process Design Kit*
MSB	*Most Significant Bit*
LSB	*Least Significant Bit*
SNR	*Signal-to-Noise Relation*
SNDR	*Signal-to-Noise and Distortion Relation*
ENOB	*Effective Number Of Bits*
DC	*Direct Current*
INL	*Integral Nonlinearity*
DNL	*Differential Nonlinearity*
WSN	*Wireless Sensor Network*
IoT	*Internet of Things*
S&H	*Sample and Hold*
CAD	*Computer Aided Design*
MIM	*Metal–Insulator–Metal*
FSR	*Full Scale Range*
FoM	*Figure of Merit*

SUMÁRIO

1 INTRODUÇÃO 11
1.1 MOTIVAÇÃO 11
1.2 OBJETIVOS 12
1.3 RESULTADOS ESPERADOS 12
1.4 ESTRUTURA DO TRABALHO 13
2 FUNDAMENTOS DOS CONVERSORES DE DADOS 14
2.1 CONVERSOR DIGITAL-ANALÓGICO 15
2.2 CONVERSOR ANALÓGICO-DIGITAL 16
2.2.1 Amostragem 17
2.2.2 Erro de Quantização 20
2.2.3 Relação Sinal Ruído e Número Efetivo de Bits 20
2.2.4 Erros de Ganho e Offset 22
2.2.5 Não-Linearidade Integral 22
2.2.6 Não-Linearidade Diferencial 23
2.3 TIPOS DE CONVERSORES A/D 24
3 CONVERSOR ANALÓGICO-DIGITAL POR APROXIMAÇÕES SUCESSIVAS 28
3.1 SAR ADC COM REDISTRIBUIÇÃO DE CARGA 30
3.2 SAR ADC COM COMPARTILHAMENTO DE CARGA 32
3.2.1 Arquitetura do Conversor 32
3.2.2 Tolerância a Ruídos 35
3.2.3 Tolerância a Offset 36
4 PROJETO DO CONVERSOR SAR CS 38
4.1 CONTROLADOR LÓGICO 39
4.1.1 O Processo de Síntese Lógica 40
4.1.2 Comportamento Descrito em VHDL 42
4.1.3 Netlist do Controlador 42
4.2 DAC COM COMPARTILHAMENTO DE CARGA 45
4.2.1 Chaves 47
4.3 COMPARADOR 50
5 RESULTADOS E DISCUSSÕES 53
5.1 BLOCOS INTERNOS 53
5.1.1 Controle Lógico 53
5.1.2 Chaves Transmission Gate 55
5.1.3 DAC 57
5.1.4 Comparador 59
5.2 TEMPO DE ATRASO POR BUSCA BINÁRIA PARA O SAR ADC CS 60
5.3 O CONVERSOR A/D SAR CS 61
5.3.1 Análise de erros 63
5.3.1.1 Erros Estáticos 66
5.3.1.2 Erros Dinâmicos 67
5.3.2 Consumo de energia 68
6 CONCLUSÃO 71
6.1 PROJETOS FUTUROS 71
REFERÊNCIAS BIBLIOGRÁFICAS 72

1 INTRODUÇÃO

A invenção do transistor, desde os primeiros transistores de efeito de campo (FET) propostos por Lilienfeld (SAH, 1991), impulsionou enormemente o desenvolvimento da eletrônica. A construção de circuitos analógicos em pastilhas de silício passou a integrar sistemas com filtros, osciladores, amplificadores e retificadores em um único *chip*. Na esfera digital, a densificação e redução dos circuitos lógicos viabilizou a implementação e aplicação de algoritmos complexos, anteriormente existentes apenas em artigos matemáticos. No começo do século XXI estimava-se que, em um período de 18 meses, a capacidade de integração de transistores em circuitos digitais era dobrada (MOORE et al., 1965), o que mostrou-se verdadeira até recentemente. Atualmente questiona-se esta estimativa afirmando que, por limitações impostas pela termodinâmica, pela viabilidade econômica dos processos de fabricação ou até mesmo pela estrutura do átomo dos semicondutores, a capacidade de integração dos transistores estaria chegando a um limiar (CARBALLO et al., 2014). Esta previsão impulsionou, paralelamente ao escalonamento da capacidade de integração dos sistemas digitais, o desenvolvimento de suas arquiteturas, dos algoritmos e da velocidade de processamento de dados, apontado para a importância da flexibilidade da esfera digital no processo da evolução tecnológica.

1.1 MOTIVAÇÃO

Os domínios analógico e digital podem ser definidos para caracterizar os sinais analisados por circuitos eletrônicos. As informações físicas como temperatura, tensão, pressão e luminosidade, etc. encontram-se no domínio analógico, o processamento destes sinais por sistemas digitais requer a conversão dos mesmos em sinais digitais. Conversores analógico-digitais (A/D's ou ADCs) e conversores digital-analógicos (D/A's ou DACs) são os circuitos que permitem a transformação dos sinais de um domínio para o outro. Esses conversores constituem parte fundamental na aquisição e processamento de dados, pois são capazes de realizar milhares de amostras (e conversões) por segundo, com consumo de potência relativamente baixo, na ordem de μW, possibilitando a utilização desses dispositivos em aplicações remotas onde a manutenção não é realizada periodicamente.

A redução do tamanho dos transistores, que permitiu a implementação de circuitos complexos em uma pequena área de silício, proporcionou uma notória gama de aplicações que vêm alterando a maneira como o ser humano interage com a tecnologia e como ela é empregada no dia-a-dia, como exemplo, o aumento do uso de *smartphones* para muito além da comunicação e dos *smartwatches* que monitoram o sono, batimentos cardíacos e atividades diárias. Com o uso crescente de compu-

tação digital e processamento de sinais em aplicações biomédicas, instrumentação e nos exemplos anteriormente citados, o campo dos sistemas conversores expandiu notoriamente (RAZAVI, 1995).

1.2 OBJETIVOS

O trabalho objetiva o projeto de um conversor analógico-digital por aproximações sucessivas (SAR ADC). O conversor digital-analógico interno requerido pelo SAR ADC é projetado utilizando a arquitetura de compartilhamento de carga, buscando-se uma resolução de 6 *bits*, erros estáticos e dinâmicos dentro do estabelecido pela literatura ($\pm$1 LSB), consumo de potência inferior a 300 μW e taxa de amostragem de 12,5 MSa/s.

Para tal, faz-se necessário o estudo da arquitetura SAR com DAC por compartilhamento de carga, visando a otimização do consumo de potência. O projeto do conversor necessita de uma unidade lógica de controle, a qual é implementada utilizando técnicas de projeto digital, inicialmente descrita em VHDL. Simulações comportamentais da descrição do controlador e da síntese lógica são realizadas na ferramenta NCLaunch do *software* Cadence. O comparador é implementado de forma a reduzir o tempo de resposta necessário para a decisão dos sinais binários de saída, reduzindo assim o tempo de conversão.

Finalmente, os blocos do DAC, do controlador e do comparador são integrados ao projeto elétrico dos demais circuitos necessários para o pleno funcionamento do conversor, chaves, portas lógicas, e demais circuitos, para realizar as simulações elétricas do conversor, verificando seu funcionamento e condições operacionais. O ADC é alimentado em 1,8 V, com faixa diferencial de 0 V a 1,8 V e projetado em tecnologia CMOS,TSMC180 (CMOS 0,18 μm), utilizando o PDK - MIXED SIGNAL RF GENERAL PURPOSE II.

Como alguns dos objetivos secundários, podem ser citados a aprendizagem de técnicas de análise e projeto de circuitos em tecnologia CMOS, fluxo de projeto e utilização do *software* Cadence, o qual é utilizado desde aplicações acadêmicas a industriais e/ou comerciais.

1.3 RESULTADOS ESPERADOS

Com o presente trabalho, espera-se obter a finalização completa do esquemático elétrico do conversor analógico-digital SAR, ou seja, dispor do projeto e implementação dos blocos que constituem o circuito do conversor, sendo eles: controlador, comparador e conversor digital-analógico com compartilhamento de carga. Para que através de simulações elétricas e de funcionamento, a operação do circuito do conver-

sor possa ser verificada.

O SAR ADC CS de 6 *bits* deve operar a uma taxa de 12,5 MSa/s alcançando uma resolução efetiva de *bits* (ENOB) superior a 5 *bits*. O consumo de potência deve ser inferior a 300 μW para qualificar o conversor dentro das características dos conversores SAR, como baixo consumo de potência e moderada resolução. Por fim os erros de INL e DNL devem ficar dentro das faixas estabelecidas pela literatura (ROBERTSON, 2015).

1.4 ESTRUTURA DO TRABALHO

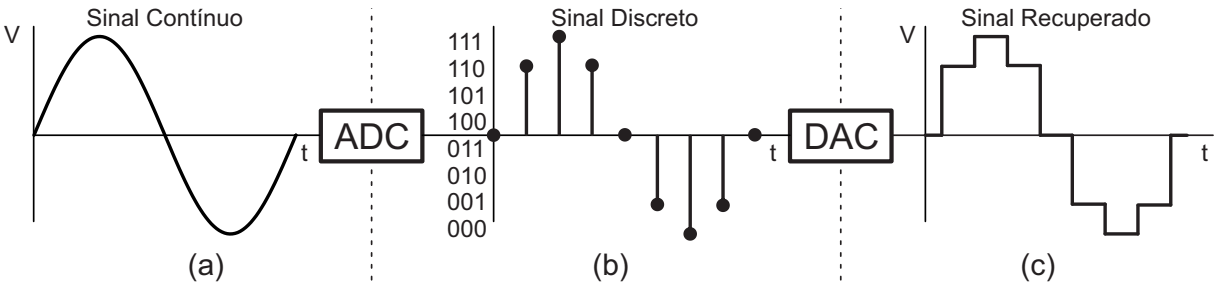
O trabalho é divido em 6 capítulos. No presente capítulo são apresentados a motivação do trabalho, os objetivos e os resultados esperados. O segundo capítulo introduz os conceitos fundamentais de conversores de dados e apresenta as categorias dos conversores analógico-digitais. O capítulo 3 aborda a operação do SAR ADC e as técnicas de redistribuição e compartilhamento de carga para o bloco do DAC. No quarto capítulo são apresentados os projetos dos circuitos internos do ADC. Já o capítulo 5 apresenta os resultados e discussões para os blocos internos do conversor, assim como para o conversor totalmente operacional, sendo feita uma análise dos principais resultados obtidos por simulações dos circuitos. Finalizando com as conclusões sobre os resultados e legados do trabalho.

2 FUNDAMENTOS DOS CONVERSORES DE DADOS

Conversores de dados são circuitos que convertem ou transformam sinais analógicos em sinais digitais, ou vice-versa, e desempenham papel relevante no mundo digital devido ao aumento do número de circuitos que utilizam o domínio de tempo discreto como referência para cálculos e processamento digital de sinais, requerendo conversores de dados com complexidade crescente (BAKER, 2019). Conversores analógico-digitais convertem sinais em tempo contínuo, analógicos, para sinais em tempo discreto, digitais. Já os conversores digital-analógicos realizam a operação reversa.

Na Figura 1(a), o sinal analógico original é amostrado e convertido em um sinal digital pelo ADC. Esse sinal, Figura 1(b), é então convertido novamente em um sinal analógico pelo DAC conforme mostrado na Figura 1(c). Notoriamente esse sinal não apresenta a mesma suavidade do original e, portanto, um filtro passa baixas deve ser utilizado para uma melhor recuperação do sinal. Esses exemplos ilustram a principal diferença entre sinais analógicos e digitais, enquanto o sinal analógico é continuo e, portanto, apresenta infinitos valores, o sinal digital é amostrado no tempo e discretizado em amplitude, apresentando único valor em um instante de tempo determinado.

Figura 1 – Exemplos de características de sinal após conversões A/D e D/A.



Fonte: AUTOR.

Um sinal contínuo refere-se a um sinal ininterrupto no tempo, o qual tem valores determinados para todo o intervalo de tempo no qual existe (BAKER, 2019). Isso significa que no intervalo de existência do sinal, infinitos valores estão disponíveis para a representação do sinal $x(t)$. Já um sinal digital é amostrado no tempo, definido apenas para um certo instante de tempo, e quantizado em amplitude, apresentando um único valor para o instante de tempo no qual foi definido, podendo então ocorrer a representatividade desse valor através de *bits* e o armazenamento dos mesmos em mídias digitais.

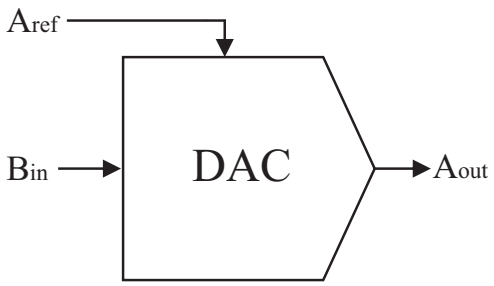
2.1 CONVERSOR DIGITAL-ANALÓGICO

Conversores D/A traduzem códigos binários ou digitais em sinais analógicos, de tensão ou corrente, por exemplo. Em um conversor ideal os códigos binários correspondem a grandezas de sinais contínuos que são espaçados igualmente (CARUSONE; JOHNS; MARTIN, 2011). Para tal entendimento, considerando o diagrama de bloco de um D/A representado pela Figura 2, B_{in} é definido como uma palavra digital de N-*bits*.

$$B_{in} = b_1 2^{-1} + b_2 2^{-2} + \cdots + b_N 2^{-N} \tag{2.1}$$

onde b_1 é um dígito binário podendo assumir valores iguais a 1 ou 0, b_1 é definido como o *bit* mais significativo (MSB), enquanto b_N é o *bit* menos significativo (LSB).

Figura 2 – Diagrama de bloco de um conversor D/A.



Fonte: AUTOR.

O sinal de saída analógico A_{out} é relacionado com o sinal digital B_{in} através do sinal analógico de referência A_{ref}. A relação entre os três sinais para um conversor D/A é dada por 2.2.

$$A_{out} = A_{ref} \cdot B_{in} = V_{ref} \cdot (b_1 2^{-1} + b_2 2^{-2} + \cdots + b_N 2^{-N}) \tag{2.2}$$

Para representar a mudança na saída resultante da alteração de um LSB, em (2.3) é definido o peso dessa alteração.

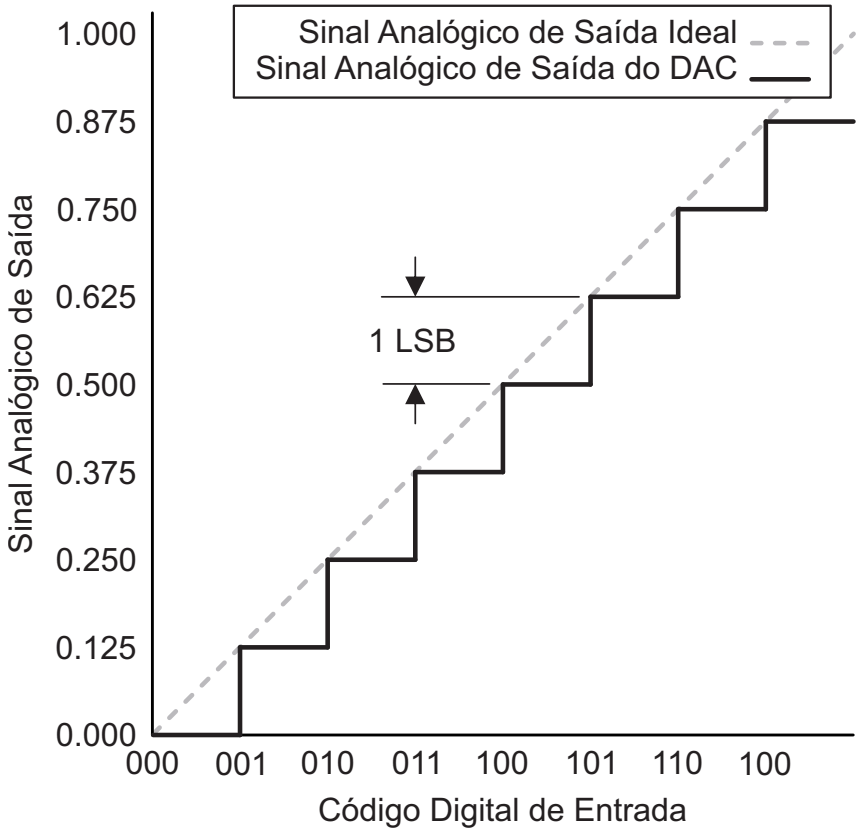
$$A_{LSB} \equiv \frac{A_{ref}}{2^N} \tag{2.3}$$

sendo o valor da unidade LSB definido em (2.4):

$$LSB = \frac{1}{2^N} \tag{2.4}$$

A curva de transferência para um DAC ideal de três *bits* é ilustrada na Figura 3, da qual observa-se que um conversor D/A ideal apresenta valores de saída bem definidos, mesmo que um número finito de valores analógicos sejam representados. Observa-se também que o valor máximo de A_{out} não é igual A_{ref}, e sim $A_{ref}(1-2^{-N})$, ou $A_{ref} - A_{LSB}$, portanto, quanto menor for o valor de A_{LSB} maior será a faixa de representação do conversor ou de outra forma, sua resolução. Um conversor D/A pode ser implementado variando-se o sinal de referência com respeito a um sinal digital de entrada, resultando em uma saída A_{out} proporcional à multiplicação dos sinais de entrada B_{in} e A_{ref}.

Figura 3 – Relação ideal de entrada e saída para um DAC de 3 *bits*.

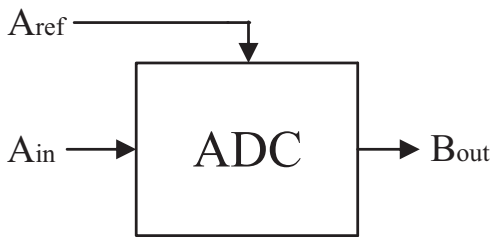


Fonte: AUTOR.

2.2 CONVERSOR ANALÓGICO-DIGITAL

O diagrama de bloco para um conversor A/D é ilustrado na Figura 4, onde B_{out} representa o sinal de saída digital, enquanto A_{in} e A_{ref} representam os sinais analógicos de entrada e de referência, respectivamente. Para um ADC, os três sinais são

Figura 4 – Diagrama de bloco de um ADC.



Fonte: AUTOR.

relacionados por (2.5).

$$A_{in} \pm A_x = A_{ref} \cdot B_{out} = A_{ref} \cdot (b_1 2^{-1} + b_2 2^{-2} + \cdots + b_N 2^{-N}) \tag{2.5}$$

onde as definições para A_{LSB} e LSB são as mesmas utilizadas para conversores D/A, (2.3) e (2.4) respectivamente, e A_x é definido em (2.6).

$$-\frac{1}{2}A_{LSB} \leq A_x < \frac{1}{2}A_{LSB} \tag{2.6}$$

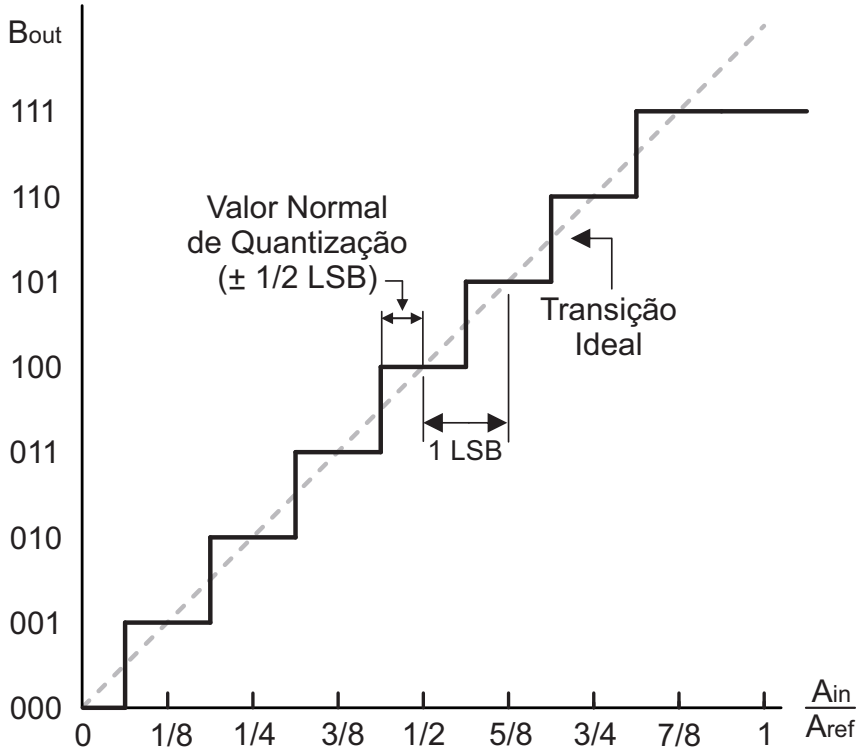
Portanto, há um intervalo de valores de entrada que produzem a mesma saída digital, essa ambiguidade no sinal resulta em um erro denominado erro de quantização, exatamente a grandeza A_x dada por (2.6). Este erro não ocorre em conversores D/A devido ao sinal de saída ser bem definido (CARUSONE; JOHNS; MARTIN, 2011). A curva de transferência para um conversor A/D de 3 bits é apresentada na Figura 5, da qual é possível observar que as transições ao longo do eixo A_{in} estão deslocadas por um fator de $1/2A_{LSB}$.

A relação apresentada em (2.6) é válida apenas se o sinal de entrada permanecer dentro do intervalo de 1 LSB nos dois últimos níveis de transições. Para o caso ilustrado na Figura 5, A_{in} deve permanecer menor que 15/16 A_{ref} e maior que -1/16 A_{LSB}, caso contrário o quantizador é sobrecarregado, pois a magnitude do erro de quantização é maior que $A_{LSB}/2$, ou no presente caso, maior que $A_{ref}/16$.

2.2.1 Amostragem

Um conversor A/D amostra o sinal de entrada e fornece o valor obtido para as próximas etapas de conversão (PELGROM, 2015). Matematicamente, a amostragem ocorre multiplicando a função no domínio do tempo, $A(t)$ da Figura 6 (a), com uma função sequencial Delta de Dirac, resultando em um sinal discretizado no tempo, Figura 6 (b), onde o sinal original $A(t)$ é definido apenas a cada período de amostragem, T_S. No domínio da frequência, $A(t)$ é representado por $A(\omega)$, Figura 6 (c), e o sinal

Figura 5 – Relação ideal de entrada e saída para um conversor A/D de 3 *bits*.



Fonte: AUTOR.

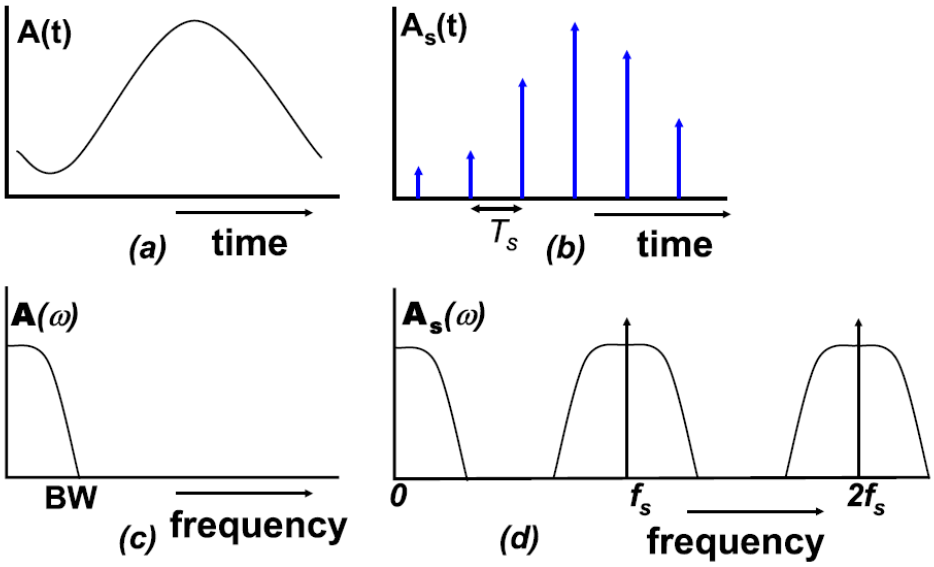
amostrado, o qual é uma réplica do sinal original centrado nas múltiplas frequências de amostragem, na Figura 6 (d). A frequência de amostragem deve respeitar o Teorema de Nyquist (2.7) para que a banda do sinal não seja sobreposta nas frequências múltiplas de amostragem, possibilitando a reconstrução correta do sinal sem a ocorrência do fenômeno de *aliasing*. Pelo Teorema de Nyquist, sabe-se que:

$$f_S \geq 2 \cdot f_B \tag{2.7}$$

onde $f_S = 1/T_S$ é a frequência de amostragem e f_B é a banda do sinal a ser amostrado.

O circuito eletrônico básico de amostragem consiste em um capacitor, o qual armazena o sinal amostrado, e uma chave, essa normalmente um transistor MOS. Devido a característica resistiva dos circuitos de chaveamento, os quais apresentam valores de resistência diferente de zero, as chaves que constituem o circuito de amostragem podem ser modeladas como uma resistência em série com o ruído térmico proveniente dessa resistência, sendo o ruído modelado como uma fonte de tensão em série com a tensão de entrada do circuito (GRAY et al., 2009). A Figura 7 apresenta o esquemático de uma chave, um filtro passa-baixa é formado quando a mesma está

Figura 6 – Sinais analógicos e amostrados. (a) e (b) no domínio do tempo; (c) e (d) no domínio da frequência.



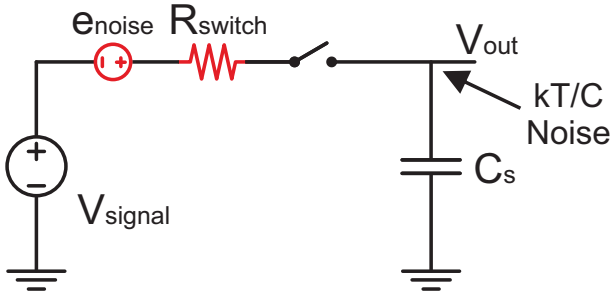
Fonte: (PELGROM, 2015)

fechada, portanto a energia média do ruído é uma parcela da energia de ruído do resistor, e é representada por (2.8).

$$\sigma_{q,noise} = \sqrt{\frac{kT}{C_s}} \tag{2.8}$$

onde k é a constante de Boltzman, $k = 1,38 \cdot 10^{-23}(m^2 \cdot kg)/(s^2 \cdot K)$, T é a temperatura em Kelvin e C_S o valor do capacitor de amostragem. A equação (2.8) representa um fator limitante para o valor do capacitor de amostragem quando uma determinada resolução é especificada.

Figura 7 – Esquemático de um circuito de amostragem básico.



Fonte: AUTOR.

2.2.2 Erro de Quantização

Em conversores A/D o sinal de entrada analógico é representado em um sinal digital, o qual é expresso em números finitos de binários. Este processo, denominado de quantização, consiste em discretizar o sinal em amplitude, sendo geralmente uma potência de 2, 2^N, onde N é a resolução ou número de *bits* do conversor (KESTER; ENGINEERI, 2005). Portanto, um intervalo de valores analógicos terá a mesma representação em binário, caracterizando isto como um erro de quantização, inerentes em conversores A/D.

Este erro no domínio do tempo é denominado erro de quantização, e no domínio da frequência é chamado de ruído de quantização. A potência desse erro é um fator limitante no desempenho de conversores A/D, e pode ser determinada por (2.9).

$$P_{Quant} = \frac{A_{LSB}^2}{12} = \frac{A_{ref}^2}{12 \cdot 2^{2N}} \tag{2.9}$$

Como visto em (2.9), quanto maior for a resolução do conversor, menor será o erro de quantização. Em outras palavras, quanto maior o número de *bits* do conversor, mais níveis digitais estarão disponíveis para representação do sinal de entrada, sendo reduzindo o intervalo de valores analógicos que possuem a mesma representação em binário.

2.2.3 Relação Sinal Ruído e Número Efetivo de Bits

No domínio da frequência é possível caracterizar o desempenho dinâmico dos conversores pela relação sinal ruído (SNR). Considerando a potência do sinal em termos de A_{LSB} (2.10), e a potência de quantização definida em (2.9), tem-se a relação sinal ruído definida em (2.11) e em decibéis (2.12).

$$P_{sinal} = \left(\frac{2^{2N} A_{LSB}^2}{8} \right) \tag{2.10}$$

$$SNR = \left(\frac{P_{sinal}}{P_{Quant}} \right) = \frac{3}{2} 2^{2N} \tag{2.11}$$

$$SNR_{dB} = 1.76 + 6.02 \cdot N \tag{2.12}$$

Ainda, a relação sinal ruído e distorção (SNDR) considera, além do ruído de quantização, ruídos inseridos na conversão devido a fatores térmicos e distorções. A relação SNDR pode ser definida como a relação entre a potência do sinal e a potência total resultante da distorção e todos os demais ruídos, ou matematicamente por (2.13)

(NATIONALINSTRUMENTS, 2017).

$$SNDR_{dB} = 10log\left(\frac{P_{sinal}}{P_{Quant} + P_h}\right) \tag{2.13}$$

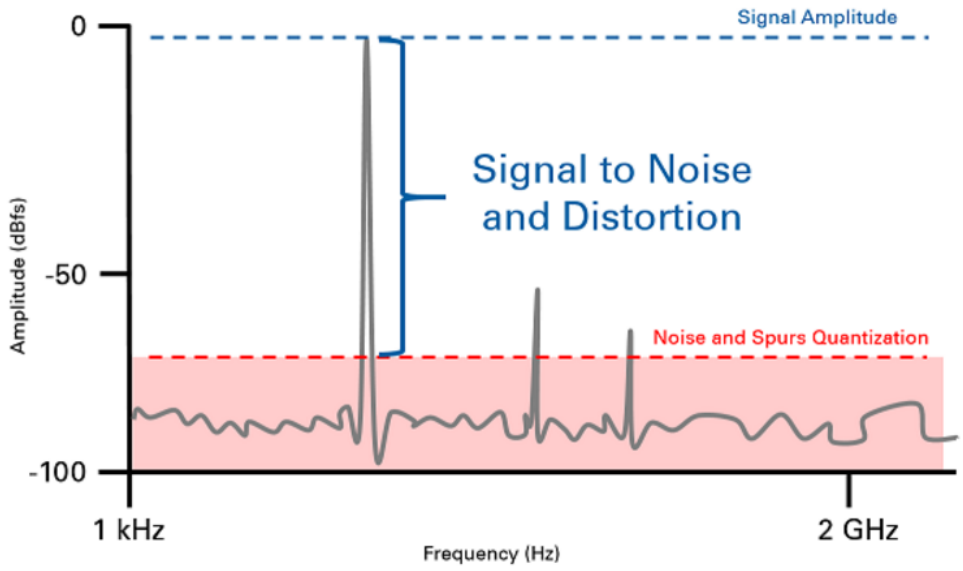
onde P_h é a soma da potência de distorção de todas as harmônicas, exceto a fundamental.

Juntamente com o ruído de quantização, a distorção e o ruído introduzidos pelo conversor também afetam a precisão de saída. Nesse sentido, um conversor de N *bits* não terá necessariamente a precisão total implícita igual a N. O número efetivo de *bits* (ENOB) é uma métrica mais ampla para representar a resolução do conversor. Para um sinal senoidal de entrada com frequência f_{sig}, o ENOB é calculado diretamente a partir da SNDR como mostra (2.14) (NATIONALINSTRUMENTS, 2017). Esse cálculo mostra o quão próximo em desempenho o conversor está da idealidade.

$$ENOB(f_{sig}) = \frac{SNDR_{dB}(f_{sig}) - 1.76dB}{6.02dB} \tag{2.14}$$

onde ENOB é um número real, expresso em bits, enquanto SNDR é um número real adimensional expresso em decibel (dB). A Figura 8 representa a SNDR de um sinal obtida através da transformada de Fourier.

Figura 8 – Representação da SNDR de sinal.



Fonte: (NATIONALINSTRUMENTS, 2017)

2.2.4 Erros de Ganho e Offset

O erro de *offset* é um valor constante (DC) presente em todos os níveis de conversão, podendo ser representado como a diferença entre as funções de transferência ideal e real (PELGROM, 2015). Em um ADC ideal, a primeira transição ocorre em 0.5 LSB, como mostra a Figura 9 (a). O erro de *offset* acarreta em um atraso ou um avanço nessa transição, causando um erro de quantização, Figura 9 (b). Esse erro de quantização pode fazer com que alguns níveis de resolução sejam perdidos. Em conversores A/D, o erro de *offset* é referente a unidade de LSB, e é definido como a diferença de $A_{0...01}$ para $1/2LSB$, ou matematicamente por (2.15).

$$E_{offset} = \frac{A_{0...01}}{A_{LSB}} - \frac{1}{2}LSB \tag{2.15}$$

O erro de ganho é definido como a diferença do último nível de conversão da curva ideal para a curva real quando o erro de *offset* é nulo (CARUSONE; JOHNS; MARTIN, 2011), Figura 9 (a). Para ADCs o erro de ganho é dado por (2.16).

$$E_{gain} = \left(\frac{A_{1...1}}{A_{LSB}} - \frac{A_{0...01}}{A_{LSB}}\right) - (2^N - 2) \tag{2.16}$$

2.2.5 Não-Linearidade Integral

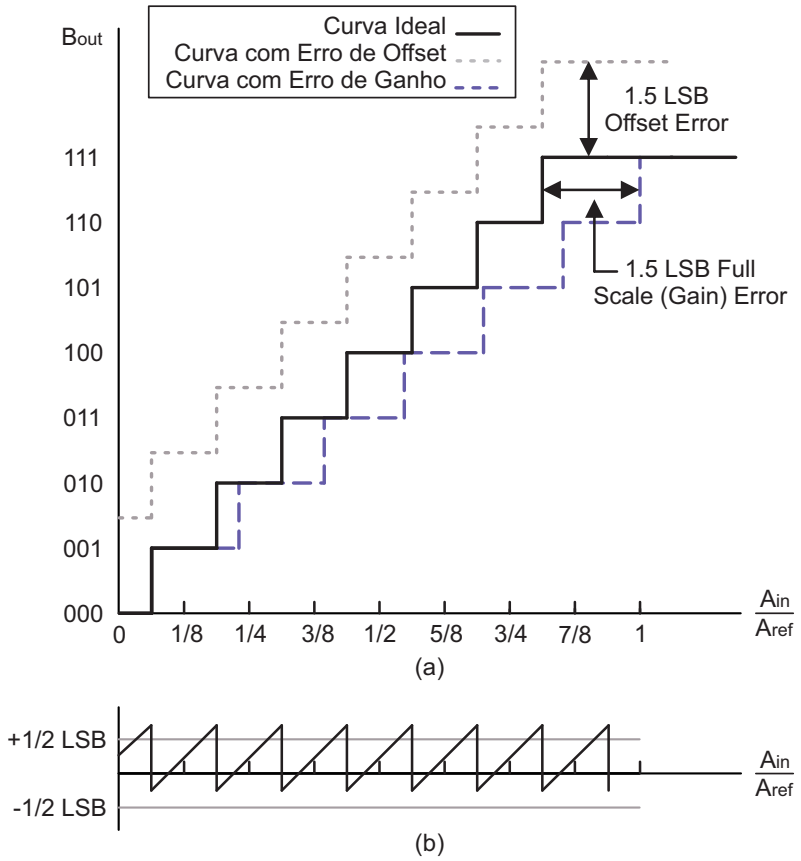
O erro devido a não-linearidade integral (INL) representa o máximo desvio da função de transferência de conversão real com respeito a curva ideal (CARUSONE; JOHNS; MARTIN, 2011). Na Figura 10, $A(i)$ é o valor analógico onde o código digital muda do *bit* i para $i+1$, os níveis de mudança em uma curva ideal podem ser definidos como $A(i) = i \cdot A_{LSB}$, e os desvios na função de transferência real são dados por (2.17).

$$INL = \frac{A(i) - i \cdot A_{LSB}}{A_{LSB}}, \forall i = 0...(2^N - 1) \tag{2.17}$$

Geralmente o INL é determinado como uma curva, no entanto é possível a representação em um número que corresponde ao desvio máximo ocorrido dentre todas as transições. Sendo o INL máximo fornecido por (2.18), obtido através do maior valor em módulo de (2.17) (CARUSONE; JOHNS; MARTIN, 2011).

$$INL = max\left|\frac{A(i) - i \cdot A_{LSB}}{A_{LSB}}\right|, \forall i = 0...(2^N - 1) \tag{2.18}$$

Figura 9 – Representação dos erros de ganho e *offset*. (a) Função de transferência com; (b) Impacto no erro de quantização.



Fonte: AUTOR.

2.2.6 Não-Linearidade Diferencial

De forma semelhante ao INL, a não-linearidade diferencial (DNL) é importante na caracterização da função de transferência de conversores analógico-digitais (CARUSONE; JOHNS; MARTIN, 2011). O erro por DNL corresponde a uma diferença entre a real largura de passo (*step width*) da quantização e o valor ideal de 1 LSB, sendo matematicamente dado por (2.19) (CARUSONE; JOHNS; MARTIN, 2011).

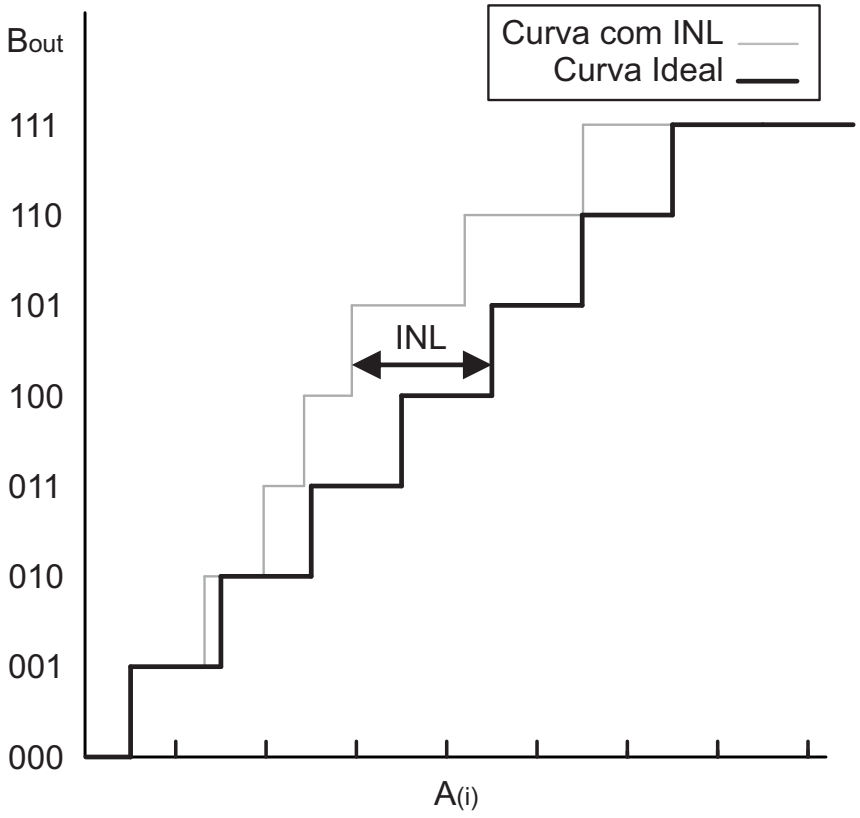
$$DNL = \frac{A(i+i) - A(i)}{A_{LSB}} - 1, \forall i = 0...(2^N - 2) \tag{2.19}$$

ou em representação numérica máxima (2.20).

$$DNL = max \left| \frac{A(i+i) - A(i)}{A_{LSB}} - 1 \right|, \forall i = 0...(2^N - 2) \tag{2.20}$$

Um erro absoluto de DNL superior a 1 LSB representa um *missing code* (DNL < -1 LSB ou DNL > +1 LSB) (PELGROM, 2015). Como mostrado na Figura 11, um

Figura 10 – Representação de INL.



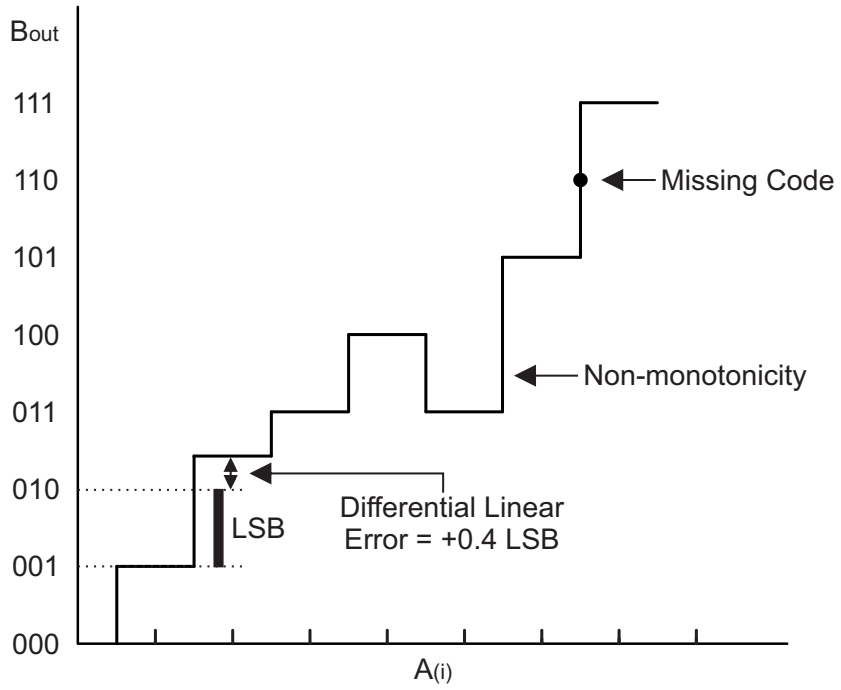
Fonte: AUTOR.

erro de DNL maior que 1 LSB resulta na perda do código 110, e a saída do conversor altera de 101 para 111. Ainda, na Figura 11, entre os códigos 100 e 101, ocorreu um erro de DNL igual a -1 LSB, resultando em uma não monotonicidade do conversor. A monotonicidade é uma métrica que deriva de funções matemáticas monotônicas, também conhecidas como funções não decrescentes, nas quais o valor da variável dependente nunca diminui à medida que o valor da variável independente aumenta (BAKER, 2019).

2.3 TIPOS DE CONVERSORES A/D

Os conversores podem ser divididos em duas grandes categorias: do tipo Nyquist e sobre-amostrados (*Oversampled*). Os conversores do tipo Nyquist são aqueles que geram uma série de valores de saída no qual cada valor respeita uma relação de um para um com o valor de entrada (CARUSONE; JOHNS; MARTIN, 2011). Por exemplo, é realizado uma conversão para cada amostra do sinal analógico de entrada. Esses conversores são geralmente implementados para operarem entre 1.5 e 10 vezes a taxa de Nyquist, ou seja, de 3 a 20 vezes a largura de banda do sinal de

Figura 11 – Representação de DNL.



Fonte: AUTOR.

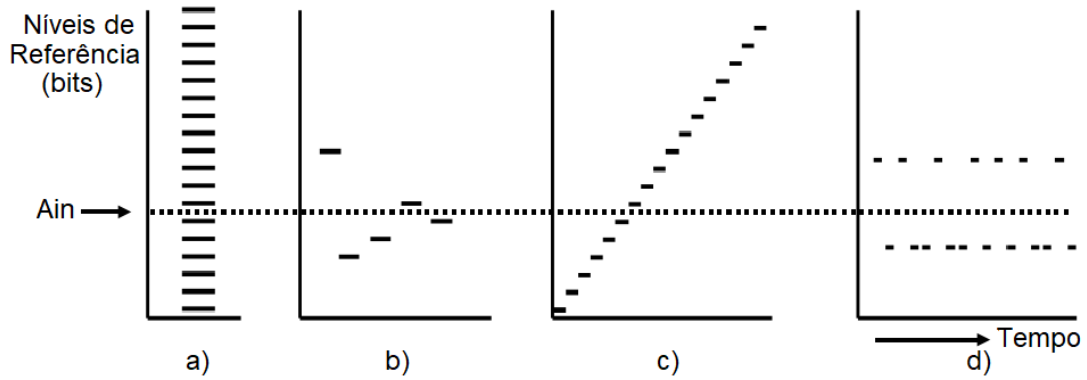
entrada, devido as limitações práticas na realização de filtros de reconstrução de sinal e de filtros *anti-aliasing*.

Conversores do tipo *Oversampled* operam a uma frequência muito maior que a taxa de Nyquist, 10 a 512 vezes mais rápido, e aumentam a relação sinal ruído de saída filtrando o erro de quantização que não está presente na banda do sinal (CARUSONE; JOHNS; MARTIN, 2011). Em conversores sobre-amostrados o erro de quantização é filtrado de forma digital, onde uma técnica muito utilizada é a de *noise shaping*. Esta técnica se resume em formatar o ruído de tal forma que este seja transladado de baixa para altas frequências. Então, um filtro é aplicado removendo as componentes de alta frequência, e portanto, o ruído.

Existem diversas abordagens de implementação de ADCs que são classificados como conversores do tipo Nyquist. Tais como os conversores *flash*, por aproximações sucessivas (SAR) e *pipeline*. Já os conversores *Sigma-Delta* (Σ-Δ) são os mais conhecidos e utilizados da classe *oversampled*. Na Figura 12 são ilustradas as categorias principais de conversores.

Conversores paralelos: Também denominados como conversores do tipo *flash*, necessitam de apenas um período de tempo para a conversão e apresentam elevadas taxas de conversão. Mas normalmente são de baixa resolução. A implementação desses conversores não requer circuitos analógicos de *sample-and-hold*, pois os *latches* presentes nos comparadores formam uma estrutura de armazenamento digital

Figura 12 – Classificação dos princípios das conversões A/D. (a) Paralelo; (b) Sequencial; (c) Linear; (d) *Oversampled*.



Fonte: Adaptado de (PELGROM, 2015)

(PELGROM, 2015). Por outro lado, o sinal de entrada e os níveis de referências devem estar disponíveis no exato período de conversão, como a área e potência dessa topologia cresce exponencialmente com o número de *bits*, problemas de casamento de componentes têm impacto significante no resultado final da implementação do conversor.

Conversores sequenciais: Esta classe de conversores realiza as conversões escolhendo, a cada ciclo de relógio, uma nova série de níveis de referência baseado nas informações processadas até o momento (PELGROM, 2015). A cada ciclo de relógio uma resolução adequada é escolhida para quantificar a informação processada, sendo geralmente baseada em potência de 2 $(2,\ 2^1,\ 2^2,\ \cdots, 2^N)$. A implementação desses conversores pode ocorrer de duas formas. Na primeira, o mesmo *hardware* é utilizado para todas as etapas da conversão. Já na segunda, são utilizados circuitos dedicados para cada etapa da conversão, sendo o tempo total de conversão igual a primeira abordagem, porém mais amostras do sinal de entrada podem ser processadas ao mesmo tempo. Os conversores SAR são classificados como sequenciais, estes utilizam um estágio que realiza interações em vários períodos de relógio, enquanto a amostra da entrada analógica é mantida constante (RAZAVI, 2015). Os conversores *Pipelines* também são classificados como conversores sequenciais, estes usam uma operação simultânea com vários estágios de *hardware* que, após a aquisição da primeira amostra, necessitam de apenas um ciclo de relógio para o processo de conversão das amostras consecutivas. A combinação de alta precisão e de alta velocidade torna os conversores sequenciais adequados para muitas aplicações industriais e de comunicações.

Conversores lineares: Nesses conversores os níveis de referência são gerados em ordem crescente ou decrescente e comparados ao sinal de entrada. O

processo de conversão é muito lento, por outro lado, a implementação é possível com uma quantidade mínima de *hardware*. Um exemplo são os conversores integradores, onde a robustez dessa categoria os tornou popular em aplicações como interface de sensores, nas quais é possível operar com baixa velocidade em ambientes onde parâmetros como temperatura e pressão variam a níveis críticos.

Conversores sobre amostrados: Como visto anteriormente, conversores Σ-Δ são os exemplos mais usuais dessa categoria. Nestes apenas um nível de referência, quantização de um *bit*, é utilizado, sendo a precisão, ou resolução, resultado de um elevado número de amostras adquiridas no domínio do tempo.

De forma geral, atualmente, os conversores A/D podem ser classificadas em quatro segmentos principais, de acordo com sua aplicação: (a) aquisição de dados, (b) medição de precisão aplicada a indústria, (c) áudio e voz, e (d) altas frequências, taxa de amostragem superiores a 5 MSa/s. Além disso, uma porcentagem muito grande dessas aplicações podem ser atendidas por conversores SAR, *Sigma-Delta* e *pipeline* (KESTER, 2015).

A arquitetura por aproximações sucessivas possibilita a implementação de conversores analógicos digitais que atendem às mais diversas especificações de projeto, apresentando *trade-off* entre resolução de bits, taxa de amostragem e consumo de potência. Atualmente, é alcançado resoluções de até 18 *bits* (BANNON et al., 2014) e (HUMMERSTON; HURRELL, 2017), taxa de amostragem de 800 MS/s (OKUNO et al., 2017) e 1GS/s (LEE; CHANDRAKASAN; LEE, 2014), e consumo de potência na ordem de nW (YADAV; PATRA; DUTTA, 2015) e (SADOLLAHI et al., 2017).

Portanto, a arquitetura SAR é definida para suprir as demandas requeridas no presente trabalho, como taxa de amostragem de 12,5 MSa/s, resolução de 6 *bits* e consumo de potência na ordem de μW. Essas demandas possibilitam a aplicação do conversor desenvolvido neste projeto em *links* de telecomunicações, internet das coisas (*IoT*), *wireless sensor networks* (WSN) e biomédica (MURMANN, 2015).

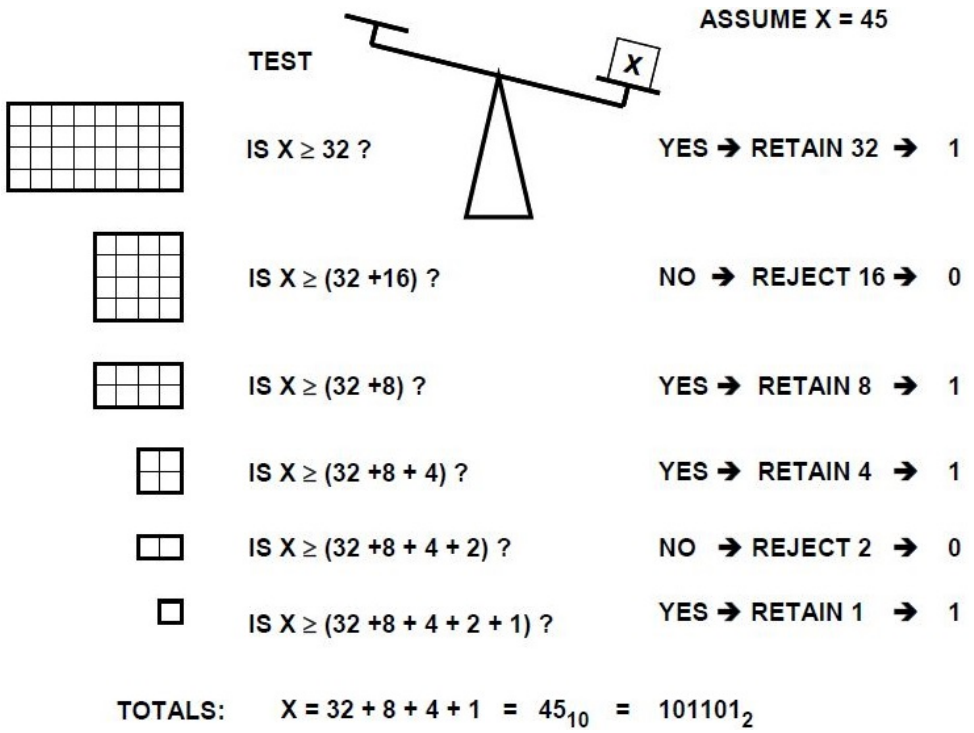
3 CONVERSOR ANALÓGICO-DIGITAL POR APROXIMAÇÕES SUCESSIVAS

Desde os primeiros circuitos eletrônicos nos anos 70 até os atuais e modernos circuitos, os conversores tipo SAR são os mais empregados em sistemas de aquisição de dados (PELGROM, 2015). O algoritmo de aproximações sucessivas pode ser entendido como busca binária, sendo o conceito base por trás dos SAR ADC.

O jogo de adivinhar um número aleatório no intervalo de 1 a 64, onde é permitido apenas perguntas com respostas “sim ou não”, pode ser utilizado como exemplo de procura binária. A primeira pergunta poderia ser, “O número é maior que 32?”, se a resposta for sim, então a segunda pergunta questionaria se o número é maior que 32 + 16. A terceira questão dividiria novamente o intervalo de procura em dois, sendo repetido o processo até que o número aleatório seja encontrado.

A Figura 13 representa todo o processo para encontrar o valor 45 através do processo anteriormente explicado. Em suma, a procura binária divide o intervalo de busca em dois a cada etapa, sendo possível encontrar o valor de interesse em N etapas para um intervalo de tamanho 2^N.

Figura 13 – Exemplificação de procura binária.



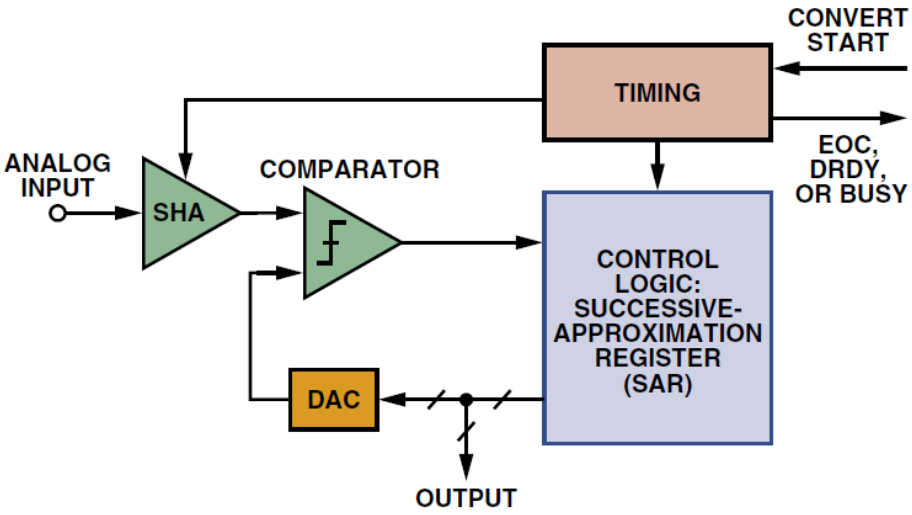
Fonte: (KESTER, 2015).

Representada na Figura 14, a arquitetura básica do conversor SAR consiste em um circuito de *Sample-and-Hold* (S&H), um comparador, um controlador lógico e

um DAC. A função básica consiste em comparar a entrada amostrada, a cada ciclo de relógio, com valores de referência gerados pelo DAC através de comandos do controlador, o qual tem como base a comparação anterior.

Os valores de referência convergem, progressivamente, até que a diferença de entrada no comparador, ou seja $V_{DAC} - V_{sample}$, seja menor que 1 LSB. Normalmente, após a amostragem, o conversor precisa de N ciclos de relógio para resolver uma conversão de N *bits*. Assim, a frequência de relógio é, geralmente, N + 1 vezes maior que a frequência de amostragem f_s (KESTER, 2015).

Figura 14 – Arquitetura básica de um SAR ADC.

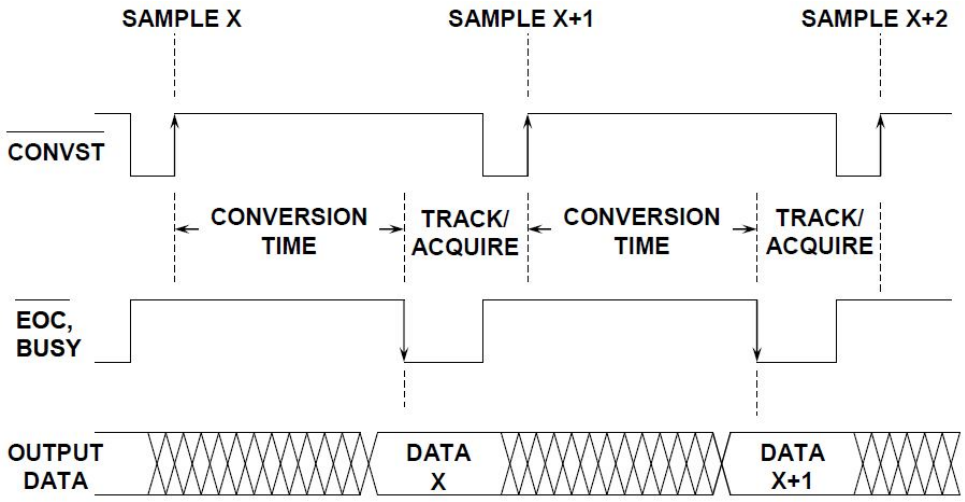


Fonte: (KESTER, 2015).

A conversão inicia carregando o conversor digital-analógico (DAC) para a metade do valor de referência. Após, o comparador determina se a saída do circuito de S&H é maior ou menor que a saída do DAC, e o resultado, MSB se for o 1º ciclo, é armazenado no registrador de aproximações sucessivas como um valor binário. No próximo ciclo de conversão, o DAC é carregado com $1/4$ ou $3/4$ do valor de referência, dependendo do valor do MSB, se 0 ou 1, respectivamente, e o conversor realiza a 2ª decisão, gerando o segundo *bit* da conversão. Este valor binário é novamente armazenado no registrador e o processo continua até que todos os *bits* sejam determinados. No final da conversão, um sinal lógico (EOC, DRDY, BUSY, etc) indica o termino da mesma.

O processo de conversão é controlado por um relógio que não necessita estar em sincronismo com o início da conversão. O diagrama de tempo típico de um SAR ADC é apresentado na Figura 15. O funcionamento mostrado é o utilizado em grande parte dos SAR ADC; no entanto, tal funcionamento pode mudar de acordo com o projeto e implementação.

Figura 15 – Diagrama de tempo típico de um conversor SAR CR.



Fonte: (KESTER, 2015).

Como é visto na Figura 15, após requisitada a conversão (CONVST), o dado de saída (OUTPUT DATA) é alterado durante o período de conversão. Essa alteração é função do algoritmo de busca da arquitetura SAR, o qual condiciona o sinal conforme os *bits* vão sendo decididos. Após todos os *bits* serem resolvidos, o sinal que indica o término da conversão (EOC, BUSY) é habilitado e o dado de saída (DATA X) fica disponível até que uma próxima conversão seja requisitada.

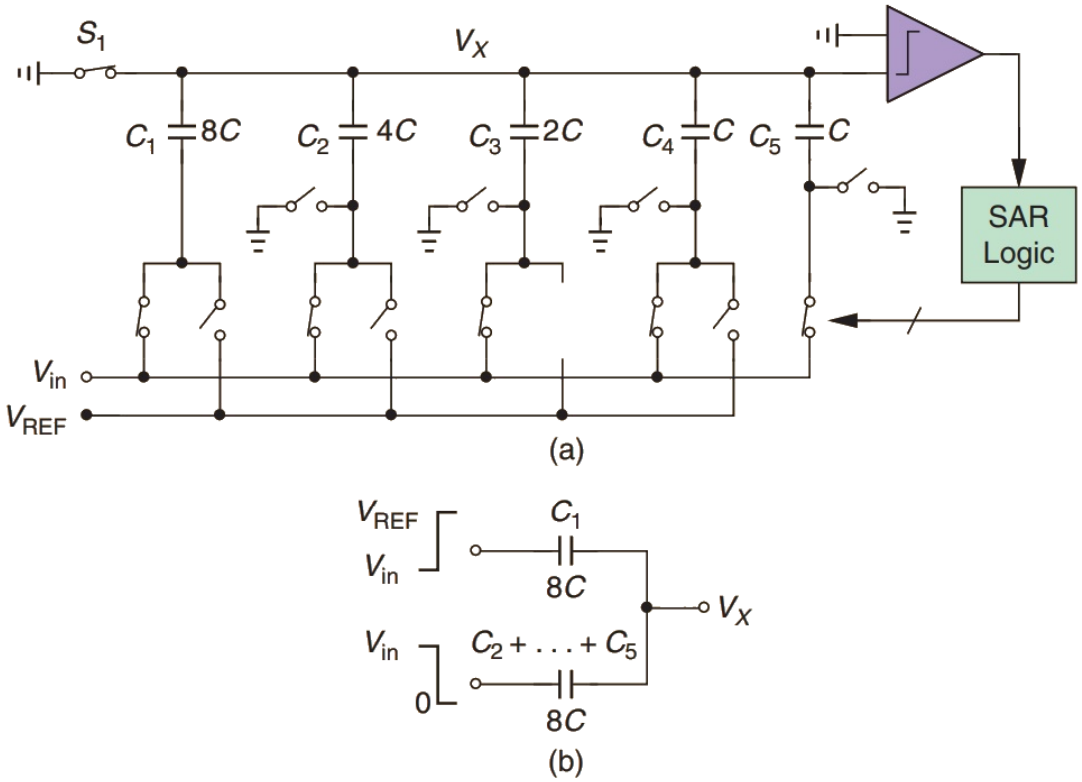
Muitas abordagens de implementação podem ser usadas no DAC interno para representar o valor analógico: tensão, corrente ou carga. Atualmente, as estratégias mais utilizadas são de redistribuição e compartilhamento de carga (PELGROM, 2015).

3.1 SAR ADC COM REDISTRIBUIÇÃO DE CARGA

A arquitetura básica de um conversor analógico-digital por aproximação sucessiva com redistribuição de carga (SAR ADC CR) é apresentada na Figura 16 (a). Esta é construída com capacitores com pesos binários em paralelo, que são alternados entre valores de referência positivos e negativos, V_{ref} e *ground*, respectivamente, com base na resposta do comparador. Nesta arquitetura, o arranjo de capacitores opera como um capacitor de amostragem C_S. Desta forma, não exige circuito adicional para amostrar o sinal de entrada, apenas um capacitor extra, denominado de *dummy capacitor* (KESTER, 2015).

Para amostrar o valor de entrada a ser convertido, a chave S1 fecha e os terminais superiores dos capacitores são conectados para *ground*, já os terminais inferiores são conectados a Vin. Em seguida, C1 é conectado à V_{ref} enquanto os de-

Figura 16 – (a) Arquitetura do conversor SAR CR com DAC capacitivo por redistribuição de carga; (b) Circuito equivalente no primeiro ciclo da procura binária.



Fonte: (RAZAVI, 2015)

mais capacitores vão para *ground*. O circuito equivalente na Figura 16 (b) produz $V_x = (8/16)(V_{ref} - Vin) + (8/16)(0 - Vin) = V_{ref}/2 - Vin$. O comparador é ativado e de acordo com sua decisão uma de duas ações pode ser executada.

(1) Se $Vin > V_{ref}/2$, o próximo valor de V_x deve ser igual a $3V_{ref}/4 - Vin$. Ou seja, o capacitor C2 é conectado para V_{ref} e o bit mais significativo (MSB) é armazenado com valor binário igual a 1 no registrador, todos os demais capacitores são conectados para GND. (2) Se $Vin < V_{ref}/2$, o valor de V_x deve ser igual a $V_{ref}/4 - Vin$. Para tal, todos os capacitores, incluindo C2, são conectados a *ground*, definindo o MSB como 0. A conversão continua com processos similares para os demais capacitores, até que o valor de V_x seja menor que 1 LSB. Sendo resolvido um *bit* por ciclo de relógio na arquitetura SAR CR (RAZAVI, 2015).

Desta forma, nos SAR ADC CR os capacitores do DAC são conectados para V_{ref} ou GND a cada *bit* resolvido. Ou seja, durante todas as etapas de aproximações sucessivas existe a transferência de cargas externas da fonte de alimentação para o DAC, ao custo do aumento do consumo de potência.

3.2 SAR ADC COM COMPARTILHAMENTO DE CARGA

O conversor analógico-digital por aproximação sucessiva com compartilhamento de carga (SAR ADC CS) é conhecido por apresentar elevada eficiência energética. Pois diferente dos SAR CR, que conectam os capacitores do DAC a V_{ref} ou GND em cada etapa da busca binária, os SAR CS realizam a pré-carga do DAC durante o rastreio do sinal de entrada. Sendo assim, durante as aproximações sucessivas as cargas dos capacitores são realocadas internamente, sem influência da fonte de alimentação, reduzindo o consumo de potência em comparação com os SAR CR.

Além disso, devido à sua operação altamente digital e capacidade de acomodar sinais *rail-to-rail* sem recorrer a amplificadores de precisão, o SAR ADC CS apresenta uma arquitetura muito acessível para projeto (RABUSKE; FERNANDES, 2017). Portanto, uma arquitetura SAR CS é implementada utilizando compartilhamento de carga, ao invés de redistribuição, tanto para o circuito de amostragem do sinal de entrada, quanto para as aproximações sucessivas.

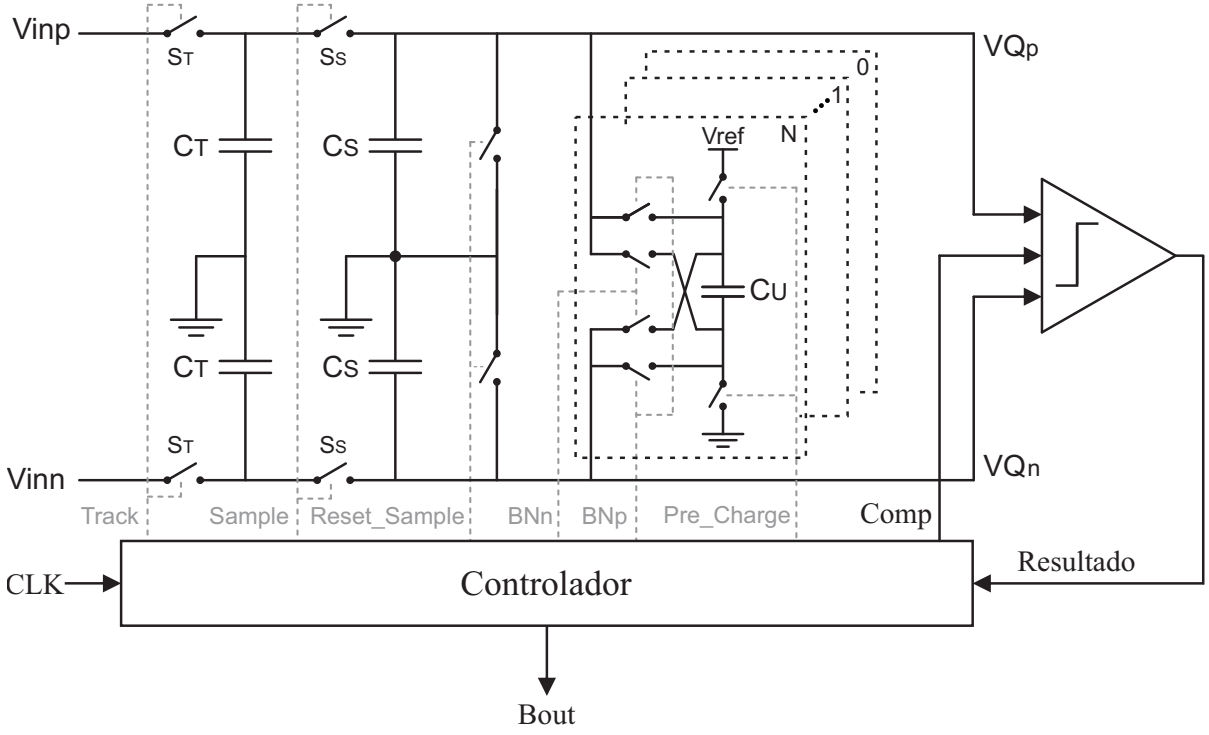
3.2.1 Arquitetura do Conversor

A arquitetura é apresentada na Figura 17. Nessa arquitetura, o sinal é rastreado por meio do capacitor C_T. Após, o sinal é transferido para o capacitor C_S. Durante o algoritmo de buscas binárias cargas são adicionadas por meio do capacitor CU, este sendo colocado em paralelo, ou subtraídas, capacitor CU conectado em antiparalelo, até que o resultado convirja para zero. Chaves são usadas para adicionar os capacitores responsáveis pelas alterações das cargas, a partir do compartilhamento de carga entre os mesmos. Nessa arquitetura, portanto, o comparador é o único circuito analógico ativo do conversor.

A operação do conversor SAR CS pode ser explicada com o auxílio das formas de ondas e sinais da Figura 18. Antes do início da conversão, a chave de *track* (S_T) é fechada e a de *sample* (S_S) aberta. A carga no capacitor de *track* (C_T) representa o valor diferencial de entrada a ser convertido. Os capacitores de amostragem (C_S) são descarregados de forma que, no início da conversão, a carga presente neles seja nula. Já os capacitores do arranjo de buscas binárias, os quais apresentam pesos binários de capacitância, são pré-carregados com a tensão de referência e serão utilizados no algoritmo de aproximações sucessivas do conversor. A pré-carga não depende do sinal de entrada pois acontece antes do início da conversão e, portanto, nenhuma restrição é imposta a tensão de referência (CRANINCKX; PLAS, 2007).

Enquanto a conversão não é requisitada a chave S_T realiza o rastreio do sinal analógico de entrada. Com o início da conversão (SOC) S_T abre, logo o sinal que estava sendo rastreado é armazenado no capacitor C_T. Então, S_S fecha e metade da carga que estava armazenada em C_T é transferida para C_S através do compartilha-

Figura 17 – Arquitetura do conversor SAR por compartilhamento de carga proposto.



Fonte: ADAPTADO DE (CRANINCKX; PLAS, 2007).

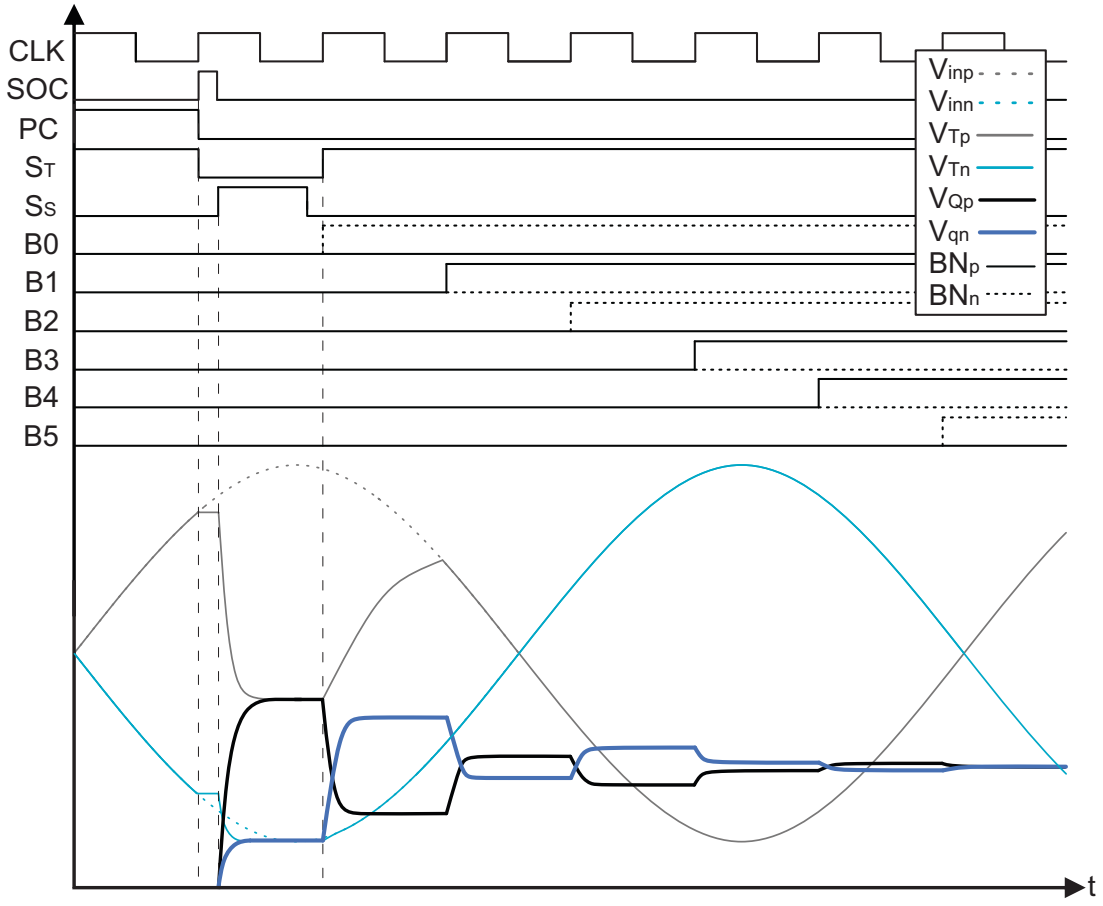
mento de carga. Esse processo tem tempo de duração proporcional aos valores dos capacitores e da resistência da chave. O fato de metade da carga ser transferida entre os capacitores é porque os capacitores são iguais (uma decisão de projeto).

Após o sinal ser amostrado, S_S abre e S_T fecha para novamente rastrear o sinal de entrada. Essa decisão é tomada, pois mantendo C_T conectado a entrada durante o período de aproximações sucessivas, problemas de acomodamento são evitados na próxima conversão sem utilizar amplificadores para realizar a amostragem do sinal.

Para determinar o MSB, o comparador é ativado e decide quais dos sinais VQ_p ou VQ_n é maior. As chaves $B0_p$ ou $B0_n$ são acionadas e adicionam ou subtraem, respectivamente, uma carga proporcional ao peso do capacitor do MSB à carga armazenada em C_S. Importante observar que se trata, mais uma vez, de um processo passivo de compartilhamento de carga. A carga total armazenada agora é de $\frac{C_S}{2}\frac{V_{in,diff}}{2} \pm C_{MSB}V_{ref}$, sendo distribuída proporcionalmente entre os dois capacitores. Os próximos *bits* são determinados em processos similares, o comparador determina as chaves para cada interação e os capacitores do arranjo são conectados um por um de forma que a carga total armazenada convirja para zero.

Seguindo a descrição do princípio de operação, a tensão diferencial vista pela entrada do comparador no i-ésimo ciclo de decisão das aproximações sucessivas

Figura 18 – Formas de ondas típicas do processo de conversão de um SAR ADC CS.



Fonte: AUTOR.

pode ser encontrada por (3.1).

$$V_{PN}[i] = \frac{\frac{V_{in,diff}}{2}\frac{C_S}{2} - V_{ref}\sum_{k=1}^{i}(b_{N-k}C_{N-k-1})}{\frac{C_S}{2} + \sum_{k=1}^{i} C_{N-k-1}} \tag{3.1}$$

onde $V_{in,diff}$ é a tensão de entrada diferencial, C_0, C_1, ..., C_{N-1} são os capacitores do arranjo de buscas binárias e $b_x \in (-1, 1)$, com $x \in (0, 1, ..., N-1)$, representando os resultados das comparações, isto é, a saída digital do conversor A/D, N é o número de *bits* do conversor.

Intuitivamente, na equação (3.1) o numerador representa a soma total de carga. O termo na esquerda do numerador é a carga inicial armazenada em C_S. Nesse termo, a tensão diferencial aparece dividida por dois, pois a carga sobre C_S é metade da carga armazenada em C_T. O valor do capacitor, por sua vez, é também dividido por 2, pois os capacitores de amostragem encontram-se em série para sinais diferenciais. O somatório no lado direito do numerador representa a carga nos capacitores do arranjo que foram conectados pelo comparador em cada ciclo. No denominador, tem-se o

somatório total da capacitância série de amostragem e das capacitâncias do arranjo adicionadas a cada ciclo.

Apesar da vantagem mencionada, a arquitetura por compartilhamento de carga apresenta dois fatores limitantes, uma baixa tolerância a ruídos e ao erro de *offset* do comparador. Estes limites ocorrem pois a diferença entre os sinais diferenciais converge para zero ao longo das interações do processo de conversão.

3.2.2 Tolerância a Ruídos

Os ruídos afetam as duas etapas de conversão. Durante a etapa de amostragem ruídos térmicos são amostrados juntos com o sinal de entrada, a carga equivalente ao ruído na amostragem é igual a (3.2) (RABUSKE; FERNANDES, 2017).

$$\sigma_{q,S} = \sqrt{kT\frac{C_S}{2}} \tag{3.2}$$

De maneira similar ao ocorrido na amostragem, quando as chaves de pré-carga abrem, uma carga de ruído igual a (3.3) é deixada nos capacitores do arranjo de buscas binárias.

$$\sigma_{q,DAC} = \sqrt{kTC_{DAC}} \tag{3.3}$$

Durante a etapa de aproximações sucessivas, a capacitância total conectada a entrada do comparador vai aumentando conforme os *bits* vão sendo decididos e, portanto, os ruídos presentes nestes capacitores se somam ao ruído intrínseco do comparador.

A ordem de magnitude do ruído térmico em volts, para uma capacitância de 1 pF é aproximadamente 64 μV_{RMS}, enquanto que a maioria dos comparadores reportados na literatura apresentam ruído intrínseco entre 0.5 mV_{RMS} e 2 mV_{RMS} (ZHANG; TONG, 2014). Em SAR ADC CS com resolução de 6 *bits*, V_{ref}=1,8 V e capacitores na ordem de pF, a potência resultante de (3.2) e (3.3) é 1000 vezes menor que a potência de quantização dada por (2.9). Portanto, com a moderada resolução e os valores de capacitâncias limitados pelos processos de fabricação, é válido assumir que o ruído intrínseco do comparador é dominante durante a busca binária.

Como a topologia com compartilhamento de carga adiciona os capacitores do DAC ao capacitor de amostragem, aumentando a capacitância total e diminuindo a tensão vista pelo comparador, com valor de ruído do comparador constante a relação sinal ruído é atenuada ao longo da conversão, afetando o número efetivo de *bits* (ENOB) da conversão. A atenuação do ENOB depende da relação entre os valores do capacitor de amostragem e da capacitância total do DAC, C_{DAC}. Portanto, a re-

lação entre as capacitâncias é definida em (3.4) e representa um fator limitante para o desempenho dos conversores SAR com compartilhamento de carga (RABUSKE; FERNANDES, 2017):

$$\alpha = \frac{\frac{C_S}{2}}{C_{DAC}} \tag{3.4}$$

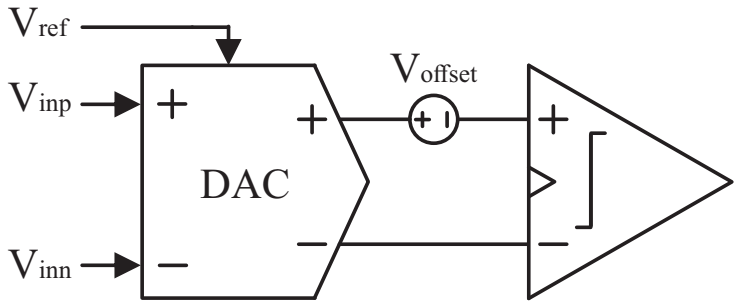
3.2.3 Tolerância a Offset

A tensão diferencial vista pelo comparador em (3.1) é necessária na discussão sobre a linearidade da arquitetura. Uma vez que (3.1) apresenta o valor de C_{DAC} no denominador, e como este aumenta durante o processo de conversão, a relação entre carga e tensão não é linear. Idealmente, este fato não causaria nenhum problema à linearidade do conversor, pois a saída é determinada apenas pelo sinal, positivo ou negativo, da tensão V_{PN}, ou seja, se a tensão de *offset* do comparador for zero a relação não linear entre carga e tensão não afeta a linearidade da conversão (RABUSKE; NOOSHABADI; RODRIGUES, 2012).

A Figura 19 modela a tensão de *offset* do comparador como uma fonte de tensão em série com a saída do DAC, com isso a equação (3.1) é alterada para (3.5).

$$V_{PN}[i] = \frac{\frac{V_{in,diff}}{2}\frac{C_S}{2} - V_{ref}\sum_{k=1}^{i}(b_{N-k}C_{N-k-1})}{\frac{C_S}{2} + \sum_{k=1}^{i} C_{N-k-1}} + V_{offset} \tag{3.5}$$

Figura 19 – Representação do *offset* no circuito do comparador.



Fonte: AUTOR.

Para esse modelo a expressão para o pior caso de integridade não linear, a qual ocorre na decisão do *bit* mais significativo, é dada por:

$$INL_{MSB} = \frac{V_{offset}}{\alpha V_{LSB}} \tag{3.6}$$

onde α é a relação entre capacitâncias de amostragem e do conversor digital-analógico definida em (3.4).

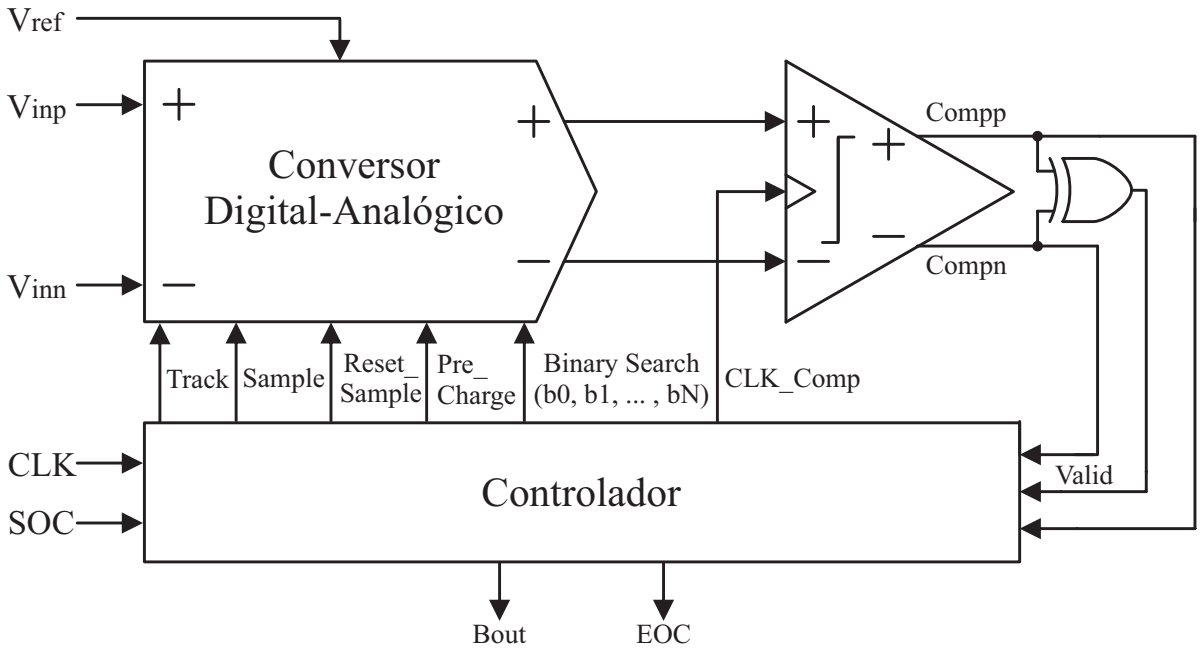
A equação para o cálculo do ENOB para um conversor A/D SAR com compartilhamento de carga de N *bits* é apresentada em (3.7) (RABUSKE; FERNANDES, 2016).

$$ENOB \approx N - log_4 \left[1 + 2^{3-B} \left(\frac{4}{9} INL_{MSB}^3 + INL_{MSB}^2 + \frac{N}{6} INL_{MSB} \right) \right] \tag{3.7}$$

4 PROJETO DO CONVERSOR SAR CS

A implementação do conversor analógico-digital por aproximações sucessivas com compartilhamento de carga requer o projeto do controlador lógico, responsável pelas decisões durante a conversão. Requer o projeto de um conversor digital-analógico interno, o qual possui um circuito de *sample and hold* que amostra o sinal de entrada, e os capacitores com pesos binários. E o projeto do comparador, o qual analisa os sinais oriundos do DAC e fornece as informações necessárias ao controlador. A Figura 20 apresenta o diagrama de blocos do conversor.

Figura 20 – Diagrama de blocos do conversor A/D SAR com compartilhamento de carga projetado.



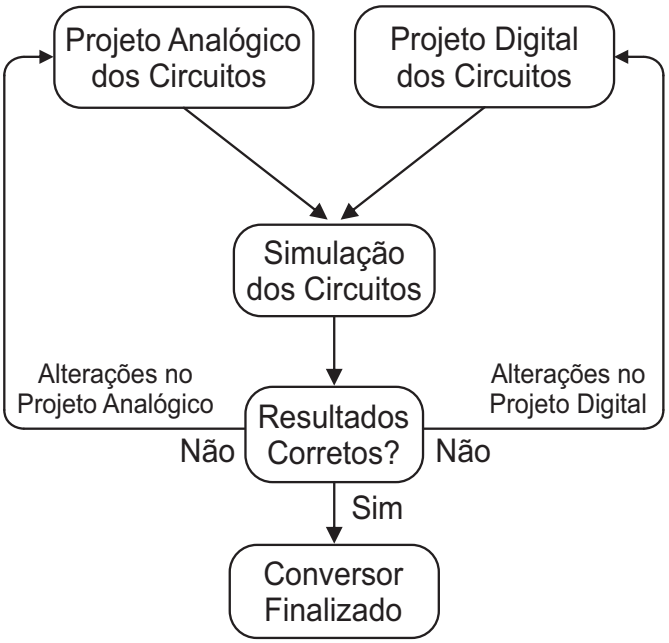
Fonte: AUTOR.

Como ilustrado na Figura 20, o controlador recebe como entrada os sinais de relógio (CLK), de início da conversão (SOC), de Reset, dos resultados das comparações e o sinal de comparação finalizada (Valid). Como saída, os sinais que controlam o DAC (Track, Sample, Reset_Sample, Pre_Charge, BNp e BNn), são gerados. Além disso, o controlador também é responsável por gerar o sinal que habilita a comparação (Clock_Comp), o que sinaliza o fim da conversão (EOC), e o sinal visado desde o início da conversão, a palavra digital que representa a tensão diferencial analógica de entrada (Bout).

Na implementação de tais circuitos foram utilizadas técnicas de projeto digital e analógico. A Figura 21 esquematiza o fluxo de projeto analógico-digital ou misto

utilizado. Inicialmente, estudou-se a linguagem VHDL e fundamentos sobre síntese lógica, para conduzir o projeto digital do controlador.

Figura 21 – Diagrama do fluxo de projeto misto utilizado na concepção do SAR ADC CS.



Fonte: AUTOR.

Após a implementação do primeiro protótipo do controlador, iniciou-se os projetos analógicos dos demais circuitos. A integração de todos os blocos demonstrou que alterações, tanto no projeto digital quanto no analógico, eram necessárias para o funcionamento do conversor. Desde então a implementação seguiu o fluxo de testes e alterações dos projetos de cada bloco até que o conversor operasse corretamente.

O conversor é implementado com resolução de 6 *bits*, tensão de alimentação de 1,8 V, entrada diferencial com *range* de 0 V a 1,8 V. Os blocos do conversor foram projetados em tecnologia *Transistor Metal-Óxido-Silício Complementar* (CMOS), segundo o processo de fabricação TSMC180 (CMOS 0,18 μm), utilizando o *Process Design Kit* (PDK) - MIXED SIGNAL RF GENERAL PURPOSE II.

4.1 CONTROLADOR LÓGICO

O controlador é responsável pelo processamento dos resultados oriundos do comparador, Compp e Compn, gerando também os sinais que serão utilizados pelo DAC nos processos de rastreamento do sinal de entrada, amostragem, pré-carga, e nas decisões da busca binária. Neste último processo, os capacitores do DAC são adi-

cionados em paralelo ou antiparalelo, adicionando ou subtraindo cargas, ao capacitor de amostragem, fazendo com que a tensão diferencial de entrada amostrada convirja para zero.

A palavra digital de saída é resultado do modo como os capacitores são adicionados durante o algoritmo de aproximações sucessivas. Se o capacitor é adicionado em paralelo o *bit* gerado possui valor igual a 0. Para os capacitores adicionados em antiparalelo o valor do binário é 1.

O projeto do controlador seguiu o fluxo digital clássico, onde o comportamento do circuito foi primeiramente descrito em VHDL e seu esquemático obtido através do processo de síntese lógica. Para um melhor entendimento, uma breve revisão sobre síntese lógica é apresentada. Após então, o projeto do controlador é descrito.

4.1.1 O Processo de Síntese Lógica

A síntese lógica é um processo no qual um projeto descrito em *Very High Speed Integrated Circuit Hardware Description Language* (VHDL) é implementado em um circuito digital. A linguagem de descrição de *hardware* VHDL atende aos requisitos para o projeto de sistemas eletrônicos e possibilita aos desenvolvedores a incorporação de técnicas atuais de linguagens de programação, como orientação à objetos e *strong typing* em seus projetos (NAYLOR; JONES, 1997).

O *software* que realiza a síntese lógica é uma ferramenta *computer-aided design* (CAD) que, a partir de um programa em VHDL, produz uma *netlist* que desempenha as funções exatas descritas em código. As ferramentas de síntese são um dos recursos de projetos mais avançados e complexos disponíveis atualmente (NAYLOR; JONES, 1997). Tratando-se de uma ferramenta para a indústria eletrônica, como todos os demais processos nesse setor, a síntese lógica tem evoluído rapidamente e suas capacidades e restrições tem mudado constantemente, mesmo assim, ainda não é possível sintetizar todo e qualquer programa VHDL.

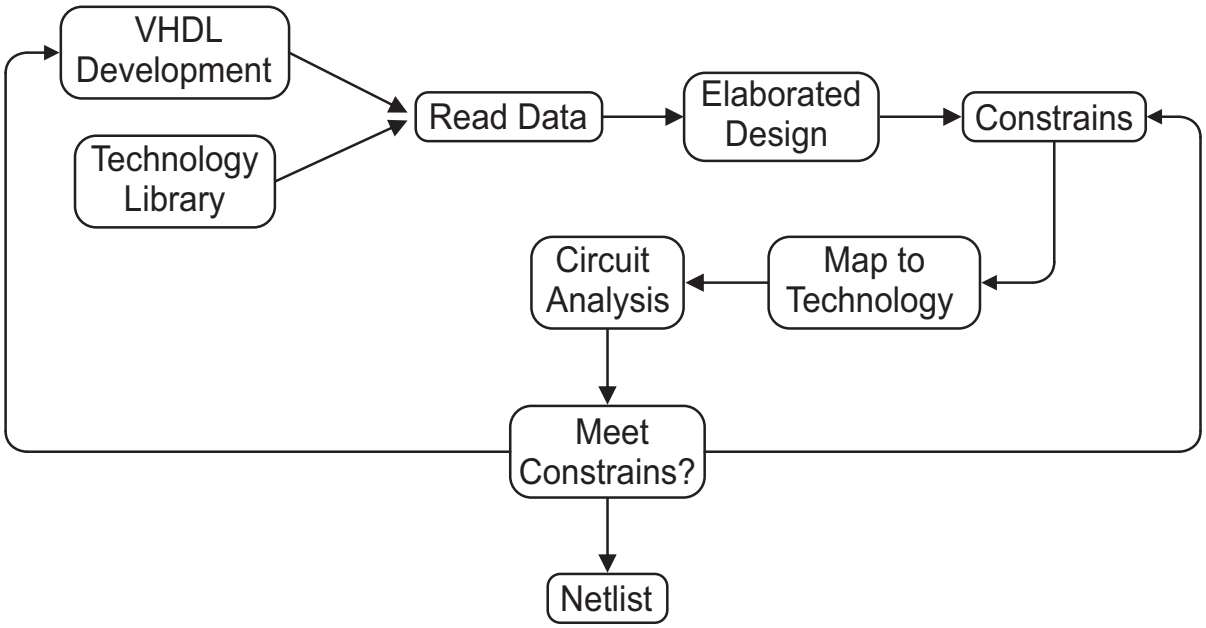
Um comportamento descrito não é implementável quando impõem condições inalcançáveis pelo processo de síntese. Por exemplo, dois números são adicionados depois de exatos 6 ns, é impossível satisfazer essa condição de atraso pois dependerá da tecnologia utilizada, do projeto do circuito, do tamanho dos dados processados, da temperatura, fonte de alimentação entre outros fatores. Ainda, é possível que um código VHDL escrito contenha operações que a ferramenta de síntese não suporte. Por exemplo, são poucos os sintetizadores que suportam o operador de divisão (NAYLOR; JONES, 1997).

Com o avanço das pesquisas sobre as limitações dos sintetizadores as restrições vem diminuindo ao longo dos anos. Porém como tais condições existem, as técnicas de descrição devem visar um código VHDL que possa ser interpretado com

sucesso pelo *software* de síntese utilizado.

O projeto de circuitos eletrônicos é iniciado com a especificação do comportamento (*behavior*), em código VHDL, dos sistemas que compõem o projeto. Após, a simulação do comportamento deste sistema é realizada com o auxilio de um código de teste, também descrito em VHDL e denominado *test bench*, para verificar a conformidade do projeto. Caso o código VHDL esteja de acordo com a especificação, a função descrita neste VHDL pode ser implementada como um circuito digital.

Figura 22 – Diagrama de fluxo do processo de síntese lógica.



Fonte: AUTOR.

Para fins ilustrativos, a Figura 22 representa o diagrama de fluxo do processo de síntese lógica. Primeiro é escolhida uma tecnologia alvo, então são carregados no sintetizador os arquivos de biblioteca digital da tecnologia e o VHDL. Após, é realizado a leitura dos dados (*data read*) pelo sintetizador, o código VHDL e os arquivos da tecnologia contêm parâmetros como: tempo de atraso das portas lógicas, potência, restrições de implementação, entre outros. Com os arquivos de entrada carregados no sintetizador ocorre então a elaboração do circuito, que cria uma estrutura de dados, *latches, flip-flops*, multiplexadores, somadores, para todo o projeto. Então são aplicadas as restrições (*constrains*), tais como condições de operação, formas de onda de relógio e sincronização para entradas e saídas.

Na sequência do processo o circuito é mapeado para as células descritas na biblioteca da tecnologia alvo. Esse processo realiza otimizações lógicas que visam disponibilizar a menor implementação possível do projeto que satisfaça as restrições

impostas. Finalmente, o circuito sintetizado e mapeado em tecnologia é simulado para verificar se não ocorreram divergências entre as restrições impostas e a resposta do circuito. Um exemplo é a aplicação de um relógio com frequência muito elevada, na qual os atrasos de propagação inerentes das bibliotecas de tecnologia não consigam satisfazer a operação do circuito. Se as restrições foram satisfeitas, o circuito está apto a ser implementado em *hardware* pela *netlist* gerada, caso contrário, há dois caminhos a serem seguidos: a verificação inicial do projeto em código VHDL e/ou a alteração das restrições.

4.1.2 Comportamento Descrito em VHDL

A análise do conversor mostrou que uma máquina de 8 estados é necessária: o primeiro corresponde ao estágio de *tracking*, o segundo ao estágio de amostragem, seguidos de seis processos de busca binária, pois a resolução desejada é de 6 *bits*. Por escolha de projeto, optou-se por uma máquina Moore, conforme mostrado na Figura 23, para descrever o comportamento do controlador em VHDL.

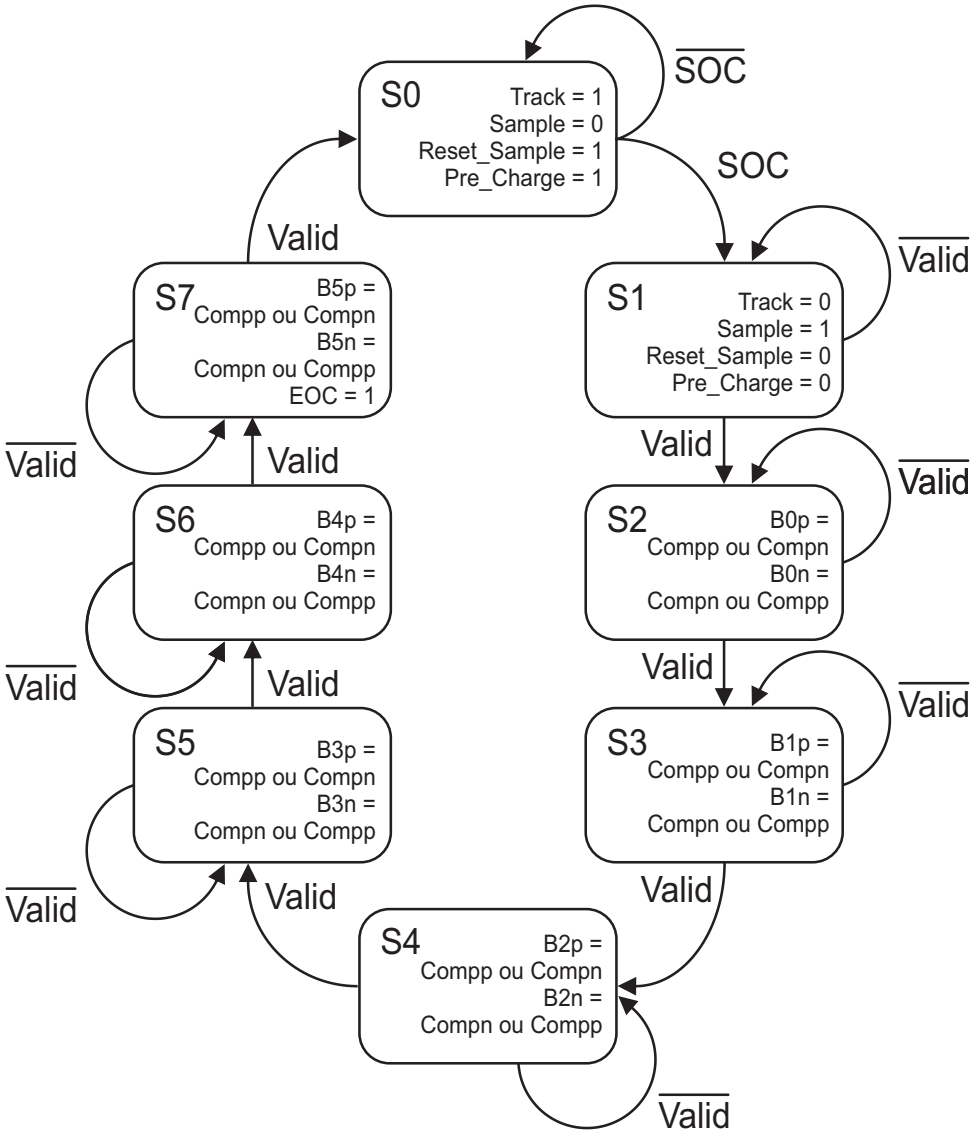
Na máquina de estados, o primeiro estado (S0) é mantido até que o início da conversão seja ativado (SOC = 1). Nesse estado as saídas Track, Reset_Sample e Pre_Charge encontram-se em nível lógico alto. Portanto, o sinal de entrada está sendo rastreado, os capacitores de amostragem estão sendo descarregados e os capacitores do DAC estão sendo pré-carregados com a tensão de referência. Após a conversão ser iniciada o estado muda para o 2° estado (S1), onde os sinais anteriormente em nível lógico alto são colocados em nível baixo e o sinal de Sample é ativado, ocorrendo assim a amostragem do sinal.

Os próximos 6 estados são referentes a procura binária. As transições entre estes estados são regidas pelo sinal de Valid, que informa o termino da comparação em cada estado. No terceiro estado (S2) os níveis lógicos das chaves do MSB são processados. Esse processo sucede do estado S2 até o S7 gerando os 6 *bits* de resolução do SAR ADC CS. No último estado (S7) o sinal que indica o fim da conversão é colocado em nível alto (EOC = 1).

4.1.3 Netlist do Controlador

Após descrito, o código é simulado de forma ideal com o auxílio de um *test bench* no *software* NCLaunch. Esta simulação é realizada para validar o VHDL, pois é possível verificar se este descreve o comportamento apresentado na máquina de estado da Figura 23.

Figura 23 – Máquina de estados do controlador projetado para o SAR ADC CS.

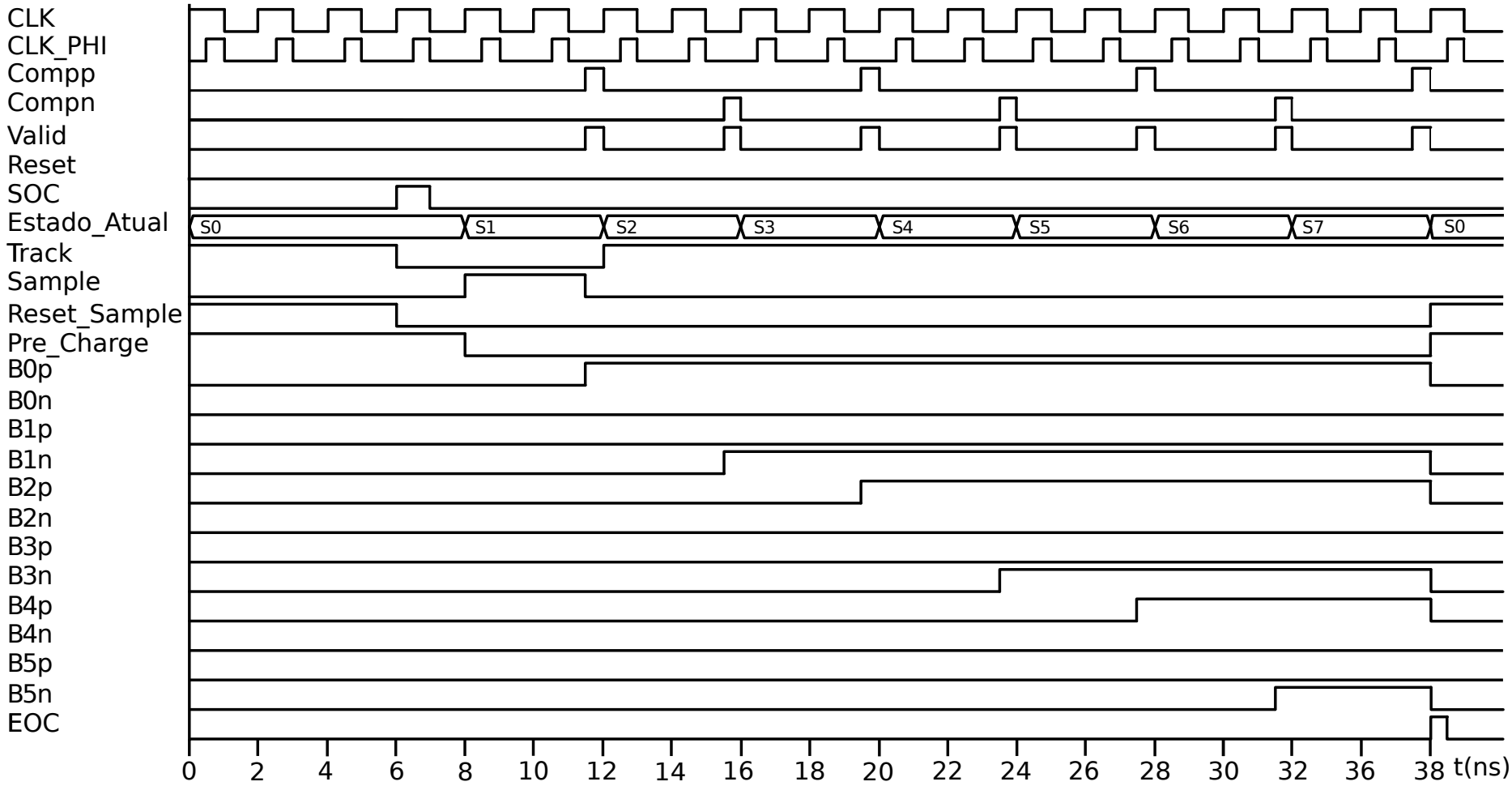


Fonte: AUTOR.

A Figura 24 apresenta o resultado da simulação. O estado atual S0 é mantido até que o início da conversão seja ativado (SOC = 1). Estando os sinais Track, Reset_Sample e Pre_Charge em nível lógico alto. Quando o estado atual vai para S1 todos os sinais, com exceção de Sample, assumem nível lógico baixo. Sendo então posicionadas as chaves conforme supostas decisões do comparador, Compp e Compn, do estado S2 até S7, onde o sinal de Valid habilita a mudança entre os estados. Por fim, o término da conversão é habilitado, EOC = 1.

Como a descrição VHDL está de acordo com o desejado, a *netlist* do controlador pode ser obtida via síntese lógica. O conversor é projetado em tecnologia TSMC180 (CMOS 0,18 μm), no entanto o grupo de pesquisa não possuía os pacotes

Figura 24 – Simulação comportamental do controlador do conversor SAR CS descrito em VHDL.



Fonte: AUTOR.

digitais dessa tecnologia, apenas o *Process Design Kit* (PDK) - MIXED SIGNAL RF GENERAL PURPOSE II. Para contornar tal impasse, a síntese lógica foi realiza de forma genérica, sem ser mapeada para nenhuma tecnologia comercial. Com a *netlist* genérica sintetizada, os componentes digitais necessários para a implementação em esquemático, portas lógicas e *flip-flops*, foram projetados com os componentes analógicos do PDK da tecnologia TSMC180, e então a *netlist* genérica foi importada em ambiente Virtuoso com os componentes desenvolvidos em TSMC180.

A falta da biblioteca digital não permite avaliar muito bem a frequência de conversão e tampouco otimizar o consumo de potência. O período de relógio em que o conversor consegue operar ficou limitado em 8 ns. Visto que o conversor necessita de 8 ciclos para completar uma conversão, a frequência de conversão ficou limitada em 15.6 MSa/s.

Além disso, as otimizações no consumo de potência que o processo de síntese lógica realiza não estarão presentes no circuito digital implementado. Isto acontece porque a síntese lógica gera categorias de componentes digitais, esses componentes possuem sua diferenciação pelos sufixos (A, B, ..., G), onde cada sufixo caracteriza o componente com relação a atraso de propagação, potência consumida, entre outros parâmetros. Como foi utilizada uma biblioteca com apenas um tipo de componente, essas otimizações são perdidas.

Após exportada a *netlist* do controlador em circuito digital no virtuoso, a operação do circuito com frequência de 15,6 MSa/s apresentou erros e falhas críticas em alguns estados. Portanto, visando uma operação que garanta o processamento adequado do comparador, a frequência de amostragem utilizada no projeto foi definida como 12,5 MSa/s.

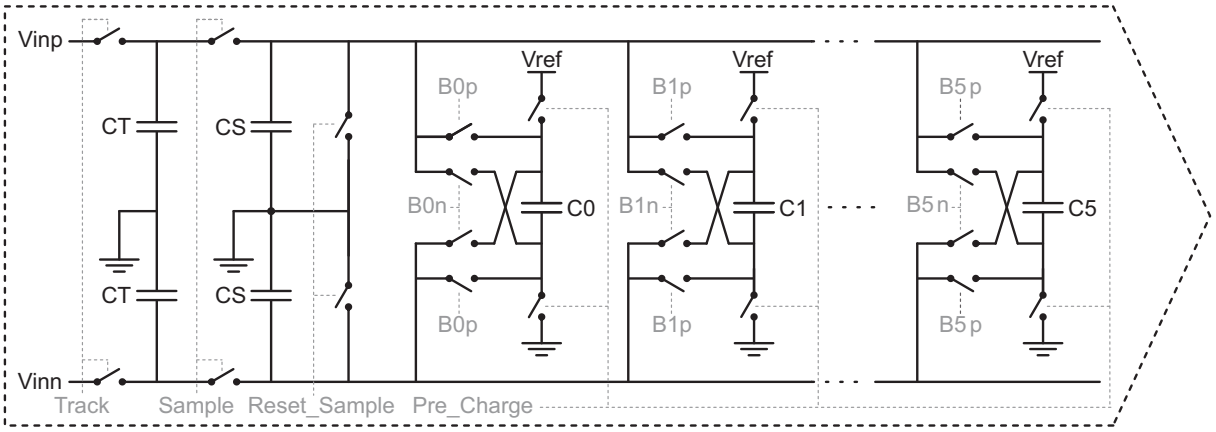
4.2 DAC COM COMPARTILHAMENTO DE CARGA

O conversor digital-analógico recebe o sinal diferencial de entrada e a partir das instruções do controlador realiza os processos de *track*, amostragem e de busca binária, onde os sinais analógicos gerados internamente em cada processo são analisados pelo comparador a cada período de relógio. O DAC é de fundamental importância pois limita a precisão do ADC, seja na amostragem ou na busca binária, caso o circuito não produza a devida tensão analógica propagará o erro a todos os passos seguintes da conversão.

O esquemático do DAC implementado é apresentado na Figura 25. Como citado anteriormente, o sinal de entrada é rastreado pelos capacitores de *tracking* C_T, amostrados em C_S e então condicionados através dos capacitores do arranjo de busca binária ($C0$, $C1$, ..., $C5$).

Os capacitores C_T e C_S são iguais e apresentam capacitâncias de 8,5 pF. O

Figura 25 – Esquemático do DAC utilizado no projeto, com circuito de rastreamento, amostragem e arranjo de buscas binárias, todos utilizando-se do princípio de compartilhamento de carga.



Fonte: AUTOR.

arranjo de capacitores que realizam as aproximações sucessivas deve possuir capacitância total de 2 pF para evitar descasamentos (CRANINCKX; PLAS, 2007) e ainda possuir pesos binários, pois somente dessa maneira a lógica SAR pode ser alcançada. Dessa forma, os capacitores $C0$, $C1$, $C2$, $C3$ e $C4$ têm, respectivamente, capacitâncias de $16C_U$, $8C_U$, $4C_U$, $2C_U$ e C_U, onde C_U é o menor capacitor MIM (*Metal Insulator Metal Capitor*) utilizado no projeto, com valor igual a $64,5153$ fF. Já o último capacitor, $C5$, é obtido pela inclusão de dois capacitores C_U em série, resultando em uma capacitância total de $C_U/2 = 32,257$ fF.

A escolha em produzir o valor de capacitância $C5$ com os capacitores em série se justifica por dois fatores. Como a menor capacitância MIM para a tecnologia TSMC180 é de $35,6$ fF, não seria possível obter o valor desejado com um único capacitor. Ainda, como são adotados pesos de capacitâncias binárias, o tamanho do capacitor do MSB é 2^{N-1} vezes maior que o capacitor do LSB, essa diferença pode causar descasamentos nos processos de fabricação, afetando a linearidade do conversor. Portanto, ao utilizar os capacitores em série, a diferença entre o tamanho do capacitor do MSB e da menor unidade de capacitância implementada no DAC é reduzida de 32 para 16 vezes, contribuindo na mitigação dos erros estáticos do conversor.

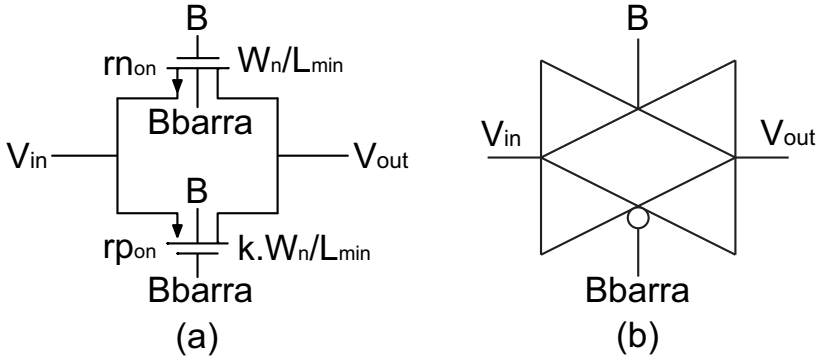
O tempo necessário para o compartilhamento das cargas no conversor digital-analógico é um parâmetro que influencia na velocidade do ADC, e está relacionado com os valores de capacitância e resistência dos circuitos de chaveamento (MAXIM, 2001). Para a presente arquitetura de conversor D/A o tempo crítico de acomodação ocorre durante a amostragem, pois é nesse processo que ocorre o compartilhamento de maior carga, tendo em vista o tamanho dos capacitores C_T e C_S com relação aos

do arranjo de busca binária. Portanto, as chaves foram projetadas sobre tal condição e então ponderadas para os demais processos de compartilhamento de carga, visando um tempo de acomodação uniforme em todas as etapas da conversão.

4.2.1 Chaves

Como a tensão de alimentação do conversor é de 1,8 V e deseja-se que o mesmo trabalhe com uma faixa diferencial de entrada de 0 V a 1,8 V, chaves tipo *transmission gate* são empregadas em vez das *boost switches*. Quando fechada, ambas conseguem transferir sinais da entrada para a saída de seus circuitos sem a influência da tensão de *threshold*; no entanto, a *transmission gate* apresenta menor consumo de potência e menor área em relação as *boost switches* (FAYOMI; ROBERTS, 2004). O esquemático da chave utilizada é apresentado na Figura 26 (a) e o simbolo usual na Figura 26 (b).

Figura 26 – Chave *Transmission gate*. (a) Esquemático do circuito; (b) Simbologia da chave.

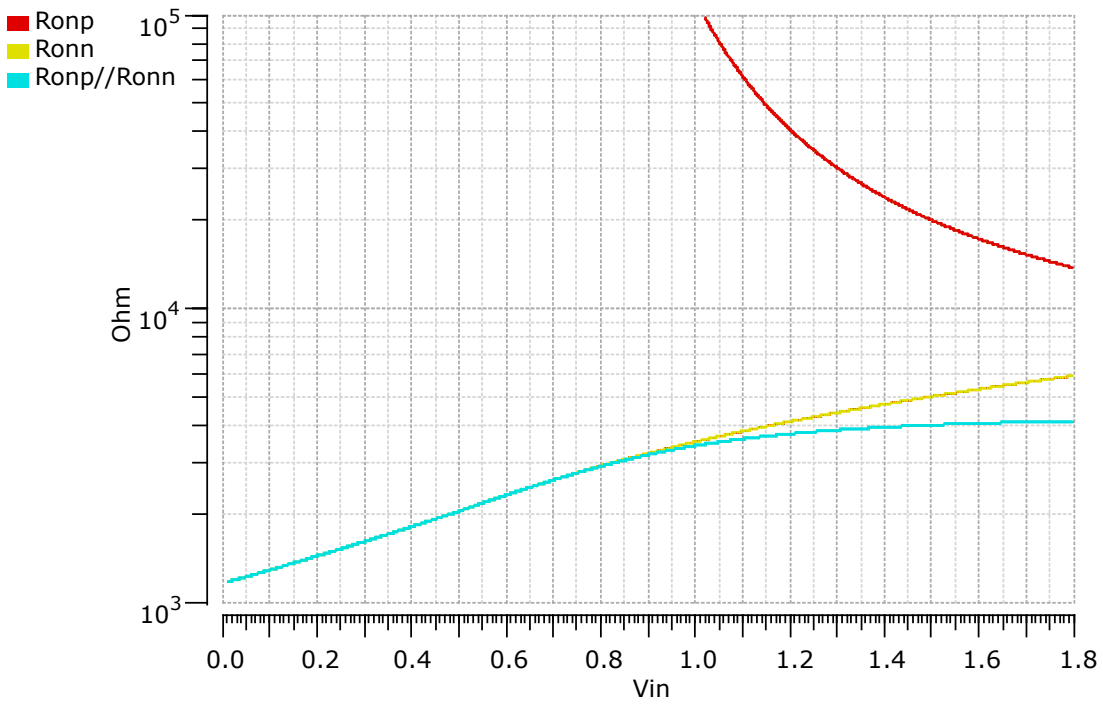


Fonte: AUTOR.

A resistência de canal quando um transistor MOS está conduzindo (r_{on}) é tipicamente calculada com a tensão entre dreno e fonte igual a zero (V_{DS} = 0 V) ou muito pequena e, portanto, do modelo de pequenos sinais na região de triodo, $r_{on} = 1/g_{DS}$. A Figura 27 apresenta a relação da resistência com a tensão de entrada obtida através de simulações dos transistores Nmos e Pmos, atuando separadamente como chaves, e da *transmission gate*, a qual é o resultado do paralelo das curvas de resistência das chaves N e P, sendo ambos os dispositivos com largura de canal de 0,5 μm e comprimento de 180 nm.

Para análise da *transmission gate*, na Figura 26 os sinais de controle, B e Bbarra, encontram-se em nível lógico 1 e 0, respectivamente. Ou seja, na chave Nmos a tensão de *gate* (V_G) é igual a 1,8 V e no bulk (V_B) 0 V. Já na chave Pmos, V_G = 0 V e V_B = 1,8 V. Com as tensões de *gate* e *bulk* fixadas, a variação do sinal de

Figura 27 – Resistência de canal, para tensão de entrada variando de 0 V até 1,8 V, para chaves nMOS, pMOS e transmission gate, com transistores de mesma largura e comprimento.



Fonte: AUTOR.

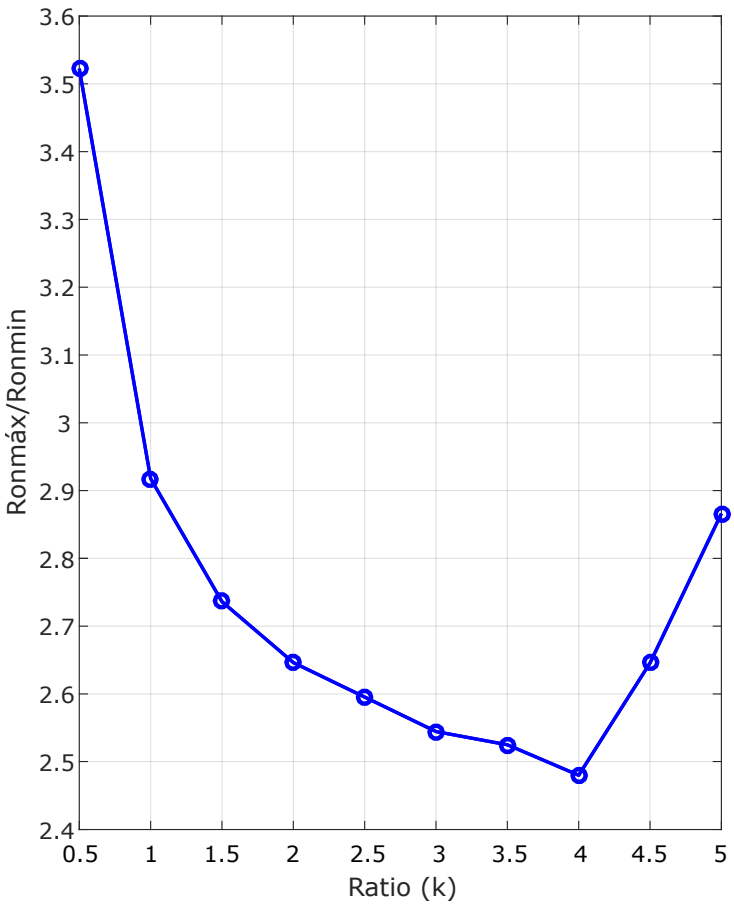
entrada V_{in} pode ser entendida como uma variação em V_{GS}, sendo possível levantar a resistência de canal da chave.

A resistência do transistor Nmos é menor quando V_{in} = 0 V, enquanto que do transistor Pmos é menor quando V_{in} = V_{DD} = 1,8 V. Sendo a resistência total da chave da Figura 26 (a) dada pelo paralelo de rn_{on} e rp_{on}, o valor de maior resistência ocorre próximo ao modo comum do circuito (0,9 V). Além disso, quando o sinal de entrada é próximo de zero, o transistor Nmos está conduzindo e Pmos aberto. Conforme a tensão de entrada V_{in} cresce ($V_{in} = V_{threshold_P}$) o transistor Pmos entra em condução, quando a tensão de entrada não polariza o transistor Nmos ($V_{in} = 1,8 - V_{threshold_N}$) o sinal de entrada é conduzido pelo transistor Pmos. Portanto, a chave consegue operar de forma *rail-to-rail* (0 V a 1,8 V) com tensão de alimentação igual a 1,8 V.

Realizando a simulação paramétrica com relação a tensão de entrada, observa-se que a resistência da *transmission gate* ($rn_{on}//rp_{on}$) na Figura 27 é maior em V_{in} = V_{DD} do que em V_{in} = 0 V. Isso ocorre porque o canal P na tecnologia TSMC180 tem uma mobilidade menor do que o canal N, sendo necessário aumentar a largura do transistor P para compensar essa diferença nos valores de mobilidade, e então reduzir a variação da resistência à medida que a tensão de entrada cresce de 0 V para 1.8 V.

A Figura 28 apresenta a simulação paramétrica da resistência (ron_{max}/ron_{min})

Figura 28 – Variação da resistência ron_{max}/ron_{min} em função da relação k.



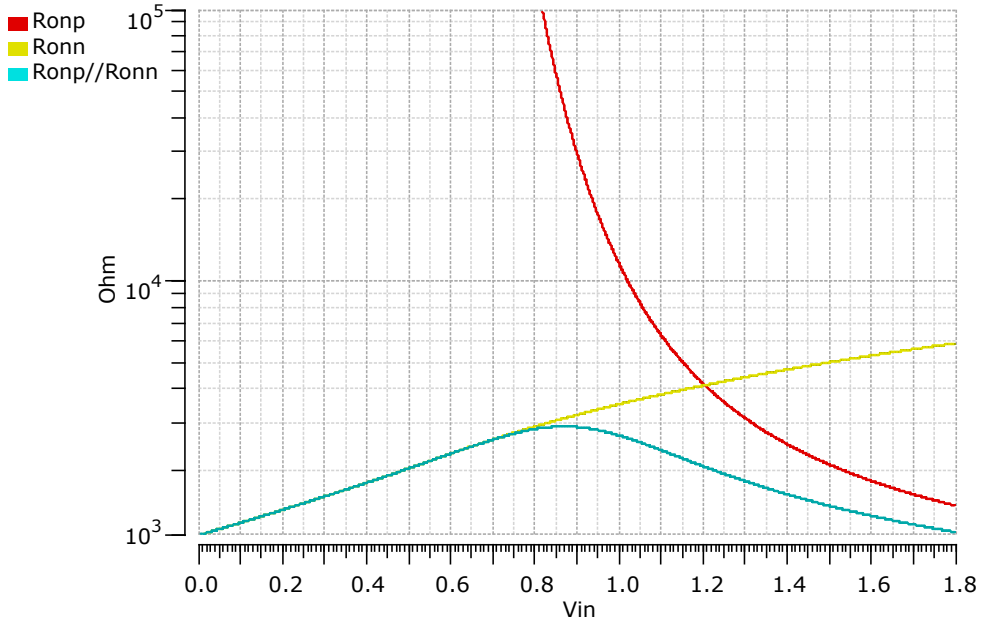
Fonte: AUTOR.

da chave em função da variação do tamanho de canal do transistor P (fator multiplicativo k). É possível notar que a menor relação de resistência ocorre para um valor de k = 4.

A Figura 29 apresenta a curva de resistência da chave em função da tensão de entrada com k = 4. É possível notar que as resistências para V_{in} = 0 V e V_{in} = 1.8 V são próximas e a uniformidade da variação da resistência é maior quando comparada a Figura 27.

Portanto, o projeto da chave consiste em duas etapas. Primeiro deve ser dimensionado a relação de tamanho entre os canais P e N a fim de minimizar a variação da resistência, para a tecnologia TSMC180 a taxa de dimensionamento utilizada é k = 4. E por fim, alterar o tamanho dos canais P e N pelo mesmo fator para obter a resistência desejada. Foi adotado o valor próximo ao pico da curva da Figura 29 (2 kΩ) para o projeto e escalonamento das chaves no bloco do conversor digital-analógico.

Figura 29 – Curvas de resistência por tensão de entrada com fator k = 4 (w_n = 0.5 μm e w_p = 4 μm).



Fonte: AUTOR.

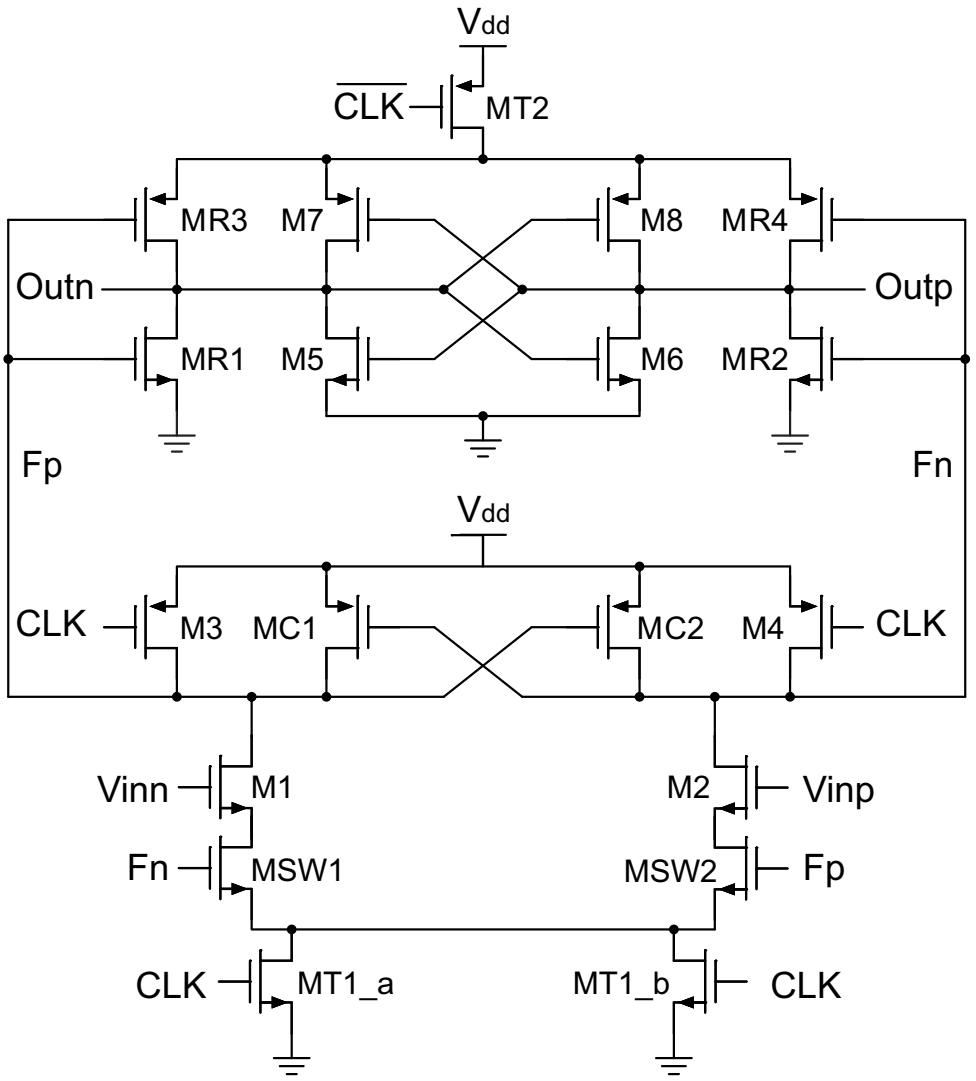
4.3 COMPARADOR

O comparador é responsável por analisar os sinais diferenciais e informar qual destes é maior. Visando atender as especificações do SAR ADC CS, como elevadas frequências e baixo consumo de potência, um comparador dinâmico, Figura 30, inicialmente proposto por (HUSSAIN; KUMAR; TRIVEDI, 2017), foi implementado em tecnologia TSMC180.

Comparadores dinâmicos são regidos por um sinal de habilitação, que ativa em nível lógico alto. Em nível lógico baixo, o sinal de habilitação é utilizado para manter o valor da comparação na saída, até que uma próxima comparação seja requisitada, ficando o comparador desativado. Já comparadores estáticos realizam as comparações continuamente, de forma independente de sinais de ativação, ao custo de maior consumo de energia e respostas mais lentas que os comparadores dinâmicos.

No circuito da Figura 30, a comparação é habilitada através dos transistores MT1 e MT2. Os transistores M3 e M4 atuam como chaves de pré-carga que auxiliam os transistores MC1 e MC2 no fornecimento da pré carga aos nós Fp e Fn. Quando pré carregados, estes nós proporcionam maior dinâmica aos *latches* responsáveis por resolver e manter o valor da comparação na saída. Os *latches* são formados pelos transistores M5, M6, M7 e M8, e possuem os transistores MR1, MR2, MR3 e MR4 para auxiliar nas amplificações.

Figura 30 – Esquemático do comprador dinâmico implementado em tecnologia TSMC180.



Fonte: ADAPTADO DE (HUSSAIN; KUMAR; TRIVEDI, 2017).

Os sinais de entrada são amplificados com baixo ganho pelos transistores M1 e M2, os quais possuem os transistores MSW1 e MSW2 como chaves, ligando M1 e M2 após a pré carga nos nós Fp e Fn. Que como visto anteriormente, com a pré carga nos nós os *latches* já estão condicionados a resolver e manter a comparação. Quando Fn está em estado alto MR2 é ligado e Outp se torna zero. Da mesma forma, se Fp está alto MR1 é ligado e Outn vai para *ground*. Quando um nó se torna zero o outro nó é carregado para VDD. MT1_a e MT1_b fornecem transições cuja velocidade é dependente da largura dos transistores.

Como a tensão diferencial analisada pelo comparador diminui ao longo da conversão, os tamanhos dos transistores são justificados pelo projeto visando baixo atraso, que não interfira de forma significativa no desempenho do conversor. Todos os transis-

tores apresentam comprimento de canal igual a 180 nm. A largura de MT1 é mantida grande (9 μm) enquanto que a largura de MT2 é de 2,5 μm. Todos os demais transistores apresentam w = 220 nm para alcançar as condições de projeto.

No SAR ADC CS a informação da comparação é encaminhada para o controle lógico para que a busca binária seja realizada. As comparações são habilitadas pelo sinal gerado no bloco de controle. Durante a etapa de *tracking* e de pré-carga o sinal é colocado em nível lógico baixo e o comparador permanece desligado, quando a amostragem inicia o comparador é habilitado e começa a efetuar as comparações.

Além disso, as saídas do comparador, Compp e Compn, são aplicadas em uma porta lógica XOR que gera uma saída alta quando a diferença entre os sinais for maior que 1.6 V, informando que a comparação foi concluída. Esta informação é importante para o controlador, pois é através dela que se sucedem os estados do processo de busca binária.

5 RESULTADOS E DISCUSSÕES

Os circuitos anteriormente discutidos foram implementados no ambiente Virtuoso do *software* Cadence. A implementação objetiva validar o projeto do conversor analógico-digital por aproximações sucessivas com compartilhamento de carga, e então caracterizá-lo, quantizando os erros expostos nos capítulos anteriores.

Inicialmente é apresentado a implementação de cada bloco separadamente. Visando a validação dos circuitos do controlador, chaves, DAC e comparador, simulações foram realizadas para verificar o funcionamento dos circuitos. Então, a integração dos blocos é realizada para verificar a operação completa do SAR ADC CS.

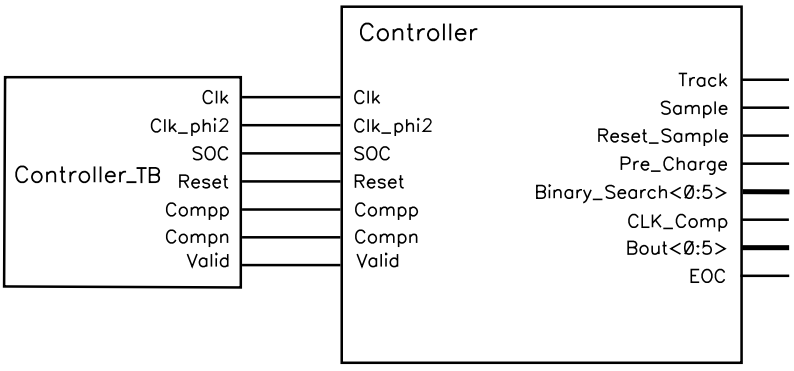
5.1 BLOCOS INTERNOS

5.1.1 Controle Lógico

Na topologia por aproximações sucessivas o controlador é um dos blocos que consome mais energia, segundo (RABUSKE; RABUSKE; RODRIGUES, 2011) existem aplicações onde o controlador consome metade da energia total de um conversor A/D.

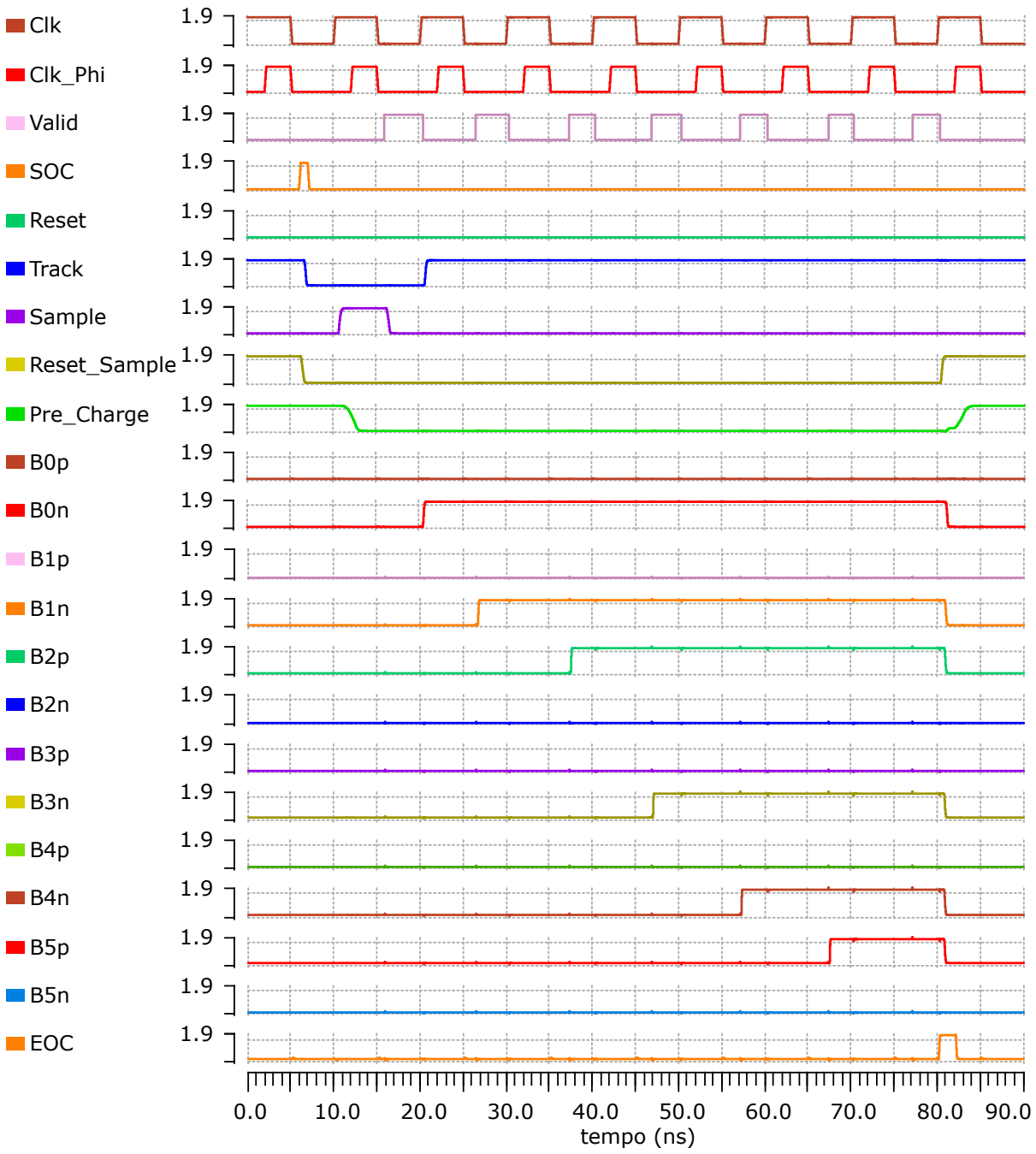
Como explicado anteriormente, a implementação do controlador pode ser representada pelo diagrama de estados da Figura 23. A validação do controlador foi realizada com o auxílio de um gerador de estímulos descrito em VerilogAMS, esse gerador fornece ao controlador os sinais de relógio, de início da conversão e também simula os resultados provenientes do comparador. O circuito implementado em ambiente virtuoso para a realização dos testes e a simulação AMS do circuito são apresentados nas Figuras 31 e 32, respectivamente.

Figura 31 – Circuito de testes do controlador em ambiente virtuoso.



Fonte: AUTOR.

Figura 32 – Sinais provenientes da simulação AMS do controlador (controller).



Fonte: AUTOR.

A Figura 32 permite analisar o funcionamento do controlador. Antes do início da conversão (SOC = 1), as chaves de Track, Reset_Sample e Pre_Charge estão em nível alto, ou seja, está ocorrendo o rastreio do sinal de entrada, a descarga dos capacitores de amostragem e a pré-carga dos capacitores do arranjo de busca binária. Sendo todos os circuitos do conversor preparados para as etapas de conversão. Quando a conversão é requerida, as chaves anteriormente citadas vão para nível ló-

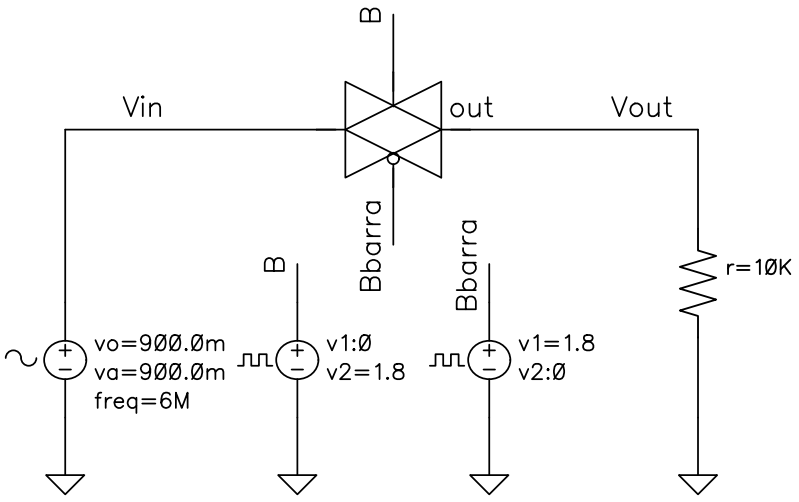
gico baixo e a amostragem é habilitada pelo sinal Sample. Como pode-se observar, a amostragem ocorre sem interferência do sinal de entrada, pois o mesmo não está sendo rastreado durante esse processo.

Após a amostragem ser realizada, o sinal de Valid indica que a etapa de busca binária pode ser iniciada. O gerador de estímulos foi configurado para emular uma conversão cujo resultado é a palavra digital de saída igual a 110110. Isto pode ser observado pela análise dos sinais das chaves BNp, relatado em 4.1, os quais geram os *bits* da palavra digital de saída, e encontram-se de acordo com o sinal digital 110110. Portanto, o controlador está de acordo com o projeto e pode ser integrado aos demais circuitos, após a validação dos mesmos, para o teste do conversor SAR CS.

5.1.2 Chaves Transmission Gate

O projeto das chaves *transmission gate* descrito anteriormente é implementado em ambiente Virtuoso para validação. A Figura 33 apresenta o circuito de bancada para o teste da chave. Neste primeiro teste, um resistor é adicionado à saída da chave para verificar se o sinal sobre o mesmo, V_{out}, não apresenta a queda de tensão de threshold quando os transistores da chave estão saturados.

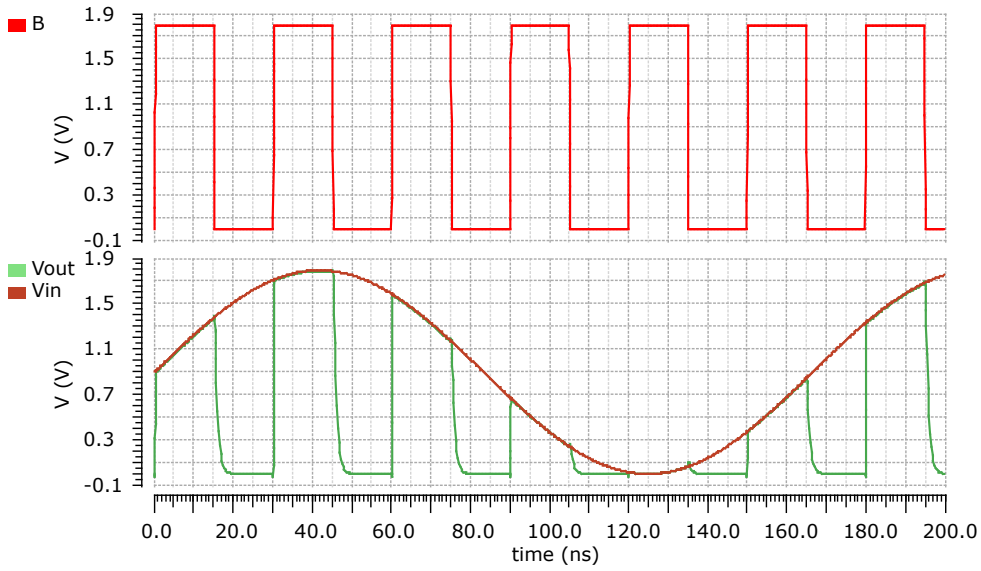
Figura 33 – Chave com carga resistiva na saída.



Fonte: AUTOR.

Para o teste do bloco, um sinal senoidal com frequência de 5 MHz, modo comum em 0,9 V e amplitude 1,8 V_{PP} foi aplicado a entrada da chave. Além disso, os sinais que controlam a chave, B e Bbarra, são obtidos por fontes de tensões de pulsos com período de 30 ns. A Figura 34 apresenta os resultados da simulação, para melhor visualização é apresentado apenas o sinal de controle B, pois Bbarra é o inverso do

Figura 34 – Tensão de saída da chave com resistor.



Fonte: AUTOR.

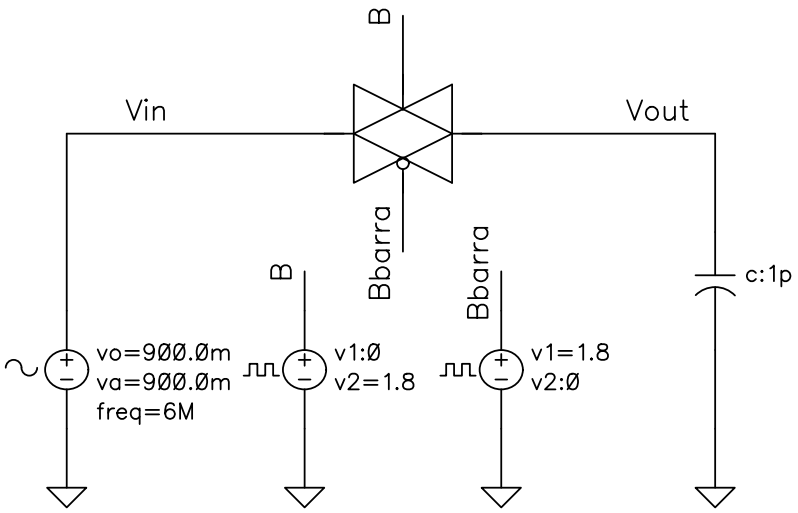
mesmo.

Enquanto o sinal de controle está em nível alto, a tensão de saída acompanha a tensão de entrada, inclusive quando V_{in}=0 V e V_{in}=1,8 V, já quando B = 0 V a tensão de saída é zero. Esse resultado comprova que a chave proposta pode habilitar o conversor a operar de forma *rail-to-rail*.

No entanto, todas as chaves utilizadas no conversor tem capacitores como carga conectados em seus terminais, seja para rastrear o sinal de entrada ou para possibilitar a transferência de carga entre os mesmos. Portanto, o resistor da Figura 33 é substituído por um capacitor com ordem de grandeza dos utilizados no ADC, 1 pF. A Figura 35 apresenta o circuito.

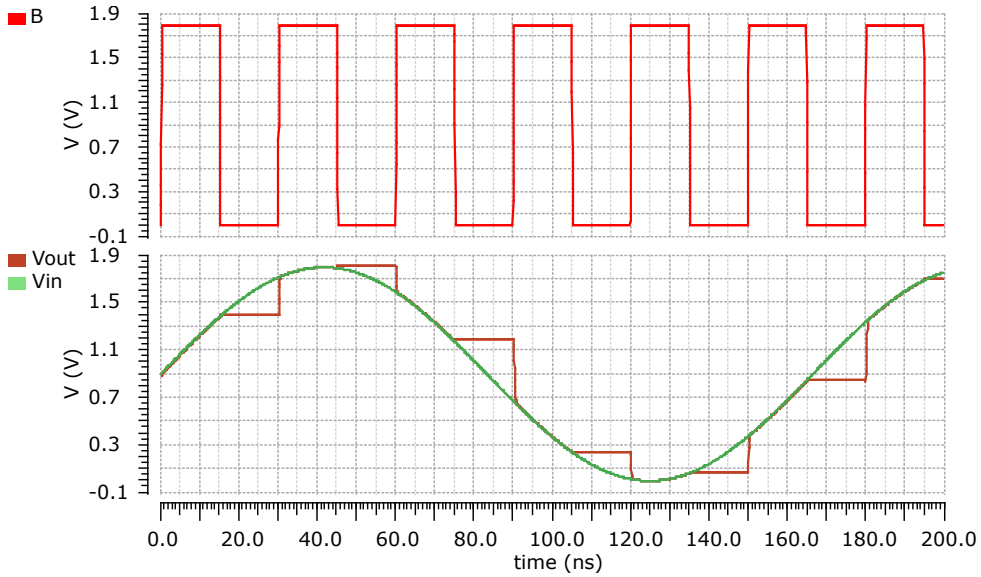
As mesmas condições de teste do circuito com resistor são aplicadas ao circuito da Figura 35, sinal senoidal com frequência de 5MHz, modo comum em 0,9 V e amplitude 1,8 V_{PP} aplicado a entrada da chave, além dos sinais de controle da chave com período de 30 ns. A Figura 36 apresenta os resultados da simulação. Quando o sinal de controle esta em nível lógico alto a tensão sobre o capacitor é igual a tensão de entrada, e no momento em que o sinal de controle vai a nível lógico baixo o capacitor mantém a tensão inicial sobre ele. Esse resultado valida a chave para o circuito de entrada do DAC, o qual rastreia o sinal de entrada e, quando requisitado pelo controlador, mantém o nível de tensão para que a conversão ocorra.

Figura 35 – Chave com capacitor na saída (Circuto *Sample and Hold*).



Fonte: AUTOR.

Figura 36 – Resposta de saída do circuito S&H equivalente.



Fonte: AUTOR.

5.1.3 DAC

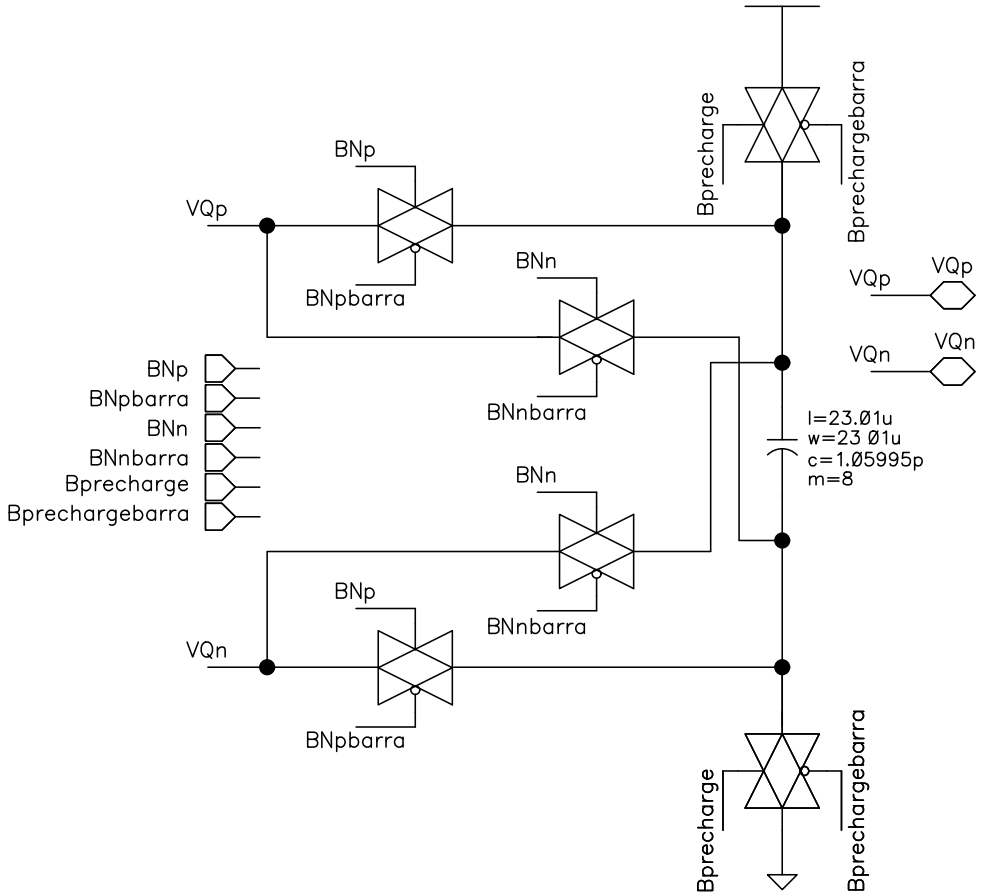
O conversor digital-analógico capacitivo com carga compartilhada do SAR ADC é similar ao esquemático apresentado na Figura 25. Como discutido anteriormente, esta abordagem é escolhida por apresentar menor consumo de potência por conver-

são ao comparado com a arquitetura por redistribuição de carga (CRANINCKX; PLAS, 2007).

Os capacitores C_T e C_S foram projetados com valor de 8.5 pF. Cada bloco CU contém o capacitor com peso binário, o circuito de pré carga, e as chaves que irão adicionar o capacitor de forma adequada ao restante do circuito durante o processo de busca binária. A Figura 37 apresenta a configuração do bloco CU do *bit* mais significativo, os demais blocos são similares, diferindo apenas no tamanho dos capacitores e no dimensionamento das chaves.

As chaves foram projetadas para manter a constante de tempo de acomodação das cargas (RC) igual para todos os processos de aproximações sucessivas. Portanto, a resistência da chave do capacitor do MSB (32 Ω) é 64 vezes menor que a resistência da chave do LSB (2 kΩ).

Figura 37 – Blocos de capacitâncias binárias do DAC.



Fonte: AUTOR.

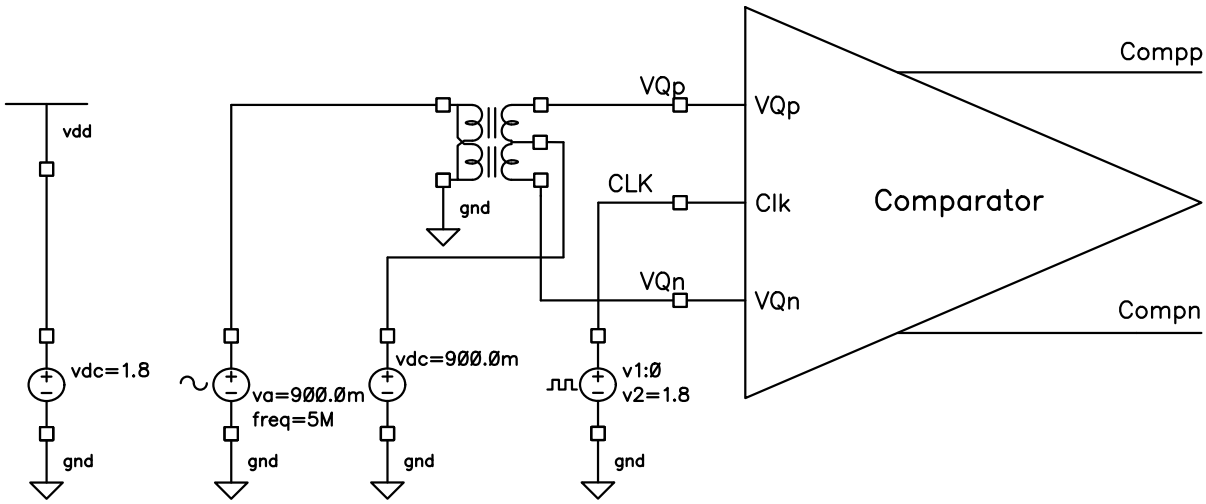
Não foram realizadas simulações específicas para o DAC utilizado no projeto. O funcionamento deste bloco será verificado com as simulações do conversor, após todos os demais blocos serem validados e integrados.

5.1.4 Comparador

Conforme mencionado no capítulo 4, optou-se por um comparador dinâmico, buscando-se um compromisso entre velocidade e consumo de potência. Este comparador foi inicialmente proposto por (HUSSAIN; KUMAR; TRIVEDI, 2017).

Com relação ao circuito de testes do comparador, este é mostrado na Figura 38. Aplicou-se um sinal diferencial com frequência de 5 MHz, com modo comum em 0,9 V e amplitude de 0,9V (1,8 V_{PP}). A frequência do sinal de relógio CLK, utilizado para habilitar as comparações, foi de 125 MHz.

Figura 38 – Esquemático de teste do comparador em ambiente virtuoso.



Fonte: AUTOR.

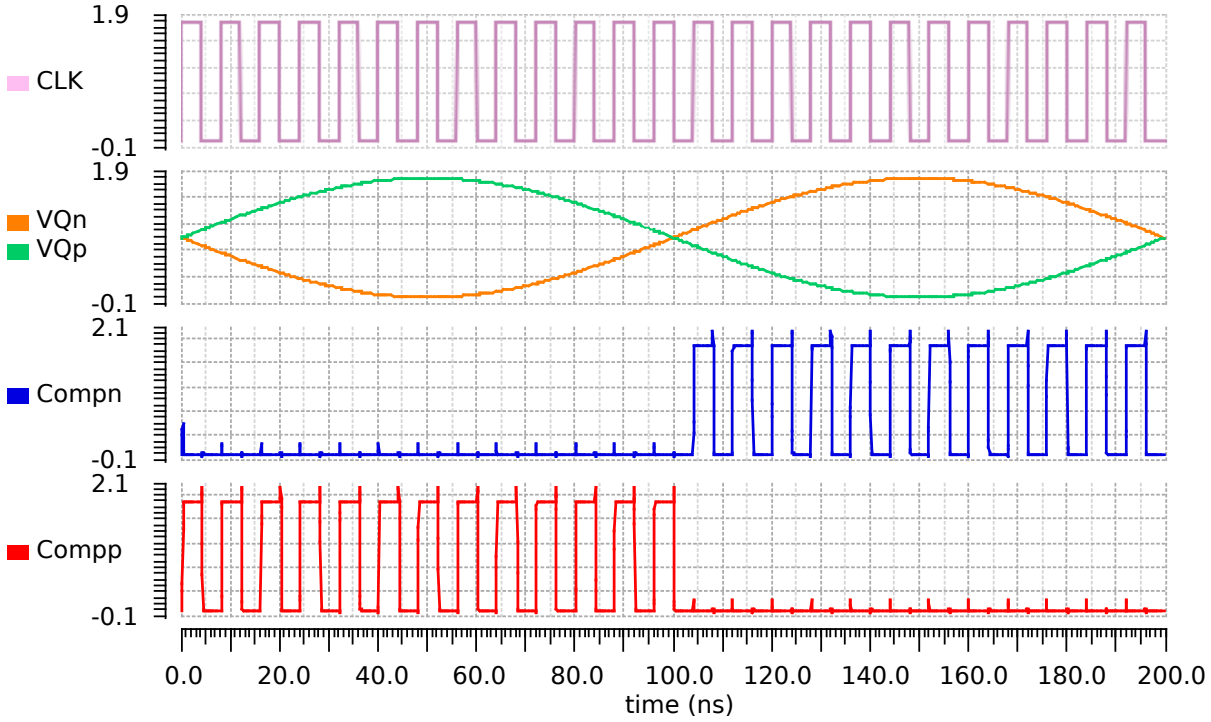
O resultado dos testes do comparador é apresentado na Figura 39. Quando o sinal de entrada VQp é maior que VQn, a saída Compp é setada. Já Compn indica quando VQn é maior que VQp. Observa-se nesta mesma figura o efeito do sinal de habilitação CLK.

Sabe-se que em conversores SAR ADC CS o tempo de comparação tem efeito direto no cômputo da velocidade de conversão do conversor. Portanto, o tempo que o comparador necessita para decidir qual dos sinais de entrada é maior deve ser considerado no desempenho final do conversor.

Ainda, a comparação de sinais de menor amplitude usualmente leva mais tempo, uma vez que os *latches* presentes no comparador necessitam de mais tempo para identificar a diferença entre os sinais de entrada e gerar os desbalanços responsáveis pela tomada de decisão.

Para a aplicação pretendida neste trabalho, o tempo de atraso do comparador é levantado para a frequência de operação do conversor, ou seja, 12,5 MSa/s, com uma

Figura 39 – Simulação da resposta do comparador, operando em 125 MHz, para sinais com frequência de 5 MHz, com modo comum de 0,9 V e tensão igual a 1,8 V_{PP}.



Fonte: AUTOR.

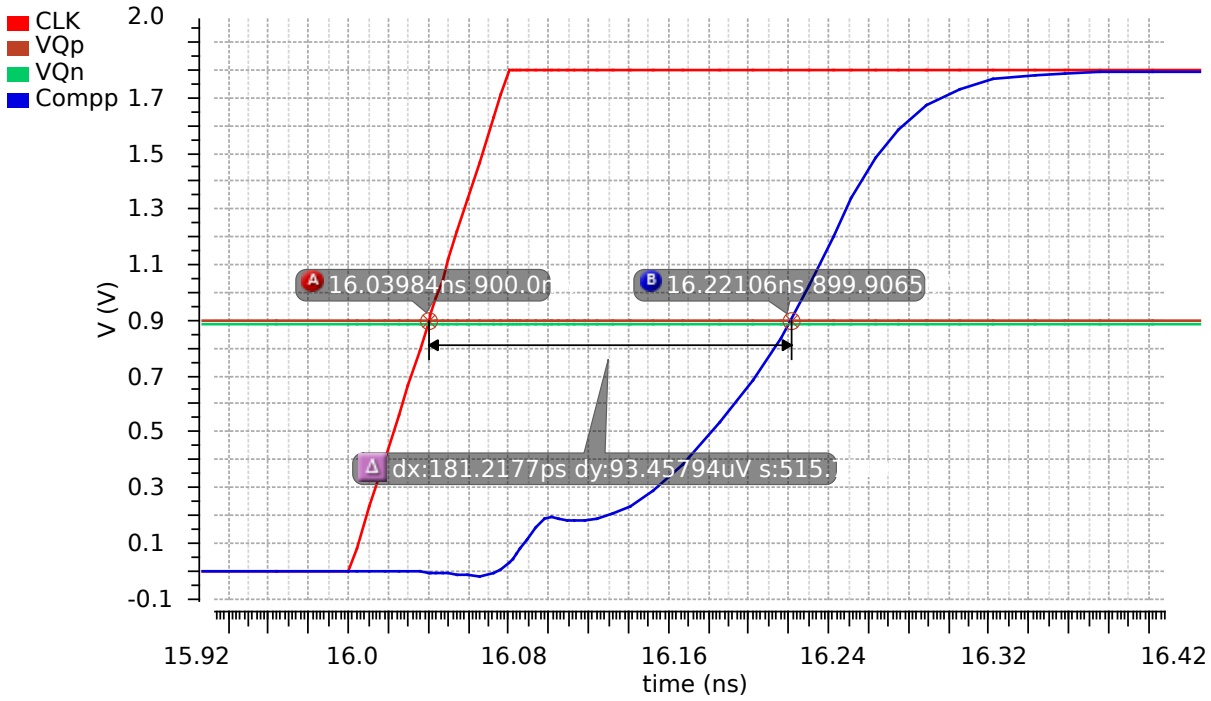
diferença de 10mV entre os sinais diferenciais. A Figura 40 apresenta os resultados da simulação do atraso do comparador. No caso presente, observou-se um atraso aproximado de 182 ps. Importante mencionar que as medidas dos atrasos seguem as orientações da literatura (GOLL; DURANTE; ZIMMERMANN, 2006), sendo levantadas no nível de modo comum dos sinais.

5.2 TEMPO DE ATRASO POR BUSCA BINÁRIA PARA O SAR ADC CS

Como abordado anteriormente em 4.2, o tempo de acomodação das cargas está relacionado com a resistência da chave e o valor de capacitância, sendo fornecido pela constante de tempo RC. No SAR ADC CS proposto, o pior caso envolvendo a acomodação das cargas ocorre no processo de amostragem. Portanto, a chave que habilita este processo foi projetada como o paralelo de 4 *transmission gates*, apresentando uma resistência máxima de canal de 500 Ω. Para esta situação então, o tempo de acomodação dado pelo produto da capacitância de amostragem, de 8,5 pF, e da resistência resultante das chaves, de 500 Ω, resultou em um atraso estimado de 4,25 ns.

Como pode ser observado da Figura 40, o atraso para a comparação dos sinais

Figura 40 – Atraso de comparação para ΔV = 10 mV com comparações sendo habilitadas a uma frequência de 125 MHz.



Fonte: AUTOR.

é de aproximadamente 182 ps. Juntamente com o atraso de 4,25 ns no acomodação das cargas do DAC, uma boa estimativa para o tempo máximo de atraso por ciclo de busca binária é de aproximadamente 4,45 ns. O período de relógio utilizado na operação do conversor foi de 10 ns, suficientemente longo para acomodar os atrasos principais identificados no processo de conversão.

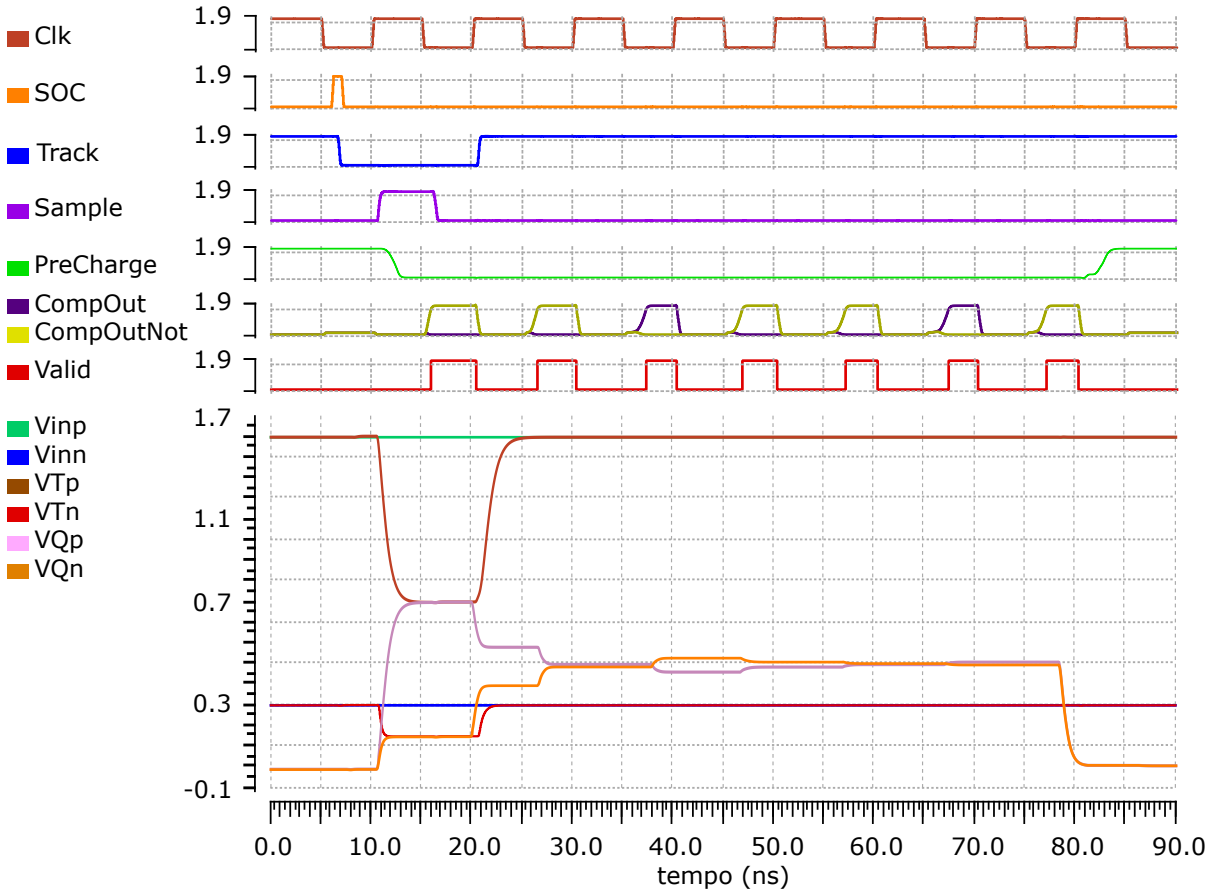
5.3 O CONVERSOR A/D SAR CS

Após a verificação da funcionalidade dos blocos individuais do conversor SAR (controlador, chaves, DAC e comparador), procedeu-se a integração dos mesmos de forma a permitir a análise final do conversor SAR CS. O esquemático montado em ambiente virtuoso é similar ao da Figura 20.

Para comparações com as formas de ondas estudadas, e que apresentam o funcionamento do SAR ADC CS (Figura 18), foram aplicados sinais contínuos na entrada do ADC a fim de converter um valor conhecido de tensão diferencial. Os valores dos sinais são V_P = 1,6 V e V_N = 0,3 V. A Figura 41 apresenta o processo de conversão de uma amostra desse sinal diferencial, possibilitando a análise do circuito do ADC, bem como a influência de cada um dos blocos durante a conversão.

Inicialmente, assim que o sinal de início da conversão (SOC) foi detectado o

Figura 41 – Sinais durante o processo de conversão do SAR ADC CS para uma amostra do sinal de entrada.



Fonte: AUTOR.

controlador ajusta as chaves para que a conversão ocorra. A chave de *Track* vai para nível lógico baixo, armazenando o valor a ser convertido e interrompendo o rastreio do sinal de entrada. Isto pode ser visto pelos sinais VTp e VTn, sinais de rastreio, os quais antes de SOC = 1 apresentavam o mesmo valor dos sinais de entrada.

Em seguida, a chave de *Sample* é acionada e metade da carga armazenada no processo de *tracking* é transferida aos capacitores de amostram. Sinal VTp vai de 1,6 V para 0,8 V, igualando-se a VQp. Já o sinal VTn varia de 0,3 V para 0,15 V, mesmo valor que VQn assume ao final do processo. Novamente, a tensão dos sinais é dividida pela metade devido aos capacitores de *track* e amostragem terem sidos escolhidos iguais.

O sinal de Precharge vai para nível lógico baixo após o início da amostragem. Sendo assim, os processos sucessivos de busca binária ocorrem sem influência da fonte de alimentação externa, reduzindo o consumo de energia por conversão.

No primeiro processo de busca binária, como VQp é maior que VQn, o capacitor do MSB é adicionado em antiparalelo, MSB = 1, ocorrendo a redução do valor de VQp

e o aumento de VQn. O mesmo ocorre para os próximos dois *bits*. Do 4º até o 6º *bit* o sinal VQn é maior que VQp, sendo os capacitores adicionados em paralelo. Resultando em valor binário de saída igual a 0 para os referidos *bits*.

Portanto, o sinal convertido apresenta valor digital igual a 111000. Aplicando a saída digital da conversão na equação (2.2), a qual converte o valor do resultado digital em um valor analógico, tem-se:

$$V_{out} = 1,8 \cdot (1 \cdot 2^{-1} + 1 \cdot 2^{-2} + 1 \cdot 2^{-3} + 0 \cdot 2^{-4} + 0 \cdot 2^{-5} + 0 \cdot 2^{-6}) = 1,575V \qquad (5.1)$$

Apresentando como diferença do sinal de entrada 25 mV, o que é satisfatório ao comparar-se com o V_{LSB} do conversor, o qual é próximo a 28 mV. Portanto, o erro decorrente da presente conversão é menor que V_{LSB}, mantendo o conversor dentro dos padrões de erros requisitados em aplicações (ALLEN; HOLBERG, 2011). Para verificar a plena operação do SAR ADC CS técnicas presentes na literatura, (Note, Application, 2003) e (ZAHRAI; ONABAJO, 2018), são utilizadas para um levantamento completo das condições operacionais do conversor.

5.3.1 Análise de erros

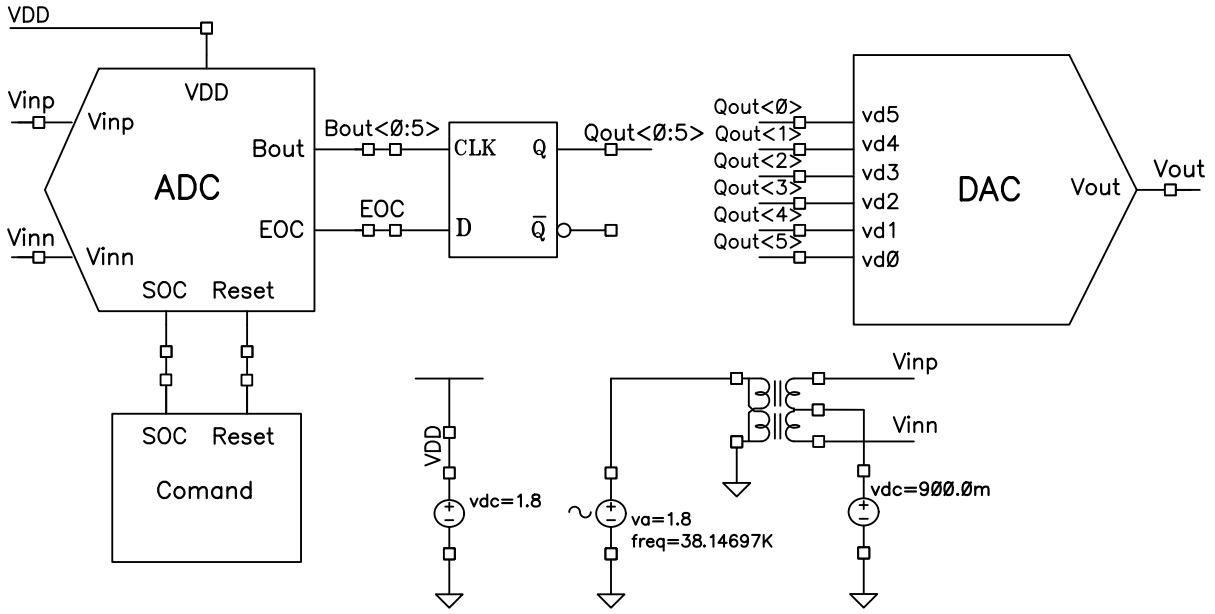
Para a análise de erros do conversor A/D, o circuito de teste mostrado na Figura 42 foi projetado. Como mencionado anteriormente, um *flip-flop* tipo D é utilizado para armazenar os valores da palavra binária, a qual é aplicada em um DAC ideal implementado em VerilogAMS. Tais ações são realizadas devido aos métodos de análise dos erros estáticos e dinâmicos.

Os métodos para levantar o desempenho do conversor se baseiam na aplicação de um sinal analógico senoidal na entrada do ADC, o qual converte o sinal de entrada em um sinal digital, que então é aplicado em um DAC para a reconstrução do sinal analógico. O DAC deve apresentar maior resolução que o ADC, além disso, o sinal de entrada deve satisfazer algumas condições para que o desempenho do ADC possa ser levantado de forma correta, tais como frequência de Nyquist e tensão de entrada próxima à escala máxima.

Para determinar os parâmetros do sinal, faz-se o uso do critério de amostragem coerente (Note, Application, 2004). Este critério estabelece condições para que um sinal analógico periódico possa ser recuperado a partir de suas amostras. Sendo necessário que um número inteiro de ciclos seja enquadrado em uma janela de amostragem pré-definida.

A frequência do sinal de entrada foi definida pela equação (5.2). Na qual N_{WINDOW} é o número de ciclos do sinal de entrada que deseja-se enquadrar na janela de amostragem, segundo o método este deve ser um número primo. A frequência de

Figura 42 – Bancada de testes para levantar as condições operacionais do conversor A/D SAR CS.



Fonte: AUTOR.

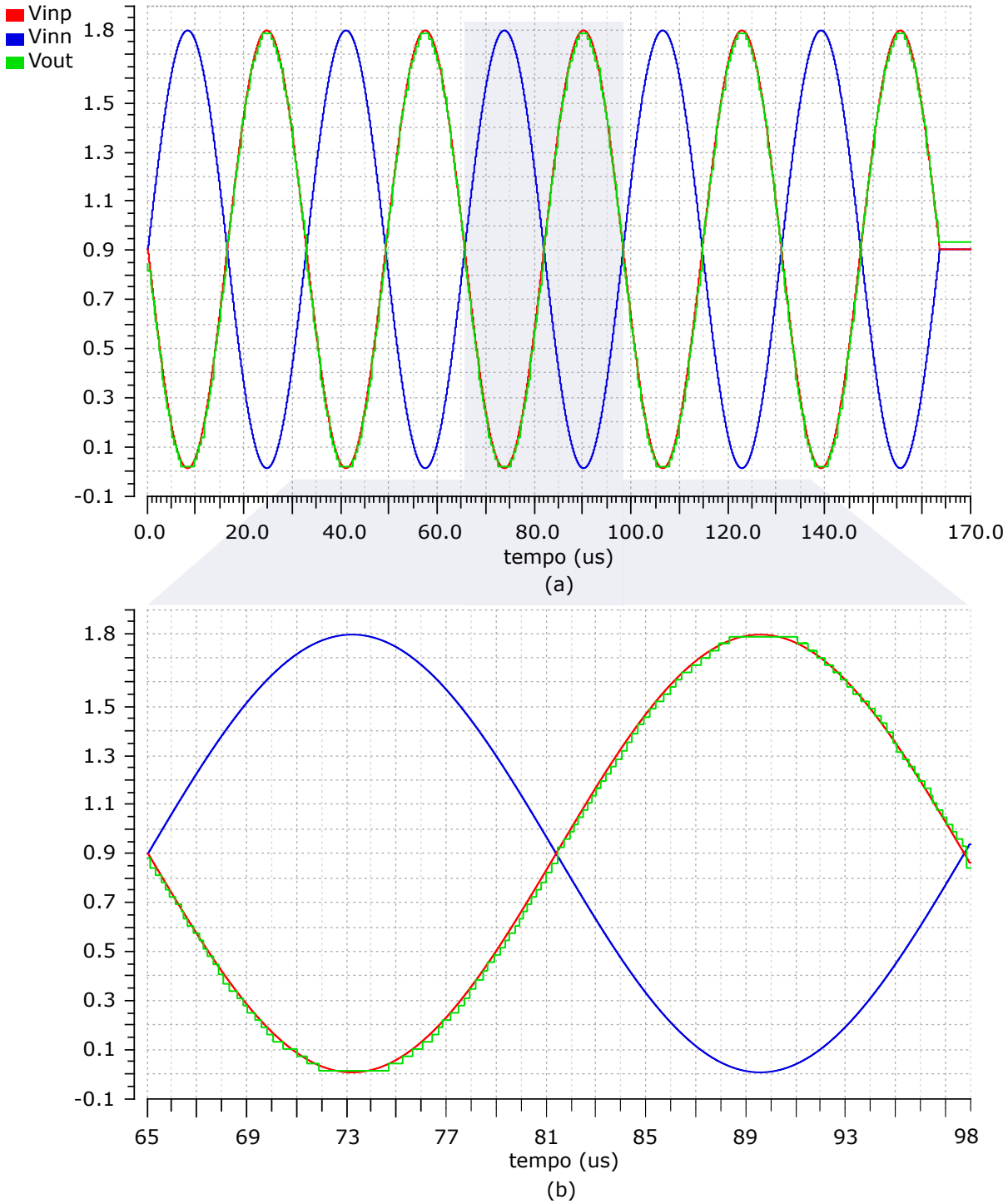
conversão do ADC é considerada na formula como f_{SAMPLE}. Ainda, N_{RECORD} é o número de amostras desejadas após a conversão do sinal e deve ser uma potência de 2. Sendo, portanto, determinada a frequência do sinal senoidal a ser aplicada para satisfazer o critério de amostragem coerente, f_{IN}.

$$f_{IN} = \frac{N_{WINDOW} \cdot f_{SAMPLE}}{N_{RECORD}} \tag{5.2}$$

O número de ciclos do sinal desejados na janela de amostragem foi definido igual a 5, a frequência de amostragem do ADC é de 12,5 MSa/s, e o número de amostradas definido como 2048. Portanto, o sinal senoidal aplicado na entrada do conversor possui amplitude de 1,8 V_{PP}, modo comum igual a 0,9 V e frequência de 30,5176 kHz. A Figura 43 (a) apresenta os resultados obtidos através da aplicação do sinal no circuito da Figura 42.

Como o sinal completo de saída apresenta 2048 amostras de conversão e 5 ciclos senoidais, para possibilitar uma melhor análise gráfica dos sinais, um dos ciclos é ampliado e apresentado na Figura 43 (b). Desta é possível analisar que a recuperação do sinal de entrada ocorre, também é possível notar a monotonicidade do processo de conversão. No entanto, não apresenta conclusões precisas sobre a real fidelidade dos sinais, sendo então utilizados métodos computacionais para levantamento dos erros.

Figura 43 – Sinais para determinação de erros estáticos e dinâmicos do SAR ADC CS implementado.



Fonte: AUTOR.

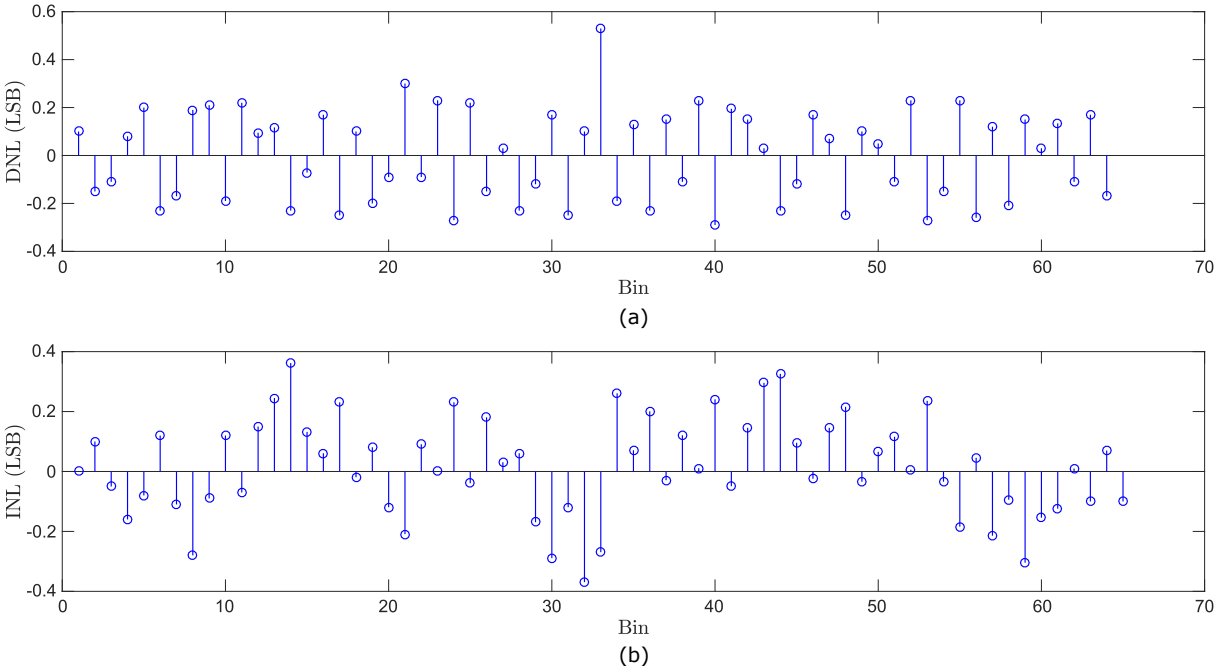
5.3.1.1 Erros Estáticos

Para levantar esses erros foi implementada uma função no Matlab que utiliza o teste de densidade de códigos, também chamado de histograma, sendo realizado no domínio do tempo (Note, Application, 2003). É gerado uma distribuição de códigos digitais correspondentes a saída do conversor, esses códigos são agrupados em subintervalos, denominados *bins*, mostrando quantas vezes cada código foi gerado pelo ADC. No conversor SAR CS de 6 *bits* existem 2^6 *bins*, ou seja, 64 *bins*.

Para um conversor A/D ideal a largura de cada *bin* é igual a $FSR/2^6$ V, onde FSR é a tensão de referência. Para o presente caso a FSR é igual a 1,8 V, resultando em um subintervalo igual a 28,125 mV. Por fim, o desvio da distribuição obtida através da comparação desses códigos com o sinal V_{out} da Figura 43 (a) determina os erros de DNL e INL.

Os resultados do levantamento dos erros estáticos são apresentados nas Figuras 44 (a) e (b), as quais apresentam os gráficos de DNL e INL pela distribuição de *bins*, respectivamente. Ambos os erros estão dentro das margens estabelecidas pela literatura, ± 1 LSB, (ALLEN; HOLBERG, 2011).

Figura 44 – Resultados de DNL e INL obtidos através do teste de histograma.



Fonte: AUTOR.

O pico que ocorre no centro da escala de *bins* da Figura 44 (a) é de importante análise, pois este evento ocorre quando os sinais diferenciais de entrada são praticamente iguais. Quando a primeira, e mais lenta, comparação ocorre, o capacitor

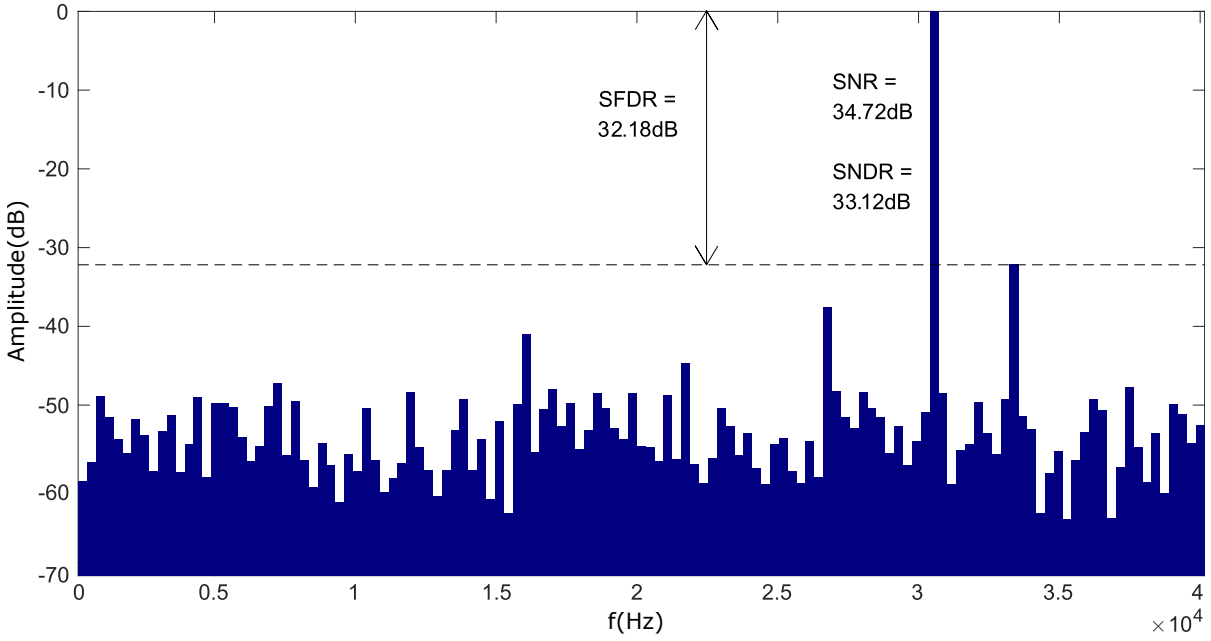
do MSB é adicionado e aumenta a diferença entre os sinais diferenciais. No entanto os capacitores subsequentes trazem, rapidamente, a diferença dos sinais para valores muito próximos. Como no decorrer da conversão a capacitância de entrada do comparador aumenta, maior tempo de comparação é necessário e maiores problemas de *offset* são originados. Sendo assim, para os sinais diferenciais de entrada $V_{inp} = V_{inn} = 0,9$ V, ocorre a inversão do 5° e 6° *bit* da conversão, elevando o erro de DNL para a presente amostra.

5.3.1.2 Erros Dinâmicos

A analise destes erros é realizada no domínio da frequência, sendo necessário o uso do Matlab para transformar os dados obtidos para o domínio da frequência através da Transformada Rápida de Fourier (FFT). A utilização dessa abordagem possibilita determinar diversas medidas, tais como: relação sinal ruído (SNR), faixa dinâmica livre de distorção (SNDR) e número efetivo de bits (ENOB).

O sinal V_{out} da Figura 43 (a) é exportado para o Matlab para o processamento da FFT e retirada dos resultados. O *script* utilizado é uma função desenvolvida e fornecida com o nome de PrettyFFT (Skyler Weaver, 2010), a qual realiza a FFT e calcula os parâmetros dinâmicos do conversor. A Figura 45 apresenta FFT com as magnitudes dos erros.

Figura 45 – Transformada de Fourier para levantamento de erros dinâmicos.



Fonte: AUTOR.

O SNR foi calculado dividindo a frequência de entrada pelo ruído e tem mag-

nitude de 34,72 dB, o SFDR é a diferença entre a energia da onda fundamental e a energia da maior harmônica, sendo igual a 32,18 dB, o SNDR é de 33,12 dB obtido através da relação entre a potência do sinal e a potência total resultante da distorção de todos os ruídos presentes no sinal. Finalmente, o ENOB de 5,20 *bits* é obtido através de (2.14).

A partir desses parâmetros é possível estabelecer uma figura de mérito (FoM, Figure of Merit), a qual tem utilidade para comparar diferentes ADC a partir da mesma métrica. Uma figura de mérito frequentemente utilizada relaciona a potência consumida, a frequência de amostragem e o ENOB, definida por (5.3).

$$FoM = \frac{P}{2^{ENOB} \cdot f_s} \tag{5.3}$$

Como apresentado na seção 5.3.2 a seguir, a energia consumida para a operação do conversor em 12,5 MSa/s é 292,4 μW por conversão, resultando em uma FOM de 645,26 fJ/convertion.

5.3.2 Consumo de energia

O consumo de potência, juntamente com a frequência de amostragem e a resolução, são os principais parâmetros de um conversor A/D. Como discutido anteriormente, a resolução escolhida foi de 6 *bits*. A máxima frequência de conversão do SAR ADC CS foi de 15,6 MSa/s, sendo escolhido para o projeto 12.5 MSa/s por apresentar melhor desempenho com relação aos erros.

Com os parâmetros de resolução e frequência de amostragem limitados e definidos, uma análise mais detalhada para as demais frequências possíveis de operação do ADC, menores que 15.6 MSa/s, é realizada a fim de uma melhor caracterização da relação consumo de potência em função da frequência de operação do conversor.

Para isso, partindo da máxima frequência de conversão, são realizadas simulações operacionais do ADC para outras 3 frequências, a utilizada como padrão no projeto 12,5 MSa/s, 10,4 MSa/s e 8,9 MSa/s. O cálculo da potência é realizado com o uso das ferramentas matemáticas disponíveis no *software* virtuoso. A Tabela 1 apresenta os resultados, relacionando o período de relógio, a frequência de amostragem e a potência consumida por bloco e pelo conversor.

A fim de proporcionar uma melhor visualização dos resultados obtidos, através do *software* Matlab, é gerado a Figura 46. Esta apresenta os dados da Tabela 1 em forma de gráfico de barras.

Partindo dos dados da Tabela 1 e da Figura 46 é possível analisar que o consumo de potência como um todo, tanto dos blocos individuais como do conversor A/D SAR CS, apresentaram um decremento proporcional a uma redução da frequência de

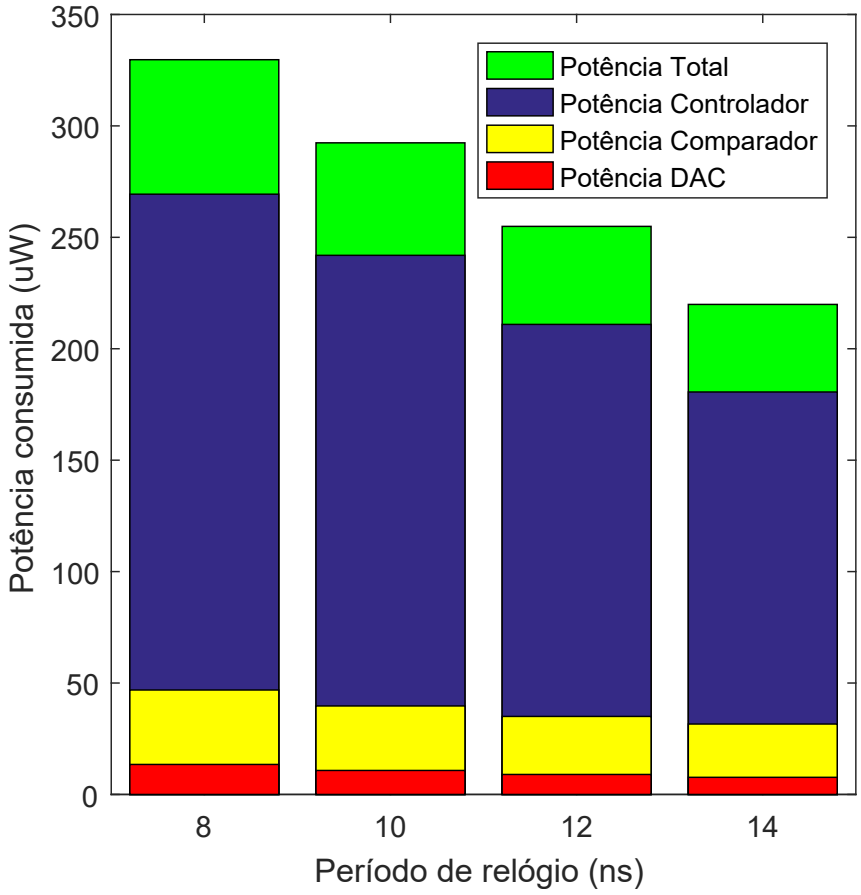
Tabela 1 – Consumo de potência do SAR ADC CS em função da frequência de operação.

Frequência de Amostragem (MS/s)	Período do Relógio (ns)	Potência do DAC (μW)	Potência do Comparador (μW)	Potência do Controlador (μW)	Potência Total (μW)
15,625	8	13,470	46,870	269,360	329,700
12,500	10	10,770	39,710	241,920	292,400
10,417	12	8,975	35,010	210,925	254,910
8,928	14	7,691	31,601	180,600	219,892

Fonte: Autor.

amostragem. É possível observar o baixo consumo dos blocos DAC (com as chaves integradas) e do comparador. Já o controlador, por não ser otimizado na implementação, apresentou elevado consumo de potencia, 79% do consumo total, estando em oposição aos consumos típicos para o bloco, até 50% (RABUSKE; RABUSKE; RODRIGUES, 2011).

Figura 46 – Consumo de potência em função dos diferentes períodos de relógio.



Fonte: AUTOR.

6 CONCLUSÃO

O SAR ADC CS foi projetado em tecnologia TSMC180. Taxas de conversão elevadas (superior a 12,5 MSa/s) com baixo consumo de energia (inferior à 300 μW por conversão) foram objetivos principais do presente projeto. O circuito de controle lógico, de natureza digital, foi implementado via síntese lógica. Durante a síntese, procurou-se otimizar o circuito a fim de reduzir atrasos e complexidade, com efeito no consumo de energia. No projeto do conversor digital-analógico do ADC utilizou-se a topologia por compartilhamento de carga, visando também a redução do consumo de energia. As chaves que integram o bloco do DAC foram projetadas visando minimizar a resistência de canal, equalizando tempos de acomodação de cargas durante o processo da busca binária. Por fim, um comparador dinâmico rápido e de baixo consumo foi proposto para o conversor. Este comparador mostrou-se relativamente rápido para os propósitos do conversor (inferior a 190 ps).

O desempenho do conversor analógico-digital SAR CS com relação a erros estáticos e dinâmicos foi obtido através do Matlab. Apresentando um ENOB de 5,2 bits. As magnitude de erros estáticos e dinâmicos ficaram dentro dos padrões estabelecidos, $\pm$1 LSB. No que tange ao consumo de energia, a implementação do circuito do comparador resultando em um elevado consumo, 79% do consumo total do ADC (241,920 μW por conversão), quando esperava-se no máximo 50%. Apesar disso, os resultados de erros estáticos e dinâmicos mostram que a performance do ADC manteve-se dentro dos parâmetros estabelecidos.

6.1 PROJETOS FUTUROS

Como levantado no trabalho, a falta da biblioteca digital da TSMC180 resultou em um circuito para o controlador sem as efetividades da síntese lógica, onde melhorias no atraso de propagação e consumo de energia presentes na *netlist* não foram obtidas em esquemático elétrico. A obtenção da biblioteca digital proporcionaria explorar o SAR ADC CS em aplicações onde maiores frequências de amostragens sejam requisitadas, acima de 15 MSa/s. Para estas frequências, maiores serão os atrasos nas comparações e nas tomadas de decisões dos posicionamentos efetivos das chaves.

Portanto, o estudo de novas abordagens para o circuito do comparador é de suma importância para que a velocidade de comparação seja aumentada, elevando, consequentemente, a velocidade de operação do conversor. Para isso, o comparador deverá ser capaz de realizar a próxima decisão sem ter de esperar que as acomodações das cargas no DAC sejam finalizadas.

REFERÊNCIAS BIBLIOGRÁFICAS

ALLEN, P. E.; HOLBERG, D. R. **CMOS analog circuit design**. [S.l.]: Oxford university press, 2011.

BAKER, R. J. **CMOS: circuit design, layout, and simulation**. [S.l.]: Wiley-IEEE press, 2019.

BANNON, A. et al. An 18 b 5 ms/s sar adc with 100.2 db dynamic range. In: IEEE. **2014 Symposium on VLSI Circuits Digest of Technical Papers**. [S.l.], 2014. p. 1–2.

CARBALLO, J.-A. et al. Itrs 2.0: Toward a re-framing of the semiconductor technology roadmap. In: IEEE. **2014 IEEE 32nd International Conference on Computer Design (ICCD)**. [S.l.], 2014. p. 139–146.

CARUSONE, T. C.; JOHNS, D. A.; MARTIN, K. W. **Analog Integrated Circuit Design [M]. John Wiley&Sons**. [S.l.]: Inc, 2011.

CRANINCKX, J.; PLAS, G. Van der. A 65fj/conversion-step 0-to-50ms/s 0-to-0.7 mw 9b charge-sharing sar adc in 90nm digital cmos. In: IEEE. **2007 IEEE International Solid-State Circuits Conference. Digest of Technical Papers**. [S.l.], 2007. p. 246–600.

FAYOMI, C. J. B.; ROBERTS, G. W. Design and characterization of low-voltage analog switch without the need for clock boosting. In: IEEE. **The 2004 47th Midwest Symposium on Circuits and Systems, 2004. MWSCAS'04.** [S.l.], 2004. v. 3, p. iii–315.

GOLL, B.; DURANTE, M. S.; ZIMMERMANN, H. A measurement technique to obtain the delay time of a comparator in 120nm cmos. In: IEEE. **Proceedings of the International Conference Mixed Design of Integrated Circuits and System, 2006. MIXDES 2006.** [S.l.], 2006. p. 563–568.

GRAY, P. R. et al. **Analysis and design of analog integrated circuits**. [S.l.]: John Wiley & Sons, 2009.

HUMMERSTON, D.; HURRELL, P. An 18-bit 2ms/s pipelined sar adc utilizing a sampling distortion cancellation circuit with- 107db thd at 100khz. In: IEEE. **2017 Symposium on VLSI Circuits**. [S.l.], 2017. p. C280–C281.

HUSSAIN, S.; KUMAR, R.; TRIVEDI, G. Comparison and design of dynamic comparator in 180nm scl technology for low power and high speed flash adc. In: IEEE. **2017 IEEE International Symposium on Nanoelectronic and Information Systems (iNIS)**. [S.l.], 2017. p. 139–144.

KESTER, W. A brief history of data conversion: A tale of nozzles, relays, tubes, transistors, and cmos. **IEEE Solid-State Circuits Magazine**, IEEE, v. 7, n. 3, p. 16–37, 2015.

KESTER, W.; ENGINEERI, A. D. I. **Data conversion handbook**. [S.l.]: Newnes, 2005.

LEE, S.; CHANDRAKASAN, A. P.; LEE, H.-S. A 1 gs/s 10b 18.9 mw time-interleaved sar adc with background timing skew calibration. **IEEE Journal of Solid-State Circuits**, IEEE, v. 49, n. 12, p. 2846–2856, 2014.

MAXIM, I. Understanding sar adcs: Their architecture and comparison with other adcs. **Disponível em: http://www. maxim-ic. com/app-notes/index. mvp/id/1080**, 2001.

MOORE, G. E. et al. **Cramming more components onto integrated circuits**. [S.l.]: McGraw-Hill New York, NY, USA:, 1965.

MURMANN, B. The race for the extra decibel: a brief review of current adc performance trajectories. **IEEE Solid-State Circuits Magazine**, IEEE, v. 7, n. 3, p. 58–66, 2015.

NATIONALINSTRUMENTS. Understanding frequency performance specifications. **Disponível em: Http://www.ni.com/white-paper/3359/. National Instruments Corporation; Whitepaper**, 2017.

NAYLOR, D.; JONES, S. **VHDL: a logic synthesis approach**. [S.l.]: Springer Science & Business Media, 1997.

Note, Application. **TUTORIALS 2085**: Histogram testing determines dnl and inl errors. Maxim Integrated Products, 2003. Acesso em 23 jun 2019. Disponível em: <https://www.maximintegrated.com/en/design/technical-documents/tutorials/2/2085.html>.

____. **TUTORIALS 3190**: Coherent sampling calculator (csc). Maxim Integrated Products, 2004. Acesso em 16 set 2019. Disponível em: <https://www.maximintegrated.com/en/design/technical-documents/app-notes/3/3190.html>.

OKUNO, K. et al. An 800-mhz 8-bit high speed sar adc in 16nm finfet process. In: IEEE. **2017 IEEE International Meeting for Future of Electron Devices, Kansai (IMFEDK)**. [S.l.], 2017. p. 24–25.

PELGROM, M. J. Analog-to-digital conversion. In: **Analog-to-Digital Conversion**. [S.l.]: Springer, 2015. p. 325–418.

RABUSKE, T.; FERNANDES, J. Effect of comparator offset on the linearity of charge sharing adcs. **Analog Integrated Circuits and Signal Processing**, Springer, v. 90, n. 1, p. 9–16, 2016.

____. a sar adc with a moscap-dac. **IEEE Journal of Solid-State Circuits**, IEEE, v. 51, n. 6, p. 1410–1422, 2017.

RABUSKE, T. G.; NOOSHABADI, S.; RODRIGUES, C. R. A 54.2 μw 5 msps 9-bit ultra-low energy analog-to-digital converter in 180 nm technology. **Analog Integrated Circuits and Signal Processing**, Springer, v. 72, n. 1, p. 37–46, 2012.

RABUSKE, T. G.; RABUSKE, F. A.; RODRIGUES, C. R. A novel energy efficient digital controller for charge sharing successive approximation adc. In: IEEE. **2011 IEEE Second Latin American Symposium on Circuits and Systems (LASCAS)**. [S.l.], 2011. p. 1–4.

RAZAVI, B. **Principles of data conversion system design**. [S.l.]: IEEE press New York, 1995. v. 126.

____. A tale of two adcs: Pipelined versus sar. **IEEE Solid-State Circuits Magazine**, IEEE, v. 7, n. 3, p. 38–46, 2015.

ROBERTSON, D. H. Problems and solutions: How applications drive data converters (and how changing data converter technology influences system architecture). **IEEE Solid-State Circuits Magazine**, IEEE, v. 7, n. 3, p. 47–57, 2015.

SADOLLAHI, M. et al. An 11-bit 250-nw 10-ks/s sar adc with doubled input range for biomedical applications. **IEEE Transactions on Circuits and Systems I: Regular Papers**, IEEE, v. 65, n. 1, p. 61–73, 2017.

SAH, C.-T. **Fundamentals of solid state electronics**. [S.l.]: World Scientific Publishing Company, 1991.

Skyler Weaver. **Pretty FFT**. Analog Mixed Signal Group Wiki, 2010. Acesso em 25 set 2019. Disponível em: <https://secure.engr.oregonstate.edu/wiki/ams/index.php/Matlab/PrettyFFT?action=diff>.

YADAV, K.; PATRA, P.; DUTTA, A. A 43-nw 10-bit 1-ks/s sar adc in 180nm cmos for biomedical applications. In: IEEE. **2015 IEEE Asia Pacific Conference on Postgraduate Research in Microelectronics and Electronics (PrimeAsia)**. [S.l.], 2015. p. 21–25.

ZAHRAI, S.; ONABAJO, M. Review of analog-to-digital conversion characteristics and design considerations for the creation of power-efficient hybrid data converters. **Journal of Low Power Electronics and Applications**, Multidisciplinary Digital Publishing Institute, v. 8, n. 2, p. 12, 2018.

ZHANG, W. P.; TONG, X. Noise modeling and analysis of sar adcs. **IEEE Transactions on Very Large Scale Integration (VLSI) Systems**, IEEE, v. 23, n. 12, p. 2922–2930, 2014.