

UFSM

Tese de Doutorado

**INVERSORES ZCZVT COM
ACOPLAMENTO MAGNÉTICO:
SÍNTESE E ANÁLISE**

Mário Lúcio da Silva Martins

PPGEE

Santa Maria, RS, Brasil

2008

UNIVERSIDADE FEDERAL DE SANTA MARIA
PROGRAMA DE PÓS-GRADUAÇÃO EM ENGENHARIA
ELÉTRICA

INVERSORES ZCZVT
COM ACOPLAMENTO MAGNÉTICO:
SÍNTESE E ANÁLISE.

Tese apresentada ao Curso de Doutorado do Programa de Pós Graduação em Engenharia Elétrica, Área de Concentração em Processamento de Energia (Eletrônica de Potência), da Universidade Federal de Santa Maria (UFSM, RS) como requisito parcial para a obtenção do grau de **Doutor em Engenharia Elétrica.**

MÁRIO LÚCIO DA SILVA MARTINS

Santa Maria, 10 de Março de 2008.

UNIVERSIDADE FEDERAL DE SANTA MARIA
CENTRO DE TECNOLOGIA
PROGRAMA DE PÓS-GRADUAÇÃO EM ENGENHARIA ELÉTRICA

A Comissão Examinadora, abaixo assinada, aprova a Tese de Doutorado

**INVERSORES ZCZVT COM ACOPLAMENTO
MAGNÉTICO: SÍNTESE E ANÁLISE**

Elaborada por
MÁRIO LÚCIO DA SILVA MARTINS

como requisito parcial para a obtenção do grau de
DOUTOR EM ENGENHARIA ELÉTRICA

COMISSÃO EXAMINADORA:



Prof. Dr. Hélio Leães Hey - Orientador (UFSM)



Prof. Dr. Edison Roberto Cabral da Silva (UFPB)



Prof. Dr. Carlos Marcelo de Oliveira Stein (UTFPR)



Prof. Dr. José Renes Pinheiro (UFSM)



Prof. Dr. Jumar Luís Russi (UFSM)

Santa Maria, 10 de março de 2008.

TESE DE DOUTORADO

O presente trabalho trata-se de uma Tese de Doutorado em Engenharia Elétrica, que é um dos requisitos para a obtenção do título de **Doutor em Engenharia Elétrica**, este trabalho foi realizado no Grupo de Eletrônica de Potência e Controle (GEPOC) do Programa de Pós-Graduação em Engenharia Elétrica (PPGEE) da Universidade Federal de Santa Maria (UFSM).

Área de Concentração:

Processamento de Energia: Eletrônica de Potência

Título:

Inversores ZCZVT com Acoplamento Magnético: Síntese e Análise.

Proponente:

Mário Lúcio da Silva Martins.

Professor Orientador:

Hélio Leães Hey, Prof. Tit. Dr. Eng..

Aos meus pais Mário e Juliana,
por tudo,

Às estrelinhas do meu céu,

Marina e Manuela.

E a pessoa que realizou o maior sonho de minha vida, e me
presenteou com uma linda família, a minha esposa e companheira

Cristiane.

AGRADECIMENTOS

A concretização deste trabalho passou por momentos decisivos dos quais dependeram a contribuição de várias pessoas muito importantes na minha vida. A elas os meus sinceros agradecimentos.

Ao meu orientador e mentor, professor Dr. Hélio Leães Hey, pelas idéias, pela orientação, pela conduta, pelo exemplo, pelo incentivo e, principalmente por não ter deixado de acreditar.

Ao meu co-orientador, professor Dr. José Renes Pinheiro pela visão empreendedora e pelo entusiasmo que conduziram este trabalho sempre a um passo a frente. Aos professores Dr. Humberto Pinheiro e Hilton A. Gründling, pelo incentivo e pelas contribuições normalmente manifestadas entre uma conversa informal e um café.

Aos colegas e amigos que contribuíram de maneira imensurável para que a existência reclusa (por seis anos) dentro de um laboratório de pesquisa não culminasse em insanidade. Aos funcionários do NUPEDDEE e do PPGEE sempre prestativos e dispostos a resolver os problemas do dia a dia.

Aos meus colegas da UTFPR pelo apoio e pela compreensão que tiveram no decorrer destes últimos dois anos.

Às pessoas que, apesar de já terem se passado trinta e dois anos, ainda amparam meus tropeços, minha mãe Juliana e meu pai Mário. Quanto mais o tempo mais eu os admiro.

Às pessoas que habitam o meu coração, minhas filhas Manuela e Marina, e minha esposa Cristiane, que apesar das freqüentes privações da minha companhia, mantém o seu amor incondicional. Sem vocês a minha vida não estaria completa.

"Não somos o que sabemos. Somos o que estamos dispostos a aprender."

Council on Ideas

"O conhecimento de qualquer tipo causa uma mudança na consciência de onde é possível criar novas realidades."

Deepak Chopra

Ouse aprender, desafiar o desconhecido,
e através do conhecimento outrora turvo e distante,
viva a sua própria realidade.

Autoria Própria

RESUMO

Tese de Doutorado
Programa de Pós-Graduação em Engenharia Elétrica
Universidade Federal de Santa Maria

INVERSORES ZCZVT COM ACOPLAMENTO MAGNÉTICO: SÍNTESE E ANÁLISE.

Autor: Mário Lúcio da Silva Martins
Orientador: Dr. Eng. Hélio Leães Hey
Santa Maria, 10 de Março de 2008

O presente trabalho apresenta um estudo aprofundado do mecanismo de comutação presente nas técnicas de comutação suave com transição ressonante. Por meio da definição dos princípios que governam as comutações dos conversores PWM com transição ressonante, desenvolveu-se uma nova ferramenta para análise e síntese de novos circuitos com características aperfeiçoadas. Também através desta ferramenta de análise pode-se verificar alguns dos principais fatores que possibilitaram o amadurecimento da técnica de comutação ZVT. Com esta ferramenta e com a definição dos requisitos básicos para a operação dos conversores com transição ressonante foi gerado o conceito de conversores ZCZVT com fonte auxiliar descontínua. O desenvolvimento deste conceito deu origem a uma nova família de conversores ZCZVT com acoplamento magnético. O desenvolvimento de uma nova família de conversores ZCZVT permitiu uma melhor percepção das características destes circuitos e o amadurecimento da técnica de comutação suave ZCZVT. Duas das seis topologias de circuitos auxiliares bidirecionais propostas na tese para os novos inversores ZCZVT monofásicos com acoplamento foram analisadas matematicamente. Uma metodologia de projeto para estes inversores foi apresentada. Esta metodologia é baseada em restrições obtidas das características dinâmicas dos IGBTs e dos diodos que operam sob comutação em zero de corrente (ZCS) e zero de tensão (ZVS). Por fim, foram apresentados resultados experimentais que comprovam o ganho de eficiência do inversores ZCZVT com acoplamento magnético e circuitos auxiliares em derivação proposto. O protótipo do inversor ZCZVT foi comparado experimentalmente com um inversor utilizando snubber de Undeland, apresentando uma eficiência em média 4% superior. O que corroborou com a proposta inicial de desenvolver topologias ZCZVT com desempenho melhorado e maior simplicidade.

Palavras chave: Engenharia Elétrica; Eletrônica de Potência; Inversores monofásicos; Comutação suave; ZVS; ZCS; ZVT; ZCT; ZCZVT.

ABSTRACT

Ph. D. Thesis
Electrical Engineering Pós-Graduation Program
Federal University of Santa Maria

INVERSORES ZCZVT COM ACOPLAMENTO MAGNÉTICO: SÍNTESE E ANÁLISE.

Author: Mário Lúcio da Silva Martins
Supervisor Research: Dr. Eng. Hélio Leães Hey
Santa Maria, 2008, March, 10th.

This Ph. D. Thesis presents a in deep study of the mechanism of resonant transition soft-switching techniques. By means of the principles that rules the PWM resonant transition converters, a novel tool for analysis and synthesis have been developed. This novel tool also permit to be verified some of the main factors that made possible to he ZVT technique to achieve its technology level. By means of this tool and with the definition of the basic requirements of the resonant transition converters a new concept concerning the ZCZVT technique have been generated, “the ZCZVT converters with discontinuous auxiliary voltage source”. The development of this new concept gives rise to a new family of ZCZVT converters with magnetically coupled auxiliary circuit. It also allowed a better perspective of the ZCZVT converters characteristics, advantages, drawbacks and limitations, which contributed significantly with the grown of the technology. Two of the six topologies with bi-directional auxiliary circuits proposed in the thesis have been mathematically analised. A design methodology based on constrains and dynamic characteristics of the IGBT and diode semiconductors under ZCS and ZVS conditions have been presented. Finally, experimental results proved the efficiency gain of the novel ZCZVT inverters with magnetically coupled auxiliary circuit. The ZCZVT inverter with magnetically coupled auxiliary circuit prototype have been compared with its Undeland snubber counterpart, presenting an efficiency of about 4% superior. It corroborates to the thesis proposal of developing novel topologies with better performance and simplicity.

Keywords: Electrical Engineering; Power Electronics; Single-phase Inverters; Soft-switching; ZVS; ZCS; ZVT; ZCT; ZCZVT.

SUMÁRIO

1. INTRODUÇÃO GERAL	27
1.1 INTRODUÇÃO	27
1.2 A ELETRÔNICA DE POTÊNCIA NO CONTEXTO ENERGÉTICO.	27
1.2.1 <i>Panorama Energético Mundial.</i>	27
1.2.2 <i>Panorama Energético Nacional.</i>	29
1.2.3 <i>A Importância da Energia Elétrica.</i>	30
1.2.4 <i>O Papel da Eletrônica de Potência.</i>	31
1.3 UMA BREVE HISTÓRIA DO DESENVOLVIMENTO DA ELETRÔNICA DE POTÊNCIA.	33
1.3.1 <i>A Era Moderna ou a Eletrônica de Potência em Estado Sólido.</i>	33
1.3.2 <i>Evolução Tecnológica dos Conversores Estáticos.</i>	40
1.3.3 <i>Inversores Alimentados em Tensão com Tecnologia IGBT.</i>	42
1.4 DEFINIÇÃO DO PROBLEMA.	43
1.5 ESCOPO E PRINCIPAIS CONTRIBUIÇÕES DA TESE.	46
1.6 ESTRUTURA DA TESE.....	48
2. REVISÃO DA COMUTAÇÃO SUAVE APLICADA À VSIS	51
2.1 INTRODUÇÃO	51
2.2 REVISÃO DAS TÉCNICAS DE COMUTAÇÃO SUAVE.....	52
2.2.1 <i>Os Mecanismos de Comutação dos Semicondutores.</i>	54
2.3 CIRCUITOS DE AUXÍLIO À COMUTAÇÃO APLICADOS EM VSIS	58
2.3.1 <i>Circuitos Auxiliares Aplicados à Carga.</i>	60
2.3.2 <i>Circuitos Auxiliares Aplicados ao Barramento CC</i>	61
2.3.3 <i>Circuitos Auxiliares Aplicados aos Pólos</i>	64
2.4 SUMÁRIO	75
3. TRANSIÇÃO RESSONANTE: DEFINIÇÕES E CONCEITOS.....	77
3.1 INTRODUÇÃO.	77
3.2 CONVERSORES PWM COM TRANSIÇÃO RESSONANTE.	78
3.2.1 <i>Circuito Simplificado e Definições Básicas.</i>	78
3.2.2 <i>Conceitos de Fontes Controladas.</i>	79
3.2.3 <i>Conceitos de Fontes Controladas Aplicados na Análise do Circuito Simplificado.</i>	81
3.3 FERRAMENTA DE ANÁLISE DE CONVERSORES PWM COM TRANSIÇÃO RESSONANTE.....	91
3.3.1 <i>Análise dos Conversores com Transição Ressonante com Tensão Nula.</i>	92

3.3.2	<i>Análise dos Conversores com Transição sob Corrente Nula</i>	94
3.3.3	<i>Conversores com Transição sob Tensão e Corrente Nulas</i>	97
3.3.4	<i>Generalização do Conceito dos Conversores ZVT, ZCT e ZCZVT</i>	97
3.4	SUMÁRIO	97
4.	SÍNTESE DOS CIRCUITOS AUXILIARES ZCZVT COM ACOPLAMENTO MAGNÉTICO	100
4.1	INTRODUÇÃO	100
4.2	CONVERSORES COM TRANSIÇÃO RESSONANTE COM FONTE AUXILIAR DESCONTÍNUA. ..	101
4.2.1	<i>Definições, Conceitos e Princípios Básicos</i>	101
4.2.2	<i>Análise da Operação do Circuito Auxiliar Teórico</i>	102
4.2.3	<i>Definição das Restrições para as Fontes V_{a1}, V_{a2} e V_{a3}</i>	106
4.2.4	<i>Fonte Auxiliar Descontínua utilizando Acoplamento Magnético</i>	114
4.2.5	<i>Circuito bidirecional com enrolamento primário bipolarizado</i>	118
4.3	SUMÁRIO	121
5.	INVERSORES ZCZVT MONOFÁSICOS COM ACOPLAMENTO MAGNÉTICO	122
5.1	INTRODUÇÃO	122
5.2	INVERSORES COM TRANSIÇÃO RESSONANTE COM FONTE AUXILIAR DESCONTÍNUA.	122
5.3	ANÁLISE MATEMÁTICA DOS CIRCUITOS AUXILIARES.....	125
5.3.1	<i>Topologia 1 (enrolamento secundário em série com indutor auxiliar)</i>	125
5.3.2	<i>Topologia 2 (enrolamentos secundários em série com as chaves auxiliares)</i>	148
5.4	SUMÁRIO	172
6.	PROJETO DOS INVERSORES ZCZVT MONOFÁSICOS COM ACOPLAMENTO MAGNÉTICO	173
6.1	INTRODUÇÃO	173
6.2	ANÁLISE DINÂMICA DOS IGBTs EM CONDIÇÕES DE COMUTAÇÃO NÃO-DISSIPATIVA.	174
6.2.1	<i>Comutação com corrente nula – ZCS</i>	174
6.2.2	<i>Comutação com tensão nula – ZVS</i>	176
6.2.3	<i>Comutação ZVS e ZCS simultâneas</i>	178
6.3	RESTRICÇÕES A PARTIR DAS CARACTERÍSTICAS DINÂMICAS DOS SEMICONDUTORES:.....	180
6.3.1	<i>Primeira Restrição (R1), dv_s/dt durante o bloqueio</i>	181
6.3.2	<i>Segunda Restrição (R2), di_D/dt</i>	184
6.3.3	<i>Terceira Restrição (R3), di_s/dt durante a entrada em condução</i>	185
6.3.4	<i>Quarta Restrição (R4), di_s/dt durante o bloqueio</i>	186
6.3.5	<i>Quinta Restrição (R5), $t_{b(\text{Min})}$ e $t_{d(\text{Min})}$</i>	187
6.3.6	<i>Sexta Restrição (R6), perda de razão cíclica e razão cíclica mínima</i>	187
6.4	ANÁLISE DOS PARÂMETROS DO CIRCUITO AUXILIAR:.....	190
6.4.1	<i>Análise do comportamento dos valores de L_a e N com relação às restrições de projeto</i> 190	
6.4.2	<i>Definição dos elementos auxiliares C_s, L_a e N</i>	193
6.5	EXEMPLO DE PROJETO	193
6.5.1	<i>Definição da Aplicação e Extração dos Parâmetros de Projeto</i>	194
6.5.2	<i>Projeto dos Inversores ZCZVT monofásicos com acoplamento magnético e circuitos auxiliares em derivação</i>	201
6.5.3	<i>Inversores ZCZVT monofásicos com acoplamento magnético e circuitos auxiliares isolados</i> .213	
6.6	SUMÁRIO	220
7.	CONSIDERAÇÕES PRÁTICAS E ANÁLISE EXPERIMENTAL	222
7.1	INTRODUÇÃO	222
7.2	ESTÁGIO DE POTÊNCIA	222
7.2.1	<i>Considerações Práticas Sobre o Estágio Retificador</i>	223
7.2.2	<i>Considerações Práticas Sobre o Indutor Acoplado</i>	226

7.2.3	<i>Considerações Práticas Sobre a Modulação PWM Descontínua do Inversor ZCZVT com Acoplamento Magnético</i>	231
7.2.4	<i>Considerações Práticas Sobre a Faixa de Operação ZCZVT e Temporização Variável para as Chaves Auxiliares</i>	234
7.2.5	<i>Considerações Práticas Sobre os Semicondutores Chaves Auxiliares</i>	241
7.3	RESULTADOS EXPERIMENTAIS PARA O INVERSOR ZCZVT COM ACOPLAMENTO MAGNETICO E CIRCUITO AUXILIAR EM DERIVAÇÃO	247
7.3.1	<i>Chaves Principais</i>	248
7.3.2	<i>Chaves Auxiliares - MOSFETs</i>	249
7.3.3	<i>Chaves Auxiliares - IGBTs</i>	252
7.4	ANÁLISE COMPARATIVA EXPERIMENTAL	253
7.4.1	<i>Snubber de Undeland</i>	253
7.4.2	<i>Inversor ZCT com Acoplamento Magnético</i>	254
7.5	SUMÁRIO.	258
8.	CONCLUSÕES	260
8.1	SUMÁRIO E PRINCIPAIS CONTRIBUIÇÕES.	262
8.2	CONCLUSÕES FINAIS.....	264
8.3	PROPOSTAS PARA INVESTIGAÇÕES FUTURAS.	266

LISTA DE FIGURAS

FIGURA 1 – COMPARAÇÃO ENTRE A QUEDA DE TENSÃO DE ALGUNS DISPOSITIVOS SEMICONDUTORES. FONTE [59].	37
FIGURA 2 – INVERSORES ALIMENTADOS EM TENSÃO. (A) INVERSOR TRIFÁSICO PARA ACIONAMENTO DE MOTOR DE INDUÇÃO; (B) INVERSOR MONOFÁSICO COM FILTRO PASSA BAIXA DE SAÍDA.	44
FIGURA 3 - TRAJETÓRIAS (<i>LOCUS</i>) DE TENSÃO E CORRENTE DURANTE OS INTERVALOS DE COMUTAÇÃO. (A) COMUTAÇÃO DISSIPATIVA; (B) COMUTAÇÃO ASSISTIDA POR SNUBBER; (C) UMA COMUTAÇÃO ASSISTIDA POR SNUBBER E UMA COMUTAÇÃO SUAVE.	53
FIGURA 4 – FORMAS DE ONDA TEÓRICAS DA ENTRADA EM CONDUÇÃO DE UM SEMICONDUTOR CONTROLADO. (A) COMUTAÇÃO DISSIPATIVA; (B) COMUTAÇÃO PSEUDO-SUAVE (SNUBBER); (C) COMUTAÇÃO VERDADEIRAMENTE SUAVE.	55
FIGURA 5 – DIAGRAMA DAS FORMAS DE ONDA DE TENSÃO E CORRENTE PARA AS PRINCIPAIS TÉCNICAS DE COMUTAÇÃO, [152].	56
FIGURA 6 – DIAGRAMA DAS TÉCNICAS DE COMUTAÇÃO PARA INVERSORES ALIMENTADOS EM TENSÃO - VSIS.	59
FIGURA 7 – INVERSOR COM BARRAMENTO RESSONANTE, RDCL [213].	61
FIGURA 8 – INVERSOR COM BARRAMENTO RESSONANTE E CIRCUITO DE GRAMPEAMENTO ATIVO, AC-RDCL [193].	62
FIGURA 9 – INVERSOR COM BARRAMENTO ZVT, [212].	63
FIGURA 10 – INVERSOR PÓLO COMUTADO RESSONANTE – RPI, [214]. (A) ÍNDUTOR RESSONANTE DE FILTRO; (B) ÍNDUTOR RESSONANTE INDEPENDENTE.	64
FIGURA 11 - INVERSOR PÓLO AUXILIAR DE DIODOS RESSONANTE – ARDPI, [215]. (A) PÓLO DE DIODOS JUNTO AO ÍNDUTOR RESSONANTE; (B) PÓLO DE DIODOS JUNTO À CARGA.	65
FIGURA 12 – INVERSORES COM COMUTAÇÃO DE PÓLO, PCI. (A) ARPI [216]; (B) ARCP [172].	66
FIGURA 13 – INVERSORES COM ÍNDUTORES AUXILIARES ACOPLADOS MAGNETICAMENTE. (A) REF. [176]; (B) REF. [119]; (C) REF. [175].	67
FIGURA 14 – CONVERSORES ZVT COM CIRCUITOS AUXILIARES SIMPLIFICADOS. (A) REF. [122]; (B) REF. [123]; (C) REF. [124].	69
FIGURA 15 – INVERSORES COM CIRCUITO DE SNUBBER AUXILIAR RESSONANTE RSI. (A) DELTA [220]; (B) ESTRELA [220].	70
FIGURA 16 – INVERSOR/RETIFICADOR ZCT TRIFÁSICO, [187].	71
FIGURA 17 – ESTRATÉGIAS DE ACIONAMENTO DAS CHAVES PARA CONVERSORES ZCT.	73
FIGURA 18 – ZCT COM UMA CHAVE AUXILIAR POR PÓLO, [188].	73
FIGURA 19 – INVERSOR ZCZVT COM CIRCUITO AUXILIAR ACOPLADO MAGNETICAMENTE [189].	74
FIGURA 20 – INVERSOR ZCZVT DERIVADO DOS CONVERSORES ZCT, [190].	75

FIGURA 21 – INVERSOR ZCZVT [191].	75
FIGURA 22 – CIRCUITO BÁSICO DOS INVERSORES PWM COM CIRCUITO AUXILIAR PARA TRANSIÇÃO RESSONANTE.	78
FIGURA 23 – DIAGRAMA DAS FONTES CONTROLADAS. (A) FONTE DE CORRENTE CONTROLADA POR CORRENTE; (B) FONTE DE CORRENTE CONTROLADA POR TENSÃO; (C) FONTE DE TENSÃO CONTROLADA POR CORRENTE; (D) FONTE DE TENSÃO CONTROLADA POR TENSÃO.	79
FIGURA 24 – CIRCUITO SIMPLIFICADO DO INVERSOR PWM COM TRANSIÇÃO RESSONANTE. (A) CIRCUITO COM UMA FONTE DEPENDENTE NO CIRCUITO AUXILIAR; (B) CIRCUITO COM FONTE DEPENDENTE NO PÓLO PWM E NO CIRCUITO AUXILIAR; (C) CIRCUITO COM FONTES E INDUTOR DE FILTRO; (D) CIRCUITO SIMPLIFICADO SOMENTE COM FONTES DEPENDENTES E INDEPENDENTES.	81
FIGURA 25 – REPRESENTAÇÃO DA FUNÇÃO V_{xy} PARA EXPRESSÃO 3.10 (PONTILHADA) E EXPRESSÃO 3.15 (CONTÍNUA).	82
FIGURA 26 – FORMAS DE ONDA DA FONTE DE TENSÃO DEPENDENTE V_{xy} E DA FONTE DEPENDENTE I_A .	84
FIGURA 27 – DIAGRAMA SIMPLIFICADO DO CIRCUITO DO INVERSOR PWM COM TRANSIÇÃO RESSONANTE UTILIZANDO FONTES DEPENDENTES.	85
FIGURA 28 – DIAGRAMA SIMPLIFICADO DO CIRCUITO DO INVERSOR PWM COM TRANSIÇÃO RESSONANTE UTILIZANDO FONTES CONTROLADAS. COM ESPECIFICAÇÃO DO CIRCUITO DE CONTROLE DA VARIÁVEL V_{cv} .	86
FIGURA 29 – DIAGRAMA SIMPLIFICADO DO CIRCUITO DO CONVERSOR PWM COM TRANSIÇÃO RESSONANTE UTILIZANDO FONTES CONTROLADAS COM ESPECIFICAÇÃO DO CIRCUITO DE CONTROLE DA VARIÁVEL I_{cc} . (A) FONTE DEPENDENTE V_w ; (B) FONTES DEPENDENTES V_{FB} E V_{AUX} .	86
FIGURA 30 – DETERMINAÇÃO DAS REGIÕES VÁLIDAS PARA FUNÇÃO V_{AUX} DE ACORDO COM AS FORMAS DE ONDA DAS FONTES V_{FB} , I_A . (A) PARA O CASO $\alpha = 1$; (B) PARA O CASO $\alpha \neq 1$.	87
FIGURA 31 - FORMAS DE ONDA DA FONTE DE TENSÃO CONTROLADA v_{txy} COM A REGIÃO DE VALIDADE PARA A FONTE CONTROLADA V_{AUX} . FONTE CONTROLADA V_{AUX} ASSUMINDO VALORES DE UMA FUNÇÃO CONTÍNUA NO TEMPO; (A) PARA O CASO $\alpha = 1$ (B) PARA O CASO $\alpha \neq 1$.	88
FIGURA 32 - FORMAS DE ONDA DA FONTE DE TENSÃO CONTROLADA v_{txy} COM A REGIÃO DE VALIDADE PARA A FONTE CONTROLADA V_{AUX} . FONTE CONTROLADA V_{AUX} ASSUMINDO VALORES DE UMA FUNÇÃO DESCONTÍNUA NO TEMPO. (A) PARA O CASO $\alpha = 1$ (B) PARA O CASO $\alpha \neq 1$.	89
FIGURA 33 – DIAGRAMA SIMPLIFICADO DO CIRCUITO DO INVERSOR PWM COM TRANSIÇÃO RESSONANTE UTILIZANDO FONTES CONTROLADAS PARA CORRENTE DE FILTRO NEGATIVA (-I).	89
FIGURA 34 – DETERMINAÇÃO DAS REGIÕES VÁLIDAS PARA FUNÇÃO V_{AUX} DE ACORDO COM AS FORMAS DE ONDA DAS FONTES V_{FB} , I_A PARA CORRENTE DE FILTRO NEGATIVA (-I). (A) PARA O CASO $\alpha = 1$; (B) PARA O CASO $\alpha \neq 1$.	90
FIGURA 35 - FORMAS DE ONDA DA FONTE DE TENSÃO CONTROLADA v_{txy} COM A REGIÃO DE VALIDADE PARA A FONTE CONTROLADA V_{AUX} . FONTE CONTROLADA V_{AUX} ASSUMINDO VALORES DE UMA FUNÇÃO CONTÍNUA NO TEMPO; (A) PARA $\alpha = 1$ (B) PARA $\alpha \neq 1$.	91
FIGURA 36 - FORMAS DE ONDA DA FONTE DE TENSÃO CONTROLADA v_{txy} COM A REGIÃO DE VALIDADE PARA A FONTE CONTROLADA V_{AUX} . FONTE CONTROLADA V_{AUX} ASSUMINDO VALORES DE UMA FUNÇÃO DESCONTÍNUA NO TEMPO. (A) PARA $\alpha = 1$ (B) PARA $\alpha \neq 1$.	91
FIGURA 37 – FLUXOGRAMA RESUMIDO DOS CONCEITOS DAS FONTES CONTROLADAS APLICADOS AOS CONVERSORES COM TRANSIÇÃO RESSONANTE.	92
FIGURA 38 - FORMAS DE ONDA DAS FONTES CONTROLADAS V_{xy} , V_{AUX} E I_A . (A) PARA UMA FUNÇÃO V_{AUX} DESCONTÍNUA; (B) PARA UMA TENSÃO V_{AUX} CONTÍNUA E CONSTANTE; (C) PARA UMA TENSÃO V_{AUX} CONTÍNUA E COSENoidal.	92
FIGURA 39 - DIAGRAMA BÁSICO DOS INVERSORES ZCT (CLASSE C). (A) CIRCUITO COM PÓLO AUXILIAR; (B) CIRCUITO COM FONTE DE EXCITAÇÃO V_{exc} .	95
FIGURA 40 – CONCEITO DOS CONVERSORES COM TRANSIÇÃO RESONANTE, SOB A PERSPECTIVA DOS REQUERIMENTOS DO MECANISMO QUE GOVERNAM AS COMUTAÇÕES DURANTE A ENTRADA EM CONDUÇÃO E O BLOQUEIO.	99
FIGURA 41 – POTENCIAL ELÉTRICO NECESSÁRIO PARA REALIZAÇÃO DA COMUTAÇÃO VERDADEIRAMENTE SUAVE DURANTE O INTERVALO T_4 - T_5 .	101
FIGURA 42 – DIAGRAMA DO CONVERSOR ZCZVT CLASSE A, PARA $I > 0$.	102
FIGURA 43 - ETAPAS DE OPERAÇÃO DO CIRCUITO TEÓRICO DURANTE PROCESSO DE ENTRADA EM CONDUÇÃO PARA PÓLO PWM, $I > 0$. (A) ETAPA PWM; (B) ETAPA DE MAGNETIZAÇÃO DE L_A ; (C) ETAPA DE TRANSIÇÃO DE ESTADO DO PÓLO PWM; (D) ETAPA DE DESMAGNETIZAÇÃO DE L_A .	104
FIGURA 44 - ETAPAS DE OPERAÇÃO DO CIRCUITO TEÓRICO DURANTE PROCESSO DE BLOQUEIO PARA PÓLO PWM, $I > 0$. (A) ETAPA PWM; (B) ETAPA DE MAGNETIZAÇÃO DE L_A ; (C) ETAPA DE TRANSIÇÃO DE ESTADO DO PÓLO PWM; (D) ETAPA DE DESMAGNETIZAÇÃO DE L_A .	105

FIGURA 45 – FORMAS DE ONDA TEÓRICAS DO CIRCUITO DA FIGURA 42.....	106
FIGURA 46 – DIAGRAMAS DO CIRCUITO COM DEFINIÇÃO DAS MALHAS DE TENSÃO. (A) PARA MALHA I; (B) PARA MALHA II.....	108
FIGURA 47 – DIAGRAMA DO CONVERSOR ZCZVT CLASSE A, PARA $I < 0$	112
FIGURA 48 – DIAGRAMA DO INVERSOR ZCZVT CLASSE A.....	113
FIGURA 49 – DIAGRAMA DE UM ELEMENTO MAGNÉTICO COM MÚLTIPLOS ENROLAMENTOS.....	115
FIGURA 50 – FORMAS DE ONDA TEÓRICAS PARA A TENSÃO NO ENROLAMENTO PRIMÁRIO.....	116
FIGURA 51 – DIAGRAMAS PARA AS POSSÍVEIS CONEXÕES DO ENROLAMENTO PRIMÁRIO. (A) CONFIGURAÇÃO 2D; (B) CONFIGURAÇÃO 2C; (C) CONFIGURAÇÃO 2C ONDE O ENROLAMENTO T ESTA INTEGRADO AO INDUTOR DE FILTRO L.....	117
FIGURA 52 - DIAGRAMA DOS CIRCUITOS AUXILIARES UNIDIRECIONAIS PARA OS NOVOS CONVERSORES BOOST ZCZVT COM ACOPLAMENTO MAGNÉTICO. (A,B) CIRCUITO AUXILIAR EM DERIVAÇÃO ($\alpha=1$); (C,D) CIRCUITO AUXILIAR EM PARALELO ($\alpha>1$); (E,F) CIRCUITO AUXILIAR ISOLADO ($\alpha>1$).	118
FIGURA 53 – MODOS DE OPERAÇÃO DOS SEMICONDUTORES EM RELAÇÃO À CONEXÃO DO ENROLAMENTO PRIMÁRIO ENTRE OS TERMINAIS X E U	119
FIGURA 54 – FORMAS DE ONDA DE TENSÃO PARA A CONEXÃO DO ENROLAMENTO PRIMÁRIO ENTRE OS TERMINAIS X E U	119
FIGURA 55 – DIAGRAMA DO CIRCUITO AUXILIAR BIDIRECIONAL.....	120
FIGURA 56 - DIAGRAMA DOS CIRCUITOS AUXILIARES BIDIRECIONAIS PARA OS NOVOS INVERSORES MONOFÁSICOS ZCZVT COM ACOPLAMENTO MAGNÉTICO. (A,B) CIRCUITO AUXILIAR EM DERIVAÇÃO ($\alpha=1$); (C,D) CIRCUITO AUXILIAR ISOLADO ($\alpha>1$) COM PONTO CENTRAL DO BARRAMENTO.....	120
FIGURA 57 -DIAGRAMA DOS CIRCUITOS AUXILIARES BIDIRECIONAIS PARA OS NOVOS INVERSORES ZCZVT MONOFÁSICOS COM ACOPLAMENTO MAGNÉTICO. (A) CIRCUITO AUXILIAR EM DERIVAÇÃO ($\alpha=1$) APLICADO AO INVERSOR MEIA-PONTE; (B) CIRCUITO AUXILIAR EM DERIVAÇÃO ($\alpha=1$) APLICADO AO INVERSOR EM PONTE COMPLETA; (C) CIRCUITO AUXILIAR ISOLADO ($\alpha>1$) APLICADO AO INVERSOR MEIA-PONTE; (D) CIRCUITO AUXILIAR ISOLADO ($\alpha>1$) APLICADO AO INVERSOR EM PONTE COMPLETA;.....	123
FIGURA 58 -DIAGRAMA EQUIVALENTE PARA INVERSOR ZCZVT. (A) ZCZVT COM CIRCUITO AUXILIAR EM DERIVAÇÃO ($\alpha=1$); (B) ZCZVT COM CIRCUITO AUXILIAR ISOLADO ($\alpha>1$).....	123
FIGURA 59 -DIAGRAMA DOS CIRCUITOS AUXILIARES BIDIRECIONAIS PARA OS NOVOS INVERSORES ZCZVT MONOFÁSICOS COM ACOPLAMENTO MAGNÉTICO. (A) CIRCUITO AUXILIAR EM DERIVAÇÃO ($\alpha=1$) APLICADO AO INVERSOR MEIA-PONTE; (B) CIRCUITO AUXILIAR EM DERIVAÇÃO ($\alpha=1$) APLICADO AO INVERSOR EM PONTE COMPLETA; (C) CIRCUITO AUXILIAR ISOLADO ($\alpha>1$) APLICADO AO INVERSOR MEIA-PONTE; (D) CIRCUITO AUXILIAR ISOLADO ($\alpha>1$) APLICADO AO INVERSOR EM PONTE COMPLETA;.....	124
FIGURA 60 -DIAGRAMA EQUIVALENTE PARA INVERSOR ZCZVT. (A) ZCZVT COM CIRCUITO AUXILIAR EM DERIVAÇÃO ($\alpha=1$); (B) ZCZVT COM CIRCUITO AUXILIAR ISOLADO ($\alpha>1$).....	124
FIGURA 61 -DIAGRAMA DO CIRCUITO DO CONVERSOR DURANTE A ETAPA 1, T_1-T_0 . (A) DIAGRAMA DO CIRCUITO COM INDUTORES ACOPLADOS; (B) MODELO N-PORT CANTILEVER.....	126
FIGURA 62 -DIAGRAMA DO CIRCUITO DO CONVERSOR DURANTE A ETAPA 2, T_2-T_1 . (A) DIAGRAMA DO CIRCUITO COM INDUTORES ACOPLADOS; (B) MODELO N-PORT CANTILEVER.....	127
FIGURA 63 -DIAGRAMA DO CIRCUITO DO CONVERSOR DURANTE A ETAPA 3, T_3-T_2 . (A) DIAGRAMA DO CIRCUITO COM INDUTORES ACOPLADOS; (B) MODELO N-PORT CANTILEVER.....	128
FIGURA 64 -DIAGRAMA DO CIRCUITO DO CONVERSOR DURANTE A ETAPA 4, T_4-T_3 . (A) DIAGRAMA DO CIRCUITO COM INDUTORES ACOPLADOS; (B) MODELO N-PORT CANTILEVER.....	128
FIGURA 65 -DIAGRAMA DO CIRCUITO DO CONVERSOR DURANTE A ETAPA 5, T_5-T_4 . (A) DIAGRAMA DO CIRCUITO COM INDUTORES ACOPLADOS; (B) MODELO N-PORT CANTILEVER.....	129
FIGURA 66 -DIAGRAMA DO CIRCUITO DO CONVERSOR DURANTE A ETAPA 6, T_6-T_5 . (A) DIAGRAMA DO CIRCUITO COM INDUTORES ACOPLADOS; (B) MODELO N-PORT CANTILEVER.....	130
FIGURA 67 -DIAGRAMA DO CIRCUITO DO CONVERSOR DURANTE A ETAPA 7, T_7-T_6 . (A) DIAGRAMA DO CIRCUITO COM INDUTORES ACOPLADOS; (B) MODELO N-PORT CANTILEVER.....	131
FIGURA 68 -DIAGRAMA DO CIRCUITO DO CONVERSOR DURANTE A ETAPA 8, T_8-T_7 . (A) DIAGRAMA DO CIRCUITO COM INDUTORES ACOPLADOS; (B) MODELO N-PORT CANTILEVER.....	131
FIGURA 69 -DIAGRAMA DO CIRCUITO DO CONVERSOR DURANTE A ETAPA 9, T_9-T_8 . (A) DIAGRAMA DO CIRCUITO COM INDUTORES ACOPLADOS; (B) MODELO N-PORT CANTILEVER.....	132
FIGURA 70 -DIAGRAMA DO CIRCUITO DO CONVERSOR DURANTE A ETAPA 10, $T_{10}-T_9$. (A) DIAGRAMA DO CIRCUITO COM INDUTORES ACOPLADOS; (B) MODELO N-PORT CANTILEVER.....	133

FIGURA 71 -DIAGRAMA DO CIRCUITO DO CONVERSOR DURANTE A ETAPA 11, T_{11} - T_{10} . (A) DIAGRAMA DO CIRCUITO COM INDUTORES ACOPLADOS; (B) MODELO <i>N-PORT</i> CANTILEVER.	134
FIGURA 72 -DIAGRAMA DO CIRCUITO DO CONVERSOR DURANTE A ETAPA 11, T_{11} - T_{10} . (A) DIAGRAMA DO CIRCUITO COM INDUTORES ACOPLADOS; (B) MODELO <i>N-PORT</i> CANTILEVER.	135
FIGURA 73 -DIAGRAMA DO CIRCUITO DO CONVERSOR DURANTE A ETAPA 12, T_0 - T_{11} . (A) DIAGRAMA DO CIRCUITO COM INDUTORES ACOPLADOS; (B) MODELO <i>N-PORT</i> CANTILEVER.	136
FIGURA 74 – PRINCIPAIS FORMAS DE ONDA TEÓRICAS DO INVERSOR ZCZVT MONOFÁSICO COM CIRCUITO AUXILIAR EM DERIVAÇÃO.	136
FIGURA 75 - DIAGRAMA DO CIRCUITO DO CONVERSOR DURANTE A ETAPA 1, T_1 - T_0 . (A) DIAGRAMA DO CIRCUITO COM INDUTORES ACOPLADOS; (B) MODELO <i>N-PORT</i> CANTILEVER.	137
FIGURA 76 - DIAGRAMA DO CIRCUITO DO CONVERSOR DURANTE A ETAPA 2, T_2 - T_1 . (A) DIAGRAMA DO CIRCUITO COM INDUTORES ACOPLADOS; (B) MODELO <i>N-PORT</i> CANTILEVER.	138
FIGURA 77 - DIAGRAMA DO CIRCUITO DO CONVERSOR DURANTE A ETAPA 3, T_3 - T_2 . (A) DIAGRAMA DO CIRCUITO COM INDUTORES ACOPLADOS; (B) MODELO <i>N-PORT</i> CANTILEVER.	139
FIGURA 78 - DIAGRAMA DO CIRCUITO DO CONVERSOR DURANTE A ETAPA 4, T_4 - T_3 . (A) DIAGRAMA DO CIRCUITO COM INDUTORES ACOPLADOS; (B) MODELO <i>N-PORT</i> CANTILEVER.	140
FIGURA 79 - DIAGRAMA DO CIRCUITO DO CONVERSOR DURANTE A ETAPA 5, T_5 - T_4 . (A) DIAGRAMA DO CIRCUITO COM INDUTORES ACOPLADOS; (B) MODELO <i>N-PORT</i> CANTILEVER.	141
FIGURA 80 - DIAGRAMA DO CIRCUITO DO CONVERSOR DURANTE A ETAPA 6, T_6 - T_5 . (A) DIAGRAMA DO CIRCUITO COM INDUTORES ACOPLADOS; (B) MODELO <i>N-PORT</i> CANTILEVER.	141
FIGURA 81 - DIAGRAMA DO CIRCUITO DO CONVERSOR DURANTE A ETAPA 7, T_7 - T_6 . (A) DIAGRAMA DO CIRCUITO COM INDUTORES ACOPLADOS; (B) MODELO <i>N-PORT</i> CANTILEVER.	142
FIGURA 82 - DIAGRAMA DO CIRCUITO DO CONVERSOR DURANTE A ETAPA 8, T_8 - T_7 . (A) DIAGRAMA DO CIRCUITO COM INDUTORES ACOPLADOS; (B) MODELO <i>N-PORT</i> CANTILEVER.	143
FIGURA 83 - DIAGRAMA DO CIRCUITO DO CONVERSOR DURANTE A ETAPA 9, T_9 - T_8 . (A) DIAGRAMA DO CIRCUITO COM INDUTORES ACOPLADOS; (B) MODELO <i>N-PORT</i> CANTILEVER.	144
FIGURA 84 - DIAGRAMA DO CIRCUITO DO CONVERSOR DURANTE A ETAPA 10, T_{10} - T_9 . (A) DIAGRAMA DO CIRCUITO COM INDUTORES ACOPLADOS; (B) MODELO <i>N-PORT</i> CANTILEVER.	144
FIGURA 85 - DIAGRAMA DO CIRCUITO DO CONVERSOR DURANTE A ETAPA 11, T_{11} - T_{10} . (A) DIAGRAMA DO CIRCUITO COM INDUTORES ACOPLADOS; (B) MODELO <i>N-PORT</i> CANTILEVER.	145
FIGURA 86 - DIAGRAMA DO CIRCUITO DO CONVERSOR DURANTE A ETAPA 11, T_{11} - T_{10} . (A) DIAGRAMA DO CIRCUITO COM INDUTORES ACOPLADOS; (B) MODELO <i>N-PORT</i> CANTILEVER.	146
FIGURA 87 - DIAGRAMA DO CIRCUITO DO CONVERSOR DURANTE A ETAPA 12, T_0 - T_{11} . (A) DIAGRAMA DO CIRCUITO COM INDUTORES ACOPLADOS; (B) MODELO <i>N-PORT</i> CANTILEVER.	147
FIGURA 88 – PRINCIPAIS FORMAS DE ONDA TEÓRICAS DO INVERSOR ZCZVT MONOFÁSICO COM CIRCUITO AUXILIAR ISOLADO.	148
FIGURA 89 -DIAGRAMA DO CIRCUITO DO CONVERSOR DURANTE A ETAPA 1, T_1 - T_0 . (A) DIAGRAMA DO CIRCUITO COM INDUTORES ACOPLADOS; (B) MODELO <i>N-PORT</i> CANTILEVER.	149
FIGURA 90 -DIAGRAMA DO CIRCUITO DO CONVERSOR DURANTE A ETAPA 2, T_2 - T_1 . (A) DIAGRAMA DO CIRCUITO COM INDUTORES ACOPLADOS; (B) MODELO <i>N-PORT</i> CANTILEVER.	150
FIGURA 91 -DIAGRAMA DO CIRCUITO DO CONVERSOR DURANTE A ETAPA 3, T_3 - T_2 . (A) DIAGRAMA DO CIRCUITO COM INDUTORES ACOPLADOS; (B) MODELO <i>N-PORT</i> CANTILEVER.	151
FIGURA 92 -DIAGRAMA DO CIRCUITO DO CONVERSOR DURANTE A ETAPA 4, T_4 - T_3 . (A) DIAGRAMA DO CIRCUITO COM INDUTORES ACOPLADOS; (B) MODELO <i>N-PORT</i> CANTILEVER.	152
FIGURA 93 -DIAGRAMA DO CIRCUITO DO CONVERSOR DURANTE A ETAPA 5, T_5 - T_4 . (A) DIAGRAMA DO CIRCUITO COM INDUTORES ACOPLADOS; (B) MODELO <i>N-PORT</i> CANTILEVER.	152
FIGURA 94 -DIAGRAMA DO CIRCUITO DO CONVERSOR DURANTE A ETAPA 6, T_6 - T_5 . (A) DIAGRAMA DO CIRCUITO COM INDUTORES ACOPLADOS; (B) MODELO <i>N-PORT</i> CANTILEVER.	153
FIGURA 95 -DIAGRAMA DO CIRCUITO DO CONVERSOR DURANTE A ETAPA 7, T_7 - T_6 . (A) DIAGRAMA DO CIRCUITO COM INDUTORES ACOPLADOS; (B) MODELO <i>N-PORT</i> CANTILEVER.	154
FIGURA 96 -DIAGRAMA DO CIRCUITO DO CONVERSOR DURANTE A ETAPA 8, T_8 - T_7 . (A) DIAGRAMA DO CIRCUITO COM INDUTORES ACOPLADOS; (B) MODELO <i>N-PORT</i> CANTILEVER.	155
FIGURA 97 -DIAGRAMA DO CIRCUITO DO CONVERSOR DURANTE A ETAPA 9, T_9 - T_8 . (A) DIAGRAMA DO CIRCUITO COM INDUTORES ACOPLADOS; (B) MODELO <i>N-PORT</i> CANTILEVER.	156
FIGURA 98 -DIAGRAMA DO CIRCUITO DO CONVERSOR DURANTE A ETAPA 10, T_{10} - T_9 . (A) DIAGRAMA DO CIRCUITO COM INDUTORES ACOPLADOS; (B) MODELO <i>N-PORT</i> CANTILEVER.	157
FIGURA 99 -DIAGRAMA DO CIRCUITO DO CONVERSOR DURANTE A ETAPA 11, T_{11} - T_{10} . (A) DIAGRAMA DO CIRCUITO COM INDUTORES ACOPLADOS; (B) MODELO <i>N-PORT</i> CANTILEVER.	158

FIGURA 100 - DIAGRAMA DO CIRCUITO DO CONVERSOR DURANTE A ETAPA 11, T_{11} - T_{10} . (A) DIAGRAMA DO CIRCUITO COM INDUTORES ACOPLADOS; (B) MODELO N-PORT CANTILEVER.....	159
FIGURA 101 - DIAGRAMA DO CIRCUITO DO CONVERSOR DURANTE A ETAPA 12, T_0 - T_{11} . (A) DIAGRAMA DO CIRCUITO COM INDUTORES ACOPLADOS; (B) MODELO N-PORT CANTILEVER.....	160
FIGURA 102 – PRINCIPAIS FORMAS DE ONDA TEÓRICAS DO INVERSOR ZCZVT MONOFÁSICO COM CIRCUITO AUXILIAR EM DERIVAÇÃO.....	160
FIGURA 103 - DIAGRAMA DO CIRCUITO DO CONVERSOR DURANTE A ETAPA 1, T_1 - T_0 . (A) DIAGRAMA DO CIRCUITO COM INDUTORES ACOPLADOS; (B) MODELO N-PORT CANTILEVER.....	161
FIGURA 104 - DIAGRAMA DO CIRCUITO DO CONVERSOR DURANTE A ETAPA 2, T_2 - T_1 . (A) DIAGRAMA DO CIRCUITO COM INDUTORES ACOPLADOS; (B) MODELO N-PORT CANTILEVER.....	162
FIGURA 105 - DIAGRAMA DO CIRCUITO DO CONVERSOR DURANTE A ETAPA 3, T_3 - T_2 . (A) DIAGRAMA DO CIRCUITO COM INDUTORES ACOPLADOS; (B) MODELO N-PORT CANTILEVER.....	163
FIGURA 106 - DIAGRAMA DO CIRCUITO DO CONVERSOR DURANTE A ETAPA 4, T_4 - T_3 . (A) DIAGRAMA DO CIRCUITO COM INDUTORES ACOPLADOS; (B) MODELO N-PORT CANTILEVER.....	164
FIGURA 107 - DIAGRAMA DO CIRCUITO DO CONVERSOR DURANTE A ETAPA 5, T_5 - T_4 . (A) DIAGRAMA DO CIRCUITO COM INDUTORES ACOPLADOS; (B) MODELO N-PORT CANTILEVER.....	165
FIGURA 108 - DIAGRAMA DO CIRCUITO DO CONVERSOR DURANTE A ETAPA 6, T_6 - T_5 . (A) DIAGRAMA DO CIRCUITO COM INDUTORES ACOPLADOS; (B) MODELO N-PORT CANTILEVER.....	165
FIGURA 109 - DIAGRAMA DO CIRCUITO DO CONVERSOR DURANTE A ETAPA 7, T_7 - T_6 . (A) DIAGRAMA DO CIRCUITO COM INDUTORES ACOPLADOS; (B) MODELO N-PORT CANTILEVER.....	166
FIGURA 110 - DIAGRAMA DO CIRCUITO DO CONVERSOR DURANTE A ETAPA 8, T_8 - T_7 . (A) DIAGRAMA DO CIRCUITO COM INDUTORES ACOPLADOS; (B) MODELO N-PORT CANTILEVER.....	167
FIGURA 111 - DIAGRAMA DO CIRCUITO DO CONVERSOR DURANTE A ETAPA 9, T_9 - T_8 . (A) DIAGRAMA DO CIRCUITO COM INDUTORES ACOPLADOS; (B) MODELO N-PORT CANTILEVER.....	168
FIGURA 112 - DIAGRAMA DO CIRCUITO DO CONVERSOR DURANTE A ETAPA 10, T_{10} - T_9 . (A) DIAGRAMA DO CIRCUITO COM INDUTORES ACOPLADOS; (B) MODELO N-PORT CANTILEVER.....	168
FIGURA 113 - DIAGRAMA DO CIRCUITO DO CONVERSOR DURANTE A ETAPA 11, T_{11} - T_{10} . (A) DIAGRAMA DO CIRCUITO COM INDUTORES ACOPLADOS; (B) MODELO N-PORT CANTILEVER.....	169
FIGURA 114 - DIAGRAMA DO CIRCUITO DO CONVERSOR DURANTE A ETAPA 11, T_{11} - T_{10} . (A) DIAGRAMA DO CIRCUITO COM INDUTORES ACOPLADOS; (B) MODELO N-PORT CANTILEVER.....	170
FIGURA 115 - DIAGRAMA DO CIRCUITO DO CONVERSOR DURANTE A ETAPA 12, T_0 - T_{11} . (A) DIAGRAMA DO CIRCUITO COM INDUTORES ACOPLADOS; (B) MODELO N-PORT CANTILEVER.....	171
FIGURA 116 – PRINCIPAIS FORMAS DE ONDA TEÓRICAS DO INVERSOR ZCZVT MONOFÁSICO COM CIRCUITO AUXILIAR ISOLADO.....	172
FIGURA 117 - FORMAS DE ONDA TEÓRICAS PARA COMUTAÇÃO ZCS TÍPICA.....	176
FIGURA 118 - FORMAS DE ONDA TEÓRICAS PARA COMUTAÇÃO ZVS TÍPICA.....	177
FIGURA 119 - FORMAS DE ONDA TEÓRICAS PARA COMUTAÇÃO ZVS E ZCS SIMULTÂNEAS.....	179
FIGURA 120 - FORMAS DE ONDA PRÁTICAS PARA UMA COMUTAÇÃO ZVS E ZCS SIMULTÂNEAS.....	179
FIGURA 121 - FORMAS DE ONDA PARA BLOQUEIO DE DIODO.....	180
FIGURA 122 – COMPROMISSO DO DV/DT COM A ENERGIA EM C_s	184
FIGURA 123 – COMPORTAMENTO DE L_A EM FUNÇÃO DO ÂNGULO θ PARA AS RESTRIÇÕES R2, R3, R4 E R5.....	191
FIGURA 124 – COMPORTAMENTO DE L_A EM FUNÇÃO DE N PARA AS RESTRIÇÕES R2, R3, R4 E R5.....	192
FIGURA 125 – COMPORTAMENTO DE L_A EM FUNÇÃO DE N PARA DIFERENTES VALORES DE $\cos(\theta)$	192
FIGURA 126 – COMPORTAMENTO DE L_A EM FUNÇÃO DE N PARA DIFERENTES VALORES DE M_A E $\cos(\theta)$	193
FIGURA 127 – PERDAS TEÓRICAS NOS INDUTORES DE FILTRO.....	197
FIGURA 128 – PERDAS NOS CAPACITORES DE FILTRO.....	199
FIGURA 129 – VOLUME DOS ELEMENTOS DO FILTRO.....	200
FIGURA 130 – PERDAS NOS SEMICONDUTORES CONSIDERANDO UM INVERSOR MONOFÁSICO COM COMUTAÇÃO DISSIPATIVA E 5% DE THD NA TENSÃO DE SAÍDA.....	201
FIGURA 131 – GRÁFICO L_A POR N PARA DIFERENTES MÓDULOS DE SEMICONDUTORES.....	202
FIGURA 132 – GRÁFICO L_A POR N PARA ANÁLISE DAS PERDAS NOS SEMICONDUTORES DO CIRCUITO AUXILIAR PARA O INVERSOR ZCZVT COM CIRCUITO AUXILIAR EM DERIVAÇÃO.....	204
FIGURA 133 – ANÁLISE DAS PERDAS PARA OS MÓDULOS DE IGBT PARA CURVA PFA.....	205
FIGURA 134 – ANÁLISE DAS PERDAS PARA OS MÓDULOS DE IGBT PARA CURVA PFB.....	205
FIGURA 135 – ANÁLISE DAS PERDAS PARA OS MÓDULOS DE IGBT PARA CURVA PN.....	206
FIGURA 136 – ANÁLISE DAS PERDAS PARA OS IGBTs DISCRETOS PARA CURVA PFA.....	207
FIGURA 137 – ANÁLISE DAS PERDAS PARA OS IGBTs DISCRETOS PARA CURVA PFB.....	208

FIGURA 138 – ANÁLISE DAS PERDAS PARA OS IGBTs DISCRETOS PARA CURVA PN.....	208
FIGURA 139 – ANÁLISE DAS PERDAS PARA OS MOSFETs PARA CURVA PFA.....	210
FIGURA 140 – ANÁLISE DAS PERDAS PARA OS MOSFETs PARA CURVA PFB.....	210
FIGURA 141 – ANÁLISE DAS PERDAS PARA OS MOSFETs PARA CURVA PN.....	211
FIGURA 142 – GRÁFICO L_A POR N PARA ANÁLISE DAS PERDAS NOS SEMICONDUTORES DO CIRCUITO AUXILIAR PARA L_A CONSTANTE.....	212
FIGURA 143 – ANÁLISE DAS PERDAS PARA $N=0,3$	212
FIGURA 144 – GRÁFICO L_A POR N PARA DIFERENTES MÓDULOS DE SEMICONDUTORES.....	213
FIGURA 145 – GRÁFICO L_A POR N PARA ANÁLISE DAS PERDAS NOS SEMICONDUTORES DO CIRCUITO AUXILIAR.....	214
FIGURA 146 – ANÁLISE DAS PERDAS PARA OS MÓDULOS DE IGBT PARA CURVA PFA.....	215
FIGURA 147 – ANÁLISE DAS PERDAS PARA OS MÓDULOS DE IGBT PARA CURVA PFB.....	216
FIGURA 148 – ANÁLISE DAS PERDAS PARA OS MÓDULOS DE IGBT PARA CURVA PN.....	216
FIGURA 149 – ANÁLISE DAS PERDAS PARA OS SEMICONDUTORES DISCRETOS, CURVA PFA.....	217
FIGURA 150 – ANÁLISE DAS PERDAS PARA OS SEMICONDUTORES DISCRETOS, CURVA PFB.....	217
FIGURA 151 – ANÁLISE DAS PERDAS PARA OS SEMICONDUTORES DISCRETOS, CURVA PN.....	218
FIGURA 152 – ANÁLISE DAS PERDAS PARA OS SEMICONDUTORES DISCRETOS, CURVA PFA.....	219
FIGURA 153 – ANÁLISE DAS PERDAS PARA OS SEMICONDUTORES DISCRETOS, CURVA PFB.....	219
FIGURA 154 – ANÁLISE DAS PERDAS PARA OS SEMICONDUTORES DISCRETOS, CURVA PN.....	220
FIGURA 155 – DIAGRAMA ESQUEMÁTICO UNIFILAR DO PROTOTIPO IMPLEMENTADO EM LABORATÓRIO.	223
FIGURA 156 – DIAGRAMA ESQUEMÁTICO DO CIRCUITO RETIFICADOR (MÓDULO SK70D12).	224
FIGURA 157 – CORRENTES E TENSÕES DE ENTRADA DO ESTÁGIO RETIFICADOR. (A) COM INDUTOR NO BARRAMENTO; (B) SEM INDUTOR NO BARRAMENTO.....	225
FIGURA 158 – COMPARATIVO DE EFICIÊNCIA DO ESTÁGIO RETIFICADOR EM FUNÇÃO DE DIFERENTES INDUTORES DE BARRAMENTO.....	226
FIGURA 159 – DIAGRAMA DAS CONEXÕES DO INDUTOR ACOPLADO PARA O INVERSOR ZCZVT COM ACOPLAMENTO MAGNÉTICO E CIRCUITO AUXILIAR EM DERIVAÇÃO.....	227
FIGURA 160 – FUNÇÕES MODULADORAS DESCONTÍNUAS PARA INVERSOR MONOFÁSICO.....	231
FIGURA 161 – MODOS DE OPERAÇÃO DO INVERSOR UTILIZANDO FUNÇÃO MODULADORA MOD_A. (A,B) SEMICICLO POSITIVO; (C,D) SEMICICLO NEGATIVO DA CORRENTE DE CARGA I_0	232
FIGURA 162 – DIAGRAMA DOS SINAIS PWM PRODUZIDOS PELO EV DO DSP TMS320LF2407A.	233
FIGURA 163 – DIAGRAMA EXPERIMENTAL DOS SINAIS PWM PARA O INVERSOR EM PONTE H COM MODULAÇÃO DESCONTÍNUA	233
FIGURA 164 – DIAGRAMA DO INVERSOR ZCZVT COM MODULAÇÃO PWM DESCONTÍNUA E CORRESPONDENTES CIRCUITO AUXILIAR.	234
FIGURA 165 – CONSTANTE K_w EM FUNÇÃO DA MODULADORA SENOIDAL DESCONTÍNUA.	236
FIGURA 166 – DIAGRAMA DOS SINAIS PWM PARA O INVERSOR EM PONTE H COM MODULAÇÃO DESCONTÍNUA. (A) TEÓRICO; (B,C) EXPERIMENTAL.	237
FIGURA 167 – VARIAÇÃO DOS TEMPOS T2, T3, XT1, XT2 E XT3 PARA UM CICLO DE OPERAÇÃO DO INVERSOR ZCZVT COM ACOPLAMENTO MAGNÉTICO E CIRCUITO AUXILIAR EM DERIVAÇÃO. ...	238
FIGURA 168 – DIAGRAMA DOS SINAIS PWM E DOS SINAIS I/O PARA AS CHAVES AUXILIARES PARA OS INVERSORES ZCZVT UTILIZANDO DSP TMS320LF2407A (SEMICICLO POSITIVO).	239
FIGURA 169 – DIAGRAMA DOS SINAIS PWM E DOS SINAIS I/O PARA AS CHAVES AUXILIARES PARA OS INVERSORES ZCZVT UTILIZANDO DSP TMS320LF2407A (SEMICICLO NEGATIVO).....	240
FIGURA 170 – CARACTERIZAÇÃO TEÓRICA DAS FORMAS DE ONDA DO SEMICONDUTOR.....	242
FIGURA 171 – CARACTERIZAÇÃO TEÓRICA DAS FORMAS DE ONDA DO MOSFET (HEXFET) COMO CHAVE AUXILIAR DO INVERSOR ZCZVT COM ACOPLAMENTO MAGNÉTICO.....	243
FIGURA 172 – DIAGRAMA DO MOSFET COM DIODOS DE DESVIO. (A) COM DIODO BIPOLAR; (B) COM DIODO SCHOTTKY.....	244
FIGURA 173 – CARACTERIZAÇÃO TEÓRICA DAS FORMAS DE ONDA DO NPT-IGBT COMO CHAVE AUXILIAR DO INVERSOR ZCZVT COM ACOPLAMENTO MAGNÉTICO.	246
FIGURA 174 – DIAGRAMA DA CHAVE AUXILIAR IMPLEMENTADA COM IGBT E CIRCUITO RCD.	246
FIGURA 175 – FORMAS DE ONDA DE SAÍDA DO INVERSOR ZCZVT MONOFÁSICO, V_0 E I_0	248
FIGURA 176 – FORMAS DE ONDA DE CORRENTE NOS ENROLAMENTOS DO INDUTOR ACOPLADO.	248
FIGURA 177 – FORMAS DE ONDA EXPERIMENTAIS PARA CHAVE S_2 DO PROTÓTIPO DO INVERSOR ZCZVT COM ACOPLAMENTO MAGNÉTICO E CIRCUITO AUXILIAR EM DERIVAÇÃO.	249
FIGURA 178 – FORMAS DE ONDA EXPERIMENTAIS PARA CHAVE SA_2 DO PROTÓTIPO DO INVERSOR ZCZVT COM ACOPLAMENTO MAGNÉTICO E CIRCUITO AUXILIAR EM DERIVAÇÃO.....	250

FIGURA 179 – DETALHE DE OPERAÇÃO DE SA2. (A) ENTRADA EM CONDUÇÃO DE S2; (B) BLOQUEIO DE S2.....	251
FIGURA 180 – COMPARATIVO DE EFICIÊNCIA PARA CHAVES AUXILIARES - MOSFET.....	252
FIGURA 181 – CURVA DE EFICIÊNCIA PARA CHAVES AUXILIARES - IGBT.....	253
FIGURA 182 – FORMAS DE ONDA EXPERIMENTAIS PARA CHAVE S2 DO PROTÓTIPO DO INVERSOR COM SNUBBER DE UNDELAND.....	254
FIGURA 183 – FORMAS DE ONDA EXPERIMENTAIS PARA CHAVE S2 DO PROTÓTIPO DO INVERSOR ZCT COM ACOPLAMENTO MAGNÉTICO E CIRCUITO AUXILIAR EM DERIVAÇÃO.....	255
FIGURA 184 – FORMAS DE ONDA EXPERIMENTAIS PARA CHAVE S2 DO PROTÓTIPO DO INVERSOR ZCT COM ACOPLAMENTO MAGNÉTICO E CIRCUITO AUXILIAR EM DERIVAÇÃO. (A) DETALHE DA ENTRADA EM CONDUÇÃO; (B) DETALHE DO BLOQUEIO.....	256
FIGURA 185 – FORMAS DE ONDA EXPERIMENTAIS PARA CHAVE SA2 DO PROTÓTIPO DO INVERSOR ZCT COM ACOPLAMENTO MAGNÉTICO E CIRCUITO AUXILIAR EM DERIVAÇÃO.....	257
FIGURA 186 – COMPARATIVO DE EFICIÊNCIA DOS PROTÓTIPOS IMPLEMENTADOS.....	257

LISTA DE TABELAS

TABELA 1 – TOPOLOGIAS DERIVADAS A PARTIR DA PERMUTAÇÃO DAS FONTES V_{A1} , V_{A2} E V_{A3}	102
TABELA 2 – RESTRIÇÕES GERAIS.....	110
TABELA 3 – RESTRIÇÕES GERAIS PARA TODAS AS TOPOLOGIAS.....	110
TABELA 4 – RESTRIÇÕES GERAIS CONSIDERANDO-SE QUE A FONTE $V_A=V_{ZY}$	111
TABELA 5 – RESTRIÇÕES GERAIS.....	112
TABELA 6 – RESTRIÇÕES GERAIS PARA TODAS AS TOPOLOGIAS.....	112
TABELA 7 – RESTRIÇÕES GERAIS COM FONTE $V_A=V_{ZY}$	113
TABELA 8 – CONFIGURAÇÕES DE CIRCUITO PARA CONEXÃO DO TRANSFORMADOR (INDUTOR ACOPLADO).....	115
TABELA 9 – CONFIGURAÇÕES VÁLIDAS PARA O INDUTOR ACOPLADO CONSIDERANDO-SE QUE TENSÃO EM $p1$ É MAIOR QUE A TENSÃO EM $p2$	117
TABELA 10 – PARÂMETROS TÍPICOS PARA IGBTs COM $BV_{CES} = 600V$	187
TABELA 11 – PARÂMETROS DOS INVERSORES ZCZVT.....	195
TABELA 12 – FREQUÊNCIA DE CORTE DO FILTRO DE SAÍDA EM FUNÇÃO DA THD DA TENSÃO DE SAÍDA.....	195
TABELA 13 – CONFIGURAÇÕES DO FILTRO DE SAÍDA PARA DIFERENTES VALORES DE THD DA TENSÃO DE SAÍDA.....	196
TABELA 14 – CONFIGURAÇÕES DOS NÚCLEOS MAGNÉTICOS UTILIZADOS PARA ANÁLISE DO INDUTOR DE FILTRO.....	196
TABELA 15 – MÓDULOS DE IGBT AVALIADOS.....	202
TABELA 16 – VALORES DE L_A PARA O INVERSOR ZCZVT COM CIRCUITO AUXILIAR EM DERIVAÇÃO.....	203
TABELA 17 – IGBTs DISCRETOS AVALIADOS.....	207
TABELA 18 – MOSFETs E DIODOS AVALIADOS.....	209
TABELA 19 – VALORES DE L_A PARA $N=0,3$	211
TABELA 20 – VALORES DE L_A PARA O INVERSOR ZCZVT COM CIRCUITO AUXILIAR ISOLADO.....	213
TABELA 21 – ESPECIFICAÇÕES E PARAMETROS EXPERIMENTAIS PARA O PROTÓTIPO.....	223
TABELA 22 – PARÂMETROS DE PROJETO INDUTORES ACOPLADOS DOS PROTÓTIPOS DOS INVERSORES ZCZVT COM ACOPLAMENTO MAGNÉTICO.....	230
TABELA 23 – PARÂMETROS DOS INDUTORES ACOPLADOS DOS PROTÓTIPOS DOS INVERSORES ZCZVT COM ACOPLAMENTO MAGNÉTICO.....	230

ABREVIACOES E SIGLAS

ANEEL	Agncia Nacional de Energia Eltrica
ARCP	<i>Auxiliary Resonant Commutated Pole Inverter</i>
ARDPI	<i>Auxiliary Resonant Diode Pole Inverter</i>
ARPI	<i>Auxiliary Resonant Pole Inverter</i>
BJT	<i>Bipolar Junction Transistor</i> – transistor bipolar
BTU	<i>British Thermal Unit</i> – Unidade Trmica Britnica por hora
CA	corrente alternada
CC	corrente contnua
CCM	<i>Continuous Current Mode</i> – modo de conduo contnua
CEPEL	Centro de Pesquisas de Energia Eltrica
CSI	<i>Current Source Inverter</i>
DCM	<i>Discontinuous Current Mode</i> – modo de conduo descontnua
di/dt	taxa de variao de corrente
DMOS	<i>double-Diffused Metal Oxide Semiconductor</i>
DOE	<i>Department Of Energy</i> – Departamento de Energia dos Estados Unidos
DPM	<i>Discrete Pulse Modulation</i> – modulao por pulsos discretos
DSP	<i>Digital Signal Processor</i> – Processador Digital de Sinais
DTC	<i>Direct Torque Control</i> – controle de torque direto
dv/dt	taxa de variao de tenso
E	Fonte de tenso genrica

EMI.....	<i>Electromagnetic Interference</i> – interferência eletromagnética
EST.....	<i>Emmitter Switched Transistor</i>
EV.....	<i>Electric Vehicle</i>
GTO.....	<i>Gate Turn-off Transistor</i>
IEA.....	<i>International Energy Agency</i>
IGBT.....	<i>Insulated Gate Bipolar Transistor</i>
IGCT.....	<i>Insulated Gate Controlled Thyristor</i>
MCT.....	<i>MOS Controled Transistor</i>
MOS.....	<i>Metal Oxide Semiconductor</i>
MOSFET.....	<i>Metal Oxide Semiconductor Field Effect Transistor</i>
ONS.....	Operador Nacional do Sistema
PCI.....	<i>Pole Commutated Inverter</i>
PEBB.....	<i>Power Electronic Building Block</i> – bloco básico de eletrônica de potência
PWM.....	<i>Pulse Width Modulation</i> – Modulação por Largura de Pulso
PR-DCL.....	<i>Parallel Resonant DC-link</i>
QR-DCL.....	<i>Quasi-Resonant DC-link</i>
RBSOA.....	<i>Reverse Bias Safe Operating Area</i>
RDCL.....	<i>Resonant DC-link</i>
RPI.....	<i>Resonant Pole Inverter</i>
RSI.....	<i>Resonant Snubber Inverter</i>
SCR.....	<i>Silicon Controlled Rectifier</i>
SiC.....	<i>Silicon Carbide</i>
SMPS.....	<i>Switched Mode Power Supply</i>
SOA.....	<i>Safe Operating Area</i>
STATCon.....	<i>Static Condenser</i>
SVM.....	<i>Space Vector Modulation</i>
TWh.....	<i>Tera Watt hora</i>
UMOS.....	<i>U-shaped trench channel power Metal Oxide Semiconductor</i>
UPS.....	<i>Uninterruptible Power Supply</i>
VMOS.....	<i>Vertical-channel power Metal Oxide Semiconductor</i>
VRM.....	<i>Voltage Regulated Module</i>
VSI.....	<i>Voltage Source Inverter</i>
ZCS.....	<i>Zero Current Switching</i> – Chaveamento em Zero de Corrente

ZCT.....	<i>Zero Current Transition</i> – Transio em Zero de Corrente
ZCZVS	Chaveamento em Zero de Corrente e em Zero de Tenso
ZCZVT	Transio em Zero de Corrente e em Zero de Tenso
ZVS.....	<i>Zero Voltage Switching</i> – Chaveamento em Zero de Tenso
ZVT	<i>Zero Voltage Transition</i> – Transio em Zero de Tenso
ZVT-DCL	<i>Zero Voltage Transition DC link</i>
3 ϕ	Trifsico
3 ϕ -VSI	Inversor Trifsico alimentado por tenso

SIMBOLOGIA

C	capacitor
C_a	capacitor auxiliar
C_e	capacitor equivalente
C_{fi}	capacitor de filtro i
C_i	capacitor índice i
C_{Ri}	capacitor ressonante i
D_i	diodo i
D_{ai}	diodo auxiliar i
g_m	ganho da fonte de corrente controlada por tensão
I	corrente através do indutor de filtro
i_a	corrente auxiliar
i_{cc}	corrente de controle da fonte de corrente dependente
i_{cv}	corrente de controle da fonte de tensão dependente
i_{Di}	corrente através do diodo i
i_L	corrente através do indutor i
i_{Lai}	corrente através do indutor auxiliar i
i_{Sai}	corrente através da chave auxiliar i
i_i	corrente no ramo i
I_o	corrente através do indutor de filtro de saída
L	indutor

L_i	indutor i
L_{ai}	indutor auxiliar i
P_i	potência de entrada do conversor
P_o	potência de saída do conversor
R_{AC}	resistência AC
R_L	carga
r_m	ganho da fonte de tensão controlada por corrente
S_i	chave i
S_{ai}	chave auxiliar i
T	período de chaveamento ou de operação
t_i	instante i
v_i	tensão no ramo i
v_{cc}	tensão de controle da fonte de corrente dependente
v_{cv}	tensão de controle da fonte de tensão dependente
v_{Di}	tensão sobre o diodo i
V_E	fonte de tensão genérica
V_{in}	tensão de entrada do conversor
v_{Si}	tensão sobre a chave i
v_{Sai}	tensão sobre a chave auxiliar i
V_o	tensão de saída do conversor
$\Delta I_{\%}$	variação percentual da corrente através do indutor de filtro
$\Delta I_{o\%}$	variação percentual da corrente através do indutor de filtro de saída
Δt_i	intervalo de tempo envolvido na etapa i
ω_i	freqüência angular de ressonância i
α	ganho da fonte de corrente controlada por corrente
μ	ganho da fonte de tensão controlada por tensão

CAPÍTULO 1

INTRODUÇÃO GERAL

1.1 Introdução.

Este Capítulo tem como objetivo principal situar a Eletrônica de Potência no contexto energético mundial, bem como de sua vasta diversidade de tópicos e aplicações, definir a motivação e a pertinência deste trabalho.

1.2 A Eletrônica de Potência no Contexto Energético.

A Eletrônica de Potência é um dos ramos da Engenharia associado diretamente com o consumo eficiente de energia. Devido ao crescimento da população mundial e a sua exacerbada demanda por energia, a produção, o consumo e, principalmente, o manuseio adequado da energia que sustenta a sociedade moderna, têm sido um assunto de grande interesse.

1.2.1 Panorama Energético Mundial.

O crescimento econômico dos países desenvolvidos e dos países em desenvolvimento tem provocado um aumento na demanda de energia mundial, [1]. Um exemplo disto é mostrado no relatório apresentado pelo Departamento de Energia dos

Estados Unidos (*Department Of Energy/International Agency of Energy - DOE/IEA*) [2], o qual mostra uma projeção de aumento do consumo de energia de 97,3 para 130,1 quadrilhões de BTUs (*British Thermal Unit - Unidade Térmica Britânica*) até o ano de 2020, ou seja, um crescimento de 1,5% ao ano. O principal fator por trás do aumento na demanda energética é o crescimento econômico, o qual é uma composição do desenvolvimento de diversos setores da economia, sendo que a taxa de crescimento de produtos manufaturados é projetada para 3,0% ao ano. Devido ao número crescente de novas aplicações para semicondutores e sistema microprocessados, os setores de equipamentos eletro-eletrônicos e de automação lideram o setor de equipamentos manufaturados. Espera-se que este setor apresente um crescimento ainda maior, refletindo uma demanda contínua por equipamentos de alta qualidade e com tecnologia de última geração.

Além do setor produtivo, outros setores também apresentam grande crescimento. No setor residencial projeta-se um crescimento anual de 1,0% até 2025 [2]. Isto se deve à proliferação de equipamentos eletrônicos, computadores e eletrodomésticos, os quais refletem o constante avanço tecnológico deste setor [3]-[5]. No setor comercial projeta-se um crescimento anual ainda maior, da ordem de 1,6%. Este crescimento acentuado, tanto no setor comercial quanto no setor residencial, é decorrente da proliferação da rede mundial de computadores que tem contribuído de maneira decisiva na automação comercial e residencial [6], [7]. No setor de transportes, a demanda de energia projeta um crescimento de 2,0% ao ano, até 2025.

De acordo com o relatório sobre fontes renováveis *Renewables in Global Energy Supply* [8] observa-se que 13,8% da demanda energética é provida por fontes renováveis, sendo que deste percentual, 80% provém de biomassa, 16,5% provém de recursos hídricos e apenas 3,5% é derivado de fontes geotérmicas, solares, eólicas e das marés. Observa-se que a maior parte da energia mundial é obtida através de fontes não renováveis, como o petróleo (mais de 50%). A utilização de fontes não renováveis, derivadas do petróleo, tem um impacto ambiental muito grande. Os prejuízos com a utilização destas fontes de energia podem ser vistos com maior facilidade nos grandes centros urbanos, onde uma significativa parcela da população sofre de doenças causadas pela constante exposição à poluição excessiva do ar. Além dos malefícios à saúde, a emissão de gases tóxicos na atmosfera provoca o aquecimento global, conhecido como efeito estufa. As conseqüências deste efeito afetam o clima e, conseqüentemente, o ecossistema de uma forma geral,

podendo resultar em conseqüências catastróficas a longo prazo.

O valor de emissão de gás carbônico (CO₂), para as etapas de extração, construção e operação de algumas das fontes primárias de energia mostra que as fontes primárias ligadas à geração de energia elétrica apresentam os menores níveis de poluição, sendo que a emissão de poluentes está limitada somente ao processo de construção das usinas geradoras [8]. Isto salienta a importância da energia elétrica para o desenvolvimento de uma sociedade auto-sustentável.

1.2.2 Panorama Energético Nacional.

O Brasil possui uma das maiores matrizes energéticas mundiais. Isto se deve à sua extensão territorial, a qual possibilita uma vasta diversidade de recursos renováveis para geração de energia. Além dos recursos naturais, o Brasil também possui uma grande variedade de fontes não renováveis de energia, como o petróleo e seus derivados. Observa-se que, apesar da variedade de fontes primárias para geração de energia, as mais utilizadas são a hidráulica e o petróleo. O petróleo representa aproximadamente 30% da matriz energética nacional enquanto que cerca de 35% desta, provém de energia elétrica. Atualmente, cerca de 85% da capacidade elétrica instalada provém da geração hidráulica [27], sendo o restante suprido por usinas termoeletricas, as quais utilizam como principais combustível o carvão e o gás natural.

O consumo de energia elétrica no Brasil tem aumentado significativamente nas últimas três décadas, registrando uma taxa média anual de crescimento da ordem de 7,5%, enquanto que a população tem crescido em uma taxa média anual de 2% [27]. Isto demonstra que o consumo energético da população tem aumentado significativamente.

Como grande parte da capacidade elétrica nacional é proveniente da geração hidráulica e mais de 80% da população brasileira reside em zonas urbanas, uma das principais características no perfil energético nacional é a grande distância existente entre o potencial energético (hidroelétrico) e os grandes centros de consumo (centros urbanos).

Observa-se também diferenças significativas no fornecimento de energia elétrica nas regiões brasileiras. Claramente percebe-se que existem menos domicílios com fornecimento de energia elétrica nas regiões Norte e Nordeste. De acordo com o *Atlas de Energia Elétrica no Brasil* [27], a maior quantidade de domicílios sem acesso a energia encontra-se nas áreas rurais, as quais encontram-se afastadas das redes de transmissão e distribuição de energia. Por outro lado, a taxa de crescimento demográfico é maior onde

existe carência de energia, como na região Norte. Desse modo, deve existir um planejamento por parte dos órgãos responsáveis de forma a proporcionar o fornecimento adequado de energia elétrica para estas regiões, no sentido de contribuir para o desenvolvimento socioeconômico das mesmas nos próximos anos.

Assim, podem-se definir duas características importantes no panorama energético nacional: (i) uma grande quantidade de domicílios sem energia elétrica nas áreas rurais, e a necessidade do fornecimento de energia para o desenvolvimento destas regiões; e (ii) a demanda concentrada nos grandes centros urbanos, os quais encontram-se afastados das usinas hidrelétricas, fazendo necessário sistemas de transmissão de grandes quantidades de energia elétrica por grandes distâncias.

1.2.3 A Importância da Energia Elétrica.

A energia elétrica possui um papel fundamental no desenvolvimento econômico e social de uma nação, visto que a maior parte do consumo de energia no mundo se dá na forma de energia elétrica. Isto explica o contínuo aumento na produção de energia elétrica mundial (entre 1973 e 2004 a produção mundial aumentou de 6130 TWh (Tera Watt hora) para 17531 TWh, totalizando um aumento médio anual da ordem de 3,4% [9]). A utilização de energia na forma elétrica apresenta diversas vantagens, tais como: (i) facilidade no transporte, uma vez que uma grande quantidade de energia pode ser transferida a grandes distâncias numa fração de segundos; (ii) flexibilidade e eficiência na conversão para outras formas de energia; (iii) flexibilidade quanto à disponibilidade de demanda, a qual pode variar de uma fração de Watt até vários Mega Watts. Além das vantagens, a energia elétrica pode ser obtida (gerada) de várias formas as quais podem utilizar: (i) recursos naturais como a força das águas (usinas hidroelétricas), dos ventos (usinas eólicas), do sol (geradores fotovoltaicos); (ii) a energia térmica proveniente da combustão de material orgânico como carvão, gás, etc. (usinas termoelétricas); (iii) a energia proveniente de reações químicas como em baterias e células combustíveis; e outras [10].

Apesar da existência de diversos modos de geração de energia elétrica, o crescimento desenfreado da demanda juntamente com outros fatores, tais como fatores climáticos, fez com que alguns países enfrentassem crises no abastecimento de energia elétrica [11]-[12]. Este fato provocou um alerta mundial a respeito do sistema energético de muitos países mundo afora, incluindo o Brasil. Em alguns países, como Estados Unidos,

Alemanha, Japão, Holanda, Espanha, Itália, etc., leis foram criadas para reorganizar o sistema de geração de energia [13]-[15]. Algumas destas leis também promovem o incentivo a implantação de fontes alternativas de energia, inclusive no Brasil [16], [17]. Juntamente com o surgimento de incentivos, as normas e regulamentações dos sistemas de geração, transmissão e distribuição de energia foram revistas [18]-[20], de forma a possibilitar a conexão de fontes de energia não provenientes das concessionárias ao sistema existente. Embora qualquer fonte alternativa possa ser utilizada para aliviar o sistema de geração de energia atual, o impacto ambiental de algumas destas fontes faz com as fontes de energia renováveis sejam preferíveis [8]. Estas fontes são denominadas renováveis por não utilizarem combustível fóssil ou nuclear para geração de energia. Dentre as fontes renováveis, ou limpas, destacam-se as fontes eólicas [21], as químicas (célula de combustível) [22], [23], e as solares [24]. Estas fontes apresentam menor impacto ambiental e produzem pouca ou nenhuma poluição. Além disto a utilização de fontes renováveis vai ao encontro das diretrizes para se alcançar o desenvolvimento sustentável [25], uma vez que as reservas mundiais de combustível fóssil e de fontes de recursos nucleares (urânio) [26], são limitadas.

Além da busca por formas alternativas para o aumento da geração de energia, a utilização racional e eficiente da energia é outro fator decisivo na redução do aumento da demanda de energia [25] e melhora da qualidade da energia elétrica disponível para o consumidor. Neste sentido a eletrônica de potência tem um papel fundamental no desenvolvimento de tecnologias capazes de proporcionar a operação dos sistemas de condicionamento de energia com eficiência elevada, produzindo energia de alta qualidade e confiabilidade.

1.2.4 O Papel da Eletrônica de Potência.

A energia elétrica é a forma mais adequada e eficiente para se transmitir e manipular a energia. Todavia, existe uma grande diversidade de aplicações e formas nas quais a energia elétrica é produzida, transmitida e consumida. Desta maneira, na maioria dos casos, a forma na qual a energia elétrica é transmitida não é a forma requerida pelo ponto de consumo (carga). Esta inadequação entre a geração, a transmissão e a carga torna necessária a utilização de um meio intermediário para o condicionamento (processamento) desta energia.

De acordo com T. G. Wilson,

Os equipamentos eletrônicos de potência (conversores estáticos) têm como função básica o controle do fluxo de energia elétrica entre uma fonte de tensão/corrente alternada ou contínua e uma ou mais cargas que requerem uma tensão/corrente alternada ou contínua (Wilson, T. G. [28]).

O fluxo de potência é controlado e regulado de modo a satisfazer os requisitos da carga através da variação da impedância de um ou mais elementos internos do conversor estático de potência que encontra-se localizado entre a fonte e a carga. Dependendo da fonte primária e da carga, os conversores estáticos podem ser de quatro tipos: conversores CC-CC [29], os quais convertem e regulam o valor médio de uma fonte de tensão em corrente contínua para outro valor; conversores CC-CA [29], ou inversores, os quais convertem um valor contínuo de tensão ou corrente num valor alternado com amplitude e frequência controlada; conversores CA-CC [29], ou retificadores, os quais convertem uma fonte alternada, com amplitude variável para um valor contínuo e regulado; e, os conversores CA-CA, os quais podem converter tanto a frequência [30] (*frequency changers*) como também a amplitude [31] (*reguladores CA*) de uma fonte alternada para os valores desejados pela carga. O estudo e a aplicação de conversores estáticos de potência para manipular energia elétrica constitui a eletrônica de potência propriamente dita.

Além de proporcionar um modo eficiente para o condicionamento de energia, o conhecimento da eletrônica de potência é fundamental para o desenvolvimento tecnológico de fontes renováveis de energia (geração eólica, fotovoltaica, célula de combustível, etc.) e também, para o melhoramento de diversas áreas como os acionamento elétricos, qualidade de energia, alimentação de cargas especiais, dentre outras. Um exemplo disto é observado através da grande dependência que algumas indústrias apresentam quanto ao desenvolvimento da eletrônica de potência, como por exemplo: (i) a indústria de computadores, a qual faz uso de fontes de tensão com uma grande variedade de níveis de tensão de alimentação (12, -12, 5, -5, V_{CC}) e, cuja contínua redução dos valores de tensão de alimentação dos microprocessadores tem aumentado o desafio pelo desenvolvimento de conversores com alta regulação, alto desempenho dinâmico e baixas perdas em condução [32]-[33], e também por conversores de alto desempenho e alta densidade de potência para equipamentos portáteis de informática e comunicação [34]; (ii) a indústria de telecomunicações que sempre foi responsável por uma enorme gama de aplicações para eletrônica de potência, tem sido uma das responsáveis pelo desenvolvimento tecnológico na área de sistemas distribuídos [35], incluindo diversos tipos de conversores, desde

conversores para correção do fator de potência [36]-[41], conversores com isolamento em alta frequência [42]-[45], até, mais recentemente, os módulos reguladores de tensão (*Voltage Regulated Module* – VRM) [46]; (iii) a indústria aeroespacial, cujos requisitos por conversores compactos, com baixo consumo e baixa emissão eletromagnética, proporcionou o desenvolvimento da área de conversores estáticos com comutação suave (não dissipativa) [47]-[48]; (iv) a indústria de equipamentos eletrônicos que tem sido responsável pelo emprego cada vez maior de fontes chaveadas nas mais diversas aplicações, desde equipamentos de medição, utensílios eletro-eletrônicos domésticos e também fontes para o acionamento de lâmpadas frias (reatores eletrônicos) [49]; (v) a indústria automobilística, com a inclusão de atuadores e acionadores eletrônicos e sistemas de controle de energia nos veículos com motor à combustão interna [50]-[52]. Além disto, fatores como a demanda mundial de energia e a proteção ao meio-ambiente têm forçado o desenvolvimento de veículos elétricos e/ou híbridos; (vi) a indústria de energia, cujo rápido desenvolvimento tem sido um reflexo do crescimento mundial das cargas não lineares (chaveadas), devido à proliferação de sistemas computadorizados, proporciona o desenvolvimento de conversores para o condicionamento da energia no sistema de transmissão e distribuição [53]-[54]; e por último, (vii) a própria automação industrial tem um papel importante na área de acionamento de máquinas [55]-[57] e no desenvolvimento de novas tecnologias, como na área de semicondutores [58] e na área de controle.

1.3 Uma breve história do desenvolvimento da eletrônica de potência.

1.3.1 A Era Moderna ou a Eletrônica de Potência em Estado Sólido.

Muitos autores consideram que o surgimento do SCR (*Silicon Controlled Rectifier* – SCR), também conhecido como tiristor, deu início a era moderna da eletrônica de potência em estado sólido. Outros consideram que a eletrônica de potência propriamente dita teve seu início com o advento do tiristor. Apesar de não ter sido o primeiro dispositivo a permitir o controle da retificação, foi somente através do uso do tiristor em conversores eletrônicos (conversores estáticos) para processos eletromecânicos, sistemas de transporte, controle de motores de corrente contínua (CC) industriais, aquecimento elétrico e equipamentos eletrônicos de soldagem, que tais aplicações tornaram-se viáveis a partir dos anos 60. Os tiristores dominaram a primeira geração da eletrônica de potência, ou a era

moderna da eletrônica de potência (aproximadamente nas décadas de 60 e 70).

Devido à sua característica de bloqueio controlado pela corrente [31], este dispositivo difundiu-se principalmente em aplicações onde os semicondutores são naturalmente submetidos à um regime alternado de corrente. A grande capacidade de potência dos tiristores permite a sua utilização até os dias de hoje, tornando-os indispensáveis para aplicações em potências muito elevadas onde não há disponibilidade de outros semicondutores com igual capacidade. Isto é observado em compensadores estáticos (*Static Condenser – STATCon*), cicloconversores, *soft-starters*, inversores alimentados em corrente (*Current Source Inverters - CSI*), dentre outros, [10].

O advento do GTO (*Gate Turn-Off thyristor*), dispositivo com capacidade de bloqueio controlado, fez com que a tecnologia dos acionamentos elétricos migrasse dos inversores alimentados em corrente (*CSI*) e dos cicloconversores, para os inversores alimentados em tensão (*Voltage Source Inverters - VSI*). Todavia, as grandes constantes dinâmicas destes dispositivos, as quais tornam os tempos de comutação significativamente grandes e as perdas de comutação elevadas, limitam a frequência de operação dos conversores que empregam esta tecnologia de semicondutores, além de requererem a utilização de circuitos de auxílio à comutação, tais como *circuitos de snubber* [26].

O surgimento dos transistores bipolares de potência (Darlington BJTs) e a sua popularização na década de 70 trouxe grande expectativa na comunidade científica. Entretanto, os requerimentos dos circuitos acionadores destes dispositivos, as limitações quanto à sua frequência de operação e a introdução da tecnologia MOS para os transistores de potência fizeram com que estes dispositivos se tornassem obsoletos [26].

A introdução da tecnologia MOS para transistores de potência em meados da década de 70 culminou no surgimento do transistor de efeito de campo de óxido silício (*Metal Oxide Semiconductor Field Effect Transistor – MOSFET*). Diferentemente dos outros dispositivos semicondutores, o MOSFET de potência é um dispositivo do tipo que não utiliza o efeito da difusão em suas junções *pn* para entrar em condução. O MOSFET utiliza o efeito de campo elétrico para formar um canal de portadores majoritários, permitindo a sua entrada em condução. Uma característica que distingue este tipo de dispositivo dos demais é que suas perdas em condução são proporcionais à tensão de bloqueio do dispositivo, o que pode vir a reduzir o desempenho destes dispositivos para aplicações onde os mesmos sejam submetidos a valores de tensão superiores a 400V. Contudo, os tempos envolvidos na comutação destes dispositivos são muito inferiores aos

apresentados por outros dispositivos semicondutores até então desenvolvidos. Os MOSFETs são muito populares em aplicações onde são requeridas altas frequências de operação e baixas tensões, como em fontes chaveadas (*Switching Mode Power Supplies – SMPS*) e outros equipamentos alimentados através de bancos de baterias [26]. A alta impedância de entrada da porta (MOS gate) possibilita a integração destes dispositivos com o circuito de comando, reduzindo as perdas e o volume dos conversores. Em níveis elevados de tensão, estes dispositivos são associados em série através de conversores multiníveis, o que permite que os mesmos operem sob tensões mais baixas do que a tensão aplicada ao barramento CC do conversor [44]. Recentemente tecnologias para minimização das perdas em condução destes dispositivos levaram ao desenvolvimento de novas estruturas MOS, como VMOS (*Vertical-channel power Metal Oxide Semiconductor*), DMOS (*double-Diffused Metal Oxide Semiconductor*) e o surgimento de dispositivos denominados de *trench-gate* MOSFETs (*U-shaped trench channel power Metal Oxide Semiconductor – UMOS*). Em tensões inferiores a 400 V não existe tecnologia concorrente aos MOSFETs [26], [59].

O início da comercialização do transistor de porta isolada (*Insulated Gate Bipolar Transistor – IGBT*) no início dos anos 80 [230] pode ser considerado um marco na história da eletrônica de potência. Este dispositivo é resultado da combinação da estrutura de um MOSFET e de um transistor bipolar. O dispositivo conduz com níveis elevados de injeção de portadores com baixa queda de tensão para altos níveis de corrente. Dentre as suas vantagens tem-se, menores constantes dinâmicas do que BJTs, área de operação segura (SOA – *Safe Operating Area*) retangular, o que permite a operação sem a necessidade de circuitos de auxílio à comutação, além das baixas perdas em condução compatíveis aos BJTs. As constantes envolvidas nos intervalos de comutação do IGBT são limitadas pela carga dos portadores minoritários armazenada na região de *drift* e, desta forma, a vida média destes portadores determina a velocidade de bloqueio do dispositivo [59]. Os níveis de corrente e tensão destes dispositivos e suas características elétricas (estáticas e dinâmicas) têm sido continuamente aperfeiçoadas [26]. Atualmente as duas principais tecnologias dos IGBTs são os *Punch Through* PT-IGBTs e os *Non-Punch Through* NPT IGBTs. Os PT-IGBTs possuem uma região fortemente dopada (n^+) que separa a região de *drift* da camada n e a camada p que se localiza logo abaixo do terminal do coletor do transistor IGBT. Esta região controla (limita) o fluxo de lacunas que migra da camada p^+ abaixo do coletor para a região de drift da camada n^- . A existência da camada

p^+ permite que haja a injeção de lacunas na região de drift proporcionando um aumento no número de portadores, reduzindo a carga espacial (camada de depleção) e, conseqüentemente, a queda de tensão de condução do dispositivo. Os NPT-IGBTs, por sua vez, possuem uma camada n homogênea e pouco dopada, o que permite um aumento maior no número de portadores e uma queda de tensão de condução reduzida. Entretanto, a espessura da região de drift deve ser aumentada para compensar o aumento da carga espacial (que não deve exceder os limites desta camada). Além disto, o aumento do número de portadores minoritários na região de drift aumenta o tempo de bloqueio do dispositivo. Em [276] foi mostrado que este compromisso entre perdas em condução e perdas no bloqueio é mais otimizado nos PT-IGBTs, entretanto, estas afirmativas são contestadas em [277] e [278], onde as análises comprovam que os NPT-IGBTs proporcionam menores valores de $v_{CE(on)}$ e menores perdas em bloqueio com maior robustez e melhores características de curto-circuito. Outra vantagem apresentada pelos NPT-IGBTs é o seu coeficiente negativo de temperatura [105], o que permite a utilização de circuitos de acionamentos (drives) com limitação de sobrecorrente via o controle da tensão $v_{CE(on)}$, além de facilitar a equalização de correntes no paralelismo de dispositivos. Os IGBTs vêm sendo empregados em módulos integrados ou inteligentes, nos quais os circuitos de acionamento (drives), proteção e comando encontram-se encapsulados junto ao semiconductor de potência [60]-[61].

O tiristor com emissor chaveado (EST), desenvolvido no final da década de 80, é um dispositivo com porta isolada (MOS-gate). Este dispositivo possui a estrutura básica de um IGBT com a adição de uma região emissora flutuante, o que resulta em uma estrutura que se assemelha a uma conexão série de um tiristor e um MOSFET. Em níveis baixos de corrente o comportamento do dispositivo é idêntico ao de um IGBT, em níveis elevados de corrente o tiristor intrínseco dispara e trava (*latch up* – estado de travamento), e a corrente passa a ser limitada pela conexão série do canal do MOSFET, o que proporciona o controle da corrente em uma larga faixa de valores. Embora possuam grande capacidade de corrente, os níveis de modulação de condutividade resultam em perdas de bloqueios elevadas [59].

Outro dispositivo com porta isolada (MOS-gate) desenvolvido e comercializado a partir de 1992, é o tiristor com controle MOS, ou MCT *Mos-Controlled Thyristor*. Apesar deste dispositivo apresentar área de operação segura para polarização reversa (RBSOA) limitada e constantes de comutação maiores do que as dos IGBTs, o governo americano,

juntamente com indústrias e universidades, iniciou um programa para realização de um bloco construtivo para eletrônica de potência (*Power Electronic Building Block - PEBB*) empregando esta tecnologia de semicondutores [26]. As limitações apresentadas por estes dispositivos podem ser minimizadas através da utilização de técnicas de comutação suave [62].

Mais recentemente tornou-se disponível para comercialização um novo dispositivo, denominado de tiristor controlado de porta isolada (*Insulated Gate Controlled Thyristor – IGCT*), ou tiristor com porta comutada integrado. Este dispositivo é basicamente um GTO com capacidade de comutação dissipativa, ou seja, é uma ótima combinação de um tiristor com baixas perdas em condução e perdas reduzidas de bloqueio. A estrutura do IGCT é formada por um tiristor, um MOSFET vertical e um MOSFET lateral. As vantagens do IGCT consistem em perdas de condução reduzidas comparadas aos IGBTs com a mesma capacidade de tensão de bloqueio, menores tempos de comutação e facilidade para associação série destes dispositivos [59].

A Figura 1 mostra a densidade de corrente direta pela queda de tensão direta para alguns dos dispositivos semicondutores de potência mais conhecidos. Pode-se observar que os dispositivos com tecnologia baseada no tiristor, como o MCT e o próprio tiristor apresentam maior densidade de corrente e menor queda de tensão direta.

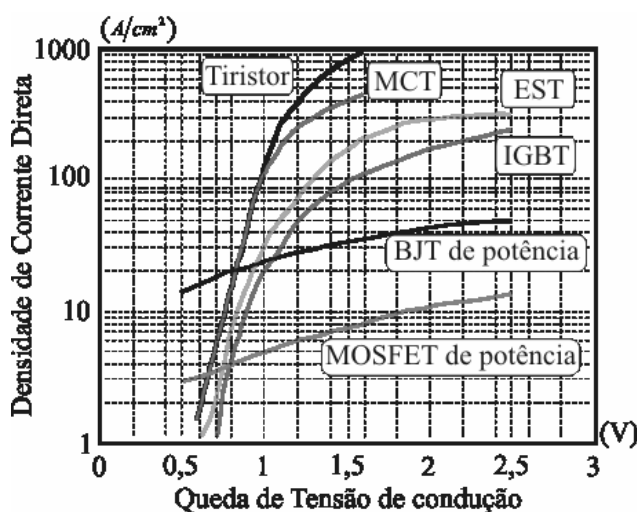


Figura 1 – Comparação entre a queda de tensão de alguns dispositivos semicondutores. Fonte [59].

Apesar do silício (Si) ter sido o material básico para a construção dos semicondutores de potência há bastante tempo, muitos outros materiais têm se mostrado promissores. Dentre estes, pode-se citar o diamante e o carbono-silício (SiC). Estes materiais apresentam várias vantagens, tais como, alta mobilidade de portadores, alta

condutividade térmica e elétrica, etc., o que proporciona a construção de dispositivos com maior capacidade de corrente e maior tensão de bloqueio, menores perdas em condução e operação em temperatura mais elevada [26], [59].

A última década tem presenciado grandes avanços na área de semicondutores de potência devido ao progresso da tecnologia de carbono-silício (SiC) [63]-[64], bem como o desenvolvimento de novas estruturas tais como o CoolMOS e o FS-IGBT (*Field Stope IGBT*).

A comercialização do SiC iniciou-se no início dos anos 90 através dos diodos emissores de luz azul (*blue-LED*) [65]. Comparado com outros materiais semicondutores o SiC possui um número de aspectos físicos inigualáveis, tais como uma alta condutividade térmica, excelente resistência ao ataque de substâncias químicas e uma tolerância elevada à temperatura [66]. As maiores áreas que serão beneficiadas com o desenvolvimento desta tecnologia são: (1) os transistores de potência para microondas; (2) os semicondutores de potência para conversão estática de energia; (3) os dispositivos lineares para temperaturas elevadas; (4) os super LEDs; (5) os diodos emissores de laser ultravioleta e azul; dentre outras. A tecnologia do SiC projeta um grande potencial para aplicações em altos níveis de potência (tensões e correntes elevadas) como nos conversores estáticos. Muitos tipos de dispositivos de potência que utilizam a tecnologia SiC se encontram em fase final de testes em laboratórios de pesquisa, sendo que a disponibilidade comercial de alguns destes dispositivos já existe. Embora hajam resultados que comprovam claramente a superioridade de diodos retificadores, MOSFETs e transistores bipolares [67], existem alguns fatores que ainda limitam a comercialização destes dispositivos. Um destes fatores é a qualidade do material utilizado. Dispositivos para altas potências possuem grandes áreas ativas que devem suportar campos elétricos elevados, deste modo, o tamanho e a densidade da pastilha de carbono-silício é o fator chave para o sucesso comercial desta tecnologia. Um dos fatores mais importantes que limitam a produção em larga escala dos dispositivos de SiC é o efeito denominado de *micropipe defect*. Este efeito é causado por inúmeros mecanismos e resulta em portadores (lacunas) com diâmetro reduzido [59]. Como em todos os semicondutores utilizados em aplicações industriais, o tamanho desejado disponível para a pastilha de de carbono-silício, é uma questão primariamente econômica. Para grande parte das aplicações de potência (tensões e correntes elevadas), o diâmetro da pastilha de carbono-silício deve ser de, no mínimo, 75-100 mm. Desta forma, o desenvolvimento tecnológico dos dispositivos com SiC é fundamental para que esta

tecnologia possa ser empregada para obtenção de MOSFETs, IGBTs, tiristores, com maior capacidade de corrente e capazes de suportar tensões mais elevadas sem aumentar as perdas em condução destes dispositivos [63].

Dentre as novas estruturas desenvolvidas nos últimos anos o CoolMOS™ é um dos principais destaques. O conceito de CoolMOS é uma adaptação do princípio de RESURF [68] aplicada em transistores DMOS com orientação vertical, i.e, MOSFETs de potência. Este conceito ambicioso propõe um aumento da condutividade elétrica provida pelos portadores majoritários na região de *drift* (camada n^-) do dispositivo. Em consequência disto, a resistência de condução do dispositivo e as perdas associadas a ela são reduzidas drasticamente [69]. A nova geometria do dispositivo também provocou modificações nas capacitâncias intrínsecas do MOSFET, produzindo uma redução da carga necessária para carga destas capacitâncias. Além de reduzir as perdas capacitivas de entrada em condução, os intervalos de transição de estado de condução e bloqueio também foram minimizados, permitindo a elevação da frequência de chaveamento do dispositivo [70].

Mais recentemente, uma nova estrutura combinando as características de ambas as tecnologias empregadas nos IGBTs, i.e., *Punch-trough* e *Non Punch-trough*, foi concebida. O FS-IGBT, possui uma camada de baixa dopagem n^- , tal como nos PT-IGBTs e uma camada emissora ajustável com baixa eficiência, tal como nos NPT-IGBTs. Devido à redução alcançada na espessura do substrato de silício, a carga de portadores minoritários a ser removida durante o processo de bloqueio é reduzida aproximadamente de 30%, melhorando significativamente o desempenho dinâmico do dispositivo [71].

Observa-se que o estado de desenvolvimento da Eletrônica de Potência é fortemente determinado pela evolução dos dispositivos chaveados (não lineares). O presente estado tecnológico foi e tem sido altamente influenciado pelo surgimento de gerações sucessivas de dispositivos semicondutores com capacidade de bloqueio, tendo seu início com o advento dos transistores bipolares de potência (BJT), passando pelo transistor de efeito de campo (MOSFET) e mais recentemente pelo transistor com porta isolada (IGBT). Estes últimos dois dispositivos estão gradualmente conquistando espaço no mundo dos dispositivos semicondutores, através do aumento no número de aplicações e também conquistando o espaço que anteriormente pertencia a outras tecnologias de semicondutores [56]. O equilíbrio alcançado pelo IGBT no compromisso existente entre velocidade de comutação, perdas em condução e robustez, combinado com a relativa

facilidade em seu acionamento (dispositivo controlado pela porta - MOS) fez com que este dispositivo rapidamente substituísse os transistores BJTs em aplicações de potência. Mais que isto, os avanços tecnológicos tem proporcionado a operação eficiente dos IGBTs em frequências cada vez mais elevadas, tornando estes dispositivos fortes concorrentes dos MOSFETs para aplicações em baixas potências.

Atualmente o IGBT é o dispositivo semiconductor de potência predominante em aplicações de acionamento de motores e máquinas elétricas, desde uma fração de kilo-Watt até multimega-Watts [56].

1.3.2 Evolução Tecnológica dos Conversores Estáticos.

A evolução dos dispositivos semicondutores de potência tem um reflexo imediato na tecnologia dos circuitos empregados para fazer o condicionamento estático da energia.

No final da década de 50 e início da década de 60, a partir do advento do tiristor, iniciou-se o amadurecimento das topologias (circuitos) para acionamentos elétricos em corrente contínua. Posteriormente os acionamentos em corrente alternada deram seus primeiros passos com o surgimento dos inversores alimentados em tensão (VSI). Os VSI são uma evolução natural da tecnologia de acionadores com controle de fase utilizados nos anos 30 com a adição de um barramento CC com tensão regulada variável que utilizava indutores e capacitores como elementos armazenadores de energia [57]. A partir de então, as máquinas de indução passaram a dominar o cenário dos sistemas de acionamento com um número cada vez maior de aplicações, tanto no meio industrial como também em veículos de tração elétrica. Isto se deve, principalmente, à maior robustez das máquinas de indução as quais apresentam fabricação mais simples e necessitavam de menos manutenção. Isto vem a se refletir no menor custo do motor de indução. Como os tiristores não possuem capacidade de bloqueio, circuitos auxiliares eram utilizados junto aos VSI para proporcionar o bloqueio dos tiristores (circuitos para comutação forçada). Dentre as topologias utilizadas nesta época o inversor de McMurray [72] obteve destaque, devido à sua robustez e simplicidade.

Nos anos 70, a disponibilidade de tiristores com altas capacidades de corrente e de tensão de bloqueio para regulação da corrente do barramento CC fez com que os inversores alimentados em corrente (CSIs) ganhassem novamente maior interesse. Algumas modificações nesta topologia levaram ao desenvolvimento, dos conversores com comutação de carga [57].

O amadurecimento tecnológico dos dispositivos com capacidade de bloqueio (tais como o BJT de potência), no início da década de 80, proporcionou o surgimento das primeiras topologias que deram origem aos conversores utilizados nos dias de hoje. Estas topologias eram inversores alimentados a tensão denominados de inversores onda quadrada (*six step* VSI) ou simplesmente inversores não senoidais. As principais características destes inversores são o baixo custo, baixa potência, barramento CC fixo e seis chaves semicondutoras (circuito trifásico), as quais lentamente substituiriam os CSIs e os antigos VSIs com barramento CC com tensão regulada variável [57].

Durante as décadas de 70 e 80 a técnica de modulação por largura de pulsos (PWM) sofreu um grande desenvolvimento. O grande diferencial na época era o cálculo dos ângulos de disparo dos semicondutores para otimização de variáveis do sistema onde o inversor encontrava-se inserido, tais como torque de motores, conteúdo harmônico de UPSs, etc., [73]-[75].

O emprego de circuitos de snubber regenerativo para redução das altas perdas na comutação devido aos longos tempos de comutação dos BJTs e GTOs fez com que várias topologias destes circuitos fossem apresentadas, sendo que o snubber de *Undeland* [76] obteve certo destaque devido à sua simplicidade e eficácia.

No final da década de 80 e início da década de 90, a primeira geração de transistor com porta isolada (IGBT) passou a substituir os transistores bipolares (BJTs). Em níveis mais elevados de potência, novas tecnologias de semicondutores passaram a ser empregadas, como os MCTs [57] e, mais recentemente, os IGCTs.

O desenvolvimento de microprocessadores e microcontroladores no final da década de 80 fez com que técnicas mais complexas de controle fossem aplicadas aos inversores do mesmo modo que proporcionou o surgimento de novas técnicas de modulação (Space Vector Modulation - SVM) [77]-[79].

Atualmente existem dois grandes rumos para o desenvolvimento da eletrônica de potência. O primeiro é alavancado pela *tecnologia da informação*, cujos requerimentos tem proporcionado constantes avanços tecnológicos, principalmente na área de conversores CC-CC; o segundo, é alavancado pela *automação* com o emprego cada vez maior de motores de indução [80], [81].

Enquanto o mundo espera a disseminação do uso da tecnologia de carbono-silício (SiC), o dispositivo semicondutor de destaque é o IGBT, cuja capacidade de corrente e tensão tem feito com que aumente cada vez mais o seu nicho de aplicações [56]-[57], [

82]-[83].

Dentre as topologias utilizadas em acionamentos elétricos em CA, em fontes ininterruptas de energia (UPS), em filtros ativos de reativos, destaca-se o inversor VSI trifásico com seis chaves em ponte, principalmente em potências inferiores a 2 MW [56] e o inversor VSI monofásico com quatro chaves em ponte para aplicações monofásicas.

1.3.3 Inversores Alimentados em Tensão com Tecnologia IGBT.

No intuito de maximizar o desempenho dos IGBTs, aumentar a sua robustez, confiabilidade e eficiência através da redução das limitações associadas aos elementos parasitas dos circuitos eletrônicos, foram desenvolvidos módulos semicondutores que integram num único encapsulamento dois ou mais IGBTs [84]-[85]. Com o passar dos anos, o grau de maturidade alcançado pelos módulos de semicondutores baseados em tecnologia IGBT [86]-[87] proporcionou uma elevada confiabilidade, de forma a possibilitar o projeto de estágios inversores com o mínimo de circuitos de proteção e até sem a utilização de circuitos de *snubbers*. Em alguns módulos inteligentes, o circuito de acionamento dos semicondutores (*drivers*) são também responsáveis pela limitação das taxas de variação de corrente (di/dt) e de tensão (dv/dt) através dos terminais do dispositivo. Além disto, pode-se encontrar módulos inteligentes que incorporam circuitos para proteção e para o sensoriamento de temperatura/corrente [88]-[90]. Isto se deve ao alto grau de integração destes módulos, proporcionando uma redução dos efeitos provocados pelos elementos parasitas (indutâncias e capacitâncias). De fato, dependendo dos níveis de potência, na prática pode-se projetar inversores (de baixa frequência) sem a necessidade de circuitos de snubber, o que proporciona uma redução do volume, do custo, e em alguns casos, das perdas do conversor. Apesar disto, as altas taxas de variação de tensão (dv/dt) e de corrente (di/dt) através dos IGBTs podem trazer várias conseqüências danosas, e em certos casos até destrutivas à carga (principalmente em acionamentos de máquinas). Uma conseqüência dos níveis elevados de di/dt e dv/dt é a elevação da quantidade de interferência eletromagnética (EMI) gerada pelo conversor, o que pode interferir em outros equipamentos e até prejudicar o funcionamento do sistema de aquisição e de controle do próprio conversor [91]-[92]. Em acionamentos elétricos, os níveis elevados de di/dt e dv/dt podem interagir com os cabos conectados à máquina e causar transientes de tensão através dos enrolamentos da mesma, exigindo mais do seu sistema de isolamento [94]-[96]. Adicionalmente, altas taxas de dv/dt podem resultar em

cargas desequilibradas no rotor das máquinas. Estas cargas podem se descarregar através dos rolamentos se nenhum caminho alternativo for fornecido. Com o tempo, estas descargas podem causar desgaste nas esferas dos rolamentos ocasionando falhas em seu funcionamento [97]-[99].

1.4 Definição do problema.

Nos últimos anos, como mencionado anteriormente, o surgimento e o desenvolvimento dos módulos inteligentes com tecnologia baseada em semicondutores IGBT tem proporcionado aos inversores em ponte (monofásicos e trifásicos) uma grande gama de aplicações nas mais diversas áreas, como em acionamentos elétricos em corrente alternada (largamente utilizadas na indústria), Figura 2(a), em fontes ininterruptas de energia monofásicas (Figura 2(b)) e trifásicas (utilizadas principalmente em cargas críticas dos mais variados tipos), em filtros ativos para compensação estática de reativos (utilizados nos sistemas de distribuição de energia), FACTS (*Flexible Alternating Current Transmission Systems*), dentre outros. Estes fatos fazem com que os módulos com dois e seis IGBTs utilizados em VSIs, monofásicos e trifásicos, respectivamente, sejam de grande importância no contexto histórico e tecnológico da eletrônica de potência.

Entretanto, a melhora da resposta dinâmica e a redução do ruído audível destes inversores, alcançados através do aumento da frequência de comutação dos IGBTs podem desencadear problemas e limitações, tais como: (i) interferência eletromagnética (EMI) conduzida e/ou irradiada; (ii) correntes de fuga através das capacitâncias intrínsecas entre os enrolamentos e a carcaça de máquinas elétricas; (iii) correntes através dos rolamentos e tensões no eixo girante de motores; (iv) redução da eficiência, agregada ao aumento do volume de dissipadores em fontes ininterruptas de energia, acionadores e conversores de uso geral. Estes problemas podem produzir um maior ou menor impacto na operação do sistema. No acionamento de motores elétricos industriais, transitórios de tensão [94]-[96] e descargas de corrente nos rolamentos [97]-[99] são alguns problemas que podem causar sérios danos e conseqüente redução da vida útil do equipamento. Por outro lado, em acionamento de motores para tração de veículos elétricos e/ou híbridos, altos níveis de EMI [91]-[92] podem causar o mau funcionamento de diversos equipamentos.

Para minimizar os problemas citados acima, inversores com comutação suave têm sido utilizados no lugar dos inversores PWM com comutação dissipativa. A comutação suave tem como principal propósito a redução da sobreposição das formas de onda de

corrente e tensão através dos dispositivos semicondutores durante os intervalos de transição dos mesmos. Desta forma, as técnicas de comutação suave proporcionam melhores condições de comutação para os dispositivos semicondutores, aliviando as limitações térmicas de operação dos mesmos e permitindo a sua operação em frequências mais elevadas. Mais que isto, o controle das taxas de di/dt e dv/dt minimizam os problemas relacionados com EMI e também os problemas relacionados com as aplicações em acionamentos de máquinas [94]-[99].

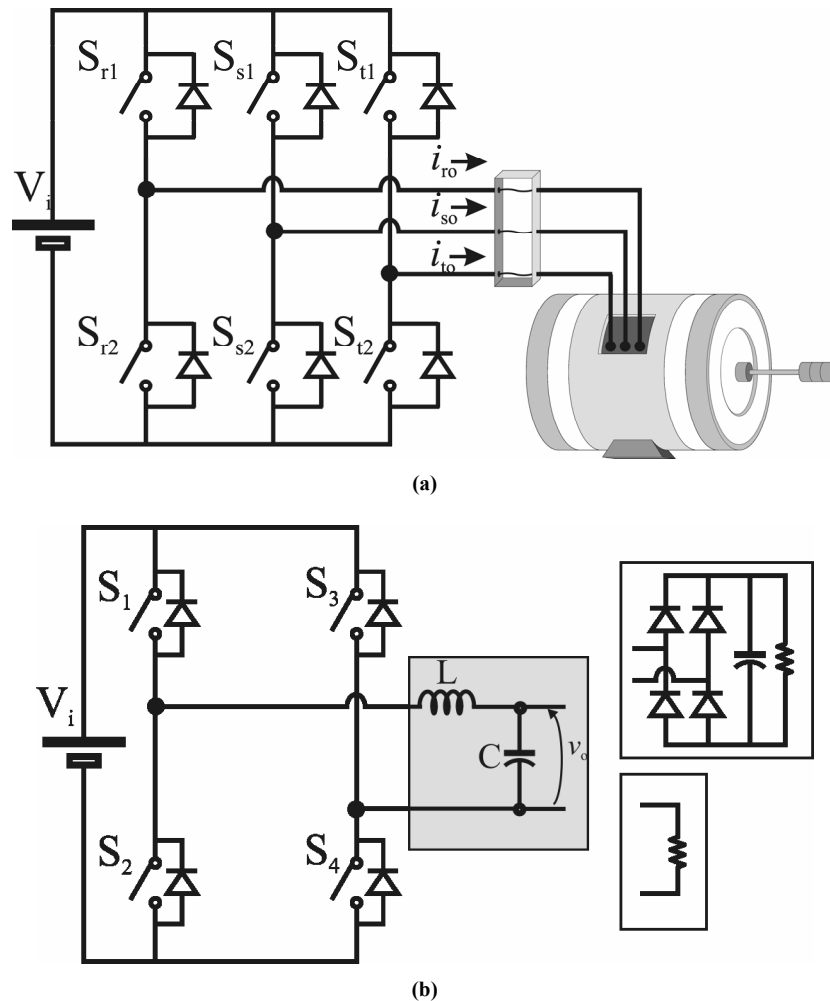


Figura 2 – Inversores alimentados em tensão. (a) Inversor trifásico para acionamento de motor de indução; (b) Inversor monofásico com filtro passa baixa de saída.

A operação de conversores estáticos em frequências elevadas possibilita uma redução no volume dos filtros, proporcionando uma melhora no desempenho dinâmico dos conversores e um aumento na densidade de potência dos mesmos. Em aplicações como acionamento elétricos para propulsão de veículos elétricos (*Electric Vehicles - EV*) e híbridos (*Hybrid Electric Vehicles - HEV*), ou em aplicações onde a corrente através do motor possa ser capaz de responder rapidamente a variações da carga, os valores das

indutâncias associadas aos enrolamentos do motor devem ser pequenas a fim de garantir uma boa resposta dinâmica a distúrbios. Todavia, uma redução das indutâncias faz com que ocorra um aumento nas ondulações (*ripple*) de corrente no motor, causando um aumento nas perdas no motor [100]. Para que a redução das indutâncias não seja acompanhada por um aumento das perdas é necessário aumentar a frequência de operação do conversor. Outro benefício do aumento da frequência de operação do inversor é a redução do nível de ruído audível, que não é percebido pelo ouvido humano em frequências superiores a 20 kHz. Em aplicações automotivas a redução do ruído audível e redução das ondulações de torque e de velocidade são importantes para melhorar o desempenho do veículo.

Devido às suas características dinâmicas, os dispositivos do tipo portadores minoritários, em especial o IGBT, apresentam uma corrente residual que decai lentamente durante o seu processo de bloqueio [101]-[102]. Esta corrente, denominada corrente de cauda, é responsável por grande parte das perdas em comutação deste dispositivo [103]. Além disto, outros fenômenos, como os associados às taxas de variação de tensão através do dispositivo, também contribuem para o aumento das perdas em comutação e são fontes de EMI, tanto para dispositivos operando com comutação dissipativa, como em condições de comutação sob tensão nula (ZVS) [104]-[106] e corrente nula (ZCS) [107]-[109]. As melhores condições para comutação destes dispositivos, independentemente da tecnologia (geração) do IGBT, são alcançadas com bloqueio sob corrente nula [110], [111]. Para IGBTs rápidos, os quais são otimizados para aplicações com frequências elevadas, as condições de comutação sob tensão (ZVS) e sob corrente (ZCS) nulas apresentam resultados comparáveis [112]-[113]. Contudo, o preço pago por estes dispositivos é um aumento nas perdas em condução [111]-[112] e, muitas vezes, o maior custo.

Das técnicas de comutação, aquelas que proporcionam bloqueio ZCS para os semicondutores, tais como, as técnicas *transição sob corrente nula* ZCT [114]-[116] e *transição sob corrente e tensão nulas* ZCZVT [117]-[118], apresentam melhores resultados, obtendo-se com isto melhores desempenho dos conversores. Apesar disto, a operação dos circuitos auxiliares ZCT e ZCZVT produzem energia reativa elevada fazendo com que as perdas em condução limitem o ganho de eficiência dos conversores e, em muitos casos, aumente o dimensionamento dos semicondutores que constituem o circuito auxiliar [118]. Estes fatos demonstram que ambas as técnicas ZCT e ZCZVT não alcançaram o grau de amadurecimento de outras técnicas de comutação, como a *transição*

sob tensão nula ZVT, cujos circuitos auxiliares evoluíram de forma a produzir o mínimo de energia reativa [119]-[121], esforços de tensão [122], e ainda a proporcionar a sua integração em circuitos polifásicos [122]-[127].

Desta forma, a realização de um estudo aprofundado sobre as técnicas de comutação suave existentes para os inversores torna-se importante, particularmente a técnica de comutação ZCZVT. Para que se possa desenvolver inversores com comutação ZCZVT com melhor desempenho e/ou menor custo e simplicidade pode-se buscar em outras técnicas de comutação já consolidadas no meio acadêmico e industrial, os fatores que possibilitaram o seu desenvolvimento e o seu amadurecimento. Neste caso, a técnica ZVT merece uma atenção especial, visto que os princípios de operação de todos os conversores com *transição ressonante* foram definidos com base nestes conversores. Além disto, por ser a primeira técnica com transição ressonante da literatura, a técnica ZVT possui o maior grau de desenvolvimento (mais de uma década) dentre as técnicas de transição ressonante, o que se reflete através das perdas adicionais de condução reduzidas e também da maior simplicidade e confiabilidade alcançada.

Um desafio a ser enfrentado no estudo de técnicas de comutação suave é atingir para a técnica de comutação ZCZVT o mesmo grau de amadurecimento e de entendimento alcançado pela técnica ZVT. Para isto, deve-se melhorar as características dos conversores que se utilizam da técnica ZCZVT de modo que estes tenham maior eficiência, menor EMI e ainda, um custo comparável ao dos conversores com comutação dissipativa sob as mesmas características de operação, ou que ao menos apresentem um ponto razoável no compromisso existente entre custo, complexidade e desempenho.

Outro ponto importante diz respeito às possíveis limitações impostas pelo circuito auxiliar. Devido ao atual estado de desenvolvimento das técnicas de controle, acumulado ao longo de vários anos de aperfeiçoamento, é importante que o conversor ZCZVT possa utilizar as mesmas técnicas de controle empregadas nos conversores PWM com comutação dissipativa.

1.5 Escopo e principais contribuições da tese.

Esta tese leva em consideração as seguintes hipóteses:

- A técnica de comutação ZVT atende satisfatoriamente os quesitos referentes à eficiência, EMI, simplicidade, etc., o que a torna a técnica com o maior grau de desenvolvimento e evolução tecnológica dentre as técnicas de

comutação sob *transição ressonante* (ZVT, ZCT e ZCZVT) apresentadas na literatura até o presente momento. Entretanto, estes resultados são fortemente dependentes da tecnologia empregada nos semicondutores, ou seja, a afirmativa acima é válida somente para semicondutores com um conjunto restrito de características, entre esses encontram-se os dispositivos do tipo portadores majoritários (MOSFET) e os portadores minoritários (IGBT) otimizados para operação em alta frequência. Estes dispositivos apresentam como inconveniente um aumento nas perdas em condução e o custo elevado.

- A técnica de comutação ZCT proporciona condições de comutação mais adequada para dispositivos com tecnologia portadores minoritários, tais como o BJT e o IGBT, do que a técnica ZVT e, portanto, sem restrições quanto a tecnologia empregada na fabricação dos IGBTs. Contudo, os circuitos auxiliares utilizados nos inversores ZCT não atingiram maturidade suficiente tal como os inversores ZVT e, assim, as perdas em condução dos elementos do circuito auxiliar quase sempre contrapõem o ganho de eficiência obtido com a redução das perdas em comutação dos IGBTs. Além disto, outros requisitos, como EMI e simplicidade dos inversores também não são plenamente atendidos.
- A técnica ZCZVT proporciona condições ideais de comutação dos dispositivos semicondutores além de limitar as taxas de variação de tensão e corrente através dos mesmos. Entretanto, devido à quantidade excessiva de energia reativa produzida na operação do circuito auxiliar, a eficiência dos conversores que se utilizam da técnica ZCZVT ficam aquém do esperado. Além disto, os conversores existentes apresentam circuitos que dificultam a sua incorporação e simplificação em conversores polifásicos.

Pelo exposto, pode-se considerar que, atualmente, a técnica ZCZVT apresenta resultados promissores, com grande potencial a ser explorado. O amadurecimento da técnica ZCZVT deve ser assistido através de outra técnica já consolidada. Para isto deve-se buscar a definição dos fatores que proporcionaram o desenvolvimento, o amadurecimento e a aceitação, no meio acadêmico e industrial, da técnica de comutação ZVT. Portanto, esta tese irá desenvolver ferramentas que proporcionam um maior grau de amadurecimento da técnica ZCZVT.

Através destas ferramentas são desenvolvidas novas topologias de circuitos auxiliares, às quais satisfazem os compromissos existentes entre eficiência, simplicidade e custo.

Desta forma, através desta tese obtém-se:

- Realização de um estudo aprofundado do mecanismo de comutação presente nas técnicas de comutação suave com transição ressonante;
- Definição dos fatores que possibilitaram o amadurecimento da técnica de comutação ZVT;
- Desenvolvimento de ferramentas necessárias para avançar no amadurecimento da técnica de comutação suave ZCZVT;
- Novas topologias para os circuitos ZCZVT com desempenho melhorado, maior simplicidade e menor custo, ou seja, com uma relação entre custo e simplicidade favorável;
- Análise teórico-experimental das topologias propostas;
- Otimização dos elementos que constituem o circuito auxiliar das topologias, considerando a tecnologia utilizada nos dispositivos semicondutores.

Um dos principais desafios deste estudo é o desenvolvimento de ferramentas que proporcionem o avanço tecnológico da técnica ZCZVT. Outro grande desafio é obtenção de topologias simples e de baixo custo, com rendimento satisfatório que possam ser atraentes não só no meio acadêmico, mas, principalmente, no meio industrial.

1.6 Estrutura da tese.

Esta tese de doutorado encontra-se dividida em oito capítulos, sendo que neste Capítulo foi feito um apanhado geral do contexto energético nacional e mundial, onde verificou-se que o aumento na demanda energética é uma decorrência do desenvolvimento econômico dos países, sendo que o setor elétrico possui um papel fundamental para o avanço tecnológico de diversas áreas que compõem o setor produtivo destes países. Verificou-se também que, incumbida do condicionamento eficiente da energia elétrica, a Eletrônica de Potência é o vetor que difunde os avanços tecnológicos em diversos setores industriais, comerciais e residenciais, sendo a conversão CC-CA um dos processos com o maior número de aplicações e crescente importância nas últimas décadas. Atualmente as principais limitações tecnológicas dos conversores CC-CA dizem respeito às características de chaveamento dos IGBTs, as quais tem sido mitigadas com o uso de

técnicas de comutação suave. Das diversas técnicas propostas, observou-se que existe a possibilidade de se desenvolver melhorias na técnica de comutação ZCZVT a fim de consolidar o seu desenvolvimento tecnológico.

No intuito de fixar alguns dos conceitos fundamentais dos circuitos e das técnicas de comutação suave, no Capítulo 2 é apresentada uma breve revisão histórica das principais técnicas de comutação suave, bem como dos mecanismos envolvidos nos circuitos através dos quais pode-se identificar os tipos de comutação dos semicondutores, as técnicas que empregam estes tipos de comutação e os avanços sofridos pelos circuitos ao passar dos anos. A partir destas definições é apresentada uma revisão direcionada às técnicas de Transição Ressonante para inversores.

No Capítulo 3 são definidos os princípios que governam as comutações dos conversores PWM com transição ressonante e as restrições necessárias para a operação destes conversores. Um circuito hipotético é utilizada para obtenção analítica das restrições supracitadas. Este circuito é definido e reduzido através da aplicação dos conceitos de fontes dependentes e do conceito de fonte auxiliar de tensão. Através desta ferramenta de análise poderão ser definidas as topologias que propiciem menores esforços adicionais de corrente e tensão, bem como menor energia reativa. O aprofundamento dos estudos do mecanismo de comutação presente nas técnicas de comutação suave com transição ressonante possibilita o desenvolvimento de técnicas para análise e síntese de novas topologias, bem como serve para o amadurecimento das técnicas de comutação transição ressonante como a técnica ZCZVT.

No Capítulo 4 é apresentada uma nova metodologia de síntese de circuitos para inversores ZCZVT baseada na classificação dos conversores com transição ressonante e em seus circuitos hipotéticos. Além das regras para obtenção dos circuitos auxiliares, neste capítulo também são apresentadas os modos para implementação destes circuitos. A principal característica dos circuitos propostos neste capítulo é a menor energia reativa envolvida no processo de comutação.

No Capítulo 5 os circuitos auxiliares desenvolvidos no capítulo anterior são aplicados aos inversores monofásicos com células de comutação do tipo ZCZVT, gerando quatro topologias de inversores ZCZVT com acoplamento magnético. Então, a análise dos modos de operação e a análise matemática destes inversores é realizada.

No Capítulo 6 é apresentada uma metodologia de projeto e otimização dos elementos auxiliares dos inversores ZCZVT com acoplamento magnético apresentados no

Capítulo 5. Neste capítulo é mostrada uma aplicação industrial para os inversores ZCZVT com acoplamento magnético, a partir da qual são analisados alguns parâmetros de desempenho destes inversores.

No Capítulo 7 são apresentados os resultados experimentais e comparativos dos protótipos implementados em laboratório. São levantadas algumas questões práticas e tecnológicas para implementação dos protótipos, que são verificadas experimentalmente. Neste capítulo pode-se verificar por meio dos resultados experimentais obtidos a eficácia dos circuitos propostos.

No Capítulo 8 é apresentado um sumário das principais contribuições do trabalho e também são tecidas as conclusões com base nos resultados alcançados. Por fim são feitas algumas discussões e propostas para continuação do trabalho, bem como para possíveis desenvolvimentos de trabalhos futuros.

CAPÍTULO 2

REVISÃO DA COMUTAÇÃO SUAVE APLICADA À VSIs

2.1 Introdução

Neste Capítulo são descritos os conceitos básicos sobre os tipos de comutação suave sob a perspectiva dos dispositivos semicondutores (dissipativa, pseudo e verdadeiramente suave), bem como as técnicas de auxílio à comutação que produzem as condições de comutação não dissipativas, definidas como ZCS, ZVS e ZCZVS. Uma breve revisão histórica das principais técnicas de comutação suave aplicadas em inversores estáticos é apresentada. Nesta revisão os circuitos de auxílio à comutação são separados em três grupos distintos, os circuitos auxiliares associados à carga, ao barramento CC e aos pólos. Analisando-se as características de cada um destes tipos de circuito de auxílio à comutação, ficam claras as vantagens da utilização de técnicas de Transição Ressonante onde os circuitos auxiliares encontram-se associados aos pólos, formando um caminho paralelo para o fluxo de potência do inversor.

2.2 Revisão das Técnicas de Comutação Suave

A dissipação da energia resultante das perdas aumenta a temperatura do semicondutor e provoca a deterioração da eficiência do conversor. As perdas por comutação estão relacionadas com a trajetória (*locus*) das formas de onda de tensão e corrente através do dispositivo durante os intervalos em que o mesmo muda o seu estado, do estado de condução para o estado de bloqueio, e vice-versa, conforme Figura 3 [100]. Além das perdas, a trajetória das formas de onda de tensão e de corrente durante a comutação devem estar contidas dentro da área de operação segura do dispositivo (*Safe Operating Area - SOA*). Esta região é formada pelas fronteiras que definem a máxima corrente, máxima tensão e máxima potência que o dispositivo pode suportar. Nos dispositivos como o BJT, ainda existe uma fronteira denominada de segunda ruptura (*second breakdown*) que é associada às características térmicas do semicondutor. A existência de elementos parasitas no circuito do conversor tais como indutâncias de trilhas (contatos e terminais) e capacitâncias intrínsecas, contribui para geração de sobre-elevações de tensão e/ou corrente, as quais podem levar as trajetórias de comutação a valores que excedem a SOA do dispositivo semicondutor, podendo vir a danificar o mesmo.

Como a dissipação de potência é função das trajetórias de comutação, esta também será função do número de vezes em que ocorrem as comutações durante o período de operação do conversor, ou seja, da frequência de comutação do conversor. A redução da eficiência do conversor [128] e a necessidade do aumento do sistema de refrigeração do conversor (*heatsink e coolers*) [100] são algumas das conseqüências das comutações dissipativas. Além das sobre-elevações, os elementos parasitas do circuito do conversor também contribuem com elevadas taxas de variações de tensão (dv/dt) e corrente (di/dt), que são características intrínsecas da modulação PWM, para a geração de interferência eletromagnética (EMI) [91]. Estas interferências são responsáveis por distúrbios que interferem na operação de outros equipamentos e sistemas que se encontram próximos ao conversor.

Para reduzir o compromisso existente entre os níveis de potência envolvidos e os níveis de frequência nos quais os conversores estáticos operam [128], é necessária a utilização de circuitos especiais de auxílio à comutação. A alternativa mais simples é incorporar circuitos denominados de *snubbers* junto ao conversor PWM com comutação dissipativa. Estes circuitos têm como principal objetivo limitar a sobreposição entre as

formas de onda de tensão e corrente durante os instantes de comutação através da redução da taxa de variação de tensão (dv/dt) e/ou corrente (di/dt) através do semiconductor, Figura 3(b).

Os circuitos de *snubber* são compostos, em sua forma mais simples, por um elemento armazenador de energia, indutor (para o caso de snubber para entrada em condução) ou capacitor (para o caso de snubber para bloqueio); e um conjunto de elementos (passivos e/ou ativos), os quais descarregam o elemento armazenador de energia no intuito de re-estabelecer as condições iniciais do mesmo para o próximo período de operação do circuito. Dependendo do tipo deste circuito de re-estabelecimento das condições iniciais, o circuito de *snubber* é denominado dissipativo [129], [130] ou regenerativo [131]-[134]. Embora possa-se buscar uma otimização (redução) da energia dissipada [135]-[139], a energia armazenada pelo elemento capacitivo e/ou indutivo durante o processo de comutação é transformada em calor por um resistor. Portanto, estes circuitos são normalmente utilizados apenas para viabilizar a utilização dos semicondutores, tendo pouco ou nenhum compromisso com a eficiência do conversor. Por outro lado, os circuitos regenerativos fazem uso de elementos passivos ou ativos de forma a minimizar as perdas inerentes à energia acumulada durante a comutação para a carga ou para a fonte [140]-[143]. A maior limitação encontrada nos circuitos regenerativos [140] é o fato da energia acumulada nos elementos parasitas do circuito não poder ser regenerada. Além disso, os processos ressonantes responsáveis pela regeneração da energia invariavelmente produzem esforços adicionais de tensão e/ ou corrente nos semicondutores, os quais devem ser dimensionados considerando estes esforços.

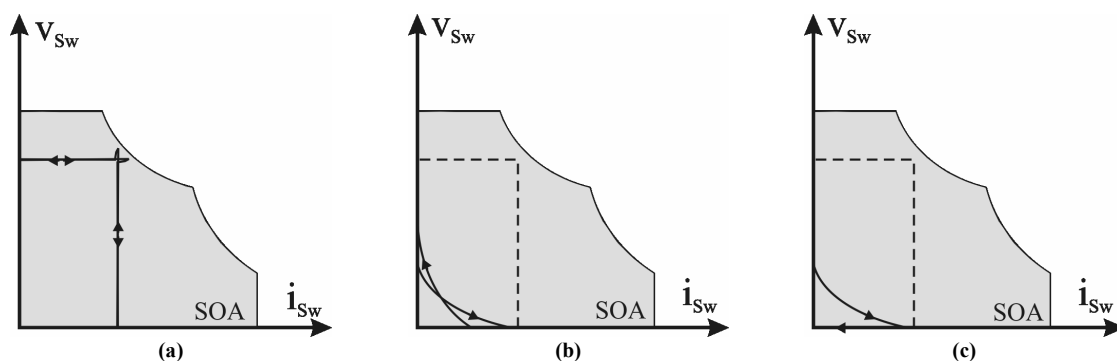


Figura 3 - Trajetórias (*locus*) de tensão e corrente durante os intervalos de comutação. (a) Comutação dissipativa; (b) Comutação assistida por snubber; (c) Uma comutação assistida por snubber e uma comutação suave.

Uma outra alternativa é o emprego de técnicas de comutação suave. A principal diferença entre os circuitos de snubber e as técnicas de comutação suave é que estas

últimas empregam elementos ressonantes os quais modelam as formas de onda de tensão e/ou corrente através do semicondutor de modo que a tensão e/ou a corrente através do dispositivo sejam nulas nos instantes que precedem, no mínimo uma das comutações, entrada em condução ou bloqueio, conforme mostrado na Figura 3(c), para o caso de bloqueio sob corrente nula. Esta característica tem como consequência uma redução significativa das perdas em comutação além de permitir que a energia acumulada nos elementos parasitas do circuito do conversor seja regenerada. Tal como nos circuitos de *snubber*, algumas técnicas de comutação suave também sujeitam os semicondutores à esforços adicionais [144]-[145].

Nas últimas décadas a indústria e a academia produziram inúmeras pesquisas e trabalhos com respeito à área de comutação suave, resultando num grande número de técnicas de comutação e conversores, os quais reivindicam para si características superiores e melhor desempenho quando comparados com os demais. Lamentavelmente, a maioria dos trabalhos na área de comutação suave é dirigido para uma única topologia ou uma família de topologias, dando uma impressão global de um grande número de técnicas sem relação e competitivas entre si. Alguns esforços na direção de apresentar uma análise mais abrangente e concisa desta área são encontrados em [146]- [151]. Apesar disto, alguns destes trabalhos falham por apresentar análises muito superficiais ou incompletas [148], [150]-[151].

2.2.1 Os Mecanismos de Comutação dos Semicondutores

Do ponto de vista do semicondutor as condições de comutação para carga indutiva [136], são de três tipos: a comutação dissipativa (*hard switching*), a comutação pseudo ou semi suave (*pseudo soft-switching*), e a comutação suave verdadeira (*true soft-switching*). Um diagrama das formas de onda nestes três tipos de comutação pode ser visto na Figura 4.

Na comutação dissipativa tem-se uma grande sobreposição entre as formas de onda de tensão e corrente durante o intervalo de comutação Δt_c , conforme Figura 4 (a). Esta sobreposição das formas de onda produz um valor não nulo de potência o qual deve ser removido do dispositivo através do sistema de dissipação do conversor. Observa-se que a sobreposição pode ser reduzida com o emprego da técnica pseudo-suave através da redução das taxas de di/dt (entrada em condução) e dv/dt (bloqueio), (vide intervalo Δt_{pc} na Figura 4 (b)). Entretanto, a comutação pseudo-suave nunca pode ser feita totalmente nula,

pois os tempos de comutação seriam infinitos. Por outro lado, a sobreposição pode ser eliminada por completo com as técnicas de comutação verdadeiramente suaves, (vide intervalo Δt_{sc} na Figura 4(c)).

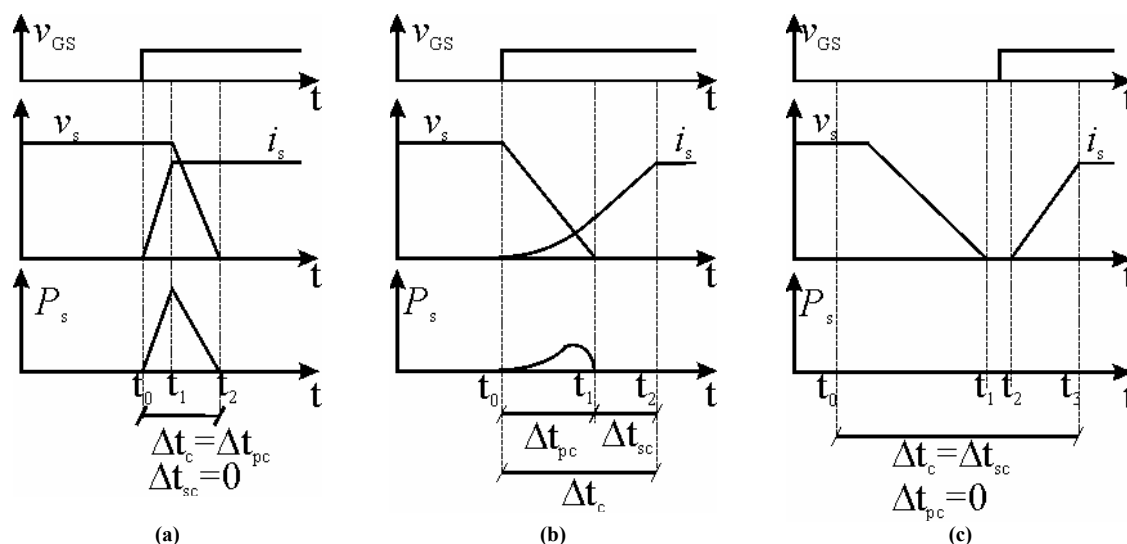


Figura 4 – Formas de onda teóricas da entrada em condução de um semiconductor controlado. (a) Comutação dissipativa; (b) Comutação pseudo-suave (snubber); (c) Comutação verdadeiramente suave.

As técnicas de comutação existentes empregam, em sua maioria, um circuito auxiliar que proporciona as condições verdadeiramente suaves para uma comutação, entrada em condução ou bloqueio, enquanto que a outra comutação ocorre com o auxílio de um elemento armazenador de energia, caracterizando uma comutação pseudo-suave. Quando a comutação verdadeiramente suave ocorre durante a entrada em condução do dispositivo tem-se o que se convencionou denominar comutação ZVS ou ZVT, dependendo da disposição dos elementos auxiliares. De forma análoga, quando a comutação verdadeiramente suave ocorre durante o bloqueio do dispositivo tem-se uma comutação ZCS ou ZCT. No caso em que ambas as comutações ocorrem de forma pseudo-suave pode-se denominar de comutação com circuitos de snubber ou simplesmente comutação por snubber (snubber commutation). Por outro lado, quando ambas as comutações são verdadeiramente suave, tem-se uma comutação ZVZCS ou ZCZVT. Um diagrama com as condições de cada tipo de comutação é mostrada na Figura 5 [152].

Na técnica de comutação ZCS (Figura 5(b)) um elemento indutivo é introduzido ao circuito, formando um laço (malha) em série com o dispositivo semiconductor de modo que, durante a sua entrada em condução, enquanto a tensão através do dispositivo decai a zero rapidamente, a corrente (comum ao semiconductor e ao indutor) cresce sob uma taxa

controlada pelo indutor, caracterizando assim a comutação pseudo-suave. Apesar das perdas por sobreposição (tensão e corrente) serem significativamente reduzidas, a energia acumulada nas capacitâncias intrínsecas do semiconductor é dissipada sobre o mesmo. Este mecanismo de perdas é conhecido como perdas capacitivas de entrada em condução (*turn-on capacitive losses*).

Durante o bloqueio a corrente através do dispositivo é levada a zero com o auxílio de um circuito auxiliar, antes que a tensão seja aplicada sobre o dispositivo, eliminando assim a sobreposição entre corrente e tensão, caracterizando a comutação verdadeiramente suave. Na prática a taxa na qual a tensão é aplicada sobre o dispositivo deve ser limitada para redução da EMI e também para evitar perdas e mesmo o re-acionamento indevido do dispositivo (particularmente em SCRs, GTOs, IGBTs).

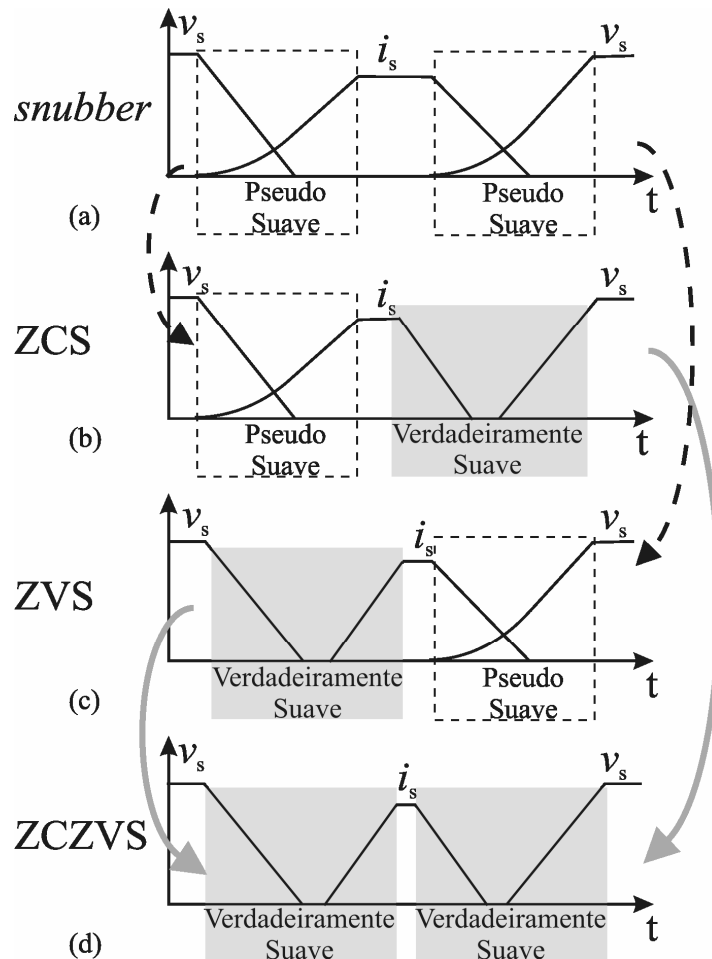


Figura 5 – Diagrama das formas de onda de tensão e corrente para as principais técnicas de comutação, [152].

Na técnica de comutação ZVS, um elemento capacitivo compartilha o mesmo nó com o semiconductor, de forma que, durante o bloqueio, a corrente através do dispositivo

decai rapidamente enquanto que a tensão decresce sob uma taxa controlada pelo capacitor, caracterizando assim a comutação pseudo-suave.

Durante a entrada em condução, a tensão sobre o semiconductor é levada a zero, com o auxílio de elementos adicionais, antes que a corrente seja imposta ao dispositivo, eliminando a sobreposição das formas de onda de corrente e de tensão e assim, caracterizando a comutação verdadeiramente suave, Figura 5(c).

Nas técnicas de comutação ZVZCS e ZCZVT, ambas as comutações, entrada em condução e bloqueio, a tensão e a corrente, são levadas a zero com a ajuda de elementos adicionais. Deste modo, as comutações ocorrem com condições verdadeiramente suaves, Figura 5(d).

De um modo geral, as técnicas de auxílio à comutação buscam reduzir as perdas de comutação com a introdução de elementos adicionais ao circuito dos conversores estáticos com comutação dissipativa. Estes elementos adicionais produzem perdas em condução e, também podem produzir perdas em comutação. Para que o circuito de auxílio à comutação produza uma melhoria na eficiência do conversor, as perdas associadas aos seus elementos devem ser menores do que as perdas em comutação do conversor com comutação dissipativa. Além da eficiência do conversor, os elementos auxiliares também afetam o controle do fluxo de potência do conversor de forma pouco ou muito significativa, podendo requerer sistemas de controle complexos e com custo elevado de implementação.

De acordo com o exposto acima, os circuitos de auxílio à comutação vêm evoluindo com o passar dos anos sempre na busca da maior eficiência com os menores efeitos colaterais.

A utilização de algum tipo de circuito ressonante para proporcionar ou facilitar a comutação em sistemas de conversão estática de energia, não é uma idéia recente. A comutação do tipo transição ressonante foi apresentada nos anos 20 em equipamentos de rádio [153], onde um vibrador eletromecânico usado para recortar a tensão contínua fornecida por uma fonte utilizava um capacitor (referido como capacitor de temporização [153]), o qual era associado com as indutâncias de dispersão e magnetização do transformador isolador do equipamento para prover as condições de transição ressonante. Estas condições favoreciam o funcionamento do equipamento de modo a prolongar a vida útil dos contatos do vibrador.

Mais recentemente, na década de 50, após o advento do SCR, muitos circuitos especiais foram desenvolvidos e utilizados para prover o seu desligamento. Estes circuitos

ficaram conhecidos como *circuitos de comutação forçada*.

De fato estes circuitos predecessores dos circuitos de comutação suave não pretendiam reduzir as perdas e melhorar a eficiência dos conversores. Entretanto, eles fundamentaram os princípios utilizados nas técnicas de comutação suave dos dias de hoje.

Após a introdução dos conversores com comutação de carga ou carga ressonante [153]-[157], onde um circuito ressonante introduzido entre os elementos semicondutores e a carga, promovia as condições que possibilitavam uma redução das perdas em comutação e, portanto, visava a melhora do rendimento destes conversores, várias técnicas de comutação foram propostas [157]-[164].

Com a evolução das técnicas e dos circuitos de auxílio à comutação, os elementos auxiliares migraram da carga (conversores carga ressonante) para junto dos semicondutores (conversores quase-ressonantes), incorporando elementos parasitas dos circuitos (conversores multirressonantes) e a operação em frequência fixa (conversores ZVS). A energia reativa associada à ressonância necessária para garantir as condições de comutação suave foi reduzida através dos anos por meio de circuitos grampeadores ou elementos magnéticos não lineares até ficar totalmente confinada à pequenos intervalos que circundam as transições de estado dos dispositivos semicondutores. Estas condições asseguraram uma menor influência do circuito de auxílio à comutação nas perdas e na modulação dos conversores PWM. Tais características são resultado da disposição deste circuito que encontra-se em paralelo com o caminho do fluxo de potência do conversor. Os conversores que apresentam estas características são denominados de conversores *Transição Ressonante*, os quais serão analisados com maior profundidade no decorrer desta tese.

2.3 Circuitos de Auxílio à Comutação Aplicados em VSIs

As técnicas de comutação em inversores alimentados em tensão podem ser separadas de acordo com a disposição do circuito de auxílio à comutação. Deste modo, tem-se três grandes grupos: as técnicas que utilizam elementos auxiliares junto à carga, normalmente denominadas *carga ressonante*; as técnicas de comutação que empregam um circuito auxiliar do lado CC do VSI, ou *circuito auxiliar aplicado ao barramento CC*; e as técnicas de comutação que empregam circuitos auxiliares do lado CA do VSIs, ou *circuitos auxiliares aplicados aos pólos* do VSI. Cada um destes grupos pode ser separado em outros sub-grupos de acordo com alguma característica ou particularidade, um diagrama de

alguns dos principais grupos que englobam as técnicas de comutação suave para inversores VSIs é mostrado na Figura 6.

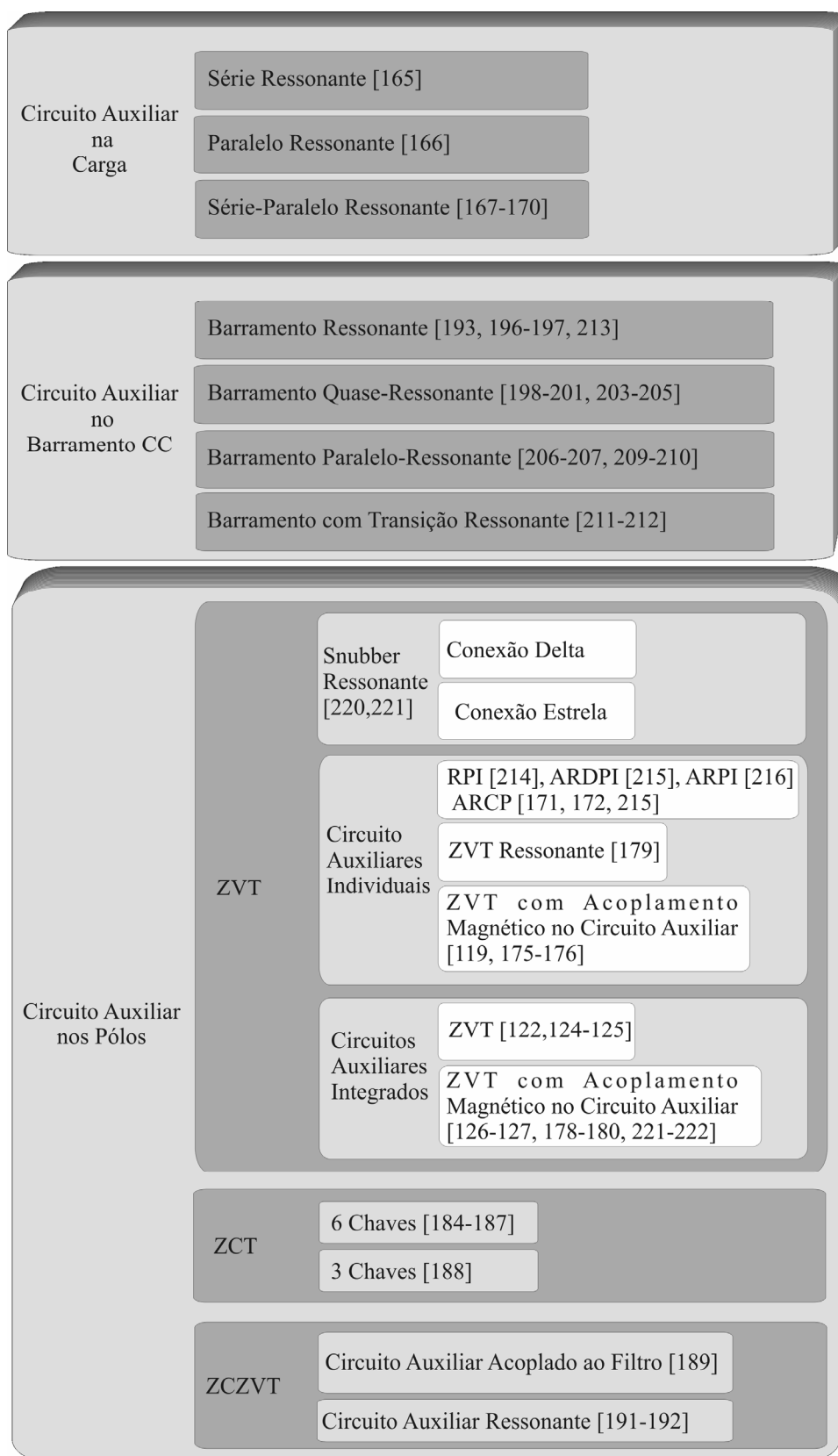


Figura 6 – Diagrama das técnicas de comutação para inversores alimentados em tensão - VSIs.

As técnicas *carga ressonante* utilizam um tanque ressonante entre os semicondutores e a carga, ou seja, do lado da carga. Este tanque ressonante pode ser constituído de dois [165]-[166], três [167]-[168] ou quatro [169]-[170] elementos, sendo a sua disposição série [165], paralelo [166], ou série-paralelo [167]-[170]. A ressonância produzida na tensão e na corrente de carga proporciona condições de comutação em tensão ou corrente nula dos semicondutores.

As técnicas que empregam um *circuito auxiliar aplicado ao barramento CC* consistem em criar uma oscilação na tensão do barramento de modo que esta seja nula durante os instantes de comutação das chaves do VSI. Dependendo da disposição dos elementos ressonantes do circuito auxiliar estes podem ser separados em barramento ressonante [193], barramento quase-ressonante [198]-[201], barramento paralelo ressonante [206]-[207] e barramento com transição ressonante [211]-[212].

As técnicas que empregam *circuitos auxiliares aplicados aos pólos* do VSI e modulação PWM podem ser divididas de acordo com o tipo de comutação dos semicondutores em três grupos, técnicas ZVT [120]-[127], [171]-[183], técnicas ZCT [184]-[197], e técnicas ZCZVT [189]-[192].

2.3.1 Circuitos Auxiliares Aplicados à Carga

Os inversores com carga ressonante fazem uso de elementos passivos para produzir oscilações nas formas de onda de corrente e tensão aplicadas à carga, proporcionando condições favoráveis para a comutação dos semicondutores. Estes inversores controlam o fluxo de potência através da impedância característica do tanque ressonante. A relação entre a frequência dos semicondutores (ω_{sw}) e do tanque ressonante (ω_r) proporciona as condições de comutação para o inversor. Para ($\omega_{sw} < 0,5\omega_r$) as chaves semicondutoras do inversor comutam sob corrente nula (ZCS), para ($0,5\omega_r < \omega_{sw} < \omega_r$) as chaves bloqueiam sob corrente nula (ZCS) e, para ($\omega_r < \omega_{sw}$) as chaves entram em condução sob tensão nula (ZVS).

Como o tanque ressonante encontra-se junto à carga, as condições de comutação ZCS ou ZVS é dependente da corrente de carga e não é assegurada para uma faixa muito ampla de valores desta corrente. Além disto, os semicondutores operam com esforços adicionais de tensão e de corrente aumentando as perdas em condução do inversor.

2.3.2 Circuitos Auxiliares Aplicados ao Barramento CC

Os inversores com o circuito auxiliar acoplado ao barramento CC possuem como maior atrativo um número reduzido de elementos (semicondutores) auxiliares. Apesar disto, estas vantagens implicam em restrições e esforços adicionais de tensão. Além disto, os elementos do circuito auxiliar que encontram-se em série com o fluxo principal de potência devem ser dimensionados para a potência nominal do conversor. Várias tentativas para minimização ou solução destes problemas são descritas a seguir.

A. Inversores com Barramento Ressonante (RDCL).

Uma tentativa para resolver os problemas relacionados à comutação dissipativa dos inversores trifásicos é tornar o barramento CC não mais constante e “rígido”, mas “flexível” de modo que sua tensão possa ser variada a ponto de proporcionar instantes de tensão nula nos quais as comutações das chaves dos pólos do inversor possam ser realizadas. Para este propósito, o inversor com barramento ressonante, mostrado na Figura 7, foi proposto por Divan [213]. Este inversor apresenta como grande atrativo a inexistência de chaves auxiliares ativas. Todavia, o circuito auxiliar produz um esforço adicional de tensão aos elementos do inversor maior do que duas vezes e meia a tensão média do barramento CC ($>2,5V_{DC}$). Estes esforços adicionais de tensão podem ser reduzidos significativamente ($>1,3V_{DC}$) com a introdução de um circuito de grampeamento, o qual faz uso de uma única chave auxiliar [193], como mostrado na Figura 8.

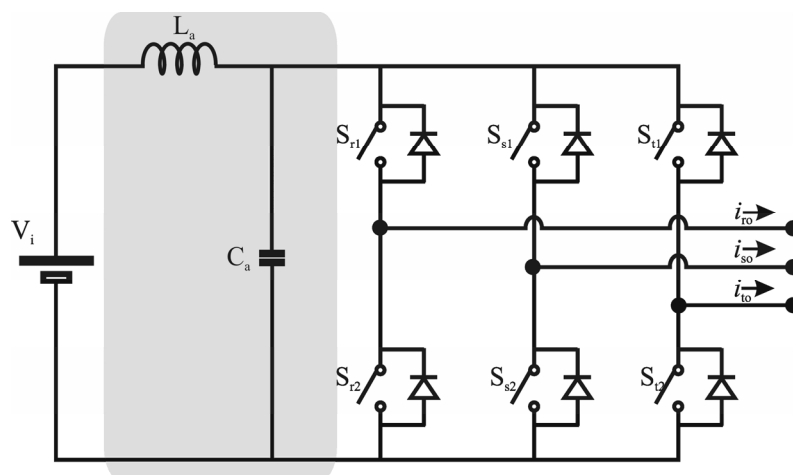


Figura 7 – Inversor com barramento ressonante, RDCL [213].

Embora os inversores que empregam barramento ressonante operam com modulação de pulso discreto (*Discrete Pulse Modulation* - DPM) e por este motivo

apresentam oscilações sub-harmônicas indesejáveis [196]. Vários trabalhos foram propostos para melhorar as características do RDCL e minimizar suas desvantagens. Dentre estes trabalhos, a divisão do capacitor ressonante entre os pólos [196], e a inclusão de um diodo auxiliar de roda-livre [197], podem proporcionar o emprego da modulação por largura de pulso (PWM) evitando as indesejáveis oscilações sub-harmônicas. Entretanto, a operação sob modulação PWM ocorre entre uma faixa de valores, podendo ser perdida sob transitórios [196]. Além disto, a existência de esforços adicionais de tensão nas chaves é inevitável.

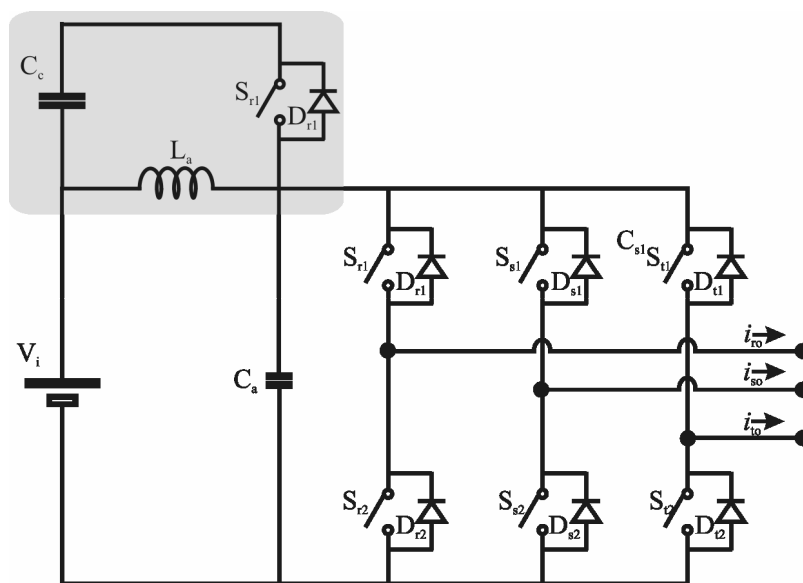


Figura 8 – Inversor com barramento ressonante e circuito de grampeamento ativo, AC-RDCL [193].

B. Inversores com Barramento Quase-Ressonante (QR-DCL).

Para obter modulação por largura de pulso, os conversores com barramento quase-ressonante (QR-DCL) utilizam uma ou mais chaves auxiliares para controlar os instantes de ressonância do circuito ressonante [198], [203]-[205]. Estes conversores também são denominados de inversores com entalhe na tensão *CC* (*DC voltage notching inverter*). Tais conversores podem apresentar [204]-[205] ou não [203] circuito de grampeamento.

Os circuitos com grampeamento passivo [199]-[201] são uma alternativa para que se possa reduzir o número de chaves auxiliares [199]-[200].

C. Inversores com Barramento Paralelo-Ressonante (PR-DCL).

Para evitar os esforços adicionais de tensão e permitir a utilização da modulação PWM é utilizada uma chave auxiliar no lugar do indutor série do barramento. As

topologias que usam este tipo de circuito são denominadas de inversores com barramento paralelo-ressonante (*PR-DCL*) [206], [207], [209] e [210].

Nestas topologias o circuito ressonante encontra-se em paralelo com os pólos do inversor trifásico. No intervalo de operação normal do inversor, a chave em série com o barramento encontra-se em condução e o circuito auxiliar encontra-se desativado. Durante as comutações do inversor, a chave em série é bloqueada e o circuito auxiliar é ativado. A grande desvantagem desta topologia é que o bloqueio da chave em série com o barramento é feito, normalmente, a plena carga sob condições dissipativas. Além disto, esta chave deve suportar toda a corrente do inversor. Deste modo, as perdas em comutação e em condução da chave conectada em série com o barramento podem reduzir o ganho de eficiência do inversor. Além disto, em potências elevadas, a utilização da associação de dispositivos em paralelo para implementação da chave do barramento produz uma complexidade adicional.

D. Inversores com Barramento ZVT (*ZVT-DCL*).

Os inversores com barramento ZVT empregam o circuito auxiliar dos conversores ZVT adaptado aos inversores *PR-DCL*, dois exemplos destes inversores podem ser observados em [211] e [212]. O circuito proposto em [212] é mostrado na Figura 9. Apesar da maior simplicidade apresentada por este conversor, as correntes elevadas impostas às chaves auxiliares fazem com que, normalmente, haja necessidade da utilização de mais de um componente semiconductor para realização destas chaves elevando o número de semicondutores e reduzindo a vantagem dos circuitos auxiliares aplicados ao barramento CC que é o reduzido número de chaves auxiliares.

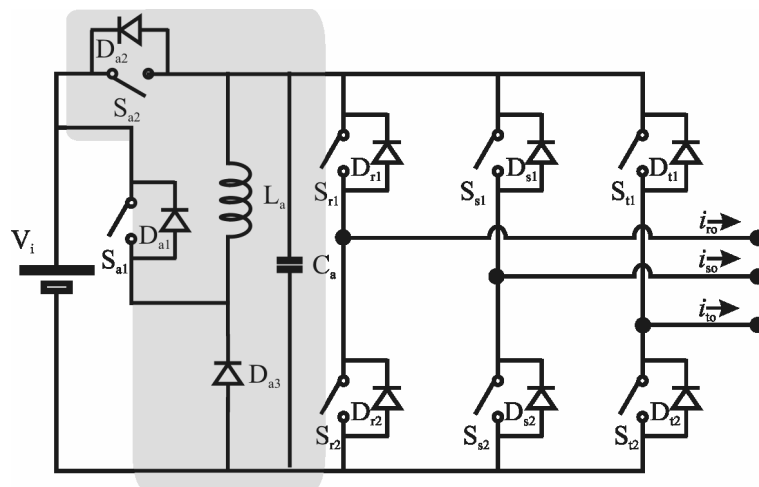


Figura 9 – Inversor com barramento ZVT, [212].

2.3.3 Circuitos Auxiliares Aplicados aos Pólos

Os inversores com circuitos auxiliares aplicados aos pólos apresentam como maiores vantagens em relação aos inversores com circuitos auxiliares no barramento CC, a possibilidade de reduzir as perdas adicionais em condução. Isto se deve ao fato de que os elementos auxiliares encontram-se fora do caminho principal de potência. Além disto, os inversores com circuitos auxiliares aplicados aos pólos, em sua grande maioria, permitem o emprego de técnicas de modulação PWM, possibilitando a utilização de técnicas de controle avançadas desenvolvidas para inversores trifásicos com comutação dissipativa.

A. Circuitos com Comutação sob Tensão Nula (ZVT).

Os circuitos com comutação sob tensão nula são, sem sombra de dúvida, os mais populares. A topologia mais simples capaz de proporcionar comutação sob tensão nula para as chaves foi apresentada em [214], e é conhecida como “pólo comutado ressonante” (*Resonant Commutated Pole - RPI*). O circuito auxiliar destes conversores constitui-se de um indutor ressonante, o qual pode ser incorporado pelo próprio indutor de filtro, e capacitores ressonantes em paralelo com as chaves do pólo. Os diagramas do conversor RPI com indutor ressonante integrado ao filtro e com indutor ressonante discreto são mostrados na Figura 10.

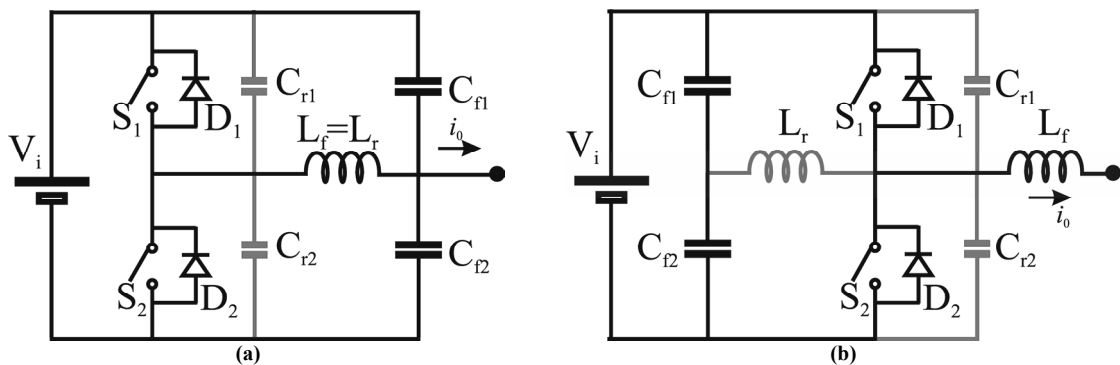


Figura 10 – Inversor pólo comutado ressonante – RPI, [214]. (a) Indutor ressonante de filtro; (b) Indutor ressonante independente.

Uma modificação dos conversores RPI foi apresentada em [215], onde os capacitores de filtro foram substituídos por um par de diodos em paralelo com pequenos capacitores ressonantes. Estes conversores são conhecidos como inversores com “pólo de diodo ressonante auxiliar” (*Auxiliary Resonant Diode Pole - ARDPI*). Os diagramas do conversor ARDPI com pólo auxiliar do lado da fonte e do lado da carga são mostrados na Figura 11.

Apesar de não utilizarem chaves auxiliares, tanto os conversores RPI como os

conversores ARDPI apresentam esforços de corrente superiores ao dobro da corrente de carga, os quais aumentam significativamente as perdas em condução destes conversores. A redução dos esforços adicionais de corrente somente foi obtida com a inclusão de um pólo auxiliar ativo [216], cujo circuito é conhecido como “pólo ressonante auxiliar” (*Auxiliary Resonant Pole Inverter - ARPI*).

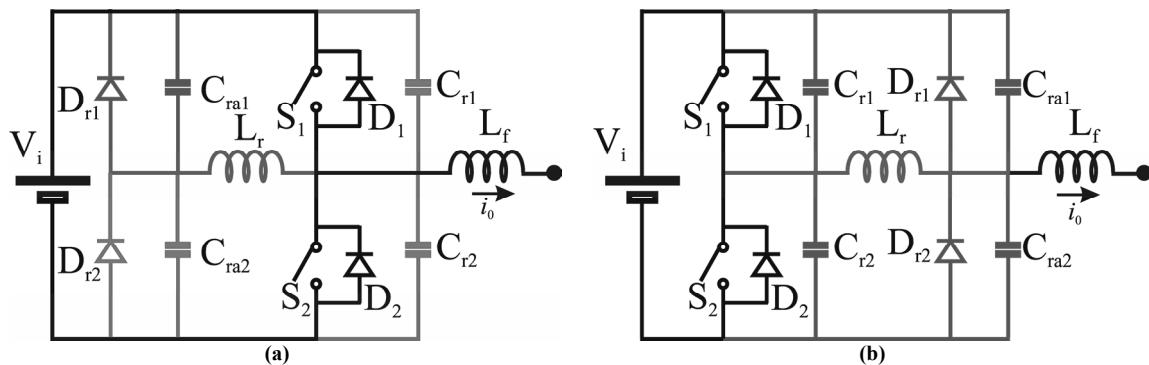


Figura 11 - Inversor pólo auxiliar de diodos ressonante – ARDPI, [215]. (a) Pólo de diodos junto ao indutor ressonante; (b) Pólo de diodos junto à carga.

Outra topologia com duas chaves auxiliares, primeiramente utilizada em circuitos de comutação forçada [217], foi adaptada por McMurray para operar no auxílio à comutação de conversores com chaves semicondutoras totalmente controladas [171]. Nesta topologia o circuito auxiliar é acionado durante o processo de entrada em condução das chaves principais do 3ϕ -VSI. O circuito auxiliar utiliza o ponto central dos capacitores que constituem o barramento CC do inversor para magnetizar e desmagnetizar o indutor de comutação que encontra-se fora do caminho do fluxo de potência do conversor. Por este motivo, as quedas de tensão ocasionadas pelas perdas do circuito ressonante e as não idealidades dos dispositivos semicondutores fazem com que as condições de comutação sob tensão nula não sejam plenamente alcançadas. Além disto, algumas estratégias de modulação não podem ser diretamente empregadas a este inversor sob pena de desequilibrar as cargas dos capacitores do barramento CC.

Para eliminar os problemas relacionados às condições de comutação, DeDonker propôs uma mudança no acionamento das chaves principais [172] de modo que o circuito auxiliar proporciona condições de comutação sob tensão nula tanto na entrada em condução, como também para facilitar o bloqueio sob tensão nula em condições de carga baixa. Todavia, estas modificações podem ocasionar algum tipo de incompatibilidade com estratégias de modulação ou de controle. A Figura 12 mostra um diagrama dos conversores com comutação de pólo auxiliar com chaves auxiliares ativas.

Uma outra classe de inversores faz uso do acoplamento magnético entre indutores

para obtenção das condições ZVS de comutação nula para as chaves principais do 3 ϕ -VSI. De acordo com a disposição dos indutores acoplados no circuito auxiliar, estes inversores podem ser de três tipos: (i) inversores com “pólo verdadeiramente ZVS-PWM” (*True-PWM ZVS pole*) [119]; (ii) inversores com “realimentação indutiva” (*Inductor feedback*) [175]; e inversores com “pólo ZVS assistido por transformador” (*Transformer-assisted ZVS pole*) [176].

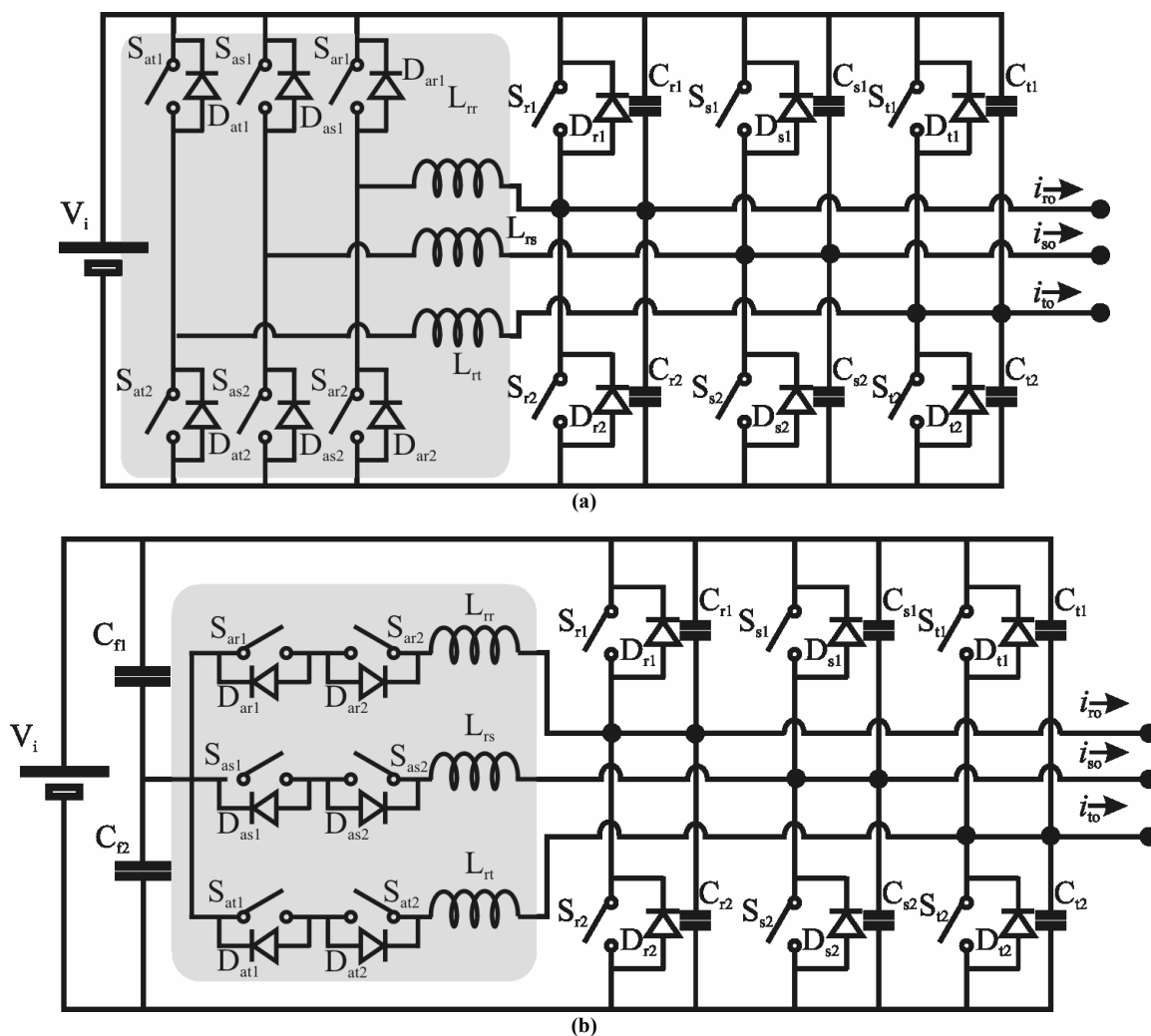


Figura 12 – Inversores com comutação de pólo, PCI. (a) ARPI [216]; (b) ARCP [172].

A Figura 13 mostra o diagrama de alguns dos conversores com comutação de pólo auxiliar com acoplamento magnético aplicados a circuitos trifásicos.

A utilização de acoplamento magnético para obtenção das condições ZVS para as chaves dos pólos principais também proporciona a comutação sob corrente nula (ZCS) para as chaves auxiliares. Além disto, as diferentes configurações dos indutores acoplados permitem uma redução das componentes eficaz e de pico da corrente que circula pelo circuito auxiliar, de forma que as perdas em condução deste circuito podem ser reduzidas.

Uma análise destas correntes é feita em [218].

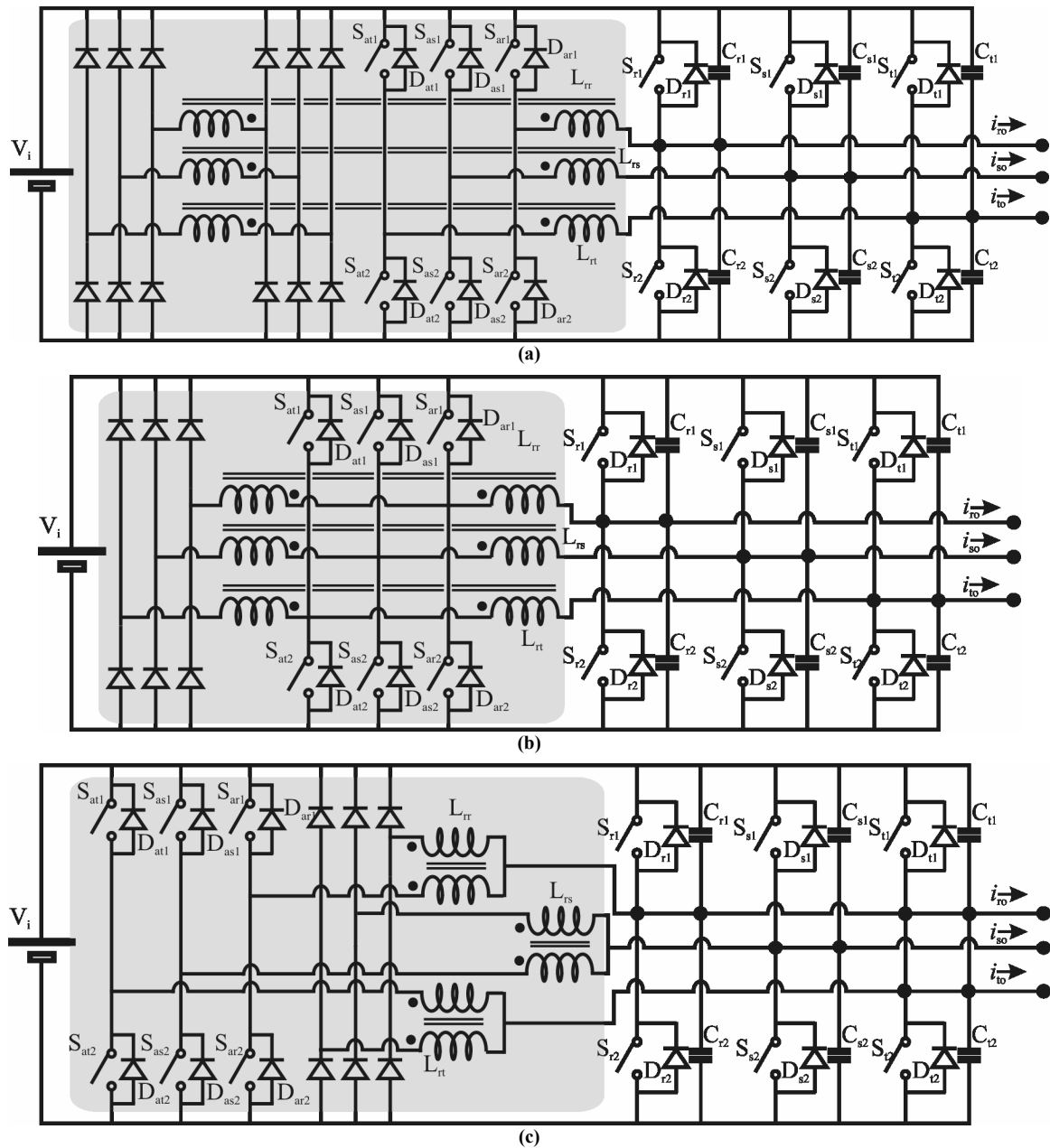


Figura 13 – Inversores com indutores auxiliares acoplados magneticamente. (a) Ref. [176]; (b) Ref. [119]; (c) Ref. [175].

Para evitar a utilização de acoplamento magnético, um circuito auxiliar ressonante foi proposto em [179]. Com esta topologia as condições de comutação sob tensão nula das chaves principais do 3 ϕ -VSI são alcançadas e as chaves auxiliares comutam sob corrente nula (ZCS). Todavia, as chaves principais sofrem de esforços adicionais de corrente durante um curto intervalo de tempo após a sua entrada em condução. Além disto, é demonstrado em [219] que as não idealidades dos semicondutores e outros elementos parasitas do circuito provocam perdas e mudanças no ponto de operação do circuito

ressonante auxiliar, que deve ser sobre-dimensionado para assegurar as condições de comutação, as quais são alcançadas com o acréscimo das perdas em condução do circuito auxiliar. Como pode-se observar pela Figura 13, os conversores trifásicos necessitam de um número de chaves auxiliares igual ao número de chaves existente nos conversores trifásicos com comutação dissipativa. Este elevado número de chaves semicondutoras (12) torna estas topologias pouco atrativas para indústria e, em alguns casos, o volume do circuito auxiliar torna-se um fator limitante para utilização dos mesmos.

Para minimizar o número de semicondutores auxiliares, principalmente o número de chaves, mantendo o circuito auxiliar vinculado à comutação individual de cada pólo foram apresentadas variações topológicas aos inversores com comutação de pólo auxiliar, sendo que as mais conhecidas são apresentadas em [122]-[124], [180]-[182] e mostradas na Figura 14. Estas topologias compartilham chaves auxiliares e/ou indutores auxiliares para as comutações dos pólos de cada fase do inversor. Como as chaves auxiliares são normalmente acionadas mais de uma vez por período, as suas perdas em comutação e condução são maiores do que as de uma chave auxiliar dos inversores da Figura 13. Além disto, muitas vezes, a entrada em condução de uma chave auxiliar provoca a comutação simultânea de mais de uma chave principal, aumentando o número de comutações do inversor e, reduzindo a sua eficiência.

A redução dos esforços de corrente é obtida naturalmente com os circuitos auxiliares que empregam acoplamento magnético, uma vez que a corrente desviada para o circuito auxiliar se divide entre os enrolamentos primário e secundário [181]-[182]. Contudo, para o desacoplamento entre as fases do inversor, um número extra de chaves comutando numa frequência múltipla da frequência da moduladora é utilizado. Estas chaves podem ser chaves magnéticas ou tiristores.

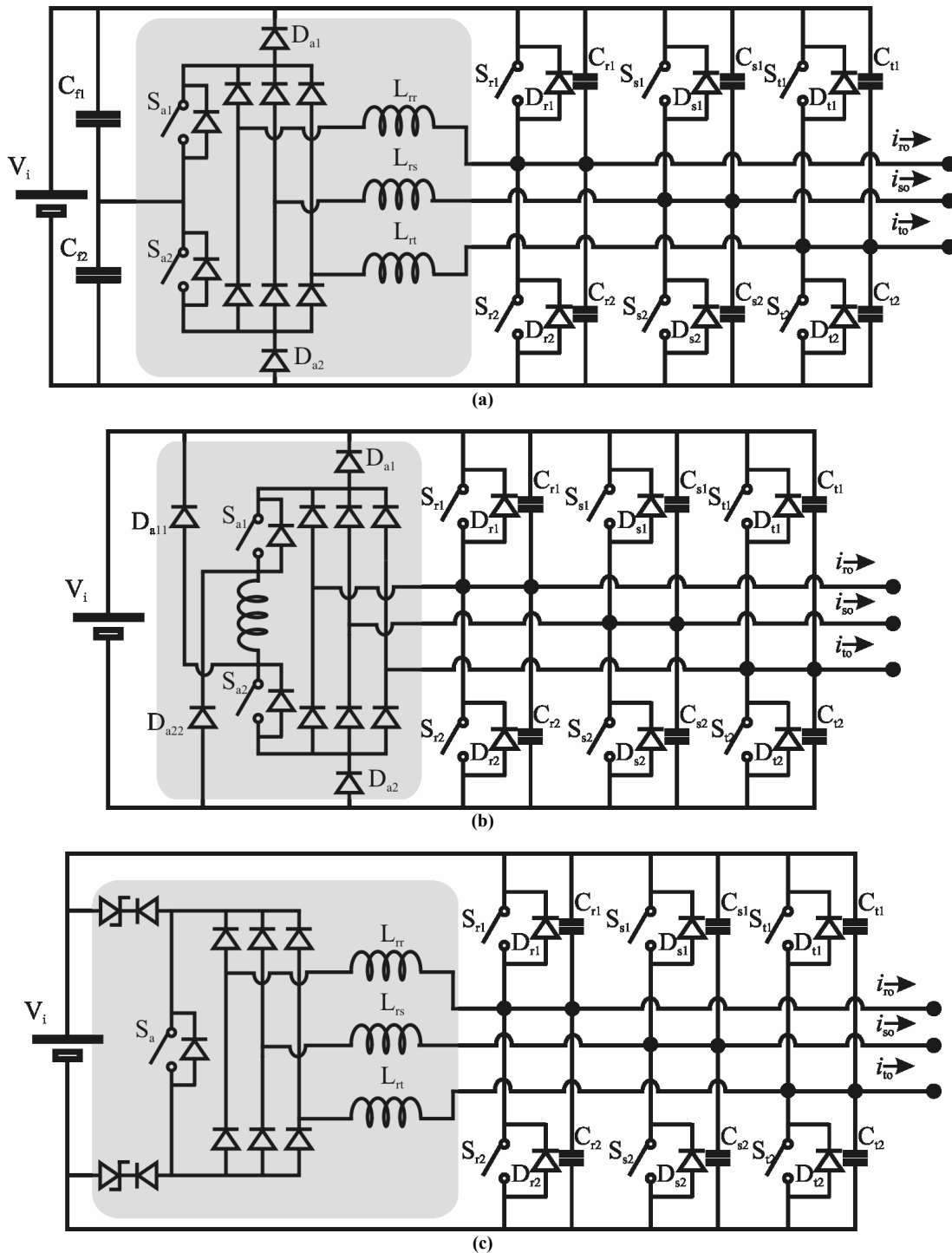


Figura 14 – Conversores ZVT com circuitos auxiliares simplificados. (a) Ref. [122]; (b) Ref. [123]; (c) Ref. [124].

Uma alternativa utilizada em inversores trifásicos para simplificação do circuito auxiliar é a utilização de circuitos auxiliares não mais em paralelo com os pólos, mas sim entre os pólos. Com este intuito, os inversores com circuito de snubber auxiliar ressonante (*RSI*) foram propostos por Lai [220] e [221], os quais proporcionam entrada em condução sob tensão nula para as chaves principais e bloqueio sob corrente nula para as chaves

auxiliares. Os inversores *RSI* podem ser considerados uma derivação do inversor *ARCP*, onde a conexão série da chave e do indutor auxiliar é disposta entre os pólos do 3 ϕ -VSI (conexão em delta), ou é disposta de forma que os circuitos auxiliares de cada pólo encontram-se em paralelo entre si [220], conforme Figura 15.

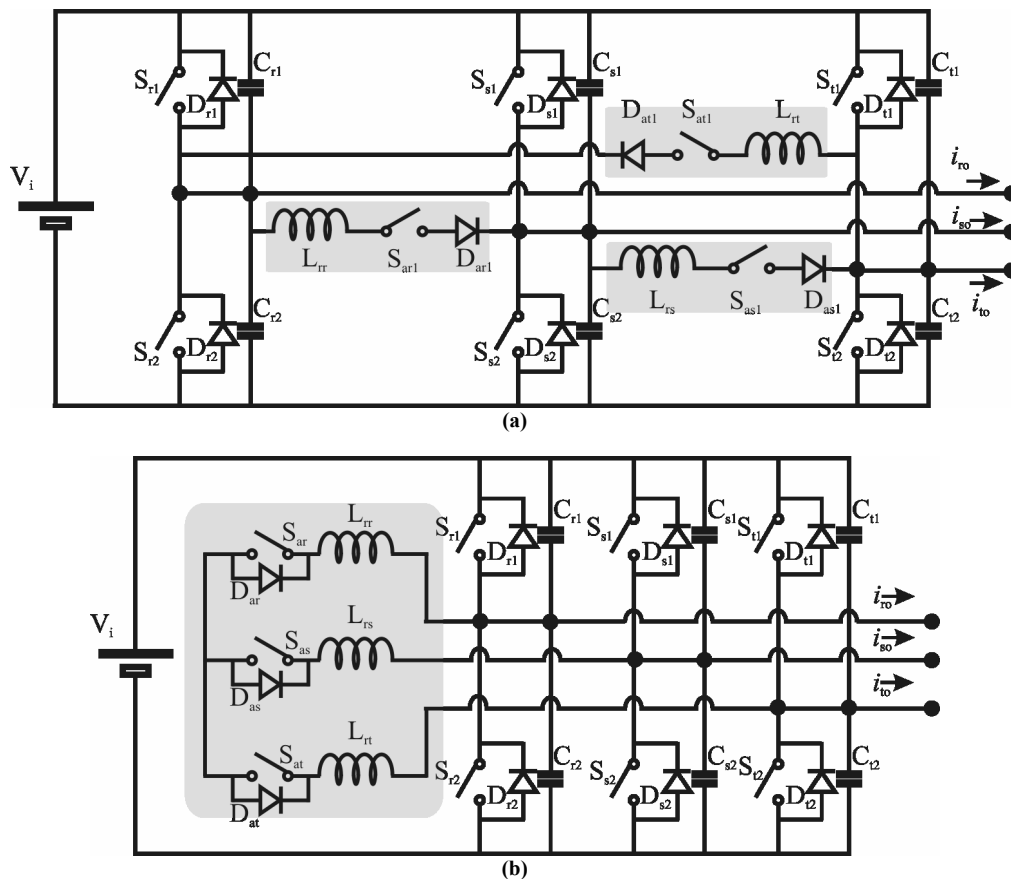


Figura 15 – Inversores com circuito de snubber auxiliar ressonante RSI. (a) Delta [220]; (b) Estrela [220].

Embora apresentem circuitos auxiliares mais simples comparados a outros inversores *ZVT*, os inversores *RSI* requerem mudanças nas estratégias de modulação. Isto pode ser observado na modulação *SVM*, a qual deve ser do tipo não adjacente [222]. Esta modulação *SVM* não adjacente traz limitações quanto às aplicações do inversor. Uma alternativa para simplificar o controle das chaves é a utilização de chaves auxiliares bidirecionais. Contudo, a maior redução do número de componentes auxiliares é alcançada em [223], o qual utiliza somente uma chave auxiliar e em [224] o qual utiliza apenas um indutor auxiliar.

Durante os últimos anos, diversas modificações das topologias mostradas acima foram propostas. No entanto, as técnicas descritas acima são as mais conhecidas e populares.

B. Circuitos com Comutação sob Corrente Nula (ZCT).

Uma técnica de comutação proposta para solucionar os problemas relativos aos dispositivos semicondutores do tipo portadores minoritários, consiste na utilização de circuitos que proporcionem condições de tensão e corrente nulas durante o bloqueio dos semicondutores. Esta técnica, dependendo da disposição dos elementos auxiliares é conhecida como “comutação sob corrente nula” (*Zero-Current Switching - ZCS*) ou “transição sob corrente nula” (*Zero-Current Transition - ZCT*).

A topologia utilizada no circuito auxiliar dos conversores ZCT sofreu poucas modificações desde o seu surgimento [184], como mostrado na Figura 16. Por outro lado, diferentes modos foram propostos para o comando das chaves principais e auxiliares de maneira a se obter diferentes características de comutação, tanto para as chaves principais, como também para as chaves auxiliares.

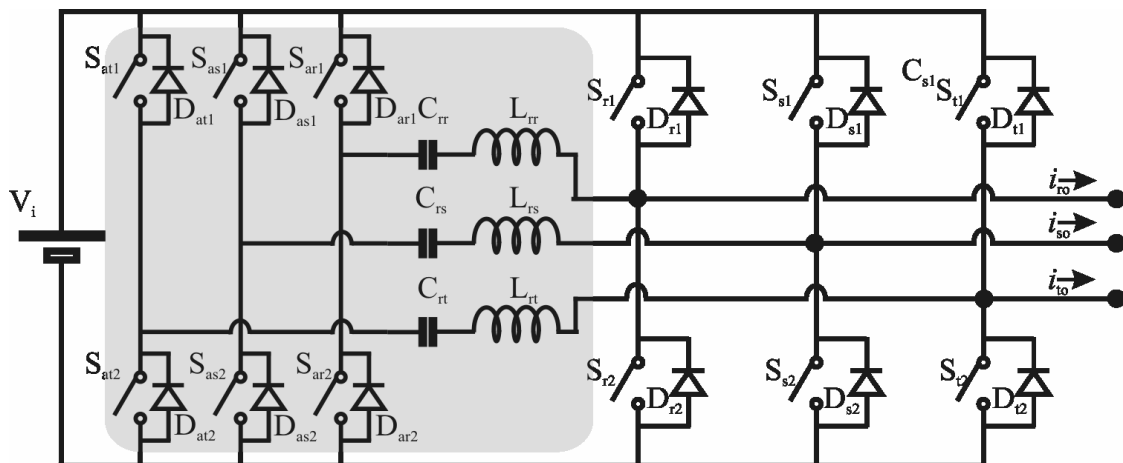


Figura 16 – Inversor/retificador ZCT trifásico, [187].

Historicamente, as pesquisas com o circuito do inversor ZCT mostrado na Figura 16 remontam os circuitos de comutação forçada de tiristores, mais precisamente os “circuitos comutados por impulso de corrente” do qual faz parte o inversor proposto por McMurray [185].

Para dispositivos semicondutores com capacidade de bloqueio, um circuito semelhante ao proposto por McMurray, foi apresentado por Hua em [184]. A estratégia de comando utilizada em [184] proporciona o bloqueio da chave principal (S_2) sob tensão e corrente nulas com pouca energia reativa produzida pelo circuito ressonante, minimizando as perdas do circuito auxiliar, conforme diagrama da Figura 17(a). Apesar disto, estas condições são obtidas sob pena da chave auxiliar bloquear enquanto conduz toda a corrente de carga. Deste modo, pode-se dizer que os problemas de bloqueio dos semicondutores do

conversor com comutação dissipativa são apenas transferidos das chaves principais para as chaves auxiliares. Além disto, as perdas causadas pela recuperação reversa dos diodos anti-paralelos das chaves principais não são reduzidas.

Na busca por melhorias nas condições de comutação, Mao et al [186] propuseram uma nova estratégia de comando para os conversores ZCT, onde a chave auxiliar (S_{a2}) passa a ser acionada durante o bloqueio e também durante a entrada em condução da chave principal, conforme diagrama da Figura 17(b). Dentre os benefícios alcançados estão as condições de bloqueio sob corrente nula proporcionadas à chave auxiliar e a redução das perdas por recuperação reversa dos diodos anti-paralelos do pólo principal. Embora apresente condições favoráveis para comutação, a energia envolvida e os esforços de tensão no capacitor ressonante são maiores. Para reduzir a energia e os esforços de tensão, Mao et al [186] também propuseram uma mudança na topologia, onde a chave auxiliar é disposta não mais no mesmo potencial da chave principal (S_2), mas com potencial oposto (S_{a1}), conforme diagrama Figura 17(c). Com isto os esforços de tensão reduziram-se de mais de duas vezes o valor da tensão do barramento como no ZCT proposto por Hua e no ZCT de Hua modificado, para valores inferiores a uma vez e meia do valor da tensão do barramento.

Apesar das condições ZCS sejam obtidas para as chaves principais e auxiliares, a recuperação-reversa dos diodos anti-paralelos dos pólos principais ainda permanecem como sendo uma importante fonte de perdas. No intuito de minimizar este problema, Li et al [187] propuseram uma estratégia de comando na qual a comutação de uma chave principal (S_2) passa a ser auxiliada pelas duas chaves do pólo auxiliar correspondente, ou seja, a entrada em condução é realizada pela chave auxiliar com potencial oposto (S_{a1}) e o bloqueio é realizado pela chave auxiliar com o mesmo potencial (S_{a2}), conforme diagrama da Figura 17(d). Todavia, é necessário aumentar a energia reativa do tanque ressonante para reduzir as perdas por recuperação-reversa. A Figura 17 mostra os modos de comando utilizados para os inversores ZCT.

Como o ZCT proposto por Mao utiliza uma chave auxiliar com potencial oposto ao da chave principal a ser comutada e, o ZCT modificado utiliza a chave auxiliar com o mesmo potencial ao da chave principal a ser comutada, Li *et al* [188] propuseram a utilização de uma única chave auxiliar para comutação de um pólo, alcançando uma redução de 50% no número de chaves auxiliares.

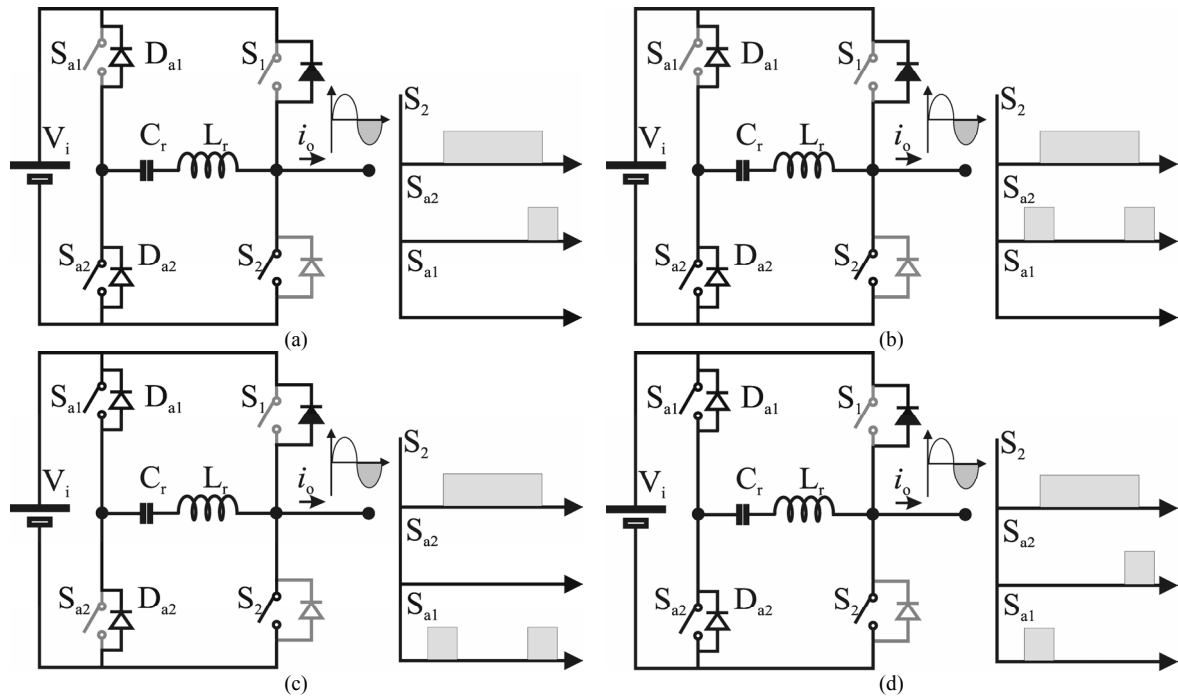


Figura 17 – Estratégias de acionamento das chaves para conversores ZCT. (a) Hua [184]; (b) Hua modificado [186]; (c) Mao [186]; (d) Li [187].

O diagrama de um inversor ZCT trifásico com esta técnica é mostrado na Figura 18. Neste inversor o circuito auxiliar opera num modo híbrido entre os conversores ZCT apresentados por Hua e por Mao, realizando as comutações de modo diferente para cada semiciclo da tensão de saída.

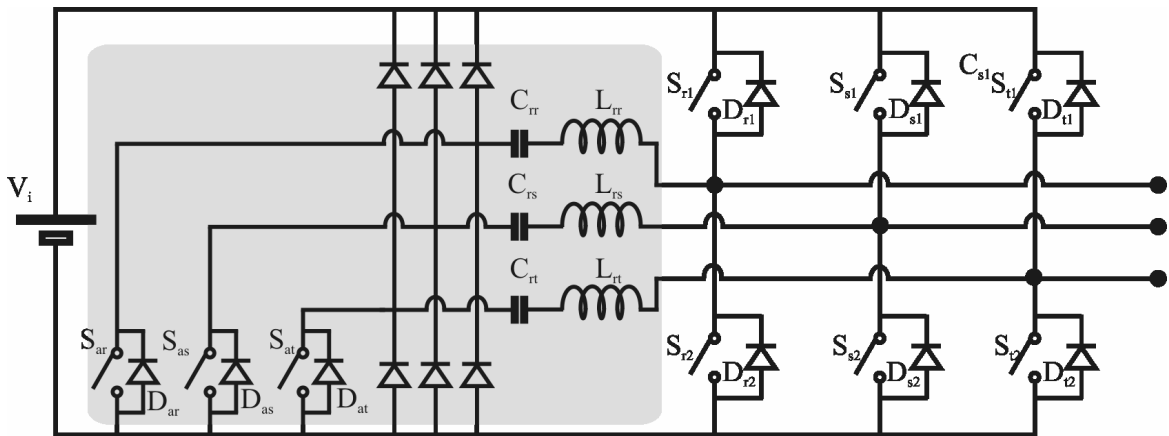


Figura 18 – ZCT com uma chave auxiliar por pólo, [188].

C. Circuitos com Comutação sob Corrente e Tensão Nulas (ZCZVT).

As técnicas de comutação ZCT evoluíram significativamente de modo a possibilitar condições de comutação suave para as chaves principais e auxiliares, além de reduzirem as perdas por recuperação reversa dos diodos anti-paralelos das chaves

principais. No entanto, isto é obtido sob pena do aumento da energia reativa do circuito auxiliar e através do sincronismo entre a entrada em condução ou bloqueio de uma chave auxiliar com o instante em que a corrente em um dos pólos inverte o sentido, ou seja, passa do diodo para a chave, ou vice-versa. Outra questão deixada em aberto pelas técnicas ZCT é o controle das taxas de variação de tensão sobre as chaves principais, as quais são fontes de EMI. Tendo como motivação a redução destes problemas, um novo conceito de comutação, no qual as comutações ocorrem sob corrente e tensão nulas simultaneamente foi apresentado em [189], cujo circuito é mostrado na Figura 19.

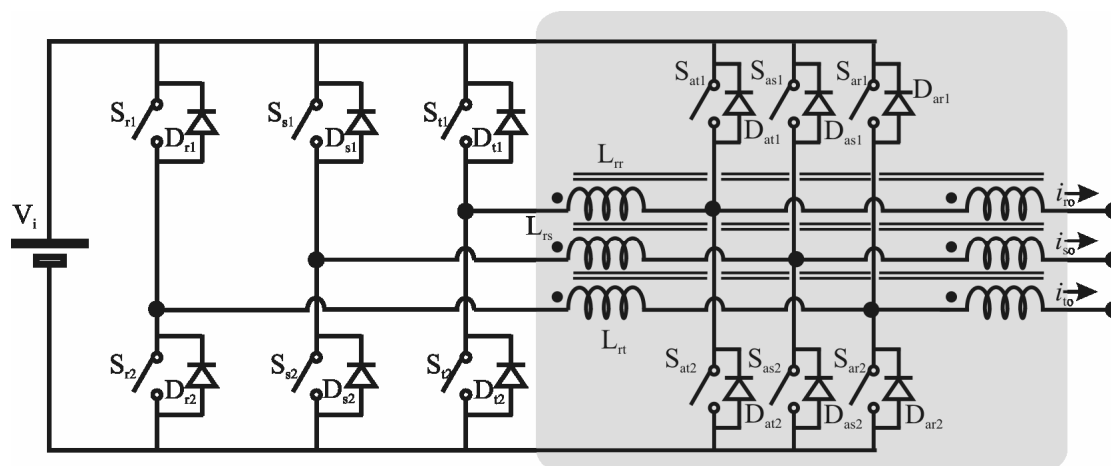


Figura 19 – Inversor ZCZVT com circuito auxiliar acoplado magneticamente [189].

Embora o conversor proposto por Lee em [189], acione o circuito auxiliar durante a entrada em condução e o bloqueio das chaves principais, o circuito auxiliar não dispõe de capacitores para o controle das taxas de variação de tensão através das chaves. Além disto, o circuito auxiliar encontra-se disposto de modo que o indutor auxiliar que é derivado do indutor de filtro, conduz a corrente de carga do conversor durante quase todo o tempo de operação do conversor. Estas características não se enquadram perfeitamente com o conceito de transição ressonante proposto em [225]. Além disto, a limitação de razão cíclica impede a operação desta topologia em frequências elevadas.

Uma segunda tentativa de consolidação do conceito de comutação ZCZVT foi apresentado em [190] onde o circuito auxiliar utilizado é semelhante ao apresentado em [187] diferindo deste somente pela inclusão de capacitores em paralelo com as chaves principais, Figura 20. Como mostrado em [118], a energia reativa produzida pelo circuito auxiliar reduz o ganho em eficiência do conversor, fazendo com que o mesmo apresente um desempenho inferior a alguns conversores ZCT.

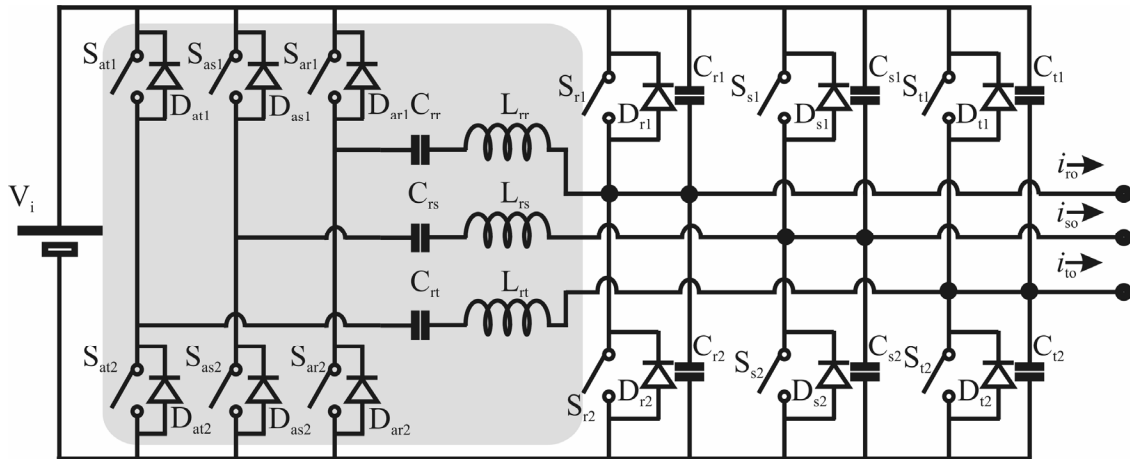


Figura 20 – Inversor ZCZVT derivado dos conversores ZCT, [190].

No intuito de melhorar o desempenho dos inversores ZCZVT, Stein et al [191]-[192] propôs um conversor com circuito auxiliar, também baseado num tanque ressonante, porém disposto de modo a utilizar o ponto central do barramento CC, como mostrado na Figura 21. Desta forma os esforços de tensão no circuito auxiliar são minimizados. Porém, os esforços de corrente nas chaves auxiliares podem alcançar valores superiores a três vezes a corrente máxima da fase. Estes esforços elevados contribuem para a redução do ganho de eficiência destes conversores, o qual é marginalmente superior a dos conversores ZCT [226].

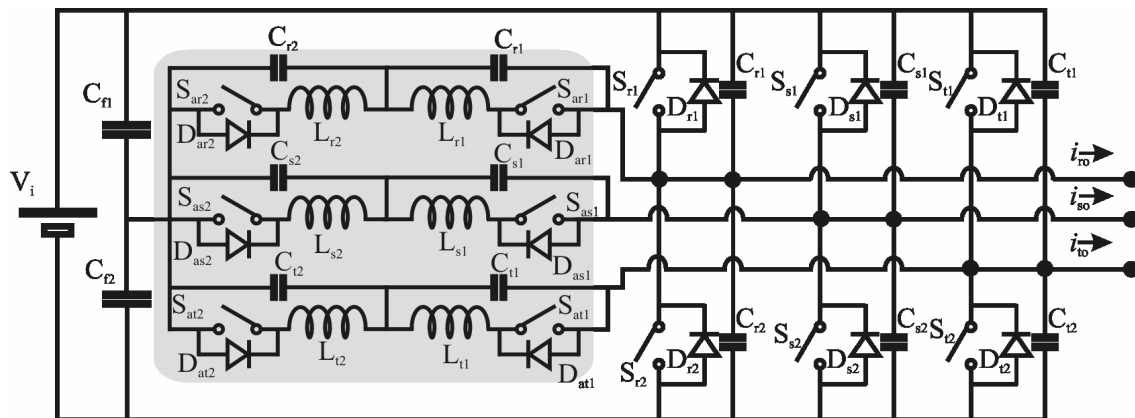


Figura 21 – Inversor ZCZVT [191].

2.4 Sumário

Neste Capítulo foi apresentada uma revisão dos tipos de comutação (dissipativa, pseudo e verdadeiramente suave) e das técnicas de comutação suave (ZCS, ZVS e ZCZVS), bem como uma revisão direcionada às técnicas de comutação para inversores alimentados por tensão (carga ressonante, barramento ressonante e pólo comutados).

Observou-se que as técnicas de comutação que empregam *circuitos auxiliares aplicados aos pólos* dos VSIs apresentam características mais próximas dos VSIs com comutação dissipativa, o que permite uma maior flexibilidade para o seu uso em aplicações conhecidas, como acionamentos elétricos e fontes CA. Dentre as técnicas de comutação suave, as que utilizam bloqueio verdadeiramente suave (ZCT e ZCZVT) são mais adequadas para utilização com IGBTs devido às suas características bipolares (corrente de portadores minoritários). Todavia, os circuitos existentes na literatura apresentam níveis elevados de energia reativa devido às suas características ressonantes, aumentando as perdas em condução do inversor e provocando a necessidade de sobredimensionamento de seus semicondutores.

CAPÍTULO 3

TRANSIÇÃO RESSONANTE: DEFINIÇÕES E CONCEITOS

3.1 Introdução.

Este Capítulo tem como objetivo definir os princípios que governam as comutações dos conversores PWM com transição ressonante e as restrições necessárias para a operação destes conversores. Um circuito hipotético é utilizado para obtenção analítica das restrições supracitadas. Este circuito é definido e reduzido através da aplicação dos conceitos de fontes dependentes e do conceito de fonte auxiliar de tensão. Através da ferramenta de análise proposta, buscar-se-á explorar as topologias que propiciem menores esforços adicionais de corrente e tensão, bem como menor energia reativa. O aprofundamento dos estudos do mecanismo de comutação presente nas técnicas de comutação suave com transição ressonante possibilita o desenvolvimento de técnicas para análise e síntese de novas topologias, bem como serve para o amadurecimento das técnicas de comutação transição ressonante ZCT e ZCZVT.

3.2 Conversores PWM com Transição Ressonante.

De acordo com as definições dos possíveis tipos de comutação, descritos na Seção 2.2.1 (Capítulo 2) e ilustrados na Figura 4, as técnicas de comutação sob transição ressonante proporcionam condições verdadeiramente suaves para, no mínimo, a entrada em condução ou bloqueio do semicondutor assistido por elas. Para proporcionar as condições verdadeiramente suaves, os conversores que operam com transição ressonante requerem elementos auxiliares que fornecem um caminho alternativo para a corrente que se encontra entrando, ou saindo, do pólo PWM [225]. Deste modo, existe um intervalo de tempo (“tempo morto”) em que a corrente é nula em ambos os dispositivos semicondutores do pólo PWM.

3.2.1 Circuito Simplificado e Definições Básicas.

Os elementos auxiliares e os princípios requeridos para produzir este intervalo de “tempo morto” nos inversores PWM com transição ressonante podem ser analisados utilizando-se um circuito simplificado que contemple os mecanismos existentes nos inversores ZVT, ZCT e ZCZVT. Um circuito básico capaz de reproduzir os aspectos necessários para análise dos inversores PWM operando com comutação sob transição ressonante é mostrado no diagrama da Figura 22.

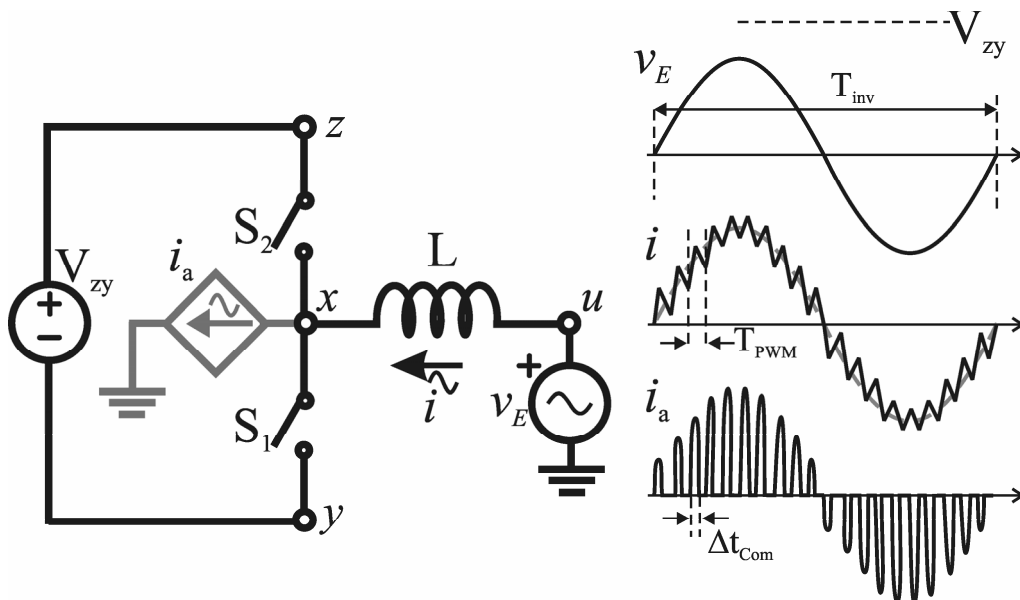


Figura 22 – Circuito básico dos inversores PWM com circuito auxiliar para transição ressonante.

Neste circuito a tensão do barramento é definida como sendo uma fonte constante V_{zy} . A tensão na carga é representada por uma fonte de tensão senoidal v_E , sendo que V_{zy} é

sempre maior do que o módulo do valor instantâneo de v_E . A corrente alternada de carga i circula através do indutor L . Normalmente este indutor faz parte do filtro de saída do inversor PWM e, algumas vezes, representa a indutância associada à carga. A fonte de corrente controlada i_a representa o circuito auxiliar. Portanto o caminho alternativo fornecido pelo circuito auxiliar para que a comutação verdadeiramente suave dos semicondutores do pólo PWM possa ocorrer é fornecido por meio de i_a . A representação do circuito auxiliar por uma fonte de corrente é intuitiva [225], [227], uma vez que o circuito auxiliar funciona como se fosse uma impedância variável, drenando ou aplicando corrente no terminal x (Figura 22).

3.2.2 Conceitos de Fontes Controladas.

Por definição as fontes controladas ou dependentes são elementos com quatro terminais (quadripolos), sendo que um destes é comum a sua entrada e saída [228]. A tensão ou a corrente fornecida pelos terminais do ramo dependente (ramo 2, destacado em cinza) da fonte controlada é função da tensão ou da corrente através do par de terminais do ramo independente (ramo 1), como mostrado na Figura 23.

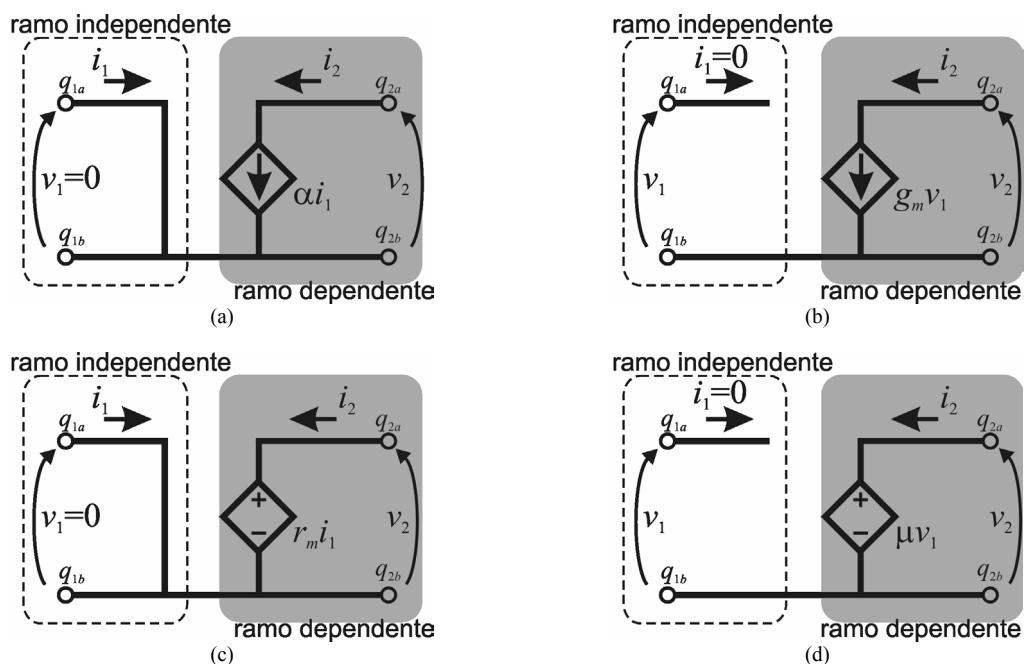


Figura 23 – Diagrama das fontes controladas. (a) Fonte de corrente controlada por corrente; (b) Fonte de corrente controlada por tensão; (c) Fonte de tensão controlada por corrente; (d) Fonte de tensão controlada por tensão.

De um modo simplificado pode-se afirmar que a tensão ou a corrente ramo dependente da fonte controlada (Figura 23) é função da tensão ou da corrente no ramo independente. Assim, o ramo dependente (ou controlado) pode ser uma fonte de tensão ou

corrente enquanto que o ramo independente pode ser um circuito aberto ($i_1=0$), para o caso de fontes controladas por tensão; ou um curto-circuito ($v_1=0$), no caso das fontes controladas por corrente [228]-[229].

As fontes de corrente controladas (dependentes) são mostradas na Figura 23(a) e Figura 23(b). As fontes controladas podem ser não lineares, lineares variáveis no tempo ou lineares invariáveis no tempo.

As relações de proporcionalidade que representam as fontes de corrente controladas lineares variáveis no tempo são,

$$\alpha(t) = \frac{i_2}{i_1} \quad (3.1)$$

e,

$$g_m(t) = \frac{i_2}{v_1} \quad (3.2)$$

As relações de proporcionalidade que representam as fontes de tensão controladas lineares variáveis no tempo são,

$$r_m(t) = \frac{v_2}{i_1} \quad (3.3)$$

e,

$$\mu(t) = \frac{v_2}{v_1} \quad (3.4)$$

As relações de proporcionalidade que representam as fontes de corrente controladas lineares invariáveis no tempo são,

$$\alpha = \frac{i_2}{i_1} \quad (3.5)$$

e,

$$g_m = \frac{i_2}{v_1} \quad (3.6)$$

As relações de proporcionalidade que representam as fontes de tensão controladas lineares invariáveis no tempo são,

$$r_m = \frac{v_2}{i_1} \quad (3.7)$$

e,

$$\mu = \frac{v_2}{v_1} \quad (3.8)$$

3.2.3 Conceitos de Fontes Controladas Aplicados na Análise do Circuito Simplificado.

A análise do circuito auxiliar dos inversores PWM com transição ressonante será realizada utilizando-se os conceitos de fontes controladas, tais como as fontes representadas na Figura 23. Para tanto, o circuito da Figura 22 será reduzido à um circuito contendo apenas fontes independentes e fontes controladas. Através deste circuito reduzido serão definidos os principais aspectos dos inversores PWM com transição ressonante.

A. Redução do circuito dos inversores PWM com transição.

Primeiramente assume-se que a fonte controlada i_a , que representa o circuito auxiliar dos inversores PWM com transição ressonante, é uma fonte de corrente controlada por corrente linear invariável no tempo e, deste modo, é representada pela constante definida pela expressão (3.5).

A segunda simplificação diz respeito a tensão no terminal x que se encontra no ponto central do pólo PWM. Considera-se que esta tensão é determinada exclusivamente pelo estado das chaves S_1 e S_2 , e, portanto, pode-se substituir o pólo e a fonte V_{zy} (Figura 24(a)) por uma fonte de tensão controlada, como mostrado na Figura 24(b).

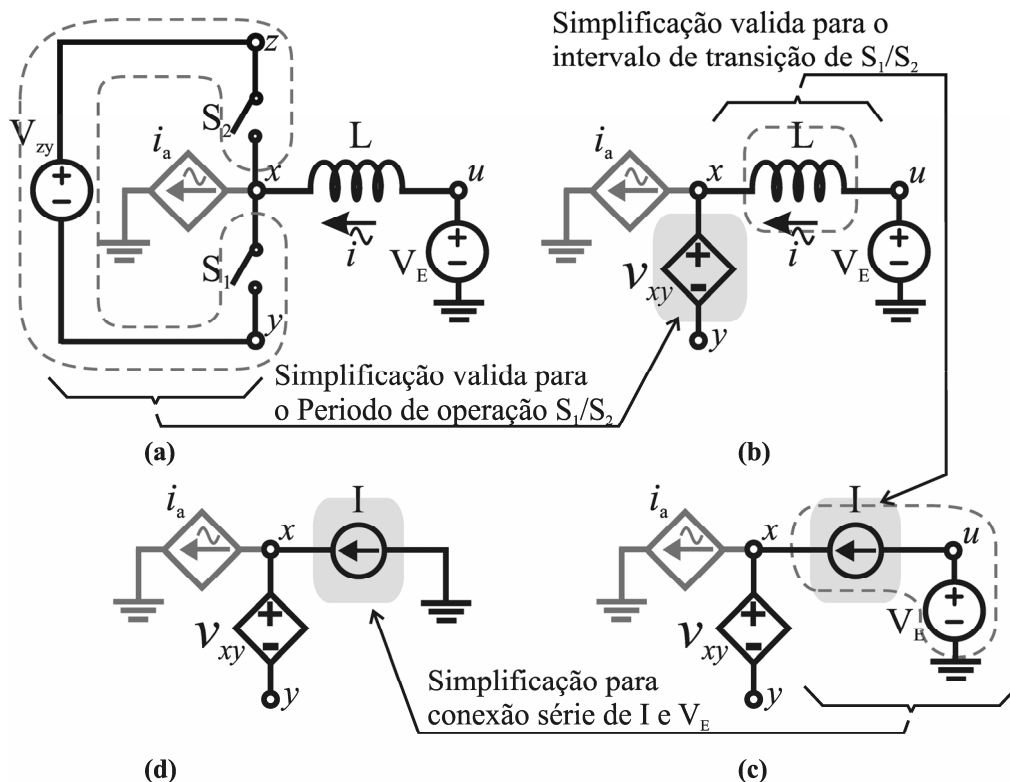


Figura 24 – Circuito simplificado do inversor PWM com transição ressonante. (a) Circuito com uma fonte dependente no circuito auxiliar; (b) Circuito com fonte dependente no pólo PWM e no circuito auxiliar; (c) Circuito com fontes e indutor de filtro; (d) Circuito simplificado somente com fontes dependentes e independentes.

A segunda simplificação é válida (ou esta limitada) para um período de operação do pólo PWM (T_{PWM}), i.e., para $t < T_{PWM}$. Uma função simples que representa o pólo PWM em condições estáticas é descrita na equação (3.9).

$$v_{xy}(t) = V_{zy} [1 - \mu(t-t_1) + \mu(t-t_4)] \quad (3.9)$$

As dinâmicas dos semicondutores são fortemente dominados pelas suas limitações físicas e, como definido em [230], as transições ($t_{S1(tr-on)}$ e $t_{S1(tr-off)}$) dos semicondutores como IGBTs e outros dispositivos MOS estão associadas às suas capacitâncias intrínsecas, C_{in} e C_{out} . Então, considerando-se que as dinâmicas de S_1 e S_2 estão associadas à uma capacitância hipotética definida como C_{Din} , e que, por motivos de simplicidade, é considerada invariável no tempo, tem-se a seguinte função para v_{xy} ,

$$v_{xy}(t) = V_{zy} [1 - \mu(t-t_1) + \mu(t-t_4)] + V_{zy} \left[\frac{t/t_2}{1 - \left(\frac{t_1}{t_2}\right)} + \frac{1}{1 - \left(\frac{t_1}{t_2}\right)} \right] [\mu(t-t_1) - \mu(t-t_2)] +$$

$$+ V_{zy} \left[\frac{t/t_4}{1 - \left(\frac{t_3}{t_4}\right)} + \frac{t_3/t_4}{1 - \left(\frac{t_3}{t_4}\right)} \right] [\mu(t-t_3) - \mu(t-t_4)] \quad (3.10)$$

Onde os instantes t_1 , t_2 , t_3 e t_4 são definidos pela Figura 25, a qual mostra a representação gráfica das expressões (3.9) e (3.10).

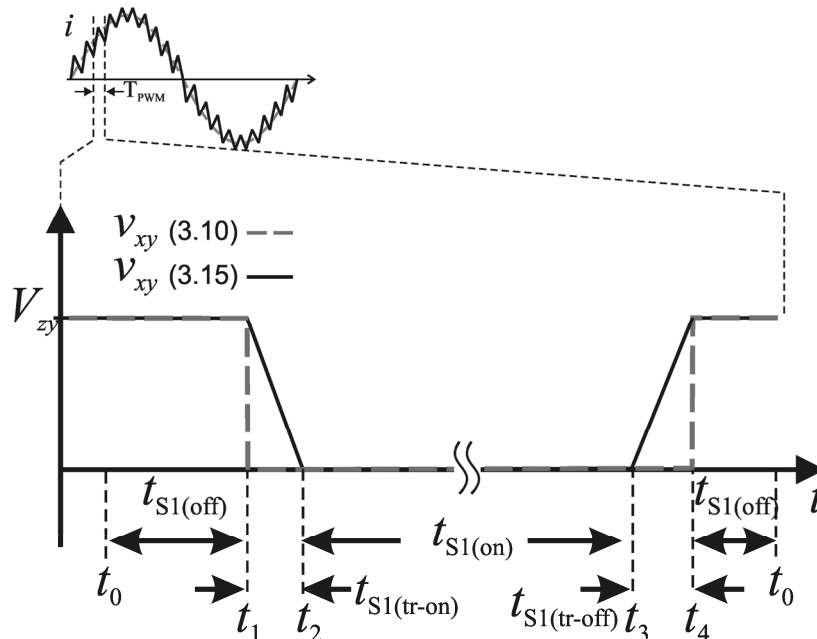


Figura 25 – Representação da função v_{xy} para expressão 3.10 (pontilhada) e expressão 3.15 (contínua).

Observa-se que as transições correspondentes aos intervalos $t_2 - t_1$ e $t_4 - t_3$ são lineares e, portanto,

$$t_{S1(tr-on)} = t_2 - t_1 \approx \frac{-V_{zy}}{|I - i_a|} C_{Din} \quad (3.11)$$

e

$$t_{S1(tr-off)} = t_4 - t_3 \approx \frac{V_{zy}}{|I - i_a|} C_{Din} \quad (3.12)$$

Portanto,

$$1 - \frac{t_1}{t_2} \approx \frac{-V_{zy}}{|I - i_a| t_2} C_{Din} \quad (3.13)$$

E,

$$1 - \frac{t_3}{t_4} \approx \frac{V_{zy}}{|I - i_a| t_4} C_{Din} \quad (3.14)$$

Então, substituindo-se (3.13) e (3.14) em (3.10) tem-se,

$$\begin{aligned} v_{xy}(t) = & V_{zy} [1 - \mu(t - t_1) + \mu(t - t_4)] - \frac{|I - i_a| t_2}{C_{Din}} \left[\frac{t}{t_2} + 1 \right] [\mu(t - t_1) - \mu(t - t_2)] + \\ & + \frac{|I - i_a| t_4}{C_{Din}} \left[\frac{t}{t_4} + \frac{t_3}{t_4} \right] [\mu(t - t_3) - \mu(t - t_4)] \end{aligned} \quad (3.15)$$

Além das limitações para variação de tensão, observadas nas expressões (3.11) e (3.12), a variação de corrente através de S_1 e S_2 também ocorrem sob taxa controlada [256].

A terceira simplificação parte da premissa que o circuito do inversor PWM com transição ressonante é utilizado somente para análise dos intervalos de transição das chaves do pólo (S_1 e S_2), e portanto, pode-se considerar que a corrente através do indutor L é constante durante este intervalo (Δt_{Com}). O circuito da Figura 24(b) pode ser modificado como mostrado na Figura 24(c). De acordo com [231] a conexão série da fonte de tensão v_{xy} e da fonte de corrente I equivale a própria fonte de corrente I , e assim, o circuito simplificado passa a ser como mostrado na Figura 24(d).

B. Operação do Circuito Reduzido dos Inversores PWM com Transição Ressonante.

Considerando-se que o sentido positivo da corrente de carga i , utilizado para redução do circuito da Figura 22 é entrando no terminal x , i. e., a corrente no indutor L flui

em direção ao pólo PWM tem-se que a corrente em i_a deve crescer de zero até um valor igual ou superior ao valor da fonte de corrente I durante um intervalo de tempo finito. Logo após a comutação dos semicondutores ter ocorrido completamente, a corrente da fonte controlada i_a deve retornar ao seu estado inicial, ou seja, zero. Devido às limitações físicas dos semicondutores (S_1 e S_2), a fonte de corrente controlada i_a deve fornecer uma corrente com uma taxa de variação limitada.

A Figura 26 mostra uma forma de onda hipotética que atende estes requisitos. Observa-se que os intervalos de transição ($t_{C1}-t_1$; t_2-t_{C2}) e ($t_{C3}-t_3$; t_4-t_{C4}) mostram uma taxa de variação contínua e limitada da função i_a .

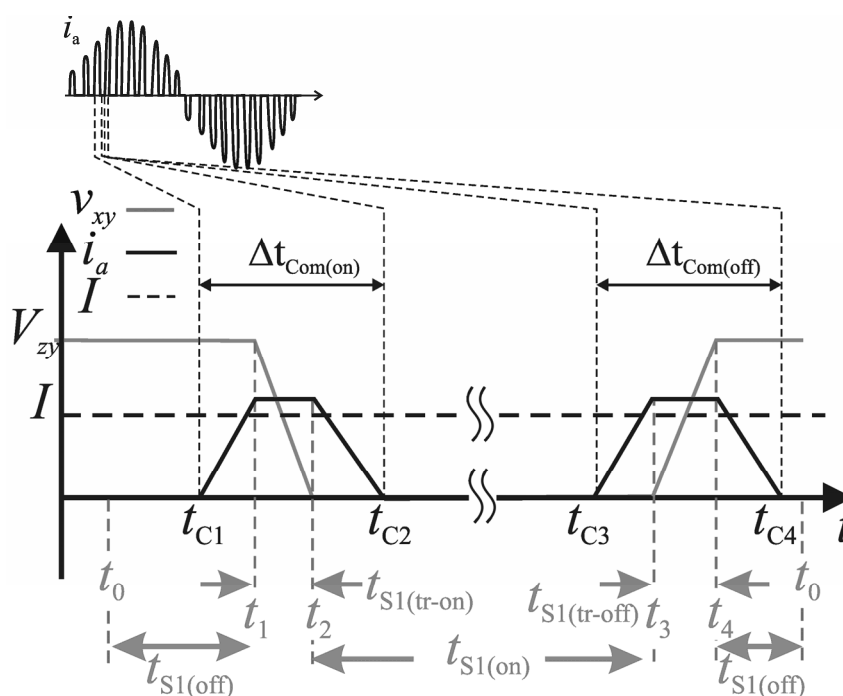


Figura 26 – Formas de onda da fonte de tensão dependente v_{xy} e da fonte dependente i_a .

De um modo geral, a função que produz a fonte de corrente controlada i_a apresenta um comportamento com dois modos bem definidos, isto é, um modo onde a derivada da função é positiva ($t_{C1}-t_1$ e $t_{C3}-t_3$) e um modo onde a derivada da função é negativa (t_2-t_{C2} e t_4-t_{C4}).

As técnicas de comutação suave empregadas nos inversores PWM com transição ressonante são de três tipos: as técnicas de transição com tensão nula (inversores ZVT [120]-[127], [171]-[183]), que utilizam i_a para proporcionar condições de comutação verdadeiramente suaves durante a entrada em condução da chave S_1 , vide Figura 5(c); as técnicas de transição com corrente nula (inversores ZCT [184]-[188]), que utilizam i_a para proporcionar condições de comutação verdadeiramente suaves durante o bloqueio da chave

S_1 , vide Figura 5(b); e, as técnicas de transição com corrente e tensão nulas (inversores ZCZVT [189]-[192]), que fazem uso de i_a para proporcionar condições de comutação verdadeiramente suaves em ambas comutações, entrada em condução e bloqueio de S_1 , vide , vide Figura 5(d).

O circuito reduzido dos inversores PWM com transição ressonante mostrado na Figura 24(d) pode ser redesenhado a partir do conceito de fontes controladas como mostra a Figura 27, onde os ramos independentes das fontes controladas são indicados pelos retângulos pontilhados.

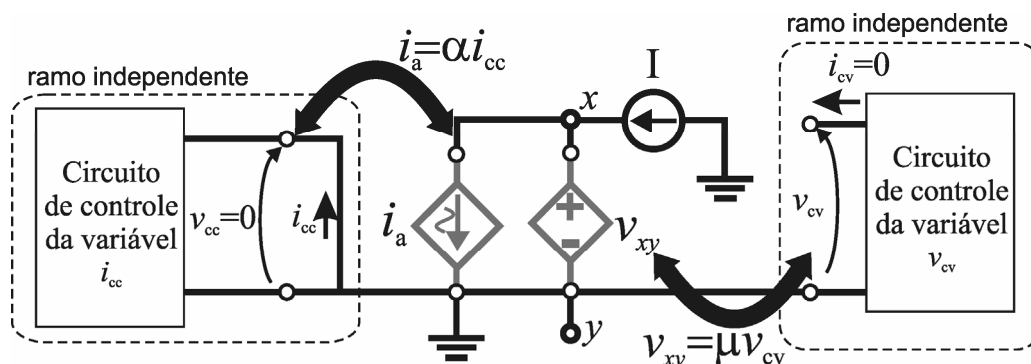


Figura 27 – Diagrama simplificado do circuito do inversor PWM com transição ressonante utilizando fontes dependentes.

C. Derivação dos Ramos Independentes das Fontes Controladas.

Por definição a síntese de circuitos pode apresentar mais de uma solução para o mesmo problema [228], os circuitos que constituem os “circuitos de controle das variáveis independentes” das fontes controladas i_a e v_{xy} são apresentados a seguir como possíveis soluções para cada um dos circuitos.

O diagrama do circuito de controle (ramo independente) da fonte de tensão controlada por tensão v_{xy} é mostrado na Figura 28. O circuito da variável de controle v_{cv} esta diretamente associado à tensão nos terminais do capacitor C_{Din} , que representa a dinâmica dos semicondutores que constituem o pólo PWM (S_1 e S_2). A tensão v_{cv} excursiona de forma aproximadamente linear entre os valores V_{zy} e zero, por meio da variação da corrente i_C que é a diferença entre os valores das fontes de corrente I e i_a . Para manter v_{cv} entre os limites supracitados, são utilizados um par de diodos D_{C1} e D_{C2} , os quais grampeam a tensão de C_{Din} . Assim, para $I - i_a > 0$, em regime transitório $i_C > 0$ e, em regime permanente a tensão no terminal x é igual a tensão da fonte V_{zy} . Por outro lado, para $I - i_a < 0$, em regime transitório $i_C < 0$ e, em regime permanente a tensão no terminal x é igual a zero.

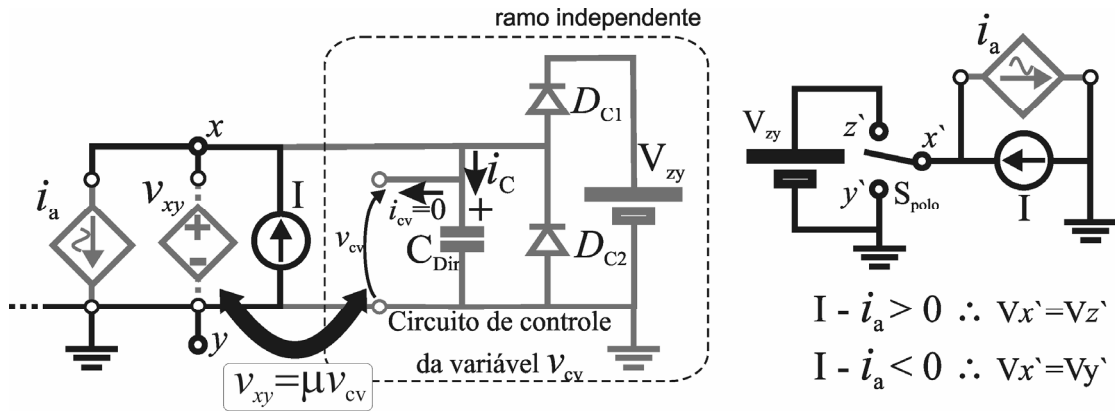


Figura 28 – Diagrama simplificado do circuito do inversor PWM com Transição Ressonante utilizando fontes controladas. Com especificação do circuito de controle da variável v_{cv} .

O diagrama do circuito de controle (ramo independente) da fonte de corrente controlada por corrente i_a é mostrado na Figura 29.

Para assegurar uma taxa de variação de corrente limitada, o ramo independente da fonte i_a possui um elemento indutivo definido como L_a . O sentido da corrente i_{cc} é determinado pela fonte de tensão controlada v_w , conforme mostrado na Figura 29(a). Uma vez que a tensão através de L_a pode ser influenciada pelo valor da fonte controlada v_{xy} , a fonte controlada v_w é separada em duas partes, como mostrado na Figura 29(b). A fonte v_{fb} representa a tensão de realimentação da fonte controlada v_{xy} (pólo PWM).

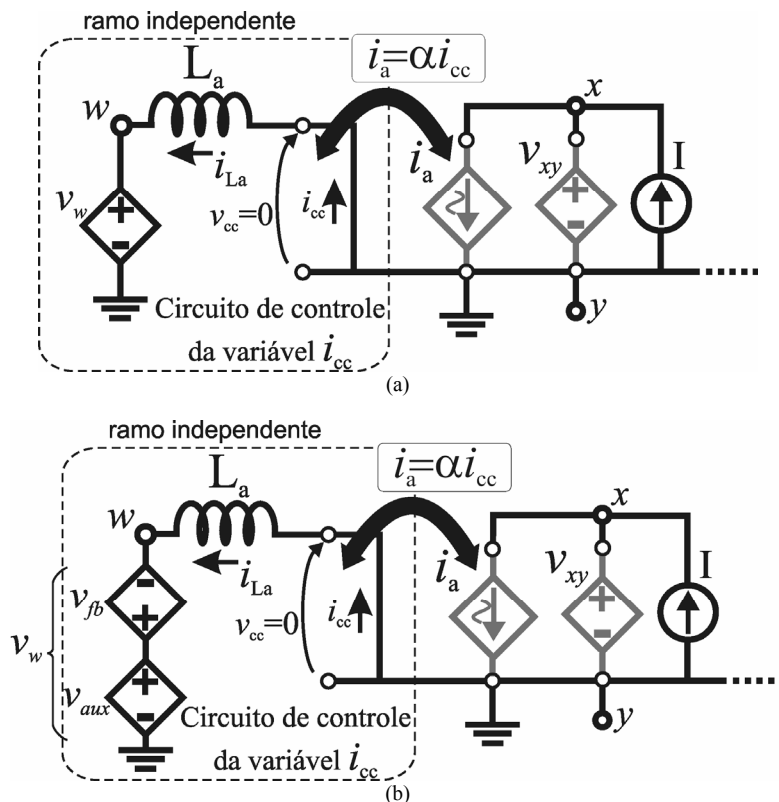


Figura 29 – Diagrama simplificado do circuito do Conversor PWM com Transição Ressonante utilizando fontes controladas com especificação do circuito de controle da variável i_{cc} . (a) Fonte dependente v_w ; (b) Fontes dependentes v_{fb} e v_{aux} ;

Assim, a fonte controlada v_{fb} pode ser definido como,

$$v_{fb}(t) = \begin{cases} v_{xy}(t), & \text{para } \alpha = 1 \\ V_Q, & \text{para } \alpha \neq 1 \end{cases} \quad (3.16)$$

onde α é definido pela expressão (3.5) e V_Q representa uma fonte de tensão constante qualquer.

A fonte v_{aux} , pode ser caracterizada como a fonte controlada cuja função permite a operação do inversor com transição ressonante sob tensão e/ou corrente nulas simultaneamente.

Para o caso em que $\alpha = 1$ ($v_{fb} = v_{xy}$), as regiões em cinza, mostradas na Figura 30(a), representam os possíveis valores que podem ser assumidos por v_{aux} .

Para o caso em que $\alpha \neq 1$ ($v_{fb} \neq v_{xy}$), as regiões em cinza, mostradas na Figura 30(b), representam os possíveis valores que podem ser assumidos por v_{aux} .

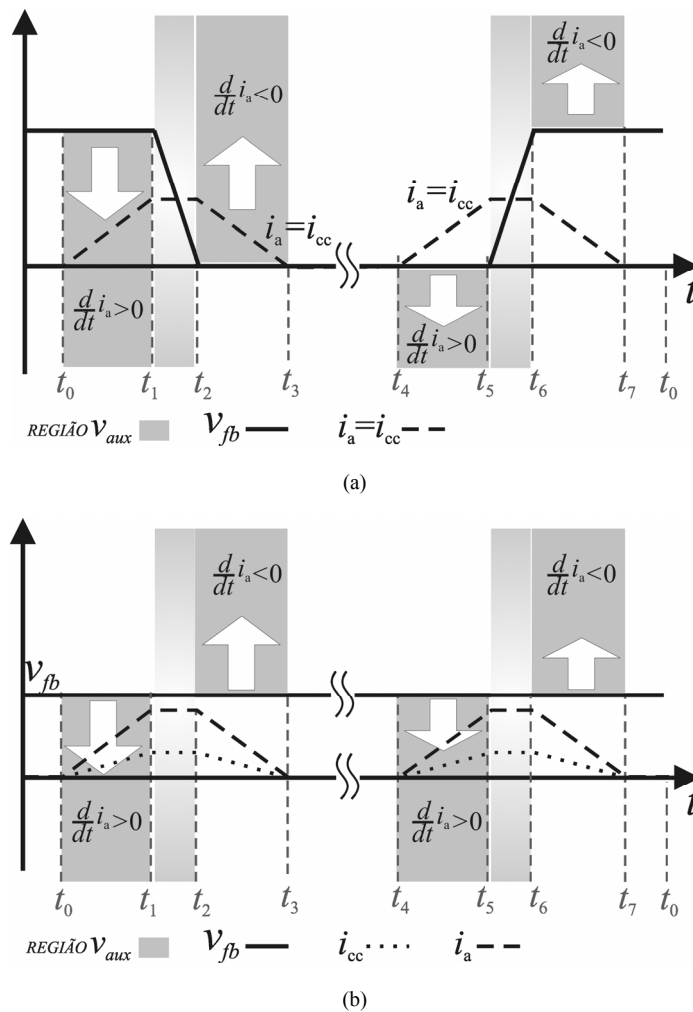


Figura 30 – Determinação das regiões válidas para função v_{aux} de acordo com as formas de onda das fontes v_{fb} , i_a . (a) Para o caso $\alpha = 1$; (b) Para o caso $\alpha \neq 1$.

Portanto, para cada um dos casos, a fonte v_{aux} deve atender a seguinte restrição,

$$v_{aux} < v_{fb}, \text{ para } (t_0 < t < t_1) \cap (t_4 < t < t_5) \quad (3.17)$$

e,

$$v_{aux} > v_{fb}, \text{ para } (t_2 < t < t_3) \cap (t_6 < t < t_7). \quad (3.18)$$

Como a função v_{aux} pode assumir qualquer valor que respeite as restrições definidas pelas expressões (3.17) e (3.18), a forma mais simples para implementação da fonte v_{aux} é através de uma função matemática contínua cossenoidal (Figura 31) ou uma função descontínua (Figura 32).

Para implementação da função contínua co-senoidal mostrada na Figura 31, pode-se utilizar somente elementos passivos junto ao ramo independente da fonte i_a , como indutores e capacitores. Por outro lado, para a implementação com a função descontínua mostrada na Figura 32, deve-se incluir um pólo auxiliar no ramo independente de controle da fonte i_a .

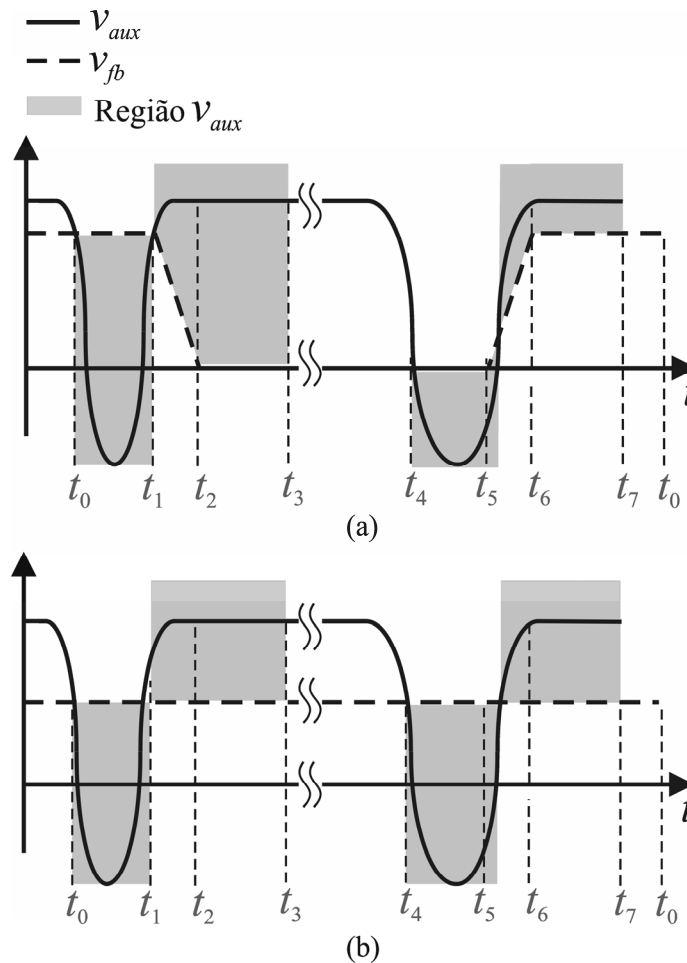


Figura 31 - Formas de onda da fonte de tensão controlada v_{aux} com a região de validade para a fonte controlada v_{aux} . Fonte controlada v_{aux} assumindo valores de uma função contínua no tempo; (a) Para o caso $\alpha = 1$ (b) Para o caso $\alpha \neq 1$.

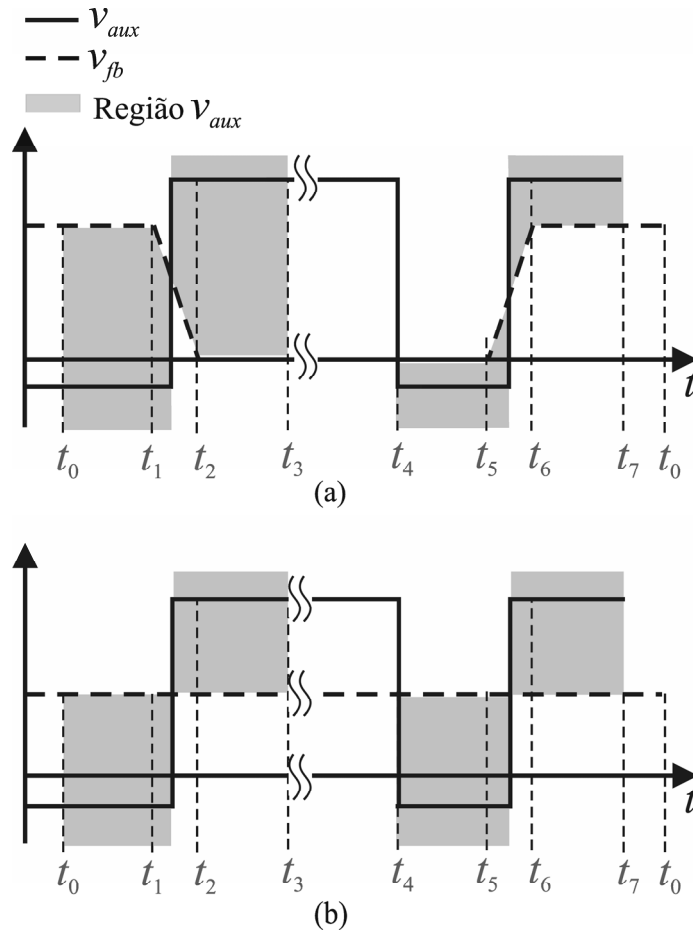


Figura 32 - Formas de onda da fonte de tensão controlada v_{aux} com a região de validade para a fonte controlada v_{aux} . Fonte controlada v_{aux} assumindo valores de uma função descontínua no tempo. (a) Para o caso $\alpha = 1$ (b) Para o caso $\alpha \neq 1$.

De modo similar às análises descritas anteriormente, pode-se considerar a corrente de filtro I negativa, com o sentido indicado na Figura 33. Neste caso, o sentido da fonte de corrente i_a também deve ser invertido.

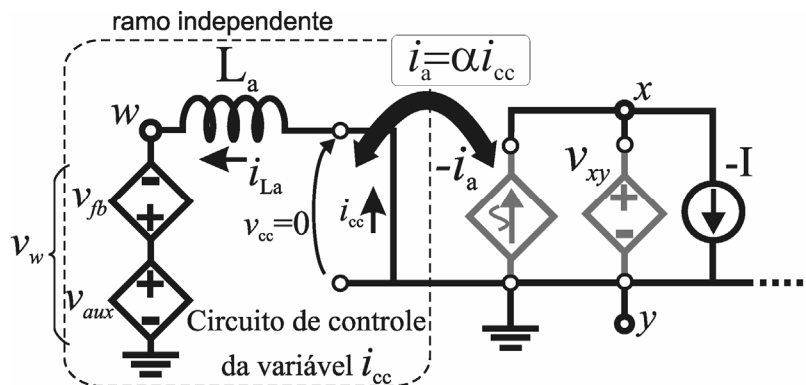
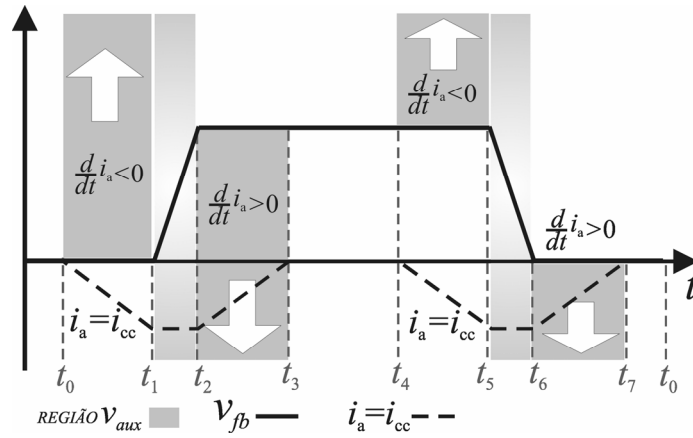


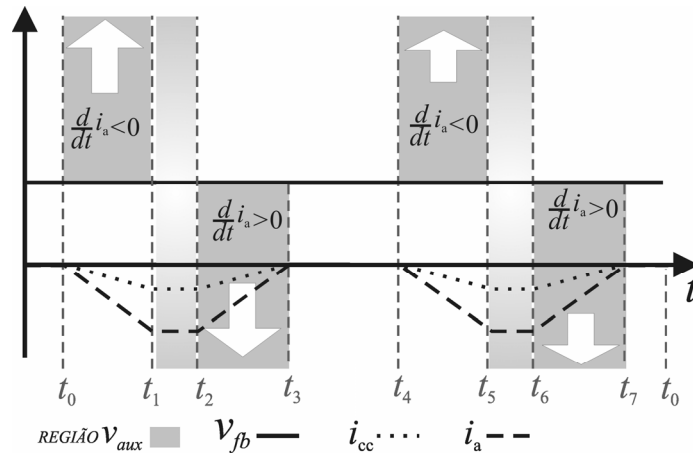
Figura 33 – Diagrama simplificado do circuito do inversor PWM com Transição Ressonante utilizando fontes controladas para corrente de filtro negativa (-I).

As formas de onda correspondentes são mostradas na Figura 34(a) para $\alpha = 1$ (v_{fb}

= v_{xy}) e na Figura 34(b) para $\alpha \neq 1$ ($v_{fb} \neq v_{xy}$). As regiões cinza correspondem aos valores possíveis para a fonte controlada v_{aux} .



(a)



(b)

Figura 34 – Determinação das regiões válidas para função v_{aux} de acordo com as formas de onda das fontes v_{fb} , i_a para corrente de filtro negativa (-I). (a) Para o caso $\alpha = 1$; (b) Para o caso $\alpha \neq 1$.

As restrições obtidas, considerando-se a fonte v_{fb} , para a fonte v_{aux} são,

$$\begin{aligned} v_{aux} > v_{fb}, \text{ para } (t_0 < t < t_1) \\ v_{aux} > v_{fb}, \text{ para } (t_4 < t < t_5) \end{aligned} \quad (3.19)$$

e,

$$\begin{aligned} v_{aux} < v_{fb}, \text{ para } (t_2 < t < t_3) \\ v_{aux} < v_{fb}, \text{ para } (t_6 < t < t_7) \end{aligned} \quad (3.20)$$

A função v_{aux} pode assumir qualquer valor desde que obedeça as restrições definidas pelas expressões (3.19) e (3.20).

Na forma de uma função contínua, a fonte v_{aux} é mostrada na Figura 35, enquanto que, na forma descontínua, a fonte v_{aux} é mostrada na Figura 36.

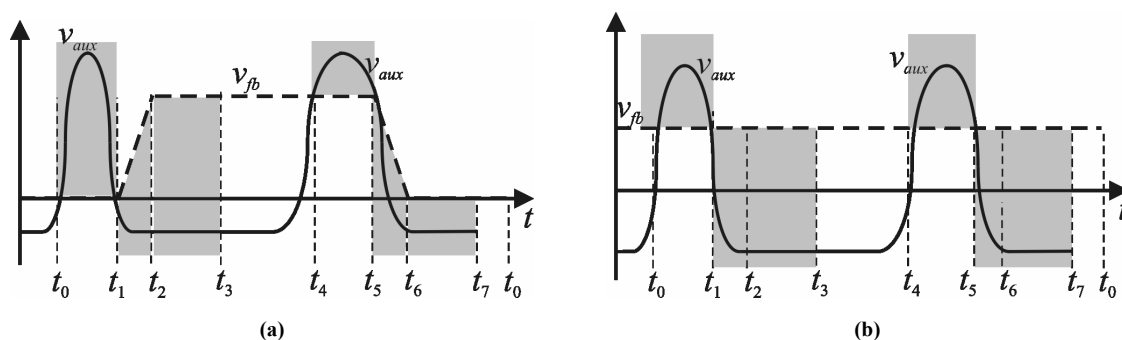


Figura 35 - Formas de onda da fonte de tensão controlada v_{ux} com a região de validade para a fonte controlada v_{aux} . Fonte controlada v_{aux} assumindo valores de uma função contínua no tempo; (a) Para $\alpha = 1$ (b) Para $\alpha \neq 1$.

Observa-se que a implementação de uma fonte v_{aux} com a forma mostrada na Figura 35 implica a utilização de elementos ressonantes para produzir uma tensão que atenda as restrições durante os intervalos de comutação e elementos chaveados para manter as condições iniciais do circuito ressonante durante os intervalos em que não há transição.

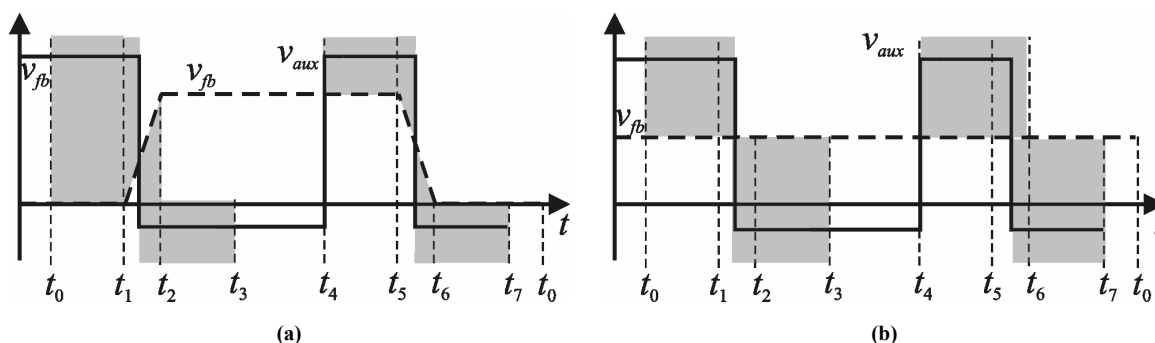


Figura 36 - Formas de onda da fonte de tensão controlada v_{ux} com a região de validade para a fonte controlada v_{aux} . Fonte controlada v_{aux} assumindo valores de uma função descontínua no tempo. (a) Para $\alpha = 1$ (b) Para $\alpha \neq 1$.

Por outro lado, a implementação de uma fonte v_{aux} com a forma mostrada na Figura 36 implica na utilização de elementos chaveados que possibilitem que a tensão comute entre valores discretos que atendam as restrições durante os intervalos de comutação.

3.3 Ferramenta de Análise de Conversores PWM com Transição Ressonante.

Os circuitos para implementação de v_{aux} podem ser separados em dois grupos, (i) os circuitos com pólo ativo, nos quais o chaveamento de um pólo ativo é necessário para a realização da fonte v_{aux} (função descontínua), uma vez que os elementos passivos do ramo independente da fonte i_a por si só não proporcionam as condições para geração de um “tempo morto” para o pólo PWM comutar; e, (ii) os circuitos ressonantes, os quais fazem

uso de um tanque ressonante para implementar a fonte auxiliar v_{aux} (função contínua) no ramo independente da fonte i_a . A operação do tanque ressonante proporciona por si só as condições requeridas para geração de um “tempo morto” para o pólo PWM comutar sob condições suaves. A Figura 37 mostra um resumo dos conceitos a partir do tipo de função matemática, da classe do circuito, da forma de onda e da técnica de comutação. Por meio destes conceitos percebe-se que as técnicas ZCT e ZCZVT da Classe A permanecem inexploradas na literatura.

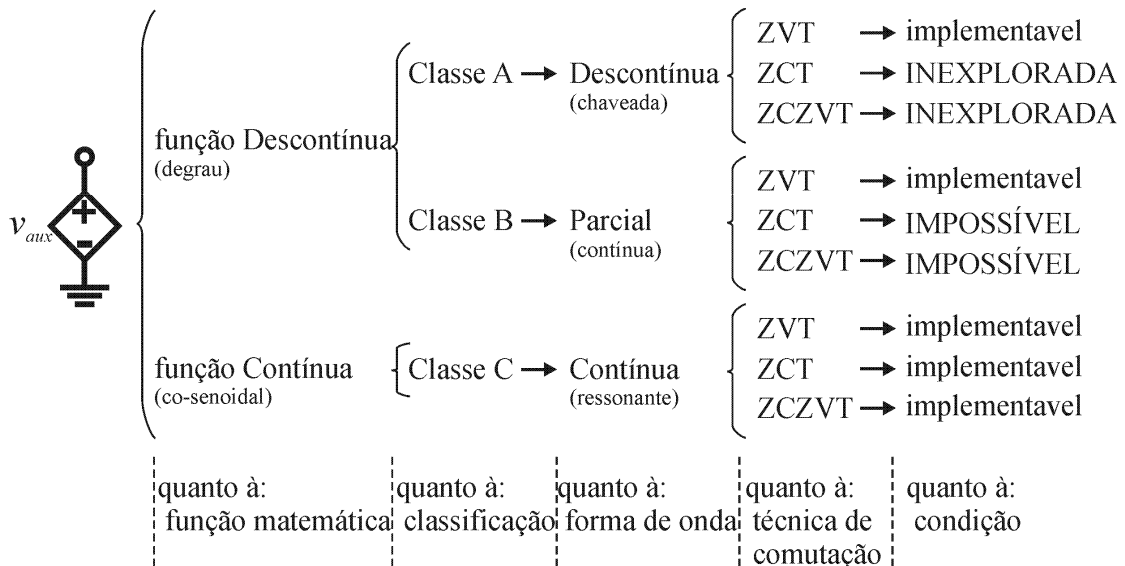


Figura 37 – Fluxograma resumido dos conceitos das fontes controladas aplicados aos conversores com transição ressonante.

3.3.1 Análise dos Conversores com Transição Ressonante com Tensão Nula

Os conversores ZVT (*Zero-Voltage Transition*) podem ser agrupados em três grupos ou classes [232], de acordo com as fontes controladas, v_{xy} , v_{aux} e i_a , cujas formas de onda teóricas são mostradas na Figura 38.

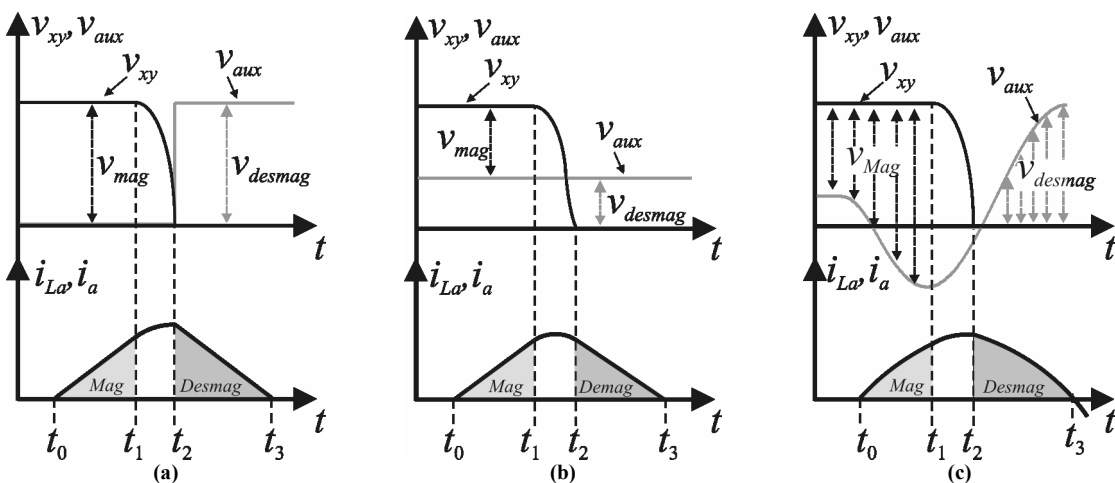


Figura 38 - Formas de onda das fontes controladas v_{xy} , v_{aux} e i_a . (a) Para uma função v_{aux} descontínua; (b) Para uma tensão v_{aux} contínua e constante; (c) Para uma tensão v_{aux} contínua e cossenoidal.

Na Figura 38(a), a tensão aplicada nos terminais do indutor L_a durante o seu intervalo de magnetização ($t_0 < t < t_1$) e desmagnetização ($t_2 < t < t_3$) assume dois valores constantes, os quais são obtidos através do controle de um pólo auxiliar. Como a ação do pólo auxiliar permite que a magnetização e a desmagnetização do indutor L_a sejam feitas sob tensão constante, a ressonância é restrita a um pequeno intervalo ($t_1 < t < t_2$), no qual a tensão nos terminais da chave principal alcança zero. Deste modo, a energia reativa é pequena. Normalmente a magnetização do indutor L_a depende exclusivamente da fonte controlada v_{xy} , enquanto que a sua desmagnetização depende da fonte controlada v_{aux} . Os conversores ZVT que fazem uso do pólo auxiliar com o propósito de garantir a magnetização e a desmagnetização do indutor L_a são ditos *conversores ZVT com fonte auxiliar chaveada* e, conforme proposto em [232], fazem parte da Classe A.

Na Figura 38(b) uma tensão constante produzida por v_{aux} permite que o indutor L_a seja magnetizado e desmagnetizado através de valores constantes correspondentes a v_{xy} - v_{aux} e v_{aux} , respectivamente. Como pode-se observar, a magnetização de L_a é determinada por v_{xy} e v_{aux} , enquanto a desmagnetização depende somente de v_{aux} . Esta característica produz uma dependência entre os dois processos (magnetização e desmagnetização) e, portanto, existirá um compromisso na escolha do valor de v_{aux} , o qual deve ser adequado para ambos os processos. Outra característica desta classe é a participação de v_{aux} no processo ressonante, no qual a tensão sobre a chave principal alcança zero. Portanto, além de estar associada aos processos de magnetização e desmagnetização de L_a , a escolha de v_{aux} também define as condições de entrada em condução para a chave principal. Os *conversores ZVT com fonte auxiliar constante*, também conforme proposto em [232], são agrupados na Classe B. Dentre as vantagens da utilização de uma fonte auxiliar constante tem-se a possibilidade da chave auxiliar bloquear com corrente nula, o que não é possível para os conversores com fonte auxiliar chaveada.

Diferentemente dos métodos mostrados na Figura 38(a) e (b), os quais produzem fontes auxiliares com valores constantes, a Figura 38(c) mostra uma forma de onda que varia co-senoidalmente no tempo. Esta forma de onda é obtida com a utilização de um circuito ressonante o qual constitui a fonte auxiliar v_{aux} . A fonte ressonante proporciona o bloqueio da chave auxiliar sob corrente nula de forma natural, ou seja, sem a necessidade da implementação de uma fonte constante junto ao circuito auxiliar. Todavia, a energia reativa que circula pelo circuito auxiliar durante os intervalos de comutação aumenta as perdas em condução no circuito auxiliar, além de causar esforços adicionais de tensão nos

elementos auxiliares e, usualmente, esforços adicionais de corrente nos elementos principais (pólo). Os *conversores com fonte auxiliar ressonante*, de acordo com [232], são agrupados na Classe C.

A. Sumário sobre os Conversores ZVT.

As características dos conversores ZVT estão intimamente relacionadas com a forma de implementação da fonte auxiliar.

A **Classe A** [233]-[240] destaca-se pela **simplicidade** e **confiabilidade** quanto a garantia das condições de comutação suave para os semicondutores do circuito principal. A **Classe B** [241]-[245] destaca-se pelo arranjo da fonte constante através do **acoplamento magnético**, que permite a **redução dos esforços de corrente** no circuito auxiliar. A **Classe C** [246]-[251] não possui características que a destaquem com qualidades em relação as demais, pelo contrário, a energia reativa elevada e as não-idealidades dos semicondutores fazem com que esta classe possua **baixa** eficiência.

3.3.2 Análise dos Conversores com Transição sob Corrente Nula

A técnica de comutação ZCT (*Zero-Current Transition*) consiste na utilização de um tanque ressonante para produzir um impulso de corrente que redireciona a corrente que circula através da chave principal. Pode-se afirmar que o papel do circuito auxiliar dos conversores ZCT é semelhante ao circuito auxiliar dos conversores ZVT, o qual fornece um caminho para a corrente que flui por um dos semicondutores (diodo) do pólo principal. Todavia, desde sua definição [184] os conversores ZCT usam exclusivamente o princípio da ressonância para produzir o impulso de corrente para comutar os semicondutores do pólo. Deste modo, a correspondência entre os conversores ZCT e ZVT ocorre somente para a Classe C, ou seja, os conversores ZVT da classe C e os conversores ZCT compartilham o mesmo princípio de operação e, portanto, um circuito auxiliar semelhante.

A. Características dos Conversores ZCT.

O princípio de comutação dos conversores ZCT consiste em fazer uso de uma chave auxiliar junto ao barramento (ou terminal do terra) para iniciar o processo ressonante entre um indutor e um capacitor, cuja corrente senoidal resultante seja capaz de comutar as chaves que constituem o pólo principal do conversor.

Originalmente o circuito auxiliar era acionado somente durante o bloqueio da chave principal [184]. No intuito de proporcionar melhores condições de comutação,

foram apresentadas modificações [186]-[187] e o circuito auxiliar passou a ser acionado também durante a entrada em condução da chave principal. Apesar de atuarem em ambas as comutações, os conversores ZCT diferem dos conversores ZVT e ZCZVT por não possuírem capacitores em paralelo com o pólo principal. Deste modo, a taxa de variação de tensão na chave principal normalmente é elevada, possuindo níveis comparáveis à dos conversores com comutação dissipativa.

A Figura 39 mostra o diagrama simplificado dos inversores ZCT. Observa-se que ao terminal “a” do circuito auxiliar encontra-se conectado um arranjo das chaves S_{a1} , S_{a2} e da fonte V_t , Figura 39(a). Este arranjo constitui a parte controlada da excitação do circuito ressonante e, pode ser representada por uma fonte de tensão controlada v_{exc} , Figura 39(b).

Através da Figura 39(b) fica claro que as modificações dos conversores ZCT representam variações quanto ao valor da tensão de excitação do circuito ressonante. Estas diferentes excitações determinam os esforços de tensão e de corrente do circuito auxiliar, bem como podem proporcionar condições de comutação sob corrente nula para o bloqueio e para a entrada em condução da chave principal.

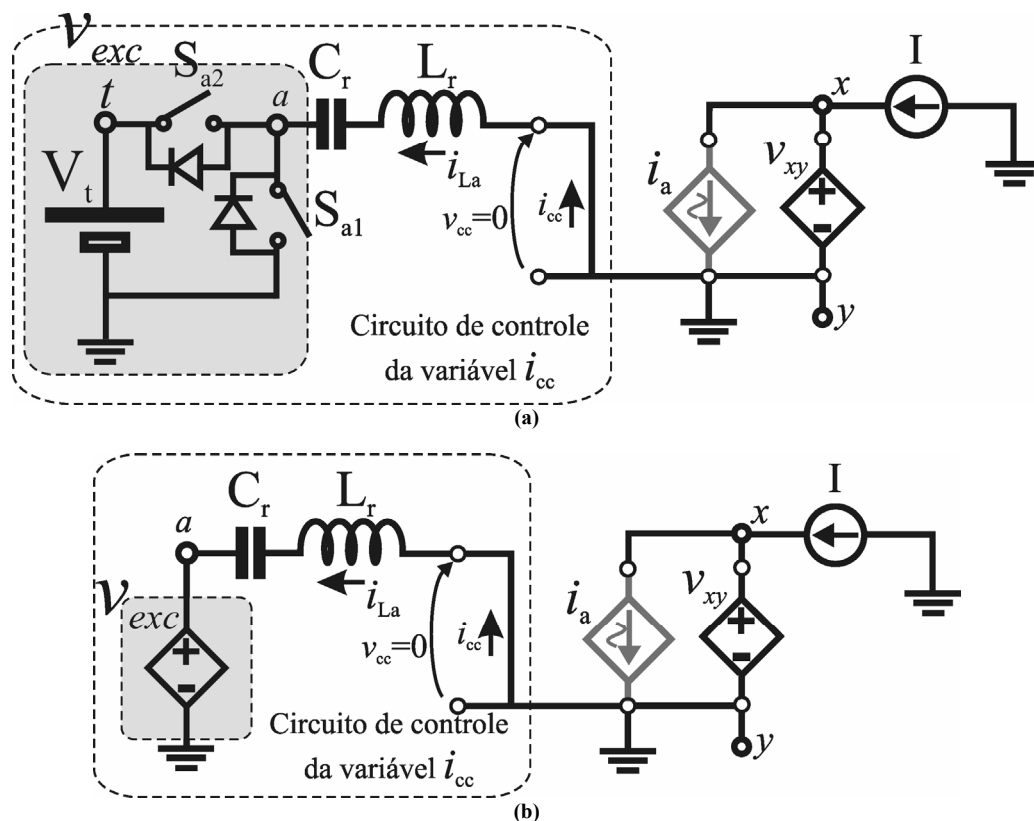


Figura 39 - Diagrama básico dos inversores ZCT (Classe C). (a) Circuito com pólo auxiliar; (b) Circuito com fonte de excitação v_{exc} .

B. Diferentes Excitações do Circuito Auxiliar Ressonante dos Conversores ZCT.

A excitação do circuito ressonante pode ser constituída pelas condições iniciais de tensão no capacitor C_r , ou seja, $v_{exc} = V_{Cr}(0)$; pode ser formada pela tensão da fonte V_t , ou seja, $V_{Cr}(0) = 0$ e $v_{exc} = V_t$; pode ser formada pela combinação da fonte V_t e das condições iniciais, ou seja, $V_{Cr}(0) \neq 0$ e $v_{exc} = V_{Cr}(0) + V_t$.

A condição necessária para o projeto dos elementos do tanque é que

$$i_{Lr(MAX)} > I, \quad (3.21)$$

Portanto, do circuito da Figura 39(b) tem-se,

$$\frac{v_{xy} - v_{exc} - v_{Cr}(0)}{Z} > I \quad (3.22)$$

onde, $Z = \sqrt{L_r/C_r}$.

Considerando-se que, durante o bloqueio v_{xy} é igual a zero,

$$-\left(\frac{v_{exc} + v_{Cr}(0)}{Z}\right) > I. \quad (3.23)$$

Por outro lado, durante a entrada em condução v_{xy} é igual a tensão do barramento, V_{zy} .

$$\frac{V_{zy} - v_{exc} - v_{Cr}(0)}{Z} > I. \quad (3.24)$$

C. Sumário sobre os Conversores ZCT.

Pode-se afirmar que os conversores ZCT mantêm uma correspondência com os conversores ZVT classe C. Deste modo, pode-se gerar uma classificação destes conversores quanto à implementação da fonte de excitação do circuito ressonante, v_{exc} , a qual é formada por um pólo auxiliar que, por sua vez, pode ser representado por um pólo semi-controlado (chave + diodo) ou um pólo totalmente controlado (chave + chave). A utilização de um pólo totalmente controlado em aplicações CC-CC e em algumas aplicações CA-CC torna-se pouco atrativo devido ao número elevado de chaves auxiliares ativas. Todavia, isto não ocorre em circuitos auxiliares bi-direcionais, como nas aplicações CC-CA, onde naturalmente pólos auxiliares totalmente controlados são necessários.

Dentre as características dos conversores ZCT destacam-se a desvantagem da utilização de circuitos auxiliares com tanques ressonantes, o que vem a produzir **energia reativa** em demasia. Em contrapartida, a utilização de um circuito auxiliar naturalmente bi-

direcional com pólo totalmente controlado, permite que ambas as *chaves auxiliares* sejam *compartilhadas* nos processos de entrada em condução e bloqueio.

3.3.3 Conversores com Transição sob Tensão e Corrente Nulas

A técnica de comutação ZCZVT (*Zero-Current Zero-Voltage Transition*) é a mais recente das técnicas de transição ressonante. Por motivos óbvios, os conversores ZCZVT apresentados até o momento buscam na integração de um circuito auxiliar ZVT e um circuito auxiliar ZCT, sua metodologia de síntese. Como o circuito auxiliar dos conversores ZCT utiliza a ressonância para o controle do fluxo de energia através do indutor auxiliar, de alguma forma, o circuito ressonante produzirá energia reativa a qual será responsável por perdas em condução excessivas. Neste sentido, a busca por artifícios para minimizar a energia reativa, tais como circuitos grampeadores, comumente utilizados nos conversores ZVT Classe C têm sido explorados.

3.3.4 Generalização do Conceito dos Conversores ZVT, ZCT e ZCZVT.

Da análise dos conversores ZVT e ZCT, bem como das definições das condições da fonte auxiliar analisadas na Seção 3.2.3 pode-se definir os princípios básicos que regem os circuitos auxiliares dos conversores com transição ressonante, como pode-se observar na Figura 40.

No diagrama dos circuitos encontram-se realçados os elementos que constituem as fontes auxiliares para o controle da energia no indutor L_a . Associados a cada diagrama de circuito estão as formas de onda teóricas para cada classe.

Observa-se que os conversores publicados até o momento exploram apenas circuitos onde $\alpha = 1$, sendo que os circuitos onde $\alpha \neq 1$ permanecem inexplorados.

Além disto, a Figura 40 mostra claramente que a utilização da fonte auxiliar v_{aux} descontínua foi pouco explorada, enquanto que a fonte v_{aux} contínua e constante permite somente operação de conversores do tipo ZVT. Apesar da possibilidade de se explorar a fonte auxiliar v_{aux} contínua, a grande quantidade de energia reativa envolvida no processo de comutação dos circuitos auxiliares analisados (ZVT Classe C e ZCT) não tornam estes circuitos atrativos.

3.4 Sumário.

Neste Capítulo foram definidos os fundamentos que governam as comutações dos

conversores PWM com transição ressonante e as restrições necessárias para a operação destes conversores. Um circuito hipotético foi utilizado para obtenção analítica das restrições supracitadas. Este circuito foi definido e reduzido através da aplicação dos conceitos de fontes dependentes e do conceito de fonte auxiliar de tensão. Através desta ferramenta de análise foram determinadas algumas topologias ainda inexploradas, as quais podem proporcionar circuitos com menores esforços adicionais de corrente e tensão, bem como menor energia reativa.

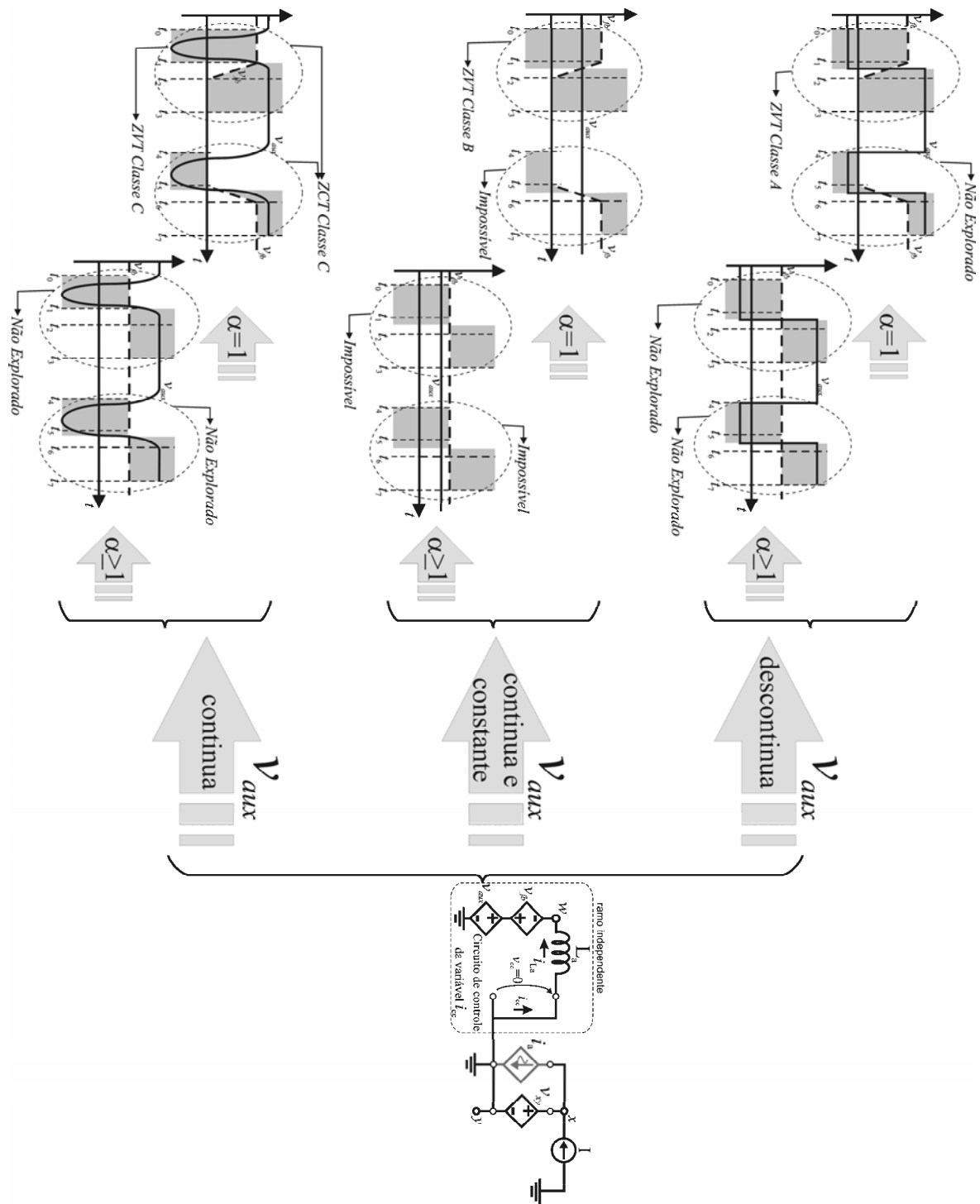


Figura 40 – Conceito dos conversores com Transição Ressonante, sob a perspectiva dos requerimentos do mecanismo que governam as comutações durante a entrada em condução e o bloqueio.

CAPÍTULO 4

SÍNTESE DOS CIRCUITOS AUXILIARES ZCZVT COM ACOPLAMENTO MAGNÉTICO

4.1 Introdução.

Neste Capítulo são definidos os requisitos necessários para implementação dos conversores com transição ressonante com fonte auxiliar descontínua, definida no Capítulo anterior. Esta fonte possibilita a operação dos conversores transição ressonante sem o uso de circuito auxiliar ressonante. Juntamente com a definição de um conjunto de fontes de tensão, e as expressões matemáticas que as definem e limitam seu intervalo de valores, também são mostradas as principais características para implementação das mesmas através do acoplamento magnético entre dois ou mais enrolamentos. Os requisitos para operação do circuito auxiliar em ambas as transições do pólo PWM pode ser entendido como uma ferramenta para síntese de conversores Transição Ressonante. Esta nova ferramenta de síntese pode ser utilizada para aprimorar as técnicas de comutação sob transição ressonante, bem como produzir as novas topologias de conversores ZCZVT derivadas neste capítulo.

4.2 Conversores com Transição Ressonante com Fonte Auxiliar Descontínua.

4.2.1 Definições, Conceitos e Princípios Básicos.

O princípio de operação do circuito auxiliar dos conversores com transição ressonante com fonte auxiliar descontínua baseia-se na existência de um pólo auxiliar, o qual possibilita a inversão da polaridade da tensão aplicada sobre o indutor auxiliar L_a , permitindo o controle da corrente i_{cc} de modo a controlar a magnitude da fonte dependente auxiliar de corrente i_a . Nos conversores ZVT presentes na literatura, o circuito auxiliar opera somente durante a entrada em condução, quando a tensão v_{xy} (v_{bf}) varia a partir do valor do barramento (V_{zy}) até zero (vide Figura 38).

De acordo com a Figura 41(a), para que a fonte auxiliar descontínua possa assegurar o controle da corrente i_{cc} durante o processo de bloqueio, a fonte v_{bf} não pode auxiliar (no modo $\alpha=1$) no controle de i_{cc} e, portanto, a fonte v_{aux} obrigatoriamente deve assumir valores negativos para obter o controle de i_{cc} nos momentos em que v_{bf} é igual a zero (para $t_2 < t < t_5$).

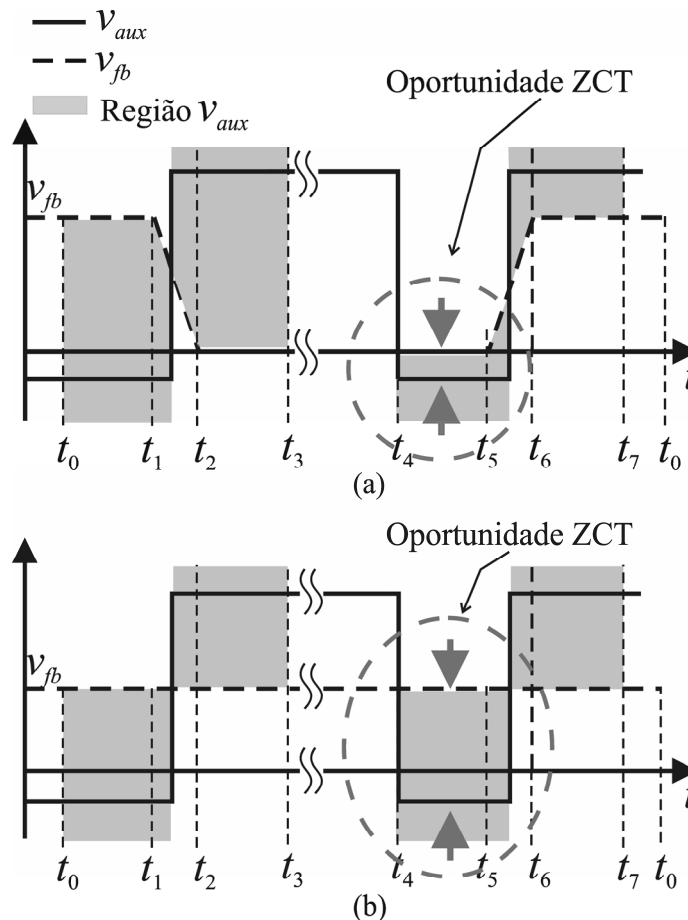


Figura 41 – Potencial elétrico necessário para realização da comutação verdadeiramente suave durante o intervalo t_4 - t_5 .

Para que a fonte v_{aux} possa produzir valores negativos deve-se introduzir uma ou duas fontes com valores constantes, V_{a1} e/ou V_{a2} , com polaridades conforme indicado na Figura 42. A fonte V_{a3} pode estar presente para compensar as sobretensões existentes no pólo auxiliar unidirecional (S_a - D_a), além de produzir simetria para as tensões sobre os semicondutores.

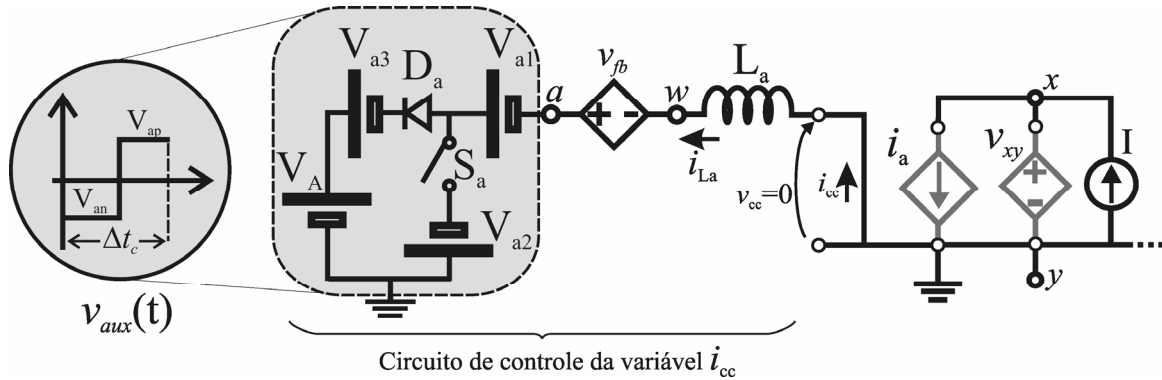


Figura 42 – Diagrama do conversor ZCZVT Classe A, para $I > 0$.

De modo análogo, o mesmo princípio pode ser aplicado aos conversores com transição ressonante e fonte auxiliar descontínua cujas formas de onda são mostradas na Figura 41(b) e ($\alpha > 1$).

Considerando-se o diagrama mostrado na Figura 42, existem seis arranjos possíveis para as fontes constantes (V_{a1} , V_{a2} e V_{a3}), tal como mostrado na Tabela 1. Deve-se observar que a tensão V_A esta normalmente presente nos circuitos dos conversores por ser a tensão existente no barramento CC.

Tabela 1 – Topologias derivadas a partir da permutação das fontes V_{a1} , V_{a2} e V_{a3} .

Topologias	Fontes de Tensão Constante			Tensões Existentes
	V_{a1}	V_{a2}	V_{a3}	
Topologia 1	X			V_{a1}, V_A
Topologia 2		X		V_{a2}, V_A
Topologia 3	X	X		V_{a1}, V_{a2}, V_A
Topologia 4	X		X	V_{a1}, V_{a3}, V_A
Topologia 5		X	X	V_{a2}, V_{a3}, V_A
Topologia 6	X	X	X	$V_{a1}, V_{a2}, V_{a3}, V_A$

4.2.2 Análise da Operação do Circuito Auxiliar Teórico.

A análise do conversor ZCZVT com fonte auxiliar descontínua (definido como Classe A, [232]) é feita levando em consideração os diagramas que representam o circuito de controle da fonte controlada i_a (Figura 42).

Antes do início do processo de entrada em condução o circuito do conversor

ZCZVT com fonte auxiliar descontínua, representado por fontes controladas, encontra-se conforme o diagrama da Figura 43(a), ou seja, a tensão de controle v_{cv} é igual à tensão V_{zy} e o capacitor C_{Din} encontra-se carregado. A corrente de controle i_{cc} é igual a zero.

O processo de entrada em condução do pólo PWM, considerando-se o sentido positivo para corrente I , inicia-se quando a chave S_a é acionada, conforme mostrado na Figura 43(b). A magnetização linear do indutor L_a ocorre até o momento em que a corrente na fonte controlada i_a faz-se igual à corrente da fonte I .

A partir deste instante o valor da fonte controlada i_a passa a ser maior do que o da fonte I , Figura 43(c). Nestas condições, o capacitor C_{Din} é descarregado pela diferença entre estas duas correntes.

Após a tensão em C_{Din} se igualar a zero, o diodo de grampeamento D_{C2} entra em condução mantendo a tensão de controle v_{cv} igual a zero. Neste momento a chave S_a é desabilitada e o diodo D_a passa a conduzir. Inicia-se o processo de desmagnetização linear do indutor L_a , como mostrado na Figura 43(d).

Quando a corrente i_{cc} alcança zero, o circuito entra no modo PWM, como mostrado na Figura 44(a).

O processo de bloqueio do pólo PWM mais uma vez inicia-se quando a chave S_a é acionada, Figura 44(b). A magnetização linear do indutor L_a ocorre até o momento em que a corrente na fonte controlada i_a iguala-se a corrente da fonte I .

A partir deste instante, o valor da fonte controlada i_a passa a ser maior do que o valor da fonte I . Nestas condições, o capacitor C_{Din} é carregado pela diferença entre i_a e I , como mostrado na Figura 44(c).

Após a tensão em C_{Din} se igualar a tensão V_{zy} , o diodo de grampeamento D_{C1} entra em condução mantendo a tensão de controle v_{cv} igual a V_{zy} . Neste momento a chave S_a é desabilitada e o diodo D_a é acionado, Figura 44(d). Inicia-se o processo de desmagnetização linear de L_a .

Quando a corrente i_{cc} alcança zero, o circuito mais uma vez entra no modo PWM.

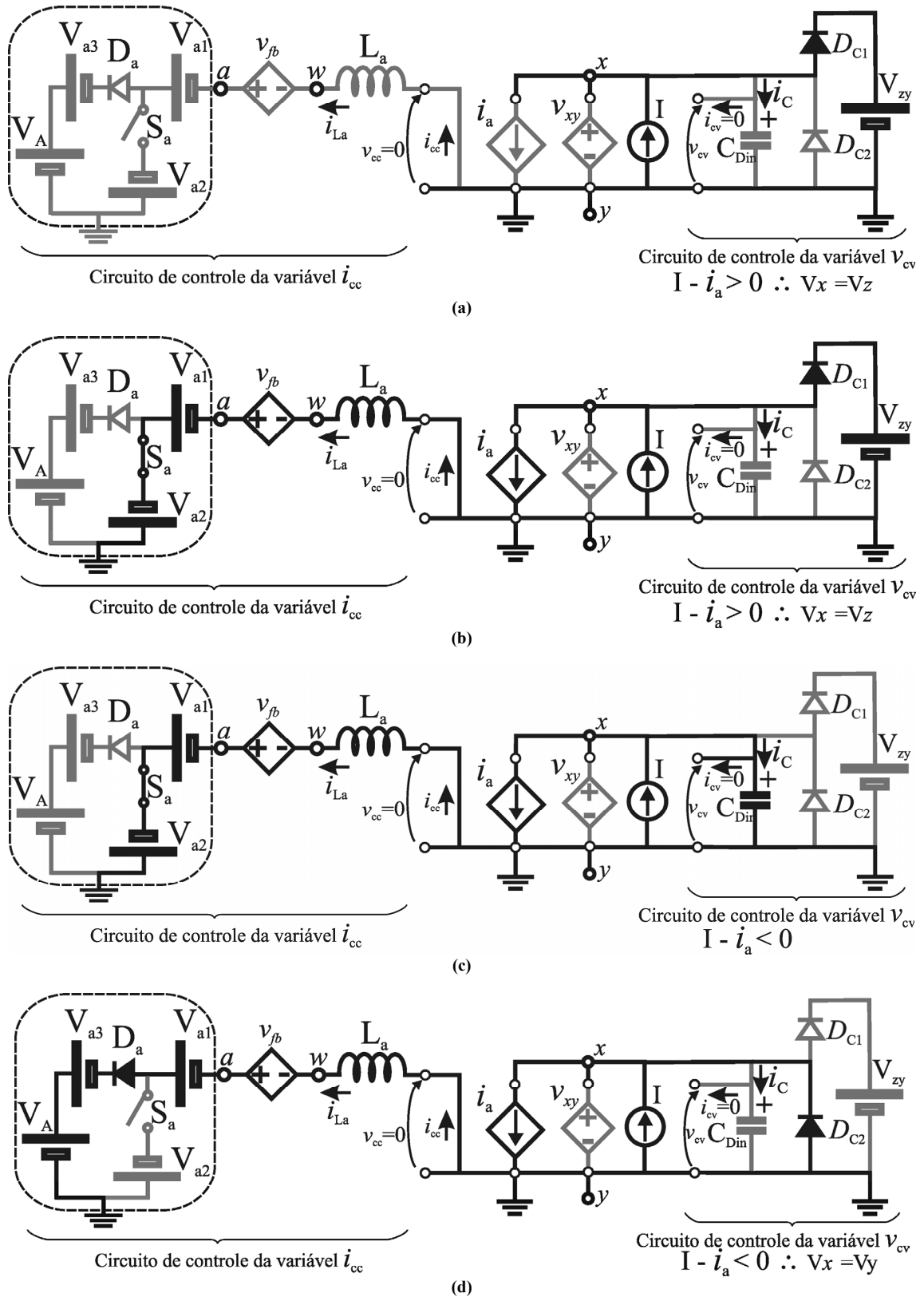


Figura 43 - Etapas de operação do circuito teórico durante processo de entrada em condução para pólo PWM, $I > 0$. (a) Etapa PWM; (b) Etapa de magnetização de L_a ; (c) Etapa de transição de estado do pólo PWM; (d) Etapa de desmagnetização de L_a .

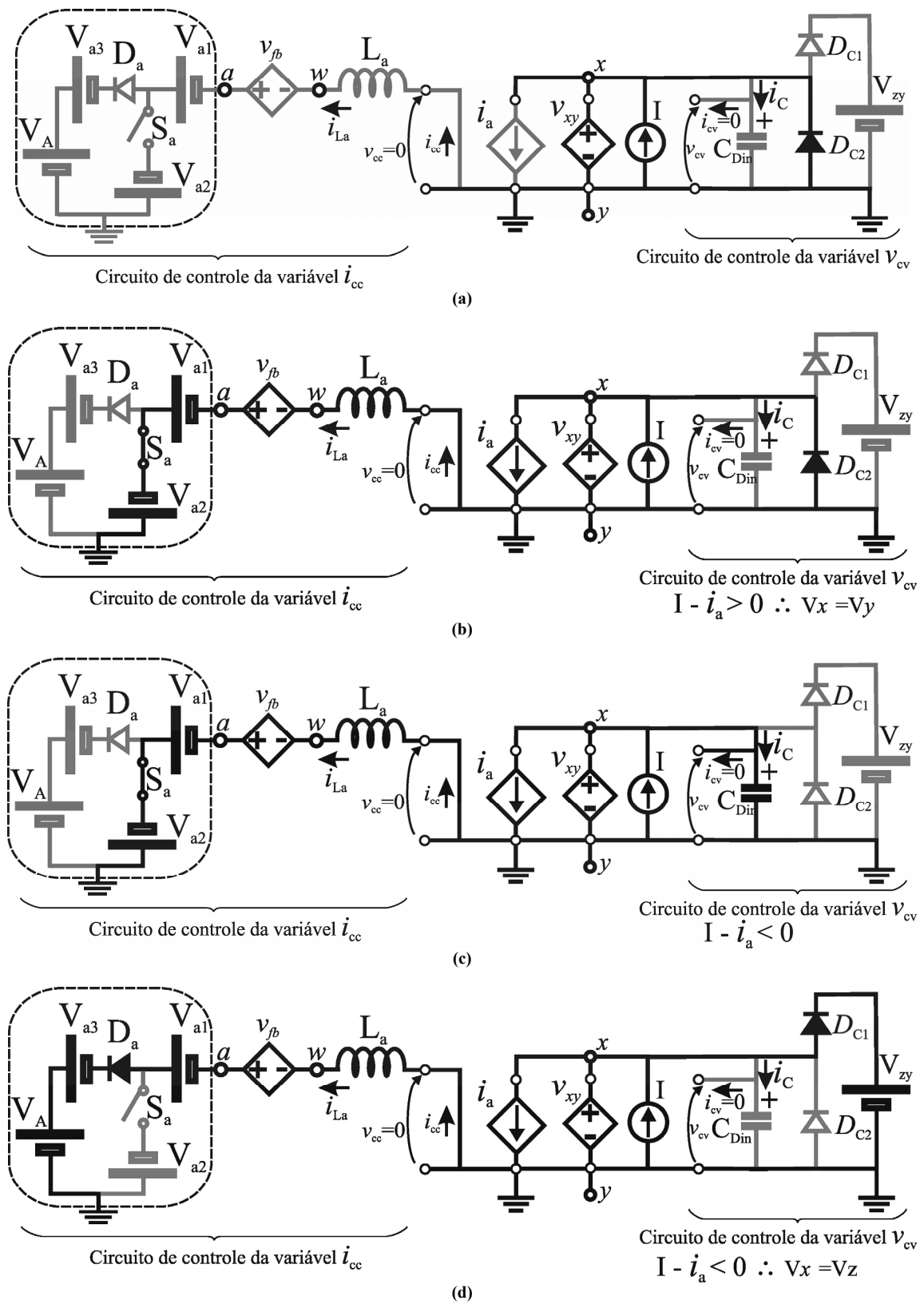


Figura 44 - Etapas de operação do circuito teórico durante processo de bloqueio para pólo PWM, $I > 0$. (a) Etapa PWM; (b) Etapa de magnetização de L_a ; (c) Etapa de transição de estado do pólo PWM; (d) Etapa de desmagnetização de L_a .

As formas de onda teóricas são mostradas na Figura 45.

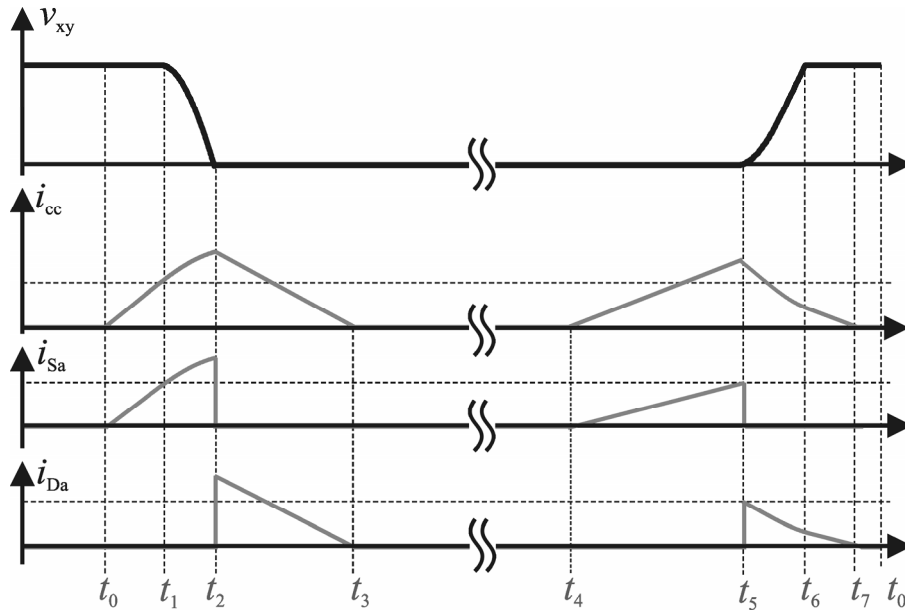


Figura 45 – Formas de onda teóricas do circuito da Figura 42.

4.2.3 Definição das Restrições para as Fontes V_{a1} , V_{a2} e V_{a3} .

Para que as topologias definidas na Tabela 1 operem adequadamente, um conjunto de restrições para os valores das fontes V_{a1} , V_{a2} e V_{a3} deve ser obedecido. Estas restrições são derivadas a seguir.

Para magnetização do indutor L_a (Figura 43(b), $t > t_0$):

$$\frac{d}{dt} i_{L_a}(t) > 0 \quad (4.1)$$

$$\frac{d}{dt} \left[\left(\frac{V_{a1} + V_{a2} + v_{fb}}{L_a} \right) t \right] > 0 \quad (4.2)$$

$$\frac{v_{fb} + V_{a1} + V_{a2}}{L_a} > 0 \quad (4.3)$$

$$V_{a1} + V_{a2} > -v_{fb} \quad (4.4)$$

No modo em que $\alpha = 1$, $v_{fb} = V_{zy}$, portanto,

$$V_{a1} + V_{a2} > -V_{zy} \quad (4.5)$$

No modo em que $\alpha \geq 1$, $v_{fb} = V_X$, portanto,

$$V_{a1} + V_{a2} > -V_X \quad (4.6)$$

Para desmagnetização do indutor L_a (Figura 43(d), $t_3 < t < t_4$):

$$\frac{d}{dt} i_{L_a}(t) < 0 \quad (4.7)$$

$$\frac{d}{dt} \left[\left(\frac{-V_A + V_{a1} + V_{a3} + v_{fb}}{L_a} \right) t + i_{La}(t_3) \right] < 0 \quad (4.8)$$

$$\frac{-V_A + V_{a1} + V_{a3} + v_{fb}}{L_a} < 0 \quad (4.9)$$

$$V_{a1} + V_{a3} < V_A - v_{fb} \quad (4.10)$$

No modo em que $\alpha = 1$, $v_{fb} = 0$, portanto,

$$V_{a1} + V_{a3} < V_A \quad (4.11)$$

No modo em que $\alpha \geq 1$, $v_{fb} = V_X$, onde V_X é um valor positivo menor que V_A .

Para o caso de inversores, V_X pode ser considerado como sendo a tensão no ponto central do barramento. Assim,

$$V_{a1} + V_{a3} < V_A - V_X \quad (4.12)$$

Para a segunda magnetização do indutor L_a (Figura 44(b), $t_6 < t < t_7$):

$$\frac{d}{dt} i_{La}(t) > 0 \quad (4.13)$$

$$\frac{d}{dt} \left[\left(\frac{V_{a1} + V_{a2} + v_{fb}}{L_a} \right) t \right] > 0 \quad (4.14)$$

$$\frac{V_{a1} + V_{a2} + v_{fb}}{L_a} > 0 \quad (4.15)$$

$$V_{a1} + V_{a2} > -v_{fb} \quad (4.16)$$

No modo em que $\alpha = 1$, $v_{fb} = 0$, portanto,

$$V_{a1} + V_{a2} > 0 \quad (4.17)$$

No modo em que $\alpha \geq 1$, $v_{fb} = V_X$ e portanto, a restrição é dada pela expressão (4.6).

Para a segunda desmagnetização do indutor L_a (Figura 44(d), $t_8 < t < t_9$):

$$\frac{d}{dt} i_{La}(t) < 0 \quad (4.18)$$

$$\frac{d}{dt} \left[\left(\frac{-V_A + V_{a1} + V_{a3} + v_{fb}}{L_a} \right) t + i_{La}(t_8) \right] < 0 \quad (4.19)$$

$$\frac{-V_A + V_{a1} + V_{a3} + v_{fb}}{L_a} < 0 \quad (4.20)$$

$$V_{a1} + V_{a3} < V_A - v_{fb} \quad (4.21)$$

No modo em que $\alpha = 1$, $v_{fb} = 0$, portanto,

$$V_{a1} + V_{a3} < V_A \quad (4.22)$$

Ou ainda, no modo em que $\alpha = 1$, $v_{fb} = V_{zy}$, portanto,

$$V_{a1} + V_{a3} < V_A - V_{zy} \quad (4.23)$$

No modo em que $\alpha \geq 1$, $v_{fb} = V_X$ e portanto, a restrição é dada pela expressão (4.12).

Além das tensões e polaridades requeridas para magnetizar e desmagnetizar L_a , é necessário manter o circuito de controle de i_{cc} inativo durante a operação PWM do conversor. As restrições a seguir estão relacionadas com esta condição.

1. Para operação PWM com chave principal em condução, Malha I (Figura 46(a), $t_5 < t < t_6$):

$$v_{La}(t) \geq 0 \quad (4.24)$$

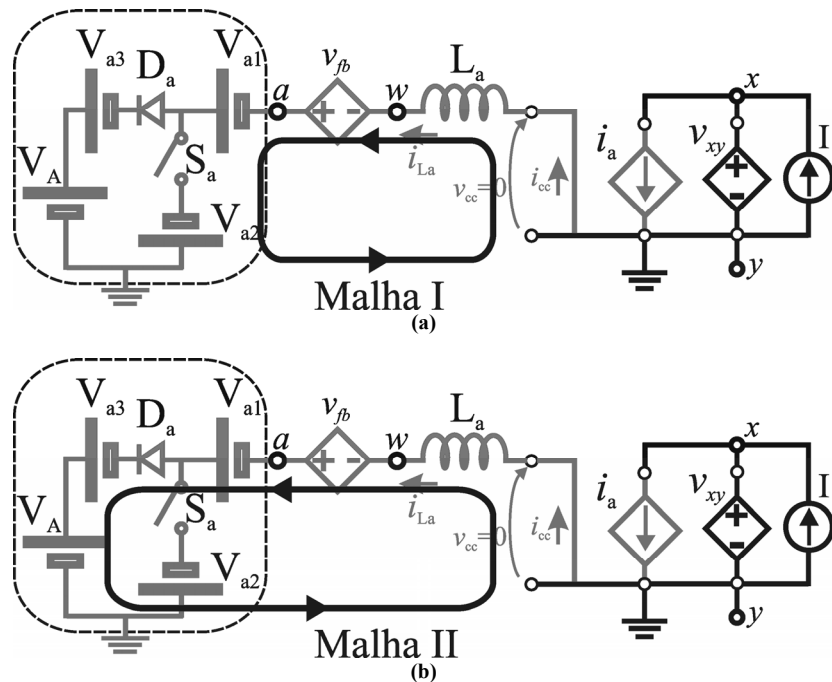


Figura 46 – Diagramas do circuito com definição das malhas de tensão. (a) Para Malha I; (b) Para Malha II.

Da Lei das Tensões de Kirchoff, LTK:

$$-v_{fb} - V_{a1} + v_{La}(t) - V_{a2} = 0 \quad (4.25)$$

Assim,

$$v_{La}(t) = V_{a1} + V_{a2} + v_{fb} \quad (4.26)$$

e, portanto,

$$V_{a1} + V_{a2} \geq -v_{fb} \quad (4.27)$$

No modo em que $\alpha = 1$, $v_{fb} = 0$, portanto,

$$V_{a1} + V_{a2} \geq 0 \quad (4.28)$$

No modo em que $\alpha \geq 1$, $v_{fb} = V_x$, e portanto, a restrição é dada pela expressão (4.6).

2. Para operação PWM com chave principal em condução, Malha II (Figura 46(b), $t_5 < t < t_6$):

$$v_{La}(t) \leq 0 \quad (4.29)$$

Da LTK:

$$-v_{fb} - V_{a1} + v_{La}(t) - V_{a3} + V_A = 0 \quad (4.30)$$

Assim,

$$v_{La}(t) = V_{a1} + V_{a3} - V_A + v_{fb} \quad (4.31)$$

e, portanto,

$$V_{a1} + V_{a3} \leq V_A - v_{fb} \quad (4.32)$$

No modo em que $\alpha = 1$, $v_{fb} = 0$, portanto,

$$V_{a1} + V_{a3} \leq V_A \quad (4.33)$$

No modo em que $\alpha \geq 1$, $v_{fb} = V_x$ e portanto, a restrição é dada pela expressão (4.12).

3. Para operação PWM com diodo principal em condução, Malha I (Figura 46(a), $t_{11} < t < t_0$):

$$v_{La}(t) \geq 0 \quad (4.34)$$

Da LTK:

$$-v_{fb} - V_{a1} + v_{La}(t) - V_{a2} = 0 \quad (4.35)$$

Assim,

$$v_{La}(t) = v_{fb} + V_{a1} + V_{a2} \quad (4.36)$$

e, portanto,

$$V_{a1} + V_{a2} \geq -v_{fb} \quad (4.37)$$

No modo em que $\alpha = 1$, $v_{fb} = V_{zy}$, portanto,

$$V_{a1} + V_{a2} \geq -V_{zy} \quad (4.38)$$

No modo em que $\alpha \geq 1$, $v_{fb} = V_X$, e portanto, a restrição é dada pela expressão (4.6).

4. Para operação PWM com diodo principal em condução, Malha II (Figura 46(b), $t_{11} < t < t_0$):

$$v_{La}(t) \leq 0 \quad (4.39)$$

Da LTK:

$$V_A - v_{fb} - V_{a1} + v_{La}(t) - V_{a3} = 0 \quad (4.40)$$

Assim,

$$v_{La}(t) = V_{a1} + V_{a3} + v_{fb} - V_A \quad (4.41)$$

e, portanto,

$$V_{a1} + V_{a3} \leq V_A - v_{fb} \quad (4.42)$$

No modo em que $\alpha = 1$, $v_{fb} = V_{zy}$, portanto,

$$V_{a1} + V_{a3} \leq V_A - V_{zy} \quad (4.43)$$

No modo em que $\alpha \geq 1$, $v_{fb} = V_X$, e portanto, a restrição é dada pela expressão (4.12). Das restrições derivadas através das expressões (4.1) a (4.43), podem-se definir as restrições gerais, as quais são mostradas na Tabela 2.

Tabela 2 – Restrições Gerais.

Restrições Gerais	$\alpha > 1$	$\alpha = 1$	
		$v_{fb} = 0$	$v_{fb} = V_{zy}$
$V_{a1} + V_{a2} > -v_{fb}$	$V_{a1} + V_{a2} > -V_X$	$V_{a1} + V_{a2} > 0$	$V_{a1} + V_{a2} > -V_{zy}$
$V_{a1} + V_{a3} < V_A - v_{fb}$	$V_{a1} + V_{a3} < V_A - V_X$	$V_{a1} + V_{a3} < V_A$	$V_{a1} + V_{a3} < V_A - V_{zy}$

Aplicando-se as restrições gerais a cada uma das topologias tem-se um conjunto de restrições para cada topologia, como mostra a Tabela 3. Como na maioria dos conversores CC-CA a única tensão fixa é a tensão do barramento (V_{zy}) pode-se utilizar V_A igual a esta tensão e V_X igual à metade da tensão do barramento, para o caso do barramento com ponto central. Assim as restrições para cada topologia passam a ser como mostrado na Tabela 4.

Tabela 3 – Restrições Gerais para todas as topologias.

Topologia	Fontes Auxiliares	$\alpha > 1$	$\alpha = 1$	
			$v_{fb} = 0$	$v_{fb} = V_{zy}$

1	$V_{a1} \neq 0$	$V_{a1} > -V_X$	$V_{a1} > 0$	$V_{a1} > -V_{zy}$
	$V_{a2} = V_{a3} = 0$	$V_{a1} < V_A - V_X$	$V_{a1} < V_A$	$V_{a1} < V_A - V_{zy}$
2	$V_{a2} \neq 0$	$V_{a2} > -V_X$	$V_{a2} > 0$	$V_{a2} > -V_{zy}$
	$V_{a1} = V_{a3} = 0$	-----	-----	-----
3	$V_{a1} \neq 0, V_{a2} \neq 0$	$V_{a1} + V_{a2} > -V_X$	$V_{a1} + V_{a2} > 0$	$V_{a1} + V_{a2} > -V_{zy}$
	$V_{a3} = 0$	$V_{a1} < V_A - V_X$	$V_{a1} < V_A$	$V_{a1} < V_A - V_{zy}$
4	$V_{a1} \neq 0, V_{a3} \neq 0$	$V_{a1} > -V_X$	$V_{a1} > 0$	$V_{a1} > -V_{zy}$
	$V_{a2} = 0$	$V_{a1} + V_{a3} < V_A - V_X$	$V_{a1} + V_{a3} < V_A$	$V_{a1} + V_{a3} < V_A - V_{zy}$
5	$V_{a2} \neq 0, V_{a3} \neq 0$	$V_{a2} > -V_X$	$V_{a2} > 0$	$V_{a2} > -V_{zy}$
	$V_{a1} = 0$	$V_{a3} < V_A - V_X$	$V_{a3} < V_A$	$V_{a3} < V_A - V_{zy}$
6	$V_{a1} \neq 0, V_{a2} \neq 0, V_{a3} \neq 0$	$V_{a1} + V_{a2} > -V_X$	$V_{a1} + V_{a2} > 0$	$V_{a1} + V_{a2} > -V_{zy}$
	-----	$V_{a1} + V_{a3} < V_A - V_X$	$V_{a1} + V_{a3} < V_A$	$V_{a1} + V_{a3} < V_A - V_{zy}$

Tabela 4 – Restrições Gerais considerando-se que a fonte $V_A = V_{zy}$.

Topologia	Fontes Auxiliares	$\alpha > 1$	$\alpha = 1$	
			$v_{fb} = 0$	$v_{fb} = V_{zy}$
1	$V_{a1} \neq 0$	$V_{a1} > -V_{zy}/2$	$V_{a1} > 0$	$V_{a1} > -V_{zy}$
	$V_{a2} = V_{a3} = 0$	$V_{a1} < V_{zy} - V_{zy}/2$	$V_{a1} < V_{zy}$	$V_{a1} < 0$
2	$V_{a2} \neq 0$	$V_{a2} > -V_{zy}/2$	$V_{a2} > 0$	$V_{a2} > -V_{zy}$
	$V_{a1} = V_{a3} = 0$	-----	-----	-----
3	$V_{a1} \neq 0, V_{a2} \neq 0$	$V_{a1} + V_{a2} > -V_{zy}/2$	$V_{a1} + V_{a2} > 0$	$V_{a1} + V_{a2} > -V_{zy}$
	$V_{a3} = 0$	$V_{a1} < V_{zy} - V_{zy}/2$	$V_{a1} < V_{zy}$	$V_{a1} < 0$
4	$V_{a1} \neq 0, V_{a3} \neq 0$	$V_{a1} > -V_{zy}/2$	$V_{a1} > 0$	$V_{a1} > -V_{zy}$
	$V_{a2} = 0$	$V_{a1} + V_{a3} < V_{zy} - (V_{zy}/2)$	$V_{a1} + V_{a3} < V_{zy}$	$V_{a1} + V_{a3} < 0$
5	$V_{a2} \neq 0, V_{a3} \neq 0$	$V_{a2} > -V_{zy}/2$	$V_{a2} > 0$	$V_{a2} > -V_{zy}$
	$V_{a1} = 0$	$V_{a3} < V_{zy} - V_{zy}/2$	$V_{a3} < V_{zy}$	$V_{a3} < 0$
6	$V_{a1} \neq 0, V_{a2} \neq 0, V_{a3} \neq 0$	$V_{a1} + V_{a2} > -V_{zy}/2$	$V_{a1} + V_{a2} > 0$	$V_{a1} + V_{a2} > -V_{zy}$
	-----	$V_{a1} + V_{a3} < V_{zy} - (V_{zy}/2)$	$V_{a1} + V_{a3} < V_{zy}$	$V_{a1} + V_{a3} < 0$

O mesmo princípio pode ser aplicado para o sentido oposto da corrente I, de onde obtém-se o circuito a Figura 47.

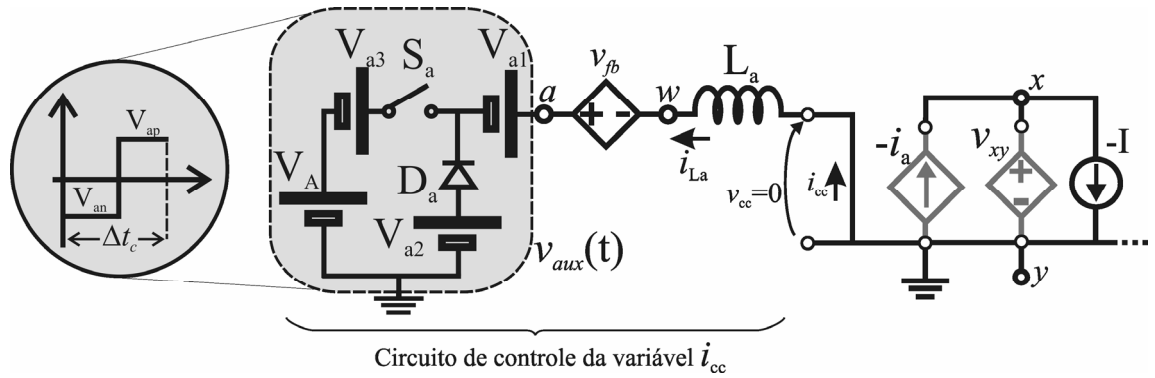


Figura 47 – Diagrama do conversor ZCZVT Classe A, para $I < 0$.

Observa-se que a polaridade das fontes auxiliares V_{a1} , V_{a2} e V_{a3} é exatamente oposta à polaridade das fontes do circuito da Figura 42, onde a corrente I é positiva. De forma similar a análise realizada com o circuito da Figura 42 podem-se obter do circuito da Figura 47 as restrições descritas na Tabela 5.

Tabela 5 – Restrições Gerais.

Restrições Gerais	$\alpha > 1$	$\alpha = 1$	
		$v_{fb} = 0$	$v_{fb} = V_{zy}$
$-(V_{a1} + V_{a2}) < -v_{fb}$	$-(V_{a1} + V_{a2}) < -V_X$	$-(V_{a1} + V_{a2}) < 0$	$-(V_{a1} + V_{a2}) < -V_{zy}$
$-(V_{a1} + V_{a3}) > V_A - v_{fb}$	$-(V_{a1} + V_{a3}) > V_A - V_X$	$-(V_{a1} + V_{a3}) > V_A$	$-(V_{a1} + V_{a3}) > V_A - V_{zy}$

Aplicando-se as restrições gerais a cada uma das topologias geradas pela Tabela 1, tem-se um conjunto de restrições para cada topologia, como mostra a Tabela 6.

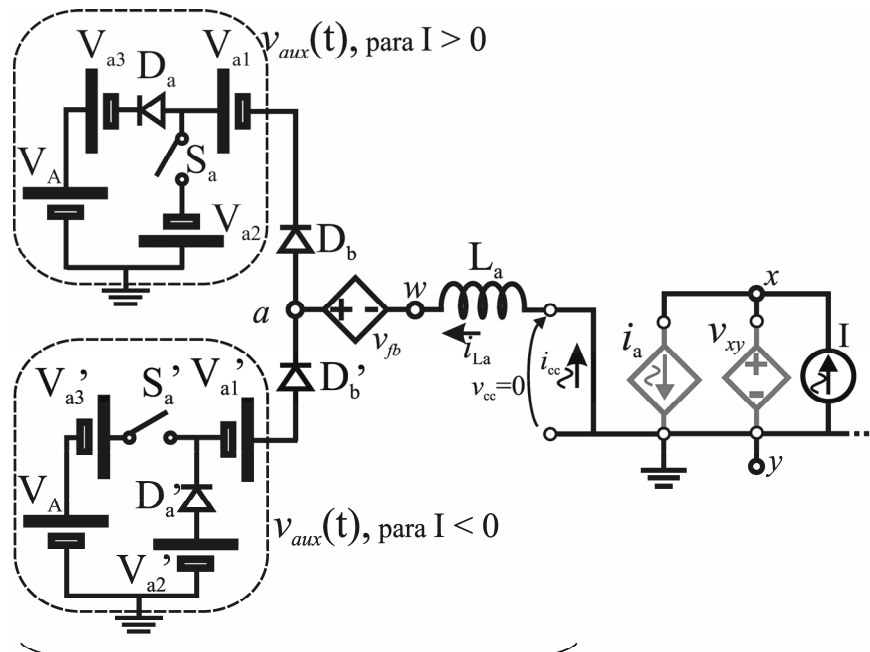
Tabela 6 – Restrições Gerais para todas as topologias.

Topologia	Fontes Auxiliares	$\alpha > 1$	$\alpha = 1$	
			$v_{fb} = 0$	$v_{fb} = V_{zy}$
1	$V_{a1} \neq 0$ $V_{a2} = V_{a3} = 0$	$-V_{a1} < -V_X$	$-V_{a1} < 0$	$-V_{a1} < -V_{zy}$
		$-V_{a1} > V_A - V_X$	$-V_{a1} > V_A$	$-V_{a1} > V_A - V_{zy}$
2	$V_{a2} \neq 0$ $V_{a1} = V_{a3} = 0$	$-V_{a2} < -V_X$	$-V_{a2} < 0$	$V_{a2} > -V_{zy}$
		-----	-----	-----
3	$V_{a1} \neq 0, V_{a2} \neq 0$ $V_{a3} = 0$	$-(V_{a1} + V_{a2}) < -V_X$	$-(V_{a1} + V_{a2}) < 0$	$-(V_{a1} + V_{a2}) < -V_{zy}$
		$-V_{a1} > V_A - V_X$	$-V_{a1} > V_A$	$-V_{a1} > V_A - V_{zy}$
4	$V_{a1} \neq 0, V_{a3} \neq 0$ $V_{a2} = 0$	$-V_{a1} < -V_X$	$-V_{a1} < 0$	$-V_{a1} < -V_{zy}$
		$-(V_{a1} + V_{a3}) > V_A - V_X$	$-(V_{a1} + V_{a3}) > V_A$	$-(V_{a1} + V_{a3}) > V_A - V_{zy}$
5	$V_{a2} \neq 0, V_{a3} \neq 0$ $V_{a1} = 0$	$-V_{a2} < -V_X$	$-V_{a2} < 0$	$-V_{a2} < -V_{zy}$
		$-V_{a3} > V_A - V_X$	$-V_{a3} > V_A$	$-V_{a3} > V_A - V_{zy}$
6	$V_{a1} \neq 0, V_{a2} \neq 0, V_{a3} \neq 0$ -----	$-(V_{a1} + V_{a2}) < -V_X$	$-(V_{a1} + V_{a2}) < 0$	$-(V_{a1} + V_{a2}) < -V_{zy}$
		$-(V_{a1} + V_{a3}) > V_A - V_X$	$-(V_{a1} + V_{a3}) > V_A$	$-(V_{a1} + V_{a3}) > V_A - V_{zy}$

Considerando-se que a tensão V_A é a tensão no barramento (V_{zy}) e que V_X é igual a metade da tensão do barramento tem-se que as restrições para cada topologia passam a ser como mostrado na Tabela 7. Para um circuito onde a corrente I é bidirecional, o circuito de controle da variável i_{cc} passa a ser como mostrado no diagrama da Figura 48.

Tabela 7 – Restrições Gerais com fonte $V_A=V_{zy}$.

Topologia	Fontes Auxiliares	$\alpha > 1$	$\alpha = 1$	
			$v_{fb} = 0$	$v_{fb} = V_{zy}$
1	$V_{a1} \neq 0$ $V_{a2} = V_{a3} = 0$	$-V_{a1} < -V_{zy}/2$	$-V_{a1} < 0$	$V_{a1} < V_{zy}$
		$-V_{a1} > V_{zy} - V_{zy}/2$	$-V_{a1} > V_{zy}$	$-V_{a1} > 0$
2	$V_{a2} \neq 0$ $V_{a1} = V_{a3} = 0$	$-V_{a2} < -V_{zy}/2$	$-V_{a2} < 0$	$V_{a2} < V_{zy}$
		-----	-----	-----
3	$V_{a1} \neq 0, V_{a2} \neq 0$ $V_{a3} = 0$	$-(V_{a1} + V_{a2}) < -V_{zy}/2$	$-(V_{a1} + V_{a2}) < 0$	$(V_{a1} + V_{a2}) < V_{zy}$
		$-V_{a1} > V_{zy} - V_{zy}/2$	$-V_{a1} > V_{zy}$	$-V_{a1} > 0$
4	$V_{a1} \neq 0, V_{a3} \neq 0$ $V_{a2} = 0$	$-V_{a1} < -V_{zy}/2$	$-V_{a1} < 0$	$V_{a1} < V_{zy}$
		$-(V_{a1} + V_{a3}) > V_{zy} - (V_{zy}/2)$	$-(V_{a1} + V_{a3}) > V_{zy}$	$-(V_{a1} + V_{a3}) > 0$
5	$V_{a2} \neq 0, V_{a3} \neq 0$ $V_{a1} = 0$	$-V_{a2} < -V_{zy}/2$	$-V_{a2} < 0$	$V_{a2} < V_{zy}$
		$-V_{a3} > V_{zy} - V_{zy}/2$	$-V_{a3} > V_{zy}$	$-V_{a3} > 0$
6	$V_{a1} \neq 0, V_{a2} \neq 0, V_{a3} \neq 0$ -----	$-(V_{a1} + V_{a2}) < -V_{zy}/2$	$-(V_{a1} + V_{a2}) < 0$	$V_{a1} + V_{a2} < V_{zy}$
		$-(V_{a1} + V_{a3}) > V_{zy} - (V_{zy}/2)$	$-(V_{a1} + V_{a3}) > V_{zy}$	$-(V_{a1} + V_{a3}) > 0$



Circuito de controle da variável i_{cc}

Figura 48 – Diagrama do inversor ZCZVT Classe A.

4.2.4 Fonte Auxiliar Descontínua utilizando Acoplamento Magnético.

As fontes de tensão auxiliares V_{a1} , V_{a2} e V_{a3} podem ser implementadas basicamente de duas formas diferentes, através de capacitores ou de elementos magnéticos como transformadores ou indutores acoplados. A primeira forma utiliza capacitores que armazenam carga suficiente para que o valor médio da tensão em seus terminais possa ser aproximado por um valor constante. Este método para obtenção de fontes de tensão com valor constante é o modo mais comum e pode ser observado em diversas aplicações, como em grampeadores de tensão, fontes auxiliares para conversores estáticos CC-CC, etc. O que caracteriza estas fontes é a necessidade de um circuito de controle da tensão, o qual tem por objetivo manter a tensão num valor pré-determinado. Este circuito de controle é, em sua forma mais simples, constituído de um diodo e um resistor. Em alguns circuitos, o circuito de controle da tensão do capacitor está integrado ao circuito do conversor [252] e, nestes casos, a operação do conversor (modulação) deve considerar a necessidade do equilíbrio da tensão no capacitor.

A segunda forma é a utilização de elementos magnéticos, como transformadores e auto-transformadores, os quais produzem em seus terminais um valor de tensão que é proveniente de uma fonte de tensão constante. A utilização de transformador e/ou autotransformador permite a inclusão de um ganho positivo ou negativo ao valor da tensão da qual se está obtendo a fonte e não é necessário o uso de circuitos de controle do valor médio da tensão. Por outro lado, os transformadores e/ou auto-transformadores requerem um caminho para que a energia acumulada nos elementos magnéticos “escoe” após sua operação, para que os elementos magnéticos não entrem em saturação e percam as suas propriedades.

Como a utilização de transformadores aparenta ser mais favorável por produzir menores perdas e complexidade, opta-se pela implementação das fontes auxiliares de tensão V_{a1} , V_{a2} e V_{a3} através do acoplamento magnético de dois ou mais enrolamentos de indutores. O circuito para a obtenção das fontes auxiliares é mostrado na Figura 49. Onde os terminais ‘ p_1 ’ e ‘ p_2 ’ representam os pontos de conexão do enrolamento primário e os terminais ‘ s_{11} ’ e ‘ s_{12} ’ representam os pontos de conexão do enrolamento secundário. No caso de existirem mais enrolamentos secundários, os terminais são definidos como sendo ‘ s_{21} ’ e ‘ s_{22} ’, ‘ s_{31} ’ e ‘ s_{32} ’, e assim sucessivamente.

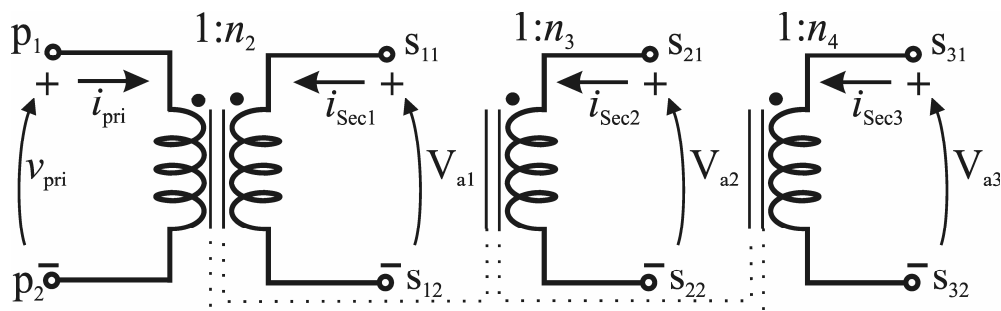


Figura 49 – Diagrama de um elemento magnético com múltiplos enrolamentos.

As diferentes conexões dos terminais do enrolamento primário do indutor acoplado junto aos terminais do circuito básico do inversor, mostrado na Figura 22, produzem diferentes topologias, as quais são listadas na Tabela 8.

Tabela 8 – Configurações de circuito para conexão do transformador (indutor acoplado).

Configurações	Conexões dos terminais do primário do transformador (indutor acoplado)								
	Conexões terminal “p2”				Conexões terminal “p1” (ponto)				
1	a	y				--	--	--	--
	b	y				--	u		
	c	y				--		x	
	d	y				--			z
2	a		u			y	--		
	b		u			--	--	--	--
	c		u				--	x	
	d		u				--		z
3	a			x		y		--	
	b			x			u	--	
	c			x		--	--	--	--
	d			x				--	z
4	a				z	y			--
	b				z		u		--
	c				z			x	--
	d				z	--	--	--	--

As conexões entre os terminais y , u e z produzem uma tensão com valores constantes nos terminais $p1$ e $p2$, conforme mostrado na Figura 50(a). Como esta tensão é sempre positiva, a desmagnetização do núcleo magnético deve ser feita por um dos enrolamentos secundários.

As conexões que envolvem o terminal x produzem uma tensão nos terminais $p1$ e $p2$ variável, conforme mostrado na Figura 50(b) e (c). Neste caso, quando o terminal $p1$ é conectado ao terminal x e $p2$ ao terminal u , a tensão V_{p1-p2} pode ser utilizada para desmagnetização do núcleo magnético, de modo que os enrolamentos secundários fiquem

sendo utilizados exclusivamente para obtenção das fontes V_{a1} , V_{a2} e V_{a3} , como mostrado na Figura 50(b).

As configurações 2c e 3b (Tabela 8) possuem estas características. Como as configurações 2c e 3b diferem somente na conexão do terminal positivo (ponto), pode-se dizer que a inversão do terminal do ponto no enrolamento secundário das topologias derivadas da configuração 2c resulta nas mesmas topologias derivadas da configuração 3b, e vice-versa.

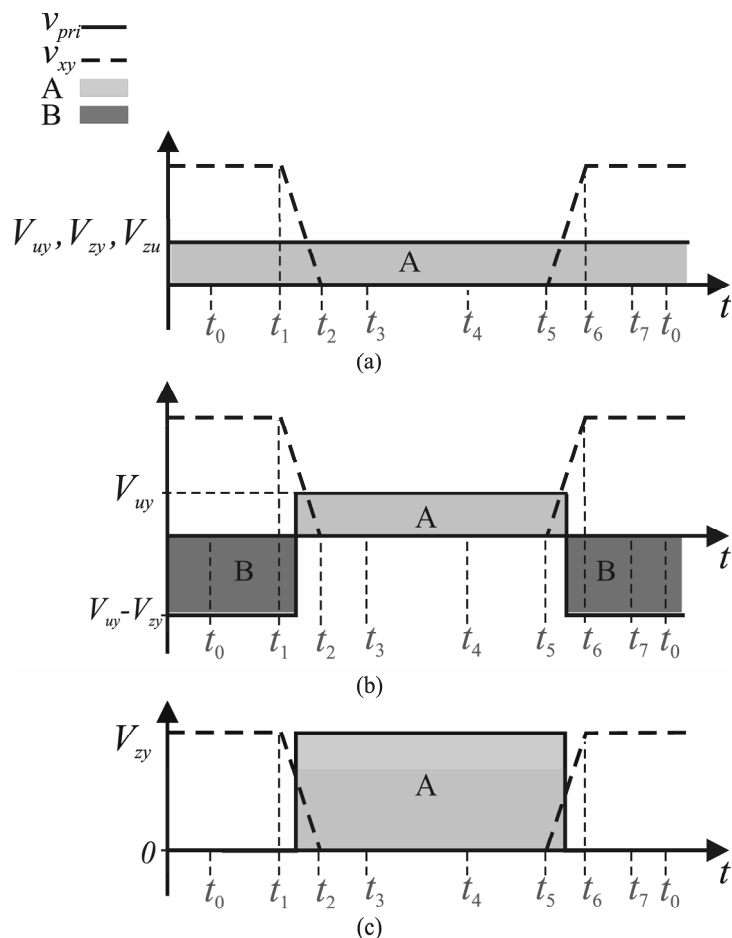


Figura 50 – Formas de onda teóricas para a tensão no enrolamento primário.

Analogamente, as configurações 2d e 3d também podem ser consideradas iguais com a inversão do ponto dos enrolamentos secundários de qualquer uma das topologias derivadas. Todavia, as configurações 2d e 3d, não garantem a desmagnetização do núcleo, uma vez que a tensão em seus terminais vai de um valor positivo (V_{zy}) para zero e de zero para o mesmo valor positivo (V_{zy}), Figura 50(c).

Considerando-se que o potencial do terminal $p1$ deve ser maior do que o potencial do terminal $p2$, pelo menos durante parte do período de operação do conversor, as conexões válidas para esta condição são mostradas na Tabela 9.

Tabela 9 – Configurações válidas para o indutor acoplado considerando-se que tensão em $p1$ é maior que a tensão em $p2$.

Configurações	Conexões dos terminais do primário do transformador (indutor acoplado)								
	Conexões terminal “p2”				Conexões terminal “p1” (ponto)				
1	<i>a</i>	<i>y</i>				--	--	--	--
	<i>b</i>	<i>y</i>				--	<i>u</i>		
	<i>c</i>	<i>y</i>				--		<i>x</i>	
	<i>d</i>	<i>y</i>				--			<i>z</i>
2	<i>a</i>		<i>u</i>			<i>y</i>	--		
	<i>b</i>		<i>u</i>			--	--	--	--
	<i>c</i>		<i>u</i>				--	<i>x</i>	
	<i>d</i>		<i>u</i>				--		<i>z</i>
3	<i>a</i>			<i>x</i>		<i>y</i>		--	
	<i>b</i>			<i>x</i>			<i>u</i>	--	
	<i>c</i>			<i>x</i>		--	--	--	--
	<i>d</i>			<i>x</i>				--	<i>z</i>
4	<i>a</i>				<i>z</i>	<i>y</i>			--
	<i>b</i>				<i>z</i>		<i>u</i>		--
	<i>c</i>				<i>z</i>			<i>x</i>	--
	<i>d</i>				<i>z</i>	--	--	--	--

A partir da Figura 50(b) e da Tabela 9 pode-se observar que as configurações 2c e 2d, representadas nos diagramas da Figura 51 (onde $p1$ é o terminal do ponto e $p2$ o terminal oposto a este), podem proporcionar características mais favoráveis pois a desmagnetização do núcleo magnético é feita diretamente pelo enrolamento primário. Além disto, como pode-se observar na Figura 51(b) o enrolamento primário encontra-se em paralelo com o indutor de filtro L. Deste modo pode-se integrar estes dois elementos num único, como mostrado na Figura 51(c).

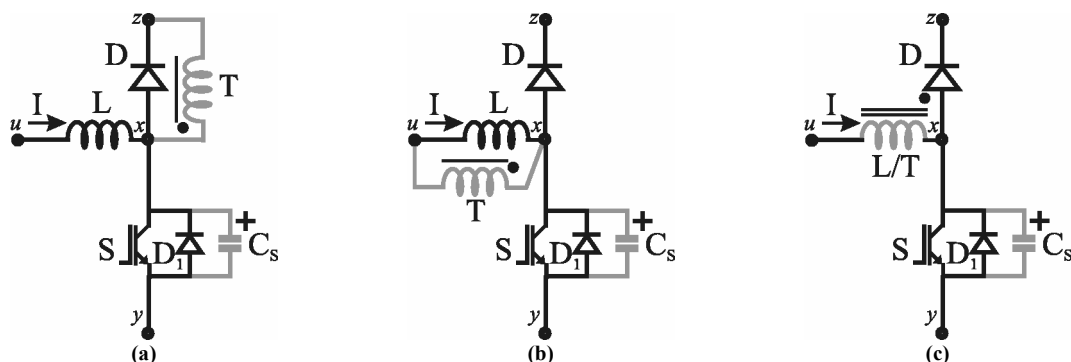


Figura 51 – Diagramas para as possíveis conexões do enrolamento primário. (a) Configuração 2d; (b) Configuração 2c; (c) Configuração 2c onde o enrolamento T esta integrado ao indutor de filtro L.

Com a conexão do enrolamento primário definida pela Figura 51(c), podem-se utilizar os seis arranjos diferentes para conexão do enrolamento ou enrolamentos

secundário(s) para geração da(s) fonte(s) auxiliares, de acordo com a Tabela 9.

As topologias derivadas utilizando-se a configuração do enrolamento primário como mostrado na Figura 51(c), para um circuito auxiliar unidirecional como o circuito do conversor boost ZCZVT são mostradas na Figura 52. Observa-se que as diferentes variações para conexão do enrolamento secundário em relação aos terminais x , y , z e u e ao indutor auxiliar L_a dão origem a seis topologias distintas, de acordo com a Figura 52.

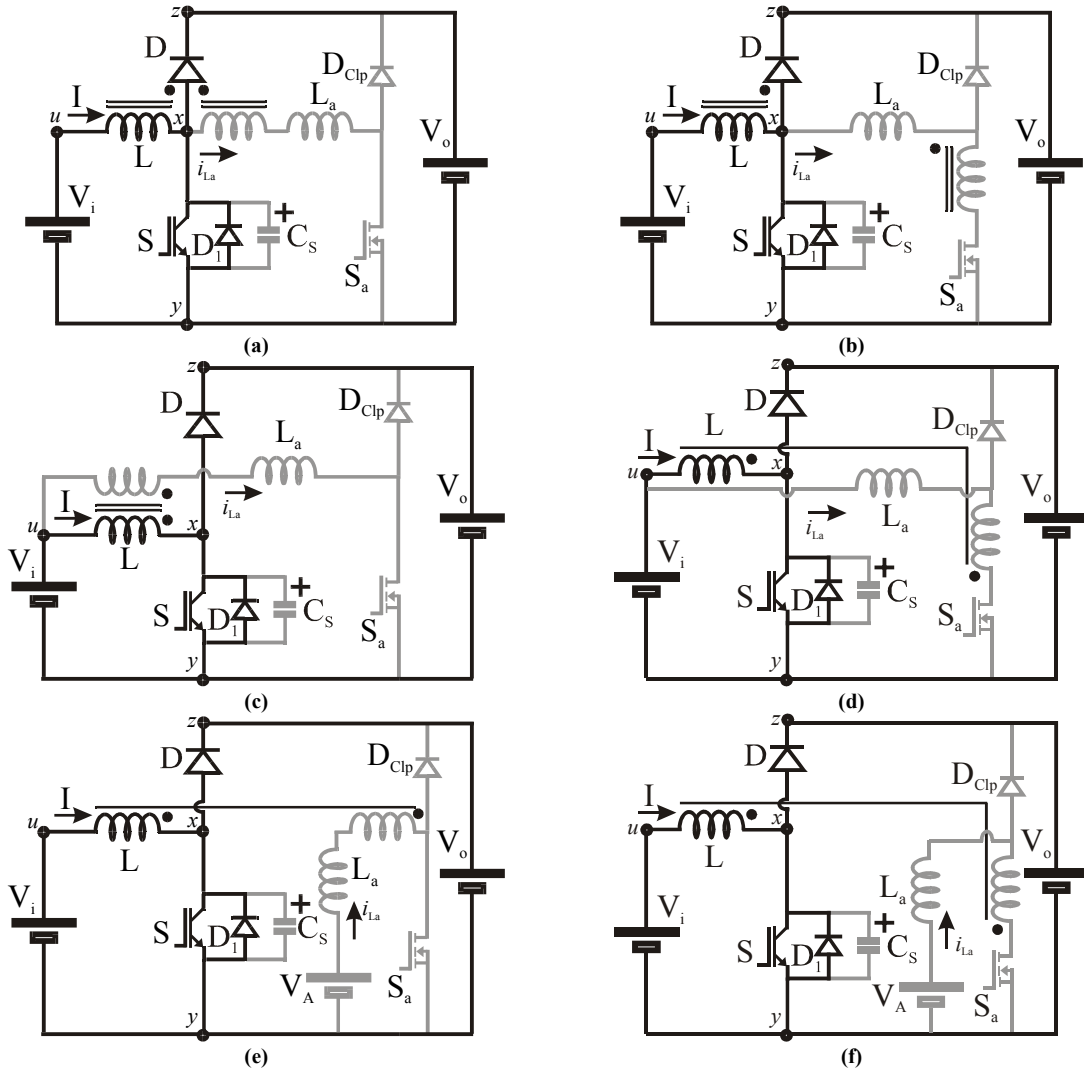


Figura 52 - Diagrama dos circuitos auxiliares unidirecionais para os novos conversores boost ZCZVT com acoplamento magnético. (a,b) Circuito auxiliar em derivação ($\alpha=1$); (c,d) Circuito auxiliar em paralelo ($\alpha>1$); (e,f) Circuito auxiliar isolado ($\alpha>1$).

4.2.5 Circuito bidirecional com enrolamento primário bipolarizado.

A utilização da conexão do enrolamento primário como mostrado no diagrama da Figura 51(c) faz com que as fontes auxiliares V_{a1} , V_{a2} e V_{a3} possuam duas polaridades, de acordo com o dispositivo semicondutor do pólo PWM bidirecional que se encontra em condução. Caso o diodo encontre-se em condução (Figura 53(a)), $v_{xy}=V_{zy}$ e $v_{p1-p2}>0$ (Figura 54(a)). Caso a chave encontre-se em condução (Figura 53(b)), $v_{xy}=0$ e $v_{p1-p2}<0$ (Figura 54

(a). Para o sentido oposto da corrente I , caso o diodo encontre-se em condução (Figura 53(c)), $v_{xy}=0$ e $v_{p1-p2}>0$ (Figura 54(b)). Caso a chave encontre-se em condução (Figura 53(d)), $v_{xy}=V_{zy}$ e $v_{p1-p2}<0$ (Figura 54(b)).

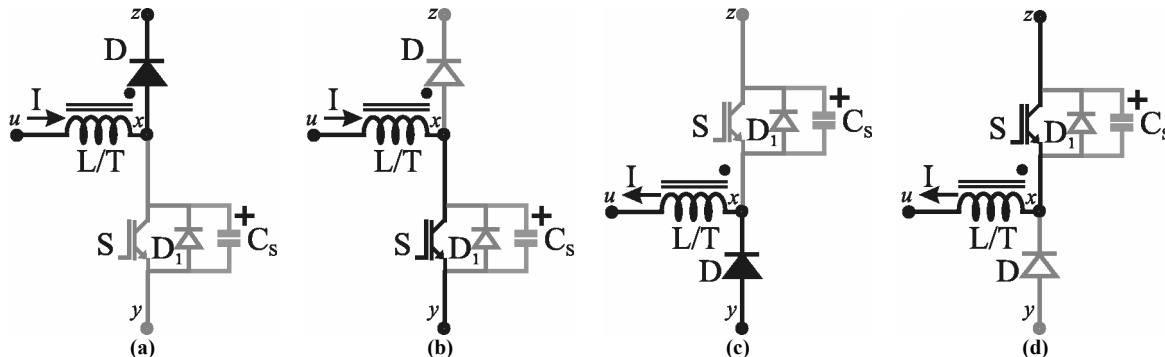


Figura 53 – Modos de operação dos semicondutores em relação à conexão do enrolamento primário entre os terminais x e u .

Como a inversão no sentido da corrente I proporciona a inversão automática da polaridade das fontes V_{a1} , V_{a2} e V_{a3} , o diagrama da Figura 48 pode ser simplificado como mostra a Figura 55.

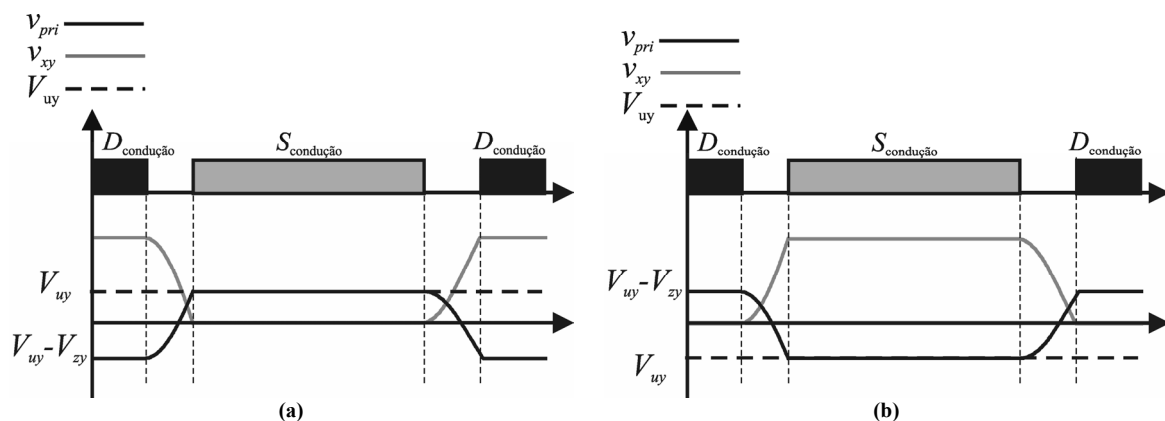


Figura 54 – Formas de onda de tensão para a conexão do enrolamento primário entre os terminais x e u .

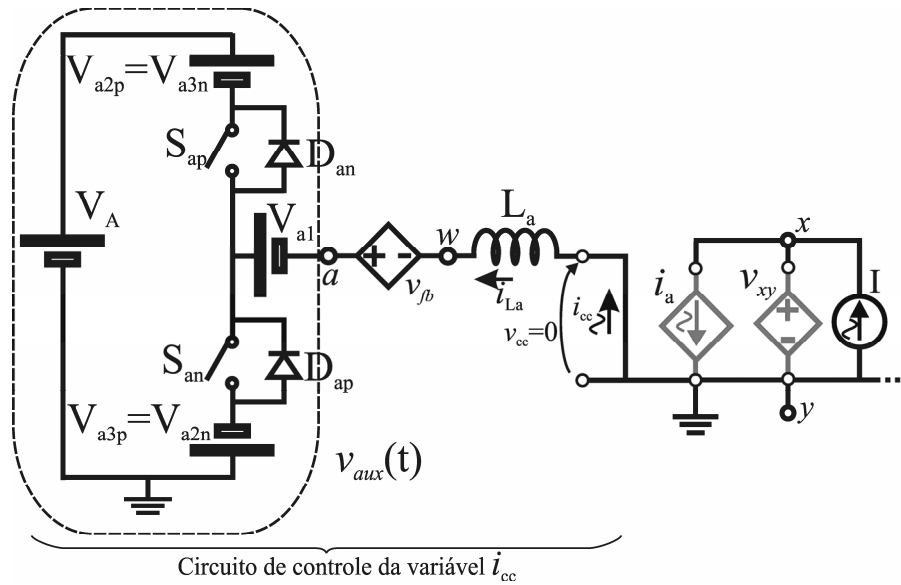


Figura 55 – Diagrama do circuito auxiliar bidirecional.

As topologias derivadas diretamente neste capítulo são mostradas na Figura 56 aplicadas em inversores.

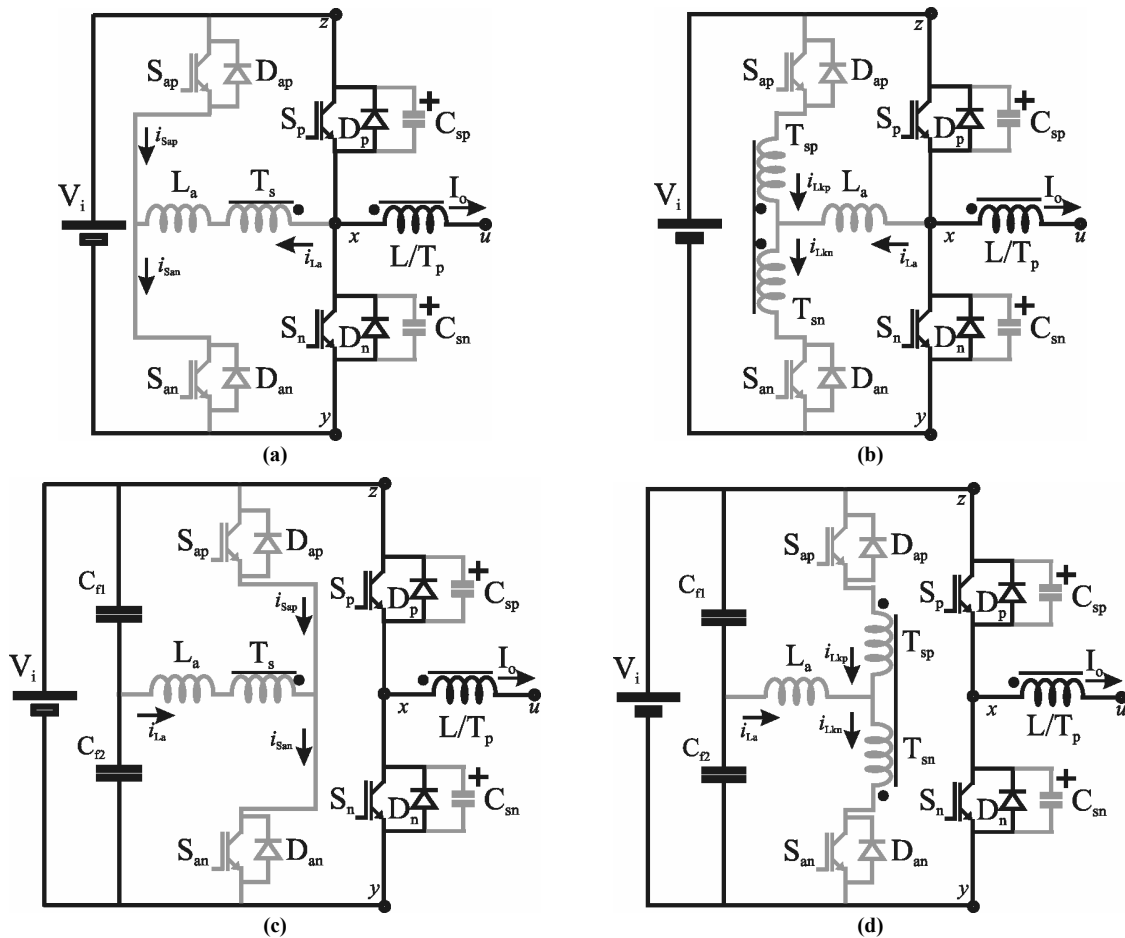


Figura 56 - Diagrama dos circuitos auxiliares bidirecionais para os novos inversores monofásicos ZCZVT com acoplamento magnético. (a,b) Circuito auxiliar em derivação ($\alpha=1$); (c,d) Circuito auxiliar isolado ($\alpha \geq 1$) com ponto central do barramento.

Os circuitos da Figura 56(a) e (b) apresentam o circuito auxiliar conectado diretamente ao terminal ‘x’ do braço do inversor e, desta forma, são denominados de “circuito auxiliar em derivação”. Como o enrolamento auxiliar do circuito mostrado na Figura 56(b) encontra-se dividido denominou-se este circuito de “circuito auxiliar em derivação com enrolamento secundário bi-partido”. Por outro lado, os circuitos da Figura 56(c) e (d) apresentam o circuito auxiliar desconectado do terminal ‘x’ do braço do inversor e, desta forma, são denominados de “circuito auxiliar isolado”. Como o enrolamento auxiliar do circuito mostrado na Figura 56(d) encontra-se dividido denominou-se este circuito de “circuito auxiliar isolado com enrolamento secundário bi-partido”.

4.3 Sumário.

Neste Capítulo foram definidos e apresentados os requisitos básicos para a operação dos conversores com transição ressonante com fonte auxiliar descontínua. Mais que isto, uma nova ferramenta de síntese de conversores com transição foi apresentada. A utilização desta ferramenta deu origem a uma nova família de conversores ZCZVT com acoplamento magnético. Deve-se salientar que a escolha de fontes auxiliares acopladas magneticamente ao indutor de filtro foi feita no intuito de simplificar o circuito auxiliar, podendo ser escolhida outra maneira para implementação das mesmas. A utilização de outras fontes auxiliares levaria a novas topologias com características semelhantes de comutação, porém com suas próprias particularidades.

Através da aplicação desta ferramenta de síntese, uma nova família de inversores ZCZVT foi derivada. Estes inversores utilizam o acoplamento magnético de um ou mais enrolamentos auxiliares com o indutor de filtro para gerar uma família de inversores ZCZVT com circuito auxiliar em derivação e, com o circuito auxiliar isolado.

CAPÍTULO 5

INVERSORES ZCZVT MONOFÁSICOS COM ACOPLAMENTO MAGNÉTICO

5.1 Introdução.

Neste Capítulo serão analisados os circuitos auxiliares bidirecionais para inversores alimentados em tensão definidos no Capítulo 4. Além da descrição das etapas de operação dos circuitos, será definido matematicamente o conjunto das principais variáveis que caracterizam os mesmos. As formas de onda são obtidas através de simulações numéricas das equações definidas num período de comutação dos semicondutores principais.

5.2 Inversores com Transição Ressonante com Fonte Auxiliar Descontínua.

Os dois circuitos auxiliares ZCZVT com fonte auxiliar (enrolamento secundário) junto ao indutor L_a analisados neste capítulo são mostrados na Figura 57. A Figura 57(a) e (c) mostra os circuitos auxiliares aplicados ao inversor meia-ponte. A Figura 57(b) e (d)

mostram os circuitos auxiliares aplicados ao inversor em ponte completa.

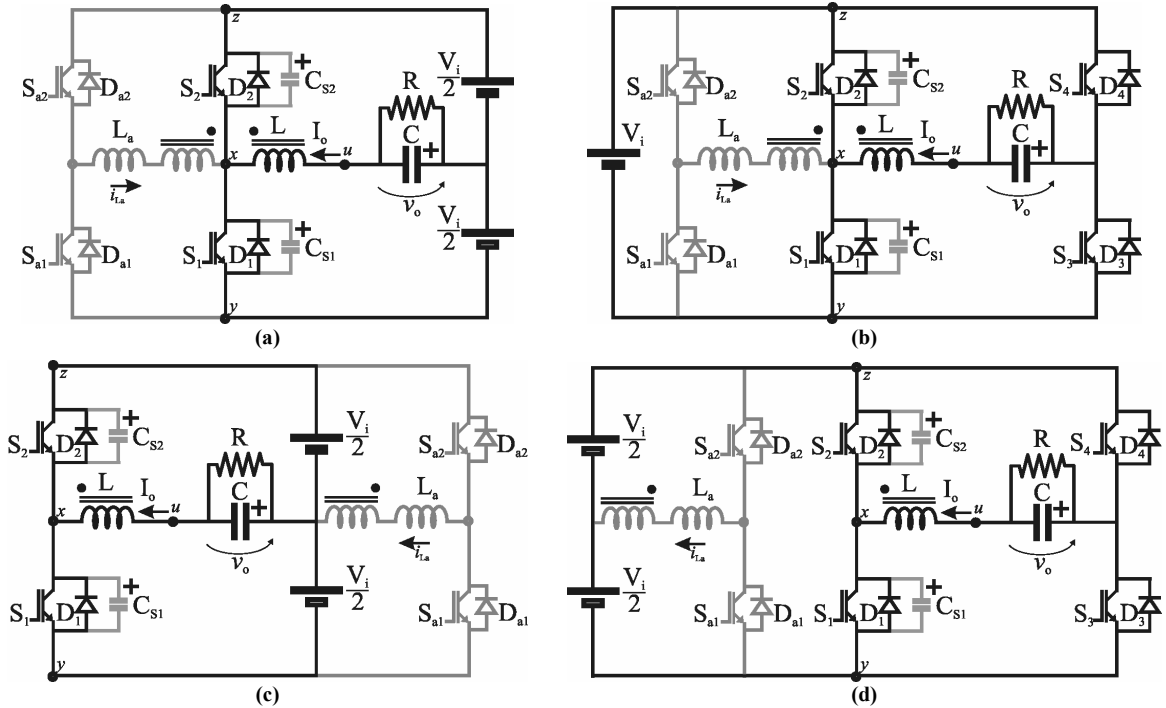


Figura 57 -Diagrama dos circuitos auxiliares bidirecionais para os novos inversores ZCZVT monofásicos com acoplamento magnético. (a) Circuito auxiliar em derivação ($\alpha=1$) aplicado ao inversor meia-ponte; (b) Circuito auxiliar em derivação ($\alpha=1$) aplicado ao inversor em ponte completa; (c) Circuito auxiliar isolado ($\alpha>1$) aplicado ao inversor meia-ponte; (d) Circuito auxiliar isolado ($\alpha>1$) aplicado ao inversor em ponte completa;

Para a análise da comutação do *inversor ZCZVT com circuito auxiliar em derivação* será utilizado o diagrama de circuito mostrado na Figura 58(a) no qual tem-se o circuito auxiliar aplicado à um braço de inversor.

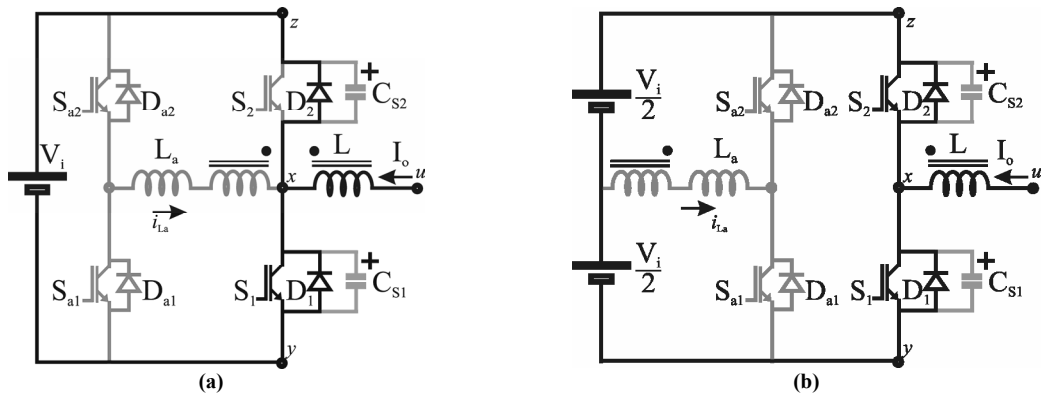


Figura 58 -Diagrama equivalente para inversor ZCZVT. (a) ZCZVT com circuito auxiliar em derivação ($\alpha=1$); (b) ZCZVT com circuito auxiliar isolado ($\alpha>1$).

De forma análoga, para a análise da comutação do *inversor ZCZVT com circuito auxiliar isolado* será utilizado diagrama de circuito mostrado na Figura 58(b), no qual o circuito auxiliar é aplicado à um braço de inversor.

Os dois circuitos auxiliares ZCZVT com fonte auxiliar (enrolamentos

secundários) junto as chaves auxiliares $S_{a1,2}$ analisados neste capítulo são mostradas na Figura 59, onde estes circuitos são aplicados nos inversores meia-ponte Figura 59(a) e (c), e em ponte completa Figura 59(b) e (d).

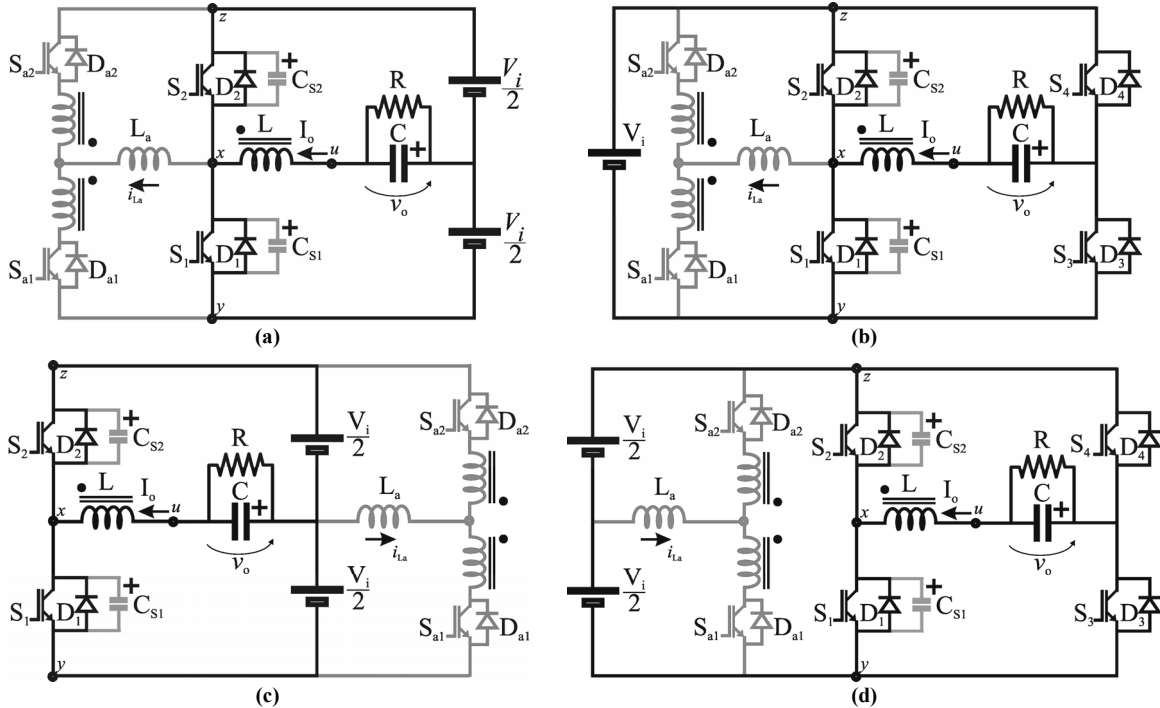


Figura 59 -Diagrama dos circuitos auxiliares bidirecionais para os novos inversores ZCZVT monofásicos com acoplamento magnético. (a) Circuito auxiliar em derivação ($\alpha=1$) aplicado ao inversor meia-ponte; (b) Circuito auxiliar em derivação ($\alpha=1$) aplicado ao inversor em ponte completa; (c) Circuito auxiliar isolado ($\alpha>1$) aplicado ao inversor meia-ponte; (d) Circuito auxiliar isolado ($\alpha>1$) aplicado ao inversor em ponte completa;

Para a análise da comutação do *inversor ZCZVT com circuito auxiliar em derivação* será utilizado o diagrama de circuito mostrado na Figura 60(a) no qual tem-se o circuito auxiliar aplicado à um braço de inversor.

Por outro lado, para a análise da comutação do *inversor ZCZVT com circuito auxiliar isolado* será utilizado diagrama de circuito mostrado na Figura 60(b) no qual tem-se o circuito auxiliar aplicado à um braço de inversor.

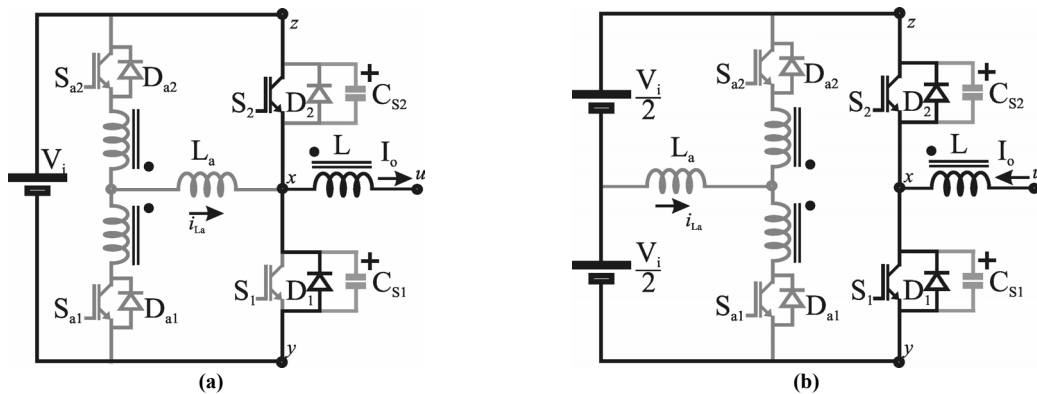


Figura 60 -Diagrama equivalente para inversor ZCZVT. (a) ZCZVT com circuito auxiliar em derivação ($\alpha=1$); (b) ZCZVT com circuito auxiliar isolado ($\alpha>1$).

5.3 *Análise Matemática dos Circuitos Auxiliares.*

Nesta Seção é feita a descrição e a análise matemática da operação do inversor ZCZVT. Para a realização da análise matemática utilizou-se como modelo para o indutor acoplado o modelo cantilever em sua representação N -port [253]. As equações presentes nesta análise foram validadas através de simulação numérica utilizando o programa matemático Matlab[®]. No intuito de simplificar as análises, considera-se que a corrente de carga I_o e a tensão de saída v_o são consideradas constante durante um período de operação do circuito dos inversores.

5.3.1 Topologia 1 (enrolamento secundário em série com indutor auxiliar).

A. Inversor ZCZVT com Circuito Auxiliar em Derivação.

Considerando-se o sentido da corrente de carga positivo observa-se que o *inversor monofásico com circuito auxiliar em derivação e fonte auxiliar junto ao indutor L_a* (Figura 58(a)) assume 12 etapas diferentes durante um período de chaveamento. Além disto, o conversor pode operar em dois modos distintos: no modo definido como MA a carga do capacitor C_{s1} (descarga do capacitor C_{s2}) é iniciada na etapa 10 e concluída na etapa 11a; no modo de operação definido como MB, a carga do capacitor C_{s1} (descarga do capacitor C_{s2}) se realiza apenas durante a etapa 10.

A descrição de cada etapa, bem como a análise das expressões matemáticas que regem a operação do circuito são apresentadas a seguir.

A.1. Processo de Entrada em condução da chave S_1 .

Etapa 1 (t_0, t_1):

Nesta etapa o circuito auxiliar é acionado (chave S_{a1} é colocada em condução) e a corrente cresce linearmente através do indutor L_a . Esta etapa acaba quando a corrente em L_a iguala-se à corrente de carga do inversor.

Com base no diagrama da Figura 61(b), as expressões que governam a operação do conversor durante esta etapa são dadas por,

$$v_{C_{s1}}(t) = V_i \quad (5.1)$$

$$v_{L_m}(t) = V_{uy} - V_i \quad (5.2)$$

$$i_{La}(t) = \frac{NV_{uy} + (1-N)V_i}{L_a} t \quad (5.3)$$

$$i_{Lm}(t) = \frac{V_{uy} - V_i}{L_m} t + i_{Lm}(t_0) \quad (5.4)$$

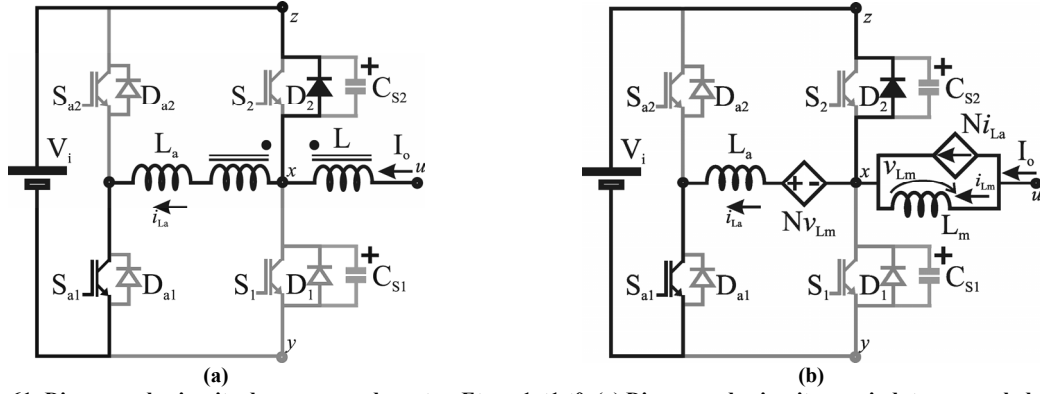


Figura 61 -Diagrama do circuito do conversor durante a Etapa 1, t_1 - t_0 . (a) Diagrama do circuito com indutores acoplados; (b) Modelo N-port cantilever.

A duração da etapa é definida pela seguinte expressão,

$$\Delta t_{E1} = t_1 - t_0 = \frac{L_m L_a (i_{Lm}(t_0))}{L_m (1-N)(NV_{uy} + V_i(1-N)) - L_a (V_{uy} - V_i)} \quad (5.5)$$

Etapa 2 (t_1, t_2):

Nesta etapa o capacitor C_{s1} descarrega (C_{s2} carrega) de forma ressonante sob o circuito auxiliar. Esta etapa acaba quando a tensão em C_{s1} atinge zero (C_{s2} igual a V_i).

Com base no diagrama da Figura 62(b), as expressões que governam a operação do conversor durante esta etapa são dadas por,

$$v_{Cs1}(t) = \left(1 - \left(\frac{\omega_a}{\omega}\right)^2\right) V_{uy} + \left[v_{Cs1}(t_1) - \left(1 - \left(\frac{\omega_a}{\omega}\right)^2\right) V_{uy} \right] \cos(\omega t) \quad (5.6)$$

$$v_{Lm}(t) = \left(\frac{\omega_a}{\omega}\right)^2 V_{uy} - \left[v_{Cs1}(t_1) - \left(1 - \left(\frac{\omega_a}{\omega}\right)^2\right) V_{uy} \right] \cos(\omega t) \quad (5.7)$$

$$i_{La}(t) = \frac{i_{Lm}(t_1) + \left(\frac{\omega_a}{\omega}\right)^2 \frac{V_{uy}}{L_m} t - \left(\frac{1}{L_m \omega} - \frac{1}{Z}\right) \left[v_{Cs1}(t_1) - \left(1 - \left(\frac{\omega_a}{\omega}\right)^2\right) V_{uy} \right] \sin(\omega t)}{(1-N)} \quad (5.8)$$

$$i_{Lm}(t) = i_{Lm}(t_1) + \left(\frac{\omega_a}{\omega}\right)^2 \frac{V_{uy}}{L_m} t + \frac{1}{L_m \omega} \left[v_{Cs1}(t_1) - \left(1 - \left(\frac{\omega_a}{\omega}\right)^2\right) V_{uy} \right] \sin(\omega t) \quad (5.9)$$

A duração da etapa é definida pela seguinte expressão,

$$\Delta t_{E2} = t_2 - t_1 = \frac{\cos^{-1} \left(- \left(1 - \left(\frac{\omega_a}{\omega} \right)^2 \right) V_{uy} / \left(V_o - \left(1 - \left(\frac{\omega_a}{\omega} \right)^2 \right) V_{uy} \right) \right)}{\omega} \quad (5.10)$$

Onde

$$\omega = \sqrt{\frac{L_a + L_m (1 - N)^2}{L_m L_a C_{eq}}} \quad (5.11)$$

$$\omega_a = \sqrt{\frac{(1 - N)}{L_a C_{eq}}} \quad (5.12)$$

$$Z = \sqrt{\frac{L_m L_a}{(L_a + L_m (1 - N)^2) C_{eq}}} \quad (5.13)$$

$$C_{eq} = C_{s1} + C_{s2} \quad (5.14)$$

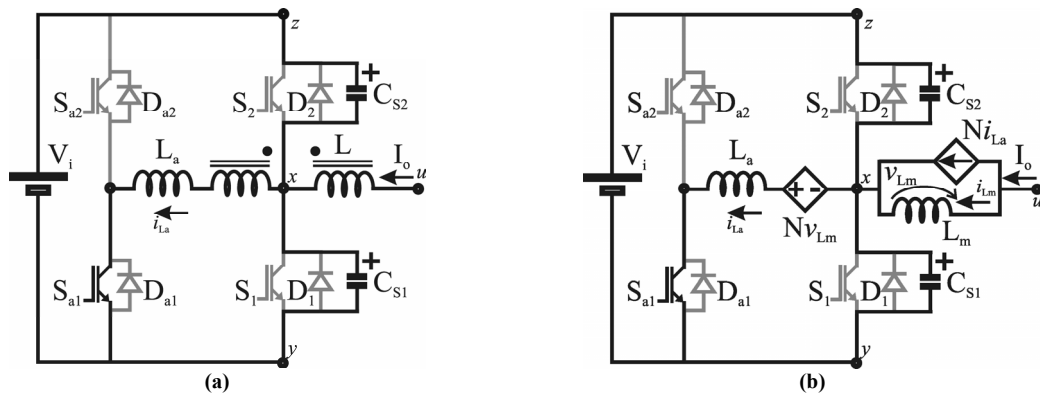


Figura 62 -Diagrama do circuito do conversor durante a Etapa 2, \$t_2-t_1\$. (a) Diagrama do circuito com indutores acoplados; (b) Modelo N-port cantilever.

Etapa 3 (\$t_2, t_3\$):

Nesta etapa o diodo anti-paralelo (\$D_1\$) da chave \$S_1\$ encontra-se em condução e, portanto, esta chave pode ser acionada sob condições de tensão e corrente nulas simultaneamente. Esta etapa chega ao fim quando a chave auxiliar \$S_{a1}\$ é bloqueada.

Com base no diagrama da Figura 63(b), as expressões que governam a operação do conversor durante esta etapa são dadas por,

$$v_{Cs1}(t) = 0 \quad (5.15)$$

$$v_{Lm}(t) = V_{uy} \quad (5.16)$$

$$i_{La}(t) = \frac{N V_{uy}}{L_a} t + i_{La}(t_2) \quad (5.17)$$

$$i_{L_m}(t) = \frac{V_{uy}}{L_m} t + i_{L_m}(t_2) \quad (5.18)$$

A duração da etapa é definida pela seguinte expressão,

$$\Delta t_{E3} = t_3 - t_2 = k_1 t_{rise} \quad (5.19)$$

Onde k_1 é uma constante arbitrária, maior que a unidade, que é utilizada para assegurar que os atrasos da chave e no circuito de acionamento (drive) sejam considerados.

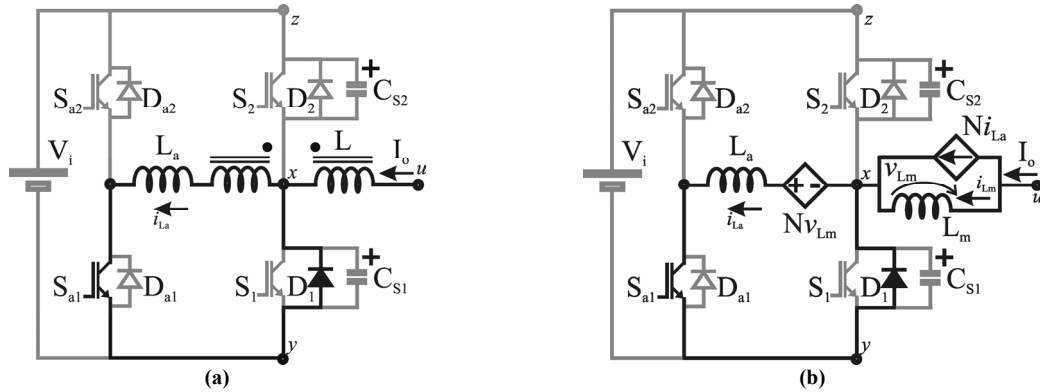


Figura 63 -Diagrama do circuito do conversor durante a Etapa 3, t_3-t_2 . (a) Diagrama do circuito com indutores acoplados; (b) Modelo *N-port* cantilever.

Etapa 4 (t_3, t_4):

Nesta etapa o diodo auxiliar D_{a2} encontra-se em condução e o indutor L_a encontra-se em processo de desmagnetização. Esta etapa chega ao seu final quando o diodo anti-paralelo D_1 é bloqueado.

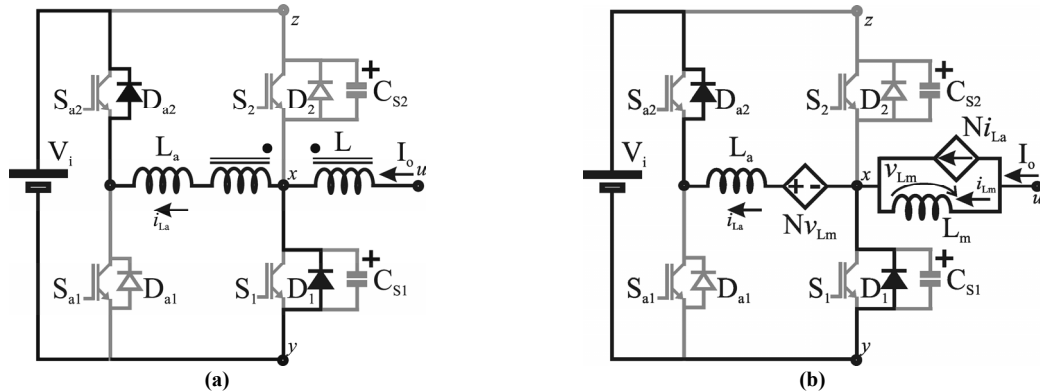


Figura 64 -Diagrama do circuito do conversor durante a Etapa 4, t_4-t_3 . (a) Diagrama do circuito com indutores acoplados; (b) Modelo *N-port* cantilever.

Com base no diagrama da Figura 64(b), as expressões que governam a operação do conversor durante esta etapa são dadas por,

$$v_{Cs1}(t) = 0 \quad (5.20)$$

$$v_{Lm}(t) = V_{uy} \quad (5.21)$$

$$i_{L_a}(t) = \frac{NV_{uy} - V_i}{L_a} t + i_{L_a}(t_3) \quad (5.22)$$

$$i_{L_m}(t) = \frac{V_{uy}}{L_m} t + i_{L_m}(t_3) \quad (5.23)$$

A duração da etapa é definida pela seguinte expressão,

$$\Delta t_{E4} = t_4 - t_3 = \frac{L_m L_a (i_{L_m}(t_3) - (1-N)i_{L_a}(t_3))}{L_m (1-N)(NV_{uy} - V_i) - L_a V_{uy}} \quad (5.24)$$

Etapa 5 (t_4, t_5):

Nesta etapa a corrente na chave principal S_1 cresce linearmente até a que esta se iguale a corrente de carga I_o .

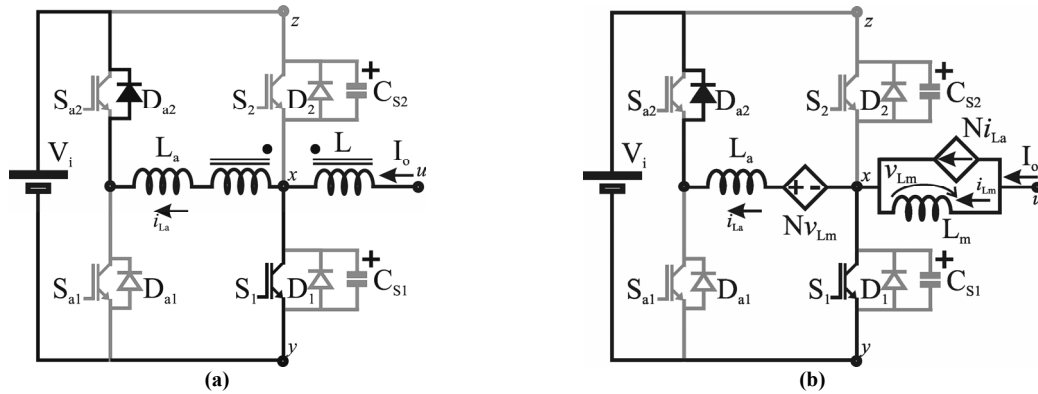


Figura 65 -Diagrama do circuito do conversor durante a Etapa 5, t_5-t_4 . (a) Diagrama do circuito com indutores acoplados; (b) Modelo N-port cantilever.

Com base no diagrama da Figura 65(b), as expressões que governam a operação do conversor durante esta etapa são dadas por,

$$v_{C_{S1}}(t) = 0 \quad (5.25)$$

$$v_{L_m}(t) = V_{uy} \quad (5.26)$$

$$i_{L_a}(t) = \frac{NV_{uy} - V_i}{L_a} t + i_{L_a}(t_4) \quad (5.27)$$

$$i_{L_m}(t) = \frac{V_{uy}}{L_m} t + i_{L_m}(t_4) \quad (5.28)$$

A duração da etapa é definida pela seguinte expressão,

$$\Delta t_{E5} = t_5 - t_4 = \frac{-L_a i_{L_a}(t_4)}{NV_{uy} - V_i} \quad (5.29)$$

Etapa 6 (t_5, t_6):

Nesta etapa a corrente no circuito auxiliar é nula e o conversor opera em modo

PWM.

Com base no diagrama da Figura 66(b), as expressões que governam a operação do conversor durante esta etapa são dadas por,

$$v_{Cs1}(t) = 0 \quad (5.30)$$

$$v_{Lm}(t) = V_{uy} \quad (5.31)$$

$$i_{La}(t) = 0 \quad (5.32)$$

$$i_{Lm}(t) = \frac{V_{uy}}{L_m} t + i_{Lm}(t_5) \quad (5.33)$$

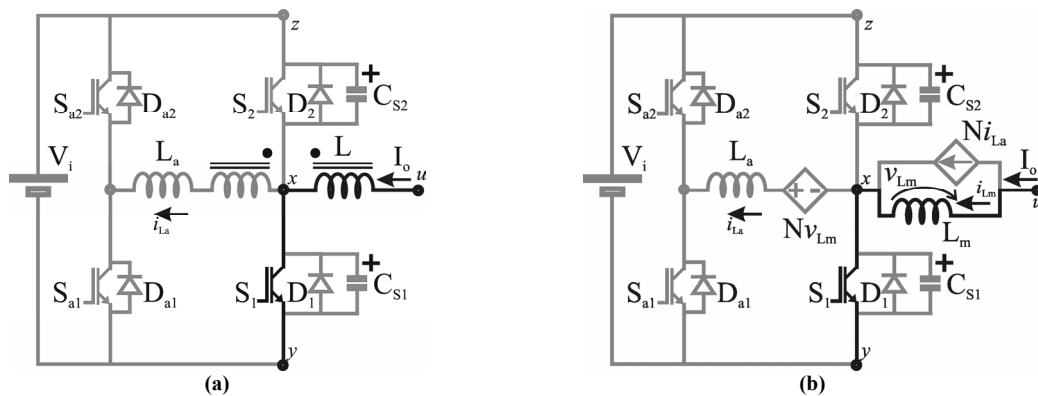


Figura 66 -Diagrama do circuito do conversor durante a Etapa 6, t_6 - t_5 . (a) Diagrama do circuito com indutores acoplados; (b) Modelo N-port cantilever.

A duração da etapa é definida pela seguinte expressão,

$$\Delta t_{E6} = t_6 - t_5 = t_{on} - (\Delta t_{E3} + \Delta t_{E4} + \Delta t_{E5} + \Delta t_{E7} + \Delta t_{E8} + \Delta t_{E9}) \quad (5.34)$$

A.2. Processo de Bloqueio da chave S₁.

Etapa 7 (t_6, t_7):

Nesta etapa inicia-se o processo de bloqueio da chave principal S₁. Assim, o circuito auxiliar é acionado (chave S_{a1} entra em condução) e a corrente cresce linearmente no indutor L_a. Esta etapa acaba quando a corrente em L_a iguala-se à corrente de carga I_o.

Com base no diagrama da Figura 67(b), as expressões que governam a operação do conversor durante esta etapa são dadas por,

$$v_{Cs1}(t) = 0 \quad (5.35)$$

$$v_{Lm}(t) = V_{uy} \quad (5.36)$$

$$i_{La}(t) = \frac{NV_{uy}}{L_a} t + i_{La}(t_6) \quad (5.37)$$

$$i_{Lm}(t) = \frac{V_{uy}}{L_m} t + i_{Lm}(t_6) \quad (5.38)$$

A duração da etapa é definida pela seguinte expressão,

$$\Delta t_{E7} = t_7 - t_6 = \frac{L_m L_a (i_{Lm}(t_6))}{L_m (1-N) N V_{uy} - L_a V_{uy}} \quad (5.39)$$

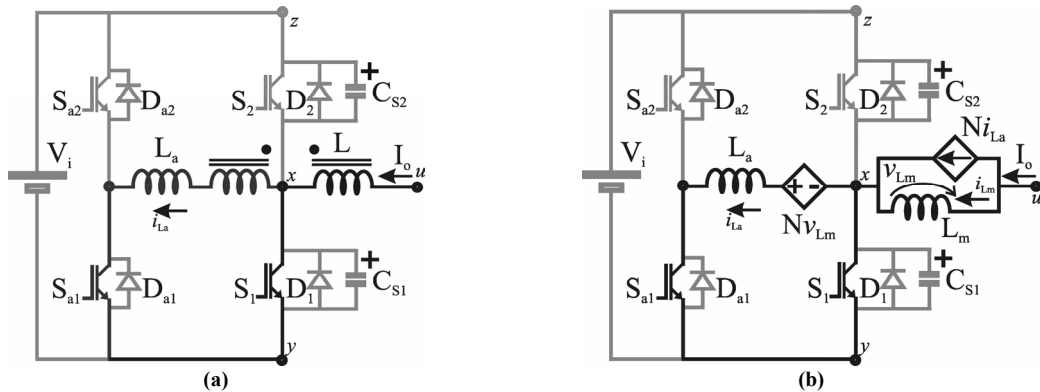


Figura 67 -Diagrama do circuito do conversor durante a Etapa 7, t_7-t_6 . (a) Diagrama do circuito com indutores acoplados; (b) Modelo N-port cantilever.

Etapa 8 (t_7, t_8):

Nesta etapa o diodo anti-paralelo (D_1) da chave principal S_1 encontra-se em condução e, portanto, esta chave pode ser desabilitada sob condições de tensão e corrente nulas simultaneamente. Esta etapa chega ao fim quando a chave auxiliar S_{a1} é bloqueada.

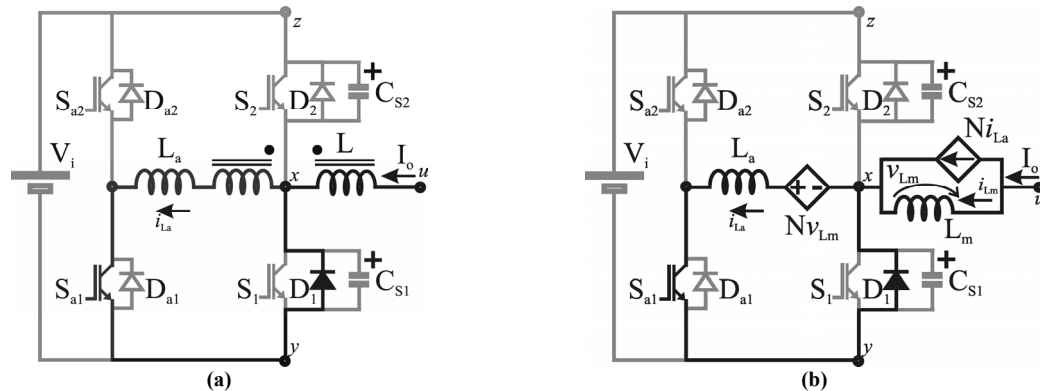


Figura 68 -Diagrama do circuito do conversor durante a Etapa 8, t_8-t_7 . (a) Diagrama do circuito com indutores acoplados; (b) Modelo N-port cantilever.

Com base no diagrama da Figura 68(b), as expressões que governam a operação do conversor durante esta etapa são dadas por,

$$v_{Cs1}(t) = 0 \quad (5.40)$$

$$v_{Lm}(t) = V_{uy} \quad (5.41)$$

$$i_{La}(t) = \frac{N V_{uy}}{L_a} t + i_{La}(t_7) \quad (5.42)$$

$$i_{L_m}(t) = \frac{V_{iy}}{L_m} t + i_{L_m}(t_7) \quad (5.43)$$

A duração da etapa é definida pela seguinte expressão,

$$\Delta t_{E8} = t_8 - t_7 = k_2 t_{fall} \quad (5.44)$$

Onde k_2 é uma constante arbitrária, maior que a unidade, que é utilizada para assegurar que os atrasos da chave e do circuito de acionamento (drive) sejam considerados.

Etapa 9 (t_8, t_9):

Nesta etapa o diodo auxiliar D_{a2} encontra-se em condução e o indutor L_a encontra-se em processo de desmagnetização. Esta etapa chega ao seu final quando o diodo anti-paralelo D_1 é bloqueado.

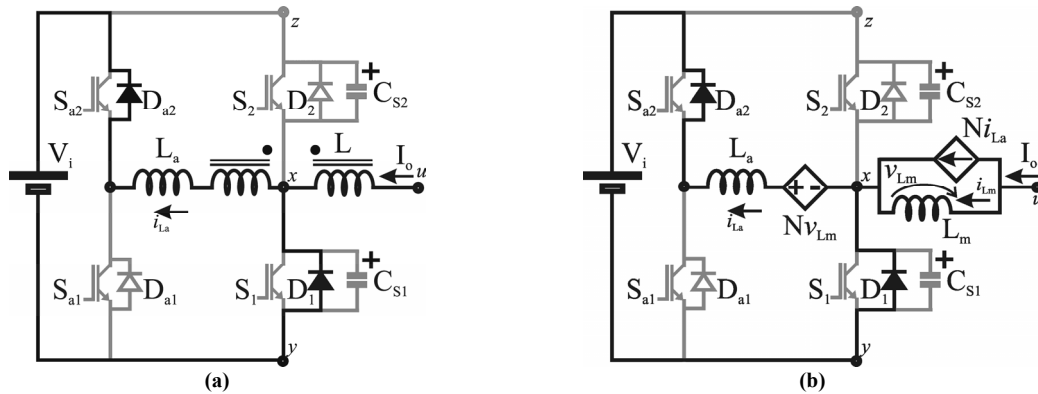


Figura 69 -Diagrama do circuito do conversor durante a Etapa 9, t_8 - t_9 . (a) Diagrama do circuito com indutores acoplados; (b) Modelo N-port cantilever.

Com base no diagrama da Figura 69(b), as expressões que governam a operação do conversor durante esta etapa são dadas por,

$$v_{C_{s1}}(t) = 0 \quad (5.45)$$

$$v_{L_m}(t) = V_{iy} \quad (5.46)$$

$$i_{L_a}(t) = \frac{NV_{iy} - V_i}{L_a} t + i_{L_a}(t_8) \quad (5.47)$$

$$i_{L_m}(t) = \frac{V_{iy}}{L_m} t + i_{L_m}(t_8) \quad (5.48)$$

A duração da etapa é definida pela seguinte expressão,

$$\Delta t_{E9} = t_9 - t_8 = \frac{L_m L_a (i_{L_m}(t_8) - (1-N)i_{L_a}(t_8))}{L_m (1-N)(NV_{iy} - V_i) - L_a V_{iy}} \quad (5.49)$$

Etapa 10 (t_9, t_{10}):

Nesta etapa o capacitor C_{s1} carrega-se (C_{s2} descarrega-se) de forma ressonante. O

término desta etapa depende da dinâmica do circuito ressonante, o qual pode fazer com que a tensão em C_{s1} atinja a tensão V_i antes que a corrente i_{La} seja zero, ou vice-versa.

Com base no diagrama da Figura 70(b), as expressões que governam a operação do conversor durante esta etapa são dadas por,

$$v_{Cs1}(t) = \left(1 - \left(\frac{\omega_a}{\omega}\right)^2\right) V_{wy} + \left(\frac{\omega_a}{\omega}\right)^2 V_i - \left[\left(1 - \left(\frac{\omega_a}{\omega}\right)^2\right) V_{wy} + \left(\frac{\omega_a}{\omega}\right)^2 V_i \right] \cos(\omega t) \quad (5.50)$$

$$v_{Lm}(t) = \left(1 - \left(\frac{\omega_a}{\omega}\right)^2\right) V_{wy} + \left(\frac{\omega_a}{\omega}\right)^2 V_i - \left[\left(1 - \left(\frac{\omega_a}{\omega}\right)^2\right) V_{wy} + \left(\frac{\omega_a}{\omega}\right)^2 V_i \right] \cos(\omega t) \quad (5.51)$$

$$i_{La}(t) = \frac{i_{Lm}(t_9) + \left(\frac{\omega_a}{\omega}\right)^2 \left(\frac{V_{wy} - V_i}{L_m}\right) t + \left(\frac{1}{\omega L_m} - \frac{1}{Z}\right) \left[\left(1 - \left(\frac{\omega_a}{\omega}\right)^2\right) V_{wy} + \left(\frac{\omega_a}{\omega}\right)^2 V_i \right] \sin(\omega t)}{(1-N)} \quad (5.52)$$

$$i_{Lm}(t) = \frac{i_{Lm}(t_9) + \left(\frac{\omega_a}{\omega}\right)^2 \left(\frac{V_{wy} - V_i}{L_m}\right) t + \left(\frac{1}{\omega L_m}\right) \left[\left(1 - \left(\frac{\omega_a}{\omega}\right)^2\right) V_{wy} + \left(\frac{\omega_a}{\omega}\right)^2 V_i \right] \sin(\omega t)}{(1-N)} \quad (5.53)$$

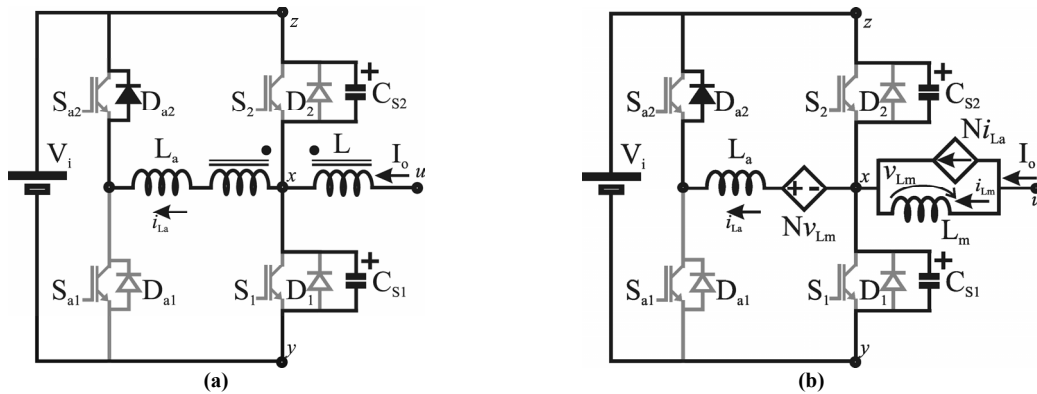


Figura 70 -Diagrama do circuito do conversor durante a Etapa 10, t_9 - t_9 . (a) Diagrama do circuito com indutores acoplados; (b) Modelo N-port cantilever.

Para o caso em que i_{La} alcança zero antes que v_{Cs1} seja igual a V_i , a duração da etapa é definida pela seguinte expressão,

$$\Delta t_{E10}(MA) = t_{10} - t_9 = \frac{\text{sen}^{-1} \left[\frac{\left(\frac{Z\omega L_m}{Z - \omega L_m}\right) \left(i_{Lm}(t_9) + \left(\frac{\omega_a}{\omega}\right)^2 \left(\frac{V_{wy} - V_i}{L_m}\right) \Delta t_{E10} \right)}{v_{Cs1}(t_9) - \left(\left(1 - \left(\frac{\omega_a}{\omega}\right)^2\right) V_{wy} + \left(\frac{\omega_a}{\omega}\right)^2 V_i \right)} \right]}{\omega} \quad (5.54)$$

Para o caso em que a tensão v_{Cs} é igual a V_0 antes que i_{La} seja nula, a duração da etapa é definida pela seguinte expressão,

$$\Delta t_{E10}(MB) = t_{10} - t_9 = \frac{\cos^{-1} \left[\frac{V_i - \left[\left(1 - \left(\frac{\omega_a}{\omega} \right) \right) V_{uy} + \left(\frac{\omega_a}{\omega} \right) V_i \right]}{- \left[\left(1 - \left(\frac{\omega_a}{\omega} \right) \right) V_{uy} + \left(\frac{\omega_a}{\omega} \right) V_i \right]} \right]}{\omega} \quad (5.55)$$

Etapa 11a (t_{10}, t_{11}):

Nesta etapa o capacitor C_{s1} carrega-se (C_{s2} descarrega-se) de forma ressonante através da indutância L_m . O termino desta etapa ocorre quando v_{Cs1} é igual a V_i .

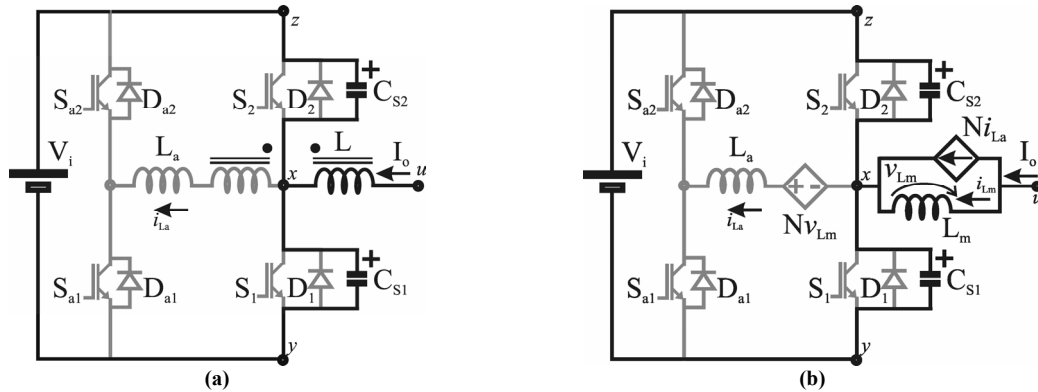


Figura 71 -Diagrama do circuito do conversor durante a Etapa 11, $t_{11}-t_{10}$. (a) Diagrama do circuito com indutores acoplados; (b) Modelo N-port cantilever.

Com base no diagrama da Figura 71(b), as expressões que governam a operação do conversor durante esta etapa são dadas por,

$$v_{Cs}(t) = V_{uy} + (v_{Cs1}(t_{10}) - V_{uy}) \text{sen}(\omega_M t) + Z_M i_{Lm}(t_{10}) \cos(\omega_M t) \quad (5.56)$$

$$v_{Lm}(t) = - \left((v_{Cs1}(t_{10}) - V_{uy}) \text{sen}(\omega_M t) + Z_M i_{Lm}(t_{10}) \cos(\omega_M t) \right) \quad (5.57)$$

$$i_{La}(t) = i_{La}(t_{10}) = 0 \quad (5.58)$$

$$i_{Lm}(t) = \left(\frac{V_{uy} - v_{Cs1}(t_{10})}{Z_M} \right) \text{sen}(\omega_M t) + i_{Lm}(t_{10}) \cos(\omega_M t) \quad (5.59)$$

Onde,

$$\omega_M = \sqrt{\frac{1}{L_a C_{eq}}} \quad (5.60)$$

$$Z_M = \sqrt{\frac{L_m}{C_{eq}}} \quad (5.61)$$

A duração da etapa é definida pela seguinte expressão,

$$\Delta t_{E11} = t_{11} - t_{10} = \frac{\text{sen}^{-1} \left[\left(\frac{V_i - V_{uy}}{Z_M i_{Lm}(t_{10})} \right) + \left(\frac{V_{uy} - v_{Cs1}(t_{10})}{Z_M i_{Lm}(t_{10})} \right) \cos(\omega_M \Delta t_{E11}) \right]}{\omega_M} \quad (5.62)$$

Etapa 11b (t_{10}, t_{11}):

Nesta etapa o indutor L_a desmagnetiza-se linearmente até que a corrente através do mesmo seja igual a zero.

Com base no diagrama da Figura 72(b), as expressões que governam a operação do conversor durante esta etapa são dadas por,

$$v_{Cs1}(t) = V_i \quad (5.63)$$

$$v_{Lm}(t) = V_{uy} - V_i \quad (5.64)$$

$$i_{La}(t) = \frac{N(V_{uy} - V_i)}{L_a} t + i_{La}(t_{10}) \quad (5.65)$$

$$i_{Lm}(t) = \left(\frac{V_{uy} - V_i}{L_m} \right) t + i_{Lm}(t_{10}) \quad (5.66)$$

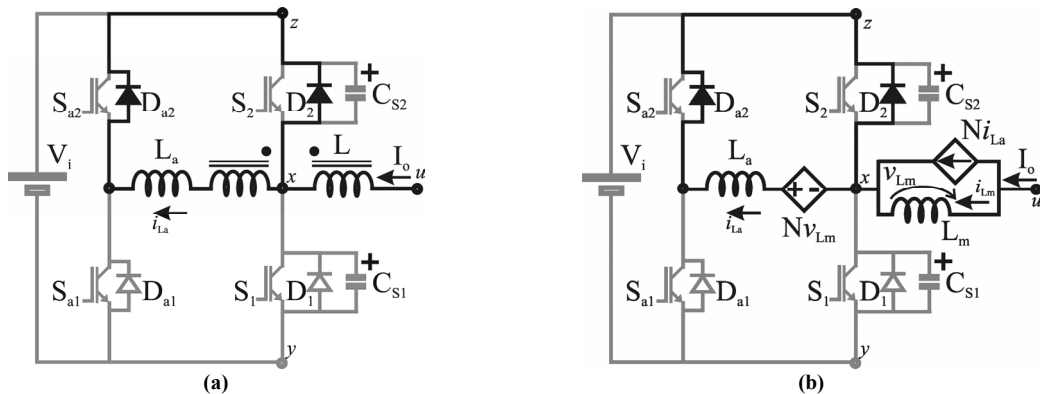


Figura 72 -Diagrama do circuito do conversor durante a Etapa 11, $t_{11}-t_{10}$. (a) Diagrama do circuito com indutores acoplados; (b) Modelo N-port cantilever.

A duração da etapa é definida pela seguinte expressão,

$$\Delta t_{E11} = t_{11} - t_{10} = \frac{-L_a i_{La}(t_{10})}{N(V_{uy} - V_i)} \quad (5.67)$$

Etapa 12 (t_{11}, t_0):

Nesta etapa a corrente no circuito auxiliar é nula e o conversor opera em modo PWM.

Com base no diagrama da Figura 73(b), as expressões que governam a operação do conversor durante esta etapa são dadas por,

$$v_{Cs1}(t) = V_i \quad (5.68)$$

$$v_{Lm}(t) = V_{uy} - V_i \tag{5.69}$$

$$i_{La}(t) = 0 \tag{5.70}$$

$$i_{Lm}(t) = \frac{V_{uy} - V_i}{L_m} t + i_{Lm}(t_{11}) \tag{5.71}$$

A duração da etapa é definida pela seguinte expressão,

$$\Delta t_{E12} = t_0 - t_{11} = t_{off} = T - \Delta t_{E6} = T - (t_{on} - (\Delta t_{E3} + \Delta t_{E4} + \Delta t_{E5} + \Delta t_{E7} + \Delta t_{E8} + \Delta t_{E9})) \tag{5.72}$$

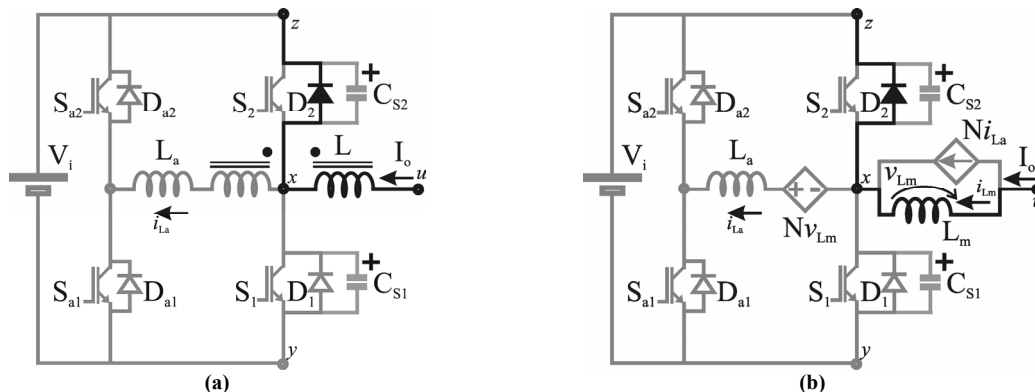


Figura 73 -Diagrama do circuito do conversor durante a Etapa 12, t_0-t_{11} . (a) Diagrama do circuito com indutores acoplados; (b) Modelo N-port cantilever.

As principais formas de onda teóricas para um período de chaveamento do inversor são mostradas na Figura 74.

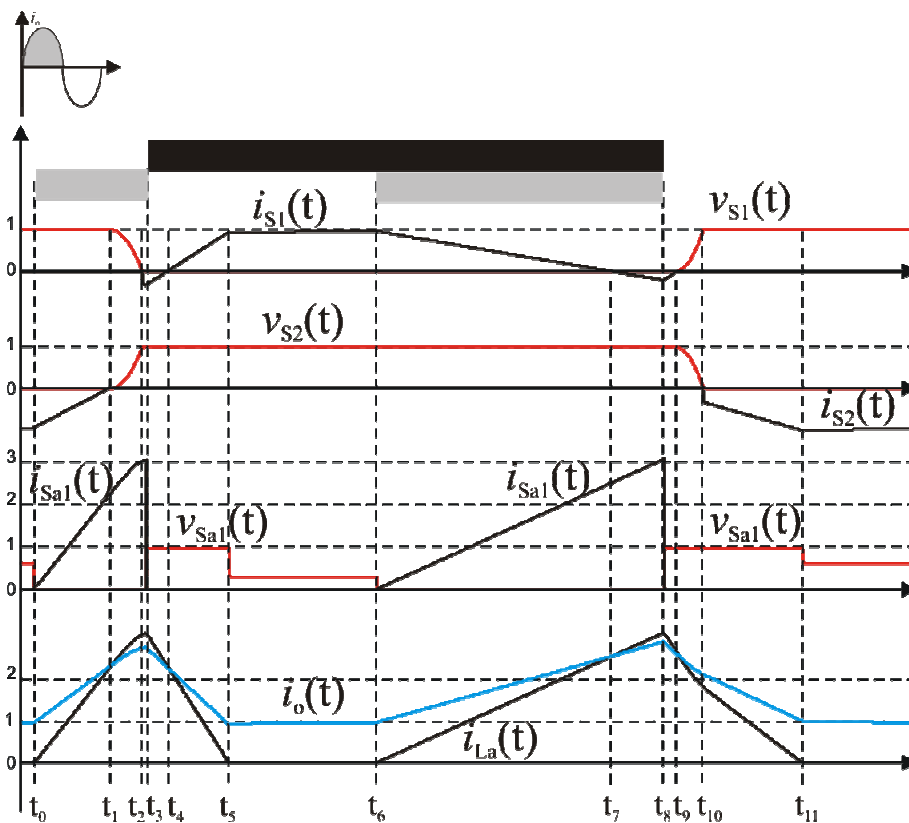


Figura 74 – Principais formas de onda teóricas do inversor ZCZVT monofásico com circuito auxiliar em derivação.

B. Inversor ZCZVT com Circuito Auxiliar Isolado.

O inversor monofásico com circuito auxiliar isolado e fonte auxiliar junto ao indutor L_a (Figura 58(b)) assume 12 etapas diferentes durante um período de chaveamento. Além disso, o conversor pode operar em dois modos distintos: no modo MA a carga do capacitor C_s é iniciada na etapa 10 e concluída na etapa 11a; no modo MB, a carga do capacitor C_s se realiza apenas durante a etapa 10.

A descrição de cada etapa bem como a análise das expressões matemáticas que rejeem a operação do circuito são apresentadas a seguir.

B.1. Processo de Entrada em condução da chave S_1 .

Etapa 1 (t_0, t_1):

Nesta etapa o circuito auxiliar é acionado (chave S_{a1} entra em condução) e a corrente cresce linearmente no indutor L_a . Esta etapa acaba quando a corrente em L_a iguala-se a corrente de carga do inversor I_o .

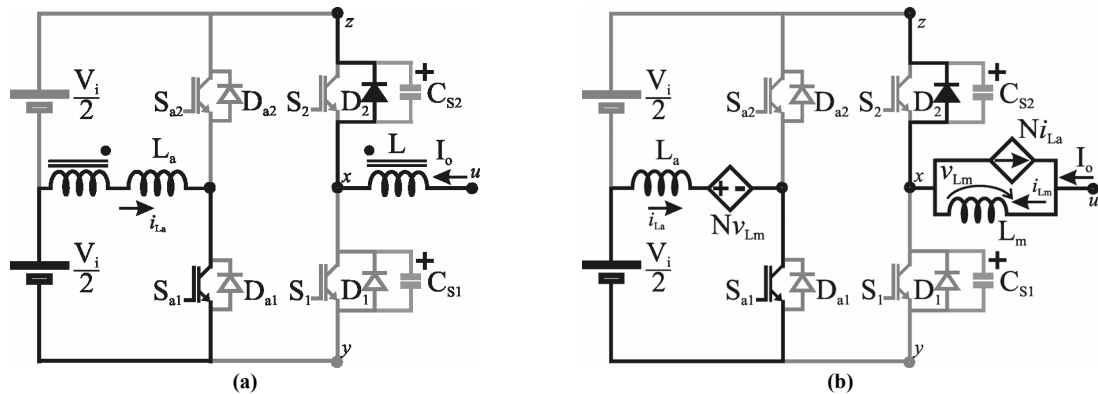


Figura 75 - Diagrama do circuito do conversor durante a Etapa 1, t_1-t_0 . (a) Diagrama do circuito com indutores acoplados; (b) Modelo N-port cantilever.

Com base no diagrama da Figura 75(b), as expressões que governam a operação do conversor durante esta etapa são dadas por,

$$v_{Cs1}(t) = V_i \quad (5.73)$$

$$v_{Lm}(t) = V_{uy} - V_i \quad (5.74)$$

$$i_{La}(t) = \frac{V_i - N(V_{uy} - V_i)}{L_a} t \quad (5.75)$$

$$i_{Lm}(t) = \frac{V_{uy} - V_i}{L_m} t + i_{Lm}(t_0) \quad (5.76)$$

A duração da etapa é definida pela seguinte expressão,

$$\Delta t_{E1} = t_1 - t_0 = \frac{-L_m L_a (i_{Lm}(t_0))}{L_a (V_{uy} - V_i) - L_m \left(\frac{V_i}{2} - N (V_{uy} - V_i) \right)} \quad (5.77)$$

Etapa 2 (t_1, t_2):

Nesta etapa o capacitor C_{s1} descarrega (C_{s2} carrega) de forma ressonante sob o circuito auxiliar. Esta etapa acaba quando a tensão em C_{s1} atinge zero (C_{s2} igual a V_i).

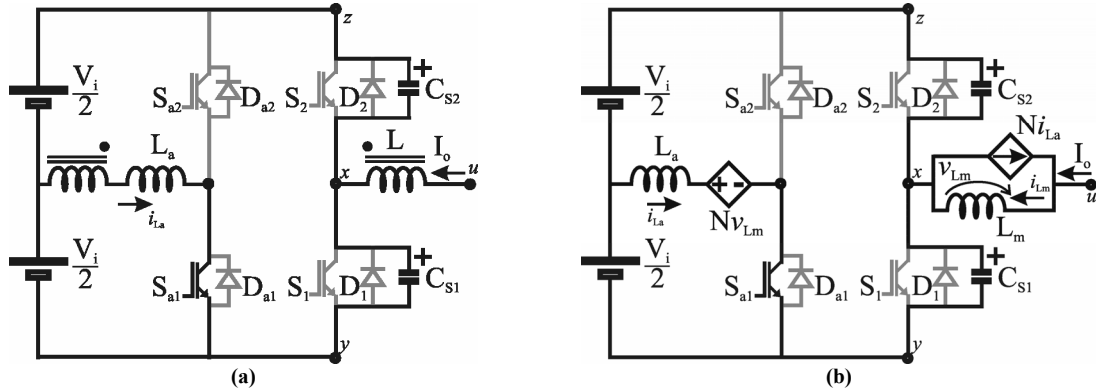


Figura 76 - Diagrama do circuito do conversor durante a Etapa 2, t_2-t_1 . (a) Diagrama do circuito com indutores acoplados; (b) Modelo N-port cantilever.

Com base no diagrama da Figura 76(b), a expressões que governam a operação do conversor durante esta etapa são dadas por,

$$v_{Cs1}(t) = V_{uy} - \left(\frac{\omega_{a2}}{\omega} \right)^2 \frac{V_i}{2} + \left[v_{Cs1}(t_1) - \left(V_{uy} - \left(\frac{\omega_{a2}}{\omega} \right)^2 \frac{V_i}{2} \right) \right] \cos(\omega t) \quad (5.78)$$

$$v_{Lm}(t) = \left(\frac{\omega_{a2}}{\omega} \right)^2 \frac{V_i}{2} - \left[v_{Cs1}(t_1) - \left(V_{uy} - \left(\frac{\omega_{a2}}{\omega} \right)^2 \frac{V_i}{2} \right) \right] \cos(\omega t) \quad (5.79)$$

$$i_{La}(t) = i_{La}(t_1) + \left[\left(1 - N \left(\frac{\omega_{a2}}{\omega} \right)^2 \right) \frac{V_i}{2L_a} t - \left(\frac{N}{\omega L_a} \right) \left[v_{Cs1}(t_1) - \left(V_{uy} - \left(\frac{\omega_{a2}}{\omega} \right)^2 \frac{V_i}{2} \right) \right] \right] \sin(\omega t) \quad (5.80)$$

$$i_{Lm}(t) = i_{Lm}(t_1) + \left(\frac{\omega_{a2}}{\omega} \right)^2 \frac{V_i}{2L_m} t - \frac{1}{\omega L_m} \left[v_{Cs1}(t_1) - \left(V_{uy} - \left(\frac{\omega_{a2}}{\omega} \right)^2 \frac{V_i}{2} \right) \right] \sin(\omega t) \quad (5.81)$$

A duração da etapa é definida pela seguinte expressão,

$$\Delta t_{E2} = t_2 - t_1 = \frac{\cos^{-1} \left(- \left(V_{uy} - \left(\frac{\omega_{a2}}{\omega} \right)^2 \frac{V_i}{2} \right) / \left(V_i - \left(V_{uy} - \left(\frac{\omega_{a2}}{\omega} \right)^2 \frac{V_i}{2} \right) \right) \right)}{\omega} \quad (5.82)$$

Onde

$$\omega = \sqrt{\frac{L_a + L_m N^2}{L_m L_a C_{eq}}} \quad (5.83)$$

$$\omega_{a2} = \sqrt{\frac{N}{L_a C_{eq}}} \quad (5.84)$$

$$Z = \sqrt{\frac{L_m L_a}{(L_a + L_m N^2) C_{eq}}} \quad (5.85)$$

Etapa 3 (t_2, t_3):

Nesta etapa o diodo anti-paralelo (D_1) da chave S_1 encontra-se em condução e, portanto, esta chave pode ser acionada sob condições de tensão e corrente nulas simultaneamente. Esta etapa chega ao fim quando a chave auxiliar é bloqueada.

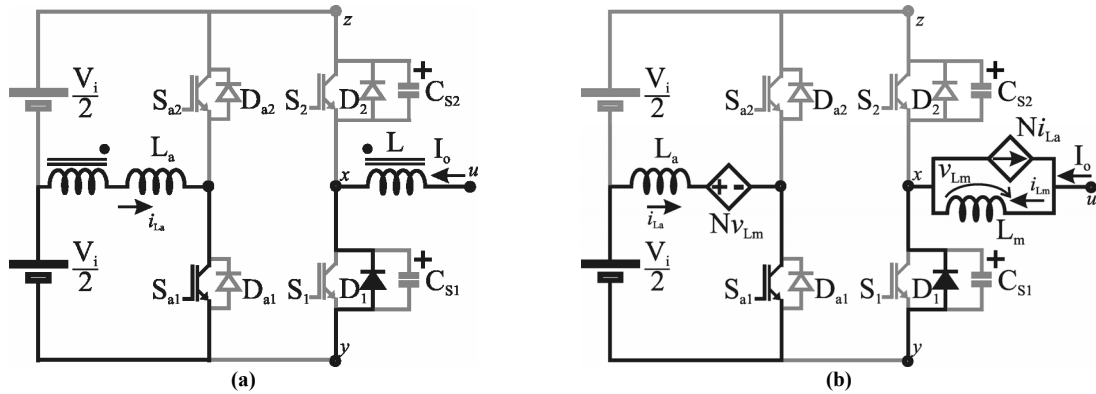


Figura 77 - Diagrama do circuito do conversor durante a Etapa 3, t_3-t_2 . (a) Diagrama do circuito com indutores acoplados; (b) Modelo N-port cantilever.

Com base no diagrama da Figura 77(b), as expressões que governam a operação do conversor durante esta etapa são dadas por,

$$v_{Cs1}(t) = 0 \quad (5.86)$$

$$v_{Lm}(t) = V_{uy} \quad (5.87)$$

$$i_{La}(t) = \frac{V_i - NV_{uy}}{2L_a} t + i_{La}(t_2) \quad (5.88)$$

$$i_{Lm}(t) = \frac{V_{uy}}{L_m} t + i_{Lm}(t_2) \quad (5.89)$$

A duração da etapa é definida pela seguinte expressão,

$$\Delta t_{E3} = t_3 - t_2 = k_1 t_{rise} \quad (5.90)$$

Etapa 4 (t_3, t_4):

Nesta etapa o diodo auxiliar D_{a2} encontra-se em condução e o indutor L_a encontra-

se em processo de desmagnetização. Esta etapa chega ao seu final quando o diodo anti-paralelo D_1 é bloqueado.

Com base no diagrama da Figura 78(b), as expressões que governam a operação do conversor durante esta etapa são dadas por,

$$v_{Cs1}(t) = 0 \quad (5.91)$$

$$v_{Lm}(t) = V_{uy} \quad (5.92)$$

$$i_{La}(t) = \frac{V_i - NV_{uy} - V_i}{L_a} t + i_{La}(t_3) \quad (5.93)$$

$$i_{Lm}(t) = \frac{V_{uy}}{L_m} t + i_{Lm}(t_3) \quad (5.94)$$

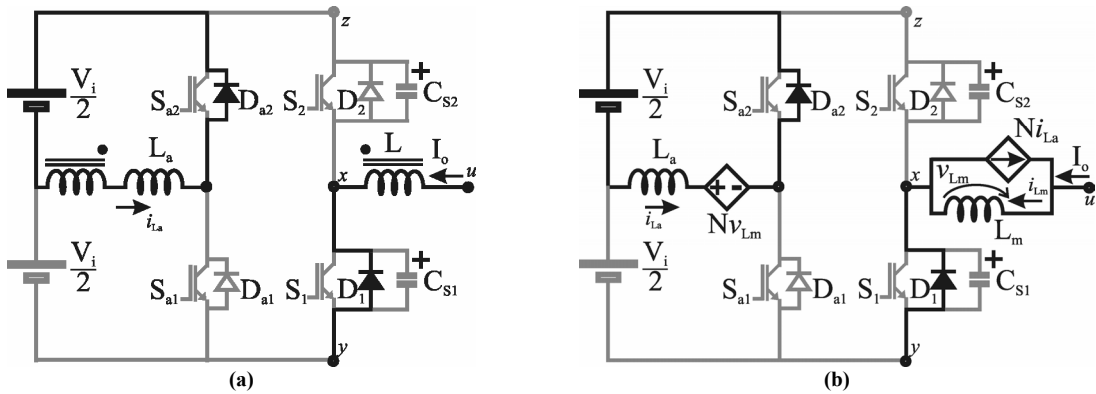


Figura 78 - Diagrama do circuito do conversor durante a Etapa 4, t_4-t_3 . (a) Diagrama do circuito com indutores acoplados; (b) Modelo N-port cantilever.

A duração da etapa é definida pela seguinte expressão,

$$\Delta t_{E4} = t_4 - t_3 = \frac{L_m L_a (i_{La}(t_3) - i_{Lm}(t_3))}{L_a V_{uy} - L_m \left(\frac{V_i}{2} - NV_{uy} - V_i \right)} \quad (5.95)$$

Etapa 5 (t_4, t_5):

Nesta etapa a corrente na chave principal S_1 cresce linearmente até que esta se iguale a corrente de carga I_o .

Com base no diagrama da Figura 79(b), as expressões que governam a operação do conversor durante esta etapa são dadas por,

$$v_{Cs1}(t) = 0 \quad (5.96)$$

$$v_{Lm}(t) = V_{uy} \quad (5.97)$$

$$i_{La}(t) = \frac{V_i - NV_{uy} - V_i}{L_a} t + i_{La}(t_4) \quad (5.98)$$

$$i_{Lm}(t) = \frac{V_{uy}}{L_m} t + i_{Lm}(t_4) \quad (5.99)$$

A duração da etapa é definida pela seguinte expressão,

$$\Delta t_{E5} = t_5 - t_4 = \frac{-L_a i_{La}(t_4)}{\frac{V_i}{2} - NV_{uy} - V_i} \quad (5.100)$$

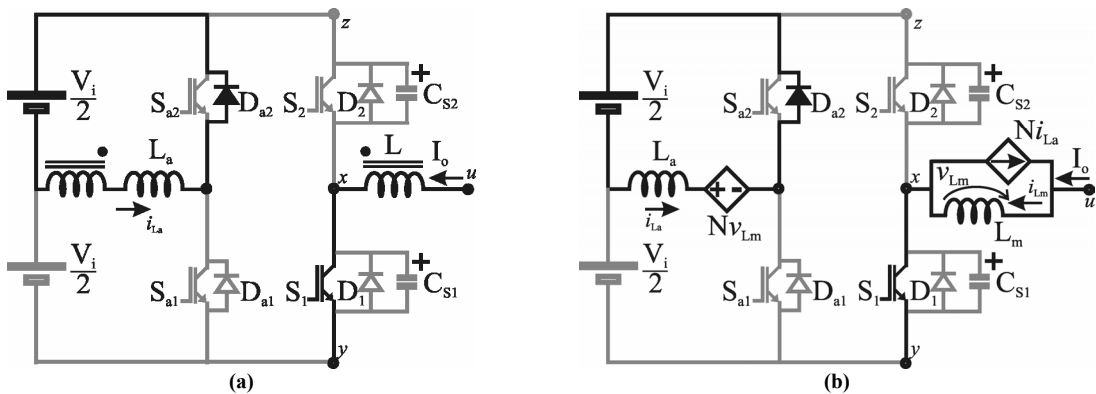


Figura 79 - Diagrama do circuito do conversor durante a Etapa 5, t_5-t_4 . (a) Diagrama do circuito com indutores acoplados; (b) Modelo N-port cantilever.

Etapa 6 (t_5, t_6):

Nesta etapa a corrente no circuito auxiliar é nula e o conversor opera em modo PWM.

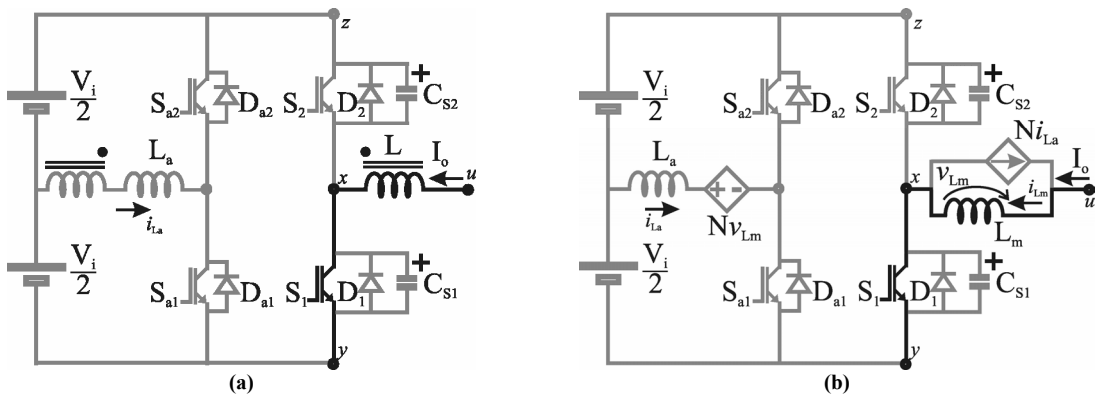


Figura 80 - Diagrama do circuito do conversor durante a Etapa 6, t_6-t_5 . (a) Diagrama do circuito com indutores acoplados; (b) Modelo N-port cantilever.

Com base no diagrama da Figura 80(b), as expressões que governam a operação do conversor durante esta etapa são dadas por,

$$v_{Cs1}(t) = 0 \quad (5.101)$$

$$v_{Lm}(t) = V_{uy} \quad (5.102)$$

$$i_{La}(t) = 0 \quad (5.103)$$

$$i_{Lm}(t) = \frac{V_{uy}}{L_m} t + i_{Lm}(t_5) \quad (5.104)$$

A duração da etapa é definida pela seguinte expressão,

$$\Delta t_{E6} = t_6 - t_5 = t_{on} - (\Delta t_{E3} + \Delta t_{E4} + \Delta t_{E5} + \Delta t_{E7} + \Delta t_{E8}) \quad (5.105)$$

B.2. Processo de Bloqueio da chave S_1 .

Etapa 7 (t_6, t_7):

Nesta etapa inicia-se o processo de bloqueio da chave S_1 . A chave S_{a1} é acionada e a corrente cresce linearmente no indutor L_a . Esta etapa acaba quando a corrente em L_a iguala-se a corrente de carga I_o .

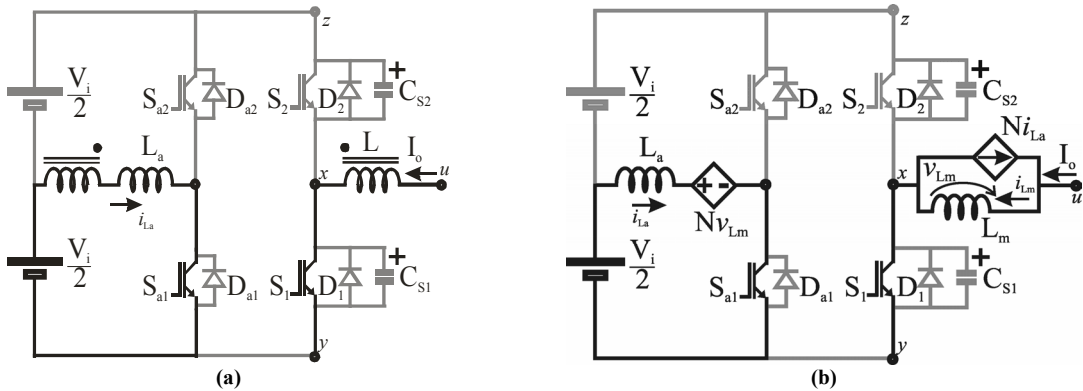


Figura 81 - Diagrama do circuito do conversor durante a Etapa 7, t_7-t_6 . (a) Diagrama do circuito com indutores acoplados; (b) Modelo N-port cantilever.

Com base no diagrama da Figura 81(b), as expressões que governam a operação do conversor durante esta etapa são dadas por,

$$v_{Cs1}(t) = 0 \quad (5.106)$$

$$v_{Lm}(t) = V_{uy} \quad (5.107)$$

$$i_{La}(t) = \frac{V_i - NV_{uy}}{L_a} t + i_{La}(t_6) \quad (5.108)$$

$$i_{Lm}(t) = \frac{V_{uy}}{L_m} t + i_{Lm}(t_6) \quad (5.109)$$

A duração da etapa é definida pela seguinte expressão,

$$\Delta t_{E7} = t_7 - t_6 = \frac{L_m L_a (i_{La}(t_6) - i_{Lm}(t_6))}{L_a V_{uy} - L_m \left(\frac{V_i}{2} - N V_{uy} \right)} \quad (5.110)$$

Etapa 8 (t_7, t_8):

Nesta etapa o diodo anti-paralelo D_1 encontra-se em condução e, portanto, a chave S_1 pode ser desabilitada sob condições de tensão e corrente nulas simultaneamente. Esta etapa chega ao fim quando a chave auxiliar é bloqueada.

Com base no diagrama da Figura 82(b), as expressões que governam a operação do conversor durante esta etapa são dadas por,

$$v_{Cs1}(t) = 0 \quad (5.111)$$

$$v_{Lm}(t) = V_{uy} \quad (5.112)$$

$$i_{La}(t) = \frac{V_i - N V_{uy}}{L_a} t + i_{La}(t_7) \quad (5.113)$$

$$i_{Lm}(t) = \frac{V_{uy}}{L_m} t + i_{Lm}(t_7) \quad (5.114)$$

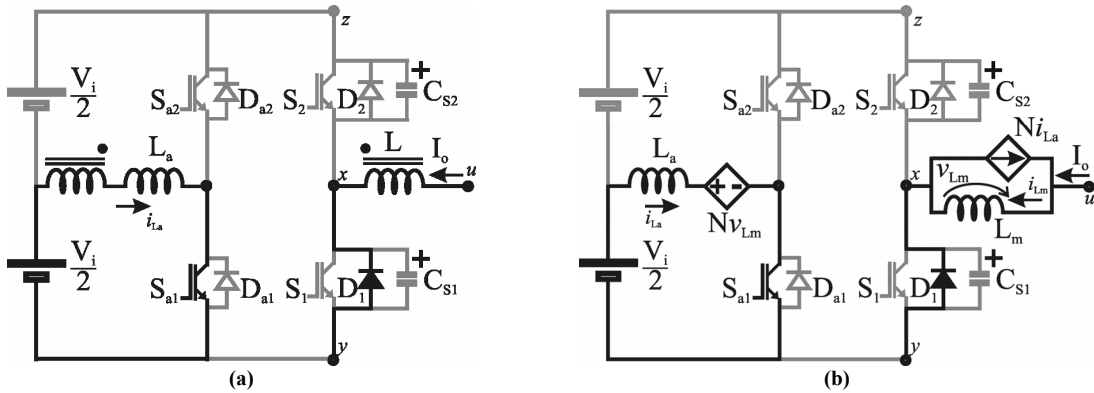


Figura 82 - Diagrama do circuito do conversor durante a Etapa 8, t_8-t_7 . (a) Diagrama do circuito com indutores acoplados; (b) Modelo N -port cantilever.

A duração da etapa é definida pela seguinte expressão,

$$\Delta t_{E8} = t_8 - t_7 = k_2 t_{fall} \quad (5.115)$$

Etapa 9 (t_8, t_9):

Nesta etapa o diodo auxiliar D_{a2} encontra-se em condução e o indutor L_a encontra-se em processo de desmagnetização. Esta etapa chega ao seu final quando o diodo anti-paralelo D_1 é bloqueado.

Com base no diagrama da Figura 83(b), as expressões que governam a operação do conversor durante esta etapa são dadas por,

$$v_{Cs1}(t) = 0 \tag{5.116}$$

$$v_{Lm}(t) = V_{uy} \tag{5.117}$$

$$i_{La}(t) = \frac{V_i - NV_{uy} - V_i}{L_a} t + i_{La}(t_8) \tag{5.118}$$

$$i_{Lm}(t) = \frac{V_{uy}}{L_m} t + i_{Lm}(t_8) \tag{5.119}$$

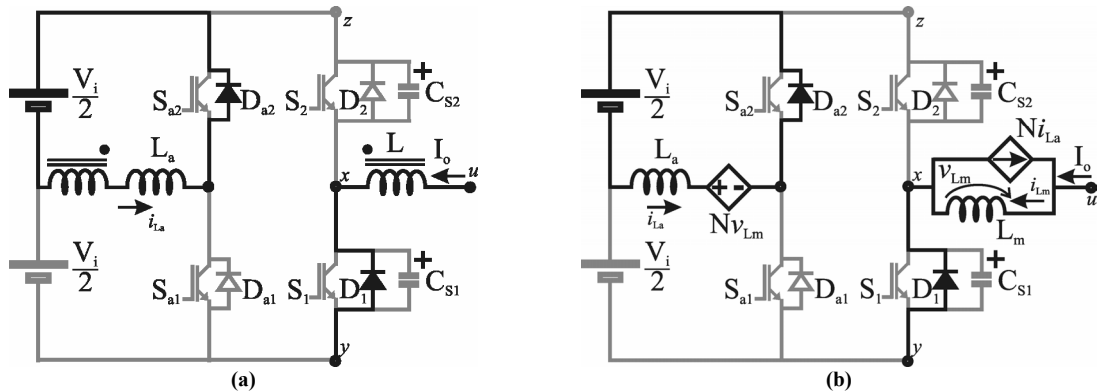


Figura 83 - Diagrama do circuito do conversor durante a Etapa 9, t_9-t_8 . (a) Diagrama do circuito com indutores acoplados; (b) Modelo N-port cantilever.

A duração da etapa é definida pela seguinte expressão,

$$\Delta t_{E9} = t_9 - t_8 = \frac{L_m L_a (i_{La}(t_8) - i_{Lm}(t_8))}{L_a V_{uy} - L_m \left(\frac{V_i}{2} - NV_{uy} - V_i \right)} \tag{5.120}$$

Etapa 10 (t_9, t_{10}):

Nesta etapa o capacitor C_{s1} carrega-se (C_{s2} descarrega-se) de forma ressonante. O término desta etapa depende da dinâmica do circuito ressonante, o qual pode fazer com que a tensão em C_{s1} atinja a tensão V_i antes que a corrente i_{La} seja zero, ou vice-versa.

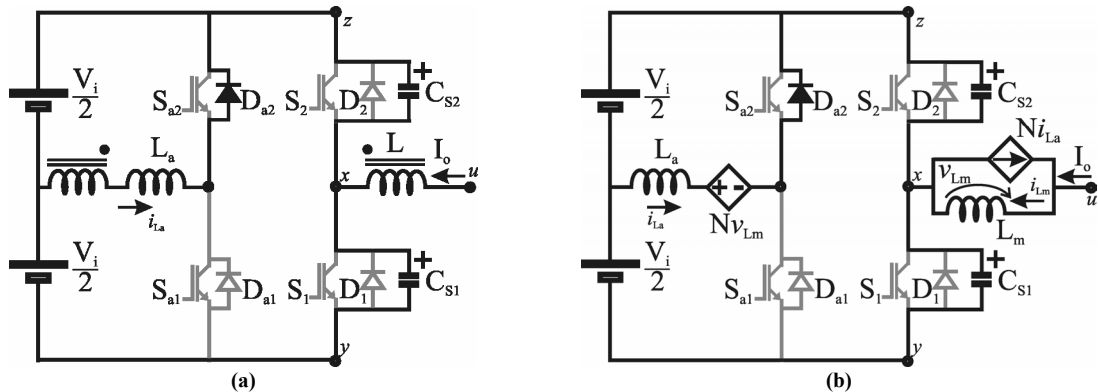


Figura 84 - Diagrama do circuito do conversor durante a Etapa 10, $t_{10}-t_9$. (a) Diagrama do circuito com indutores acoplados; (b) Modelo N-port cantilever.

Com base no diagrama da Figura 84(b), as expressões que governam a operação do conversor durante esta etapa são dadas por,

$$v_{Cs}(t) = V_{uy} + \left(\frac{\omega_2}{\omega}\right)^2 \left(V_i - \frac{V_i}{2}\right) + \left[v_{Cs1}(t_9) - \left(V_{uy} + \left(\frac{\omega_2}{\omega}\right)^2 \left(V_i - \frac{V_i}{2}\right) \right) \right] \cos(\omega t) \quad (5.121)$$

$$v_{Lm}(t) = \left(\frac{\omega_2}{\omega}\right)^2 \left(\frac{V_i}{2} - V_i\right) - \left[v_{Cs1}(t_1) - \left(V_{uy} + \left(\frac{\omega_2}{\omega}\right)^2 \left(V_i - \frac{V_i}{2}\right) \right) \right] \cos(\omega t) \quad (5.122)$$

$$i_{La}(t) = i_{La}(t_1) + \left[\left(1 - N \left(\frac{\omega_{a2}}{\omega}\right)^2 \right) \left(-\frac{V_i}{2L_a} \right) \right] t - \left(\frac{N}{\omega L_a} \right) \left[v_{Cs1}(t_1) - \left(V_{uy} + \left(\frac{\omega_{a2}}{\omega}\right)^2 \left(\frac{V_i}{2}\right) \right) \right] \sin(\omega t) \quad (5.123)$$

$$i_{Lm}(t) = i_{Lm}(t_9) + \left(\frac{\omega_2}{\omega}\right)^2 \left(\frac{-V_i}{2L_m}\right) t - \frac{1}{L_m \omega} \left[v_{Cs1}(t_9) - \left(V_{uy} + \left(\frac{\omega_2}{\omega}\right)^2 \left(\frac{V_i}{2}\right) \right) \right] \sin(\omega t) \quad (5.124)$$

A duração da etapa é definida pela seguinte expressão,

$$\Delta t_{E10} = t_{10} - t_9 = \frac{\cos^{-1} \left[\frac{\left(\left(1 - \left(\frac{\omega_2}{\omega}\right)^2 \right) V_i - V_{uy} - \left(\frac{\omega_2}{\omega}\right)^2 \frac{V_i}{2} \right) / - \left(V_{uy} + \left(\frac{\omega_2}{\omega}\right)^2 \left(\frac{V_i}{2}\right) \right)}{\omega} \right]}{\omega} \quad (5.125)$$

Etapa 11a (t_{10}, t_{11}):

Nesta etapa o capacitor C_{s1} carrega-se (C_{s2} descarrega-se) de forma ressonante através da indutância L_m . O término desta etapa ocorre quando v_{Cs1} é igual a V_i (v_{Cs1} igual a zero).

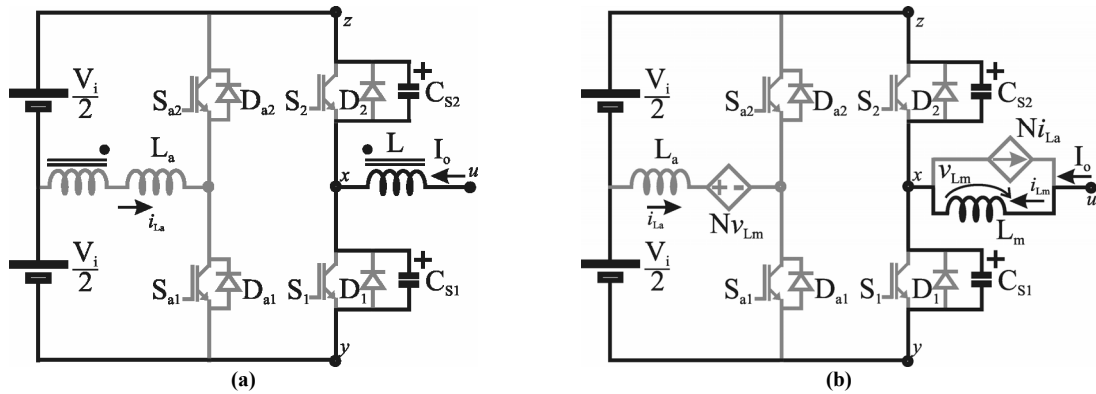


Figura 85 - Diagrama do circuito do conversor durante a Etapa 11, $t_{11}-t_{10}$. (a) Diagrama do circuito com indutores acoplados; (b) Modelo N-port cantilever.

Com base no diagrama da Figura 85(b), as expressões que governam a operação do conversor durante esta etapa são dadas por,

$$v_{Cs1}(t) = V_{uy} + (v_{Cs1}(t_{10}) - V_{uy}) \sin(\omega_M t) + Z_M i_{Lm}(t_{10}) \cos(\omega_M t) \quad (5.126)$$

$$v_{Lm}(t) = - \left((v_{Cs1}(t_{10}) - V_{uy}) \sin(\omega_M t) + Z_M i_{Lm}(t_{10}) \cos(\omega_M t) \right) \quad (5.127)$$

$$i_{La}(t) = i_{La}(t_{10}) = 0 \quad (5.128)$$

$$i_{Lm}(t) = \left(\frac{V_{uy} - v_{Cs1}(t_{10})}{Z_M} \right) \text{sen}(\omega_M t) + i_{Lm}(t_{10}) \cos(\omega_M t) \quad (5.129)$$

Onde,

$$\omega_M = \sqrt{\frac{1}{L_a C_{eq}}} \quad (5.130)$$

$$Z_M = \sqrt{\frac{L_m}{C_{eq}}} \quad (5.131)$$

A duração da etapa é definida pela seguinte expressão,

$$\Delta t_{E11} = t_{11} - t_{10} = \frac{\text{sen}^{-1} \left[\left(\frac{V_i - V_{uy}}{Z_M i_{Lm}(t_{10})} \right) + \left(\frac{V_{uy} - v_{Cs1}(t_{10})}{Z_M i_{Lm}(t_{10})} \right) \cos(\omega_M \Delta t_{E11}) \right]}{\omega_M} \quad (5.132)$$

Etapa 11b (t_{10}, t_{11}):

Nesta etapa o indutor L_a desmagnetiza-se linearmente até que a corrente através do mesmo seja igual a zero.

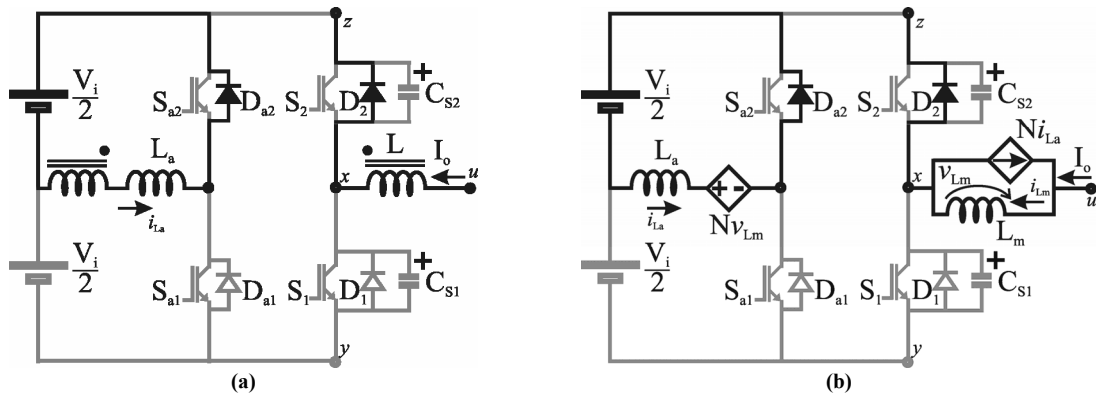


Figura 86 - Diagrama do circuito do conversor durante a Etapa 11, $t_{11}-t_{10}$. (a) Diagrama do circuito com indutores acoplados; (b) Modelo N-port cantilever.

Com base no diagrama da Figura 86(b), as expressões que governam a operação do conversor durante esta etapa são dadas por,

$$v_{Cs1}(t) = V_i \quad (5.133)$$

$$v_{Lm}(t) = V_{uy} - V_i \quad (5.134)$$

$$i_{La}(t) = \frac{\left(N - \frac{1}{2} \right) V_i - N V_{uy}}{L_a} t + i_{La}(t_{10}) \quad (5.135)$$

$$i_{L_m}(t) = \left(\frac{V_{uy} - V_i}{L_m} \right) t + i_{L_m}(t_{10}) \quad (5.136)$$

A duração da etapa é definida pela seguinte expressão,

$$\Delta t_{E11} = t_{11} - t_{10} = \frac{L_a i_{La}(t_{10})}{NV_{uy} + \left(\frac{1}{2} - N \right) V_i} \quad (5.137)$$

Etapa 12 (t_{11}, t_0):

Nesta etapa a corrente no circuito auxiliar é nula e o conversor opera em modo PWM.

Com base no diagrama da Figura 87(b), as expressões que governam a operação do conversor durante esta etapa são dadas por,

$$v_{Cs1}(t) = V_i \quad (5.138)$$

$$v_{L_m}(t) = V_{uy} - V_i \quad (5.139)$$

$$i_{La}(t) = 0 \quad (5.140)$$

$$i_{L_m}(t) = \frac{V_{uy} - V_i}{L_m} t + i_{L_m}(t_{11}) \quad (5.141)$$

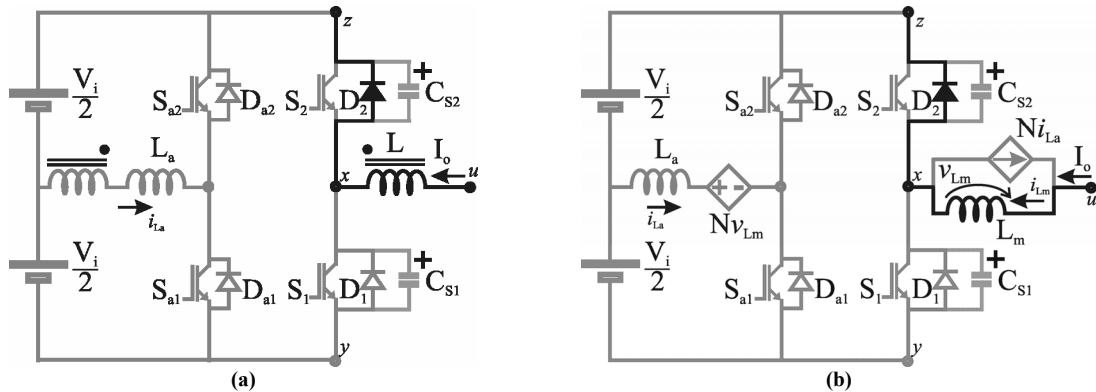


Figura 87 - Diagrama do circuito do conversor durante a Etapa 12, t_0 - t_{11} . (a) Diagrama do circuito com indutores acoplados; (b) Modelo N-port cantilever.

A duração da etapa é definida pela seguinte expressão,

$$\Delta t_{E12} = t_0 - t_{11} = t_{off} = T - \Delta t_{E6} = T - (t_{on} - (\Delta t_{E3} + \Delta t_{E4} + \Delta t_{E5} + \Delta t_{E7} + \Delta t_{E8})) \quad (5.142)$$

As principais formas de onda teóricas para um período de chaveamento do inversor são mostradas na Figura 88, mostrada a seguir.

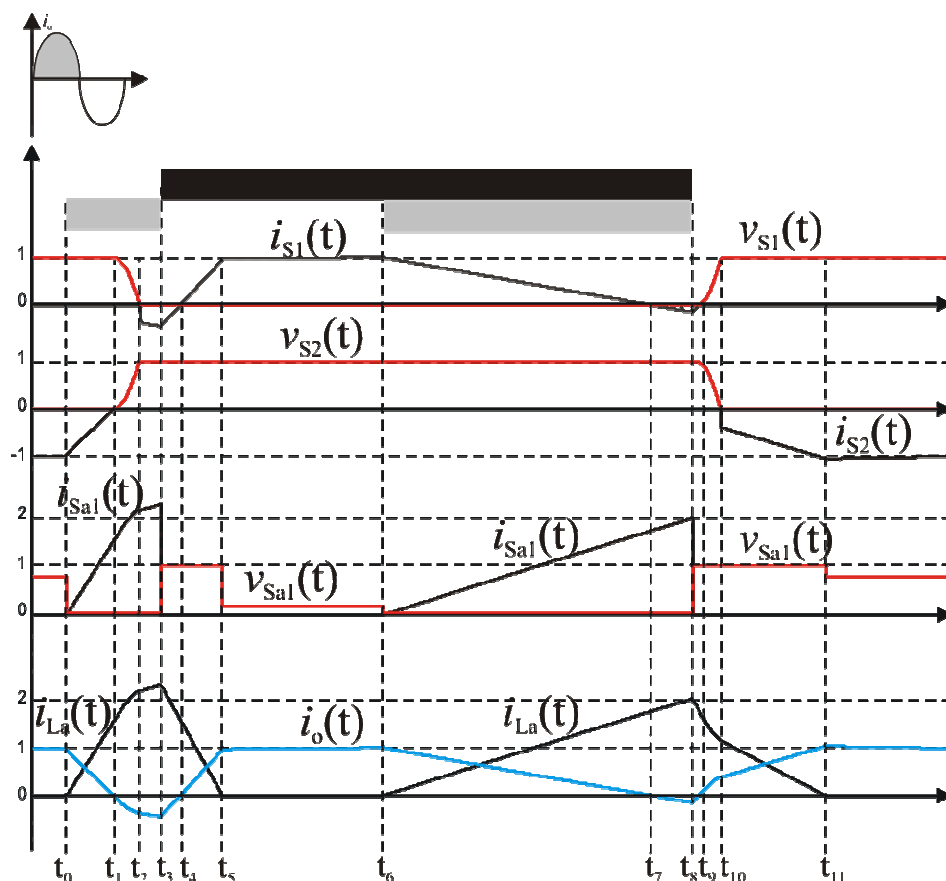


Figura 88 – Principais formas de onda teóricas do inversor ZCZVT monofásico com circuito auxiliar isolado.

5.3.2 Topologia 2 (enrolamentos secundários em série com as chaves auxiliares).

A. Inversor ZCZVT com Circuito Auxiliar em Derivação.

Considerando-se o sentido da corrente de carga positivo observa-se que o *inversor monofásico com circuito auxiliar em derivação e fonte auxiliar junto as chaves auxiliares* $S_{a1,2}$ (Figura 60(a)) assume 12 etapas diferentes durante um período de chaveamento. Além disto, o conversor pode operar em dois modos distintos: no modo MA a carga do capacitor C_{s1} (descarga do capacitor C_{s2}) é iniciada na etapa 10 e concluída na etapa 11a; no modo MB, a carga do capacitor C_{s1} (descarga do capacitor C_{s2}) se realiza apenas durante a etapa 10.

A descrição de cada etapa, bem como a análise das expressões matemáticas que regem a operação do circuito são apresentadas a seguir.

A.1. Processo de Entrada em condução da chave S_1 .

Etapa 1 (t_0, t_1):

Nesta etapa o circuito auxiliar é acionado (chave S_{a1} é colocada em condução) e a corrente cresce linearmente através do indutor L_a . Esta etapa acaba quando a corrente em L_a iguala-se a corrente de carga do inversor.

Com base no diagrama da Figura 89(b), as expressões que governam a operação do conversor durante esta etapa são dadas por,

$$v_{Cs1}(t) = V_i \quad (5.143)$$

$$v_{Lm}(t) = V_{uy} - V_i \quad (5.144)$$

$$i_{La}(t) = \frac{NV_{uy} + (1-N)V_i}{L_a + L_{k1}} t \quad (5.145)$$

$$i_{Lm}(t) = \frac{V_{uy} - V_i}{L_m} t + i_{Lm}(t_0) \quad (5.146)$$

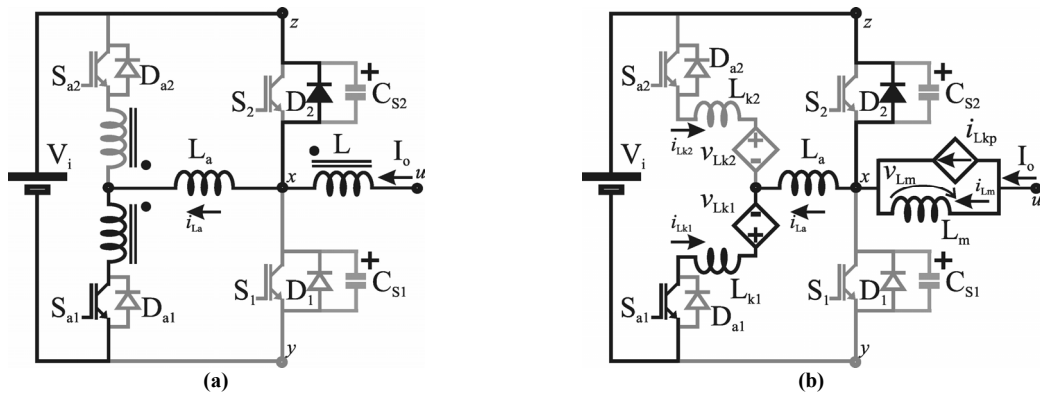


Figura 89 -Diagrama do circuito do conversor durante a Etapa 1, t_1-t_0 . (a) Diagrama do circuito com indutores acoplados; (b) Modelo N-port cantilever.

A duração da etapa é definida pela seguinte expressão,

$$\Delta t_{E1} = t_1 - t_0 = \frac{L_m (L_a + L_{k1}) (i_{Lm}(t_0))}{L_m (1-N) (NV_{uy} + V_i (1-N)) - (L_a + L_{k1}) (V_{uy} - V_i)} \quad (5.147)$$

Etapa 2 (t_1, t_2):

Nesta etapa o capacitor C_{s1} descarrega (C_{s2} carrega) de forma ressonante sob o circuito auxiliar. Esta etapa acaba quando a tensão em C_{s1} atinge zero (C_{s2} igual a V_i).

Com base no diagrama da Figura 90(b), as expressões que governam a operação do conversor durante esta etapa são dadas por,

$$v_{Cs1}(t) = \left(1 - \left(\frac{\omega_a}{\omega}\right)^2\right) V_{uy} + \left[v_{Cs1}(t_1) - \left(1 - \left(\frac{\omega_a}{\omega}\right)^2\right) V_{uy} \right] \cos(\omega t) \quad (5.148)$$

$$v_{Lm}(t) = \left(\frac{\omega_a}{\omega}\right)^2 V_{uy} - \left[v_{Cs1}(t_1) - \left(1 - \left(\frac{\omega_a}{\omega}\right)^2\right) V_{uy} \right] \cos(\omega t) \quad (5.149)$$

$$i_{La}(t) = \frac{i_{Lm}(t_1) + \left(\frac{\omega_a}{\omega}\right)^2 \frac{V_{uy}}{L_m} t - \left(\frac{1}{L_m \omega} - \frac{1}{Z}\right) \left[v_{Cs1}(t_1) - \left(1 - \left(\frac{\omega_a}{\omega}\right)^2\right) V_{uy} \right] \sin(\omega t)}{(1-N)} \quad (5.150)$$

$$i_{Lm}(t) = i_{Lm}(t_1) + \left(\frac{\omega_a}{\omega}\right)^2 \frac{V_{uy}}{L_m} t + \frac{1}{L_m \omega} \left[v_{Cs1}(t_1) - \left(1 - \left(\frac{\omega_a}{\omega}\right)^2\right) V_{uy} \right] \sin(\omega t) \quad (5.151)$$

A duração da etapa é definida pela seguinte expressão,

$$\Delta t_{E2} = t_2 - t_1 = \frac{\cos^{-1} \left(- \left(1 - \left(\frac{\omega_a}{\omega}\right)^2\right) V_{uy} / \left(V_o - \left(1 - \left(\frac{\omega_a}{\omega}\right)^2\right) V_{uy} \right) \right)}{\omega} \quad (5.152)$$

Onde

$$\omega = \sqrt{\frac{(L_a + L_{k1}) + L_m(1-N)^2}{(L_a + L_{k1}) L_m C_{eq}}} \quad (5.153)$$

$$\omega_a = \sqrt{\frac{(1-N)}{(L_a + L_{k1}) C_{eq}}} \quad (5.154)$$

$$Z = \sqrt{\frac{L_m(L_a + L_{k1})}{\left((L_a + L_{k1}) + L_m(1-N)^2 \right) C_{eq}}} \quad (5.155)$$

$$C_{eq} = C_{s1} + C_{s2} \quad (5.156)$$

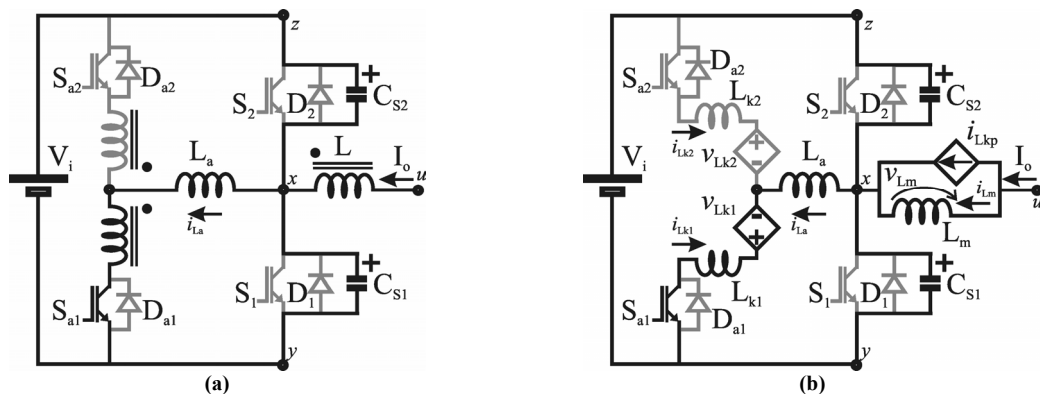


Figura 90 -Diagrama do circuito do conversor durante a Etapa 2, t_2-t_1 . (a) Diagrama do circuito com indutores acoplados; (b) Modelo N-port cantilever.

Etapa 3 (t_2, t_3):

Nesta etapa o diodo anti-paralelo (D_1) da chave S_1 encontra-se em condução e, portanto, esta chave pode ser acionada sob condições de tensão e corrente nulas simultaneamente. Esta etapa chega ao fim quando a chave auxiliar S_{a1} é bloqueada.

Com base no diagrama da Figura 91(b), as expressões que governam a operação do conversor durante esta etapa são dadas por,

$$v_{Cs1}(t) = 0 \tag{5.157}$$

$$v_{Lm}(t) = V_{uy} \tag{5.158}$$

$$i_{La}(t) = \frac{NV_{uy}}{L_a + L_{k1}}t + i_{La}(t_2) \tag{5.159}$$

$$i_{Lm}(t) = \frac{V_{uy}}{L_m}t + i_{Lm}(t_2) \tag{5.160}$$

A duração da etapa é definida pela seguinte expressão,

$$\Delta t_{E3} = t_3 - t_2 = k_1 t_{rise} \tag{5.161}$$

Onde k_1 é uma constante arbitrária, maior que a unidade, que é utilizada para assegurar que os atrasos da chave e no circuito de acionamento (drive) sejam considerados.

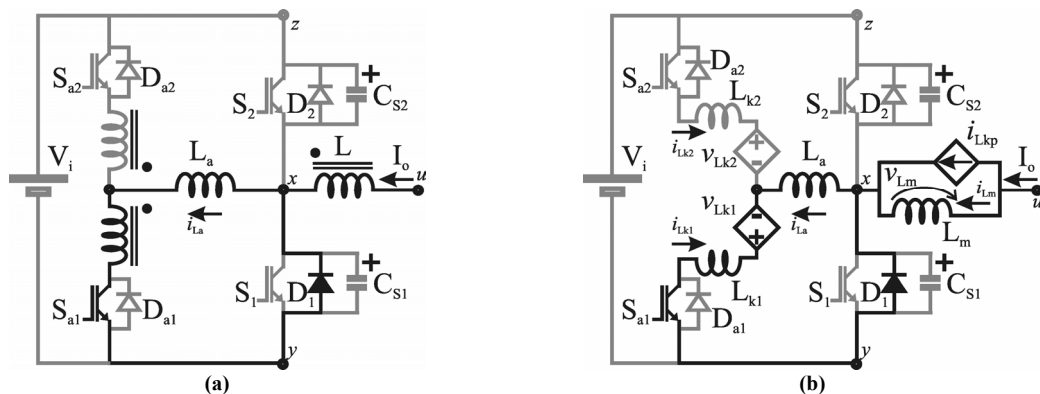


Figura 91 -Diagrama do circuito do conversor durante a Etapa 3, t_3-t_2 . (a) Diagrama do circuito com indutores acoplados; (b) Modelo N-port cantilever.

Etapa 4 (t_3, t_4):

Nesta etapa o diodo auxiliar D_{a2} encontra-se em condução e o indutor L_a encontra-se em processo de desmagnetização. Esta etapa chega ao seu final quando o diodo anti-paralelo D_1 é bloqueado.

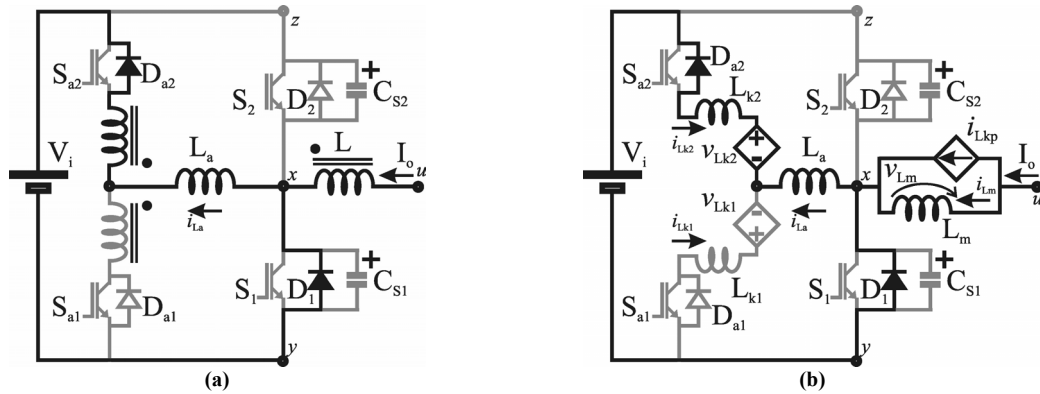


Figura 92 -Diagrama do circuito do conversor durante a Etapa 4, t_4 - t_3 . (a) Diagrama do circuito com indutores acoplados; (b) Modelo N -port cantilever.

Com base no diagrama da Figura 92(b), as expressões que governam a operação do conversor durante esta etapa são dadas por,

$$v_{Cs1}(t) = 0 \quad (5.162)$$

$$v_{Lm}(t) = V_{uy} \quad (5.163)$$

$$i_{La}(t) = \frac{NV_{uy} - V_i}{L_a + L_{k2}} t + i_{La}(t_3) \quad (5.164)$$

$$i_{Lm}(t) = \frac{V_{uy}}{L_m} t + i_{Lm}(t_3) \quad (5.165)$$

A duração da etapa é definida pela seguinte expressão,

$$\Delta t_{E4} = t_4 - t_3 = \frac{L_m(L_a + L_{k2})(i_{Lm}(t_3) - (1-N)i_{La}(t_3))}{L_m(1-N)(NV_{uy} - V_i) - (L_a + L_{k2})V_{uy}} \quad (5.166)$$

Etapa 5 (t_4, t_5):

Nesta etapa a corrente na chave principal S_1 cresce linearmente até a que esta se iguale a corrente de carga I_o .

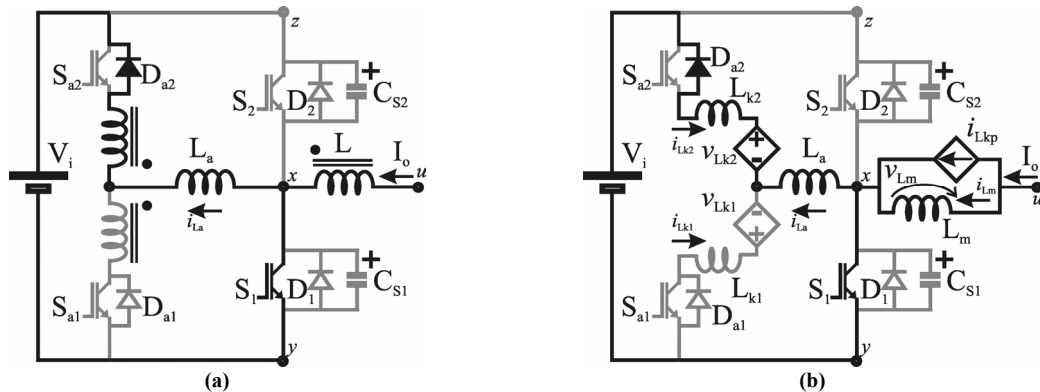


Figura 93 -Diagrama do circuito do conversor durante a Etapa 5, t_5 - t_4 . (a) Diagrama do circuito com indutores acoplados; (b) Modelo N -port cantilever.

Com base no diagrama da Figura 93(b), as expressões que governam a operação

do conversor durante esta etapa são dadas por,

$$v_{Cs1}(t) = 0 \quad (5.167)$$

$$v_{Lm}(t) = V_{uy} \quad (5.168)$$

$$i_{La}(t) = \frac{NV_{uy} - V_i}{L_a + L_{k2}} t + i_{La}(t_4) \quad (5.169)$$

$$i_{Lm}(t) = \frac{V_{uy}}{L_m} t + i_{Lm}(t_4) \quad (5.170)$$

A duração da etapa é definida pela seguinte expressão,

$$\Delta t_{E5} = t_5 - t_4 = \frac{-(L_a + L_{k2})i_{La}(t_4)}{NV_{uy} - V_i} \quad (5.171)$$

Etapa 6 (t_5, t_6):

Nesta etapa a corrente no circuito auxiliar é nula e o conversor opera em modo PWM.

Com base no diagrama da Figura 94(b), as expressões que governam a operação do conversor durante esta etapa são dadas por,

$$v_{Cs1}(t) = 0 \quad (5.172)$$

$$v_{Lm}(t) = V_{uy} \quad (5.173)$$

$$i_{La}(t) = 0 \quad (5.174)$$

$$i_{Lm}(t) = \frac{V_{uy}}{L_m} t + i_{Lm}(t_5) \quad (5.175)$$

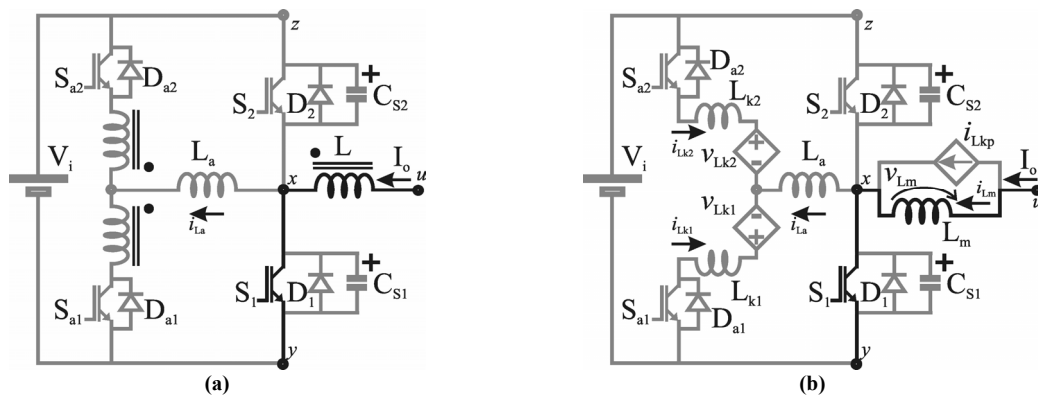


Figura 94 -Diagrama do circuito do conversor durante a Etapa 6, t_6-t_5 . (a) Diagrama do circuito com indutores acoplados; (b) Modelo N -port cantilever.

A duração da etapa é definida pela seguinte expressão,

$$\Delta t_{E6} = t_6 - t_5 = t_{on} - (\Delta t_{E3} + \Delta t_{E4} + \Delta t_{E5} + \Delta t_{E7} + \Delta t_{E8} + \Delta t_{E9}) \quad (5.176)$$

A.2. Processo de Bloqueio da chave S_1 .

Etapa 7 (t_6, t_7):

Nesta etapa inicia-se o processo de bloqueio da chave principal S_1 . Assim, o circuito auxiliar é acionado (chave S_{a1} entra em condução) e a corrente cresce linearmente no indutor L_a . Esta etapa acaba quando a corrente em L_a iguala-se a corrente de carga I_o .

Com base no diagrama da Figura 95(b), as expressões que governam a operação do conversor durante esta etapa são dadas por,

$$v_{Cs1}(t) = 0 \tag{5.177}$$

$$v_{Lm}(t) = V_{uy} \tag{5.178}$$

$$i_{La}(t) = \frac{NV_{uy}}{L_a + L_{k1}}t + i_{La}(t_6) \tag{5.179}$$

$$i_{Lm}(t) = \frac{V_{uy}}{L_m}t + i_{Lm}(t_6) \tag{5.180}$$

A duração da etapa é definida pela seguinte expressão,

$$\Delta t_{E7} = t_7 - t_6 = \frac{L_m(L_a + L_{k1})(i_{Lm}(t_6))}{L_m(1 - N)NV_{uy} - (L_a + L_{k1})V_{uy}} \tag{5.181}$$

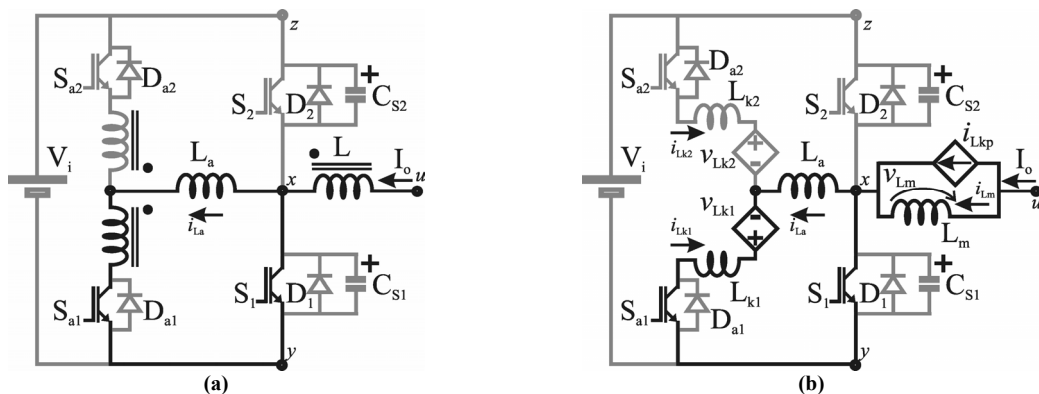


Figura 95 -Diagrama do circuito do conversor durante a Etapa 7, t_7-t_6 . (a) Diagrama do circuito com indutores acoplados; (b) Modelo N-port cantilever.

Etapa 8 (t_7, t_8):

Nesta etapa o diodo anti-paralelo (D_1) da chave principal S_1 encontra-se em condução e, portanto, esta chave pode ser desabilitada sob condições de tensão e corrente nulas simultaneamente. Esta etapa chega ao fim quando a chave auxiliar S_{a1} é bloqueada.

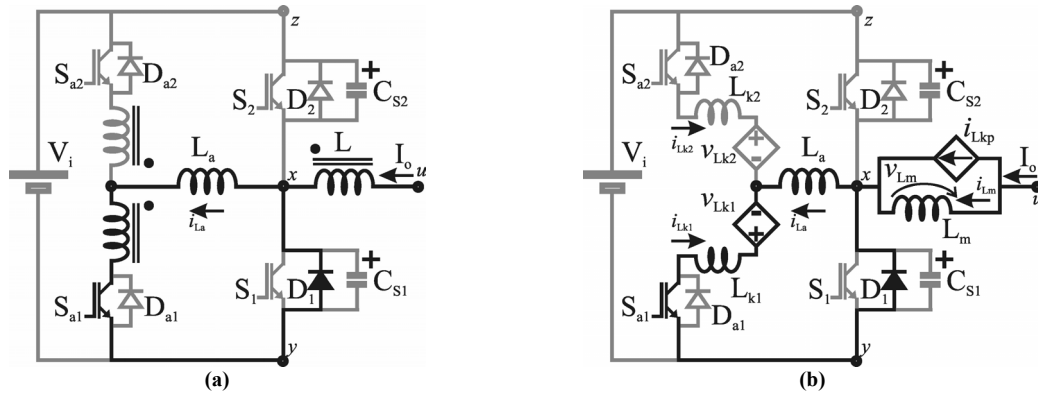


Figura 96 -Diagrama do circuito do conversor durante a Etapa 8, t_8-t_7 . (a) Diagrama do circuito com indutores acoplados; (b) Modelo N-port cantilever.

Com base no diagrama da Figura 96(b), as expressões que governam a operação do conversor durante esta etapa são dadas por,

$$v_{C_{S1}}(t) = 0 \quad (5.182)$$

$$v_{L_m}(t) = V_{uy} \quad (5.183)$$

$$i_{L_a}(t) = \frac{NV_{uy}}{L_a + L_{k1}}t + i_{L_a}(t_7) \quad (5.184)$$

$$i_{L_m}(t) = \frac{V_{uy}}{L_m}t + i_{L_m}(t_7) \quad (5.185)$$

A duração da etapa é definida pela seguinte expressão,

$$\Delta t_{E8} = t_8 - t_7 = k_2 t_{fall} \quad (5.186)$$

Onde k_2 é uma constante arbitrária, maior que a unidade, que é utilizada para assegurar que os atrasos da chave e do circuito de acionamento (drive) sejam considerados.

Etapa 9 (t_8, t_9):

Nesta etapa o diodo auxiliar D_{a2} encontra-se em condução e o indutor L_a encontra-se em processo de desmagnetização. Esta etapa chega ao seu final quando o diodo anti-paralelo D_1 é bloqueado.

Com base no diagrama da Figura 97(b), as expressões que governam a operação do conversor durante esta etapa são dadas por,

$$v_{C_{S1}}(t) = 0 \quad (5.187)$$

$$v_{L_m}(t) = V_{uy} \quad (5.188)$$

$$i_{L_a}(t) = \frac{NV_{uy} - V_i}{L_a + L_{k2}}t + i_{L_a}(t_8) \quad (5.189)$$

$$i_{L_m}(t) = \frac{V_{wy}}{L_m} t + i_{L_m}(t_8) \quad (5.190)$$

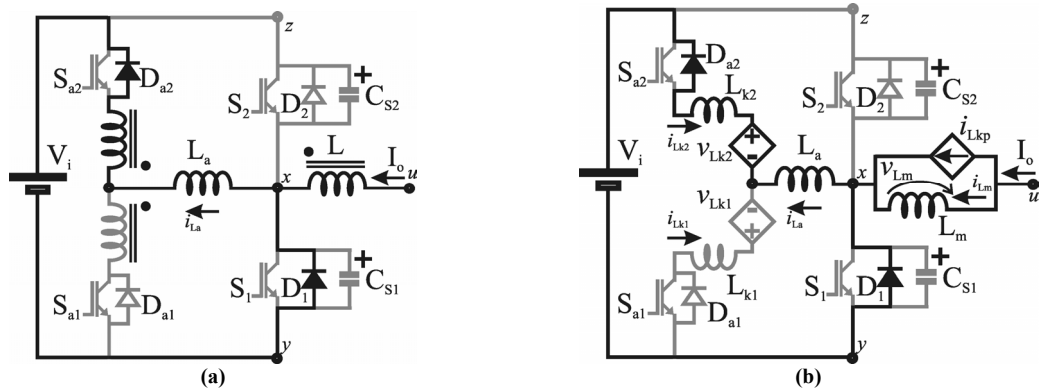


Figura 97 -Diagrama do circuito do conversor durante a Etapa 9, t_9 - t_8 . (a) Diagrama do circuito com indutores acoplados; (b) Modelo N-port cantilever.

A duração da etapa é definida pela seguinte expressão,

$$\Delta t_{E9} = t_9 - t_8 = \frac{L_m (L_a + L_{k2}) (i_{L_m}(t_8) - (1-N)i_{L_a}(t_8))}{L_m (1-N) (NV_{wy} - V_i) - (L_a + L_{k2}) V_{wy}} \quad (5.191)$$

Etapa 10 (t_9, t_{10}):

Nesta etapa o capacitor C_{s1} carrega-se (C_{s2} descarrega-se) de forma ressonante. O término desta etapa depende da dinâmica do circuito ressonante, o qual pode fazer com que a tensão em C_{s1} atinja a tensão V_i antes que a corrente i_{L_a} seja zero, ou vice-versa.

Com base no diagrama da Figura 98(b), as expressões que governam a operação do conversor durante esta etapa são dadas por,

$$v_{C_{s1}}(t) = \left(1 - \left(\frac{\omega_{a2}}{\omega_2} \right)^2 \right) V_{wy} + \left(\frac{\omega_{a2}}{\omega_2} \right)^2 V_i - \left[\left(1 - \left(\frac{\omega_{a2}}{\omega_2} \right)^2 \right) V_{wy} + \left(\frac{\omega_{a2}}{\omega_2} \right)^2 V_i \right] \cos(\omega_2 t) \quad (5.192)$$

$$v_{L_m}(t) = \left(1 - \left(\frac{\omega_{a2}}{\omega_2} \right)^2 \right) V_{wy} + \left(\frac{\omega_{a2}}{\omega_2} \right)^2 V_i - \left[\left(1 - \left(\frac{\omega_{a2}}{\omega_2} \right)^2 \right) V_{wy} + \left(\frac{\omega_{a2}}{\omega_2} \right)^2 V_i \right] \cos(\omega_2 t) \quad (5.193)$$

$$i_{L_a}(t) = \frac{i_{L_m}(t_9) + \left(\frac{\omega_{a2}}{\omega_2} \right)^2 \left(\frac{V_{wy} - V_i}{L_m} \right) t + \left(\frac{1}{\omega_2 L_m} - \frac{1}{Z_2} \right) \left[\left(1 - \left(\frac{\omega_{a2}}{\omega_2} \right)^2 \right) V_{wy} + \left(\frac{\omega_{a2}}{\omega_2} \right)^2 V_i \right] \text{sen}(\omega_2 t)}{(1-N)} \quad (5.194)$$

$$i_{L_m}(t) = \frac{i_{L_m}(t_9) + \left(\frac{\omega_{a2}}{\omega_2} \right)^2 \left(\frac{V_{wy} - V_i}{L_m} \right) t + \left(\frac{1}{\omega_2 L_m} \right) \left[\left(1 - \left(\frac{\omega_{a2}}{\omega_2} \right)^2 \right) V_{wy} + \left(\frac{\omega_{a2}}{\omega_2} \right)^2 V_i \right] \text{sen}(\omega_2 t)}{(1-N)} \quad (5.195)$$

Onde

$$\omega_2 = \sqrt{\frac{(L_a + L_{k2}) + L_m(1-N)^2}{(L_a + L_{k2})L_m C_{eq}}} \quad (5.196)$$

$$\omega_{a2} = \sqrt{\frac{(1-N)}{(L_a + L_{k2})C_{eq}}} \quad (5.197)$$

$$Z_2 = \sqrt{\frac{L_m(L_a + L_{k2})}{\left((L_a + L_{k2}) + L_m(1-N)^2\right)C_{eq}}} \quad (5.198)$$

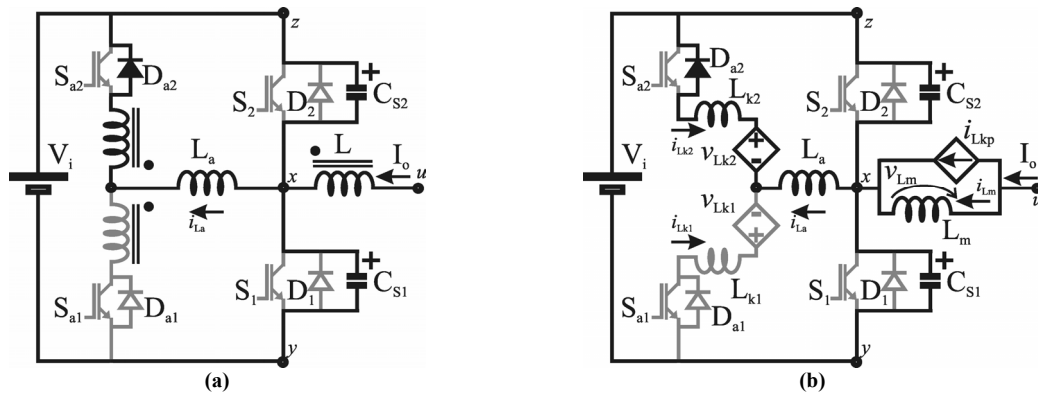


Figura 98 -Diagrama do circuito do conversor durante a Etapa 10, t_{10} - t_9 . (a) Diagrama do circuito com indutores acoplados; (b) Modelo N-port cantilever.

Para o caso em que i_{La} alcança zero antes que v_{Cs1} seja igual a V_i , a duração da etapa é definida pela seguinte expressão,

$$\Delta t_{E10}(MA) = t_{10} - t_9 = \frac{\text{sen}^{-1} \left[\frac{\left(\frac{Z_2 \omega_2 L_m}{Z_2 - \omega_2 L_m} \right) \left(i_{Lm}(t_9) + \left(\frac{\omega_{a2}}{\omega_2} \right)^2 \left(\frac{V_{uy} - V_i}{L_m} \right) \Delta t_{E10} \right)}{v_{Cs1}(t_9) - \left(\left(1 - \left(\frac{\omega_{a2}}{\omega_2} \right)^2 \right) V_{uy} + \left(\frac{\omega_{a2}}{\omega_2} \right)^2 V_i} \right]}{\omega} \quad (5.199)$$

Para o caso em que a tensão v_{Cs} é igual a V_0 antes que i_{La} seja nula, a duração da etapa é definida pela seguinte expressão,

$$\Delta t_{E10}(MB) = t_{10} - t_9 = \frac{\text{cos}^{-1} \left[\frac{V_i - \left[\left(1 - \left(\frac{\omega_{a2}}{\omega_2} \right) \right) V_{uy} + \left(\frac{\omega_{a2}}{\omega_2} \right) V_i \right]}{- \left[\left(1 - \left(\frac{\omega_{a2}}{\omega_2} \right) \right) V_{uy} + \left(\frac{\omega_{a2}}{\omega_2} \right) V_i \right]} \right]}{\omega} \quad (5.200)$$

Etapa 11a (t_{10}, t_{11}):

Nesta etapa o capacitor C_{s1} carrega-se (C_{s2} descarrega-se) de forma ressonante através da indutância L_m . O término desta etapa ocorre quando v_{Cs1} é igual a V_i .

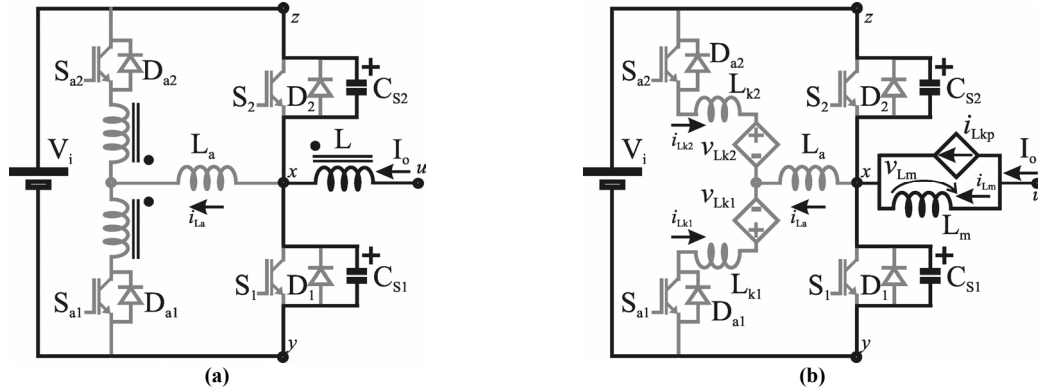


Figura 99 -Diagrama do circuito do conversor durante a Etapa 11, $t_{11}-t_{10}$. (a) Diagrama do circuito com indutores acoplados; (b) Modelo N-port cantilever.

Com base no diagrama da Figura 99(b), as expressões que governam a operação do conversor durante esta etapa são dadas por,

$$v_{Cs}(t) = V_{uy} + (v_{Cs1}(t_{10}) - V_{uy}) \text{sen}(\omega_M t) + Z_M i_{Lm}(t_{10}) \cos(\omega_M t) \quad (5.201)$$

$$v_{Lm}(t) = -\left((v_{Cs1}(t_{10}) - V_{uy}) \text{sen}(\omega_M t) + Z_M i_{Lm}(t_{10}) \cos(\omega_M t) \right) \quad (5.202)$$

$$i_{La}(t) = i_{La}(t_{10}) = 0 \quad (5.203)$$

$$i_{Lm}(t) = \left(\frac{V_{uy} - v_{Cs1}(t_{10})}{Z_M} \right) \text{sen}(\omega_M t) + i_{Lm}(t_{10}) \cos(\omega_M t) \quad (5.204)$$

Onde,

$$\omega_M = \sqrt{\frac{1}{L_a C_{eq}}} \quad (5.205)$$

$$Z_M = \sqrt{\frac{L_m}{C_{eq}}} \quad (5.206)$$

A duração da etapa é definida pela seguinte expressão,

$$\Delta t_{E11} = t_{11} - t_{10} = \frac{\text{sen}^{-1} \left[\left(\frac{V_i - V_{uy}}{Z_M i_{Lm}(t_{10})} \right) + \left(\frac{V_{uy} - v_{Cs1}(t_{10})}{Z_M i_{Lm}(t_{10})} \right) \cos(\omega_M \Delta t_{E11}) \right]}{\omega_M} \quad (5.207)$$

Etapa 11b (t_{10}, t_{11}):

Nesta etapa o indutor L_a desmagnetiza-se linearmente até que a corrente através do mesmo seja igual a zero.

Com base no diagrama da Figura 100(b), as expressões que governam a operação

do conversor durante esta etapa são dadas por,

$$v_{Cs1}(t) = V_i \quad (5.208)$$

$$v_{Lm}(t) = V_{uy} - V_i \quad (5.209)$$

$$i_{La}(t) = \frac{N(V_{uy} - V_i)}{L_a + L_{k2}} t + i_{La}(t_{10}) \quad (5.210)$$

$$i_{Lm}(t) = \left(\frac{V_{uy} - V_i}{L_m} \right) t + i_{Lm}(t_{10}) \quad (5.211)$$

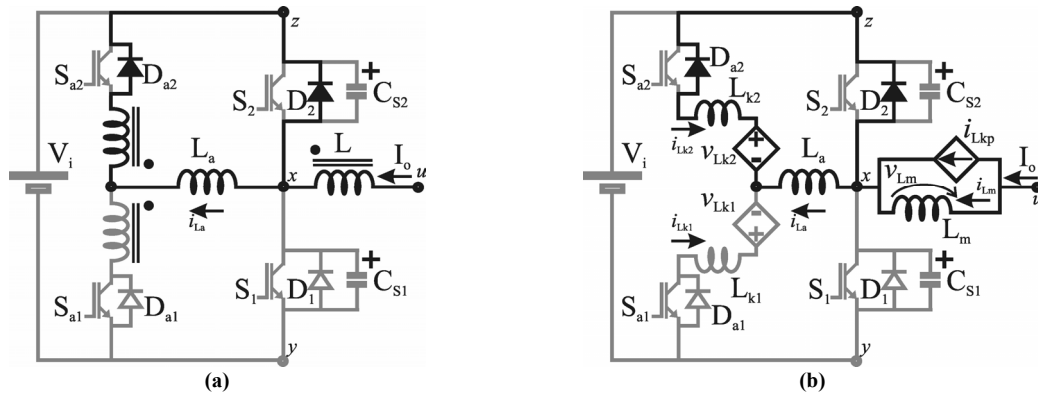


Figura 100 -Diagrama do circuito do conversor durante a Etapa 11, t_{11} - t_{10} . (a) Diagrama do circuito com indutores acoplados; (b) Modelo *N-port* cantilever.

A duração da etapa é definida pela seguinte expressão,

$$\Delta t_{E11} = t_{11} - t_{10} = \frac{-(L_a + L_{k2})i_{La}(t_{10})}{N(V_{uy} - V_i)} \quad (5.212)$$

Etapa 12 (t_{11}, t_0):

Nesta etapa a corrente no circuito auxiliar é nula e o conversor opera em modo PWM.

Com base no diagrama da Figura 101(b), as expressões que governam a operação do conversor durante esta etapa são dadas por,

$$v_{Cs1}(t) = V_i \quad (5.213)$$

$$v_{Lm}(t) = V_{uy} - V_i \quad (5.214)$$

$$i_{La}(t) = 0 \quad (5.215)$$

$$i_{Lm}(t) = \frac{V_{uy} - V_i}{L_m} t + i_{Lm}(t_{11}) \quad (5.216)$$

A duração da etapa é definida pela seguinte expressão,

$$\Delta t_{E12} = t_0 - t_{11} = t_{off} = T - \Delta t_{E6} = T - (t_{on} - (\Delta t_{E3} + \Delta t_{E4} + \Delta t_{E5} + \Delta t_{E7} + \Delta t_{E8} + \Delta t_{E9})) \quad (5.217)$$

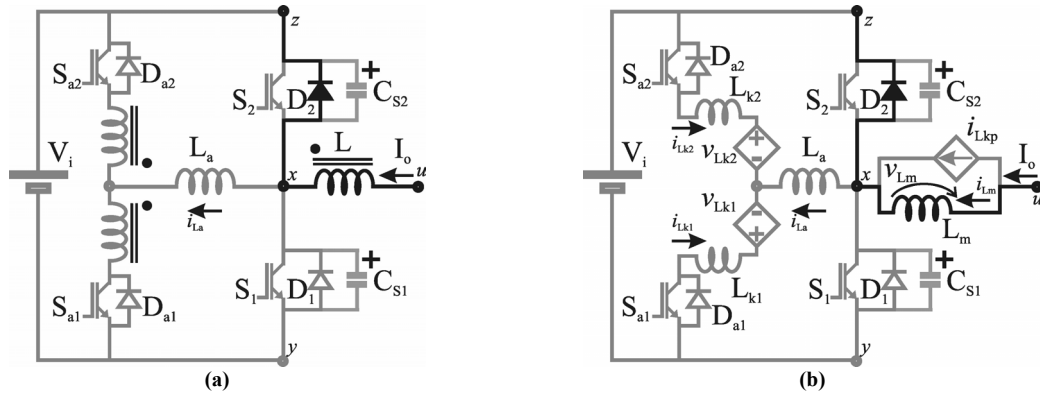


Figura 101 -Diagrama do circuito do conversor durante a Etapa 12, t_0-t_{11} . (a) Diagrama do circuito com indutores acoplados; (b) Modelo N-port cantilever.

As principais formas de onda teóricas para um período de chaveamento do inversor são mostradas na Figura 102.

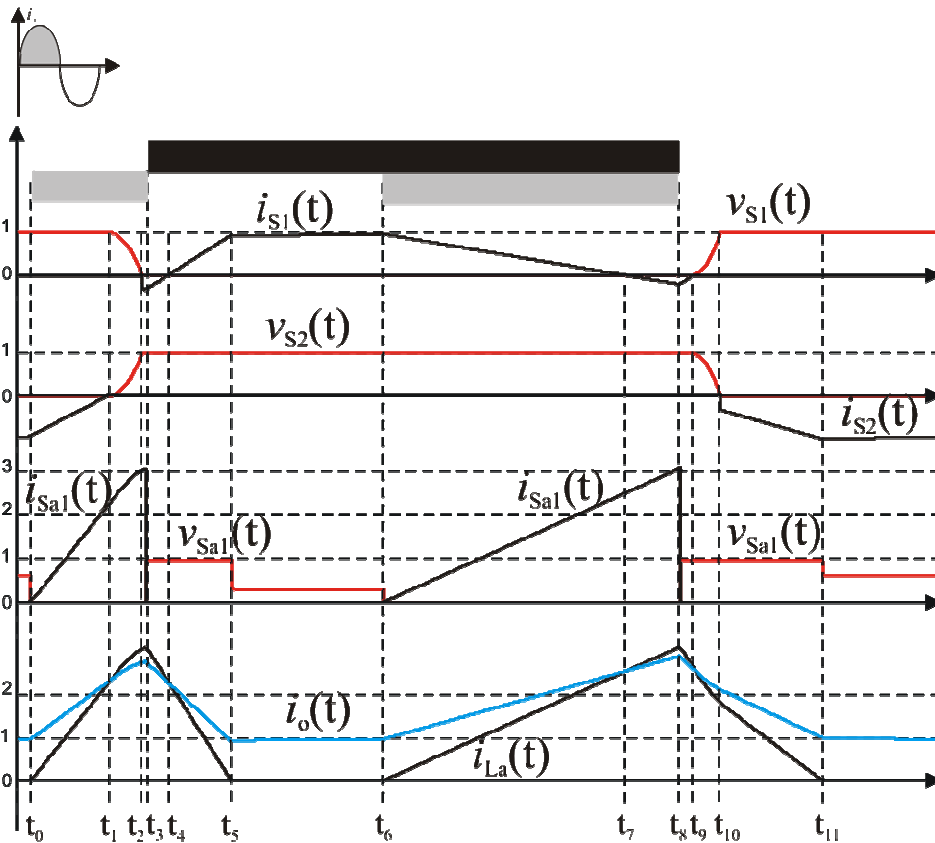


Figura 102 – Principais formas de onda teóricas do inversor ZCZVT monofásico com circuito auxiliar em derivação.

B. Inversor ZCZVT com Circuito Auxiliar Isolado.

O inversor monofásico com circuito auxiliar isolado e fonte auxiliar junto às chaves auxiliares $S_{a1,2}$ (Figura 60(b)) assume 12 etapas diferentes durante um período de chaveamento. Além disto, o conversor pode operar em dois modos distintos: no modo MA a carga do capacitor C_s é iniciada na etapa 10 e concluída na etapa 11a; no modo MB, a carga do capacitor C_s se realiza apenas durante a etapa 10.

A descrição de cada etapa bem como a análise das expressões matemáticas que rejeem a operação do circuito são apresentadas a seguir.

B.1. Processo de Entrada em condução da chave S₁.

Etapa 1 (t₀,t₁):

Nesta etapa o circuito auxiliar é acionado (chave S_{a1} entra em condução) e a corrente cresce linearmente no indutor L_a. Esta etapa acaba quando a corrente em L_a iguala-se a corrente de carga do inversor, I_o.

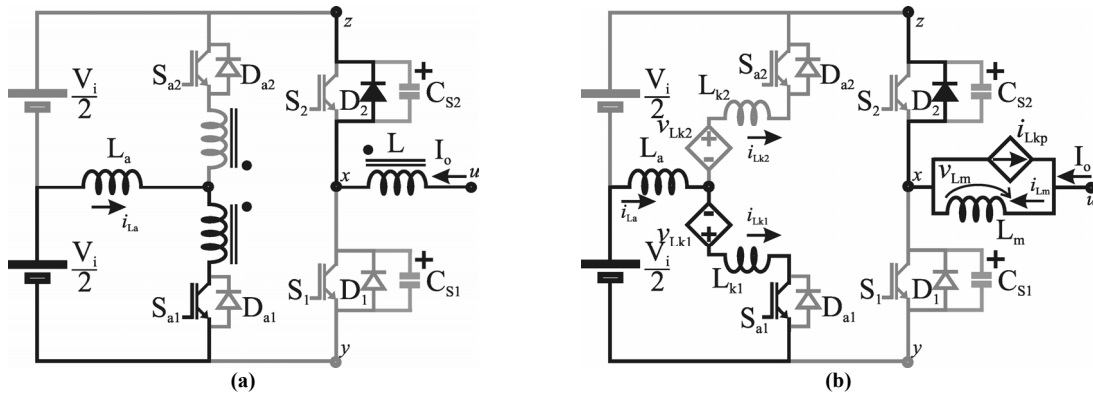


Figura 103 - Diagrama do circuito do conversor durante a Etapa 1, t₁-t₀. (a) Diagrama do circuito com indutores acoplados; (b) Modelo N-port cantilever.

Com base no diagrama da Figura 103(b), a expressões que governam a operação do conversor durante esta etapa são dadas por,

$$v_{Cs1}(t) = V_i \tag{5.218}$$

$$v_{Lm}(t) = V_{uy} - V_i \tag{5.219}$$

$$i_{La}(t) = \frac{V_i - N(V_{uy} - V_i)}{L_a + L_{k1}} t \tag{5.220}$$

$$i_{Lm}(t) = \frac{V_{uy} - V_i}{L_m} t + i_{Lm}(t_0) \tag{5.221}$$

A duração da etapa é definida pela seguinte expressão,

$$\Delta t_{E1} = t_1 - t_0 = \frac{-L_m(L_a + L_{k1})(i_{Lm}(t_0))}{(L_a + L_{k1})(V_{uy} - V_i) - L_m \left(\frac{V_i}{2} - N(V_{uy} - V_i) \right)} \tag{5.222}$$

Etapa 2 (t_1, t_2):

Nesta etapa o capacitor C_{s1} descarrega (C_{s2} carrega) de forma ressonante sob o circuito auxiliar. Esta etapa acaba quando a tensão em C_{s1} atinge zero (C_{s2} igual a V_i).

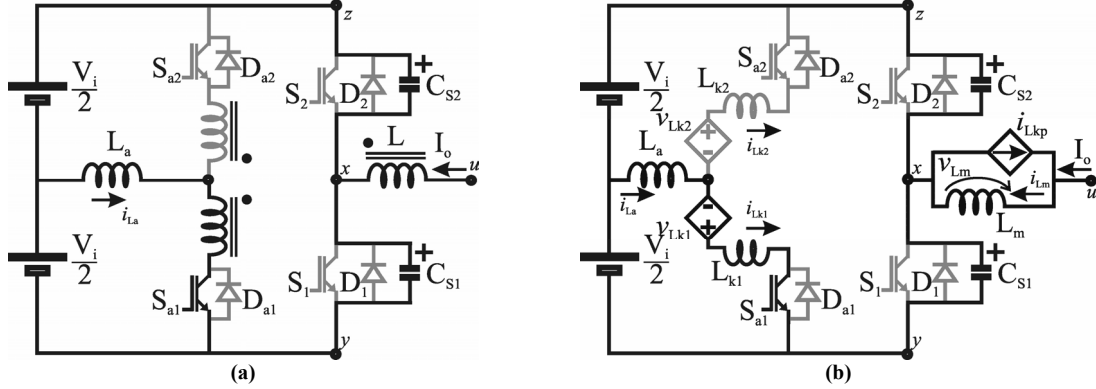


Figura 104 - Diagrama do circuito do conversor durante a Etapa 2, t_2-t_1 . (a) Diagrama do circuito com indutores acoplados; (b) Modelo N-port cantilever.

Com base no diagrama da Figura 104(b), as expressões que governam a operação do conversor durante esta etapa são dadas por,

$$v_{Cs1}(t) = V_{uy} - \left(\frac{\omega_{a4}}{\omega_2}\right)^2 \frac{V_i}{2} + \left[v_{Cs1}(t_1) - \left(V_{uy} - \left(\frac{\omega_{a4}}{\omega_2}\right)^2 \frac{V_i}{2} \right) \right] \cos(\omega_2 t) \quad (5.223)$$

$$v_{Lm}(t) = \left(\frac{\omega_{a4}}{\omega_2}\right)^2 \frac{V_i}{2} - \left[v_{Cs1}(t_1) - \left(V_{uy} - \left(\frac{\omega_{a4}}{\omega_2}\right)^2 \frac{V_i}{2} \right) \right] \cos(\omega_2 t) \quad (5.224)$$

$$i_{La}(t) = i_{La}(t_1) + \left(\left(1 - N \left(\frac{\omega_{a4}}{\omega_2}\right)^2 \right) \frac{V_i}{2(L_a + L_{k1})} \right) t - \left(\frac{N}{\omega_2(L_a + L_{k1})} \right) \left[v_{Cs1}(t_1) - \left(V_{uy} - \left(\frac{\omega_{a4}}{\omega_2}\right)^2 \frac{V_i}{2} \right) \right] \sin(\omega_2 t) \quad (5.225)$$

$$i_{Lm}(t) = i_{Lm}(t_1) + \left(\frac{\omega_{a4}}{\omega_2}\right)^2 \frac{V_i}{2L_m} t - \frac{1}{\omega_2 L_m} \left[v_{Cs1}(t_1) - \left(V_{uy} - \left(\frac{\omega_{a4}}{\omega_2}\right)^2 \frac{V_i}{2} \right) \right] \sin(\omega_2 t) \quad (5.226)$$

A duração da etapa é definida pela seguinte expressão,

$$\Delta t_{E2} = t_2 - t_1 = \frac{\cos^{-1} \left(- \left(V_{uy} - \left(\frac{\omega_{a4}}{\omega_2}\right)^2 \frac{V_i}{2} \right) / \left(V_i - \left(V_{uy} - \left(\frac{\omega_{a4}}{\omega_2}\right)^2 \frac{V_i}{2} \right) \right) \right)}{\omega} \quad (5.227)$$

Onde

$$\omega_2 = \sqrt{\frac{L_a + L_{k1} + L_m N^2}{(L_a + L_{k1}) L_m C_{eq}}} \quad (5.228)$$

$$\omega_{a4} = \sqrt{\frac{N}{(L_a + L_{k1}) C_{eq}}} \quad (5.229)$$

$$Z_2 = \sqrt{\frac{L_m L_a}{(L_a + L_{k1} + L_m N^2) C_{eq}}} \quad (5.230)$$

Etapa 3 (t_2, t_3):

Nesta etapa o diodo anti-paralelo (D_1) da chave S_1 encontra-se em condução e, portanto, esta chave pode ser acionada sob condições de tensão e corrente nulas simultaneamente. Esta etapa chega ao fim quando a chave auxiliar é bloqueada.

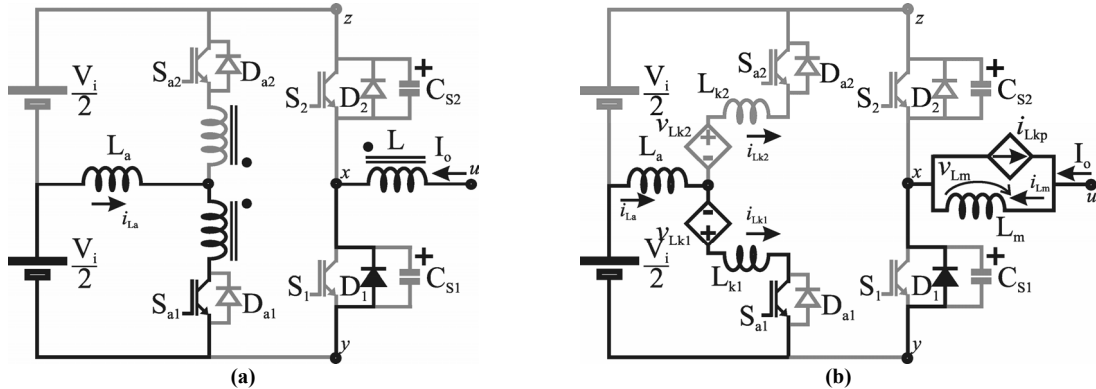


Figura 105 - Diagrama do circuito do conversor durante a Etapa 3, t_2 - t_3 . (a) Diagrama do circuito com indutores acoplados; (b) Modelo N-port cantilever.

Com base no diagrama da Figura 105(b), as expressões que governam a operação do conversor durante esta etapa são dadas por,

$$v_{Cs1}(t) = 0 \quad (5.231)$$

$$v_{Lm}(t) = V_{uy} \quad (5.232)$$

$$i_{La}(t) = \frac{V_i - NV_{uy}}{L_a + L_{k1}} t + i_{La}(t_2) \quad (5.233)$$

$$i_{Lm}(t) = \frac{V_{uy}}{L_m} t + i_{Lm}(t_2) \quad (5.234)$$

A duração da etapa é definida pela seguinte expressão,

$$\Delta t_{E3} = t_3 - t_2 = k_1 t_{rise} \quad (5.235)$$

Etapa 4 (t_3, t_4):

Nesta etapa o diodo auxiliar D_{a2} encontra-se em condução e o indutor L_a encontra-se em processo de desmagnetização. Esta etapa chega ao seu final quando o diodo anti-paralelo D_1 é bloqueado.

Com base no diagrama da Figura 106(b), as expressões que governam a operação do conversor durante esta etapa são dadas por,

$$v_{Cs1}(t) = 0 \quad (5.236)$$

$$v_{Lm}(t) = V_{uy} \quad (5.237)$$

$$i_{La}(t) = \frac{\frac{V_i}{2} - NV_{uy} - V_i}{L_a + L_{k2}} t + i_{La}(t_3) \quad (5.238)$$

$$i_{Lm}(t) = \frac{V_{uy}}{L_m} t + i_{Lm}(t_3) \quad (5.239)$$

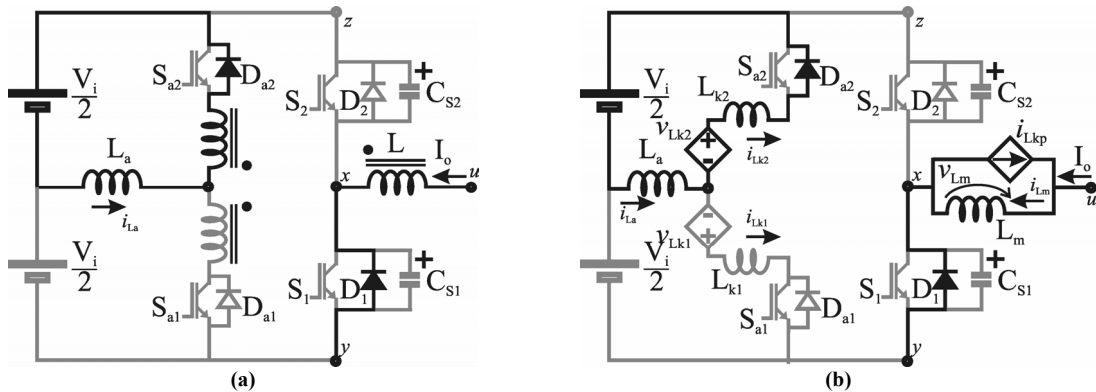


Figura 106 - Diagrama do circuito do conversor durante a Etapa 4, t_4 - t_3 . (a) Diagrama do circuito com indutores acoplados; (b) Modelo N-port cantilever.

A duração da etapa é definida pela seguinte expressão,

$$\Delta t_{E4} = t_4 - t_3 = \frac{L_m (L_a + L_{k2})(i_{La}(t_3) - i_{Lm}(t_3))}{(L_a + L_{k2})V_{uy} - L_m \left(\frac{V_i}{2} - NV_{uy} - V_i \right)} \quad (5.240)$$

Etapa 5 (t_4, t_5):

Nesta etapa a corrente na chave principal S_1 cresce linearmente até que esta se iguale a corrente de carga I_o .

Com base no diagrama da Figura 107(b), as expressões que governam a operação do conversor durante esta etapa são dadas por,

$$v_{Cs1}(t) = 0 \quad (5.241)$$

$$v_{Lm}(t) = V_{uy} \quad (5.242)$$

$$i_{La}(t) = \frac{\frac{V_i}{2} - NV_{uy} - V_i}{L_a + L_{k2}} t + i_{La}(t_4) \quad (5.243)$$

$$i_{Lm}(t) = \frac{V_{uy}}{L_m} t + i_{Lm}(t_4) \quad (5.244)$$

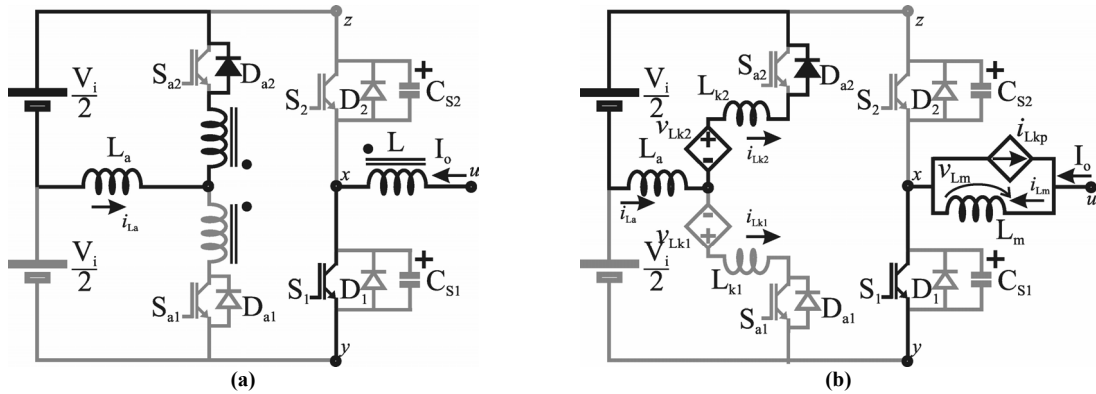


Figura 107 - Diagrama do circuito do conversor durante a Etapa 5, t_5-t_4 . (a) Diagrama do circuito com indutores acoplados; (b) Modelo N-port cantilever.

A duração da etapa é definida pela seguinte expressão,

$$\Delta t_{E5} = t_5 - t_4 = \frac{-(L_a + L_{k2})i_{La}(t_4)}{\frac{V_i}{2} - NV_{uy} - V_i} \quad (5.245)$$

Etapa 6 (t_5, t_6):

Nesta etapa a corrente no circuito auxiliar é nula e o conversor opera em modo PWM.

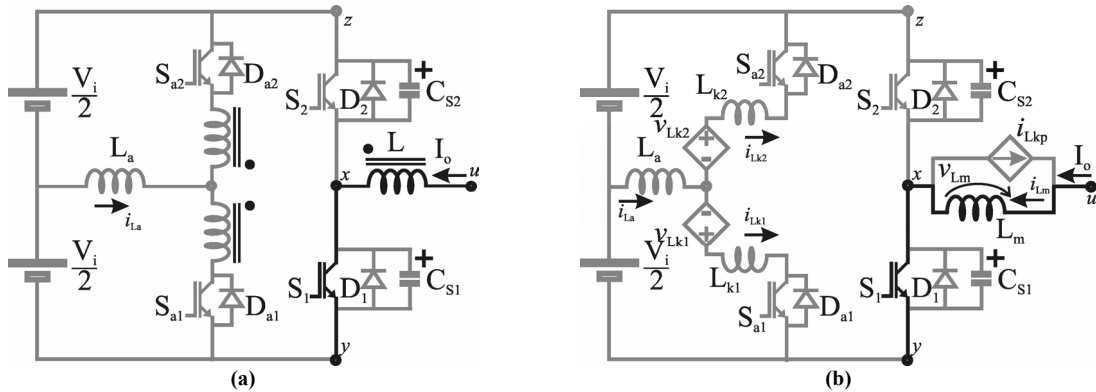


Figura 108 - Diagrama do circuito do conversor durante a Etapa 6, t_6-t_5 . (a) Diagrama do circuito com indutores acoplados; (b) Modelo N-port cantilever.

Com base no diagrama da Figura 108(b), as expressões que governam a operação do conversor durante esta etapa são dadas por,

$$v_{Cs1}(t) = 0 \quad (5.246)$$

$$v_{Lm}(t) = V_{uy} \quad (5.247)$$

$$i_{La}(t) = 0 \quad (5.248)$$

$$i_{Lm}(t) = \frac{V_{uy}}{L_m}t + i_{Lm}(t_5) \quad (5.249)$$

A duração da etapa é definida pela seguinte expressão,

$$\Delta t_{E6} = t_6 - t_5 = t_{on} - (\Delta t_{E3} + \Delta t_{E4} + \Delta t_{E5} + \Delta t_{E7} + \Delta t_{E8}) \quad (5.250)$$

B.2. Processo de Bloqueio da chave S_1 .

Etapa 7 (t_6, t_7):

Nesta etapa inicia-se o processo de bloqueio da chave S_1 . A chave auxiliar S_{a1} é acionada e a corrente cresce linearmente no indutor L_a . Esta etapa acaba quando a corrente em L_a iguala-se a corrente de carga I_o .

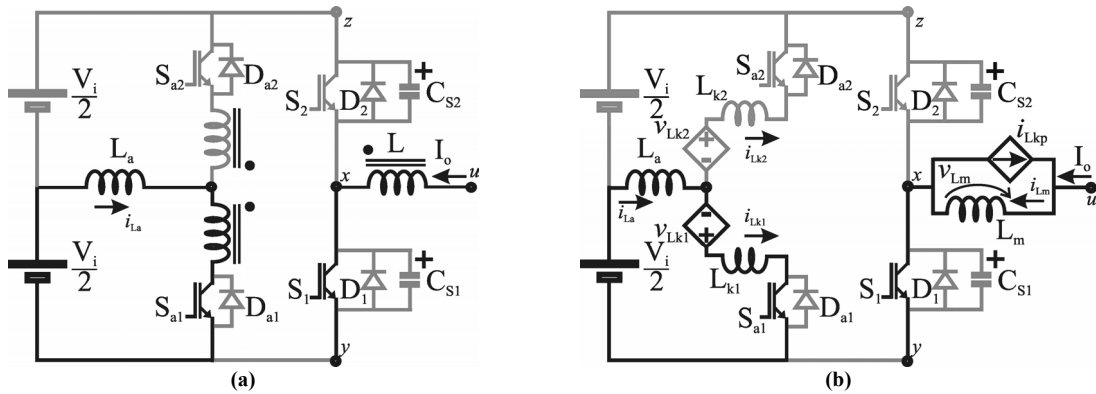


Figura 109 - Diagrama do circuito do conversor durante a Etapa 7, t_7-t_6 . (a) Diagrama do circuito com indutores acoplados; (b) Modelo N-port cantilever.

Com base no diagrama da Figura 109(b), as expressões que governam a operação do conversor durante esta etapa são dadas por,

$$v_{Cs1}(t) = 0 \quad (5.251)$$

$$v_{Lm}(t) = V_{uy} \quad (5.252)$$

$$i_{La}(t) = \frac{V_i - NV_{uy}}{L_a + L_{k1}} t + i_{La}(t_6) \quad (5.253)$$

$$i_{Lm}(t) = \frac{V_{uy}}{L_m} t + i_{Lm}(t_6) \quad (5.254)$$

A duração da etapa é definida pela seguinte expressão,

$$\Delta t_{E7} = t_7 - t_6 = \frac{L_m(L_a + L_{k1})(i_{La}(t_6) - i_{Lm}(t_6))}{(L_a + L_{k1})V_{uy} - L_m\left(\frac{V_i}{2} - NV_{uy}\right)} \quad (5.255)$$

Etapa 8 (t_7, t_8):

Nesta etapa o diodo anti-paralelo D_1 encontra-se em condução e, portanto, a chave S_1 pode ser desabilitada sob condições de tensão e corrente nulas simultaneamente. Esta

etapa chega ao fim quando a chave auxiliar é bloqueada.

Com base no diagrama da Figura 110(b), as expressões que governam a operação do conversor durante esta etapa são dadas por,

$$v_{Cs1}(t) = 0 \quad (5.256)$$

$$v_{Lm}(t) = V_{uy} \quad (5.257)$$

$$i_{La}(t) = \frac{V_i - NV_{uy}}{L_a + L_{k1}} t + i_{La}(t_7) \quad (5.258)$$

$$i_{Lm}(t) = \frac{V_{uy}}{L_m} t + i_{Lm}(t_7) \quad (5.259)$$

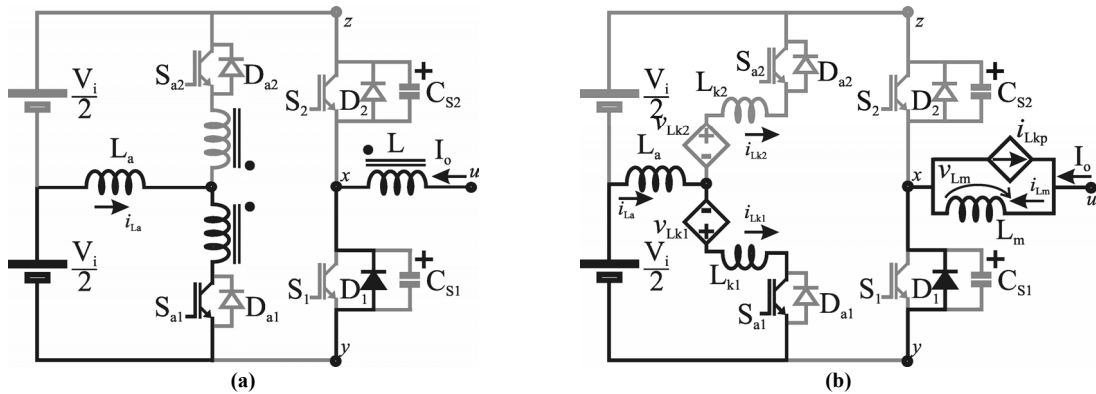


Figura 110 - Diagrama do circuito do conversor durante a Etapa 8, t_8-t_7 . (a) Diagrama do circuito com indutores acoplados; (b) Modelo N-port cantilever.

A duração da etapa é definida pela seguinte expressão,

$$\Delta t_{E8} = t_8 - t_7 = k_2 t_{fall} \quad (5.260)$$

Etapa 9 (t_8, t_9):

Nesta etapa o diodo auxiliar D_{a2} encontra-se em condução e o indutor L_a encontra-se em processo de desmagnetização. Esta etapa chega ao seu final quando o diodo anti-paralelo D_1 é bloqueado.

Com base no diagrama da Figura 111(b), as expressões que governam a operação do conversor durante esta etapa são dadas por,

$$v_{Cs1}(t) = 0 \quad (5.261)$$

$$v_{Lm}(t) = V_{uy} \quad (5.262)$$

$$i_{La}(t) = \frac{V_i - NV_{uy} - V_i}{L_a + L_{k2}} t + i_{La}(t_8) \quad (5.263)$$

$$i_{L_m}(t) = \frac{V_{vy}}{L_m} t + i_{L_m}(t_8) \quad (5.264)$$

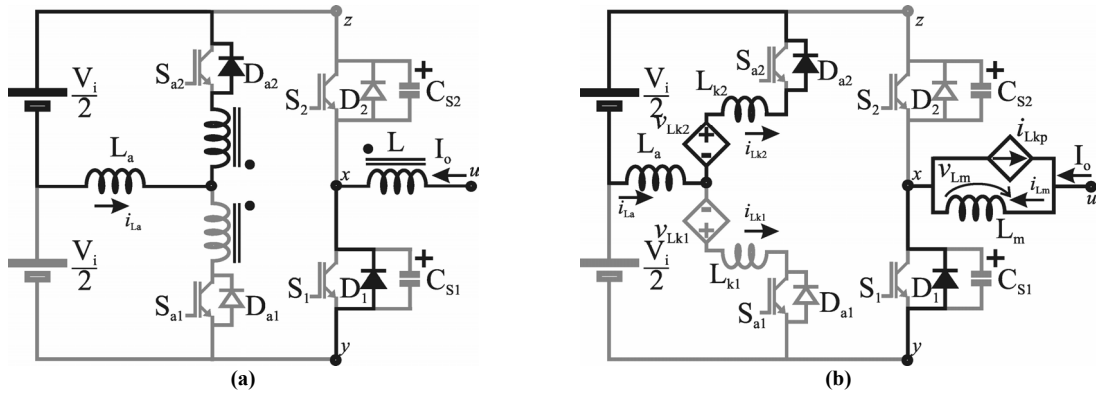


Figura 111 - Diagrama do circuito do conversor durante a Etapa 9, t_7 - t_8 . (a) Diagrama do circuito com indutores acoplados; (b) Modelo N-port cantilever.

A duração da etapa é definida pela seguinte expressão,

$$\Delta t_{E9} = t_9 - t_8 = \frac{L_m (L_a + L_{k2})(i_{L_a}(t_8) - i_{L_m}(t_8))}{(L_a + L_{k2})V_{vy} - L_m \left(\frac{V_i}{2} - NV_{vy} - V_i \right)} \quad (5.265)$$

Etapa 10 (t_9, t_{10}):

Nesta etapa o capacitor C_{s1} carrega-se (C_{s2} descarrega-se) de forma ressonante. O término desta etapa depende da dinâmica do circuito ressonante, a qual pode fazer com que a tensão em C_{s1} atinja a tensão V_i antes que a corrente i_{L_a} seja zero, ou vice-versa.

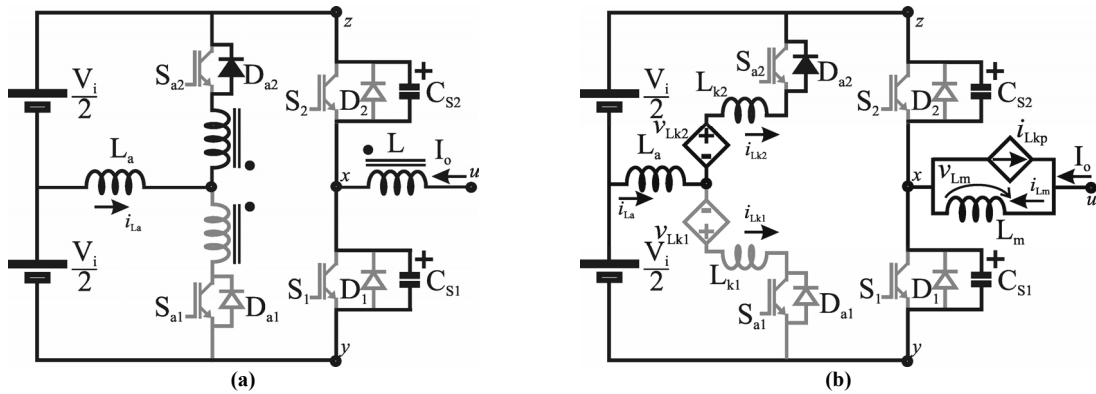


Figura 112 - Diagrama do circuito do conversor durante a Etapa 10, t_9 - t_{10} . (a) Diagrama do circuito com indutores acoplados; (b) Modelo N-port cantilever.

Com base no diagrama da Figura 112(b), as expressões que governam a operação do conversor durante esta etapa são dadas por,

$$v_{Cs}(t) = V_{vy} + \left(\frac{\omega_{a5}}{\omega_3} \right)^2 \left(V_i - \frac{V_i}{2} \right) + \left[v_{Cs1}(t_9) - \left(V_{vy} + \left(\frac{\omega_{a5}}{\omega_3} \right)^2 \left(V_i - \frac{V_i}{2} \right) \right) \right] \cos(\omega_3 t) \quad (5.266)$$

$$v_{Lm}(t) = \left(\frac{\omega_{a5}}{\omega_3} \right)^2 \left(\frac{V_i}{2} - V_i \right) - \left[v_{Cs1}(t_1) - \left(V_{vy} + \left(\frac{\omega_{a5}}{\omega_3} \right)^2 \left(V_i - \frac{V_i}{2} \right) \right) \right] \cos(\omega_3 t) \quad (5.267)$$

$$i_{La}(t) = i_{La}(t_1) + \left(\left(1 - N \left(\frac{\omega_{a5}}{\omega_3} \right)^2 \right) \left(-\frac{V_i}{2(L_a + L_{k2})} \right) \right) t - \left(\frac{N}{\omega(L_a + L_{k2})} \right) \left[v_{Cs1}(t_1) - \left(V_{uy} + \left(\frac{\omega_{a5}}{\omega_3} \right)^2 \left(\frac{V_i}{2} \right) \right) \right] \text{sen}(\omega_3 t) \quad (5.268)$$

$$i_{Lm}(t) = i_{Lm}(t_9) + \left(\frac{\omega_{a5}}{\omega_3} \right)^2 \left(\frac{-V_i}{2L_m} \right) t - \frac{1}{L_m \omega_3} \left[v_{Cs1}(t_9) - \left(V_{uy} + \left(\frac{\omega_{a5}}{\omega_3} \right)^2 \left(\frac{V_i}{2} \right) \right) \right] \text{sen}(\omega_3 t) \quad (5.269)$$

A duração da etapa é definida pela seguinte expressão,

$$\Delta t_{E10} = t_{10} - t_9 = \frac{\cos^{-1} \left[\left(\left(1 - \left(\frac{\omega_{a5}}{\omega_3} \right)^2 \right) V_i - V_{uy} - \left(\frac{\omega_{a5}}{\omega_3} \right)^2 \frac{V_i}{2} \right) / - \left(V_{uy} + \left(\frac{\omega_{a5}}{\omega_3} \right)^2 \left(\frac{V_i}{2} \right) \right) \right]}{\omega_3} \quad (5.270)$$

Onde

$$\omega_3 = \sqrt{\frac{L_a + L_{k2} + L_m N^2}{(L_a + L_{k2}) L_m C_{eq}}} \quad (5.271)$$

$$\omega_{a5} = \sqrt{\frac{N}{(L_a + L_{k2}) C_{eq}}} \quad (5.272)$$

$$Z_3 = \sqrt{\frac{L_m (L_a + L_{k2})}{(L_a + L_{k2} + L_m N^2) C_{eq}}} \quad (5.273)$$

Etapa 11a (t_{10}, t_{11}):

Nesta etapa o capacitor C_{s1} carrega-se (C_{s2} descarrega-se) de forma ressonante através da indutância L_m . O término desta etapa ocorre quando v_{Cs1} é igual a V_i (v_{Cs2} igual à zero).

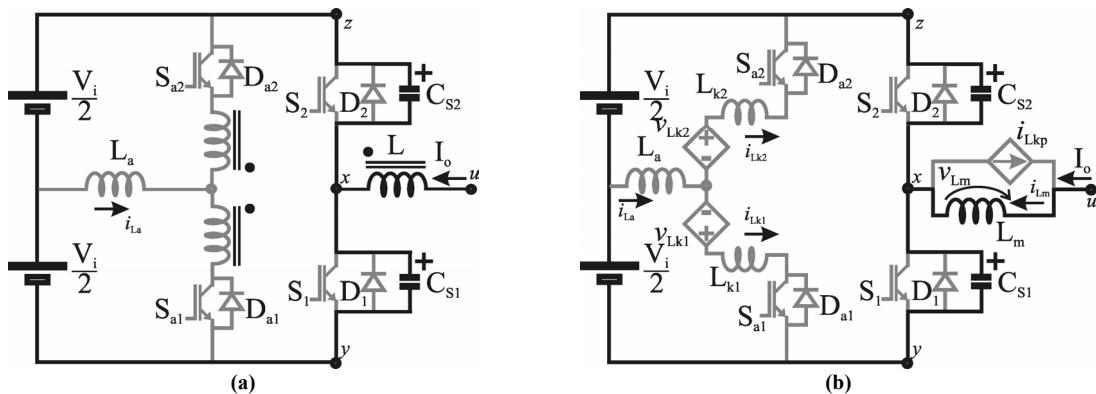


Figura 113 - Diagrama do circuito do conversor durante a Etapa 11, $t_{11}-t_{10}$. (a) Diagrama do circuito com indutores acoplados; (b) Modelo N-port cantilever.

Com base no diagrama da Figura 113(b), as expressões que governam a operação do conversor durante esta etapa são dadas por,

$$v_{Cs1}(t) = V_{uy} + (v_{Cs1}(t_{10}) - V_{uy}) \text{sen}(\omega_M t) + Z_M i_{Lm}(t_{10}) \cos(\omega_M t) \quad (5.274)$$

$$v_{Lm}(t) = -\left((v_{Cs1}(t_{10}) - V_{uy}) \text{sen}(\omega_M t) + Z_M i_{Lm}(t_{10}) \cos(\omega_M t)\right) \quad (5.275)$$

$$i_{La}(t) = i_{La}(t_{10}) = 0 \quad (5.276)$$

$$i_{Lm}(t) = \left(\frac{V_{uy} - v_{Cs1}(t_{10})}{Z_M}\right) \text{sen}(\omega_M t) + i_{Lm}(t_{10}) \cos(\omega_M t) \quad (5.277)$$

Onde,

$$\omega_M = \sqrt{\frac{1}{L_a C_{eq}}} \quad (5.278)$$

$$Z_M = \sqrt{\frac{L_m}{C_{eq}}} \quad (5.279)$$

A duração da etapa é definida pela seguinte expressão,

$$\Delta t_{E11} = t_{11} - t_{10} = \frac{\text{sen}^{-1}\left[\left(\frac{V_i - V_{uy}}{Z_M i_{Lm}(t_{10})}\right) + \left(\frac{V_{uy} - v_{Cs1}(t_{10})}{Z_M i_{Lm}(t_{10})}\right) \cos(\omega_M \Delta t_{E11})\right]}{\omega_M} \quad (5.280)$$

Etapa 11b (t_{10}, t_{11}):

Nesta etapa o indutor L_a desmagnetiza-se linearmente até que a corrente através do mesmo seja igual a zero.

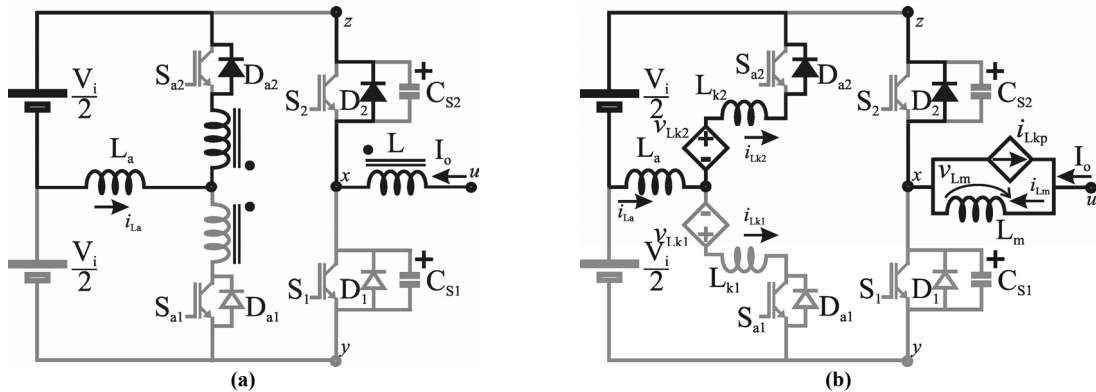


Figura 114 - Diagrama do circuito do conversor durante a Etapa 11, $t_{11}-t_{10}$. (a) Diagrama do circuito com indutores acoplados; (b) Modelo N-port cantilever.

Com base no diagrama da Figura 114(b), as expressões que governam a operação do conversor durante esta etapa são dadas por,

$$v_{Cs1}(t) = V_i \quad (5.281)$$

$$v_{Lm}(t) = V_{uy} - V_i \quad (5.282)$$

$$i_{La}(t) = \frac{\left(N - \frac{1}{2}\right) V_i - N V_{uy}}{L_a + L_{k2}} t + i_{La}(t_{10}) \quad (5.283)$$

$$i_{L_m}(t) = \left(\frac{V_{uy} - V_i}{L_m} \right) t + i_{L_m}(t_{10}) \quad (5.284)$$

A duração da etapa é definida pela seguinte expressão,

$$\Delta t_{E11} = t_{11} - t_{10} = \frac{(L_a + L_{k2})i_{La}(t_{10})}{NV_{uy} + \left(\frac{1}{2} - N \right) V_i} \quad (5.285)$$

Etapa 12 (t_{11}, t_0):

Nesta etapa a corrente no circuito auxiliar é nula e o conversor opera em modo PWM.

Com base no diagrama da Figura 115(b), as expressões que governam a operação do conversor durante esta etapa são dadas por,

$$v_{Cs1}(t) = V_i \quad (5.286)$$

$$v_{Lm}(t) = V_{uy} - V_i \quad (5.287)$$

$$i_{La}(t) = 0 \quad (5.288)$$

$$i_{Lm}(t) = \frac{V_{uy} - V_i}{L_m} t + i_{Lm}(t_{11}) \quad (5.289)$$

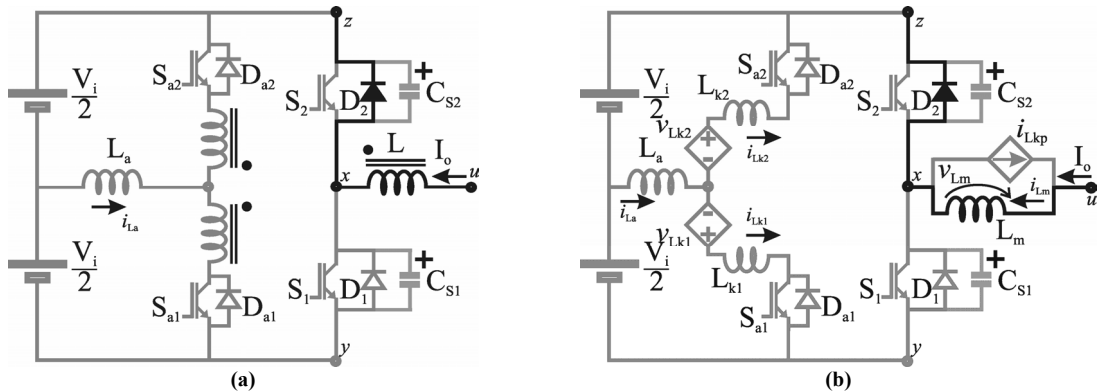


Figura 115 - Diagrama do circuito do conversor durante a Etapa 12, t_0-t_{11} . (a) Diagrama do circuito com indutores acoplados; (b) Modelo N-port cantilever.

A duração da etapa é definida pela seguinte expressão,

$$\Delta t_{E12} = t_0 - t_{11} = t_{off} = T - \Delta t_{E6} = T - \left(t_{on} - (\Delta t_{E3} + \Delta t_{E4} + \Delta t_{E5} + \Delta t_{E7} + \Delta t_{E8}) \right) \quad (5.290)$$

As principais formas de onda teóricas para um período de chaveamento do inversor são mostradas na Figura 116.

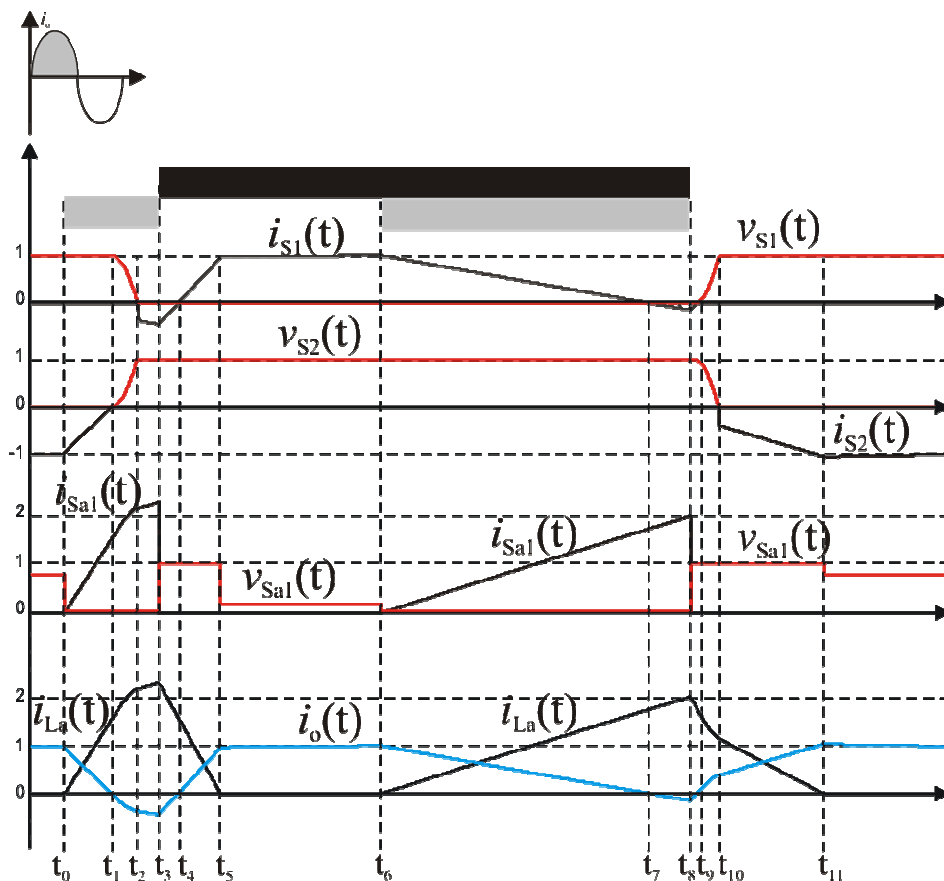


Figura 116 – Principais formas de onda teóricas do inversor ZCZVT monofásico com circuito auxiliar isolado.

5.4 Sumário.

Neste Capítulo foram analisados os circuitos auxiliares bidirecionais para inversores alimentados em tensão definidos no Capítulo 4. Além da descrição das etapas de operação dos circuitos, foram definidos matematicamente o conjunto das principais variáveis que caracterizam estes circuitos. As formas de onda são obtidas através de simulações numéricas das equações definidas num período de comutação dos semicondutores principais.

CAPÍTULO 6

PROJETO DOS INVERSORES ZCZVT MONOFÁSICOS COM ACOPLAMENTO MAGNÉTICO

6.1 *Introdução.*

Neste capítulo os Inversores ZCZVT com acoplamento magnético apresentados no Capítulo 5 são projetados e analisados. Os semicondutores principais e os elementos do filtro de saída são determinados conjuntamente por meio de um critério de perdas e volume baseado nas informações contidas nas folha de dados de cada componente. O projeto dos elementos dos circuitos auxiliares parte da caracterização das perdas dos IGBTs em condições de comutação ZVS e ZCS. As características dinâmicas dos IGBTs são utilizadas para determinar um conjunto de restrições, para as quais a relação de transformação (N) do indutor acoplado e o indutor auxiliar (L_a) devem ser projetadas. Uma vez que um conjunto de valores de N e L_a atendem as restrições, a fim de se estabelecer critérios para a definição de um único par de valores de (N e L_a) uma análise

das perdas dos semicondutores auxiliares é realizada. Assim, através da metodologia de projeto proposta, os valores de N e L_a são escolhidos de modo a minimizar as perdas dos IGBTs principais (através das restrições) e também minimizar as perdas dos semicondutores auxiliares (através dos critérios de perdas das chaves auxiliares).

6.2 Análise Dinâmica dos IGBTs em Condições de Comutação Não-dissipativa.

Para operação com comutação dissipativa, os manuais e folhas de dados (*datasheet*) dos dispositivos semicondutores fornecidos pelos fabricantes trazem informações suficientes para se extrair as características do dispositivo sem a necessidade de ensaios do mesmo. Todavia, quando circuitos especiais de auxílio à comutação são adicionados ao conversor, as condições tanto de comutação como também de condução podem ser totalmente alteradas. Para estes casos, poucas informações são encontradas nas folhas de dados. Desta forma, as características dos dispositivos tornam-se imprevisíveis caso não sejam feitos ensaios específicos do comportamento dos mesmos.

6.2.1 Comutação com corrente nula – ZCS.

Em conversores com comutação ZCS a corrente de cauda presente no bloqueio destes dispositivos é eliminada. Esta característica é obtida devido à corrente através do dispositivo alcançar zero antes do sinal de comando ser removido.

Embora a comutação ZCS aparentemente solucione os maiores problemas de comutação dos dispositivos com características bipolares como o IGBT, esta técnica de comutação produz alguns fenômenos que podem vir a ser fontes de perdas [102], [107], [110]-[111].

Mecanismos de Perdas da Entrada em Condução: Para realização da comutação ZCS, normalmente é incluído um elemento indutivo no caminho da corrente que flui pelo semicondutor. Este elemento indutivo reduz a taxa de crescimento da corrente di/dt através do semicondutor, reduzindo a sobreposição entre a tensão e a corrente através do dispositivo e assim, minimizando as perdas associadas a esta sobreposição. Um outro mecanismo para controle da sobreposição das formas de onda é o controle do tempo de subida (rise time - t_r) através do circuito de acionamento (drive) do semicondutor. Como o IGBT é controlado através da carga e da descarga de capacitâncias intrínsecas, a energia envolvida nestes processos pode ser uma fonte de perdas. Todavia, estas capacitâncias são

muito menores do que as capacitâncias de dispositivos portadores majoritários como o MOSFET. Isto torna as perdas capacitivas muito pequenas e portanto, desprezíveis para uma análise qualitativa.

Mecanismos de Perdas do Bloqueio: O bloqueio dos conversores que empregam comutação ZCS pode utilizar ou não um diodo em antiparalelo com o semiconductor para obtenção de condições de corrente e tensão simultaneamente nulas. Para os casos em que este diodo é empregado, existem os seguintes fenômenos:

- (i) Recuperação reversa do diodo antiparalelo: Após a corrente no diodo antiparalelo do interruptor se extinguir, o mesmo apresenta uma corrente reversa provocada pela recombinação dos portadores. Esta corrente de recuperação reversa pode causar perdas significativas. Além das perdas relacionadas diretamente com a recuperação reversa do diodo, este fenômeno provoca uma rápida sobre-elevação na tensão através do dispositivo. Uma alta taxa de variação de tensão (dv/dt) provocada pelo surto de tensão é uma das fontes mais importantes das perdas de comutação do dispositivo;
- (ii) Elevada taxa de variação de tensão (dv/dt): Após o término do processo de recuperação reversa do diodo antiparalelo do semiconductor, a tensão através do dispositivo cresce rapidamente devido à sobre-elevação de tensão provocado pela recuperação reversa do diodo. Uma taxa elevada de dv/dt faz com que ocorra um surto de corrente através do dispositivo. Este surto de corrente ocorre devido à carga existente na porção BJT do dispositivo e, portanto, a amplitude da corrente de surto será proporcional à carga remanescente no dispositivo no instante em que ocorre o dv/dt . Esta carga remanescente é função de vários fatores, como características construtivas e tecnológicas do dispositivo (tempo médio de recombinação, tempo de recuperação do diodo, etc.), como também de características do circuito, como a taxa de decréscimo de corrente através do mesmo (di/dt), o tempo de condução do diodo antiparalelo e o tempo em que o sinal de comando leva para ser.

A Figura 117 mostra as formas de onda de tensão e corrente típicas de um interruptor operando com comutação ZCS. As faixas em cinza representam os intervalos onde ocorrem perdas na comutação do dispositivo.

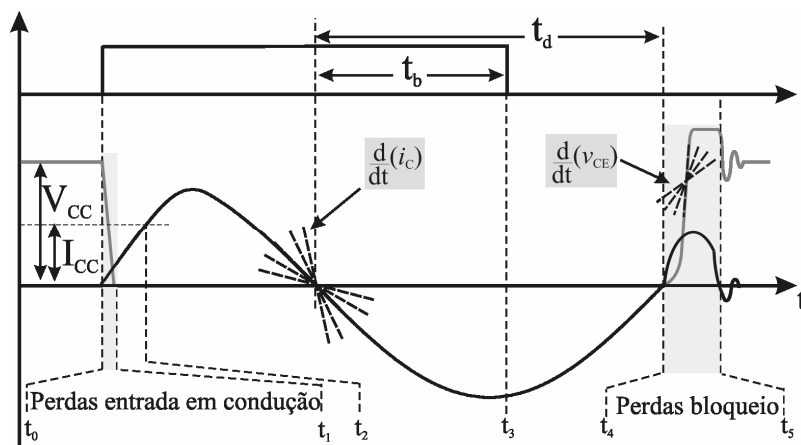


Figura 117 - Formas de onda teóricas para comutação ZCS típica.

Nesta figura observa-se o surto de corrente causado pelo elevado dv/dt durante o processo de bloqueio do dispositivo. Observam-se também os principais fatores que definem a magnitude deste surto de corrente. Pode-se concluir que em circuitos onde o dv/dt seja limitado logo após o bloqueio do semiconductor operando com ZCS têm-se as melhores condições para operação do IGBT, em termos de perdas em comutação. Por outro lado, para circuitos onde o dv/dt não seja limitado, o surto de corrente pode ser o fator limitador da frequência de operação do conversor. Isto porque a elevação da frequência de ressonância tende a aumentar o valor do surto de corrente. Uma vez que aumentando a frequência tem-se um aumento do valor de di/dt no instante em que a corrente alcança zero através do dispositivo e ainda, diminui-se o tempo de condução do diodo t_d . Dependendo da tecnologia do IGBT, por exemplo, para os dispositivos do tipo PT, o surto de corrente pode ser minimizado com a utilização de um tempo t_d adequado. Em contrapartida, em dispositivos do tipo NPT, deve-se assegurar que o sinal de comando esteja aplicado durante a condução do diodo, ou seja, o surto de corrente pode ser minimizado com a utilização de um tempo t_b adequado.

6.2.2 Comutação com tensão nula – ZVS.

A comutação ZVS proporciona condições de comutação apropriadas para minimização das perdas durante a entrada em condução de qualquer dispositivo semiconductor. Durante o processo de bloqueio, a presença de um capacitor em paralelo com o semiconductor proporciona a limitação na taxa de variação da tensão através do mesmo, minimizando a sobreposição entre a tensão e a corrente através do dispositivo e desta forma, reduzindo as perdas [102], [105]-[107] e [111]-[112].

Os fenômenos associados a esta técnica de comutação empregada à dispositivos do tipo IGBT são resumidos na Figura 118.

Mecanismos de Perdas da Entrada em Condução: Durante o processo de entrada em condução, normalmente tem-se a condução de um diodo localizado em antiparalelo com o interruptor a ser comutado. Com a condução deste diodo pode-se assumir que ambos, tensão e corrente são aproximadamente nulas através do dispositivo. Logo após o bloqueio do diodo, a corrente passa a crescer através do dispositivo. Assumindo que esta corrente cresce com uma taxa constante, as formas de onda através do dispositivo podem ser representadas na Figura 118. Observa-se através desta figura que a tensão de condução do dispositivo não é alcançada de forma linear, muito pelo contrário, a tensão sobre o dispositivo cresce de forma abrupta até atingir seu valor máximo, de onde decresce exponencialmente. Pode-se observar que enquanto a corrente através da chave varia sob uma taxa constante (di/dt) a queda de tensão através do dispositivo sofre um surto transitório sendo que durante todo intervalo onde di/dt é maior que zero a queda de tensão ($v_{CE(sat)}$ ou $v_{CE(on)}$) é superior a estipulada pela folha de dados do dispositivo.

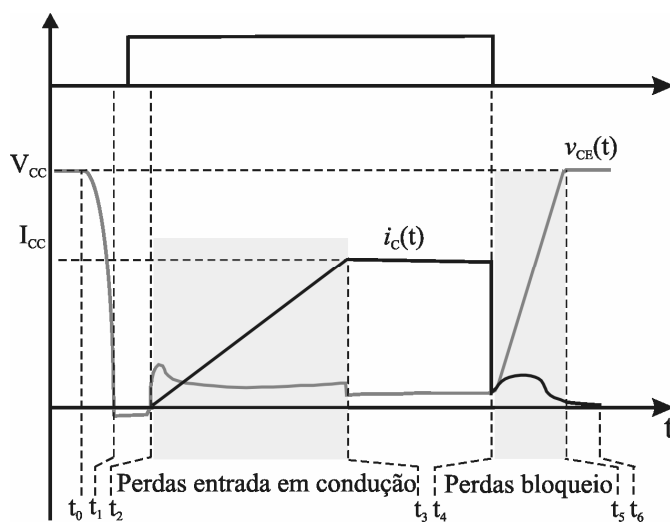


Figura 118 - Formas de onda teóricas para comutação ZVS típica.

Mecanismos de Perdas do Bloqueio: O comportamento da corrente durante o processo de bloqueio para um semicondutor operando sob condições ZVS é bem diferente do que o mesmo semicondutor operando com comutação dissipativa. Para comutação ZVS, a tensão v_{CE} cresce imediatamente após a corrente através do dispositivo iniciar seu processo de extinção. Embora v_{CE} cresça imediatamente, a taxa de crescimento desta tensão é limitada pela capacitância em paralelo com o dispositivo. Assim, a comutação ZVS reduz as perdas através do controle da sobreposição entre corrente e tensão através do

dispositivo. Por outro lado, como a tensão v_{CE} cresce lentamente, a carga armazenada no dispositivo é evacuada segundo as características do dispositivo. Para cessar a corrente através do transistor PNP existente internamente no IGBT, uma tensão negativa é aplicada no terminal porta do MOSFET também existente no dispositivo. Enquanto a tensão no terminal porta aproxima-se da tensão $v_{GE(th)}$ a corrente proveniente do MOSFET intrínseco reduz-se. Para compensar este decréscimo de corrente e manter a corrente através do dispositivo constante, a corrente proveniente do transistor PNP cresce, formando um surto de corrente. Este surto de corrente “*current bump*” ocorre enquanto v_{GE} decresce exponencialmente. Embora a magnitude e o tempo da corrente de cauda sejam maiores durante o bloqueio de um semicondutor operando sob ZVS, a capacitância em paralelo com este é responsável pela redução das perdas devido à sobreposição entre a corrente e a tensão através do dispositivo. Deste modo o bloqueio sob ZVS pode ser realizado com perdas menores do que com o semicondutor operando com comutação dissipativa. Dependendo da tecnologia do dispositivo o seu bloqueio sob ZVS ocorre de forma um pouco diferente, sendo que em dispositivos do tipo PT-IGBT, a magnitude do surto é maior, enquanto que em dispositivos do tipo NPT-IGBT, o surto de corrente apresenta um patamar (“*current plateau*”), com menor magnitude e maior extensão.

6.2.3 Comutação ZVS e ZCS simultâneas:

A comutação ZCZVS proporciona boas características de comutação para a entrada em condução e o bloqueio sendo respeitadas algumas das características intrínsecas do semicondutor mostradas na Figura 119 e descritas a seguir.

Mecanismos de Perdas da Entrada em Condução ZVS: A comutação ZVS por si só proporciona condições de comutação apropriadas para minimização das perdas durante a entrada em condução de qualquer dispositivo semicondutor, conforme mostrado no intervalo t_0-t_1 na Figura 119. Para que as perdas durante a entrada em condução sejam efetivamente reduzidas, a taxa de crescimento da corrente deve ser limitada. Deste modo os portadores minoritários têm tempo para combinação no interior do semicondutor, reduzindo as perdas em condução, conforme mostrado no intervalo t_1-t_2 na Figura 119.

Mecanismos de Perdas do Bloqueio ZCS: O bloqueio do semicondutor com comutação ZCS somente pode ser considerado eficiente, ou seja, com perdas reduzidas, caso o surto de corrente direta através do dispositivo, após o bloqueio do diodo antiparalelo, seja reduzido, intervalo t_5-t_6 da Figura 119. Para tal deve-se minimizar a taxa

de variação de corrente (di/dt) no instante em que a corrente direta através do dispositivo passa por zero (vide instante t_3 na Figura 119) e também, minimizar a taxa de crescimento da tensão (dv/dt) após o bloqueio do diodo antiparalelo (vide intervalo t_5 - t_6 na Figura 119). Além disto deve-se garantir que o diodo antiparalelo permaneça em condução por um tempo mínimo suficiente para que ocorra a recombinação dos portadores minoritários.

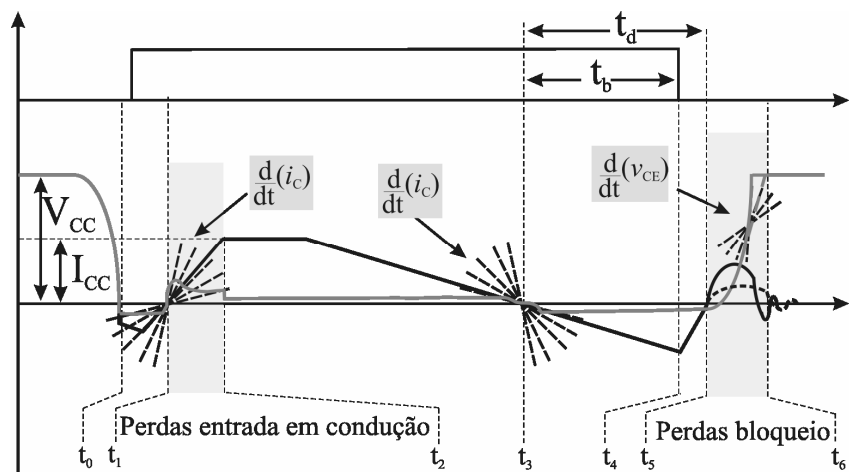


Figura 119 - Formas de onda teóricas para comutação ZVS e ZCS simultâneas.

A Figura 120 mostra as formas de onda práticas de um semiconductor sob comutação ZVS e ZCS simultâneas. Observa-se que o sinal de comando para acionar a chave (canal C1 – traço superior) troca de estado somente nos intervalos onde a corrente através do dispositivo excursiona por valores negativos e a tensão sobre o mesmo é nula.

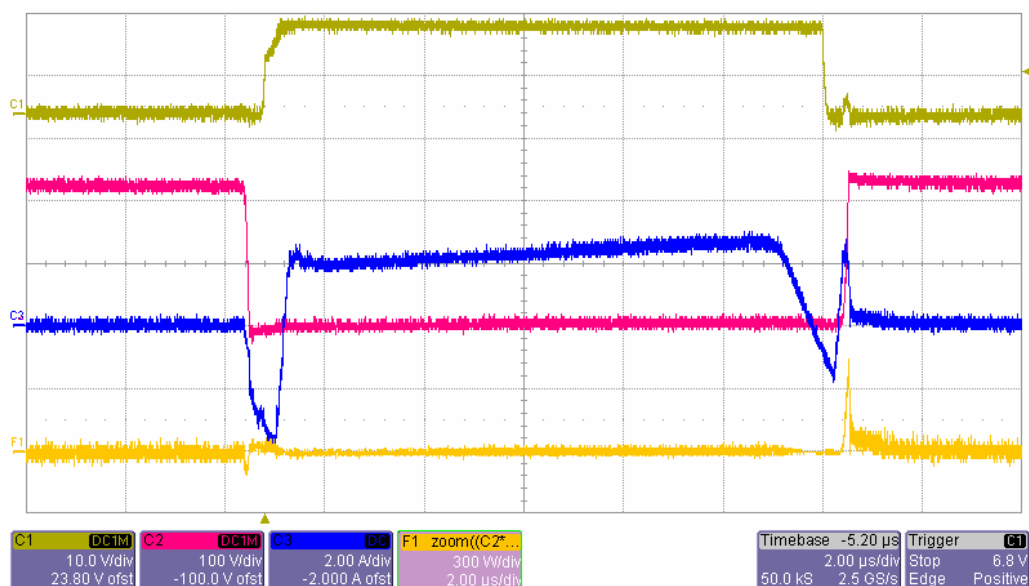


Figura 120 - Formas de onda práticas para uma comutação ZVS e ZCS simultâneas.

Observa-se também que, apesar da corrente através do semiconductor ser reduzida gradualmente durante o processo de bloqueio existe um pequeno surto de corrente quando

a tensão cresce sobre o dispositivo (processo de bloqueio). A potência instantânea dissipado pelo semicondutor é mostrada pela função F1 (traço inferior). Observa-se claramente o efeito do surto de corrente na potência dissipada. Por outro lado, a potência dissipada é muito pequena durante quase todo o intervalo de operação do semicondutor.

Além dos IGBTs, os diodos são parte constituinte de qualquer sistema de conversão estática e, no caso dos inversores, estes encontram-se encapsulados conjuntamente nos módulos semicondutores. Desta forma, além das características dinâmicas dos IGBTs, a recuperação reversa nos diodos é uma das principais fontes de perdas por comutação [100] e [128], e é função da taxa de decréscimo da corrente através do dispositivo, di_D/dt , como mostrado na Figura 121. Nesta figura pode-se observar as relações existentes entre os principais parâmetros que caracterizam um diodo que são a sua máxima corrente reversa (I_{rr}), o tempo de recuperação reversa (t_{rr}) e a carga associada à recuperação reversa (Q_{rr}).

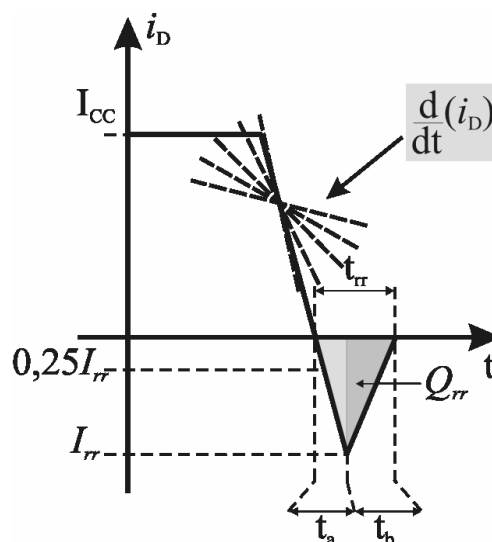


Figura 121 - Formas de onda para bloqueio de diodo.

6.3 Restrições a partir das Características Dinâmicas dos Semicondutores:

Conforme descrito, para que as técnicas de comutação suave tenham sucesso, é necessário que as mesmas levem em consideração a tecnologia do dispositivo semicondutor e também, que respeitem as suas características. Com este intuito nesta seção são mostradas de forma simplificada as principais limitações existentes para os IGBTs/diodos e como estas limitações podem ser relacionadas para se obter o projeto dos elementos do circuito de auxílio à comutação.

6.3.1 Primeira Restrição (R1), dv_s/dt durante o bloqueio:

Existem várias razões para reduzir a taxa de variação de tensão através de um dispositivo. Estas razões podem ser separadas em razões quanto às limitações físicas do dispositivo (ou ‘razões internas’) e razões quanto às limitações do circuito no qual o dispositivo se encontra inserido (ou ‘razões externas’) [261]. Dentre as razões internas pode-se citar: (i) proteção contra avalanche dinâmica; e, (ii) maior confiabilidade e imunidade do circuito de acionamento do dispositivo (gate drive). Dentre as razões externas pode-se citar: (iii) a redução dos esforços de tensão no isolamento dos enrolamentos para as aplicações onde o conversor é utilizado no acionamento de máquinas elétricas [258]-[259]; e, (iv) a redução da interferência eletromagnética (EMI) [260].

Considerando-se as limitações físicas dos dispositivos têm-se uma grande faixa de valores para o dv/dt , uma vez que as características físicas variam dependendo do dispositivo e da tecnologia empregada em cada um. Por exemplo, de acordo com [261], o dispositivo GTO suporta valores de dv/dt de até 500 V/ μ s. Por outro lado, dispositivos como IGCT podem suportar oito vezes este valor, ou seja, 4000 V/ μ s. Alguns dispositivos como o MCT e o IGBT toleram valores bem mais elevados, de 20 kV/ μ s [262] e 45 kV/ μ s [263], respectivamente. Todavia, em circuitos de acionamento modernos, os dispositivos são sujeitos a dv/dts em torno de 10 kV/ μ s [264].

Para os acionamentos elétricos existem normas (IEC 34-17), que regulamentam o valor máximo de tensão de 1000 V e uma taxa de variação máxima de 500 V/ μ s. Apesar disto alguns fabricantes de máquinas elétricas (WEG) fornecem equipamentos que suportam maiores valores de tensão (>1500 V) e variações de tensão de até 5200 V/ μ s [265].

Existem dois modos para se controlar ou limitar as taxas de variação de tensão através de um dispositivo, um modo é a introdução de circuitos adicionais junto ao circuito de acionamento/comando (gate drive) do dispositivo; e o outro modo é através de circuitos adicionais junto ao circuito de potência do conversor.

Com a inclusão de elementos auxiliares junto ao circuito de acionamento (gate drive) podem controlar as taxas de variação de tensão (dv/dt) através do dispositivo, todavia, normalmente as perdas em comutação não são reduzidas e, em alguns casos podem ser até maiores do que para o mesmo circuito sem o controle das taxas de variação de tensão (dv/dt).

Por outro lado, a inclusão de circuitos auxiliares junto ao circuito de potência tem como maior vantagem, além da possibilidade do controle das taxas de dv/dt e de di/dt , a possibilidade da redução das perdas do conversor. Todavia, em alguns casos a maior complexidade do circuito auxiliar pode tornar estes circuitos menos atrativos do que a utilização de controle através do circuito de acionamento.

Nos conversores onde o controle da taxa de variação de tensão é feito junto ao circuito de potência, é inevitável a utilização de algum elemento capacitivo em paralelo com o dispositivo semiconductor cujo dv/dt deva ser controlado.

Admitindo-se que a frequência de comutação é muito maior do que a frequência da forma de onda modulada pelo inversor pode-se considerar que a carga do capacitor (C_s) em paralelo com o dispositivo semiconductor é feita de forma linear. Daí tem-se que,

$$C_s = \frac{i_{C_s}(t)}{\frac{d}{dt}v_{C_s}(t)} \quad (6.291)$$

Considerando-se que a corrente através do capacitor é aproximadamente o valor médio da corrente através do indutor de filtro L_M , pode-se escrever,

$$C_s = \frac{I_0}{\frac{d}{dt}v_{C_s}(t)} \quad (6.292)$$

Onde I_0 é a corrente através do indutor de filtro,

Portanto,

$$C_s \geq \frac{P_{0(fase)}}{\eta\sqrt{2}V_{0(RMS)}\frac{d}{dt}v_{C_s(Max)}} \quad (6.293)$$

Através da expressão (6.293) observa-se que o valor do capacitor C_s é inversamente proporcional ao valor do dv/dt , ou seja, quanto maior o valor do capacitor C_s , menor será o valor do dv/dt . Deste modo deve-se esperar que o capacitor C_s seja feito o maior possível.

Por outro lado, devido à sua localização em paralelo com a chave semicondutora, a energia acumulada neste capacitor deve ser descarregada antes que a chave seja acionada. Deste modo, a energia acumulada no capacitor, dada pela expressão (6.294), circula pelos elementos auxiliares antes de ser enviada para a fonte ou para carga. Isto faz com que existam perdas adicionais de condução. Assim, a energia acumulada em C_s deve ser

reduzida. De acordo com a expressão (6.294), a energia é função do valor de C_s e da tensão sobre o mesmo.

$$E_{C_s} = \frac{1}{2} C_s (v_{C_s}(t))^2 \quad (6.294)$$

Como a tensão $v_{C_s}(t)$ não depende do projeto do circuito auxiliar, pode-se afirmar que a energia E_{C_s} é função somente do valor de C_s e é diretamente proporcional a este valor.

Portanto, existe um compromisso entre a limitação do dv/dt e a energia acumulada em C_s . A Figura 122 mostra a relação entre o dv_{C_s}/dt e C_s , dada pela expressão (6.293) e a relação entre a energia de C_s e o seu valor, dada pela expressão (6.294). Observa-se que a função dada pela expressão (6.294) é linear, ou seja, a diferença entre quaisquer dois valores de C_s fornece a mesma diferença para os respectivos valores de energia (E_{C_s}). Por outro lado, a função dada pela expressão (6.293) é aproximadamente uma exponencial decrescente com origem no infinito. Assim, de um modo simplificado, pode-se considerar que existem duas regiões distintas definidas por esta expressão, uma região (dita Região A), onde uma pequena diferença entre valores de C_s produz uma grande diferença de valores de dv/dt ; e, uma região (dita Região B), onde uma grande diferença de valores de C_s produz uma pequena diferença de valores de dv/dt . A fronteira entre ambas as regiões é dada por,

$$\alpha = \frac{d}{dC_s} \left(\frac{d}{dt} v_{C_s} \right) = -45^\circ \quad (6.295)$$

ou ainda, considerando-se a função derivada da expressão (6.292), também mostrada na (6.296),

$$\frac{d}{dC_s} \left(\frac{d}{dt} v_{C_s} \right) = -\frac{I_0}{C_s^2} \quad (6.296)$$

é igual a -1 .

$$\text{tg}(\alpha) = \frac{d}{dC_s} \left(\frac{d}{dt} v_{C_s} \right) = -1 \quad (6.297)$$

Portanto,

$$C_{s(\text{Critico})} = \sqrt{\frac{I_0}{\frac{d}{dC_s} \left(\frac{d}{dt} v_{C_s} \right)}} \quad (6.298)$$

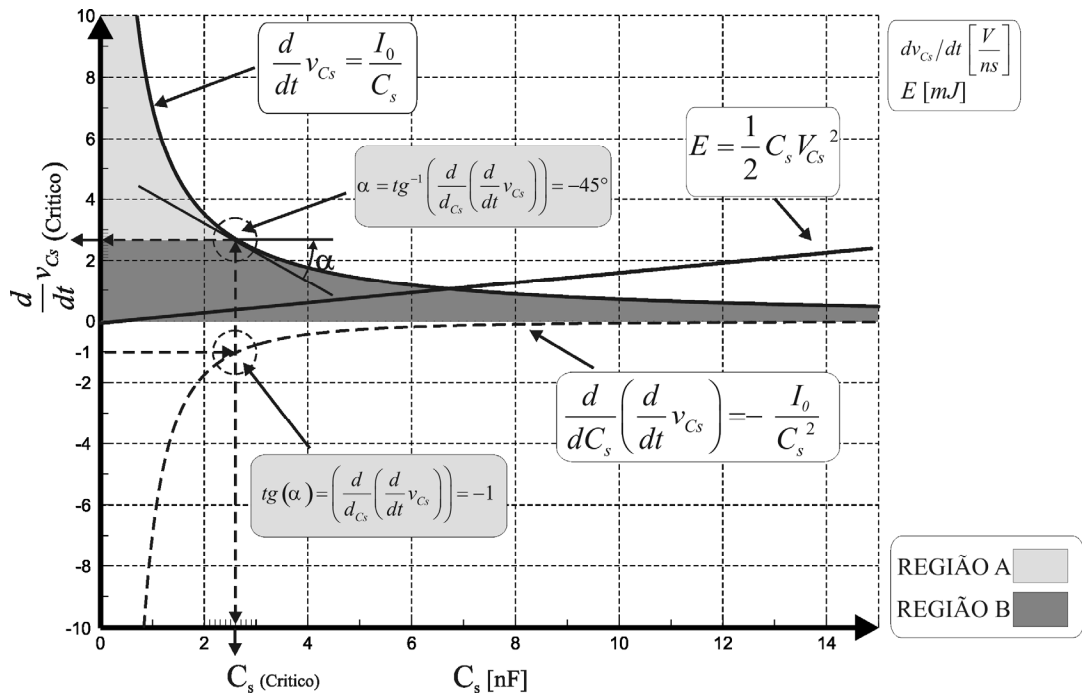


Figura 122 – Compromisso do dv/dt com a energia em C_s .

Observa-se através da Figura 122 que, quanto maior a potência, maior o valor do capacitor crítico. Entretanto, o valor correspondente de dv/dt também é maior. Isto significa que em potências elevadas, a redução do dv/dt para valores próximos a 1 V/ns penalizará as perdas em condução do circuito auxiliar, uma vez que o capacitor C_s deverá ser muito maior que o valor do capacitor crítico e assim, a energia acumulada em C_s será grande.

Como o projeto do inversor visa a redução das perdas e o aumento da eficiência do sistema pode-se escolher qualquer valor abaixo do valor crítico para C_s . Neste trabalho optou-se por um capacitor de polipropileno de 1nF/630V.

6.3.2 Segunda Restrição (R2), di_D/dt :

Para reduzir as perdas de recuperação reversa nos diodos tem-se:

a. Para o inversor ZCZVT com circuito auxiliar em derivação, a corrente no diodo durante a etapa 1 é definida pela seguinte expressão,

$$i_D(t) = i_{Lm}(t) + (N - 1)i_{La}(t) \quad (6.299)$$

Aplicando a derivada e substituindo os valores de v_{Lm} e v_{La} do circuito em (6.299), pode-se encontrar uma expressão para o indutor L_a .

$$L_a = \left(\frac{L_a}{L_m} \right) \frac{V_{uy} - V_i}{\left(\frac{d}{dt} i_D(t) \right)} + \frac{(N-1)(NV_{uy} + (1-N)V_i)}{\left(\frac{d}{dt} i_D(t) \right)} \quad (6.300)$$

Considerando-se que $L_m \gg L_a$, pode-se simplificar a expressão (6.300) como

$$L_a \geq \frac{(N-1)(NV_{uy} - (1-N)V_i)}{\left(\frac{d}{dt} i_D(t) \right)} \quad (6.301)$$

b. Para o inversor ZCZVT com circuito auxiliar isolado, a corrente no diodo durante a etapa 1 é definida pela seguinte expressão,

$$i_D(t) = i_{L_m}(t) - Ni_{L_a}(t) \quad (6.302)$$

Aplicando a derivada e substituindo as variáveis do circuito,

$$L_a = \left(\frac{L_a}{L_m} \right) \frac{V_{uy} - V_i}{\left(\frac{d}{dt} i_D(t) \right)} + \frac{N^2 V_{uy} - \left(N^2 + \frac{N}{2} \right) V_i}{\left(\frac{d}{dt} i_D(t) \right)} \quad (6.303)$$

Considerando-se que $L_m \gg L_a$, pode-se simplificar a expressão (6.303), como

$$L_a \geq \frac{N \left(NV_{uy} - \left(N + \frac{1}{2} \right) V_i \right)}{\left(\frac{d}{dt} i_D(t) \right)} \quad (6.304)$$

6.3.3 Terceira Restrição (R3), di_s/dt durante a entrada em condução:

a. Para o inversor ZCZVT com circuito auxiliar em derivação, a corrente na chave durante a etapa 5 pode ser definida pela seguinte expressão,

$$i_{S1}(t) = i_{L_m}(t) + (N-1)i_{L_a}(t) \quad (6.305)$$

Aplicando a derivada e substituindo os valores de v_{L_m} e v_{L_a} do circuito tem-se,

$$L_a = \left(\frac{L_a}{L_m} \right) \frac{V_{uy}}{\left(\frac{d}{dt} i_{S1(on)}(t) \right)} + \frac{(N-1)(NV_{uy} - V_i)}{\left(\frac{d}{dt} i_{S1(on)}(t) \right)} \quad (6.306)$$

Considerando-se que $L_m \gg L_a$, pode-se simplificar a expressão (6.306) como

$$L_a \geq \frac{(N-1)(NV_{uy} - V_i)}{\left(\frac{d}{dt} i_{S1(on)}(t) \right)} \quad (6.307)$$

b. Para o inversor ZCZVT com circuito auxiliar isolado, a corrente no diodo durante a etapa 5 é definida pela seguinte expressão,

$$i_{S1}(t) = i_{Lm}(t) - Ni_{La}(t) \quad (6.308)$$

Aplicando a derivada e substituindo as variáveis do circuito,

$$L_a = \left(\frac{L_a}{L_m} \right) \frac{V_{uy}}{\left(\frac{d}{dt} i_{S1(on)}(t) \right)} - \frac{N \left(NV_{uy} + \frac{V_i}{2} \right)}{\left(\frac{d}{dt} i_{S1(on)}(t) \right)} \quad (6.309)$$

Considerando-se que $L_m \gg L_a$, pode-se simplificar a expressão (6.309), como

$$L_a \geq \frac{N \left(NV_{uy} + \frac{V_i}{2} \right)}{\left(\frac{d}{dt} i_{S1(on)}(t) \right)} \quad (6.310)$$

6.3.4 Quarta Restrição (R4), di_s/dt durante o bloqueio:

a. Para o inversor ZCZVT com circuito auxiliar em derivação, a corrente na chave durante a etapa 7 pode ser definida pela seguinte expressão,

$$i_{S1}(t) = i_{Lm}(t) + (N-1)i_{La}(t) \quad (6.311)$$

Aplicando a derivada e substituindo os valores de v_{Lm} e v_{La} do circuito,

$$L_a = \left(\frac{L_a}{L_m} \right) \frac{V_{uy}}{\left(\frac{d}{dt} i_{S1(off)}(t) \right)} + \frac{N(N-1)V_{uy}}{\left(\frac{d}{dt} i_{S1(off)}(t) \right)} \quad (6.312)$$

Considerando-se que $L_m \gg L_a$, pode-se simplificar a expressão (6.312) como

$$L_a \geq \frac{N(N-1)V_{uy}}{\frac{d}{dt} i_{S1(off)}(t)} \quad (6.313)$$

b. Para o inversor ZCZVT com circuito auxiliar isolado, a corrente no diodo durante a etapa 7 é definida pela seguinte expressão,

$$i_{S1}(t) = i_{Lm}(t) - Ni_{La}(t) \quad (6.314)$$

Aplicando a derivada e substituindo as variáveis do circuito,

$$L_a = \left(\frac{L_a}{L_m} \right) \frac{V_{uy}}{\left(\frac{d}{dt} i_{S1(off)}(t) \right)} - \frac{N \left(\frac{V_i}{2} - NV_{uy} \right)}{\left(\frac{d}{dt} i_{S1(off)}(t) \right)} \quad (6.315)$$

Considerando-se que $L_m \gg L_a$, pode-se simplificar a expressão (6.315), como

$$L_a \geq \frac{N \left(NV_{wy} - \frac{V_i}{2} \right)}{\frac{d}{dt} i_{s1(off)}(t)} \quad (6.316)$$

6.3.5 Quinta Restrição (R5), $t_{b(\text{Min})}$ e $t_{d(\text{Min})}$:

O intervalo de tempo definido por $t_{d(\text{Min})}$ deve ser suficiente para que ocorra a recombinação dos portadores minoritários no interior do dispositivo. Como regra geral, pode-se utilizar um valor de 2 a 4 vezes o tempo total de queda da corrente de plena carga à zero através do dispositivo durante o seu bloqueio (t_{fall}). Assim, pode-se estimar o valor de t_d pela Tabela 11.

Tabela 10 – Parâmetros típicos para IGBTs com $BV_{CES} = 600V$.

Dispositivo	$I_C (25^\circ/70^\circ)$	Q_{rr}	I_{rr}	t_{rr}	$t_{fall} (t_{d(off)})$	$2 \times t_{fall} (t_{d(off)})$
Skiip 15AC065V1 *	38 A/ 28 A	2,2 μ C	22 A	---	10ns (185ns)	20ns (370ns)
BSM30GD60DLC++	40 A/ 30 A	3,3 μ C	64 A	---	18ns (85ns)	36ns (170ns)
6MBI20GS-060 ** (G Series)	40 A/ ---	---	15 A	200ns	350ns (1 μ s)	700ns (2 μ s)
VII 50-06P1 #	42,5 A/ 29 A	---	7 A	50ns	40ns (270ns)	80ns (540ns)
SK45GB063 *	45 A/ 30 A	3,5 μ C	58 A	---	25ns (250ns)	50ns (500ns)
MWI 30-06 A7 #	45 A/ 30 A	---	13 A	90ns	40ns (270ns)	80ns (540ns)
2MBI 50N-060 ** (N Series, 3rd Gen.)	50 A/ ---	---	23 A	35ns	200ns (600ns)	400ns (1,2 μ s)
FMG2G50US60 °	50 A/ 50 A	4,55 μ C	7 A	130ns	250ns (70ns)	500ns (140ns)

* Semikron; ** Fuji; ++Eupec; # IXYS; ° Fairchild.

6.3.6 Sexta Restrição (R6), perda de razão cíclica e razão cíclica mínima.

Além das restrições descritas acima, que são função direta dos semicondutores utilizados no conversor, dependendo da aplicação e do circuito utilizado, existirão outras restrições. Uma restrição importante diz respeito à perda de razão-cíclica do circuito do conversor.

Em inversores com comutação dissipativa, o período de condução de qualquer chave semicondutora pode variar teoricamente de zero até todo o período de comutação. Todavia, isto não é verdade pois o dispositivo necessita de um intervalo de tempo para que

possa trocar de estado. Nos inversores com comutação assistida, a entrada em condução e/ou o bloqueio de um semiconductor não ocorre de forma imediata. Normalmente os elementos auxiliares proporcionam condições adequadas para que o semiconductor comute após um intervalo de tempo. Assim, o tempo de condução do dispositivo, bem como o seu tempo de bloqueio são limitados pelos intervalos para se alcançar condições de comutação com tensão e/ou corrente nula.

Para o inversor ZCZVT o mínimo intervalo de condução de qualquer uma das chaves principais é definido como,

$$t_{on(Min)} = \Delta t_{E4} + \Delta t_{E5} + \Delta t_{E7} + \Delta t_{E8} \quad (6.317)$$

Onde os intervalos Δt_{E4} , Δt_{E5} , Δt_{E7} e Δt_{E8} são definidos para cada inversor no Capítulo 5.

Por outro lado o máximo intervalo de condução é dado por,

$$t_{on(Max)} = T - (\Delta t_{E1} + \Delta t_{E2} + \Delta t_{E3} + \Delta t_{E9} + \Delta t_{E10} + \Delta t_{E11}) \quad (6.318)$$

Onde os intervalos Δt_{E1} , Δt_{E2} , Δt_{E3} , Δt_{E9} , Δt_{E10} e Δt_{E11} são definidos para cada inversor no Capítulo 5.

Considerando-se que o circuito auxiliar do inversor ZCZVT com acoplamento magnético não opera para toda faixa de valores de correntes de carga, o tempo mínimo de condução deve considerar a faixa de operação do circuito auxiliar.

Portanto, tem-se

$$t_{on(Min)} = D_{Min} T \quad (6.319)$$

Onde a razão cíclica mínima pode ser definida como

$$D_{(Min)} = \frac{V_{0(Min)}}{V_i} = \frac{k_w V_{0(Max)}}{V_i} \quad (6.320)$$

Onde $V_{0(Max)}$ representa o valor máximo da tensão de saída e a constante k_w representa o percentual desta tensão na qual o circuito auxiliar pode operar. Observa-se que para $k_w=0$ o circuito auxiliar opera em toda faixa de tensão e para $k_w=1$, o circuito auxiliar permanece sempre inativo.

Substituindo (6.320) em (6.319) tem-se,

$$t_{on(Min)} = \frac{k_w V_{0(Max)}}{V_i} T \quad (6.321)$$

Como a relação entre a máxima tensão de saída e a tensão de entrada é definida como profundidade de modulação (M_a), pode-se ainda expressar a mínima razão cíclica

como,

$$t_{on(Min)} = k_w M_a T \quad (6.322)$$

a. Para o inversor ZCZVT com circuito auxiliar em derivação, tem-se que, substituindo-se as expressões dos intervalos de tempo,

$$t_{on(Min)} = k_w M_a T = \frac{L_m L_a (i_{L_m}(t_6))}{L_m (1-N) N V_{uy} - L_a V_{uy}} + \frac{L_a i_{La}(t_3)}{V_i - N V_{uy}} \quad (6.323)$$

Substituindo-se as condições iniciais por, $i_{L_m}(t_6) \approx I_0$ e $i_{La}(t_3) \approx 2,5 I_0$ e ainda considerando-se que $L_m \gg L_a$ tem-se,

$$L_a \leq \frac{k_w M_a T}{I_0 \left(\frac{1}{(1-N) N V_{uy}} + \frac{2,5}{V_i - N V_{uy}} \right)} \quad (6.324)$$

b. Para o inversor ZCZVT com circuito auxiliar isolado tem-se,

$$L_a \leq \frac{k_w M_a T}{I_0 \left(\frac{1}{\frac{V_i}{2} - N V_{uy}} + \frac{2,5}{\frac{V_i}{2} + N V_{uy}} \right)} \quad (6.325)$$

Por outro lado, o máximo intervalo de condução ($t_{on(Max)}$) pode ser uma limitação visto que este pode limitar a maior profundidade de modulação do inversor.

Considerando-se que as etapas de magnetização e desmagnetização linear do indutor são muito maiores que as etapas ressonantes ($\Delta t_{E1} + \Delta t_{E3} + \Delta t_{E9} + \Delta t_{E11} \gg \Delta t_{E2} + \Delta t_{E10}$) e ainda, que os intervalos $\Delta t_{E1} + \Delta t_{E11} \gg \Delta t_{E3} + \Delta t_{E9}$ pode-se simplificar a expressão (6.191) como,

$$t_{on(Max)} = T - (\Delta t_{E1} + \Delta t_{E11}) \quad (6.326)$$

a. Para o inversor ZCZVT com circuito auxiliar em derivação, tem-se que, substituindo-se as expressões dos intervalos de tempo,

$$T - t_{on(Max)} = \left(\frac{L_m L_a (i_{L_m}(t_0))}{L_m (1-N) (N V_{uy} + V_i (1-N)) - L_a (V_{uy} - V_i)} + \frac{L_a i_{La}(t_{10})}{N (V_i - V_{uy})} \right) \quad (6.327)$$

Substituindo-se as condições iniciais por, $i_{L_m}(t_0) \approx I_0$ e $i_{La}(t_{10}) \approx 2 I_0$ e ainda considerando-se que $L_m \gg L_a$ tem-se,

$$L_a \leq \frac{T - t_{on(Max)}}{I_0 \left(\frac{1}{(1-N)(NV_{uy} + (1-N)V_i)} + \frac{2}{N(V_i - V_{uy})} \right)} \quad (6.328)$$

b. Para o inversor ZCZVT com circuito auxiliar isolado tem-se,

$$L_a \leq \frac{T - t_{on(Max)}}{I_0 \left(\frac{1}{\left(\frac{1}{2} + N\right)V_i - NV_{uy}} + \frac{2}{\left(\frac{1}{2} - N\right)V_i + NV_{uy}} \right)} \quad (6.329)$$

6.4 Análise dos parâmetros do circuito auxiliar:

6.4.1 Análise do comportamento dos valores de L_a e N com relação às restrições de projeto

A Figura 123 mostra o comportamento das restrições relativas ao valor do indutor L_a (R2 a R5) em função do ângulo da tensão de saída do inversor (θ), considerando-se um valor fixo para N e diferentes valores para o fator de potência da carga.

Observa-se pelas expressões (6.301), (6.307), (6.313) que as restrições R2, R3 e R4 são relativas à valores mínimos para o indutor L_a . Uma vez que o valor de $L_a(\theta)$ varia em função do ângulo (θ), o mínimo valor de L_a que atende a restrição para todos os ângulos (θ) é o valor determinado. Por inspeção pode-se observar que as restrições R2 e R4 são atendidas para os valores de $L_a(\theta=0)$ e $L_a(\theta=\pi)$. Ao contrário, a restrição R3 é atendida pelo valor de $L_a(\theta=\pi/5)$.

Por outro lado, observa-se que a restrição R5 é relativa à valores máximos para o indutor L_a [vide expressões (6.324) e (6.328)]. Por inspeção pode-se verificar que esta restrição é atendida pelo valor de $L_a(\theta=\pi)$ para carga com menor fator de potência.

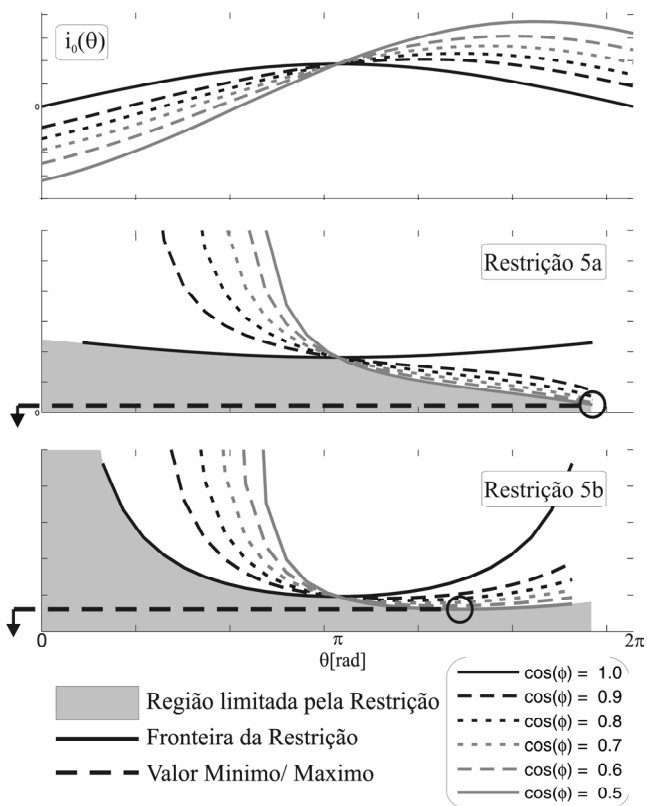
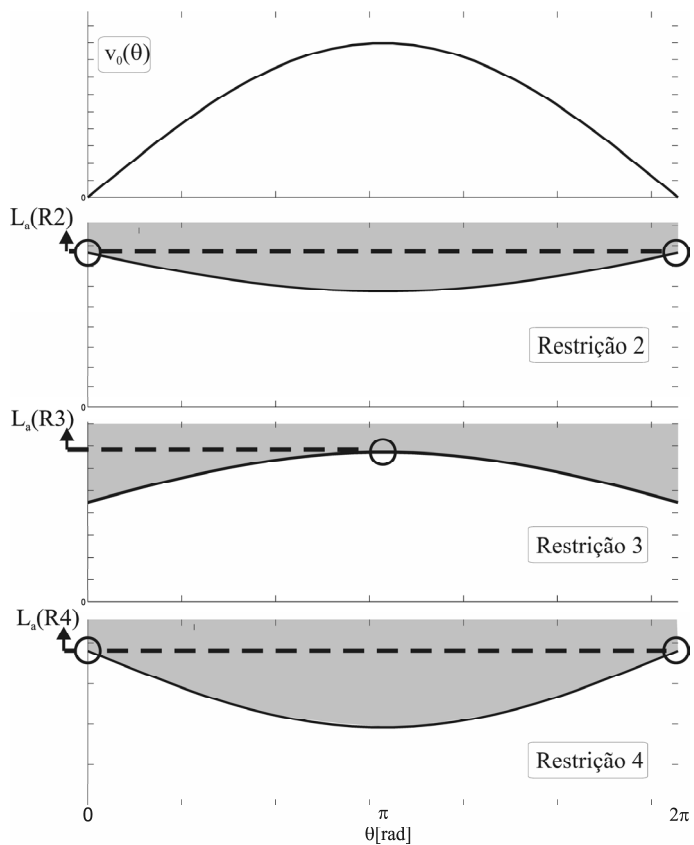


Figura 123 – Comportamento de L_a em função do ângulo θ para as restrições R2, R3, R4 e R5.

Variando-se o valor de N obtém-se o gráfico da Figura 124. Nesta figura observa-se que existe uma região de validade de valores de L_a que obedece às restrições. Esta região é definida pela reta dos valores mínimos para L_a (determinados através das restrições R2, R3 e R4) e pelo reta dos valores máximos para L_a (determinados através da restrição R5a e R5b).

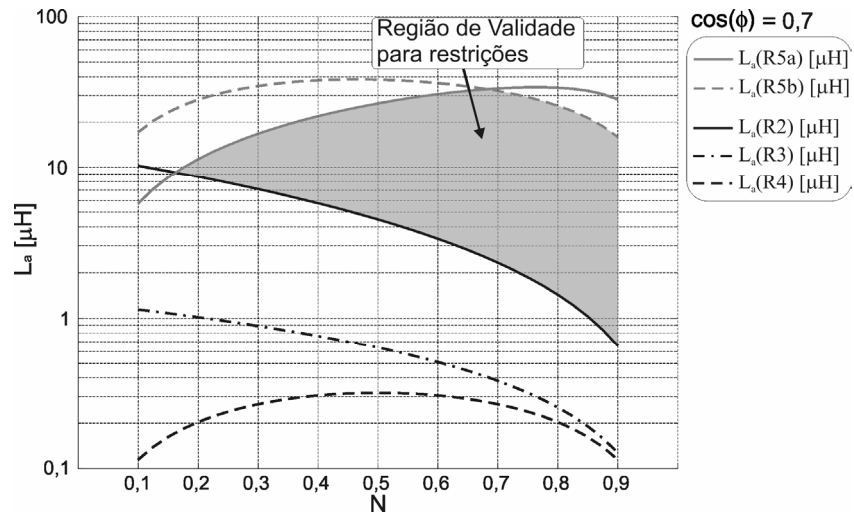


Figura 124 – Comportamento de L_a em função de N para as restrições R2, R3, R4 e R5.

O impacto da variação do fator de potência da carga nas curvas de valores máximos e mínimos de L_a é mostrada na Figura 125, onde observa-se que a curva de valores máximos sofre influência do fator de potência da carga ($\cos(\theta)$), enquanto que a curva dos valores mínimos não.

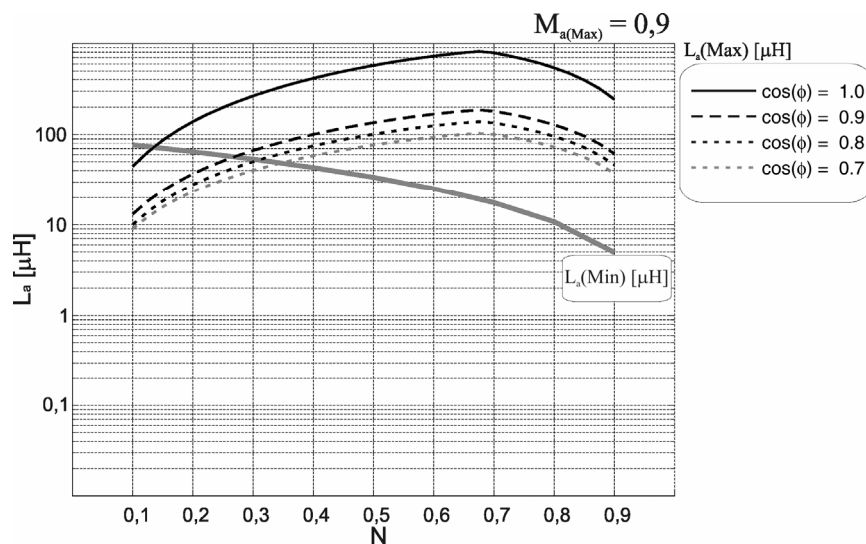


Figura 125 – Comportamento de L_a em função de N para diferentes valores de $\cos(\theta)$.

Outro fator importante é a profundidade de modulação do inversor (M_a), definida pela expressão,

$$M_a = \frac{V_{o(Max)}}{V_i} \quad (6.330)$$

Observa-se através da Figura 126 que quanto maior a profundidade de modulação, mais restrita se torna a região de validade para L_a .

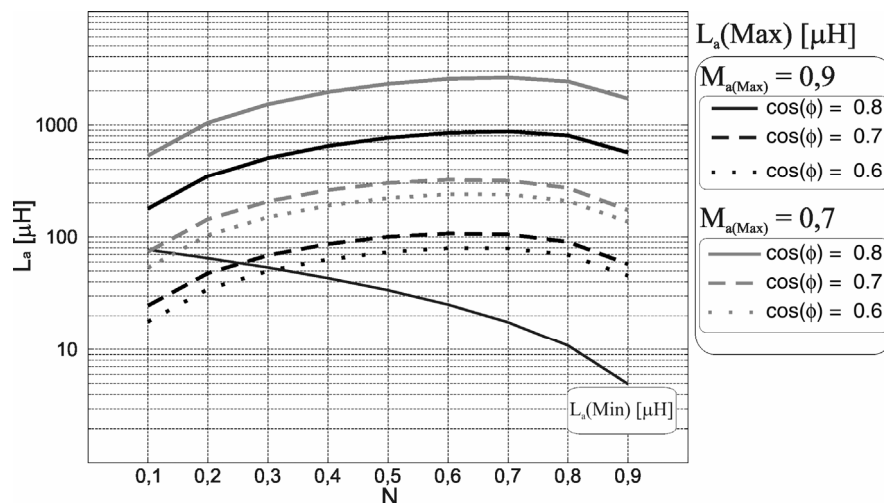


Figura 126 – Comportamento de L_a em função de N para diferentes valores de M_a e $\cos(\theta)$.

6.4.2 Definição dos elementos auxiliares C_s , L_a e N

Caso exista uma restrição específica para a taxa de variação de tensão sobre as chaves semicondutoras, o valor do capacitor C_s será definido por esta restrição, caso contrário pode-se utilizar a (6.298) como referência para o valor de C_s .

Os valores de L_a e N devem ser escolhidos de forma que as restrições descritas na Seção (6.3) sejam atendidas. Desta forma, a partir da definição dos parâmetros do inversor, tais como potência, fator de potência da carga e tensão de barramento, etc., pode-se fazer uso de um gráfico como o mostrado na Figura 124 para que L_a e N sejam determinados.

No entanto, existirão vários conjuntos de valores de L_a e N que atendem as restrições de operação do circuito auxiliar. Para que a escolha de L_a e N seja realizada de forma mais adequada, uma metodologia de avaliação das perdas no circuito auxiliar pode ser usada.

6.5 Exemplo de Projeto.

Nesta Seção serão feitos dois exemplos de projeto para uma determinada aplicação. No primeiro exemplo será projetado o circuito auxiliar para um *inversor ZCZVT monofásico com acoplamento magnético e circuitos auxiliares em derivação*. No segundo exemplo, um *inversor ZCZVT monofásico com acoplamento magnético e circuitos*

auxiliares isolados será projetado.

6.5.1 Definição da Aplicação e Extração dos Parâmetros de Projeto.

Das diversas aplicações para os inversores ZCZVT monofásicos, optou-se pela utilização desta tecnologia em geradores de função de potência CA utilizada em um vibrador mecânico.

Os ensaios mecânicos de vibração são freqüentemente exigidos nas normas de qualidade para que se possa fazer uma comprovação da durabilidade mecânica de determinado equipamento. Os ensaios mecânicos expõem o equipamento em teste a um esforço demasiado, acelerando o processo de desgaste mecânico. Defeitos estruturais que poderiam levar anos para serem constatados e resultarem em prejuízos sem medidas para consumidores e fabricantes podem ser detectados em poucas horas. Por esses motivos, as novas normas (e as atualizações) vêm obrigando a certificação dos equipamentos em ensaios de vibração mais exigentes e obrigando outras categorias de produtos a passarem por esse tipo de ensaio.

Os testes de vibração são requeridos pelas normas internacionais para assegurar a durabilidade de peças fabricadas pela indústria metal/mecânica, testando a durabilidade de soldas, dobras e rebites a um esforço excessivo. Entretanto, como anteriormente citado, outras normas também exigem testes de vibração. Uma destas normas é a norma americana ANSI/ASAE EP455, de julho de 1991, que regulamenta os equipamentos elétricos e eletrônicos para aplicações embarcadas em máquinas agrícolas. Esta norma exige várias certificações de vibrações mecânicas, como vibrações em freqüências aleatórias, varreduras senoidais de 10Hz a 2000Hz e teste de busca de ressonância. Estes testes não se resumem a aplicações em máquinas agrícolas, mas também são exigidos para equipamentos eletrônicos embarcados em outras categorias de veículos automotivos. Para a operação deste equipamento é necessária a sua alimentação através de uma fonte de potência CA, com freqüência e amplitude de saída variáveis, a qual é o objeto de estudo e desenvolvimento do presente projeto. As fontes de potência CA são dispositivos utilizados na geração de formas de onda arbitrárias, de amplitude e freqüências variáveis. Basicamente, podem ser consideradas como geradores de sinais e/ou de funções de potência.

O sistema de potência CA deve ser capaz de atuar no sistema de vibração para ensaios de peças mecânicas com deslocamento constante de acordo com a norma ISO/CD

15003.2 item 6.6.1., e testes com aceleração constante com base na norma ANSI/ASAE EP455 item 5.15.2. Nestes testes o equipamento possibilita a realização do ensaio de ressonância de 10Hz a 2000Hz, com variação de frequência a uma taxa de 1 oitava por minuto com aceleração de 39 m/s², o qual é baseado na norma ANSI/ASAE EP455 item 5.15.3.

Os parâmetros dos dois protótipos implementados em laboratório são mostrados na Tabela 11.

Tabela 11 – Parâmetros dos inversores ZCZVT.

Parâmetro	Inversor ZCZVT com circuito aux. em derivação	Inversor ZCZVT com circuito aux. isolado
Potência	1 kVA	1 kVA
Tensão do Barramento	360 V	360 V
Tensão de Saída	127 V _{rms}	127 V _{rms}
Frequência de chaveamento	40 kHz	40 kHz
Profundidade de modulação (M _a)	≈ 0,5	≈ 0,5

6.5.1.1 Definição do filtro de saída do inversor.

Em várias metodologias para projeto de filtro propostas na literatura a frequência de corte do filtro de saída é obtida através da seguinte expressão,

$$\omega_{cut} \approx \omega_1 \sqrt{\frac{THD}{DF_2}} \quad (6.331)$$

Onde THD é a Taxa de Distorção Harmônica Total e DF₂ é o índice que equivale a taxa de distorção harmônica para um filtro de segunda ordem.

Portanto, para um inversor de 1kW com as especificações definidas na Tabela 11 a frequência de corte em função da THD é mostrada na Tabela 12.

Tabela 12 – Frequência de corte do filtro de saída em função da THD da tensão de saída.

THD	ω_{cut} [rad/s] / f_{cut} [Hz]
5 %	6915,7539 / 10863,2409
10%	9780,353 / 15362,9426
20%	13831,5079 / 21726,4818

Além da frequência de corte do filtro é necessário no mínimo uma segunda especificação para que os valores de L_f e C_f sejam definidos. Esta segunda especificação é apresentada de diversas formas na literatura. Ziogas propôs em [267] que os valores de L_f e C_f são definidos de acordo com uma função custo que minimiza a energia reativa do filtro. Através desta metodologia normalmente obtém-se um valor pequeno para C_f

enquanto que L_f é muito maior. Esta característica faz com que a resposta transitória do sistema seja prejudicada. Uma metodologia alternativa considera a resposta transitória do sistema. Todavia para utilizar esta metodologia faz-se necessário a definição dos controladores e dos ganhos dos mesmos.

Como o foco deste trabalho não envolve o controle do inversor deve-se avaliar outros parâmetros que não são mencionados nas metodologias apresentadas na literatura, tais como a análise da influência dos valores de L_f e C_f nas perdas do inversor.

Para realizar estas análises foram definidas quatro configurações, ou conjuntos, de L_f - C_f para três diferentes valores de frequência de corte, conforme mostrado na Tabela 13.

Tabela 13 – Configurações do filtro de saída para diferentes valores de THD da tensão de saída.

	L_f [mH]			C_f [μ F]
	THD=5 %	THD=10 %	THD=20%	
Filtro A	2,0246	1,0123	0,5062	10
Filtro B	1,3497	0,6749	0,3374	15
Filtro C	1,0123	0,5062	0,2531	20
Filtro D	0,6749	0,3374	0,1687	30

Cada configuração de filtro e cada THD tem impacto direto no valor das correntes do indutor L_f e do capacitor C_f . Os diferentes valores das componentes máxima e RMS destas correntes irão produzir diferentes perdas nos elementos que constituem o inversor. Estas perdas terão um reflexo no volume e na temperatura dos componentes do inversor. Todavia, o impacto pode ser maior ou menor, dependendo da tecnologia empregada nos elementos do filtro e dos semicondutores.

A Tabela 15 mostra os núcleos magnéticos utilizados para análise do indutor de filtro. Existem várias formas e materiais que podem ser utilizados para implementação dos indutores de filtro. Entretanto, estes materiais podem ser separados pela forma na qual o entreferro é implementado. Basicamente, o entreferro pode ser discreto ou distribuído. O entreferro discreto é comumente encontrado nas Ferrites, enquanto que o entreferro distribuído é mais comum nos núcleos do tipo “powder core”.

Para avaliação de ambas as tecnologias opta-se por dois núcleos de ferrite e um núcleo “powder core”, conforme listados na Tabela 15.

Tabela 14 – Configurações dos núcleos magnéticos utilizados para análise do indutor de filtro.

Núcleo Magnético do Indutor L_f	Permeabilidade (μ)	Densidade de Fluxo (B_{Max})
EE – 69/33/52*	----	0.3 T
3xEE – 69/33/26*	----	0.3 T
77908-A7 ⁺	26	----

*Ferrite; ⁺ powder core.

A. ANÁLISE DAS PERDAS NOS ELEMENTOS DO FILTRO

Utilizando os núcleos da Tabela 15 para implementação dos indutores definidos na Tabela 13 para uma THD de 5%, obtém-se os valores para as perdas em cada indutor de filtro, conforme mostrado na Figura 127.

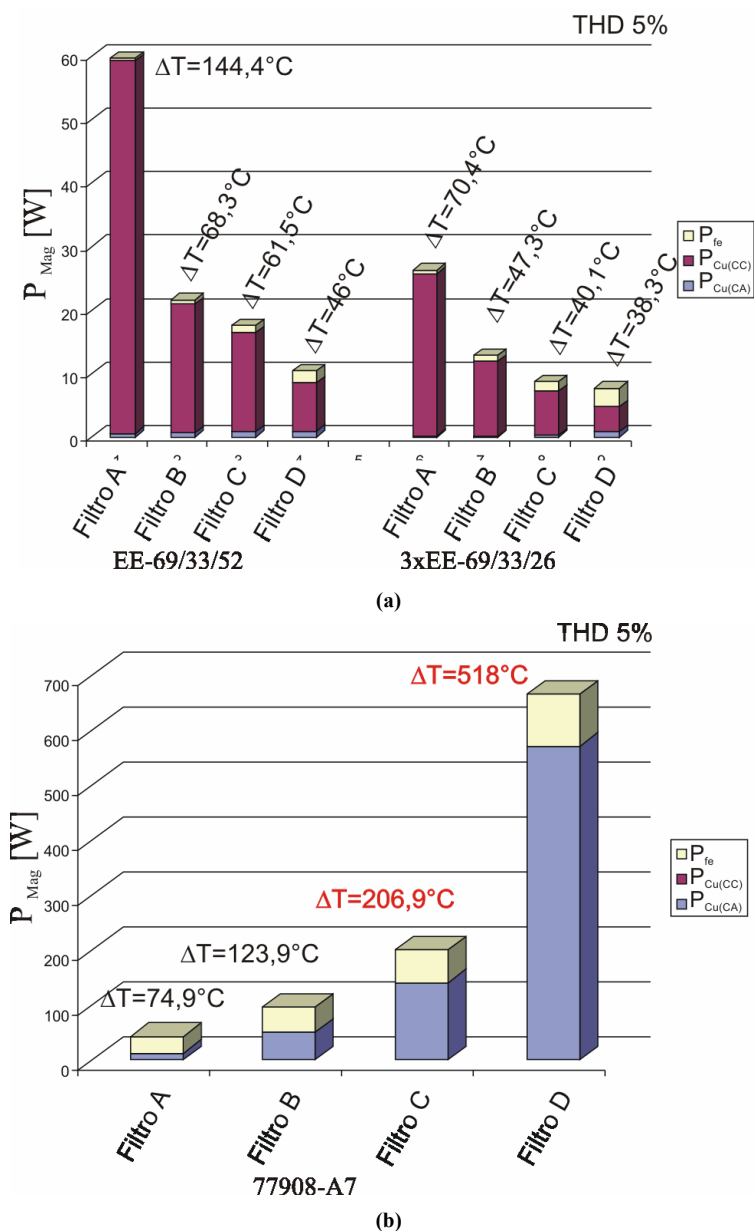


Figura 127 – Perdas teóricas nos indutores de filtro.

Obseva-se que, para uma THD de 5% (Figura 127), os núcleos de ferrite apresentam perdas que são inversamente proporcionais ao valor das indutâncias, ou seja, o filtro A apresenta as maiores perdas e o filtro D as menores. Nos núcleos dos indutores correspondentes à estes filtros as perdas no cobre para (CC) são predominantes, sendo as

perdas em (CA), tanto no cobre como no ferro, desprezíveis.

Nos núcleos de ferrite as perdas diminuem com o aumento do núcleo, como pode-se observar pelas menores perdas obtidas com o núcleo 3xEE-69/33/26 quando comparado com o núcleo EE-69/33/52. A maior temperatura alcançada pelos indutores implementados com núcleos de ferrite é a do filtro A com o núcleo (EE-69/33/52), cujo valor é de 104°C. Assim, pode-se concluir que nenhum núcleo de ferrite alcança o valor Curie que é de aproximadamente 200°C.

Por outro lado, os núcleos “powder core” apresentam um comportamento inverso, ou seja, as perdas predominantes são as no ferro e as perdas CA no cobre. Portanto, as menores perdas são apresentadas pela configuração filtro A e as maiores na configuração filtro D. Nestes núcleos a maior temperatura alcançada pelos indutores implementados é a do filtro D, cujo valor de 518°C está muito acima do valor máximo permitido. O filtro C também atinge uma temperatura maior que a temperatura Curie. Deste modo, a implementação dos filtros C e D com núcleo 77908-A7 é inviável.

De acordo com os resultados mostrados na Figura 127 pode-se concluir que os núcleos de ferrite apresentam baixas perdas devido às componentes alternadas de corrente e tensão e são viáveis para indutâncias em torno de 1mH e inferiores. Desta forma os núcleos de ferrite são recomendados para as configurações filtro C e filtro D. Por outro lado, os núcleos “powder core” apresentam maior susceptibilidade para as perdas devido as correntes e tensões alternadas, portanto, valores de indutância maiores possibilitam menores perdas para este tipo de núcleo. Para a aplicação em questão, as configurações filtro A e filtro B são recomendadas.

As configurações de filtro B, C e D com núcleo 3xEE-69/33/26 e as configurações de filtro C e D com núcleo EE-69/33/52 apresentam menores perdas.

A Figura 128 mostra as perdas no capacitor de filtro para as quatro configurações analisadas. Observa-se que as perdas no dielétrico são predominantes em relação às perdas ôhmicas nos capacitores. Isto se deve ao fato do valor das indutâncias proporcionar um baixo valor de ondulação de corrente. Esta baixa ondulação de corrente circula pelos capacitores produzindo as perdas ôhmicas. Por outro lado, as perdas no dielétrico são proporcionais ao valor da tensão e da capacitância do dispositivo. Portanto, o aumento do valor do capacitor no sentido do filtro A para o filtro D proporciona um aumento maior nas perdas no dielétrico.

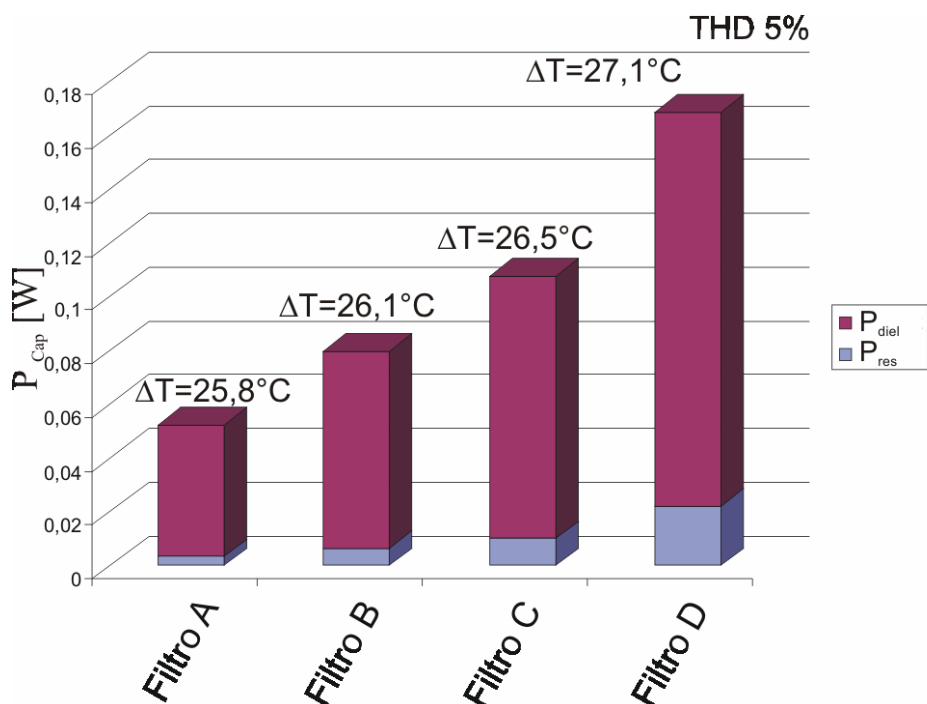


Figura 128 – Perdas nos capacitores de filtro.

Contudo, as perdas no capacitor podem ser consideradas desprezíveis quando comparadas as perdas no indutor de filtro. As baixas perdas proporcionam temperaturas pouco acima da temperatura ambiente, definida como 25°C.

B. ANÁLISE DO VOLUME DO FILTRO

O volume do filtro de saída é mostrado na Figura 129. Pode-se observar que para os núcleos de ferrite, o volume do capacitor e do indutor possui a mesma ordem de grandeza, ao passo que o indutor dos núcleos “powder core” são bem menores que o volume dos capacitores.

Para o mesmo núcleo, a configuração de filtro A apresenta menor volume do que a configuração de filtro B e assim sucessivamente até o filtro D, cujo volume é maior do que os demais.

Como a diferença de volume entre o filtro C e o filtro D é maior do que a diferença entre o filtro B e o filtro C, e ainda que as perdas são inversamente proporcionais ao volume dos filtros, pode-se concluir que o ‘filtro C’ apresenta um melhor compromisso entre volume e perdas.

Portanto,

$$L_{f(THD=5\%)} = 1,0454 \text{ mH} \quad (6.332)$$

e o valor do capacitor de filtro é,

$$C_{f(THD=5\%)} = 20 \mu\text{F} \quad (6.333)$$

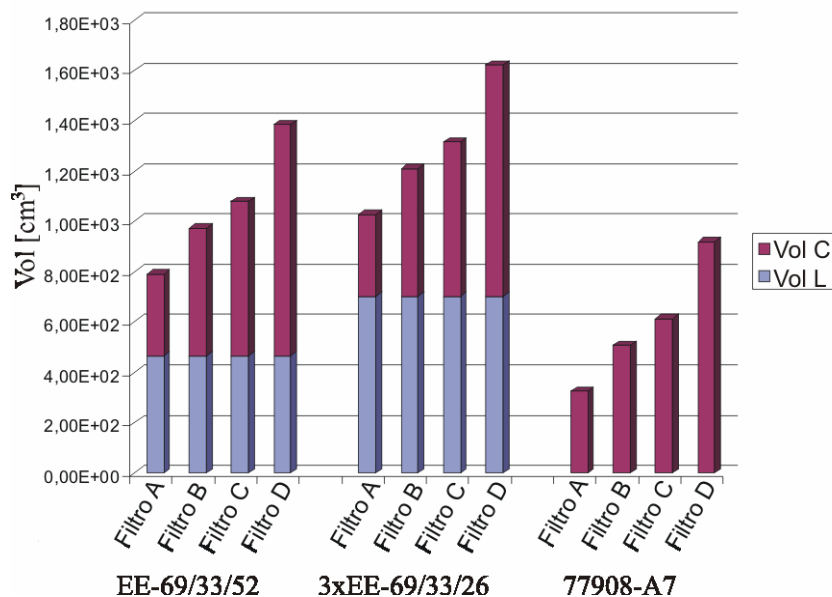


Figura 129 – Volume dos elementos do filtro.

6.5.1.2 Definição dos Semicondutores.

As perdas nos semicondutores relacionados na Tabela 15 são mostradas na Figura 130. Os resultados foram obtidos considerando-se uma THD de 5% para tensão de saída do inversor monofásico operando com comutação dissipativa.

Observa-se que para todos os módulos as perdas aumentam do Filtro A para o Filtro D. Outra constatação é de que as perdas em condução predominam em relação as perdas em comutação.

Dos módulos avaliados o que apresenta menores perdas é o 2MBI50N060 da Fuji. Entretanto, as perdas em condução para este módulo são muito semelhantes as perdas em condução do módulo SK45GB063 da Semikron e do módulo VII 50-06P1 da IXYS. Portanto, a utilização de um circuito auxiliar que seja capaz de reduzir as perdas em comutação poderá proporcionar um desempenho semelhante para o módulo (SK45GB063) e para o módulo da (VII 50-06P1). Deste modo, as chaves principais adotadas são implementadas com o módulo SK45GB063.

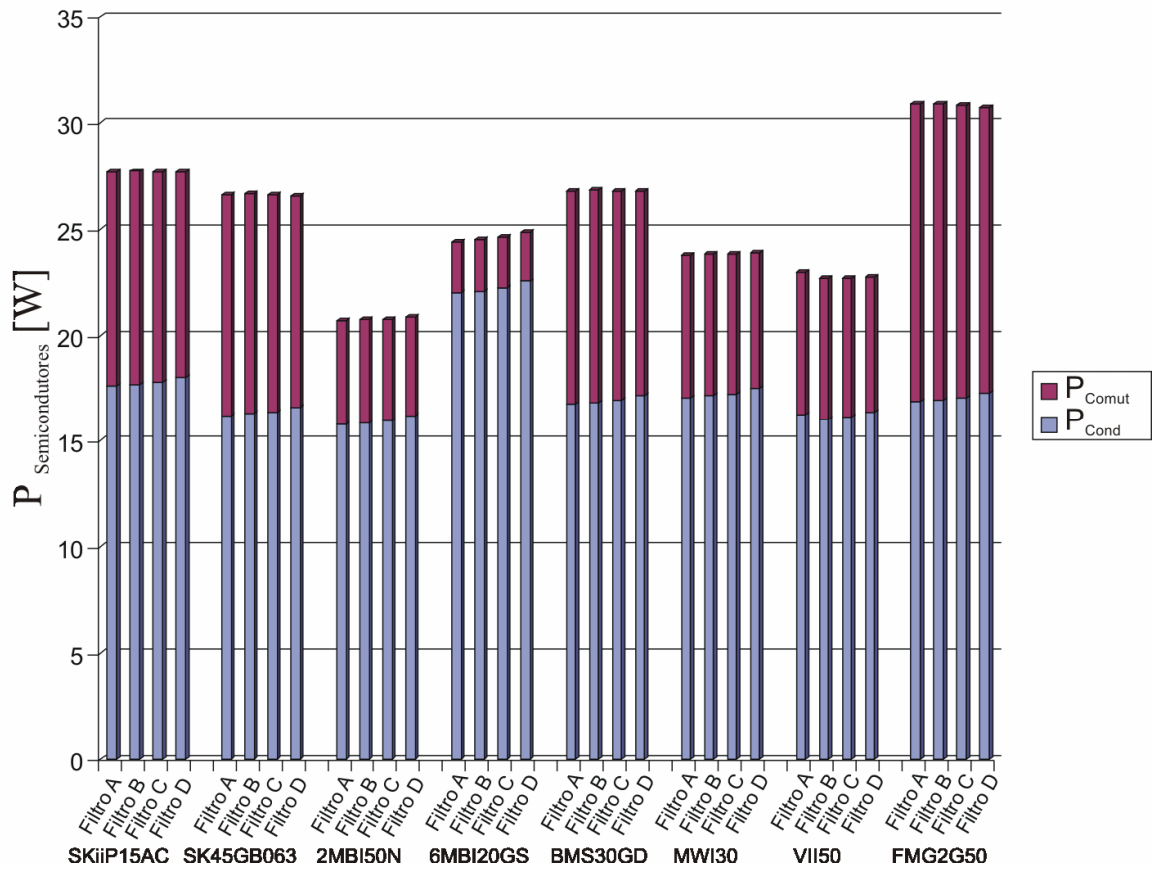


Figura 130 – Perdas nos semicondutores considerando um inversor monofásico com comutação dissipativa e 5% de THD na tensão de saída.

6.5.2 Projeto dos Inversores ZCZVT monofásicos com acoplamento magnético e circuitos auxiliares em derivação.

6.5.2.1 Definição da Região de Validade para os valores de N e L_a .

A Figura 131 mostra a região válida para os valores de N e L_a . Para definição da região foram considerados oito (8) Módulos semicondutores para implementação das chaves principais. Os parâmetros de cada módulo estão resumidos na Tabela 15. A definição das limitações foi obtida como segue,

$$\frac{d}{dt}i_D = \frac{I_{0(Max)}}{t_{rr}^2} (2,8 \times 10^{-6} V_i)^2 \quad (6.334)$$

$$\frac{d}{dt}i_{S1(on)} = \frac{I_{Nominal}}{k\tau} \quad (6.335)$$

$$\frac{d}{dt}i_{S1(off)} \approx \frac{d}{dt}i_D \quad (6.336)$$

Onde os parâmetros $I_{Nominal}$, t_{rr} são descritos para cada módulo na Tabela 15, enquanto que a constante de perdas k é escolhida igual a um e a constante que define o

“carrier lifetime” (τ) é escolhida igual a $1\mu\text{s}$ [130].

Onde,

$$t_{rr} \approx \frac{2Q_{rr}}{I_{rr}} \quad (6.337)$$

Tabela 15 – Módulos de IGBT avaliados.

Denominação	Fabricante	Descrição	$I_{c(Nominal)} (\approx 80^\circ\text{C})$	t_{rr}
Módulo A	Semikron	SkiiP15AC065V1	28 [A]	12,069 [μs]
Módulo B		SK45GB063	30 [A]	20 [μs]
Módulo C	IXYS	VII 50-06P1	29 [A]	50 [ns]
Módulo D		MWI 30-06 A7	30 [A]	90 [ns]
Módulo E	Fuji	2MBI 50N-060	50 [A]	35 [ns]
Módulo F		6MBI20GS-060	40 [A]	200 [ns]
Módulo G	Eupec	BSM30GD60DLC	30 [A]	10 [μs]
Módulo H	Fairchild	FMG2G50US60	50 [A]	13 [μs]

Os valores para as curvas traçadas na Figura 131 são mostrados na Tabela 16. Como o módulo SK45GB063 da Semikron é utilizado para implementação das chaves principais do inversor tem-se os valores de indutância mínima ($L_{a(\text{Min})}$) da coluna A*.

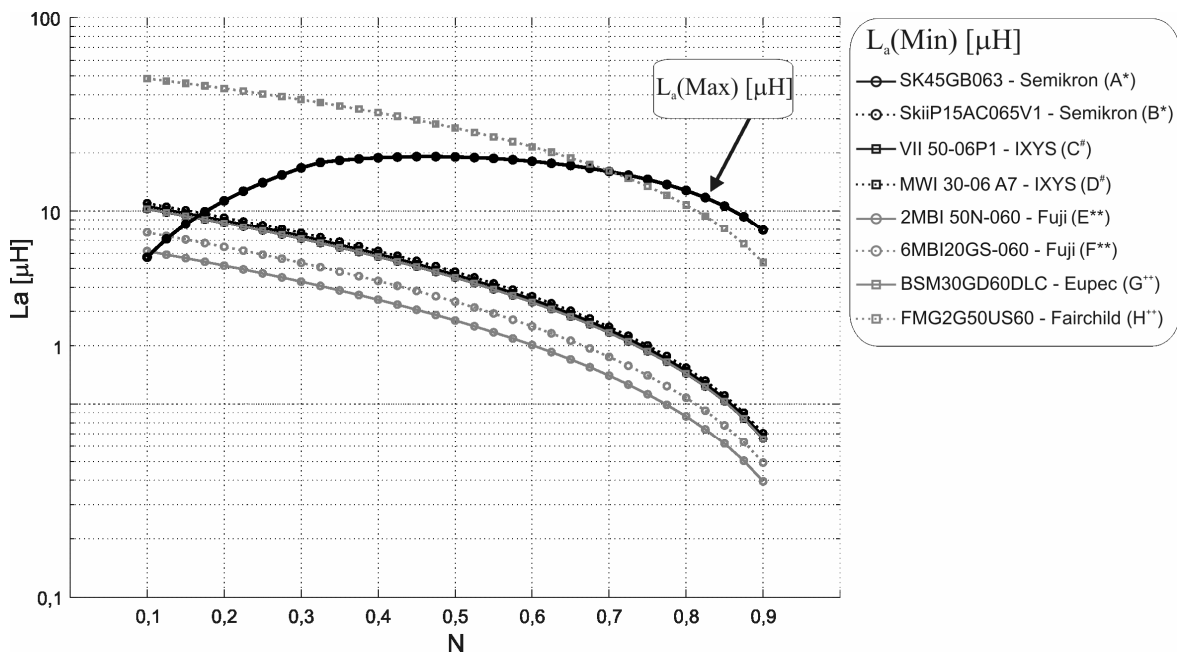


Figura 131 – Gráfico L_a por N para diferentes Módulos de semicondutores.

Tabela 16 – Valores de L_a para o inversor ZCZVT com circuito auxiliar em derivação.

N	$L_{a(\text{Max})}$ [μH]	$L_{a(\text{Min})}$ [μH]							
		A*	B*	C [#]	D [#]	E**	F**	G ⁺⁺	H [°]
0,1	1,2471	10,26	10,99	10,61	10,26	6,15	7,69	10,26	4,839
0,2	2,4276	8,64	9,25	8,93	8,64	5,18	6,48	8,64	43,02
0,3	3,5130	7,14	7,65	7,38	7,14	4,28	5,35	7,14	37,64
0,4	4,4614	5,75	6,17	5,95	5,75	3,45	4,32	5,75	32,26
0,5	5,2109	4,49	4,82	4,65	4,49	2,70	3,37	4,49	26,89
0,6	5,6673	3,35	3,59	3,47	3,35	2,01	2,52	3,35	21,51
0,7	5,6856	2,34	2,50	2,42	2,34	1,40	1,75	2,34	16,13
0,8	4,2443	1,44	1,54	1,49	1,44	0,86	1,08	1,44	10,75
0,9	1,8012	0,66	0,71	0,68	0,66	0,39	0,49	0,66	5,38

* Semikron; ** Fuji; ++Eupec; # IXYS; ° Fairchild.

6.5.2.2 Definição dos Semicondutores Auxiliares

A partir da Tabela 16 tem-se diversos conjuntos de valores de indutância (L_a) e relação de espiras (N) que satisfazem as restrições e, portanto, podem ser utilizados como os parâmetros do circuito auxiliar. Todavia, cada conjunto de valores tem um impacto direto nas as perdas dos elementos do circuito auxiliar.

No intuito de analisar o quanto a escolha do indutor auxiliar e da relação de espiras do indutor acoplado afetam as perdas nos semicondutores auxiliares, estas foram avaliadas para três conjuntos de curvas traçadas a partir da Figura 131. Uma curva, cujos pontos definidos por um par (L_a , N) são definidos como $P_{fa(i)}$, representa os valores mínimos que podem ser assumidos pelo indutor auxiliar. Outra curva tem os pontos definidos como $P_{fb(i)}$, e representa os máximos valores que podem ser assumidos pelo indutor auxiliar. Além destas duas curvas que representam as fronteiras de validade das restrições de operação para o inversor ZCZVT com circuito auxiliar em derivação, uma terceira curva com valores fixos para o indutor L_a foi definida com os pontos $P_{n(i)}$. A Figura 132 mostra as curvas citadas acima.

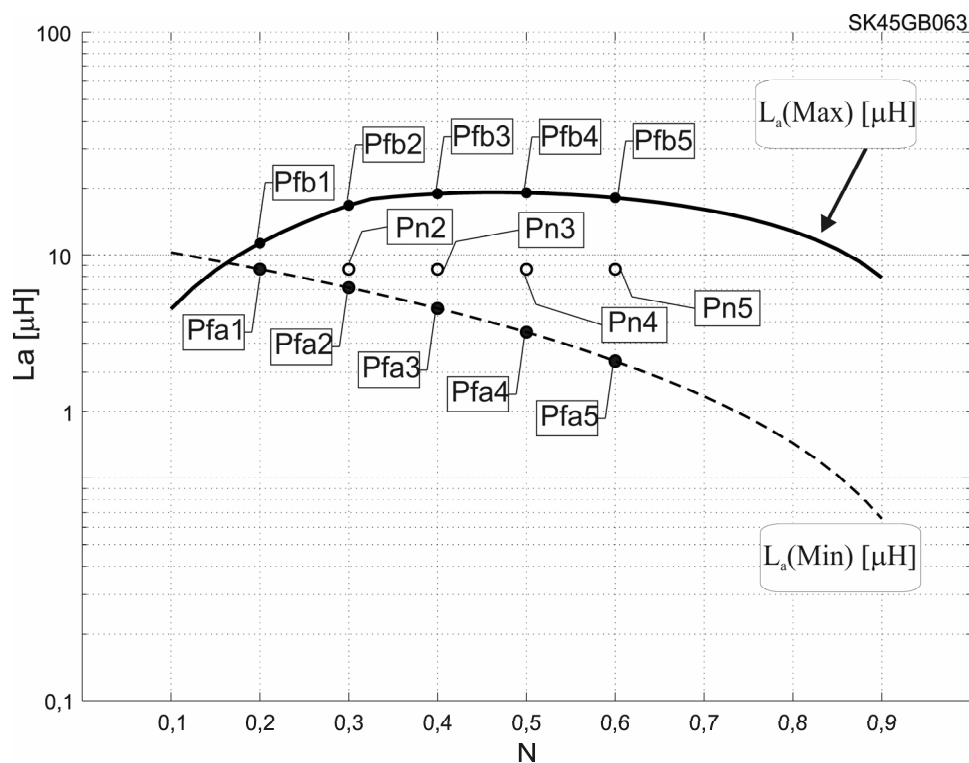


Figura 132 – Gráfico L_a por N para análise das perdas nos semicondutores do circuito auxiliar para o inversor ZCZVT com circuito auxiliar em derivação.

A. Módulos monofásicos como semicondutores auxiliares.

Uma solução para redução do volume do inversor é a utilização de módulos monofásicos também para a implementação das chaves auxiliares. A análise das perdas para os módulos descritos na Tabela 16 para curva definida pelos pontos $Pfa_{(i)}$ é mostrada na Figura 133, onde observa-se que as perdas aumentam proporcionalmente com o valor de N . Isto ocorre por dois motivos principais, primeiramente o ponto $Pfa_{(i)}$ apresenta uma indutância menor do que a do ponto $Pfa_{(i-1)}$ e ainda, as tensões aplicadas a estas indutâncias aumentam com o aumento de N .

Outra constatação é que as perdas em comutação são predominantes e, por este motivo, os módulos otimizados para operarem em frequências elevadas que apresentam baixas perdas em comutação tem um melhor desempenho quando utilizados como chaves auxiliares.

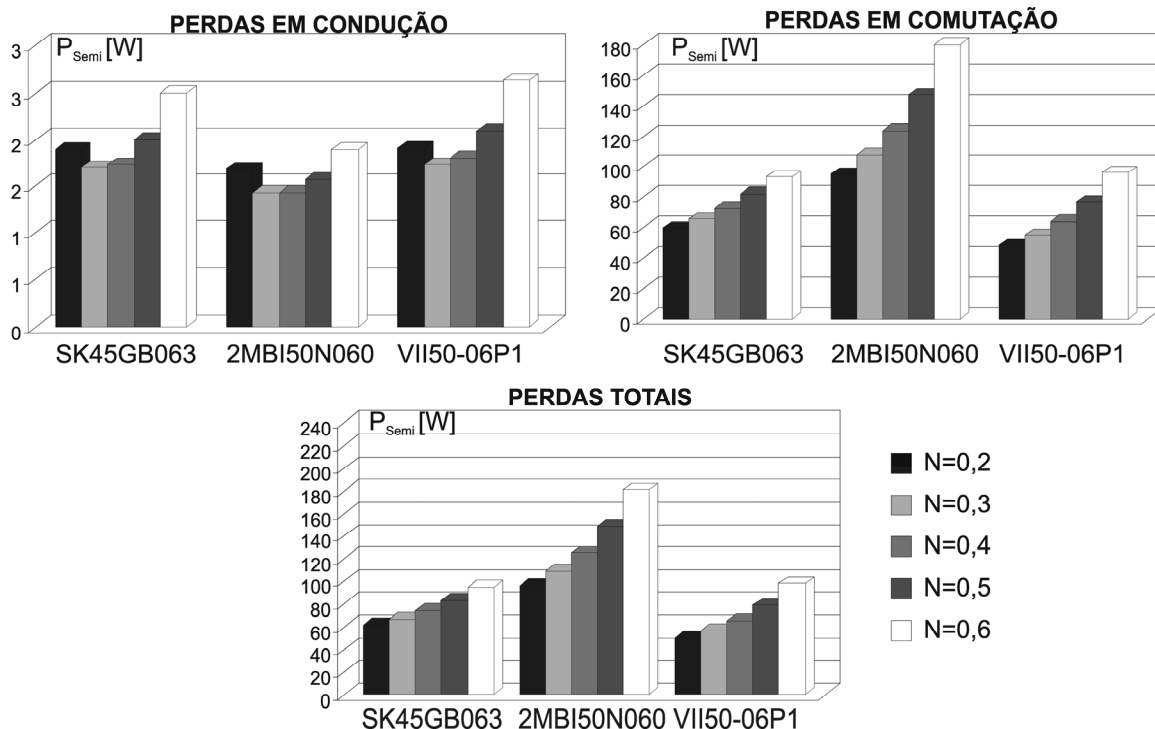


Figura 133 – Análise das perdas para os módulos de IGBT para curva Pfa.

As perdas para a curva definida pelos pontos Pfb(i) são mostradas na Figura 134.

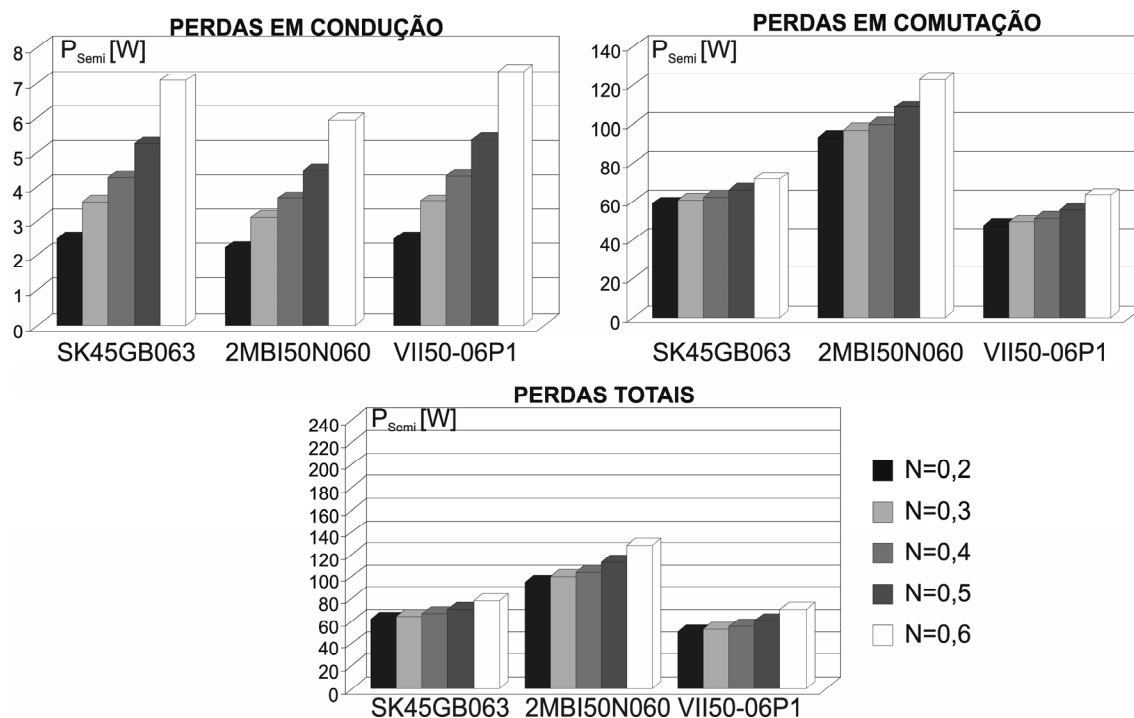


Figura 134 – Análise das perdas para os módulos de IGBT para curva Pfb.

Observa-se um comportamento semelhante ao da Figura 133, entretanto, as perdas são menos afetadas pela variação do valor de N. Isto se deve principalmente ao fato do valor da indutância L_a aumentar para os pontos com maior N, assegurando que os

componentes máximo e eficaz de corrente para cada ponto $P_{fb(i)}$ não sejam muito maiores do que para o ponto $P_{fb(i-1)}$.

Mantendo-se o valor de indutância L_a constante, verifica-se que apenas o aumento de N causa uma elevação das perdas (pontos da curva $P_{n(i)}$) como pode-se observar na Figura 135.

Observa-se que as menores perdas são encontradas para os valores de $N=0,2$. Comparando-se as perdas para cada módulo conclui-se que o módulo VII 50-06P1 da IXYS apresenta as menores perdas.

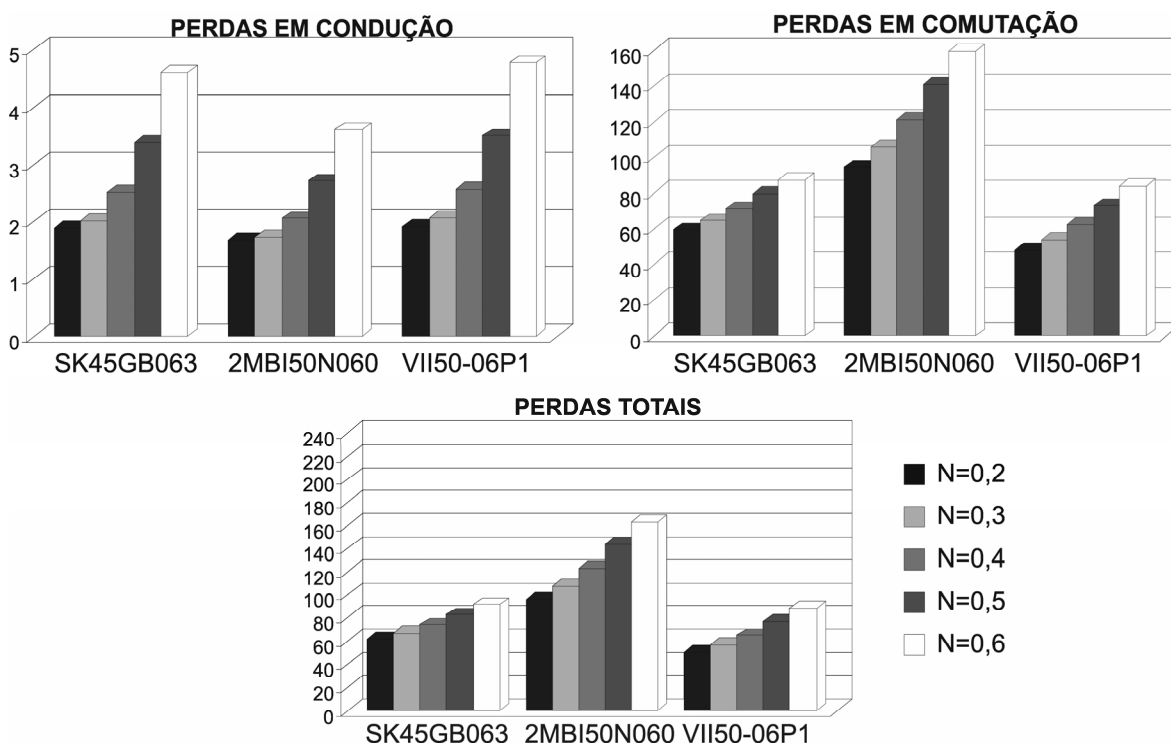


Figura 135 – Análise das perdas para os módulos de IGBT para curva P_n .

B. IGBTs discretos como semicondutores auxiliares.

Uma das características das chaves auxiliares é o seu bloqueio com correntes elevadas (maiores que a corrente de carga) o que produz valores significativos para as perdas em comutação. Como os módulos são normalmente projetados para operarem em regime de condução de correntes muito maiores do que a necessária para as chaves auxiliares, os mesmos não são muito adequados para implementação dos semicondutores auxiliares.

Uma alternativa é encontrada na utilização de IGBTs discretos. Os IGBTs analisados são listados na Tabela 17. As perdas para os IGBTs discretos descritos na Tabela 17, considerando-se a curva definida pelos pontos $P_{fa(i)}$ são mostradas na Figura

136. Como para os módulos de IGBT, as perdas nos IGBTs discretos aumentam proporcionalmente ao valor de N. As perdas em condução são as perdas predominantes, sendo que dependendo da tecnologia do IGBT estas perdas podem ser reduzidas.

Tabela 17 – IGBTs discretos avaliados.

Descrição	Fabricante	$I_{c(Nominal)}$ ($\approx 110^{\circ}C$)	t_{fall}
HGTG20N60B3D	Fairchild	20 [A]	140 [ns]
HGTG20N60C3D	Fairchild	20 [A]	151 [ns]
FGH30N6S2D	Fairchild	20 [A]	90 [ns]
IRGP20B60PD1	International Rectifier	22 [A]	11 [ns]

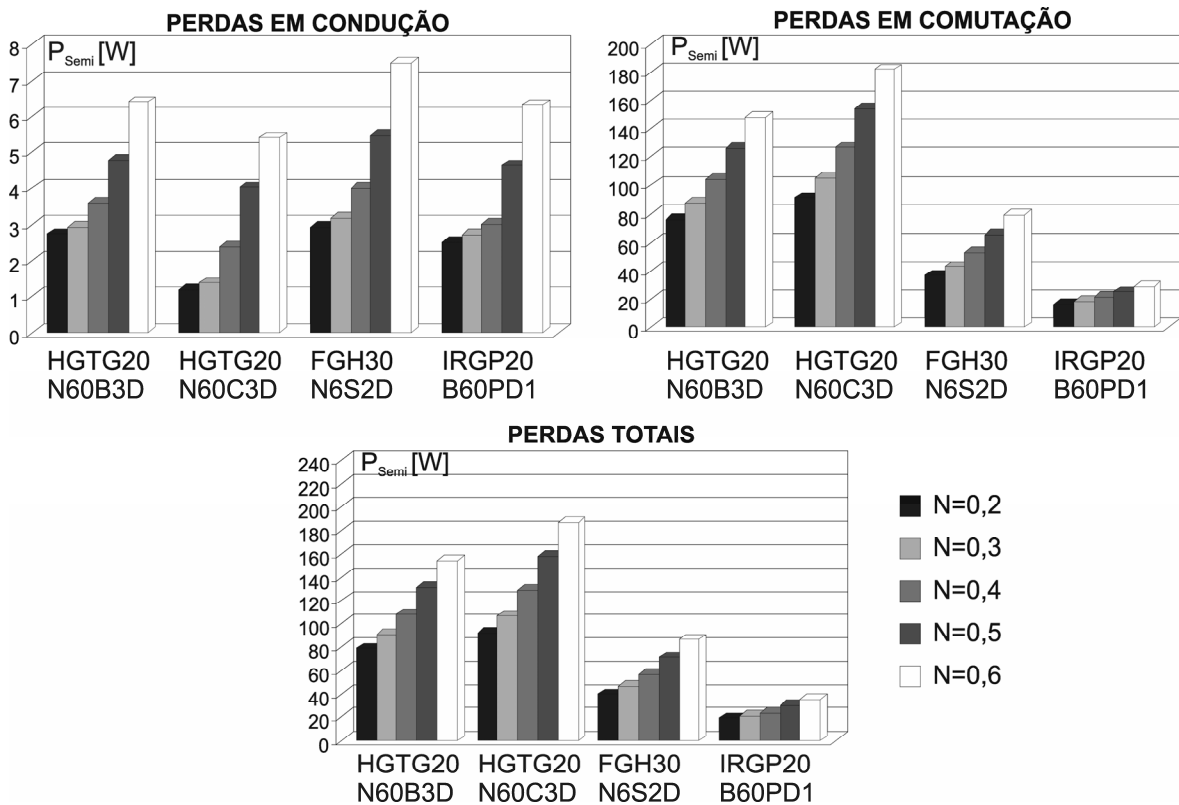


Figura 136 – Análise das perdas para os IGBTs discretos para curva Pfa.

As perdas para a curva definida pelos pontos Pfb_i são mostradas na Figura 137.

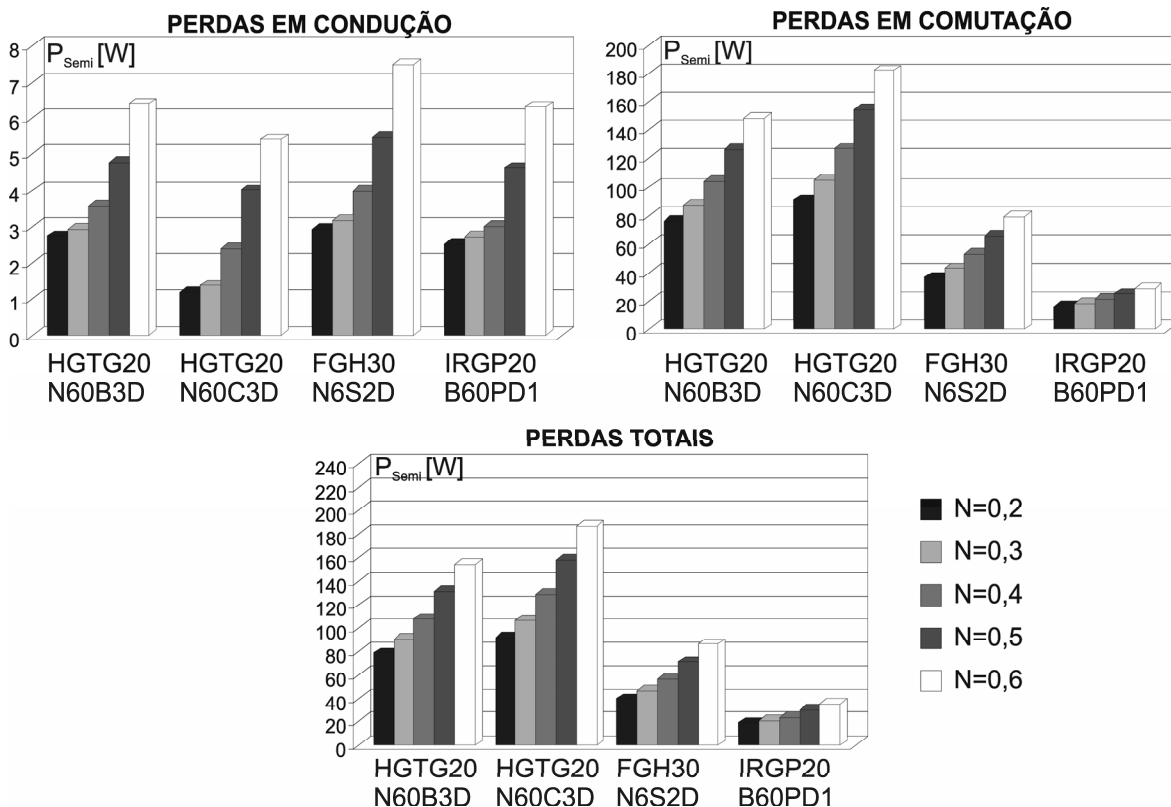


Figura 137 – Análise das perdas para os IGBTs discretos para curva Pfb.

As perdas para a curva definida pelos pontos P_{n_i} são mostradas na Figura 138.

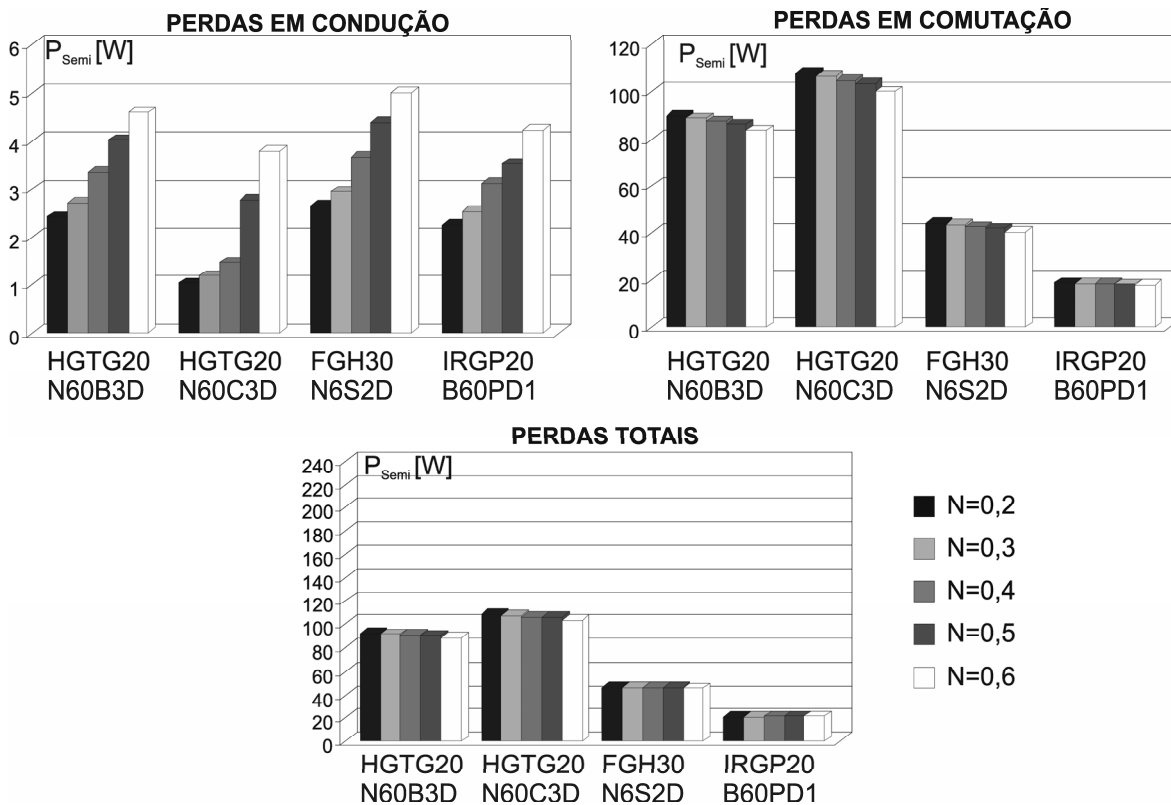


Figura 138 – Análise das perdas para os IGBTs discretos para curva Pn.

Os gráficos das perdas apresentam um comportamento semelhante aos apresentados para os módulos de IGBTs. Todavia, os IGBTs discretos HGTG20N60B3D e HGTG20N60C3D apresentam perdas maiores do que as dos módulos. Isto se deve ao fato destes IGBTs utilizarem uma tecnologia que assegura baixas perdas em condução e, portanto, serem otimizados para operação em frequências moderadas. O IGBT FGH30N6S2D é projetado para operação em frequências mais elevadas e, por este motivo, apresenta menores perdas em comutação que os IGBTs HGTG20N60B3D e HGTG20N60C3D. O IGBT FGH30N6S2D apresenta resultados comparáveis aos dos módulos apresentados anteriormente.

O IGBT IRGP20B60PD1 apresenta perdas inferiores a de todos os demais módulos de IGBTs e também do que os IGBTs discretos. Isto se deve ao fato deste IGBT ser otimizado para operação em frequências elevadas.

C. MOSFETs como semicondutores auxiliares.

Apesar da possibilidade da redução das perdas com IGBTs para operação em frequências elevadas, a utilização de MOSFETs pode ser uma alternativa. O maior problema da utilização de MOSFETs está no seu diodo intrínseco, cujas constantes de tempo inviabilizam seu emprego em frequências elevadas. Torna-se necessário o uso de um diodo Schottky e um diodo rápido associados ao MOSFET de tal forma que o seu diodo intrínseco permaneça sempre bloqueado.

Os MOSFETs e os diodos analisados são listados na Tabela 18.

Tabela 18 – MOSFETs e diodos avaliados.

Descrição	Fabricante	$I_{c(Nominal)}$ ($\approx 110^{\circ}C$)	t_{fall} / t_{rr}
IRFP360 (MOSFET)	International Rectifier	14 [A]	67 [ns]
IRFP460 (MOSFET)	International Rectifier	13 [A]	58 [ns]
MUR1560 (diodo)	International Rectifier	15 [A]	60 [ns]
15ETH06 (diodo)	International Rectifier	15 [A]	22 [ns]

As perdas para os semicondutores descritos na Tabela 18 correspondentes à curva definida pelos pontos $P_{fa(i)}$ é mostrada na Figura 139. O comportamento das perdas segue o mesmo padrão para os MOSFETs e os IGBTs, todavia, nos MOSFETs a perda em condução é em alguns casos maior do que as perdas em comutação. Como as perdas em condução são significativas, observa-se que a utilização de um diodo com menores perdas em condução resulta em perdas de condução ligeiramente menores. Desta forma, o circuito auxiliar com diodo MUR1560 apresenta menos perdas do que com o diodo 15ETH06.

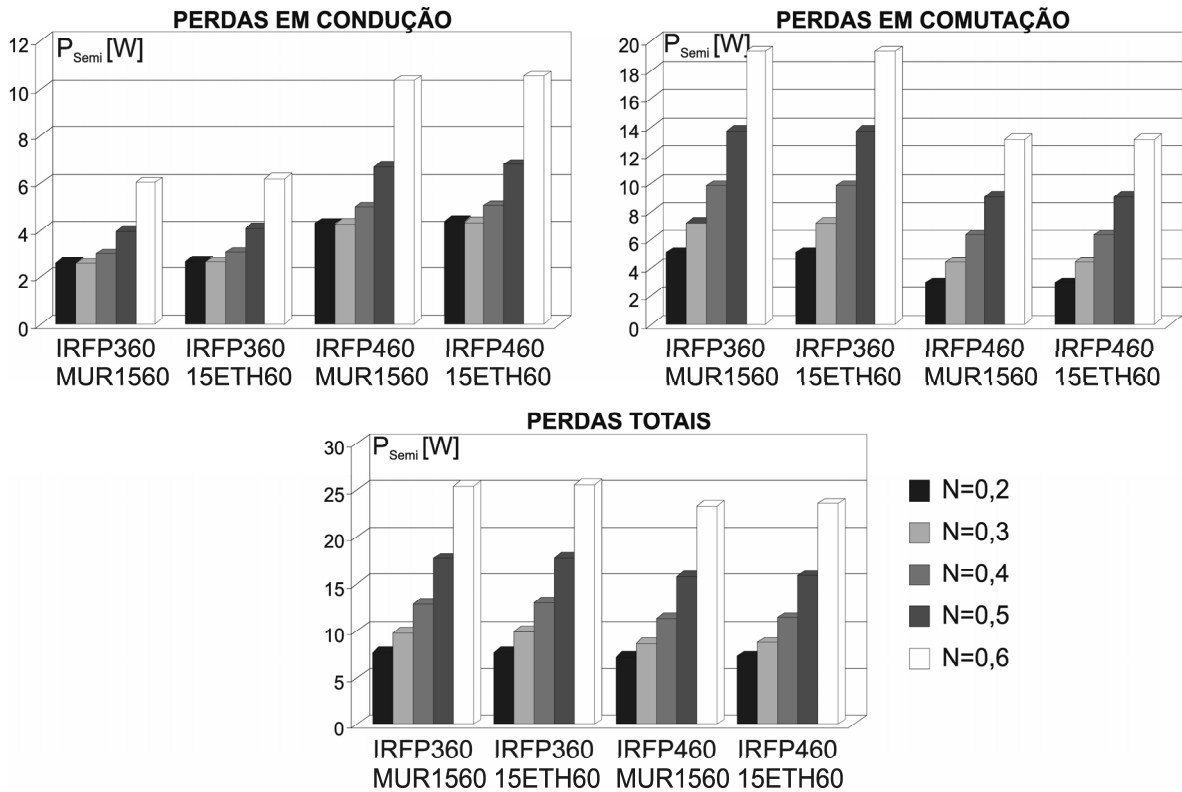


Figura 139 – Análise das perdas para os MOSFETs para curva Pfa.

As perdas para a curva definida pelos pontos $P_{fb(i)}$ é mostrada na Figura 140.

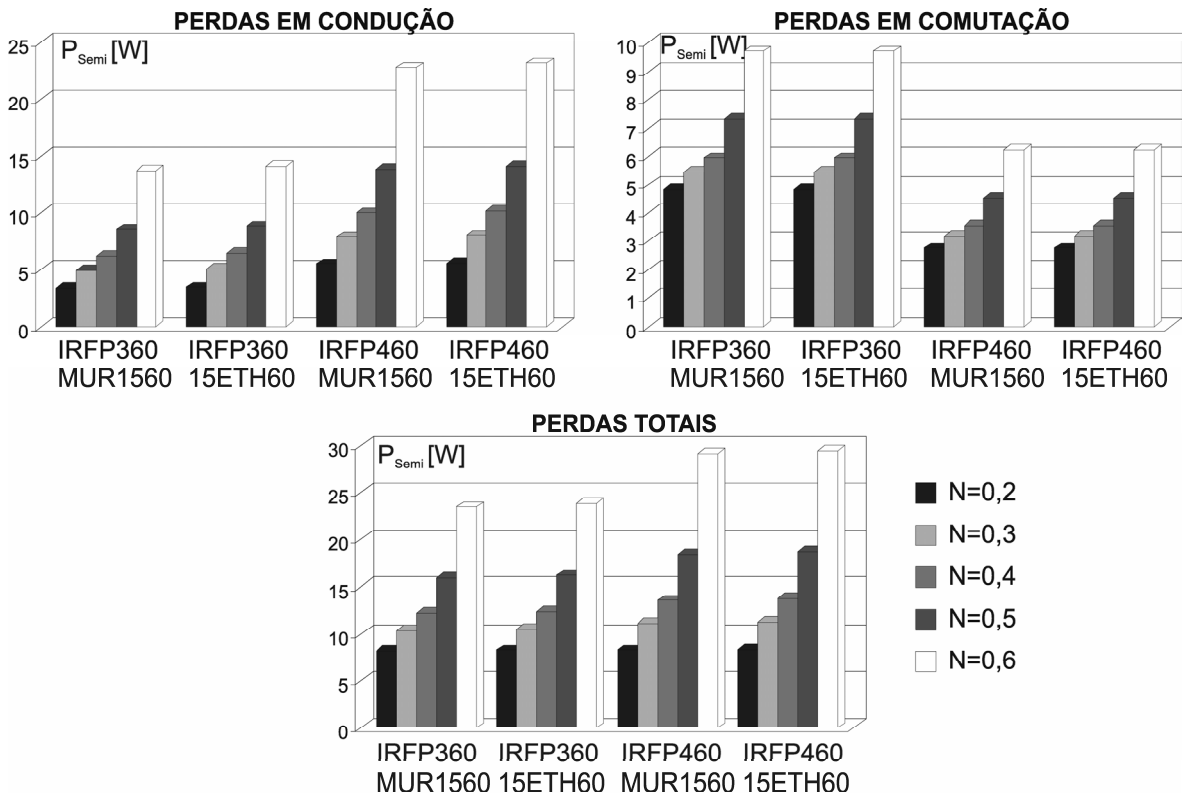


Figura 140 – Análise das perdas para os MOSFETs para curva Pfb.

As perdas para a curva definida pelos pontos $P_{n(i)}$ são mostradas na Figura 141.

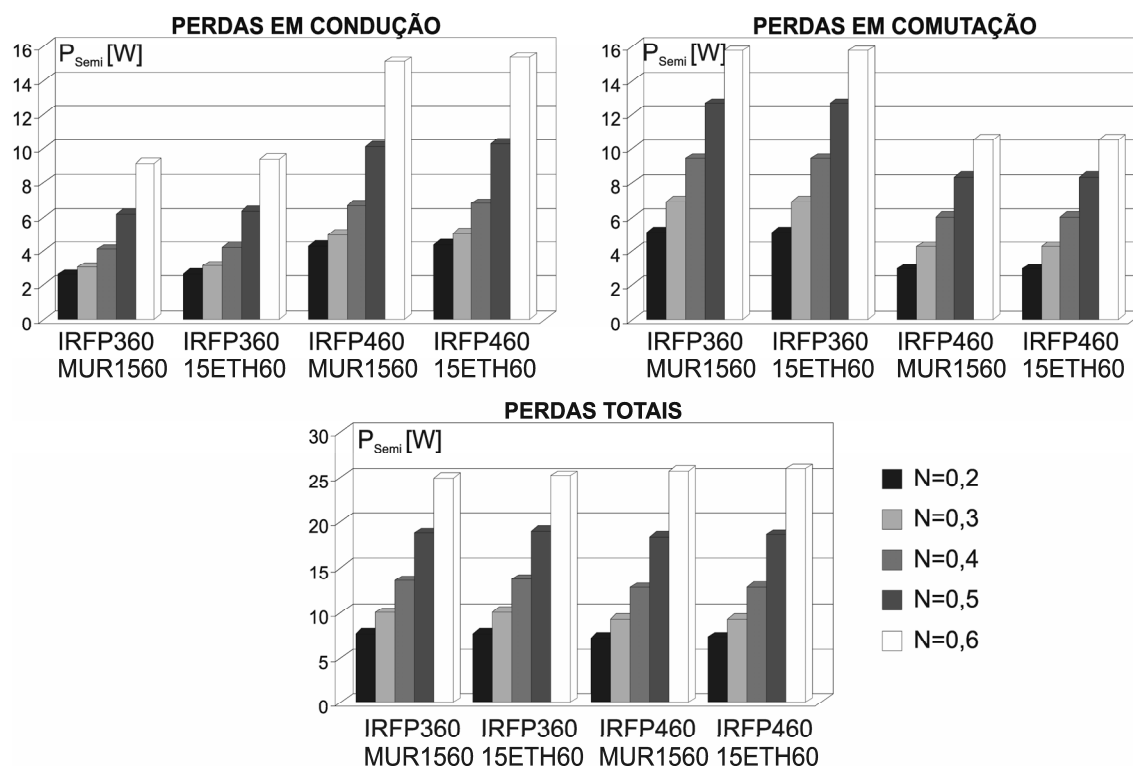


Figura 141 – Análise das perdas para os MOSFETs para curva P_n .

O valor de N igual a 0,2 apresenta os melhores resultados para as curvas $P_{fa(i)}$, $P_{fb(i)}$ e $P_{n(i)}$. Entretanto, como a margem de valores de L_a para $N=0,2$ é muito estreita, adota-se como valor adequado para análise e projeto $N=0,3$.

Deste modo deve-se avaliar com detalhe as perdas para diferentes valores de indutância para $N=0,3$ dentro da faixa de validade de L_a .

D. Otimização do valor de L_a para $N=0,3$.

Os valores de indutância analisados para o valor de N igual a 0,3 são descritos na Tabela 20. A Figura 142 mostra os valores de L_a analisados no gráfico.

Tabela 19 – Valores de L_a para $N=0,3$.

Descrição	Valor de L_a	Ponto na Curva
$L_{a(\text{Min})}$	7,14 μH	P_{fa1}
$L_{a(1)}$	8,00 μH	P_{n3a}
$L_{a(2)}$	10,00 μH	P_{n3b}
$L_{a(3)}$	12,00 μH	P_{n3c}
$L_{a(4)}$	14,00 μH	P_{n3d}
$L_{a(5)}$	16,00 μH	P_{n3e}
$L_{a(\text{Max})}$	16,72 μH	P_{fb1}

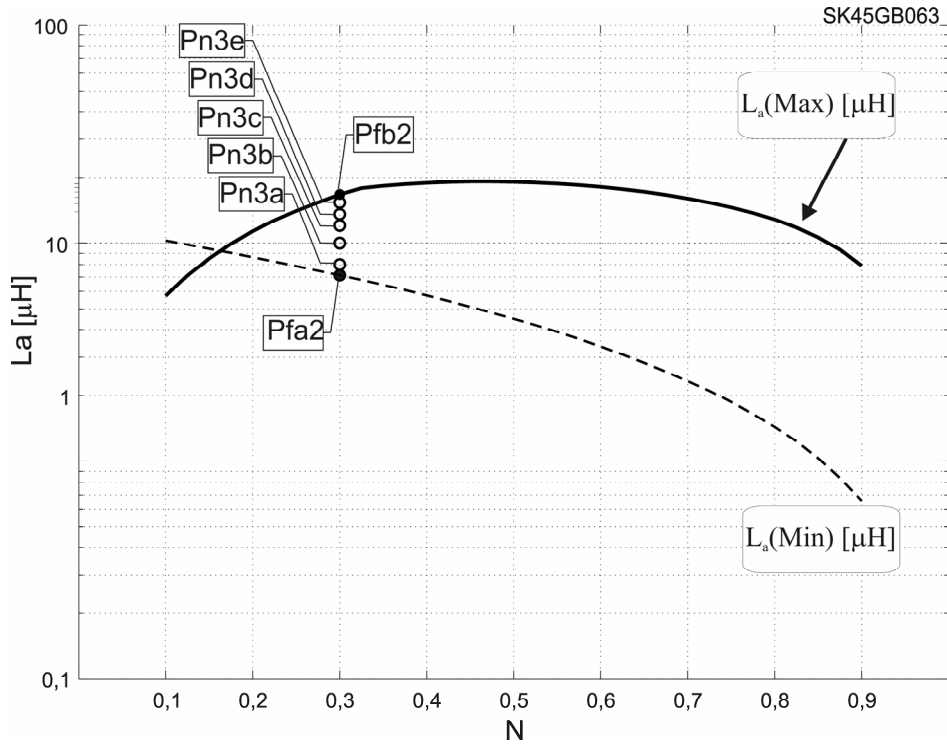


Figura 142 – Gráfico L_a por N para análise das perdas nos semicondutores do circuito auxiliar para L_a constante.

As perdas para o IGBT discreto IRGP20B60PD1 e os MOSFETs IRFP360 e IRFP460, ambos utilizando diodo MUR1560 como diodo anti-paralelo são mostradas na Figura 143. Observa-se que as perdas são menores para o MOSFET IRFP360 e para o valor de L_a igual a $L_{a(\text{Min})}$. Portanto, L_a deve ser igual a $7,14 \mu\text{H}$.

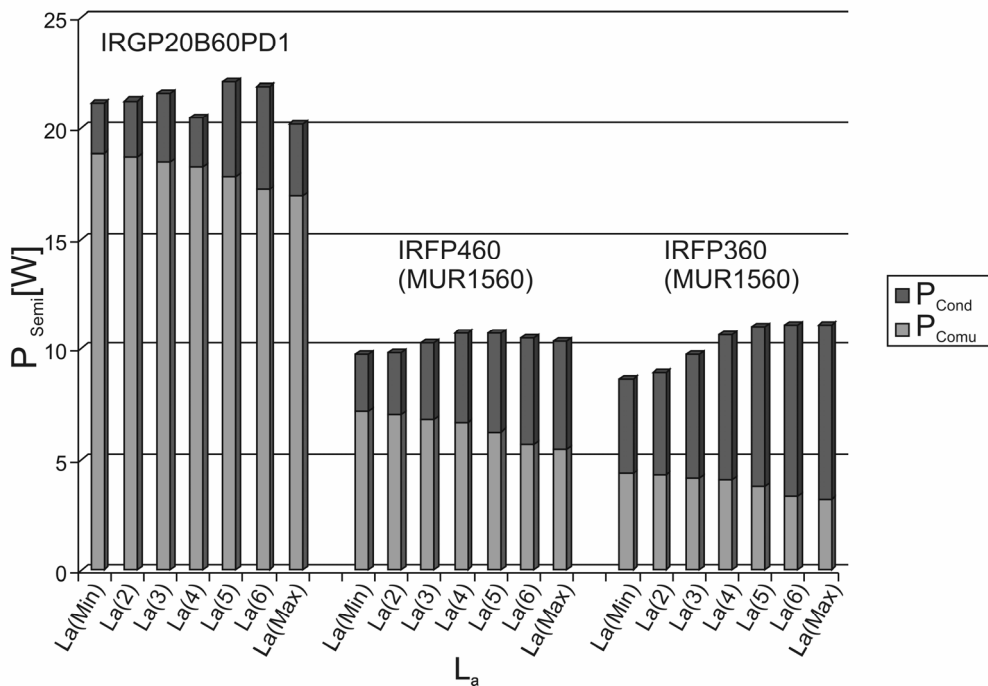


Figura 143 – Análise das perdas para $N=0,3$.

6.5.3 Inversores ZCZVT monofásicos com acoplamento magnético e circuitos auxiliares isolados.

6.5.3.1 Definição da Região de Validade para os valores de N e L_a .

A Figura 144 mostra a região válida para os valores de N e L_a . Para definição da região foram considerados oito (8) módulos semicondutores para implementação das chaves principais. Os parâmetros de cada módulo estão resumidos na Tabela 16.

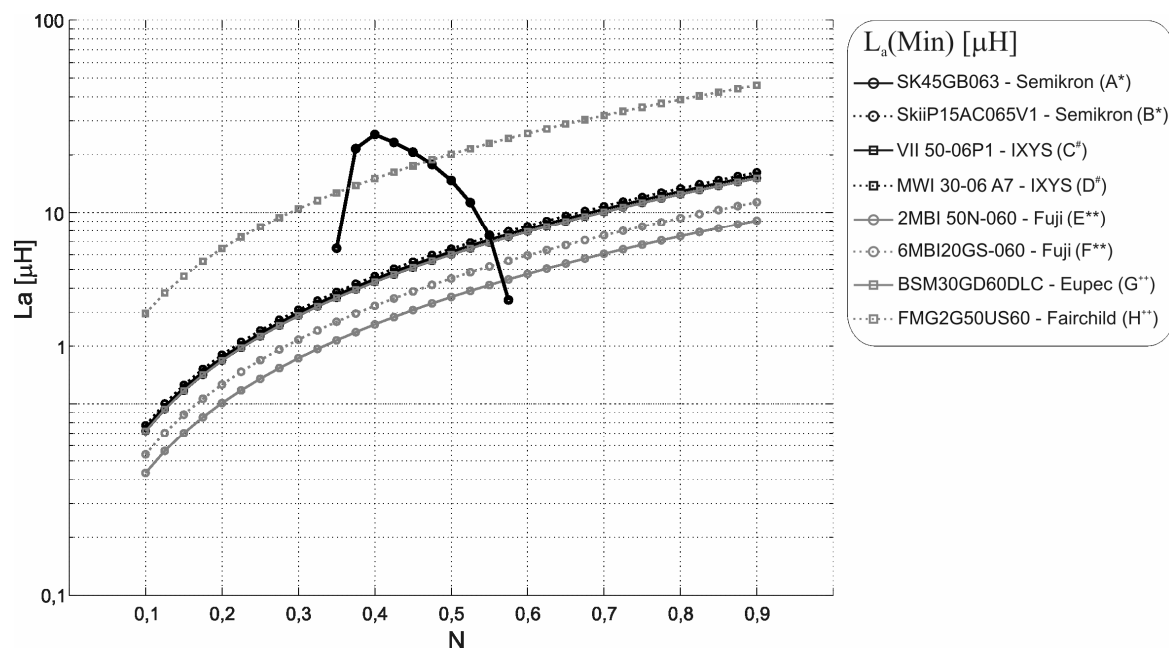


Figura 144 – Gráfico L_a por N para diferentes Módulos de semicondutores.

Tabela 20 – Valores de L_a para o inversor ZCZVT com circuito auxiliar isolado.

N	$L_a(\text{Max})$ [μH]	$L_a(\text{Min})$ [μH]							
		A*	B*	C#	D#	E**	F**	G++	H°
0,1	---	0,72	0,77	0,74	0,72	0,43	0,54	0,72	2,96
0,2	---	1,68	1,80	1,74	1,68	1,01	1,26	1,68	6,45
0,3	---	2,88	3,08	2,98	2,88	1,73	2,16	2,88	10,48
0,4	25,47	4,32	4,63	4,47	4,32	2,59	3,24	4,32	15,04
0,5	14,69	6,00	6,43	6,21	6,00	3,60	4,50	6,00	20,14
0,6	---	7,92	8,49	8,19	7,92	4,75	5,94	7,92	25,78
0,7	---	10,08	10,80	10,43	10,08	6,05	7,56	10,08	31,95
0,8	---	12,48	13,37	12,91	12,48	7,49	9,36	12,48	38,65
0,9	---	15,12	16,20	15,64	15,12	9,07	11,34	15,12	45,89

* Semikron; ** Fuji; ++Eupec; # IXYS; ° Fairchild.

Os valores para as curvas traçadas na Figura 144 são mostrados na Tabela 21. Considerando o módulo SK45GB063 da Semikron para implementação das chaves principais do inversor tem-se os valores de indutância mínima ($L_{a(\text{Min})}$) da coluna A*.

6.5.3.2 Definição dos Semicondutores Auxiliares

A partir da Tabela 21 tem-se diversos conjuntos de valores de indutância (L_a) e relação de espiras (N) que satisfazem as restrições e, portanto, podem ser utilizados como os parâmetros do circuito auxiliar. Tal como na Seção 6.5.2.2 três conjuntos de curvas foram definidas a partir da Figura 145. A curva $P_{fa(i)}$, representa os valores mínimos que podem ser assumidos pelo indutor auxiliar; a curva $P_{fb(i)}$ que representa os máximos valores que podem ser assumidos pelo indutor auxiliar; e, a curva com valores fixos para o indutor L_a , $P_{n(i)}$.

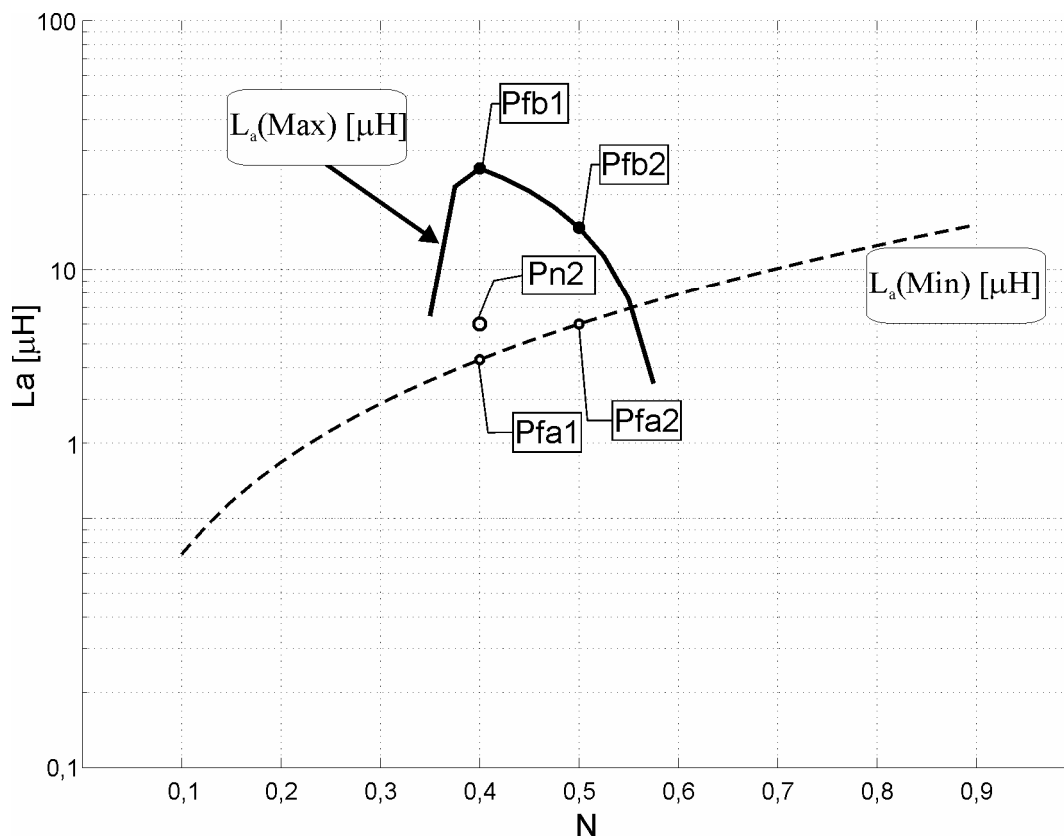


Figura 145 – Gráfico L_a por N para análise das perdas nos semicondutores do circuito auxiliar.

A. Módulos monofásicos de IGBTs como semicondutores auxiliares.

A análise das perdas para os módulos descritos na Tabela 16 para curva definida pelos pontos $P_{fa(i)}$ é mostrada na Figura 146, onde observa-se que as perdas em condução são predominantes, embora as perdas totais sejam menores, quando comparadas ao inversor ZCZVT com circuito auxiliar em derivação. Observa-se também que as perdas

diminuem proporcionalmente ao valor de N . Isto ocorre por que o ponto $P_{fa(i)}$ apresenta uma indutância maior do que a do ponto $P_{fa(i-1)}$.

Como as perdas em comutação são predominantes, os módulos otimizados para operarem em freqüências elevadas apresentam melhor desempenho quando utilizados como chaves auxiliares.

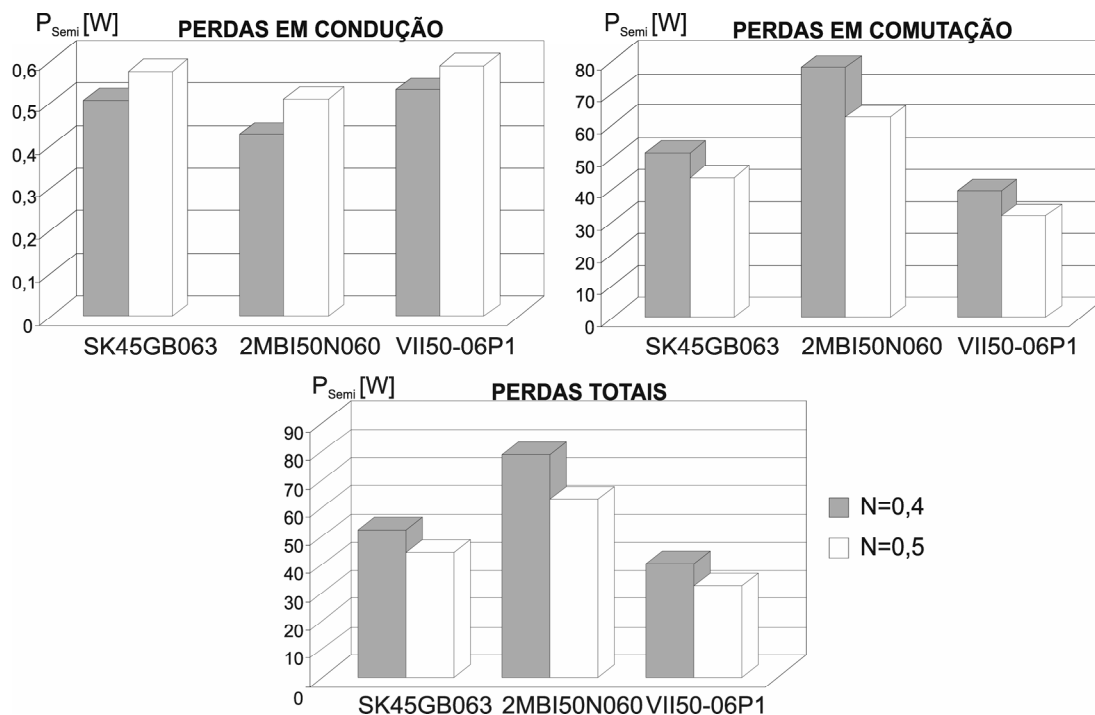


Figura 146 – Análise das perdas para os módulos de IGBT para curva Pfa.

As perdas para a curva definida pelos pontos $P_{fb(i)}$ é mostrada na Figura 147. Observa-se uma redução das perdas comparadas a da curva $P_{fa(i)}$. As perdas aumentam proporcionalmente com o aumento do valor de N , entretanto são pouco sensíveis as variações de N . Isto ocorre devido ao valor da indutância L_a diminuir para os pontos com maior N , assegurando que os componentes de máximo e eficaz de corrente para cada ponto $P_{fb(i)}$ seja maior do que para o ponto $P_{fb(i-1)}$.

Mantendo-se o valor de indutância L_a constante, verifica-se que apenas o aumento de N causa uma diminuição das perdas (pontos da curva $P_{n(i)}$) como pode-se observar na Figura 148.

Observa-se que em valores absolutos as menores perdas são encontradas para $N=0,5$. Comparando-se as perdas para cada módulo conclui-se que o módulo VII 50-06P1 da IXYS apresenta as menores perdas.

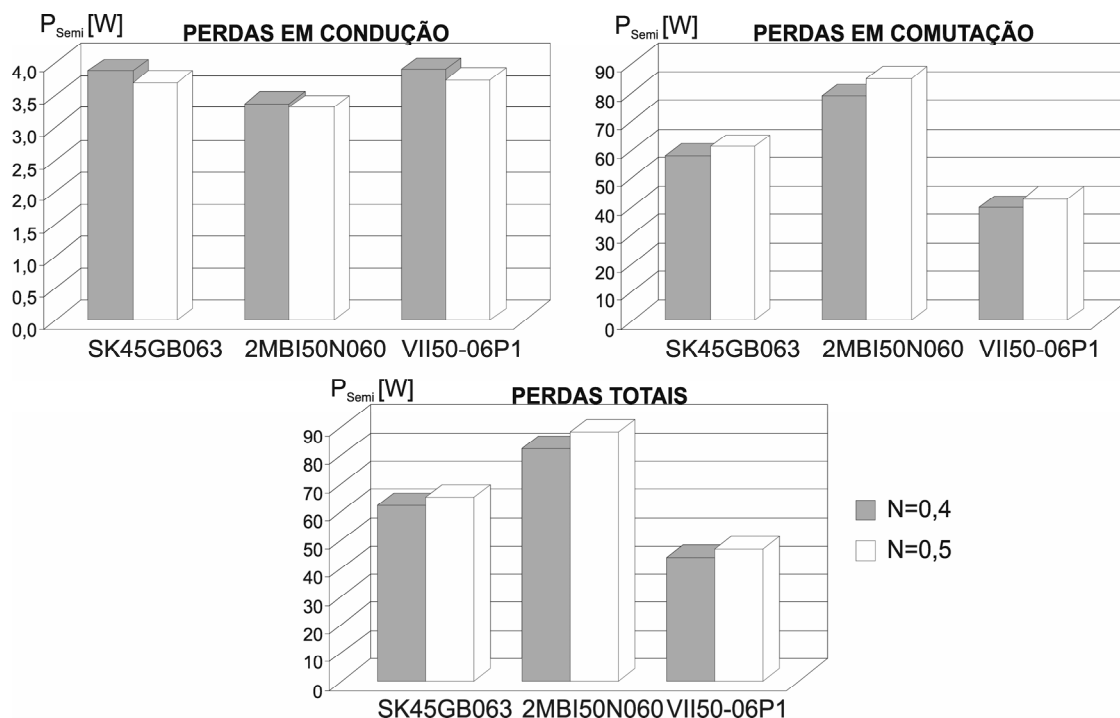


Figura 147 – Análise das perdas para os módulos de IGBT para curva Pfb.

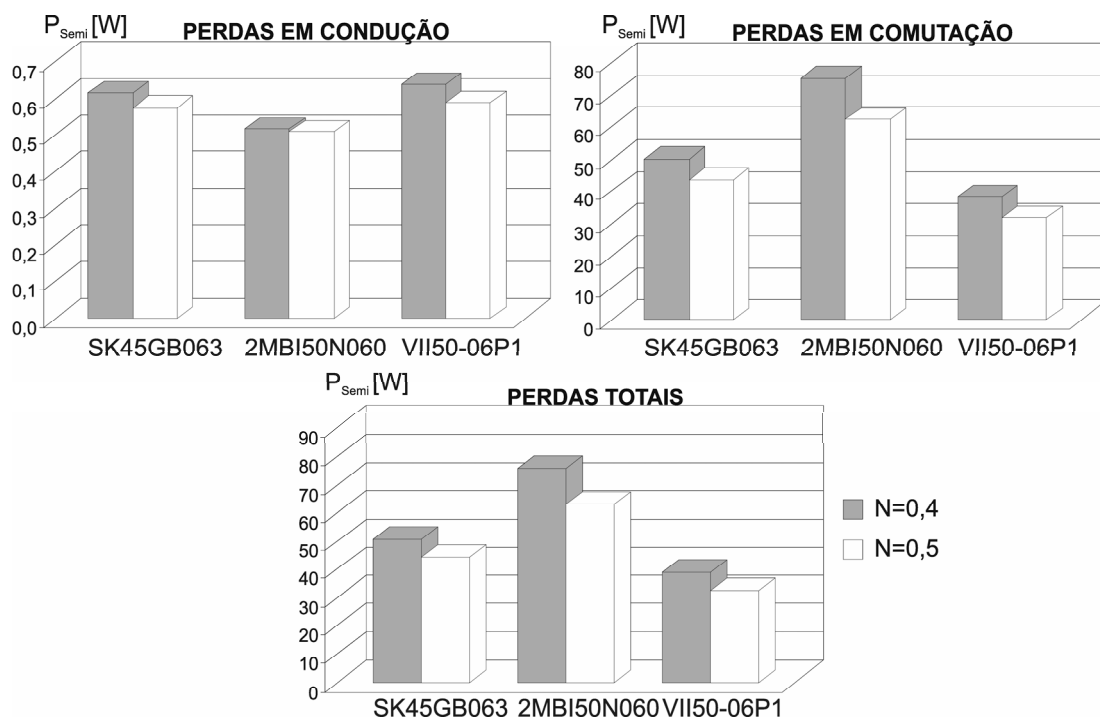


Figura 148 – Análise das perdas para os módulos de IGBT para curva Pn.

B. IGBTs discretos como semicondutores auxiliares.

As perdas para os IGBTs discretos descritos na Tabela 17 são analisadas conjuntamente nesta Seção.

As perdas para curva definida pelos pontos $P_{fa(i)}$ (Figura 145) são mostradas na Figura 149. Observa-se que dentre os IGBTs discretos o IRGP20B60PD1 apresenta as menores perdas.

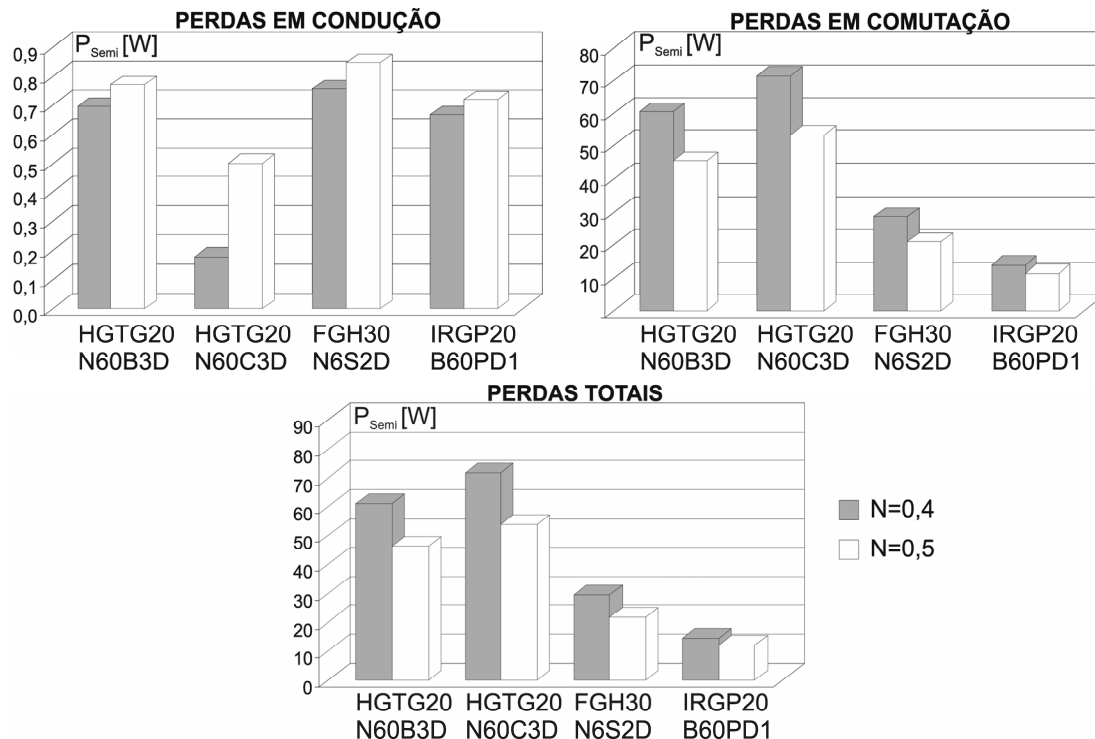


Figura 149 – Análise das perdas para os semicondutores discretos, curva Pfa.

As perdas para a curva definida pelos pontos P_{fb} são mostradas na Figura 150.

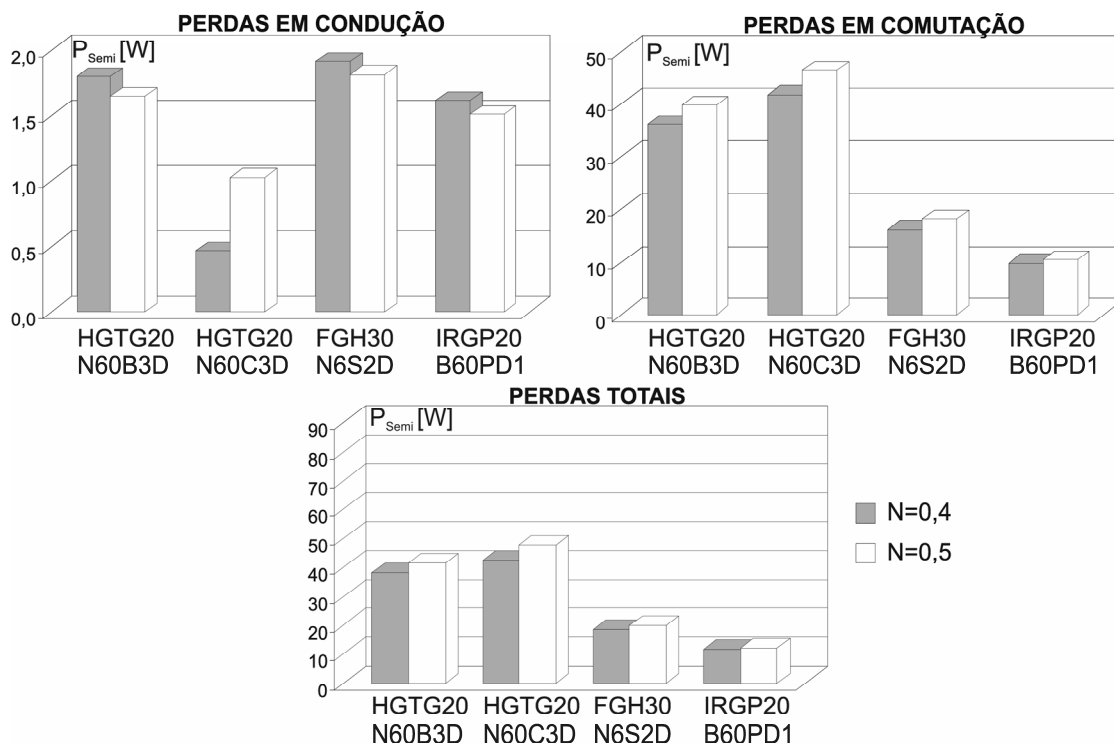


Figura 150 – Análise das perdas para os semicondutores discretos, curva Pfb.

Pode-se ver que os IGBTs discretos apresentam um comportamento semelhante aos módulos, i. e., as perdas aumentam proporcionalmente com o valor de N.

As perdas para a curva definida pelos pontos P_{n_i} são mostradas na Figura 151. Tal como para Figura 148, mantendo-se o valor de indutância L_a constante, verifica-se que apenas o aumento de N causa uma diminuição das perdas.

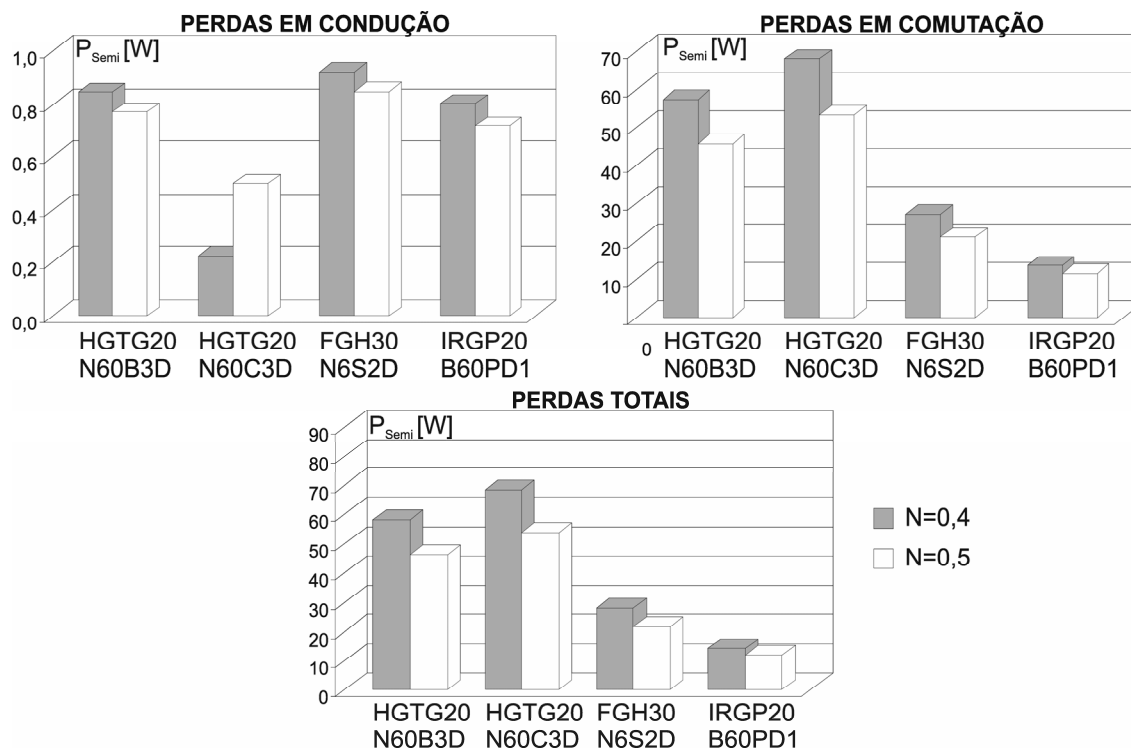


Figura 151 – Análise das perdas para os semicondutores discretos, curva P_n .

C.MOSFETs como semicondutores auxiliares.

A utilização dos MOSFETs (Tabela 19) como chaves auxiliares é analisada a seguir.

As perdas para curva definida pelos pontos $P_{fa(i)}$ (Figura 145) são mostradas na Figura 152. Observa-se os MOSFETS IRFP360 e IRFP460 apresentam perdas muito pequenas.

As perdas para a curva definida pelos pontos P_{fb_i} são mostradas na Figura 153. Pode-se ver que os MOSFETs apresentam um ligeiro decréscimo das perdas com o aumento de N.

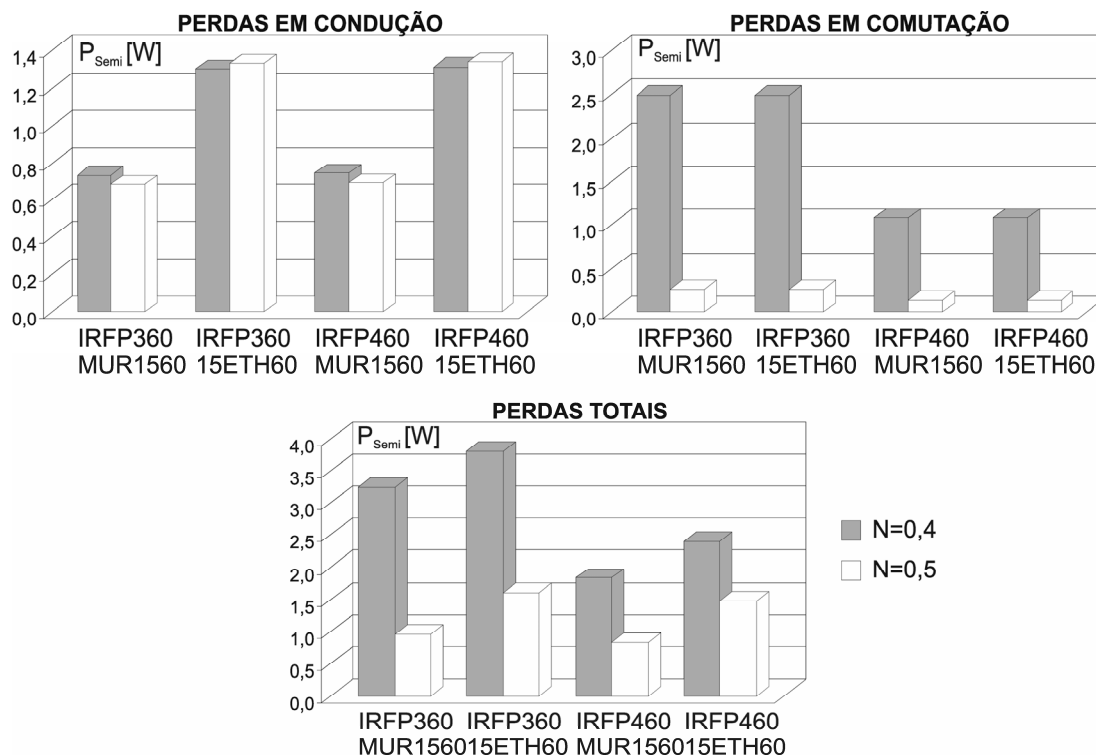


Figura 152 – Análise das perdas para os semicondutores discretos, curva Pfa.

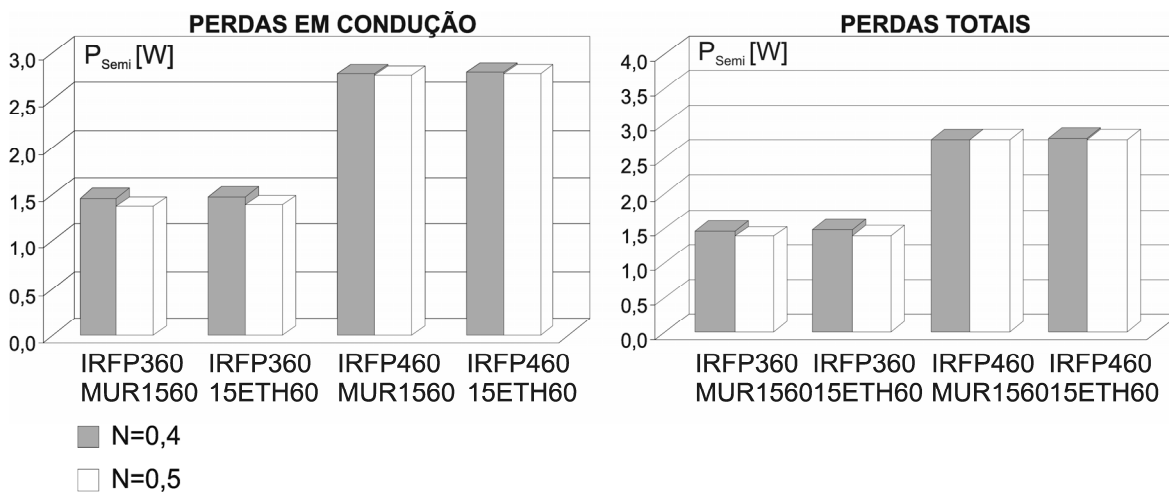


Figura 153 – Análise das perdas para os semicondutores discretos, curva Pfb.

As perdas para a curva definida pelos pontos P_{n_i} são mostradas na Figura 154. Tal como para Figura 148, mantendo-se o valor de indutância L_a constante, verifica-se que apenas o aumento de N causa uma diminuição das perdas.

As menores perdas são encontradas com o uso de MOSFETs IRFP360. Para estes semicondutores as perdas são reduzidas para $N = 0,5$ e $L_a = 6 \mu\text{H}$.

Deste modo deve-se avaliar com detalhe as perdas para diferentes valores de indutância para $N=0,5$ dentro da faixa de validade de L_a .

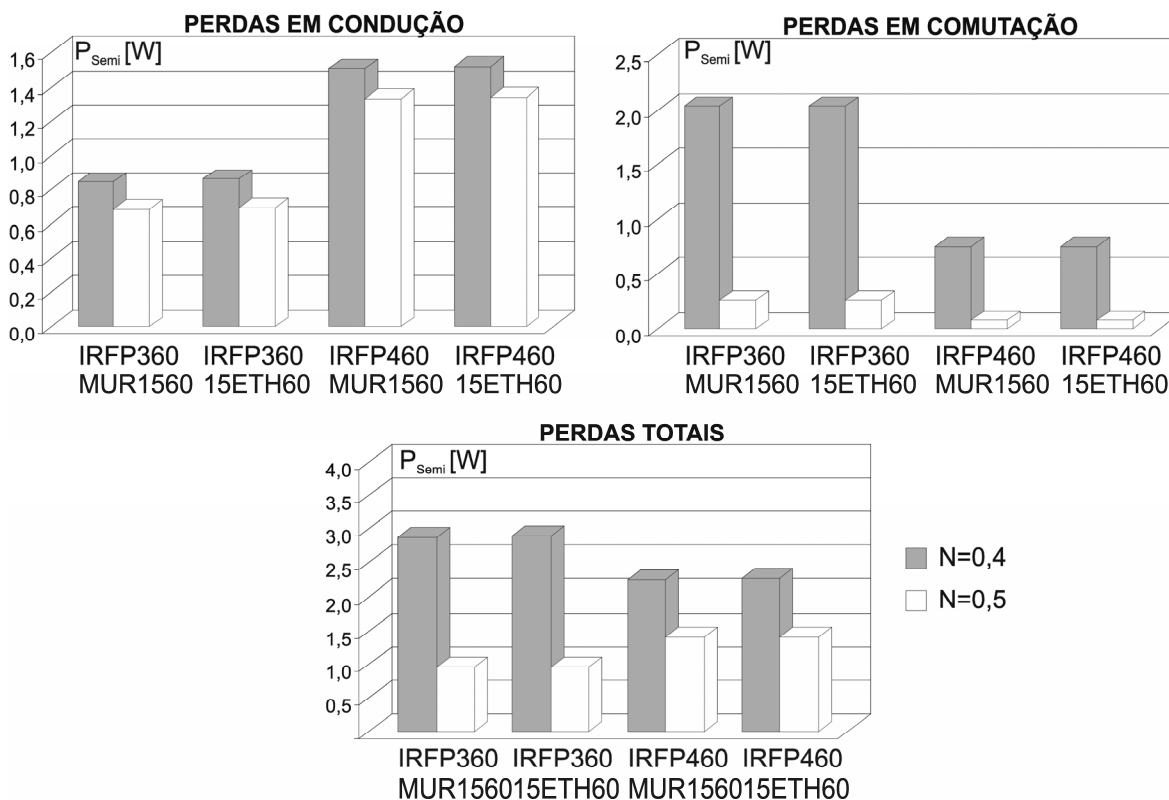


Figura 154 – Análise das perdas para os semicondutores discretos, curva P_n .

6.6 Sumário.

Neste capítulo foi apresentada uma metodologia de projeto para os Inversores ZCZVT com acoplamento magnético apresentados no Capítulo 5.

O projeto dos semicondutores principais e dos elementos do filtro de saída dos inversores foi determinado de modo conjunto por meio de um critério de perdas e volume baseado nas informações contidas nas folha de dados de cada componente.

O projeto dos elementos dos circuitos auxiliares partiu da caracterização das perdas dos IGBTs em condições de comutação ZVS e ZCS. As características dinâmicas dos IGBTs foram utilizadas para determinar um conjunto de restrições, para as quais a relação de transformação (N) do indutor acoplado e o indutor auxiliar (L_a) foram projetadas. Para determinar um único par de valores de N e L_a capaz de atender as restrições utilizou-se um critério a partir das perdas dos semicondutores auxiliares. Esta análise de perdas contemplou três escolhas distintas, (i) a utilização de módulos (IGBT) com a mesma tecnologia das chaves principais do inversor, (ii) a utilização de IGBTs discretos e, (iii) a utilização de MOSFETs discretos. Através dos resultados obtidos, as características de operação do circuito auxiliar foram favoráveis para utilização de MOSFETs discretos, os quais apresentaram menores perdas.

Portanto, através da metodologia de projeto apresentada, os valores de N e L_a foram escolhidos de modo a minimizar as perdas dos IGBTs principais (através das restrições) e também minimizar as perdas dos semicondutores auxiliares (através dos critérios de perdas das chaves auxiliares).

CAPÍTULO 7

CONSIDERAÇÕES PRÁTICAS E ANÁLISE EXPERIMENTAL

7.1 *Introdução*

Neste Capítulo são discutidas e apresentadas as considerações práticas com respeito à tecnologias e a implementação dos protótipos de laboratório. As especificações e a escolha dos componentes deste protótipo são feitas com base nas análises e no projeto desenvolvidos no Capítulo 6. Os resultados experimentais são apresentados e discutidos.

7.2 *Estágio de Potência*

Para validar a análise teórica apresentada nos capítulos anteriores, um protótipo de laboratório foi construído. O protótipo é constituído por dois estágios de potência: um estágio retificador que converte a tensão alternada da fonte trifásica ($380V_{RMS}$) para um valor contínuo, não regulado ($360V_{CC}$); e um estágio inversor, o qual produz uma tensão alternada monofásica regulada de $127 V_{RMS}$. A Figura 155 mostra um diagrama esquemático unifilar do protótipo implementado em laboratório.

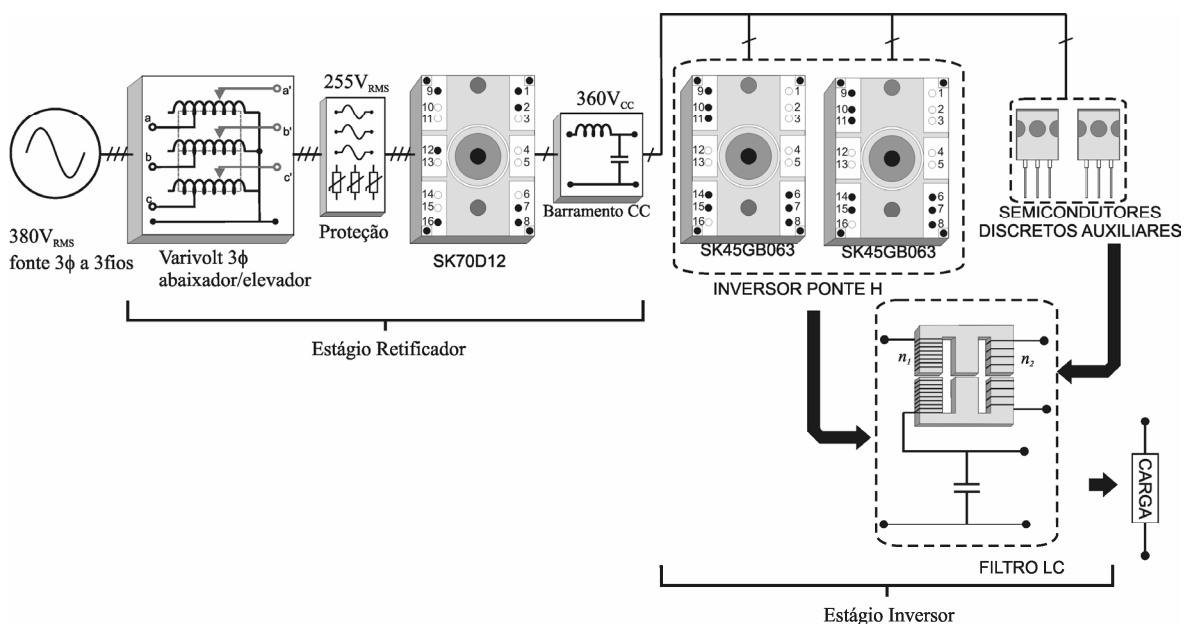


Figura 155 – Diagrama esquemático unifilar do protótipo implementado em laboratório.

As especificações e os parâmetros do protótipo, definidos de acordo com a metodologia de projeto apresentada no Capítulo, são descritos na Tabela 21.

Tabela 21 – Especificações e Parâmetros Experimentais para o protótipo

Componente/Elemento	Especificação/Parâmetro
V_i (tensão de entrada) - 3 ϕ	380 V _(RMS)
V_{bus} (tensão de barramento)	360 V _{CC}
V_o (tensão de saída) - 1 ϕ	127 V _(RMS)
P_o (potência)	1,0 kW
f_s (frequência de chaveamento)	40 kHz
L_{bus} (indutor do barramento)	12 mH
C_{bus} (capacitor do barramento)	(2 x 1000 μ F) // (4 x 560 μ F) // (68 μ F)
S_1, S_2, S_3, S_4 (chaves principais)	SK45GB063
S_{a1}, S_{a2} (chave auxiliar)	IRFP360
$D_{a1}, D_{a2}, D_{a3}, D_{a4}$ (diodos auxiliares)	RHRP870 + 80SQ045*
N (n_2/n_1)	0,3 (9 espiras/30 espiras)
L_M (indutância magnetizante)	1,26 mH
L_{k1} (indutância de dispersão do pri.)	51,7 μ H
L_{k2} (indutância de dispersão do sec.)	5,9 μ H
L_{sat} (indutor saturado) - Spike Killer	Toshiba - SA14x8x4,5 (5 espiras)
L_a (indutor auxiliar)	$L_{k1} = 5,9 \mu\text{H}$ (L_{k2})
C_s (capacitor auxiliar)	(1,0) nF

* O diodo 80SQ045 é utilizado para fins comparativos em um dos protótipos

7.2.1 Considerações Práticas Sobre o Estágio Retificador

O estágio retificador é constituído por quatro partes básicas. Um variador de

tensão trifásico ajustável, um circuito trifásico de proteção, uma ponte trifásica não-controlada e um filtro de segunda ordem (LC).

A ponte retificadora trifásica não controlada é implementada por um único módulo trifásico da Semikron (SK70D12) de 70A/1200V, conforme diagrama da Figura 156. Num circuito trifásico os diodos conduzem aos pares, durante um intervalo de tempo igual ou inferior à 4,16 ms. Se a impedância do lado CC da ponte for suficientemente indutiva, os diodos conduziram durante todo o intervalo de 4,16 ms, caso contrário, o intervalo de condução dos diodos passa a ser inferior a este valor. Se a impedância do lado CC da ponte for capacitiva, o intervalo de condução dos diodos é reduzido proporcionalmente ao aumento da capacitância associada ao barramento CC.

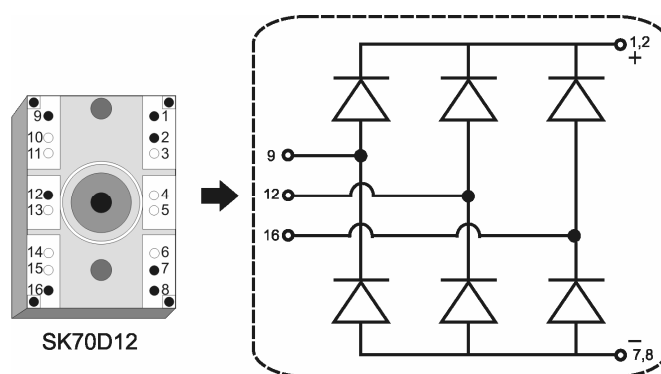
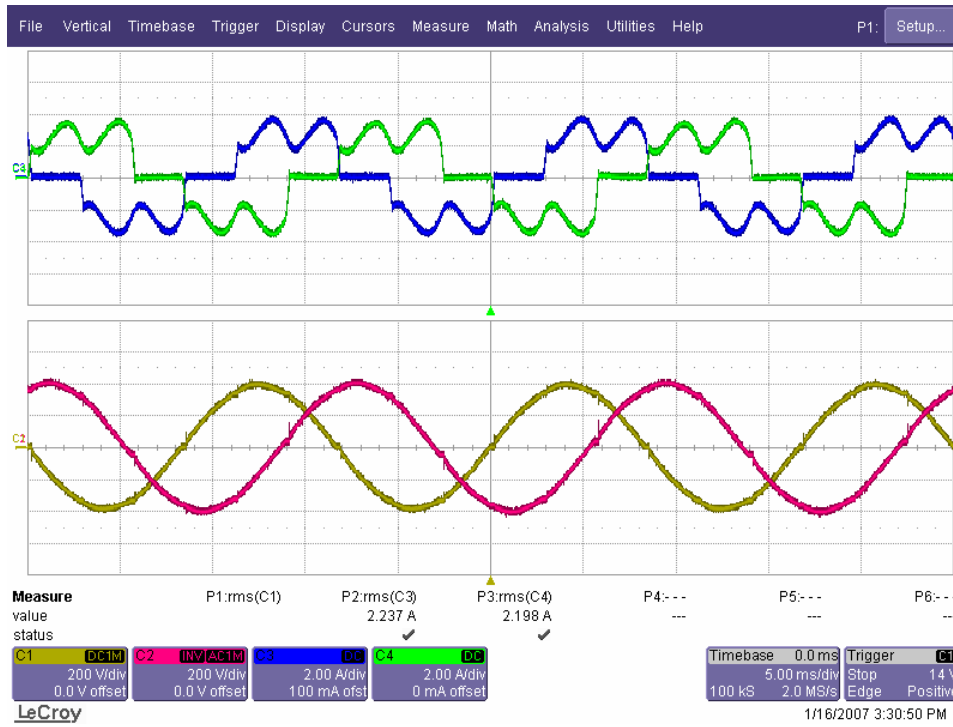


Figura 156 – Diagrama esquemático do circuito retificador (módulo SK70D12).

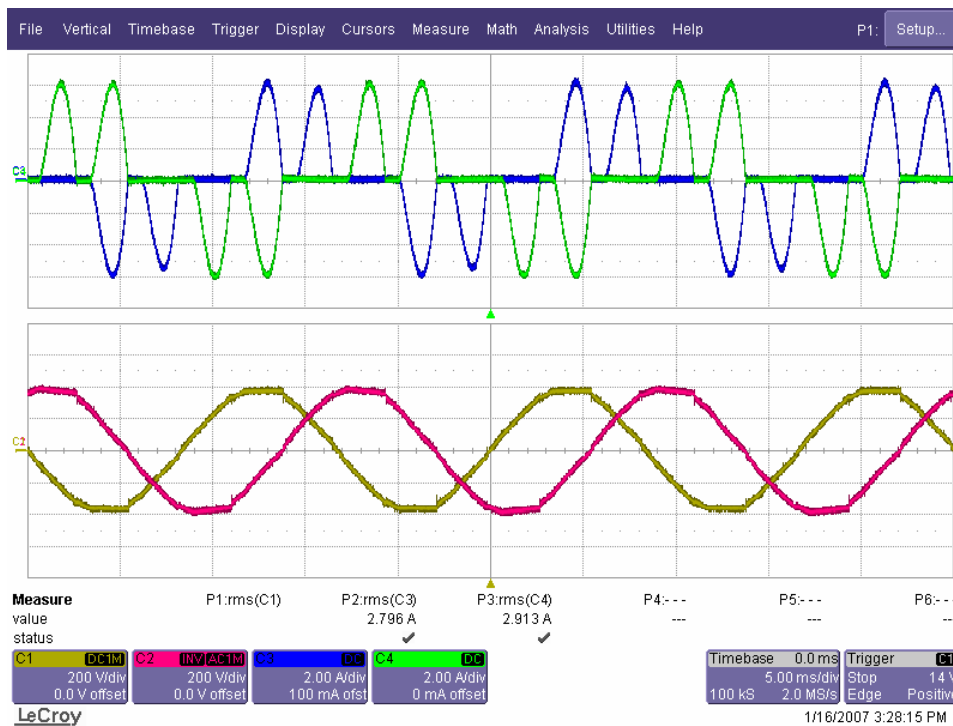
Uma vez que a potência do retificador é independente de sua reatância, as correntes tem seus valores máximos e eficazes aumentados quando o barramento possui uma reatância capacitiva. Isto pode ser observado nas formas de onda experimentais mostradas na Figura 157. A presença de um indutor no barramento CC faz com que as correntes de linha da entrada do retificador apresentem um valor máximo de aproximadamente 4 A e um valor eficaz de 2,2 A (Figura 157(a), gráfico superior). As mesmas correntes para um retificador sem indutor de barramento apresentam um valor máximo de aproximadamente 6 A e um valor eficaz de 2,8 A (Figura 157(b), gráfico superior). O maior valor eficaz nas correntes de linha faz com que as perdas em condução dos diodos da ponte retificadora sejam maiores. Isto pode ser observado na Figura 158, onde pode-se observar que a ausência de um indutor de barramento faz com que a eficiência média do retificador seja de aproximadamente 94%, enquanto que a mesma é de aproximadamente 98% quando um indutor de 12mH encontra-se no circuito.

Percebe-se que os valores elevados das correntes de entrada na ausência do indutor no barramento provocam a saturação do VARIAC “achatando” as tensões na

entrada do retificador (Figura 157(b), gráfico inferior).



(a)



(b)

Escalas: $v_{\text{linha}} - 200\text{V/div}$; $i_{\text{linha}} - 2\text{A/div}$;
tempo – 5mS/div.

Figura 157 – Correntes e tensões de entrada do estágio retificador. (a) Com indutor no barramento; (b) Sem indutor no barramento.

Como o indutor do barramento opera numa frequência de 360Hz, o mesmo pode

ser implementado por um núcleo com uma maior permeabilidade magnética, pois as perdas no núcleo não são significativas nesta faixa de frequência. Observa-se que a utilização de núcleo de ferrite ou laminado não possui influência quanto à eficiência do retificador (Figura 158 - traços superiores). Entretanto, por possuir uma permeabilidade muito menor, o núcleo de ferrite necessita de uma área efetiva bem maior. Portanto, o núcleo de ferrite produz um aumento desnecessário no volume de todo o sistema. As curvas de eficiência da Figura 158 foram obtidas somente para o estágio retificador alimentando uma carga resistiva conectada diretamente no barramento CC.

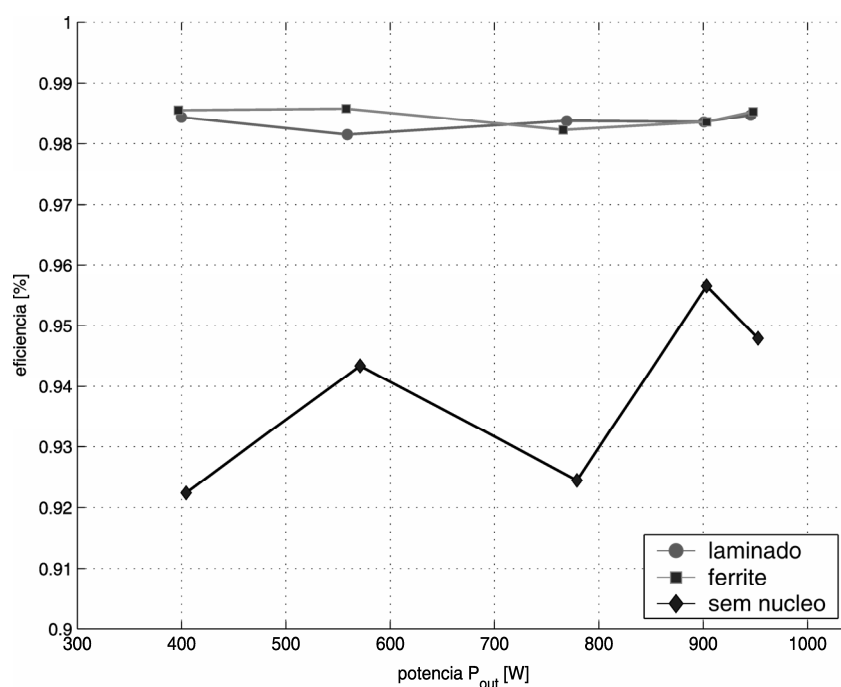


Figura 158 – Comparativo de eficiência do estágio retificador em função de diferentes indutores de barramento.

7.2.2 Considerações Práticas Sobre o Indutor Acoplado

A configuração do indutor acoplado do inversor ZCZVT com acoplamento magnético e enrolamento secundário em série com o indutor auxiliar (L_a), apresentado no Capítulo 5, é mostrada na Figura 159.

O projeto e o cálculo dos parâmetros do indutor acoplado utilizado nos inversores ZCZVT com acoplamento magnético é de suma importância para o desempenho destes inversores. A escolha do material e do tamanho do núcleo dependem principalmente da faixa de potência e da frequência de operação do indutor e tem um impacto direto no desempenho do inversor. Para as especificações de projeto dos inversores analisados

existem duas tecnologias que mais se enquadram para aplicação, os núcleos de ferrite com geometria tipo “E” (Thornthorn) e os núcleos Kool M μ [®] “toroidais” (Magnetics).

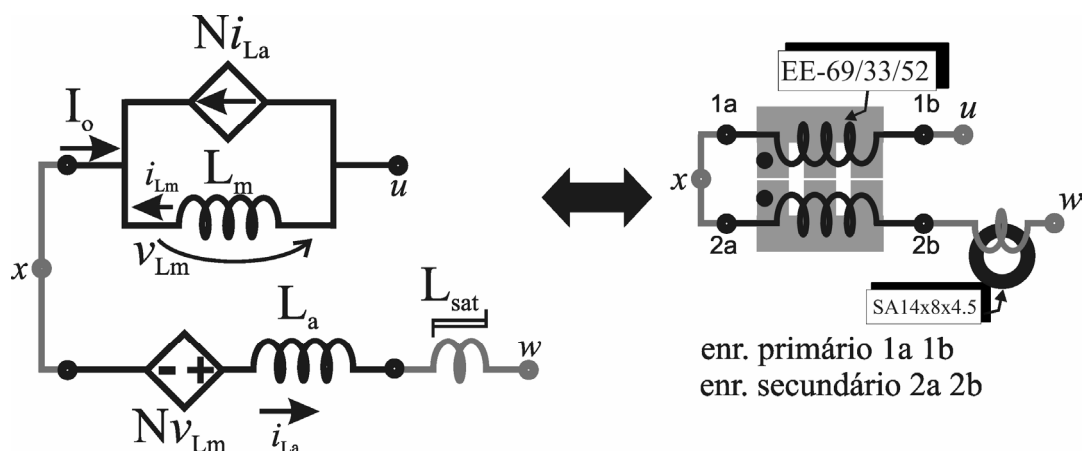


Figura 159 – Diagrama das conexões do indutor acoplado para o inversor ZCZVT com acoplamento magnético e circuito auxiliar em derivação.

Os indutores de filtro devem armazenar energia no seu campo magnético e em seguida entregá-la novamente ao circuito. Por este motivo, os indutores de filtro devem possuir entreferro. Por possuir uma relutância muitas vezes maior do que a do material magnético do núcleo, a maior parte da energia armazenada no indutor encontra-se no entreferro. O entreferro pode ser de dois tipos, concentrado ou distribuído.

O entreferro concentrado é empregado nas Ferrites. As Ferrites são estruturas cerâmicas densas e homogêneas produzidas pela combinação de óxido de ferro com óxidos ou carbonetos de um ou mais metais como o Zinco, o Níquel ou o Magnésio. Para implementação do entreferro nestes materiais, o núcleo deve possuir duas partes distintas. As principais geometrias das Ferrites são do tipo C, EI, EE ou pot-core. Nestas geometrias o entreferro pode ser ajustado e fixado ao núcleo por meio de um material isolante. As principais vantagens das Ferrites são seu baixo custo; sua alta resistividade, o que assegura pequenas correntes de Foucault numa larga faixa de frequências; e, sua boa linearidade numa grande faixa de valores de intensidade magnética.

Por outro lado, o entreferro distribuído encontra-se imerso no material magnético do núcleo. Isto é feito durante a confecção do núcleo que possui uma estrutura composta de pó de ferro, alumínio e silício. A principal geometria deste tipo de núcleo é a toroidal. Por apresentar um raio interno menor que o raio externo, num material com distribuição homogênea de entreferro, permite que a saturação ocorra de dentro para fora de modo suave, diferentemente do que ocorre com as Ferrites. Além disto, o entreferro distribuído

elimina as perdas por frangeamento e reduz o EMI produzido pelo indutor. As perdas por correntes de Foucault são controladas de modo a permitir o uso de mais elevados valores de B_{sat} em uma faixa de frequências relativamente mais baixa. Além desta limitação, o entreferro não pode ser alterado pelo projetista, reduzindo o grau de liberdade na confecção do indutor.

Considerando-se que as condições de comutação dos inversores ZCZVT com acoplamento magnético estão intimamente relacionada com o valor da relação de transformação do indutor acoplado, que é dado por,

$$N \approx n_e = \sqrt{\frac{L_{k2} + \left(\frac{n_2}{n_1}\right)^2 L_M}{L_{k1} + \left(\frac{n_1}{n_2}\right)^2 L_M}} \quad (7.1)$$

Os núcleos toroidais Kool μ , onde a permeabilidade magnética efetiva é fortemente afetada pela corrente, apresentam uma faixa de variação para os valores de suas indutâncias própria e de dispersão. Estas variações modificam o valor da relação de transformação (N) do indutor acoplado e, conseqüentemente, as condições de comutação suave dos inversores ZCZVT com acoplamento magnético.

A maior linearidade dos núcleos tipo “E” faz com que estes sejam mais adequados para a confecção dos indutores acoplados dos protótipos.

As perdas no indutor acoplado podem ser divididas em *perdas indutivas*, as quais estão relacionadas ao material magnético e também podem ser denominadas de perdas do núcleo ou perdas no ferro, e *perdas condutivas*, as quais estão relacionadas com o condutor ou condutores que fazem parte do elemento magnético, estas perdas também podem ser denominadas de perdas do enrolamento, perdas Joule, ou perdas no cobre.

As perdas indutivas são dependentes da densidade de fluxo, da frequência e da temperatura de operação do elemento magnético. Estas perdas podem ser separadas em perdas por histerese e perdas por correntes parasitas, [268]. As perdas por histerese ocorrem devido à natureza do laço de histerese, no qual pode-se encontrar mais de um valor para cada ponto B - H , ou seja, existe uma diferença da energia *entregue* durante o processo de indução e a energia *devolvida* para o circuito. Esta energia é utilizada basicamente para re-orientação dos domínios magnéticos do material. Deste modo, as perdas por histerese são proporcionais à área envolvida pelo laço de histerese, a qual, por sua vez é proporcional ao quadrado da excursão da densidade de fluxo (ΔB^2). Devido à

variação do fluxo magnético, correntes são induzidas através do material magnético. Estas correntes produzem as perdas por correntes parasitas as quais se assemelham às perdas ôhmicas e, portanto, são proporcionais ao quadrado da frequência e da excursão da densidade de fluxo.

As perdas do núcleo são definidas pela Lei de Steinmetz, [269]-[270],

$$P_{fe} = C_m f^x (\Delta B)^y V_e. \quad (7.2)$$

Onde V_e é o volume do núcleo e as constantes C_m , x e y , são obtidas pelo método de *aproximação por função (Curve Fitting)* dos gráficos das perdas do material magnético fornecido pelo fabricante segundo as seguintes expressões, [271].

A Lei de Steinmetz é válida somente para excitação senoidal, para excitação do tipo onda quadrada (comum em conversores PWM), uma expressão modificada de Steinmetz é usada para definir as perdas no núcleo, [272],

$$P_{fe} = C_m f (\Delta B(\theta))^y V_e \left(\frac{t_{on}(\theta)}{(2t_{on}(\theta))^x} + \frac{t_{off}(\theta)}{(2t_{off}(\theta))^x} \right). \quad (7.3)$$

Entretanto, a variação de fluxo ΔB é função da variação de corrente de magnetização do indutor saturado. Portanto,

$$P_{fe} = C_m f \left(\left(\frac{\mu_0}{l_g + (l/\mu_r)} \right) n_1 \Delta i_M(\theta) \right)^y V_e \left(\frac{t_{on}(\theta)}{(2t_{on}(\theta))^x} + \frac{t_{off}(\theta)}{(2t_{off}(\theta))^x} \right). \quad (7.4)$$

As perdas condutivas são dependentes da resistência do condutor, incluindo os efeitos *skin* e *proximidade*, as perdas condutivas totais são dadas por ,

$$P_{Cu} = R_{DC} I_{rms}^2 + \sum_{h=f_{bound}}^H \left(R_{AC\{f\}} I_{RMS\{f\}}^2 \right) \left(1 + \frac{No}{3} (2No^2 + 1) \right). \quad (7.5)$$

Onde No é o número de camadas do enrolamento do indutor acoplado; R_{DC} representa a resistência DC do condutor; e I_{rms} a corrente rms através do mesmo.

De um modo geral, escolhendo-se um condutor com raio menor que a profundidade de penetração de corrente para a frequência de chaveamento, pode-se desprezar as perdas provenientes da resistência R_{AC} . Deste modo, as perdas Joule podem ser definidas de forma simplificada como,

$$P_{Cu} = R_{DC} (I_{rms}(\theta))^2. \quad (7.6)$$

Onde a resistência R_{DC} do condutor é dada por,

$$R_{DC} = \rho \frac{l_{Cu}}{A_{W,Cu}}. \quad (7.7)$$

Pelas expressões (7.4) e (7.6) observa-se que as perdas no núcleo e no cobre dependem diretamente do valor eficaz da corrente de magnetização do indutor. Por sua vez, este valor depende da ondulação de corrente do indutor do filtro de saída. Este indutor é definido através da análise das perdas e do volume do filtro no Capítulo 6 (expressão (6.332)). De modo semelhante, a relação de espiras (N) e o indutor L_a são definidos em função das perdas nas chaves auxiliares no Capítulo 6.

A Tabela 22 mostra um resumo dos parâmetros do indutor acoplado implementado em laboratório.

Tabela 22 – Parâmetros de projeto indutores acoplados dos protótipos dos inversores ZCZVT com acoplamento magnético.

Dispositivo	Inversor ZCZVT com circ. aux. em derivação
Núcleo	EE-69/33/52
Indutância de Magnetização (L_m)	1,05 mH
Relação de espiras (N)	0,3
Indutância de dispersão do secundário (L_{k2})	7,14 μ H

Utilizando o procedimento de projeto de indutores descrito por McLyman [274], obteve-se os seguintes parâmetros.

Tabela 23 – Parâmetros dos indutores acoplados dos protótipos dos inversores ZCZVT com acoplamento magnético.

Dispositivo	Inversor ZCZVT com circ. aux. em derivação
No. espiras do enrolamento primário	30
No. espiras do enrolamento secundário	9
Indutância de Magnetização (L_M)*	1,26 mH
Indutância de dispersão primário (L_{k1}) *	51,7 μ H
Indutância de dispersão secundário (L_{k2}) *	5,9 μ H

*Os valores das indutâncias foram obtidos através do medidor LCR Meter HP 4263B.

No enrolamento secundário do indutor acoplado é inserido um pequeno núcleo saturado (Toshiba - SA14x8x4,5) ao qual são enroladas 5 espiras. O objetivo deste núcleo é reduzir os ruídos causados pela interação entre as capacitâncias intrínsecas dos semicondutores (capacitância de junção e de entrada e saída) com as indutâncias de trilha e auxiliar (L_a).

7.2.3 Considerações Práticas Sobre a Modulação PWM Descontínua do Inversor ZCZVT com Acoplamento Magnético

No intuito de minimizar as perdas de comutação do inversor ZCZVT com Acoplamento Magnético, é utilizada uma modulação PWM senoidal descontínua, i. e., pelo menos uma chave permanece em condução durante um semi-ciclo completo da tensão de saída. Desta forma, em qualquer instante, somente duas chaves comutam na frequência da portadora. Para que isto seja possível, deve-se dispor de uma função moduladora descontínua, tal como a função expressa em (7.8) e (7.9).

$$v_{Mod_A(faseA)} = V_i - 2V_i M_a \text{sen}(\omega t). \quad (7.8)$$

$$v_{Mod_A(faseB)} = -V_i. \quad (7.9)$$

Onde M_a representa a profundidade de modulação do inversor.

As formas de onda correspondentes as expressões (7.8) e (7.9) são representadas na Figura 160. Os modos de operação do inversor utilizando esta função moduladora são mostrados na Figura 161.

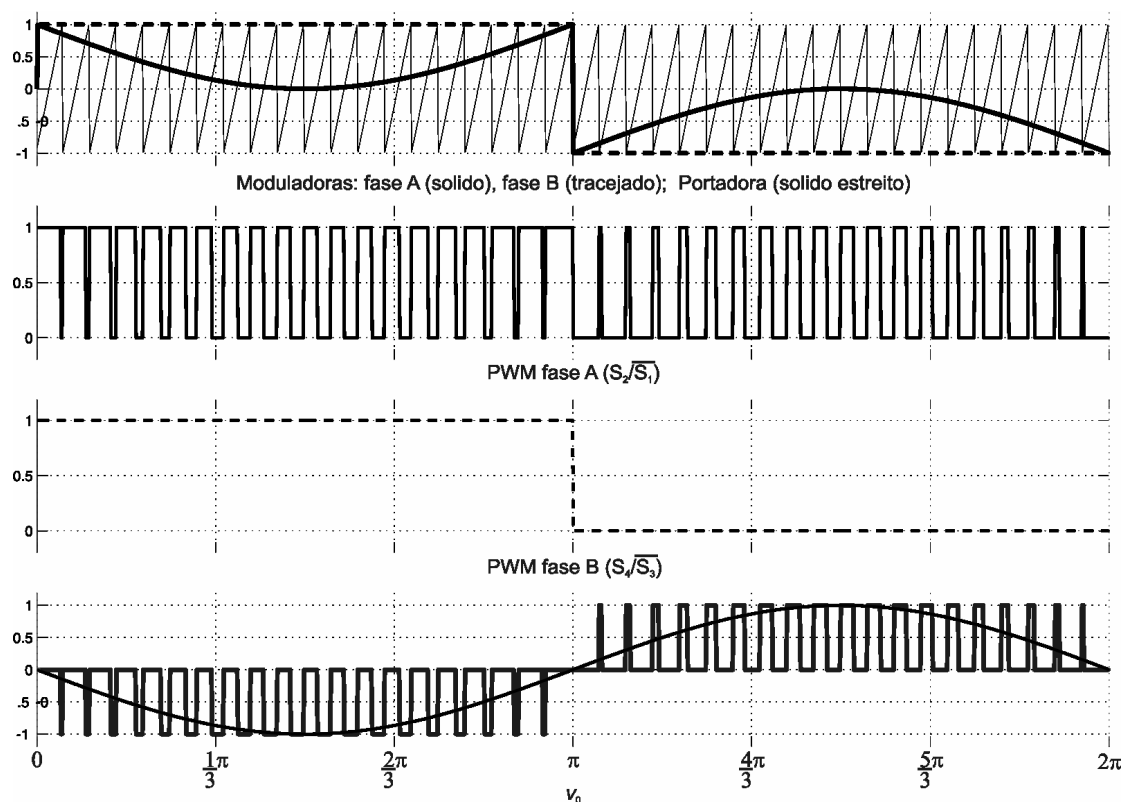


Figura 160 – Funções moduladoras descontínuas para inversor monofásico.

Através da Figura 161 observa-se que as chaves do braço S_2/S_1 operam com a frequência da portadora triangular, enquanto que as chaves do braço S_4/S_3 operam com a

freqüência da moduladora. Neste caso a chave S_3 permanece em condução durante o todo o semiciclo positivo, enquanto que a chave S_2 é ligada e desligada na freqüência do sinal da portadora PWM. Então a chave PWM ativa para este semi-ciclo encontra-se destacada pelo círculo pontilhado na Figura 161(a). Durante o semi-ciclo negativo a chave S_4 permanece em condução, enquanto que a chave S_1 é ligada e desligada na freqüência do sinal da portadora PWM. Portanto a chave chave PWM ativa para este semi-ciclo encontra-se destacada pelo círculo pontilhado na Figura 161(c).

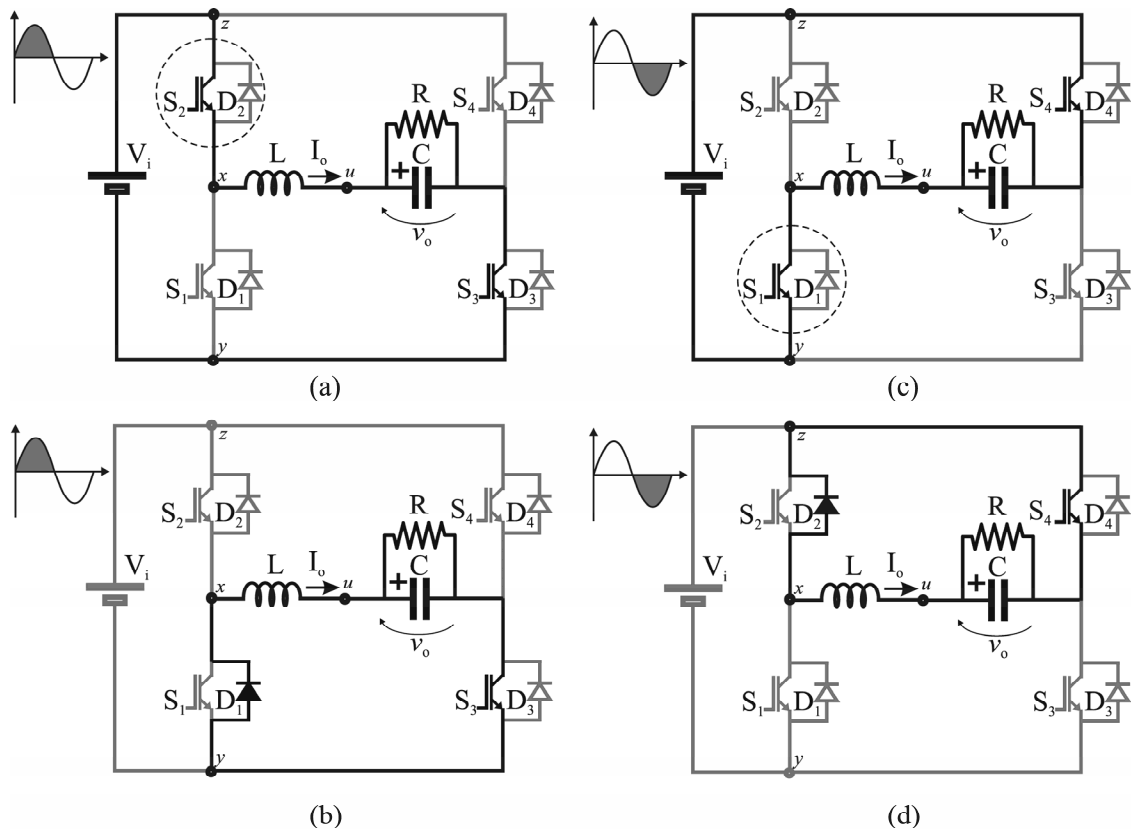


Figura 161 – Modos de operação do inversor utilizando função moduladora Mod_A. (a,b) Semiciclo positivo; (c,d) Semiciclo negativo da corrente de carga I_o .

A implementação da modulação PWM descontínua com pulso assimétrico e tempo morto entre os sinais que acionam os semicondutores de um mesmo braço do inversor é ilustrada pelos diagramas mostrados na Figura 162. Observa-se que o sinal PWM *active high* (Figura 162(a)) aciona o semicondutor após o instante de comparação e o intervalo de tempo morto. Por outro lado, o sinal PWM *active low* aciona o semicondutor antes do instante de comparação ocorrer. No caso do braço com modulação descontínua, o sinal *active high* (Figura 162(b)) é mantido baixo por todo o semiciclo, enquanto que o sinal PWM *active low* aciona continuamente o semicondutor por todo o semiciclo.

Então, para o inversor em ponte H com modulação descontínua, o diagrama dos

sinais PWM para os semicondutores pelas definições de PWM *active high/active low* é mostrado no diagrama da Figura 163, para ambos os semiciclos. As chaves S_1 e S_4 são definidas como *active high*, enquanto que as chaves S_2 e S_3 (complementares) são definidas como *active low*.

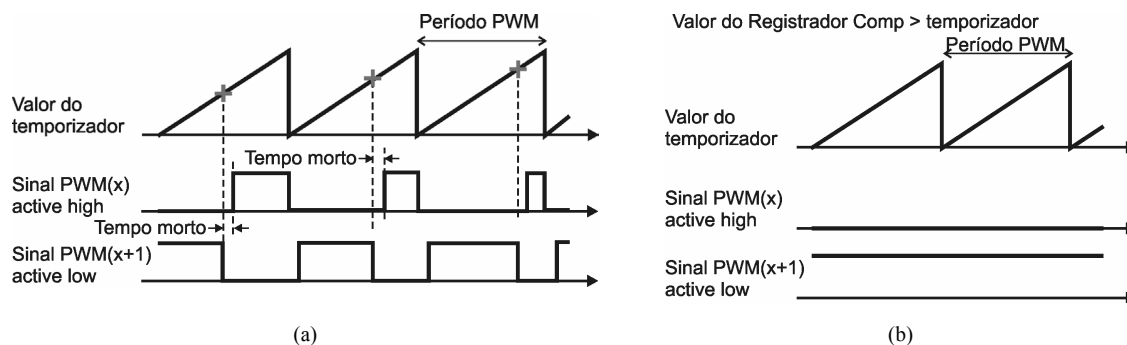


Figura 162 – Diagrama dos sinais PWM produzidos pelo EV do DSP TMS320LF2407A. (a) Chaves de alta frequência PWM; (b) Chaves de baixa frequência (descontínua).

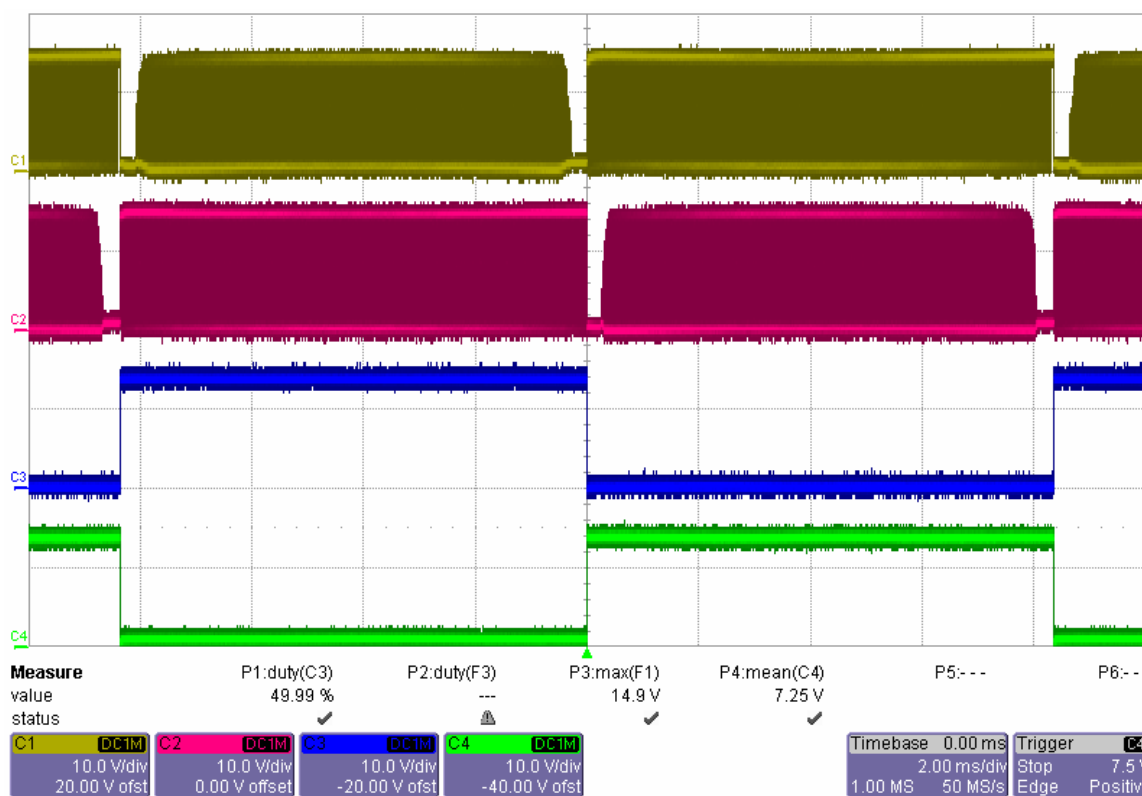


Figura 163 – Diagrama experimental dos sinais PWM para o inversor em ponte H com modulação descontínua . Canal C1: $V_{GE(S1)} - 10V/div$; Canal C2: $V_{GE(S2)} - 10V/div$; Canal C3: $V_{GE(S3)} - 10V/div$; Canal C4: $V_{GE(S4)} - 10V/div$.

A principal vantagem com a utilização desta função moduladora é que o inversor ZCZVT necessita apenas de um circuito auxiliar bidirecional em corrente, conforme mostrado na Figura 164. Com o uso de um circuito auxiliar bidirecional pode-se fazer uso de módulos monofásicos, o que pode ser um atrativo devido à sua maior compactação.

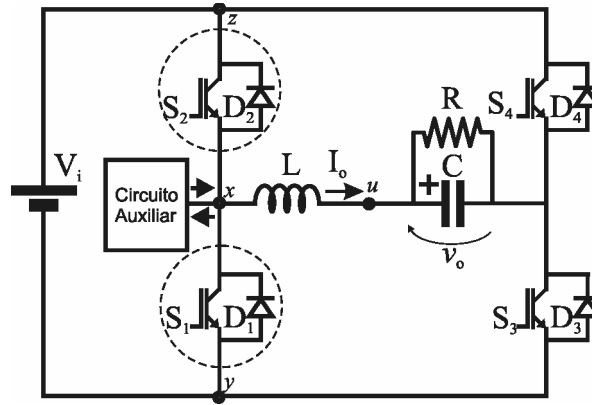


Figura 164 – Diagrama do inversor ZCZVT com modulação PWM descontínua e correspondente circuito auxiliar.

7.2.4 Considerações Práticas Sobre a Faixa de Operação ZCZVT e Temporização Variável para as Chaves Auxiliares

De acordo com a Figura 74 (inversor ZCZVT com circuito auxiliar em derivação) e Figura 88 (inversor ZCZVT com circuito auxiliar isolado), o mínimo intervalo de condução de qualquer uma das chaves principais do inversor é definido abaixo,

$$t_{on(Min)} = \Delta t_{E4} + \Delta t_{E5} + \Delta t_{E7} + \Delta t_{E8}. \quad (7.10)$$

O tempo mínimo pode ser definido como função da razão-cíclica e do período de comutação, tem-se que

$$t_{on(Min)} = D_{Min} T. \quad (7.11)$$

Por sua vez, a razão cíclica mínima pode ser definida como

$$D_{(Min)} = \frac{|V_{0(Min)}|}{V_i} = k_w \frac{|V_{0(Max)}|}{V_i}. \quad (7.12)$$

Onde $|V_{0(Max)}|$ representa o valor máximo (pico) da tensão de saída, $|V_{0(Min)}|$ é definido como sendo o valor mínimo possível para operação adequada do circuito auxiliar, e a constante k_w representa o percentual entre o valor mínimo e a tensão máxima de saída $k_w = |V_{0(Min)}| / |V_{0(Max)}|$. Observa-se portanto que, para $k_w=0$ o circuito auxiliar opera em toda faixa de tensão de saída e, para $k_w=1$, o circuito auxiliar permanece sempre inativo.

Portanto,

$$t_{on(Min)} = k_w \frac{V_{0(Max)}}{V_i} T. \quad (7.13)$$

Como a relação entre a máxima tensão de saída e a tensão de entrada é definida como profundidade de modulação (M_a) pode-se ainda expressar a mínima razão cíclica

como,

$$t_{on(Min)} = k_w M_a T. \quad (7.14)$$

a. Para o inversor ZCZVT com circuito auxiliar em derivação, tem-se que a constante k_w é dada por,

$$k_w = \frac{t_{on(Min)}}{M_a T} = \frac{1}{M_a T} \left(\frac{L_m L_a (i_{L_m}(t_6))}{L_m (1-N) N V_{uy} - L_a V_{uy}} + \frac{L_a i_{L_a}(t_3)}{V_i - N V_{uy}} \right). \quad (7.15)$$

Substituindo-se as condições iniciais por, $i_{L_m}(t_6) \approx I_0$ e $i_{L_a}(t_3) \approx 3I_0$ e ainda considerando-se que $L_m \gg L_a$ tem-se,

$$k_w \approx \frac{L_a I_0}{M_a T} \left(\frac{1}{(1-N) N V_{uy}} + \frac{3}{V_i - N V_{uy}} \right). \quad (7.16)$$

E assim, para que o circuito auxiliar proporcione comutação sob tensão e corrente nulas para os semicondutores principais a seguinte restrição deve ser obedecida

$$k_w > \frac{L_a I_0}{M_a T} \left(\frac{1}{(1-N) N V_{uy}} + \frac{3}{V_i - N V_{uy}} \right). \quad (7.17)$$

b. De modo análogo, para o inversor ZCZVT com circuito auxiliar isolado tem-se,

$$k_w > \frac{L_a I_0}{M_a T} \left(\frac{1}{\frac{V_i}{2} - N V_{uy}} + \frac{3}{\frac{V_i}{2} + N V_{uy}} \right). \quad (7.18)$$

A representação destas fronteiras em função da moduladora senoidal é mostrada na Figura 165.

Observa-se que para o inversor ZCZVT com circuito auxiliar isolado o ponto máximo para constante k_w ocorre nos instantes em que a senóide encontra-se com módulo máximo. Para o caso do inversor ZCZVT com circuito auxiliar em derivação, além destes dois pontos, existem outros dois pontos de máximo para constante k_w que ocorrem quando a senóide cruza a origem.

Por outro lado, um segundo motivo para utilização de uma janela onde não exista operação do circuito auxiliar é que a corrente de carga (I_o) excursiona por valores pequenos, fazendo com que a energia reativa produzida principalmente durante a etapa 2 (processo de entrada em condução da chave principal), cuja magnitude é fortemente dependente da impedância do circuito auxiliar, torne-se proporcionalmente mais significativa para valores pequenos desta corrente.

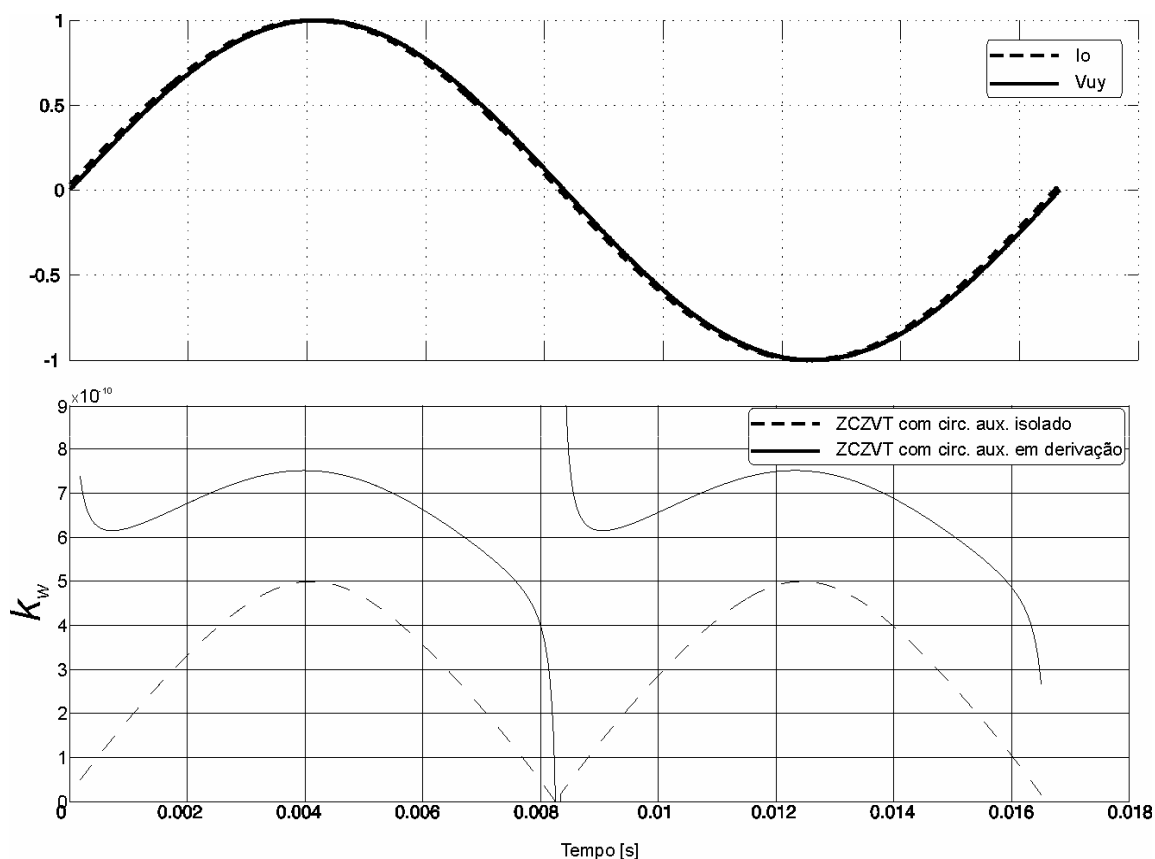


Figura 165 – Constante k_w em função da moduladora senoidal descontínua.

Por estes motivos, a operação do circuito auxiliar deve ser limitada a uma faixa de valores dependente de v_o e I_o , tanto durante o processo de entrada em condução, quanto no processo de bloqueio das chaves principais que são assistidas pelo mesmo.

O diagrama dos sinais de acionamento para o inversor ZCZVT com acoplamento magnético incluindo uma janela de operação do circuito auxiliar para cada semiciclo é mostrado na Figura 166. No semiciclo positivo a janela de comutação suave é definida pelo intervalo WDW2-WDW1, enquanto que a janela de comutação suave do semiciclo negativo é definida pelo intervalo WDW4-WDW3.

A Figura 166(b) mostra os sinais experimentais de PWM para as chaves ativas no semiciclo positivo, enquanto que a Figura 166(c) mostra os sinais experimentais de PWM para as chaves ativas no semiciclo negativo.

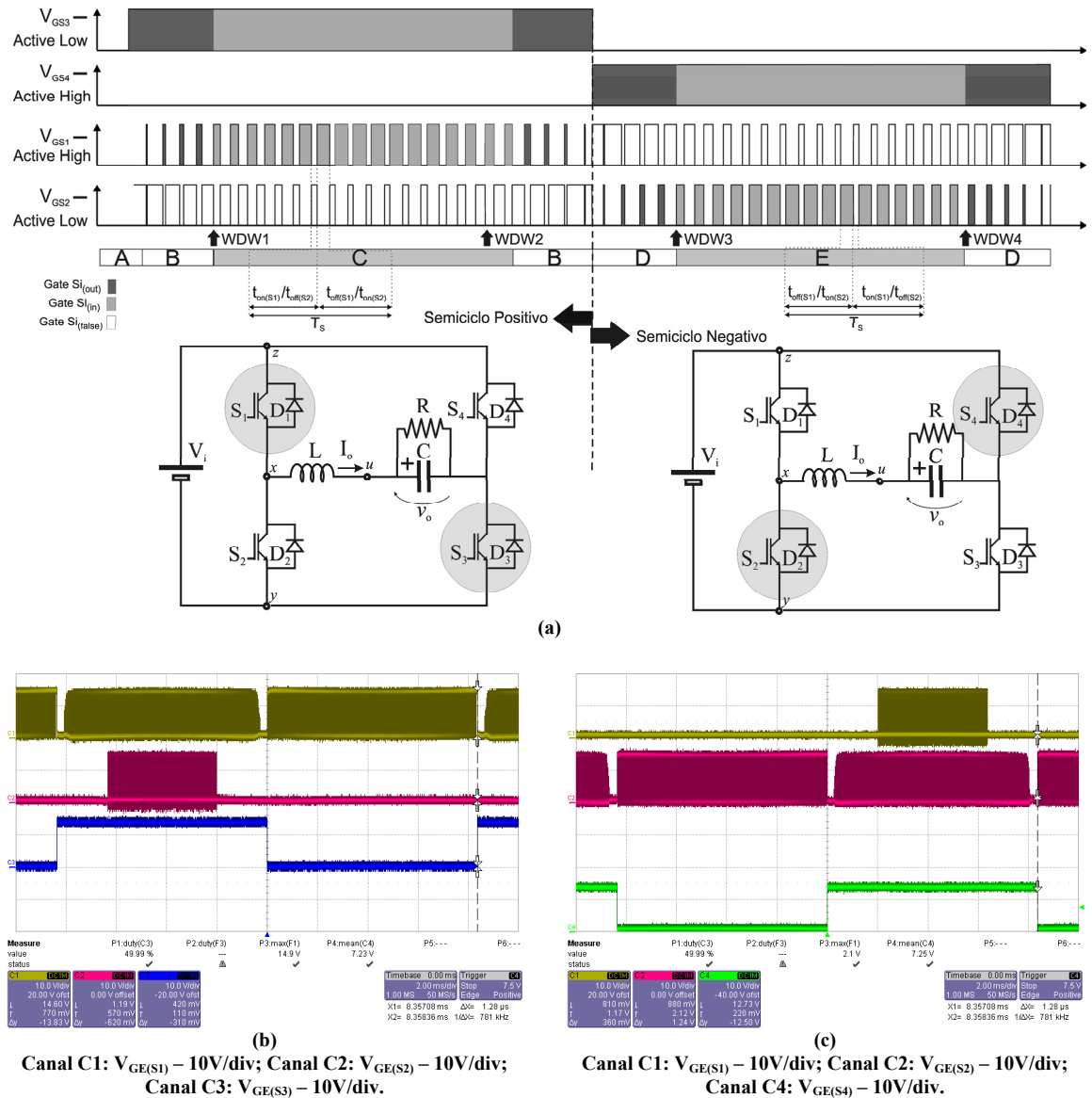


Figura 166 – Diagrama dos sinais PWM para o inversor em ponte H com modulação descontínua. (a) Teórico; (b,c) Experimental.

Como a corrente i_o e a tensão v_o variam durante um semiciclo, as etapas de magnetização e desmagnetização lineares do indutor auxiliar apresentam tempos distintos. Deste modo, os intervalos de condução da chave auxiliar, definidos como T_2 e T_3 são implementados de modo à acompanhar os intervalos de magnetização do indutor L_a .

Portanto, os instantes de transição das chaves auxiliares, definidos como XT_1 , XT_2 e XT_3 são variáveis, tal como T_2 e T_3 .

No semiciclo positivo a chave ativa (S_1) é configurada como *active high*, portanto esta chave entra em condução no instante de comparação e em bloqueio no instante em que o período acaba. Os instantes XT_1 , XT_2 e XT_3 que correspondem aos instantes de transição da chave auxiliar S_{a1} são definidos pelas seguintes expressões para o semiciclo

positivo,

$$XT2 = PWM + TM . \quad (7.19)$$

$$XT1 = XT2 - T3 . \quad (7.20)$$

$$XT3 = T - T2 . \quad (7.21)$$

Onde TM é uma constante que representa o tempo morto normalmente utilizado em inversores com comutação dissipativa para evitar que as limitações físicas de bloqueio dos semicondutores provoquem um curto-circuito no braço do inversor.

No semiciclo negativo a chave ativa (S_2) é configurada como *active low*, portanto esta chave entra em condução no início do período PWM e em bloqueio no instante de comparação. Os instantes $XT1$, $XT2$ e $XT3$ que correspondem aos instantes de transição da chave auxiliar S_{a2} são definidos pelas seguintes expressões para o semiciclo positivo,

$$XT2 = PWM . \quad (7.22)$$

$$XT1 = XT2 - T2 . \quad (7.23)$$

$$XT3 = T - T3 + TM . \quad (7.24)$$

O efeito da variação da tensão v_o nos tempos de condução das chaves auxiliares $T2$ e $T3$, bem como nos instantes de transição $XT1$, $XT2$ e $XT3$ para um ciclo de operação do inversor são mostrados na Figura 167.

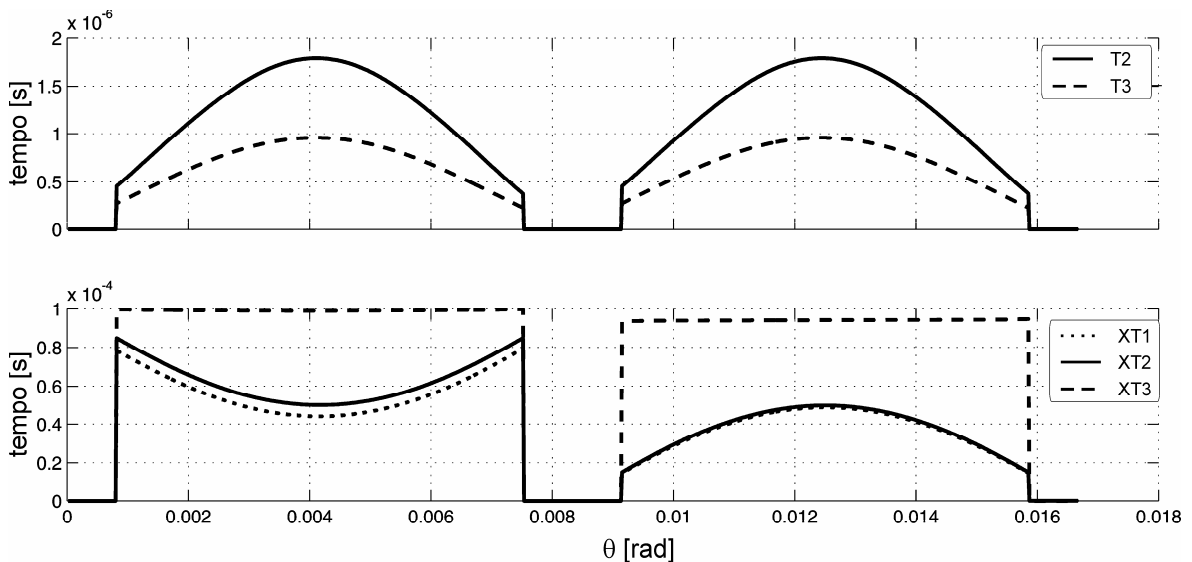


Figura 167 – Variação dos tempos $T2$, $T3$, $XT1$, $XT2$ e $XT3$ para um ciclo de operação do inversor ZCZVT com acoplamento magnético e circuito auxiliar em derivação.

A Figura 168 mostra um diagrama completo dos sinais e das interrupções para o semiciclo positivo, enquanto que a Figura 169 mostra um diagrama completo dos sinais e das interrupções para o semiciclo negativo.

AÇÃO COMPARAÇÃO:

- ⊕ Comparação
- ⊕ Comparação & Interrupção
- * Período comp
- ⊕ Período comp. & Interrupção
- ⊕ Instante de sincronismo com período
- ⊕ Instante de sincronismo com razão-cíclica

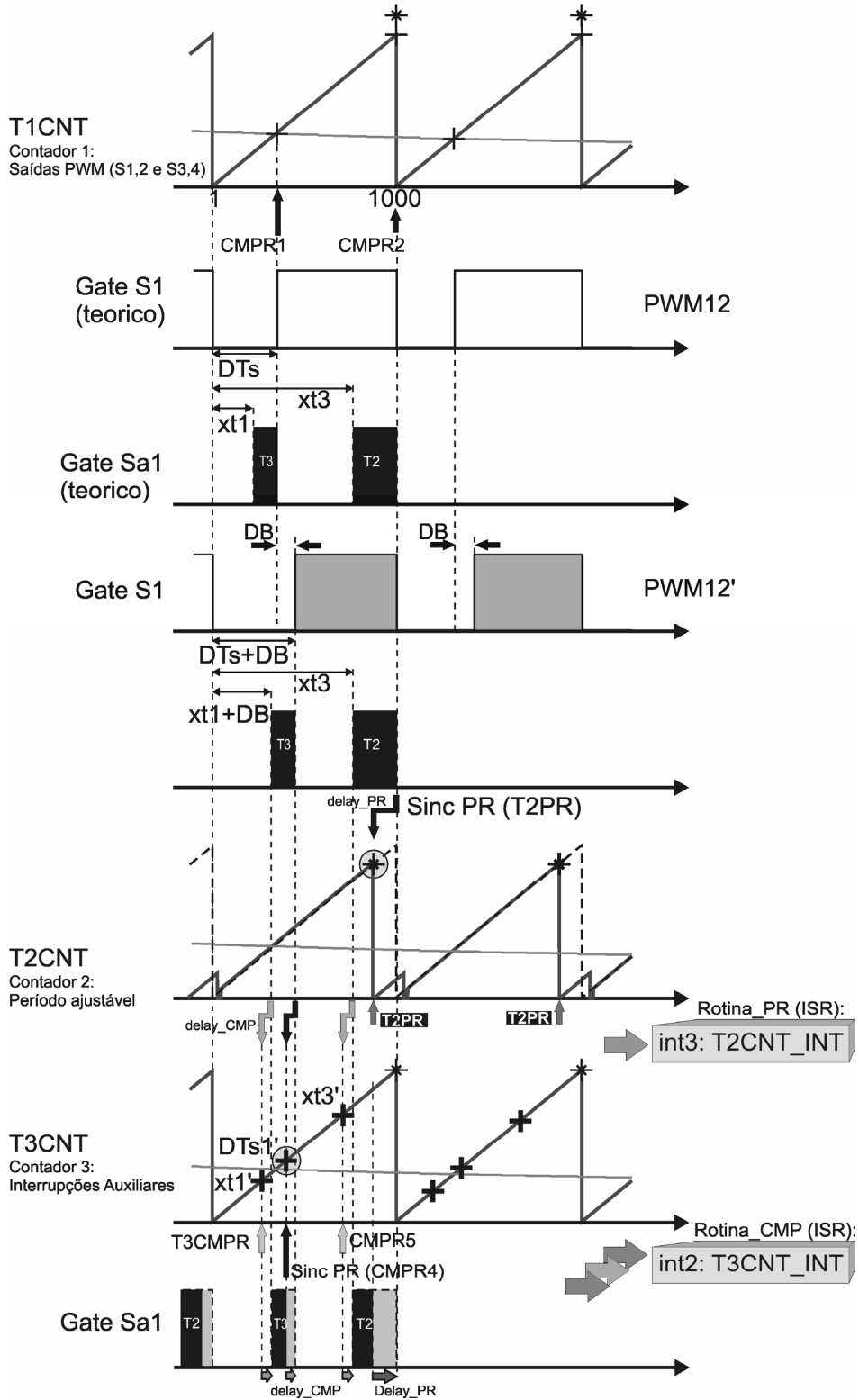


Figura 168 – Diagrama dos sinais PWM e dos sinais I/O para as chaves auxiliares para os inversores ZCZVT utilizando DSP TMS320LF2407A (semiciclo positivo).

AÇÃO COMPARAÇÃO:

- ⊕ Comparação
- ⊕ Comparação & Interrupção
- * Período comp
- ⊕ Período comp. & Interrupção
- ⊕ Instante de sincronismo com período
- ⊕ Instante de sincronismo com razão-cíclica

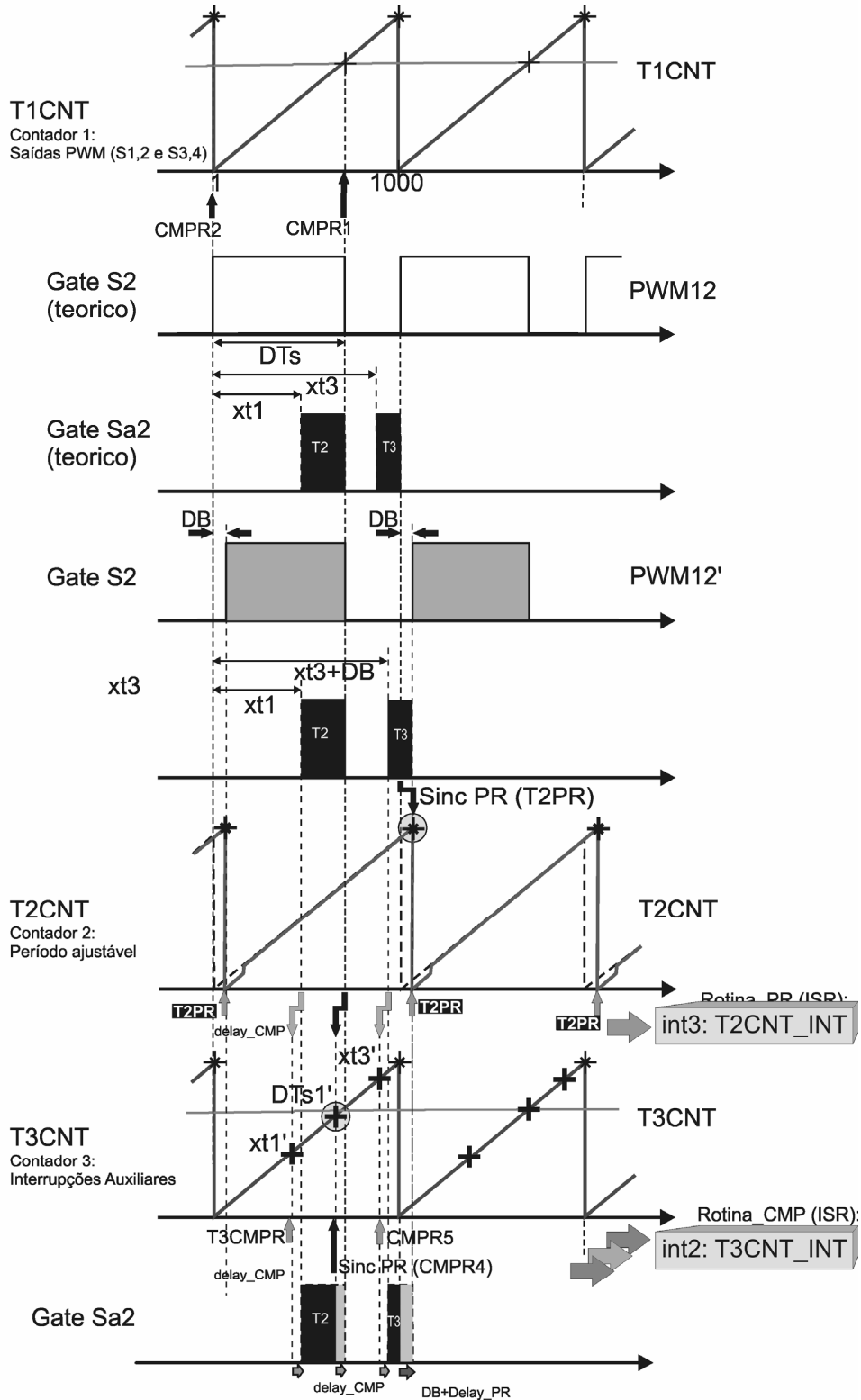


Figura 169 – Diagrama dos sinais PWM e dos sinais I/O para as chaves auxiliares para os inversores ZCZVT utilizando DSP TMS320LF2407A (semiciclo negativo).

7.2.5 Considerações Práticas Sobre os Semicondutores Chaves Auxiliares

As chaves auxiliares dos inversores ZCZVT com acoplamento magnético apresentam condições dinâmicas e estáticas bem diferentes das condições de uma chave empregada num inversor PWM com comutação dissipativa, conforme pode-se observar pela Figura 170.

O processo de entrada em condução de um semiconductor com tecnologia MOS operando num circuito PWM inicia-se quando uma tensão positiva é aplicada no terminal da porta (*Gate* - G) do dispositivo. A tensão no terminal de porta (v_G) cresce exponencialmente até alcançar o valor da tensão de limite $V_{GE(th)}$. Neste momento a corrente através do dispositivo (i_C) começa a crescer até alcançar o seu valor de corrente nominal I_C . O intervalo definido entre os instantes em que a tensão v_G alcança 10% do seu valor máximo e o instante em que a corrente i_C alcança 10% de seu valor nominal é definido como *tempo de atraso de entrada em condução* ($t_{d(on)}$). O intervalo definido entre os instantes em que a corrente i_C cresce de 10% a 90% do seu valor nominal é chamado de *tempo de subida* (t_r). A tensão v_{CE} sofre uma pequena queda em função das indutâncias parasitas do circuito, L_p . Após a corrente i_C alcançar o seu valor nominal somado à corrente de recuperação reversa do diodo de roda livre, a tensão v_{CE} começa a decrescer. A queda de tensão em v_{CE} inicia-se com uma taxa elevada, reduzindo-se quando se aproxima do seu valor em condução $v_{CE(on)}$. Estes três intervalos representam de modo simplificado o processo de entrada em condução do semiconductor.

Para a chave auxiliar do inversor ZCZVT com acoplamento magnético (S_a), o intervalo $t_{d(on)}$ ($t_0 - t_1$, Figura 170(b)) é muito semelhante ao descrito acima. Por outro lado, como a corrente na chave S_a cresce linearmente até alcançar o seu valor máximo, o intervalo t_r é estendido até praticamente todo intervalo de operação da chave auxiliar ($t_1 - t_2$, Figura 170(b)). Isto ocorre devido à característica ZCS da entrada em condução desta chave.

O processo de bloqueio de S_a inicia-se quando a tensão no terminal da porta (*Gate* - G) é removida. A tensão no terminal de porta (v_G) decresce exponencialmente. Neste momento a corrente através do dispositivo (i_C) começa a decrescer até zero. O intervalo definido entre os instantes em que a tensão v_G alcança 90% do seu valor máximo e o instante em que a tensão v_{CE} alcança 10% de seu valor máximo é definido como *tempo de atraso de bloqueio* ($t_{d(off)}$). A tensão v_{CE} cresce linearmente até o seu valor máximo. Após a tensão alcançar seu valor máximo, a corrente i_C decresce a zero. O intervalo definido entre

os instantes em que a corrente i_C decresce de 90% a 10% do seu valor nominal é chamado de *tempo de descida* (t_f). Estes três intervalos representam de forma simplificada o processo de bloqueio do semiconductor.

Para a chave auxiliar do inversor ZCZVT com acoplamento magnético (S_a), o intervalo $t_{d(off)}$ ($t_4 - t_6$, Figura 170(b)) e o intervalo t_r ($t_5 - t_{27}$, Figura 170(b)) ocorrem paralelamente devido à característica ZVS do bloqueio desta chave.

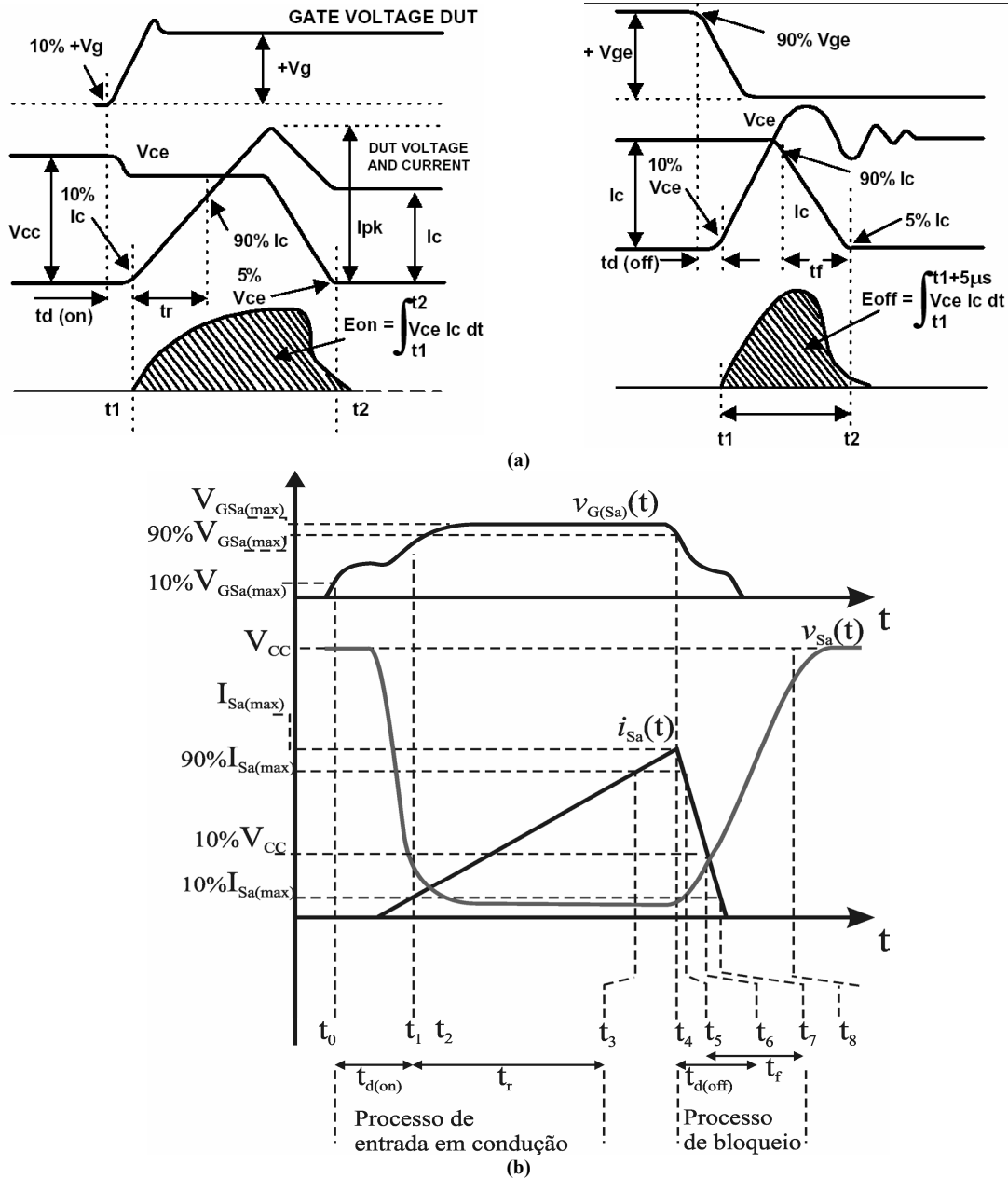


Figura 170 – Caracterização teórica das formas de onda do semiconductor. (a) Chave PWM com comutação dissipativa, Fonte [280]; (b) Chave auxiliar do inversor ZCZVT com acoplamento magnético.

Com estas características, entrada em condução ZCS, bloqueio ZVS e condução com di/dt constante, fazem com que a implementação das chaves auxiliares com diferentes

tecnologias possa apresentar diferentes características. Cada tecnologia possui características próprias que se adequam às diferentes particularidades do circuito auxiliar.

7.2.5.1 Caracterização do MOSFET nos Semicondutores Auxiliares

Na Figura 171 pode-se observar as formas de onda que representam as características dinâmicas da chave auxiliar do inversor ZCZVT com acoplamento magnético implementada com um MOSFET (HEXFET). Pode-se perceber um *spike* de corrente durante a entrada em condução do dispositivo devido às perdas capacitivas inerentes às capacitâncias intrínsecas do MOSFET. Observa-se também que a queda de tensão de condução cresce proporcionalmente com a corrente de dreno, uma vez que a mesma é proporcional a corrente.

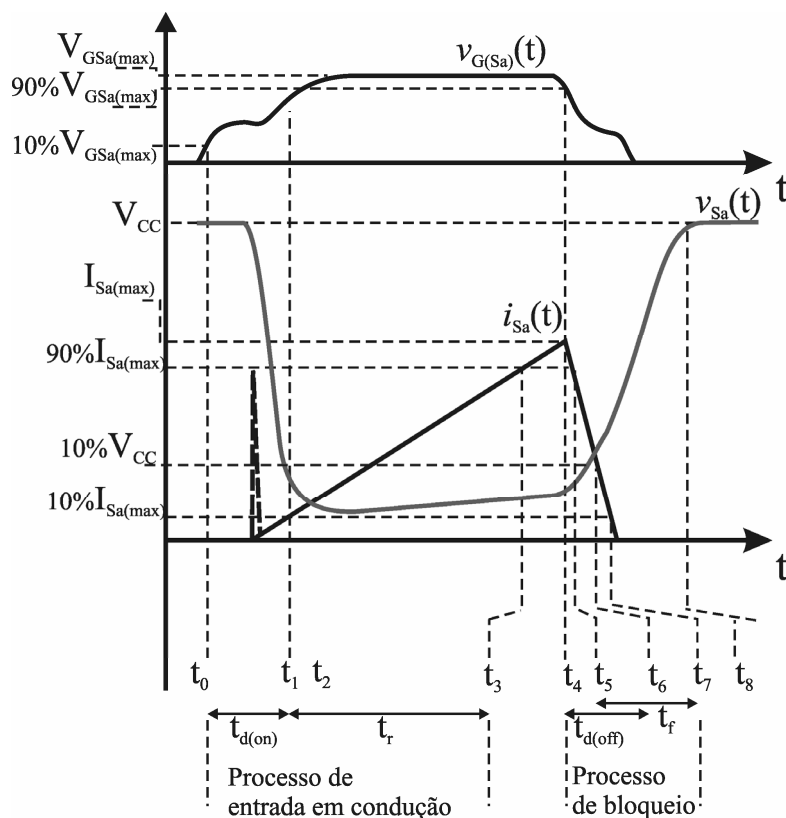


Figura 171 – Caracterização teórica das formas de onda do MOSFET (HEXFET) como chave auxiliar do inversor ZCZVT com acoplamento magnético.

O MOSFET possui um diodo anti-paralelo intrínseco que se forma entre as regiões de drift e a camada p do semiconductor. Este diodo pode ser caracterizado como sendo um típico diodo bipolar de potência não otimizado para operação em alta frequência, devido à sua recuperação reversa lenta. No caso do circuito requerer um semiconductor bidirecional em corrente, deve-se buscar uma alternativa para que o diodo intrínseco do MOSFET não impossibilite a operação do circuito.

A condução do diodo intrínseco pode ser evitada adicionando dois diodos de ‘desvio’ junto ao MOSFET, como mostrado na Figura 172. O diodo (D_{a1}) em série com o terminal dreno tem por objetivo impedir a condução reversa do MOSFET, enquanto que a bidirecionalidade é garantida com um diodo ultra rápido (D_{a2}) disposto em paralelo com a configuração. Na Figura 172(a) o diodo D_{a1} é implementado com um diodo bipolar ultra-rápido, enquanto que na Figura 172(b), este diodo é implementado por um diodo Schottky.

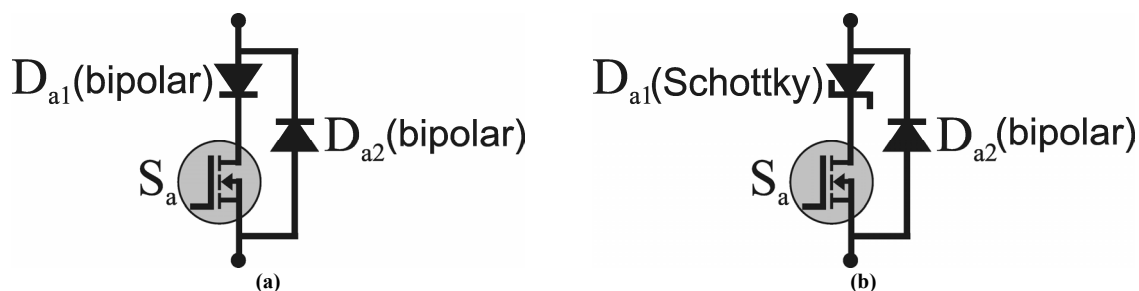


Figura 172 – Diagrama do MOSFET com diodos de desvio. (a) com diodo bipolar; (b) com diodo Schottky.

O diodo Schottky é um dispositivo monopolar e seu estado de condução ocorre através da formação de um canal de portadores majoritários. Portanto, este diodos apresentam recuperação reversa desprezível. As perdas deste dispositivo são em sua maioria perdas em condução e, similarmente aos MOSFETs, são uma função de sua resistência de condução e a corrente eficaz através do dispositivo. Nesta configuração, as perdas em condução são as perdas predominantes.

O diodo bipolar, possuem perdas de recuperação reversa não desprezíveis, portanto a sua associação em série com um dispositivo monopolar como o MOSFET faz com o bloqueio presente perdas. Todavia, a injeção de cargas que ocorre durante o processo de condução do diodo bipolar reduz a carga espacial (camada de depleção) e, conseqüentemente, a queda de tensão de condução do dispositivo. Nesta configuração, as perdas em condução e as perdas em bloqueio estão presentes.

O MOSFET IRFP360 (23A/400V) da International Rectifier foi escolhido para análise experimental. Este é um semiconductor da terceira geração de HEXFETs otimizado para operar em frequências elevadas.

Os diodos utilizados na configuração mostrada na Figura 172(a) são diodos ultra-rápidos RHR740.

Os diodos utilizados na configuração mostrada na Figura 172(b) são um diodo Schottky 80SQ045 e um diodo ultra-rápido RHR740.

7.2.5.2 Caracterização do IGBT nos Semicondutores Auxiliares

Na Figura 173 pode-se observar as formas de onda que representam as características dinâmicas da chave auxiliar do inversor ZCZVT com acoplamento magnético implementada com um NPT-IGBT. Pode-se perceber três intervalos que ocorrem devido às características do semiconductor como resultado das características do circuito auxiliar. O intervalo Δt_{snub} , no qual ocorre a descarga do capacitor de snubber; o intervalo Δt_{Dsat} , no qual ocorre o fenômeno da saturação dinâmica do semiconductor; e, o intervalo Δt_{tail} , no qual a corrente através do dispositivo apresenta um patamar aproximadamente constante seguido de um decaimento exponencial até se extinguir.

Descarga do Capacitor de Snubber: a amplitude da corrente i_C neste intervalo e a duração do mesmo dependem do valor do resistor R_{snub} . Como a descarga ocorre sobre a chave S_a , este processo provoca um aumento nas perdas em condução desta chave. Quanto maior for o valor eficaz da corrente de descarga de C_{snub} , maiores serão as perdas adicionais na chave auxiliar.

Tensão de saturação dinâmica: uma sobrelevação de tensão devido à recuperação direta é observado na Figura 173. Isto ocorre devido ao tempo gasto para se estabelecer a modulação de condutividade na região de drift (camada n^-), [281]. Esta sobrelevação de tensão é diretamente dependente da taxa de variação de corrente (di/dt) aplicada ao semiconductor e da temperatura [105].

Corrente de Cauda: Nos IGBTs do tipo *Punch Through* a corrente de bloqueio em condições ZVS apresentam um surto (“tail bump”) logo após o término do intervalo t_f . Nos IGBTs do tipo *Non-Punch through* esta característica é um pouco diferente, pois a corrente não aumenta, mas permanece num patamar (“tail plateau”) constante por um determinado intervalo, [105].

Todas as características supracitadas resultam em aumento das perdas no IGBT em comparação com as características do semiconductor hipotético mostrado na Figura 170(b).

Como as capacitâncias intrínsecas do IGBT são muito pequenas quando comparadas às capacitâncias intrínsecas de um MOSFET, somente a capacitância de saída C_{oss} do IGBT não consegue proporcionar as condições ZVS de bloqueio mostradas na Figura 170. Portanto, o emprego do IGBT implica na existência de um capacitor adicional (C_{sn}) para limitar a taxa de crescimento da tensão através do dispositivo durante o seu

bloqueio.

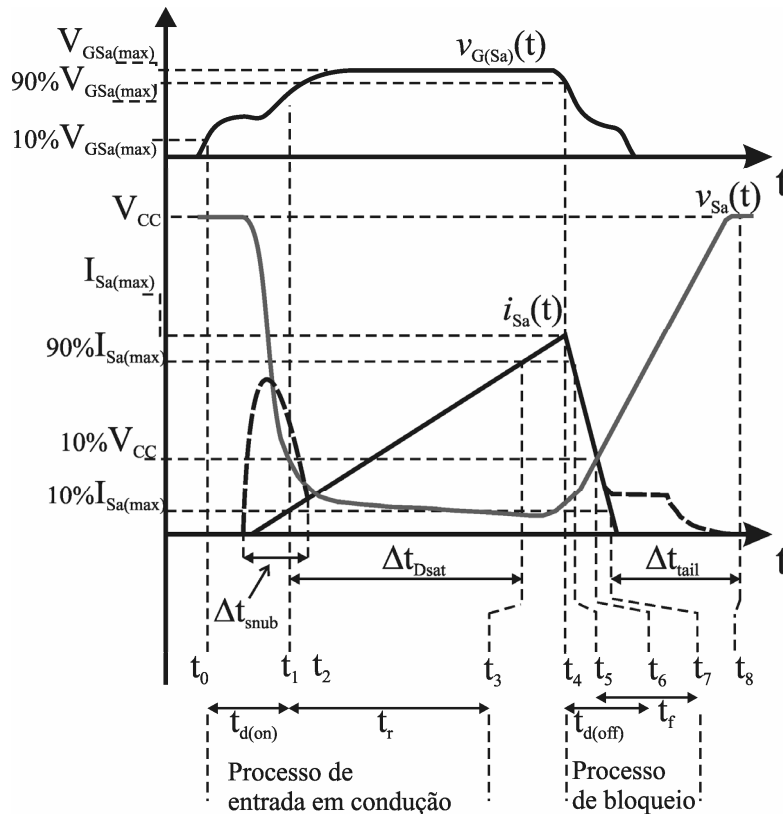


Figura 173 – Caracterização teórica das formas de onda do NPT-IGBT como chave auxiliar do inversor ZCZVT com acoplamento magnético.

Para evitar que a descarga deste capacitor ocorra de modo instantâneo sobre o IGBT, a utilização de um resistor de dissipação (R_{sn}) e um diodo de carga (D_{sn}) completam a estrutura de um circuito de snubber RCD. O diagrama da chave auxiliar implementada com um IGBT associada com um snubber RCD é mostrado na Figura 174.

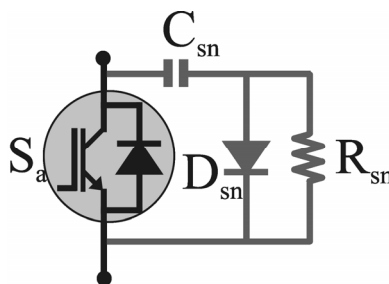


Figura 174 – Diagrama da chave auxiliar implementada com IGBT e circuito RCD.

A quantidade de energia dissipada pelo semicondutor e a quantidade de energia dissipada pelo resistor dependem do valor do capacitor, quanto maior o capacitor, mais energia é dissipada pelo resistor. O valor do capacitor é limitado pela constante de descarga τ que não pode exceder o tempo mínimo de condução do semicondutor.

O valor de capacitância que apresenta um melhor compromisso entre a energia dissipada no semiconductor e no resistor é apresentado em [10] e é dado por,

$$C_{snub} = \frac{t_f i_C}{\sqrt{12} v_{CE}}. \quad (7.25)$$

Onde t_f é o tempo de queda da corrente de coletor (i_C) do seu valor no instante de bloqueio até zero; v_{CE} é o valor da tensão do semiconductor em seu estado de bloqueio.

O valor do resistor pode ser obtido através da seguinte expressão,

$$R_{snub} = \frac{\tau}{C_{snub}} = \frac{k \Delta t_{on}}{C_{snub}}. \quad (7.26)$$

Para $i_C \approx 2\sqrt{2} \left(V_{o(RMS)} / R_{carga} \right) = 22,5A$, $t_f = 130ns$, $v_{CE} = 360V$ e $k = 0,25$ tem-se, $C_{snub} \approx 2,2nF$ e $R_{snub} \approx 100\Omega$.

O IGBT IRG4PC40UD (20A/600V) da International Rectifier foi escolhido para análise experimental. Este é um semiconductor da quarta geração de IGBTs otimizado para operar em frequências elevadas, de 8 até 40kHz em modo de comutação dissipativa e até 200 kHz em modo ressonante. A quarta geração da International Rectifier utiliza estrutura *Non-Punch Through* (NPT) com uma geometria *trench gate* em formato de ‘U’ [279].

O diodo escolhido para esta implementação é o diodo ultra rápido BYV26C (1A/600V) da Philips.

7.3 Resultados Experimentais para o inversor ZCZVT com acoplamento magnetico e circuito auxiliar em derivação

As formas de onda experimentais mostradas neste capítulo foram obtidas utilizando um osciloscópio digital LeCroy WaveRunner 6000A Series DSO.

Os gráficos de eficiência foram obtidos com um medidor de potência digital Yokogawa WT1600.

A Figura 175 mostra as formas de onda de corrente e tensão na saída (carga) do inversor. Observa-se que ambas apresenta uma distorção durante a entrada em funcionamento do circuito auxiliar. Isto ocorre, principalmente, devido ao ganho de corrente imposto ao enrolamento primário nos intervalos de comutação da chave principal assistida no semiciclo. Este fenômeno pode ser observado nas formas de onda de corrente do indutor acoplado, mostradas na Figura 176.

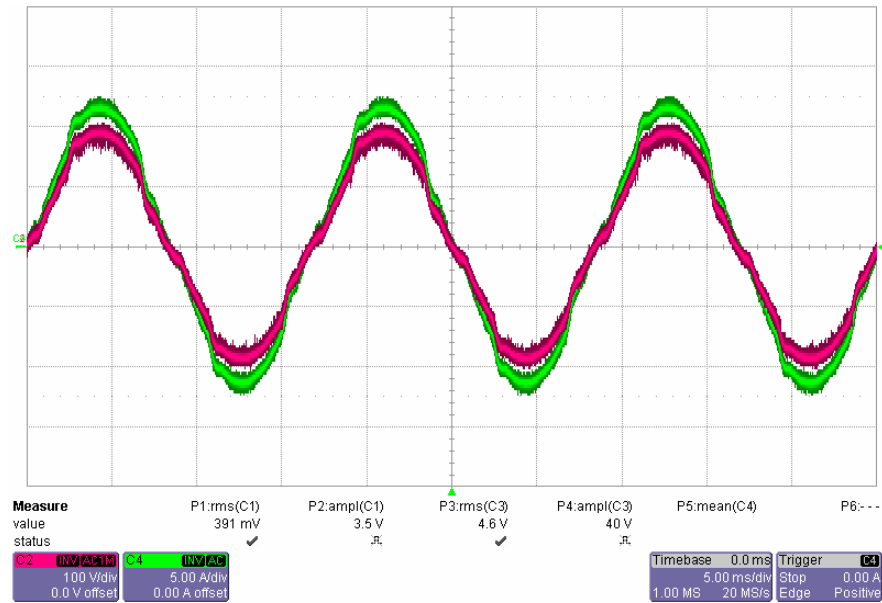
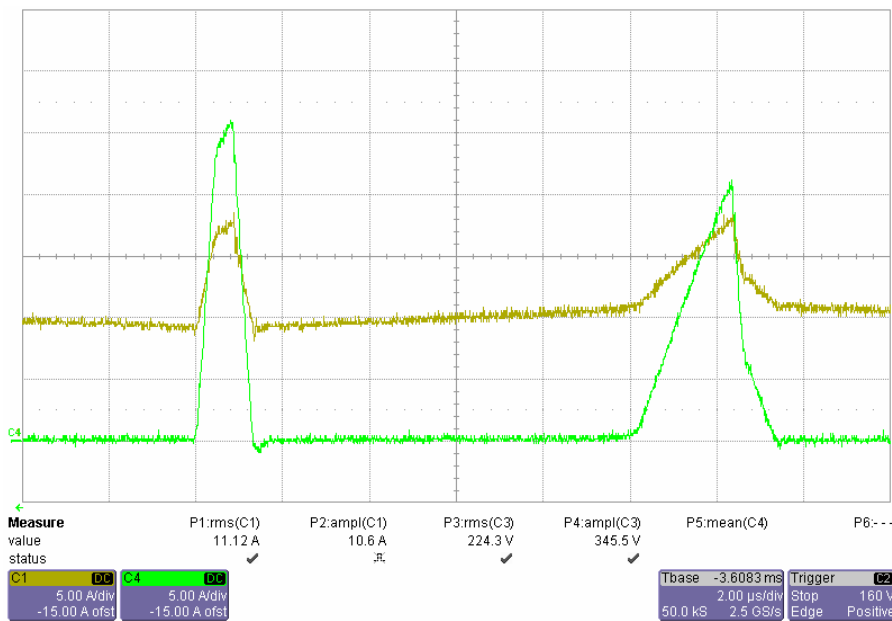


Figura 175 – Formas de onda de saída do inversor ZCZVT monofásico, v_o e i_o .



Escalas: i_{pri} - 5A/div (traço superior, C1); i_{sec} - 5A/div (traço inferior, C4)
tempo - 2 μ S/div.

Figura 176 – Formas de onda de corrente nos enrolamentos do indutor acoplado.

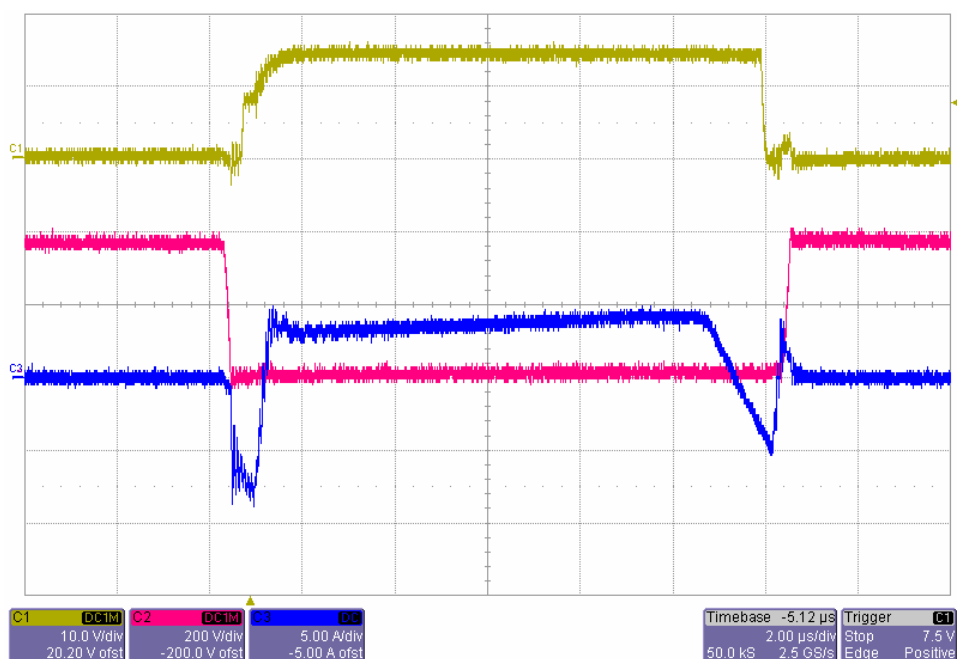
Uma possível solução para compensar este efeito é a utilização de um sistema de controle em malha fechada, através do qual pode-se corrigir o ganho estático do inversor.

7.3.1 Chaves Principais

A Figura 177 mostra as formas de onda para a chave S_2 que encontra-se no braço do inversor que opera em 40kHz. Pode-se observar que em ambas as transições (entrada em condução e bloqueio) do semiconductor ocorrem com tensão e corrente nulas. De acordo

com as restrições do semiconductor (Capítulo 6), as taxas de variação para a tensão e a corrente através da chave S_2 variam de modo controlado (taxas de variação limitadas) durante as transições.

Durante os intervalos em que o diodo em anti-paralelo com a chave S_2 entra em condução, observa-se um ruído em alta frequência na corrente através deste semiconductor (canal C3 – traço inferior, Figura 177). Isto ocorre principalmente devido ao aumento da indutância das trilhas decorrente da inclusão do medidor de corrente (ponteira de corrente).



Escalas: v_{GE} - 10V/div; v_{CE} - 200V/div; i_C - 5A/div;
tempo - 2µS/div.

Figura 177 – Formas de onda experimentais para chave S_2 do protótipo do inversor ZCZVT com acoplamento magnético e circuito auxiliar em derivação.

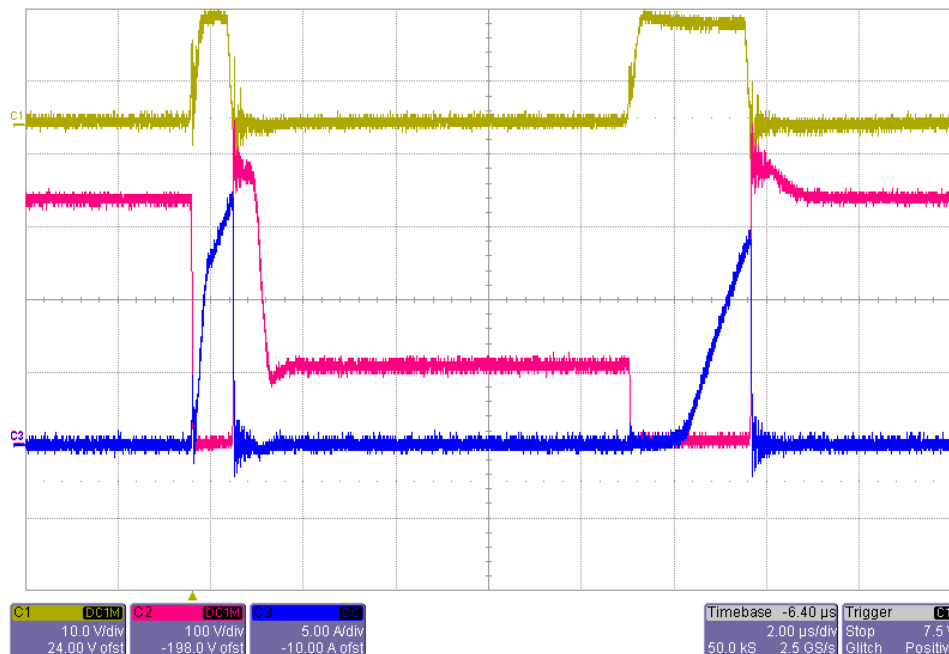
7.3.2 Chaves Auxiliares - MOSFETs

A implementação das chaves auxiliares utilizando MOSFETs requer o uso de dois diodos adicionais, um diodo em série com o MOSFET para evitar que o diodo intrínseco (lento) do MOSFET conduza e, um diodo rápido em paralelo, para fornecer um caminho para a corrente circular no sentido negativo (chave auxiliar bi-direcional em corrente).

As chaves utilizadas são do tipo IRFP360 (23A/400V) da International Rectifier. Este dispositivo é um transistor de efeito de campo MOS de terceira geração (HEXFET). Estes dispositivos são otimizados para operar em frequências muito altas, podendo operar em frequências superiores à 200 kHz em modo ressonante.

A Figura 178 mostra as formas de onda através da chave auxiliar S_{a2} durante o

processo de entrada em condução e o processo de bloqueio da chave principal S_2 . De acordo com a proposta de reduzir a energia reativa do inversor, as formas de onda de corrente através da chave auxiliar apresentam um comportamento linear assegurando o mínimo de energia reativa durante os processos de comutação.

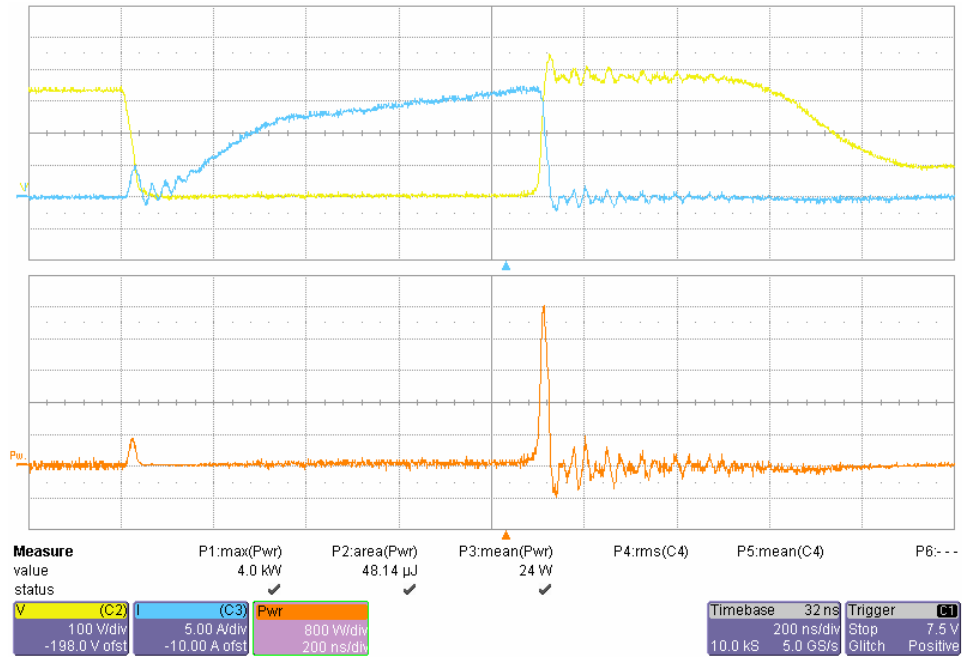


Escalas: v_{GE} - 10V/div; v_{CE} - 200V/div; i_C - 5A/div;
tempo - 2 μ S/div.

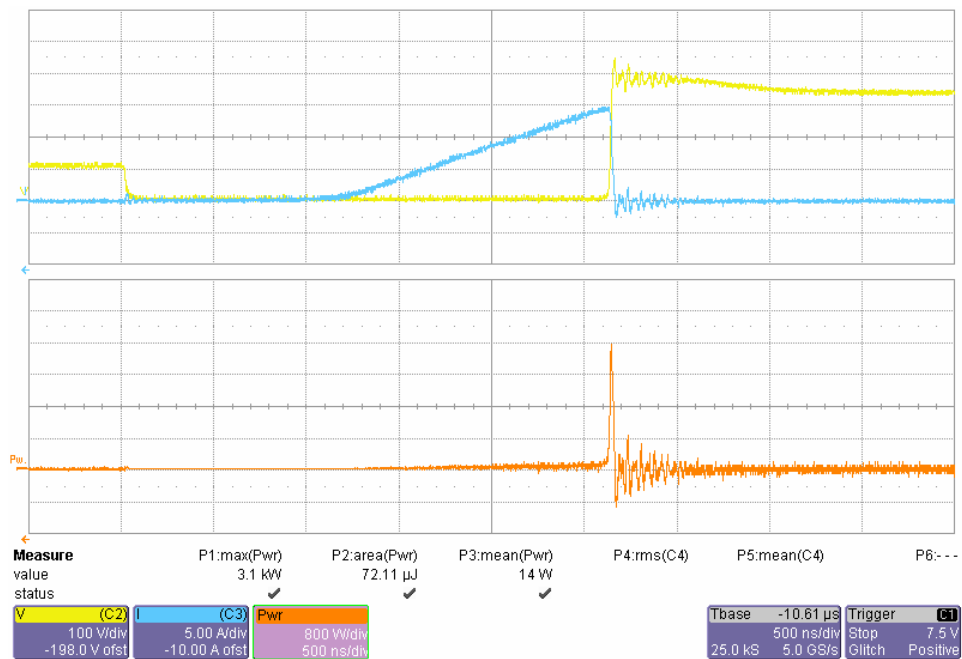
Figura 178 – Formas de onda experimentais para chave S_{a2} do protótipo do inversor ZCZVT com acoplamento magnético e circuito auxiliar em derivação.

Como pode-se observar na Figura 179(a) a entrada em condução da chave auxiliar ocorre sempre sob corrente nula (ZCS), sendo que durante a ação do indutor saturado faz com que haja uma redução da sobreposição entre a forma de onda de tensão e a forma de onda de corrente. Este efeito é mais acentuado para o processo de bloqueio Figura 179(b).

Por outro lado, o bloqueio da chave auxiliar (S_{a2}) ocorre sem auxílio (hard). Isto faz com que as perdas na chave auxiliar estejam concentradas no seu bloqueio, conforme pode-se observar através da Figura 179. Nesta figura, a potência instantânea através da chave S_{a2} é mostrada através da função F1 (traço inferior).



(a)



(b)

Escalas: v_{CE} - 100V/div; i_C - 5A/div; P_w - 800W/div
tempo - 200ns/div.

Figura 179 – Detalhe de operação de Sa2. (a) Entrada em condução de S2; (b) Bloqueio de S2.

Como as chaves auxiliares são implementadas com dispositivos do tipo portadores majoritários, as perdas de bloqueio não são significativas. Entretanto, deve-se considerar também as perdas capacitivas (*turn-on capacitive losses*).

A Figura 180 mostra um gráfico com as curvas experimentais de eficiência do *inversor ZCZVT com circuito auxiliar em derivação* implementado utilizando apenas

diodos bipolares no circuito auxiliar (RHRP870) e, utilizando um arranjo com um diodo bipolar (RHRP870) em paralelo e um diodo Schottky (80SQ045) em série.

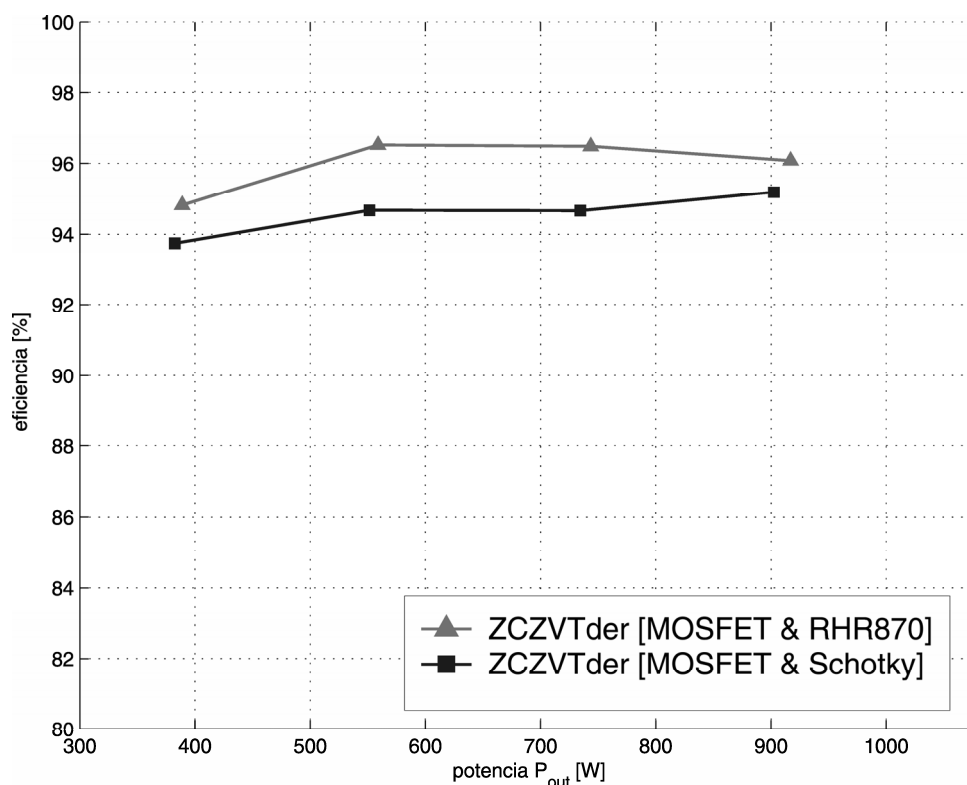


Figura 180 – Comparativo de Eficiência para chaves auxiliares - MOSFET.

Observa-se que as perdas em condução do diodo Schottky (curva inferior, Figura 180) foram mais significativas do que as perdas de recuperação reversa do diodo bipolar (curva superior, Figura 180). Todavia, a diferença entre as curvas de eficiência é de aproximadamente 1% para toda faixa de carga.

7.3.3 Chaves Auxiliares - IGBTs

A Figura 181 mostra a curva de eficiência do *inversor ZCZVT com circuito auxiliar em derivação* utilizando como chaves auxiliares IGBTs do tipo IRG4PC40UD (20A/600V) da International Rectifier. Este dispositivo é um transistor de porta isolada Ultra-Rápido, otimizado para operar em frequências de 8 até 40kHz em modo de comutação dissipativa e até 200 kHz em modo ressonante. O mesmo é equipado com um diodo HEXFRED ultra-rápido, com recuperação reversa ultra-suave em anti-paralelo.

Os parâmetros do circuito de snubber (RCD) são:

- $R_{sn} = 100 \Omega$;
- $C_{sn} = 2,2 \text{ nF}$; e,

- $D_{sn} = \text{BYV26C}$ (Philips Semiconductors).

Observa-se que a eficiência é menor em baixas potências, aumentando até alcançar 94% para potência nominal.

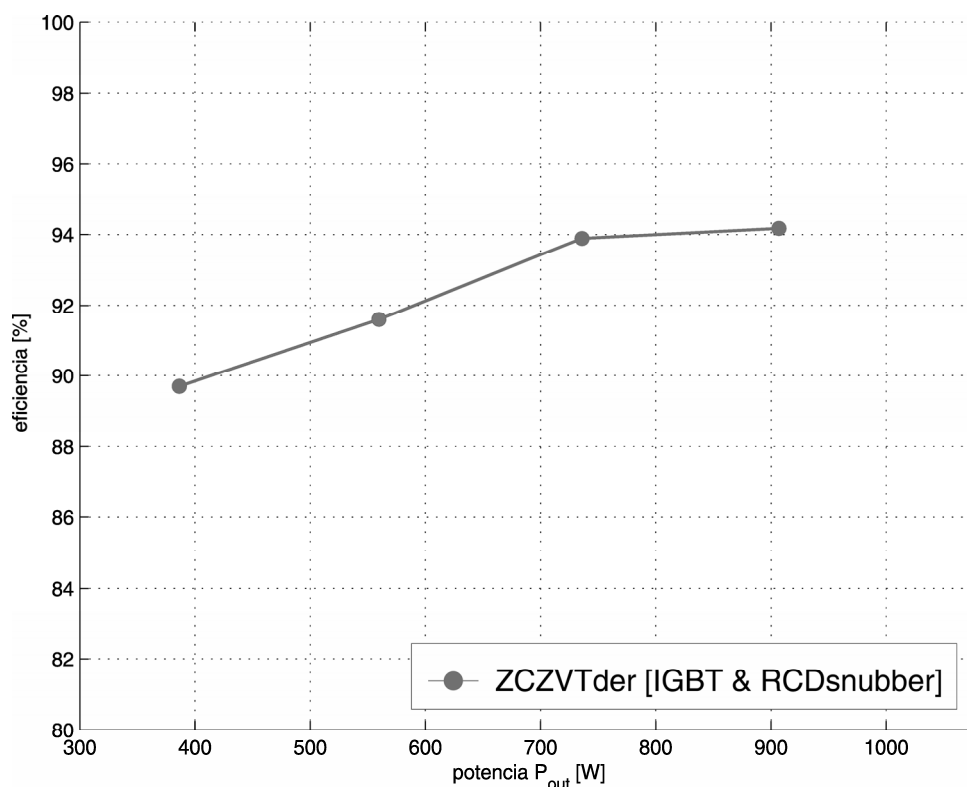


Figura 181 – Curva de eficiência para chaves auxiliares - IGBT.

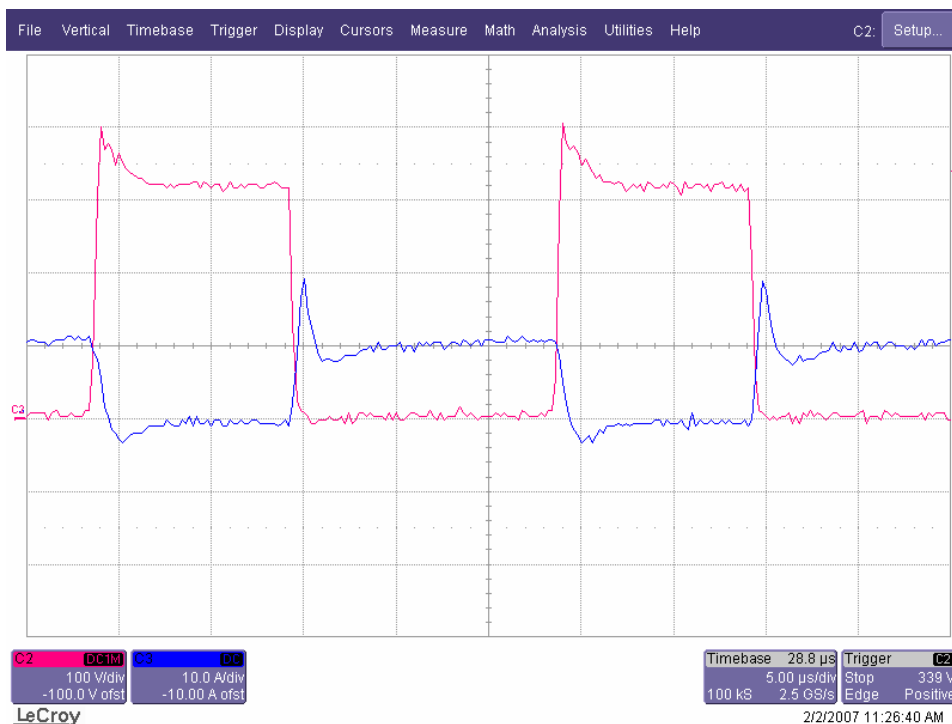
7.4 Análise Comparativa Experimental

Para avaliar o desempenho do *inversor ZCZVT com circuito auxiliar em derivação*, a curva de eficiência deste protótipo foi comparada com outros protótipos que também fazem uso de circuitos de auxílio à comutação.

7.4.1 Snubber de Undeland

Um protótipo de um sistema com as mesmas especificações descritas na Tabela 22 e, utilizando um circuito auxiliar conhecido como snubber de Undeland [100] foi implementado.

A Figura 182 mostra as formas de onda para a chave S_2 do inversor utilizando o snubber de Undeland. Observa-se que tanto a tensão quanto a corrente apresentam esforços adicionais (sobretensão e sobrecorrente).



Escalas: v_{GE} - 10V/div; v_{CE} - 200V/div; i_C - 5A/div;
tempo - 2μS/div.

Figura 182 – Formas de onda experimentais para chave S2 do protótipo do inversor com snubber de Undeland.

7.4.2 Inversor ZCT com Acoplamento Magnético

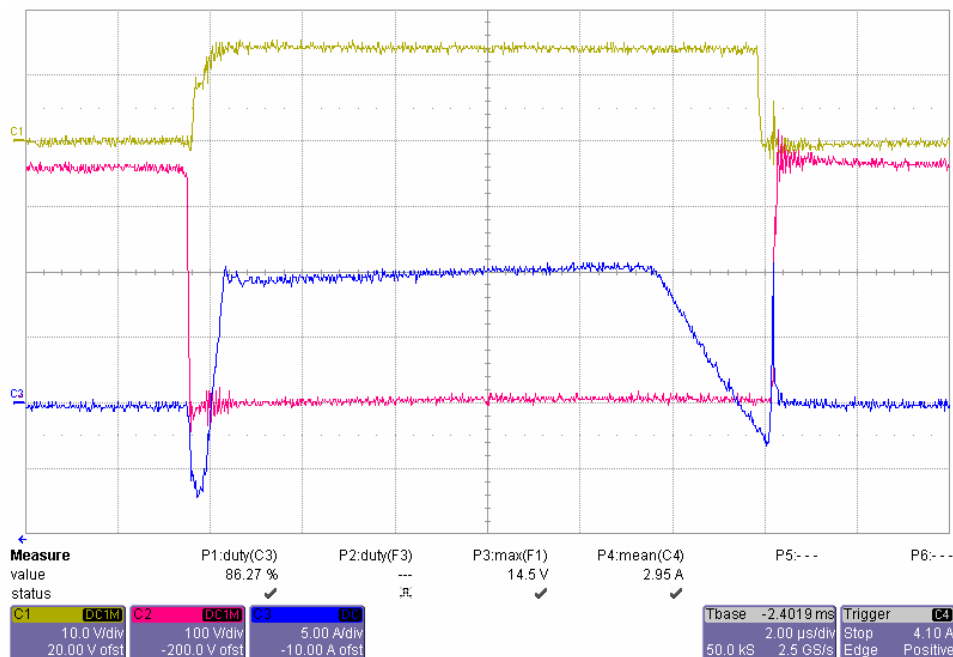
No Capítulo 3 foram definidos os conceitos que permitem desenvolver uma nova ferramenta para análise e síntese de novos circuitos com transição ressonante. No Capítulo 4 esta ferramenta foi utilizada para a síntese de uma família de *inversores ZCZVT com acoplamento magnético*. Estes inversores tem como características a comutação sob condições nulas de tensão e corrente.

Entretanto, no Capítulo 3, foram descritos os conceitos que definem a comutação sob condições de corrente nula, ZCT. Por meio desta definição podemos concluir que, a síntese dos *inversores ZCZVT com acoplamento magnético* apresentada no Capítulo 4 pode ser estendida para inversores ZCT, apenas simplificando as condições de comutação das chaves para apenas corrente nula, ou seja, sem o controle das taxas de variação de tensão sobre os dispositivos. Deste modo, removendo-se o capacitor C_s dos inversores ZCZVT apresentados no Capítulo 4, obtém-se os *inversores ZCT com acoplamento magnético*.

Com o propósito de comparação de desempenho, o protótipo de um *inversor ZCT com circuito auxiliar em derivação* com as mesmas especificações descritas na Tabela 22 foi implementado.

A Figura 183 mostra as formas de onda para a chave S_2 (braço em 40kHz) para o *inversor ZCT com circuito auxiliar em derivação*.

Observa-se que em ambas as transições (entrada em condução e bloqueio) do semicondutor ocorrem com tensão e corrente nulas. Todavia, somente as taxas de variação de corrente são limitadas durante as transições.

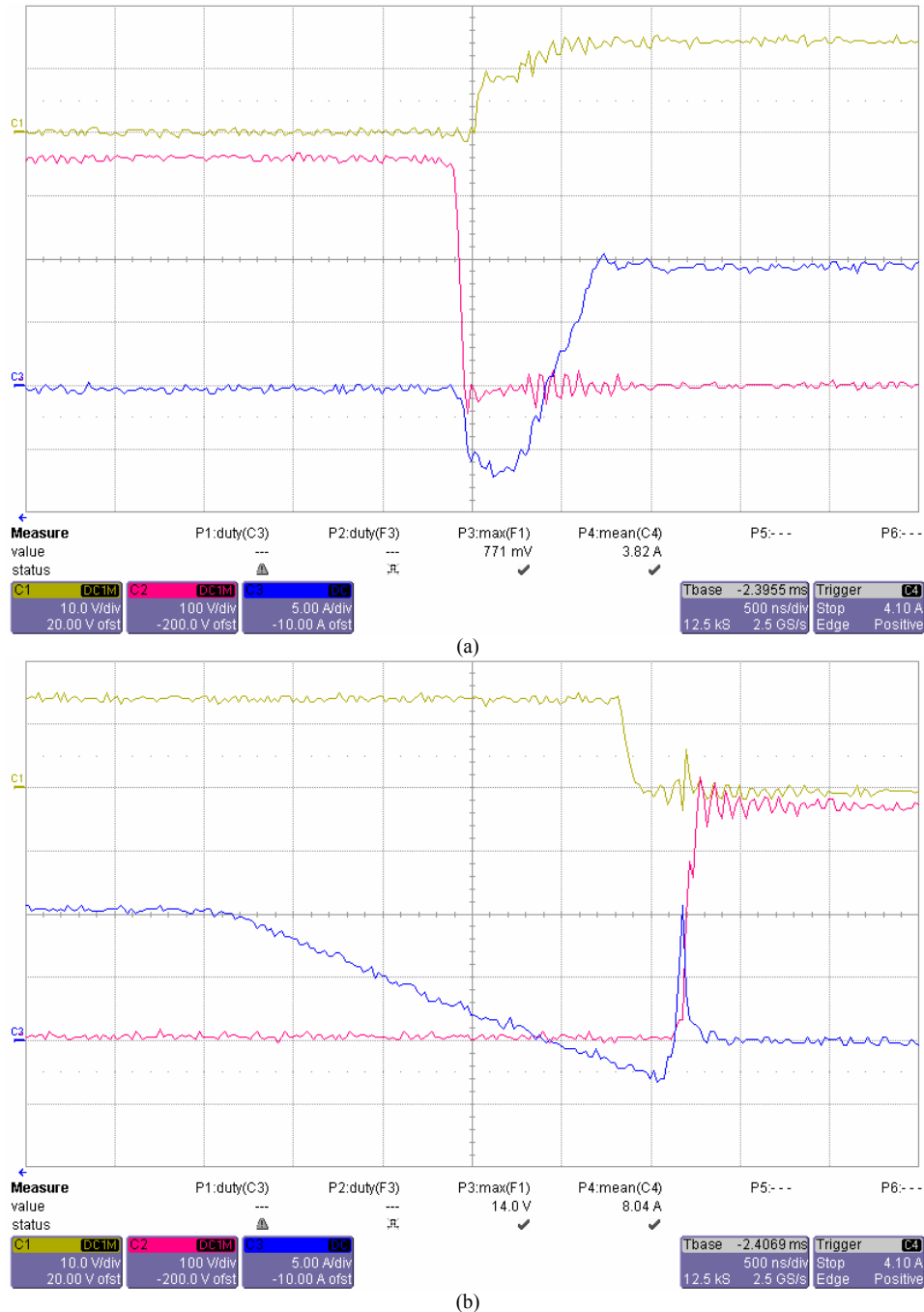


Escalas: v_{GE} - 10V/div; v_{CE} - 200V/div; i_C - 5A/div;
tempo - 2 μ S/div.

Figura 183 –Formas de onda experimentais para chave S_2 do protótipo do inversor ZCT com acoplamento magnético e circuito auxiliar em derivação.

A Figura 184(a) mostra em detalhe as formas de onda da entrada em condução de S_2 . Observa-se que, na ausência do capacitor C_s , a corrente através de S_2 apresenta menor distorção.

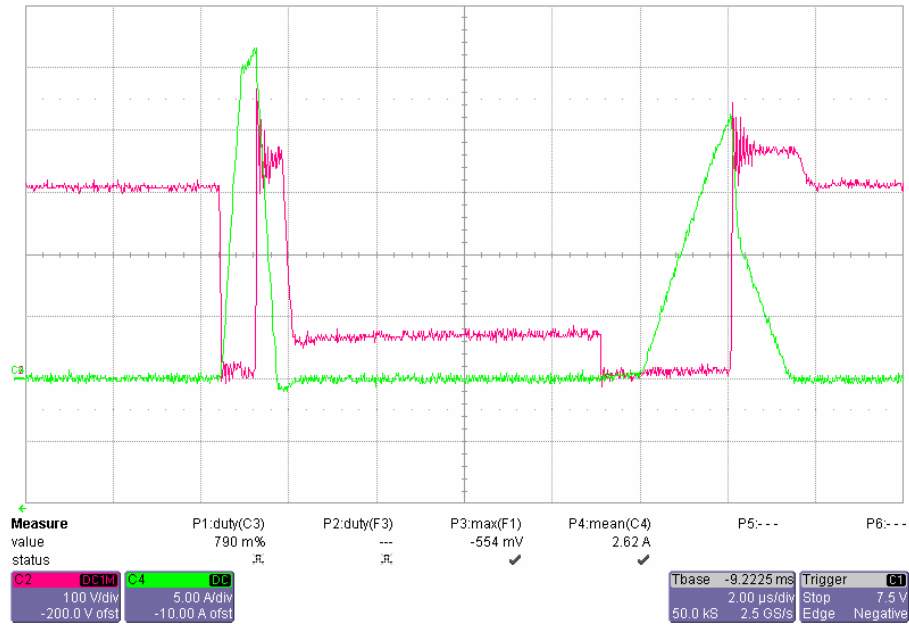
Por outro lado, observa-se na Figura 184(b) que o surto de corrente durante o bloqueio de S_2 é maior. Isto se justifica devido ao aumento na derivada de tensão durante o bloqueio.



Escala: v_{GE} - 10V/div; v_{CE} - 200V/div; i_C - 5A/div;
 tempo - 2 μ S/div.

Figura 184 – Formas de onda experimentais para chave S2 do protótipo do inversor ZCT com acoplamento magnético e circuito auxiliar em derivação. (a) Detalhe da entrada em condução; (b) Detalhe do bloqueio.

A Figura 185 mostra as formas de onda através da chave auxiliar S_{a2} durante o processo de entrada em condução e o processo de bloqueio da chave principal S_2 para o inversor ZCT com circuito auxiliar em derivação. Observa-se que as formas de onda do circuito auxiliar são muito semelhantes àsquelas do inversor ZCZVT com circuito auxiliar em derivação mostradas na Figura 178.



Escalas: v_{GE} - 10V/div; v_{CE} - 200V/div; i_C - 5A/div;
tempo - 2 μ S/div.

Figura 185 – Formas de onda experimentais para chave Sa2 do protótipo do inversor ZCT com acoplamento magnético e circuito auxiliar em derivação.

A Figura 186 mostra as curvas de eficiência para todos os protótipos implementados.

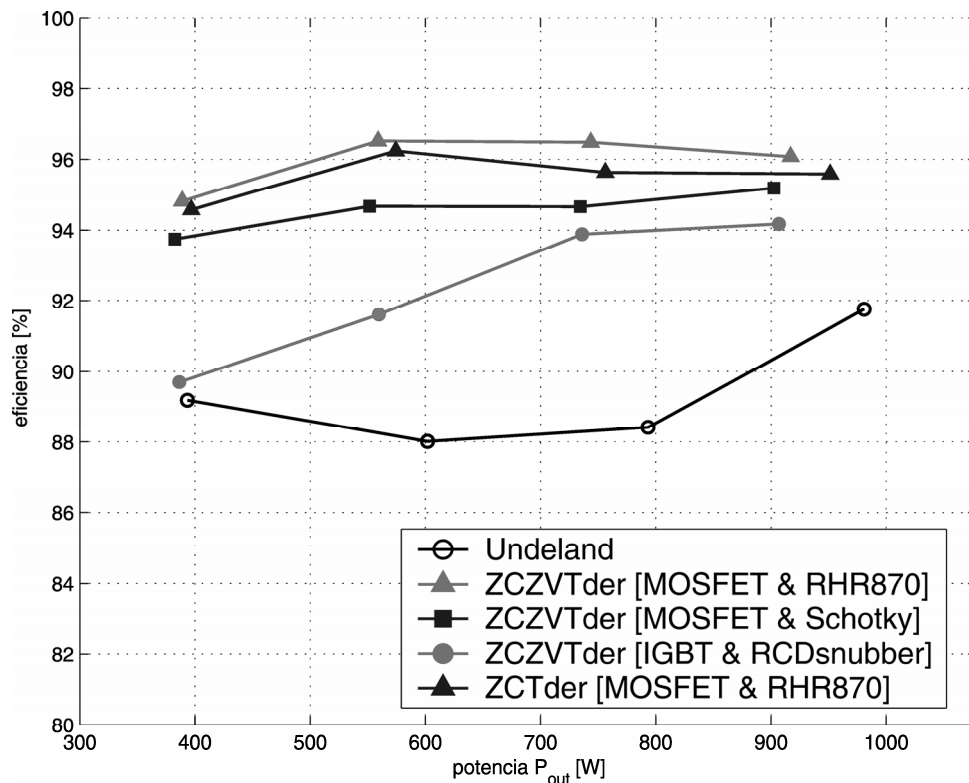


Figura 186 – Comparativo de eficiência dos protótipos implementados.

Como pode-se observar, a utilização de diodos bipolares proporcionou o maior rendimento para o protótipo do inversor ZCZVT com acoplamento magnético (aproximadamente 96% à plena carga). O emprego de diodos Schottky reduziu em média 1% o rendimento do protótipo. Isto se deve ao fato das perdas de recuperação reversa do diodo bipolar (bloqueio hard) serem menos significativas do que o aumento das perdas em condução do diodo Schottky. A implementação de um circuito auxiliar com IGBTs produziu uma redução no ganho de eficiência do inversor ZCZVT com acoplamento magnético de aproximadamente 2% em plena carga. Apesar disto, todos as variações dos protótipos do inversor ZCZVT com acoplamento magnético apresentam uma eficiência significativamente superior ao protótipo de um inversor com as mesmas especificações utilizando snubber de Undeland.

A comparação do inversor ZCZVT com acoplamento magnético com um inversor ZCT com acoplamento magnético mostrou que o aumento do dv/dt nos semicondutores principais reduz ligeiramente a eficiência do inversor.

7.5 Sumário.

Neste Capítulo foram apresentados os resultados experimentais provenientes de um protótipo de um sistema CA-CA constituído por um estágio retificador trifásico não controlado e um estágio inversor PWM monofásico alimentando uma carga à 127Vrms, 1kW. Através dos resultados obtidos pode-se constatar que:

- A inclusão de um indutor (choke) junto ao barramento CC, reduz as perdas do retificador e melhora a qualidade das tensões e correntes de linha pois evita a saturação dos elementos magnéticos presentes na rede de alimentação do sistema CA-CA.
- A utilização de diferentes tecnologias para implementação das chaves auxiliares do inversores ZCZVT com acoplamento magnético pode ter um impacto na eficiência do sistema que pode variar de dois a quatro por cento, dependendo das condições de carga.
- Numa frequência de 40kHz, a utilização de MOSFETs nas chaves auxiliares proporcionou uma eficiência de 96% à plena carga, o que corresponde a um ganho de 2% quando comparado aos 94% alcançados com o emprego de IGBTs Ultra-rápidos.

- A tecnologia dos diodos associados às chaves auxiliares também revelou que o emprego de diodos Schottky em série com os MOSFETs reduziu em aproximadamente 1% a eficiência do sistema à plena carga que foi de 95%.
- A remoção do capacitor de snubber dos IGBTs principais (ZCT) proporcionou uma redução nas oscilações em alta frequência presentes nas correntes dos mesmos. Entretanto, a eficiência do sistema foi ligeiramente reduzida (aproximadamente 0,5%), o que pode ser atribuído ao acréscimo das perdas em bloqueio dos IGBTs principais devido às maiores derivadas de tensão associadas [vide Capítulo 6].
- O protótipo do inversor ZCZVT com chaves auxiliares utilizando MOSFETs associados à diodos bipolares obteve um ganho de eficiência de aproximadamente 4% em comparação ao mesmo inversor utilizando um circuito auxiliar denominado de snubber de Undeland.

A partir dos resultados experimentais conclui-se que os inversores ZCZVT com acoplamento magnético são uma boa alternativa em frente à outras técnicas de comutação já consolidadas como a do snubber de Undeland, largamente empregado no meio acadêmico e industrial.

CAPÍTULO 8

CONCLUSÕES

No intuito de maximizar o desempenho, aumentar a robustez e a confiabilidade dos circuitos eletrônicos de potência, e ainda aliando à estas características a modularidade e a simplicidade, o desenvolvimento tecnológico dos semicondutores de potência culminaram no surgimento e na popularização dos módulos integrados com tecnologia IGBT. Estes dispositivos são utilizados largamente em circuitos para conversão de energia da forma CC para forma CA, nas mais diversas aplicações tais como, acionamentos elétricos e sistemas de compensação estática de reativos.

Particularmente em acionamentos elétricos, a melhoria da resposta dinâmica do sistema e a redução do ruído audível dos circuitos inversores, alcançados através do aumento da frequência de comutação dos IGBTs podem desencadear problemas como aumento da interferência eletromagnética (EMI), surgimento de correntes de fuga através das capacitâncias intrínsecas entre os enrolamentos e a carcaça dos motores elétricos, surgimento de correntes nos rolamentos, aumento das perdas com conseqüente redução da eficiência do sistema. Dependendo da aplicação, os problemas supracitados produzem um maior ou menor impacto na operação do sistema. Em acionamento elétricos industriais, transitórios de tensão e descargas de corrente nos rolamentos podem causar sérios danos, abreviando a vida útil dos equipamentos. Por outro lado, em acionamentos para tração de

veículos, níveis elevados de EMI podem causar mau funcionamento de diversos equipamentos associados ao sistema.

Uma alternativa para minimizar estes problemas é a suavização das taxas de variação de tensão e corrente durante os intervalos de transição dos semicondutores. Devido às suas características dinâmicas, o IGBT (portadores minoritários) apresenta uma corrente residual que decai lentamente durante o seu processo de bloqueio. Esta corrente, denominada corrente de cauda, é responsável por grande parte das perdas e também por outros fenômenos associados às taxas de variação de tensão e corrente através do dispositivo, os quais contribuem para o aumento do EMI. De acordo com estudos realizados as melhores condições para comutação destes dispositivos, independentemente de sua tecnologia (geração) são alcançadas com bloqueio sob corrente nula.

Dentre as técnicas de comutação, àquelas que proporcionam bloqueio com condições favoráveis apresentam os melhores resultados. Deste modo, as técnicas ZCT e ZCZVT distinguem-se por estas características. Entretanto, a operação dos circuitos auxiliares ZCT e ZCZVT produzem energia reativa em excesso, devido ao emprego de um circuito LC ressonante. Esta característica reduz o ganho destas técnicas, tornando os benefícios de sua utilização questionáveis.

Este trabalho apresentou um estudo aprofundado nos conceitos que fundamentam os conversores com transição ressonante, envolvendo as técnicas ZVT, ZCT e ZCZVT. Através da utilização do conceito de fontes dependentes e do conceito de fonte auxiliar de tensão, pode-se desenvolver uma classificação para os supracitados conversores ressonantes. Com isto pode-se verificar a oportunidade de se desenvolver novos circuitos auxiliares com características distintas daqueles existentes nos conversores ZCT e ZCZVT presentes na literatura.

A síntese de novos circuitos e a sua implementação por meio de componentes magnéticos produziu oito novos inversores ZCZVT, dos quais quatro foram teórica e matematicamente analisados. Os resultados experimentais de um protótipo do inversor ZCZVT com acoplamento magnético e circuito auxiliar em derivação, cujo projeto fora desenvolvido segundo os critérios definidos neste trabalho, comprovaram o desempenho satisfatório deste inversor.

8.1 *Sumário e Principais Contribuições.*

- a. Foi apresentada uma breve revisão da comutação suave como um todo, e uma revisão mais aprofundada direcionada às técnicas de comutação para inversores alimentados em tensão, onde observou-se que as técnicas de comutação que empregam circuitos auxiliares aplicados aos pólos dos inversores trifásicos apresentam menores distorções quanto à sua operação PWM. Dentre estas técnicas, as que utilizam bloqueio ativo (ZCT e ZCZVT) são mais adequadas para utilização com IGBTs. Todavia, os circuitos auxiliares existentes para estas técnicas apresentam níveis significativos de energia reativa;
- b. Um estudo aprofundado do mecanismo de comutação presente nas técnicas de comutação suave com transição ressonante demonstrou que a energia reativa pode ser reduzida nos conversores PWM com transição ressonante utilizando-se outro mecanismo que não o “tanque ressonante” junto ao circuito auxiliar. Para tal foi demonstrado que a utilização de um pólo auxiliar associado à um conjunto de fontes com valores fixos e polaridades adequadas pode-se produzir conversores PWM com transição ressonante sem ressonância. Este conceito definido neste trabalho como “fonte auxiliar descontínua” foi imprescindível para derivação dos inversores ZCZVT apresentados e analisados neste trabalho. Mais que isto, através da definição dos princípios que governam as comutações dos conversores PWM com transição ressonante, uma nova ferramenta para análise e síntese de novos circuitos com características melhoradas foi desenvolvida. Com isto uma gama de novas topologias pode ser derivada e explorada, bem como topologias que propiciem menores esforços adicionais de corrente e tensão; e, como mencionado anteriormente, com menor energia reativa;
- c. Em seguida foram definidos matematicamente os requisitos básicos para a operação dos conversores com transição ressonante com fonte auxiliar descontínua. A partir da definição destes requisitos foi proposta e demonstrada uma metodologia de síntese de novos conversores com transição. A utilização desta ferramenta deu origem a uma nova família de

conversores ZCZVT com acoplamento magnético. O desenvolvimento de uma nova família de conversores ZCZVT permitiu uma melhor percepção das características destes circuitos, permitindo o amadurecimento da técnica de comutação suave ZCZVT;

- d. Foram analisadas matematicamente quatro das oito topologias de circuitos auxiliares bidirecionais propostas para inversores monofásicos, sendo estas: (i) os inversores ZCZVT com circuito auxiliar em derivação, (ii) os inversores ZCZVT com circuito auxiliar em derivação e enrolamento secundário bipartido; (iii) os inversores ZCZVT com circuito auxiliar isolado; e (iv) os inversores ZCZVT com circuito auxiliar isolado e enrolamento auxiliar bipartido;
- e. Foi proposta uma metodologia de projeto para os semicondutores principais e dos elementos do filtro de saída dos inversores ZCZVT com acoplamento magnético de modo conjunto por meio de um critério de perdas e volume baseado nas informações contidas nas folha de dados de cada componente;
- f. Foi apresentada uma metodologia de projeto para os inversores ZCZVT com acoplamento magnético baseada nas características dinâmicas dos IGBTs sob condições de comutação suave durante a entrada em condução e o bloqueio. O projeto dos elementos dos circuitos auxiliares partiu da caracterização dos fenômenos que produzem perdas nos IGBTs em condições de comutação ZVS e ZCS. As características dinâmicas dos IGBTs foram utilizadas para determinar um conjunto de restrições, para as quais a relação de transformação (N) do indutor acoplado e o indutor auxiliar (L_a) foram projetadas. Para determinar um único par de valores de N e L_a capaz de atender as restrições utilizou-se um critério a partir das perdas dos semicondutores auxiliares. Portanto, através da metodologia de projeto apresentada, os valores de N e L_a foram definidos de modo a minimizar as perdas dos IGBTs principais (através das restrições) e dos semicondutores auxiliares (através dos critérios de perdas das chaves auxiliares);
- g. Foi demonstrado experimentalmente que a inclusão de um indutor (choke) junto ao barramento CC, reduz as perdas do retificador e melhora a

qualidade das tensões e correntes de linha pois evita a saturação dos elementos magnéticos presentes na rede de alimentação do sistema CA-CA;

- h. Foi apresentada uma técnica de modulação descontínua que permite a redução do número de chaves auxiliares, além de permitir a redução das perdas em comutação do inversor, uma vez que duas das quatro chaves da ponte monofásica permanecem em condução por 120°;
- i. Visando uma redução das perdas em condução dos elementos do circuito auxiliar, foi apresentada uma técnica para o cálculo e a implementação da temporização variável dos pulsos de acionamento das chaves auxiliares;
- j. Por fim, foram apresentados os resultados experimentais provenientes de um protótipo de um sistema CA-CA constituído de um estágio retificador trifásico não controlado e um estágio inversor PWM monofásico alimentando uma carga à 127Vrms, 1kW, por meio dos quais constatou-se que a utilização de diferentes tecnologias para implementação das chaves auxiliares do inversores ZCZVT com acoplamento magnético pode ter um impacto na eficiência do sistema que pode variar de 2% a 4% por cento, dependendo das condições de carga. Na frequência de 40kHz do protótipo implementado, a utilização de MOSFETs nas chaves auxiliares proporcionou uma eficiência de 96% à plena carga, o que corresponde a um ganho de 2% quando comparado aos 94% alcançados com o emprego de IGBTs Ultra-rápidos. O protótipo do inversor ZCZVT com chaves auxiliares utilizando MOSFETs associados à diodos bipolares obteve um ganho de eficiência de aproximadamente 4% em comparação ao mesmo inversor utilizando um circuito auxiliar denominado de snubber de Undeland.

8.2 Conclusões Finais.

Este trabalho apresentou uma nova perspectiva para os inversores ZCZVT através de uma mudança de paradigma, ocorrida ao se apresentar um circuito auxiliar não ressonante. A concepção de uma alternativa sem correntes e tensões ressonantes tornou-se viável somente por meio da derivação de uma ferramenta de análise e síntese de conversores com Transição Ressonante, proposta neste trabalho. Baseada nas necessidades

de um circuito hipotético que representa por meio de fontes dependentes e independentes os conversores Transição Ressonante de uma forma genérica, esta ferramenta permite analisar sob a perspectiva da “fonte auxiliar” os modos de obtenção e de operação do circuito auxiliar destes conversores. A análise qualitativa das técnicas de comutação suave empregadas nos conversores Transição Ressonante apresentados na literatura evidenciou a oportunidade da realização de uma nova família de inversores ZCZVT com circuito auxiliar não ressonante. A síntese e a análise dos circuitos produzidos através deste conceito foi apresentada teórica e experimentalmente. A utilização de “fontes auxiliares” magneticamente acopladas aos indutores de filtro permitiram uma maior integração do circuito auxiliar, além de reduzir a complexidade e o volume dos protótipos.

A temporização variável das chaves auxiliares também é uma característica incorporada à técnica ZCZVT neste trabalho, permitindo uma melhor otimização dos semicondutores do circuito auxiliar. As diferentes tecnologias dos semicondutores auxiliares serviram como base para análise e otimização dos parâmetros do circuito auxiliar, sendo que algumas destas tecnologias foram avaliadas experimentalmente por meio de um comparativo entre a eficiência de diversos protótipos. Os resultados experimentais obtidos comprovaram a viabilidade dos inversores propostos bem como o desempenho satisfatório destes, perante outras técnicas de comutação não dissipativa já consolidadas.

A partir dos resultados experimentais conclui-se que os inversores ZCZVT com acoplamento magnético são uma alternativa interessante quando comparada com outras técnicas de comutação já consolidadas como a do snubber de Undeland, largamente empregado no meio acadêmico e industrial.

Entretanto, algumas escolhas realizadas durante a concepção dos inversores ZCZVT com acoplamento magnético produziram efeitos colaterais no desempenho do inversor e, por este motivo, fomentam novos questionamentos, tais como a tecnologia utilizada para implementação do indutor de filtro. Tendo em vista que para potências mais elevadas, os núcleos de ferrite não atendem as restrições de corrente, principalmente devido à sua baixa permeabilidade magnética, a investigação e utilização de outros materiais magnéticos é inevitável. Da mesma forma, em aplicações onde os semicondutores são submetidos à níveis elevados de tensão, tal como em FACTS e acionamentos elétricos de média e alta tensão, outros dispositivos devem ser investigados em substituição aos módulos de IGBT utilizados neste trabalho. Nesta perspectiva, devem

ser investigadas as restrições de projeto do circuito auxiliar impostas por dispositivos como o GTO, MCT, IGCT, ou até mesmo tiristores. No caso dos semicondutores auxiliares, deve ser investigado se o IGBT seria um candidato para assumir o papel das chaves auxiliares.

No início do Capítulo 1 foi afirmado que um dos principais desafios deste estudo seria o desenvolvimento de ferramentas que proporcionassem o avanço tecnológico da técnica ZCZVT. Embora algumas destas ferramentas foram desenvolvidas nesse trabalho, como a ferramenta de síntese de conversores com transição ressonante (Capítulo 4) e a metodologia de projeto de inversores ZCZVT (Capítulo 6), ainda precisam ser aperfeiçoadas, a fim de ampliar o seu potencial.

8.3 Propostas para Investigações Futuras.

Visando o contínuo avanço tecnológico e conseqüente amadurecimento da técnica de comutação ZCZVT propõe-se alguns temas para investigações futuras.

Quanto aos inversores e protótipos apresentados:

- a. Investigar experimentalmente os demais inversores ZCZVT com acoplamento magnético apresentados neste trabalho;
- b. Investigar mais em detalhe a distorção da tensão de saída causada pela ação dos circuitos auxiliares dos inversores ZCZVT com acoplamento magnético sobre a corrente do filtro de saída, analisando parâmetros como a taxa de distorção harmônica total (THD), conteúdo harmônico, etc.;
- c. Investigar os efeitos causados pelo fator de potência da carga na operação do circuito auxiliar e seu reflexo no projeto e na eficiência dos inversores ZCZVT com acoplamento magnético;

Quanto à técnica ZCZVT para inversores:

- d. Realização de análise comparativa entre os inversores ZCZVT com acoplamento magnético e outros inversores ZCZVT já existentes;
- e. Investigar os benefícios da técnica ZCZVT com outros dispositivos semicondutores, tais como o IGCT, o GTO e o MCT;
- f. Investigar a temporização das chaves auxiliares nos inversores utilizando a técnica de modulação do tipo Space Vector;

Nos últimos anos a demanda por sistemas eletrônicos com vários estágios de processamento de energia tem se tornado comum em várias aplicações. O emprego de circuitos de auxílio à comutação para múltiplos conversores estáticos eleva

consideravelmente o custo e a complexidade do sistema, além de, muitas vezes, reduzir a confiabilidade do mesmo. Vários trabalhos propõe a utilização de circuitos auxiliares integrados, reduzindo o custo e a complexidade dos mesmos. Desta maneira, a utilização de circuitos auxiliares com características específicas como as apresentadas pelos inversores ZCZVT com acoplamento magnético e circuito auxiliar isolado podem ser um facilitador para implementação deste tipo de sistemas.

Ainda quanto à técnicas de integração para inversores com comutação não dissipativa:

- g. Investigar o conceito de *comutação suave com chave auxiliar única por braço (Single-Switch Single-Leg)* para inversores. Este conceito proporcionará o desenvolvimento dos inversores ZCZVT trifásicos com circuitos auxiliares independentes com um número reduzido de chaves auxiliares;
- h. A investigação da modulação SVM associada ao conceito *Phase-Lock* que possibilita o desenvolvimento dos inversores ZCZVT trifásicos com oito chaves.

REFERÊNCIAS

- [1] CEPEL, apresentação, “Alternativas Energéticas Alternativas Energéticas: Solar e Eólica Eólica”, apresentador, Hamilton Moss de Souza, moss@cepel.br, www.cresesb.cepel.br;
- [2] “Annual Energy Outlook 2003, with Projections to 2025”, Energy Information Administration Office of Integrated Analysis and Forecasting U.S. Department of Energy Washington, DC 20585, p. 2-4;
- [3] Ryan, J. L., “Home Automation”, Electronics and Communication Engineering Journal, July/August 1989, p. 185-192;
- [4] Koichiro Shoda, “Home Electronics in the 1990s”, VLSI Technology, Systems, and Applications, 1991, Proceedings of Technical Papers, 1991 International, Plenary Session 1;
- [5] Badami, V. V., Chbat, N. W., “Home Appliances Get Smart” - IEEE Spectrum, August 1998, p. 36-43;
- [6] Lawton, G., “Dawn to the Internet Appliance”, Computer, Vol. 30, Issue 101, Oct. 1997, p. 16,18;
- [7] Kango, R., Moore, P. R., Pu, J., “Networked Smart Home Appliances – Enabling Real Ubiquitous Culture”, Networked Appliances, 2002. Liverpool. Proceedings. 2002 IEEE 5th International Workshop on , Oct. 30-31, 2003, p. 76 -80;
- [8] “Renewables in Global Energy Supply”, an IEA Fact Sheet, International Energy Agency;
- [9] “Electricity Information 2006”, International Energy Agency Report, OECD/IEA 2006, p. 12;
- [10] P. T. Krein, *Elements of Power Electronics*. Oxford University Press, New York and Oxford, 1998, 499-507;
- [11] “The California energy crisis”, Power Engineering Society Summer Meeting, 2001. IEEE , Volume: 1 , 15-19 July 2001, p.: 570 –572;
- [12] Jardini, J.A.; Ramos, D.S.; Martini, J.S.C.; Reis, L.B.; Tahan, C.M.V.; “Brazilian energy crisis”, Power Engineering Review, IEEE , Volume: 22 Issue: 4 , April 2002, p. 21 –24;
- [13] Henry H. Rogers II, Larry E. Shirley, Anna Reed, E. Chris Larsen, “The database of State incentives for renewable energy: utility programs and incentives report”, 1999, available on <http://www.osti.gov/bridge>;
- [14] Valerie Everette, “The database of State incentives for renewable energy: utility

- programs and incentives report”, 2002, available on <http://www.osti.gov/bridge>;
- [15] Begovic, M., Pregelj, A., Rohatgi, A., Honsberg, C., “Green Power: Status and Perspective”, Proc. of the IEEE, Vol. 89, No. 12, Dec. 2001, p. 1734-1743;
- [16] Resolução ANEEL n° 112, de 18 de Maio de 1999, ANEEL – Legislação Básica do Setor Elétrico Brasileiro, Livro II – Resoluções;
- [17] Lei N° 10.438, de 26 de Abril de 2002;
- [18] Willian Sweet, Elizabeth A. Bretz, “Energy Woes”, IEEE Spectrum, July 2001, p. 48-49;
- [19] Willian Sweet, Elizabeth A. Bretz, “A National Energy Policy”, IEEE Spectrum, July 2001, p. 50, 52;
- [20] Willian Sweet, Elizabeth A. Bretz, “Clean Energy Scenarios”, IEEE Spectrum, July 2001, p. 51, 53;
- [21] Swisher, R., Azua, C. R. de, Clendenin, J., “Strong Winds on the Horizon: Wind Power Comes of Age”, Proc. of the IEEE, Vol. 89, No 12, Dec. 2001, p. 1757-1764;
- [22] Ellis, M. W., Spakovsky, M. R. von, Nelson, D. J., “Fuel Cell Systems: Efficient, Flexible Energy Conversion for the 21st Century”, Proc. of the IEEE, Vol. 89, No 12, Dec. 2001, p. 1808-1818;
- [23] Farooque, M., Maru, H. C., “Fuel Cells - The Clean and Efficient Power Generators”, Proc. of the IEEE, Vol. 89, No 12, Dec. 2001, p. 1819-1829;
- [24] “Solar Power Solutions: A Business Case for Capturing Total Value”, April 22, 2002, Provided to the U.S. Department of Energy by the: Solar Electric Power Association (SEPA), www.getf.org;
- [25] Marc A. Rosen, “Energy Efficiency and Sustainable Development” - IEEE Technology and Society Magazine, Vol. 15, No. 4, Winter 1996-1997, p. 21-28;
- [26] Bose, B. K., “Energy, Environment, and Advances in Power Electronics”, IEEE Trans. on Power Electronics, Vol. 15, No. 4, July 2000, p. 688-701;
- [27] ATLAS de Energia Elétrica do Brasil, Agência Nacional de Energia Elétrica ANEL, 2002, www.aneel.gov.br;
- [28] Wilson, T. G., “The Evolution of Power Electronics”, IEEE Trans. On Power Electronics, Vol. 15, no. 3, May 2000, p. 439-446;
- [29] Ivo barbi, *Eletrônica de Potência*, Editora da UFSC, Florianópolis, 1986.
- [30] Gyugyi, L., Pelly, B. R., *Static Power Frequency Changers: Theory, Performance and Application*. John Wiley & Sons, Inc. New York, 1976;
- [31] Rashid, Muhammad H.; Favato, Carlos Alberto - trad.; *Eletrônica de potencia: circuitos, dispositivos e aplicações*. Sao Paulo: Makron Books, 1999;
- [32] Michael T. Zhang, Milan M. Jovanovic, Fred C. Lee, “Design Considerations for Low-Voltage On-Board DC/DC Modules for Next Generations of Data Processing Circuits”, IEEE Trans. on Power Electronics, Vol. 11, No. 2, March 1996, p. 328-337;
- [33] Xunwei Zhou, Pit-Leong Wong, Peng Xu, Fred C. Lee, Alex Q. Huang, “Investigation of Candidate VRM Topologies for Future Microprocessors”, IEEE Trans. on Power Electronics, Vol. 15, No. 6, November 2000, p. 1172-1182;
- [34] Yuri Panov, Milan M. Jovanovic, “Performance Evaluation of 70-W Two-Stage Adapters for Notebook Computers”, Applied Power Electronics Conference and Exposition, 1999. APEC '99. Fourteenth

- Annual, Volume: 2 , 14-18 March 1999, p. 1059-1065, Vol. 2;
- [35] Fred C. Lee, Peter Barbosa, Peng Xu, Jindong Zhang, Bo Yang, Francisco Canales, "Topologies and Design Considerations for Distributed Power Systems Applications", Proc. of the IEEE, Vol. 89, No. 6, June 2001, p. 939-950;
- [36] A. R. Prasad, P. D. Ziogas, S. Manias, "An Active Power Factor Correction Technique for Three-Phase Diode Rectifiers", PESC 88, p. 58-66;
- [37] Yungtaek Jang, Milan M. Jovanovic, "A Comparative Study of Single-switch, Three-Phase, High-Power-Factor Rectifiers", IEEE Trans. on Industry Applications, Vol. 34, no. 6, November/December 1998, p. 1327-1334;
- [38] John C. Salmon, "Operating a Three-Phase Diode Rectifier with a Low-Input Current Distortion Using a Series-Connected Dual Boost Converter", IEEE Trans. on Power Electronics, Vol. 11, No. 4, July 1996, p. 592-603;
- [39] Robert W. Erickson, "Some Topologies of High Quality Rectifiers", First International Conference on Energy, Power, and Motion Control, May 5-6, 1997, Tel Aviv, Israel, p. 1-6;
- [40] Chongming Qiao, Keyue M. Smedley, "A General Three-Phase PFC Controller, Part I. for Rectifiers with a Parallel-Connected Dual Boost Topology", Industry Applications Conference, 1999. Thirty-Fourth IAS Annual Meeting. Conference Record of the 1999 IEEE , Volume: 4 , 3-7 Oct. 1999, p. 2504-2511, Vol. 4;
- [41] Chongming Qiao, Keyue M. Smedley, "A General Three-Phase PFC Controller, Part II. for Rectifiers with a Series-Connected Dual Boost Topology", Thirty-Fourth IAS Annual Meeting. Conference Record of the 1999 IEEE , Vol.: 4, 3-7 Oct. 1999, p. 2512-2519;
- [42] J. A. Sabaté, V. Vlatkovic, R. B. Ridley, F. C. Lee, B. H. Cho, "Design Considerations for High-Voltage High-Power Full-Bridge Zero-Voltage-Switched PWM Converter", Applied Power Electronics Conference and Exposition, 1990. APEC '90, Conference Proceedings 1990., Fifth Annual, 11-16 March 1990, p. 275 - 284;
- [43] W. Chen, F. C. Lee, M. M. Jovanovic, J. A. Sabaté, "A Comparative Study of a Class of Full-Bridge Zero-Voltage-Switched PWM Converters", Applied Power Electronics Conference and Exposition, 1995. APEC '95. Conference Proceedings 1995, Tenth Annual , Issue: 0 , 5-9 March 1995, p.893-899, Vol. 2;
- [44] J. R. Pinheiro, I. Barbi, "The Three-Level ZVS PWM Converter a New Concept in High-Voltage DC-to-DC Conversion", Industrial Electronics, Control, Instrumentation, and Automation, 1992. 'Power Electronics and Motion Control', Proc. of the 1992 International Conference on , 9-13 Nov. 1992, p. 173-178, Vol. 1;
- [45] Eduardo Deschamps, Ivo Barbi, "A Comparison Among Three-Level ZVS-PWM Isolated DC-to-DC Converters", Industrial Electronics Society, 1998. IECON '98. Proceedings of the 24th Annual Conference of the IEEE, Vol. 2 , 31 Aug.-4 Sept. 1998, p. 1024-1029;
- [46] Yuri Panov, Milan M. Jovanovic, "Design and Performance Evaluation of Low-Voltage/High-Current DC/DC On-Board Modules", Applied Power Electronics Conference and Exposition, 1999. APEC '99. Fourteenth Annual, Vol. 1, 14-18 March 1999, p. 545-552;
- [47] Lee, F. C., "High-Frequency Quasi-Resonant Converter Topologies", in

- Proceedings of the IEEE, Vol. 76, No. 4, p. 377-390, 1988;
- [48] Lee, F.C., "High-Frequency Quasi-Resonant and Multi-Resonant Converter Technologies" in IEEE 14 th Industrial Electronics Society IECON'88 Vol. 3, p.509-521, 1988;
- [49] Bhat, A.K.S, "Analysis, Selection, and Design of Resonant Inverters for Electronic Ballasts", Power Electronics Specialists Conference, PESC '94 Record., 25th Annual IEEE , 20-25 June 1994, p. 796-804, Vol.2;
- [50] Xu, X., Sankaran, V.A., "Power Electronics in Electric Vehicles: Challenges and Opportunities", Industry Applications Society Annual Meeting, 1993., Conference Record of the 1993 IEEE, 2-8 Oct. 1993, p. 463-469, Vol. 1;
- [51] John G. Kassakian, "Automotive Electrical Systems – The Power electronics Market of the Future", Applied Power Electronics Conference and Exposition, 2000. APEC 2000. Fifteenth Annual IEEE , Vol. 1 , 6-10 Feb. 2000, p. 3-9;
- [52] C. C. Chan, "An Overview of Electric Vehicle Technology", Proceedings of the IEEE, Vol. 81, No. 9, September 1993, p. 1202-1213;
- [53] Grady, W.M., Samotyj, M.J., Noyola, A.H., "Survey of Active Power Line Conditioning Methodologies", Power Delivery, IEEE Trans. on , Vol: 5 , No: 3 , July 1990, p. 1536-1542;
- [54] Singh, B., Al-Haddad, K., Chandra, A., "A review of Active Filters for Power Quality Improvement", Industrial Electronics, IEEE Trans. on, Vol: 46, No: 5, Oct. 1999, p. 960-971;
- [55] Smith, S., "Developments in Power Electronics, Machines and Drives", Power Engineering Journal, February 2002, p. 13-17;
- [56] Thomas M. Jahns, Vladimir Blasko, "Recent Advances in Power Electronics Technology for Industrial and Traction Machine Drives", Proc. of IEEE, Vol. 89, No. 6, June 2001, p. 963-975;
- [57] Russel J. Kerkman, Gary L. Skibinski, David W. Schlegel, "AC Drives: Year 2000 (Y2K) and Beyond", Applied Power Electronics Conference and Exposition, 1999. APEC '99. Fourteenth Annual, Vol. 1, 14-18 March 1999, p. 28 - 39;
- [58] Stockmeier, T., Bayerer, R., Herr, E., Sinerius, D., Thiemann, U., "Reliable 1200 amp 2500 V IGBT Modules for Traction Applications", IGBT Propulsion Drives, IEE Colloquium on, 25 Apr 1995, p. 3/1-313;
- [59] Siamak Abedinpour, Krishna Shenai, "Power Electronics Technologies for the New Millenium (invited)", Devices, Circuits and Systems, 2000. Proceedings of the 2000 Third IEEE International Caracas Conference on, 15-17 March 2000, p. P111/1 - P111/9 2000;
- [60] Ishii, K., Matsumoto, H., Takeda, M., Kawakami, A., Yamada, T., "A High Voltage Intelligent Power Module (HVIPM) with a High Performance Gate Driver", Power Semiconductor Devices and ICs, 1998. ISPSD 98. Proc. of the 10th International Symposium on , 3-6 June 1998, p. 289-292;
- [61] Majumdar, G., Hussein, K.H., Iwasaki, M., Kawafuji, H., Iwagami, T., Yoshida, H., "Novel Intelligent Power Modules for Low-Power Inverters", Power Electronics Specialists Conference, 1998. PESC 98 Record. 29th Annual IEEE , Vol: 2 , 17-22 May 1998, p. 1173-1179, Vol.2;
- [62] DeDoneker, R.W., Demirci, O., Arthur, S.; Temple, V.A., "Characteristics of GTO's and High-Voltage MCT's in High-Power Soft-Switching Converters", Industry Applications, IEEE Transactions on , Volume: 30 ,

- Issue: 6, Nov. 1994, p. 1548-1556;
- [63] Palmour, J. W., Singh, R., Glass, R. C., Kordina, O., Carter, Jr., C. H., "Silicon Carbide for Power Devices", *Power Semiconductor Devices and IC's, 1997. ISPSD '97, 1997 IEEE International Symposium on*, 26-29 May 1997, p. 25-32;
- [64] Baliga, B. J., "The Future of Power Semiconductor Device Technology", *Proc. of the IEEE*, Vol. 89, No. 6, June 2001, p. 822-832;
- [65] Davis, R. F., Kelner, G., Shur, M., Palmour, J.W., Edmond, J.A., "Thin Film Deposition and Microelectronic and Optoelectronic Device Fabrication and Characterization in Monocrystalline alpha and beta Silicon Carbide", *Proc. of the IEEE*, Vol. 79, May 1991, p. 677-701;
- [66] Powel, A.R., Rowland, L.B., "SiC Materials – Progress, Status, and Potential Roadblocks", *Proc. of the IEEE*, Vol. 90, No. 6, June 2002, p. 942-955;
- [67] Cooper Jr., J.A., Agarwal, A., "SiC Power-Switching Devices – The Second Electronic Revolution?", *Proc. of the IEEE*, Vol. 90, No. 6, June 2002, p. 956-968;
- [68] Ludikhuizen, A.W., "A Review of RESURF Technology", *Proc. of ISPSD 2000*, p. 11-18;
- [69] Lorenz, L., Deboy, G., Zverev, I., "Matched Pair of CoolMOS Transistor with SiC-Schottky Diode – Advantages in Application", *IEEE Trans. on Industry Applications*, Vol. 40, No. 5, 2004, p. 1265-1272;
- [70] Lorenz, L., Zverev, I., Mittal, A., Hancock, J., "CoolMOS – A New Approach Towards System Miniaturization and Energy Saving", *IEEE Industry Applications Conference, IAS 2000*, p. 2974-2981;
- [71] Deboy, G., Hüsken, H., Mitlehner, H., Rupp, R., "A Comparison of Modern Power Device Concepts for High Voltage Applications: Field Stop-IGBT, Compensation Devices and SiC Devices", *Proceedings of the 2000 IEEE Bipolar/BiCMOS Circuits and Technology Meeting, 2000. BCTM 2000*, p. 134-141;
- [72] W. McMurray, "SCR Inverter Commutated by an Auxiliary Impulse", *IEEE Trans. on Communications and Electronics*, Vol. 8-75, November/December, 1964, p. 824-829;
- [73] John A. Houldsworth, Duncan A. Grant, "The Use of Harmonic Distortion to Increase the Output Voltage of a Three-Phase PWM Inverter", *IEEE Trans. on Industry Applications*, Vol. IA-20, No. 5, Sep./Oct. 1984, p. 1224-1228;
- [74] Michael A. Boost, Phoivos D. Ziogas, "State-of-the-Art Carrier PWM Techniques: A Critical Evaluation", *IEEE Trans. On Industry Applications*, Vol. 24, No. 2, March/April 1988, p. 271-280;
- [75] Prasad N. Enjeti, Phoivos D. Ziogas, James F. Lindsay, "Programmed PWM Techniques to Eliminate Harmonics: A Critical Evaluation", *IEEE Trans. on Industry Applications*, Vol. 26, No. 2, Mar./Apr. 1990, p. 302-316;
- [76] Tore Undeland, Frede Jensen, Arne Steinbakk, Terje Rogne, Magnar Hernes, "A Snubber Configuration for both Power Transistors and GTO PWM Inverters", *PESC 84*, p. 42-53;
- [77] Yoshihiro Murai, Kazuharu Ohashi, Isamu Hosono, "New PWM Method for Fully Digitalized Inverters", *IEEE Trans. On Industry Applications*, Vol. IA-23, No. 5, Sep./Oct. 1987, p. 887-893;
- [78] Heinz W. Van Der Broeck, Hans C. Skudelny, Georg V. Stanke, "Analysis and Realization of a Pulsewidth Modulator Based on Voltage Space Vector",

- IEEE Trans. On Industry Applications, Vol. 24, No. 1, Jan./Feb. 1988, p. 142-150;
- [79] Pinheiro, H.; Botteron, F.; Rech, C.; Schuch, L.; Camargo, R.F.; Hey, H.L.; Grundling, H.A.; Pinheiro, J.R., "Space vector modulation for voltage-source inverters: a unified approach", Industrial Electronics Society, IEEE 2002 28th Annual Conference of the, IECON 02, Volume: 1 , 5-8 Nov. 2002, p. 23-29, Vol. 1;
- [80] Lidow, Alexander; Kinzer, Dan; Sheridan, Gene and Tam, David, "The Semiconductor Roadmap for Power Management in the New Millennium", Proceedings of the IEEE, Vol. 89, No. 6, June 2001, p. 803-812;
- [81] Baliga, B. Jayant, "Trends in Power Discrete Devices", Proc. of 1998 International Symposium on Power Semiconductor Devices & ICs, Kyoto, p. 5-10;
- [82] Hirofumi Akagi, "The State-of-the-Art of Power Electronics in Japan", IEEE Trans. on Power Electronics, Vol. 13, No. 2, Mar. 1998, p. 345-356;
- [83] Hirofumi Akagi, "Large Static Converters for Industry and Utility Applications", Proc. Of the IEEE, Vol. 89, No. 6, June 2001, p. 976-983;
- [84] Jaecklin, A. A., "Future devices and modules for power electronic applications", Proc. of Fifth European Conference on Power Electronics and Applications, 1993., p. 1-8;
- [85] Yamada, T., Majundar, G., Mori, S., Hagino, H., Kondoh, H., Hirao, T., "Next Generation Power Module - An Evolutionary Change From Discrete Semiconductor To System Semiconductor", IEEE Proc. of the 6th International Symposium on Power Semiconductor Devices and ICs, 1994. p. 3-8;
- [86] Iwamoto, H., Takahashi, H., Tabata, M., Satoh, K., "New 1200V power modules with sophisticated trench gate IGBT and superior soft recovery diode" IEEE Proc. of the IEEE 1999 International Conference Power Electronics and Drive Systems, 1999. PEDS '99, p. 28-33;
- [87] Motto, E. R., Donlon, J. F., "The latest advances in industrial IGBT module technology" Nineteenth Annual IEEE Applied Power Electronics Conference and Exposition, 2004. APEC '04, p. 235-240;
- [88] Donlon, J.; Motto, E.; Majumdar, G.; Mori, S.; Taylor, W.; Renjie Xu; "A new converter/inverter system for windpower generation utilizing a new 600 Amp, 1200 volt intelligent IGBT power module", Proc. of the 1994 IEEE Industry Applications Society Annual Meeting, 1994., 2-6 Oct. 1994, Vol. 2, p. 1031-1042;
- [89] Kudoh, M.; Hoshi, Y.; Momota, S.; Fujihira, T.; Sakurai, K.; "Current sensing IGBT for future intelligent power module", Proc. of the 8th International Symposium on Power Semiconductor Devices and ICs, 1996. ISPSD '96, p. 303-306;
- [90] Kajiwara, T., Yamaguchi, A., Hoshi, Y., Sakurai, K., "New Intelligent Power Multi-chips Modules With Junction Temperature Detecting Function" IEEE Proc. of the 10th International Symposium on Power Semiconductor Devices & ICs, 1998. ISPSD 98, p. 281-284;
- [91] Skibinski, G., Pankau, J., Sladky, R., Campbell, J., "Generation, control and regulation of EMI from AC drives", Industry Applications Conference, 1997. Thirty-Second IAS Annual Meeting, IAS '97., Conference Record of the 1997 IEEE , Volume: 2 , 5-9 Oct. 1997, p. 1571-1583, Vol.2;

-
- [192] Ran, L., Gokani, S., Clare, J., Bradley, K.J., Christopoulos, C., “Conducted Electromagnetic Emissions in Induction Motor Drive Systems. I. Time Domain Analysis and Identification of Dominant Modes”, *Power Electronics, IEEE Transactions on*, Volume: 13 , Issue: 4 , July 1998, p. 757-767;
- [193] Cacciato, M., Consoli, A., Scarcella, G., Testa, A., “Reduction of Common-Mode Currents in PWM Inverter Motor Drives”, *Industry Applications, IEEE Transactions on* , Volume: 35 , Issue: 2 , March-April 1999, p. 469-476;
- [194] Russel J. Kerkman, David Leggate, Gary L. Skibinski, “Interaction of Drive Modulation and Cable Parameters on AC Motor Transients”, *IEEE Trans. on Industry Applications*, Vol. 33, No. 3, May/June 1997, p. 722-731;
- [195] Annette Von Jouanne, Prasad N. Enjeti, “Design Considerations for an Inverter Output Filter to Mitigate the Effects of Long Motor Leads in ASD Applications”, *IEEE Trans. on Industry Applications*, Vol. 33, No. 5, September/October 1997, p. 1138-1145;
- [196] Noboru Aoki, Kenichi Satoh, Akira Nabae, “Damping Circuit Suppress Motor Terminal Overvoltage and Ringing in PWM Inverter-Fed AC Motor Drive Systems with Long Motor Leads” *IEEE Trans. on Industry Applications*, Vol. 35, No. 5, September/October 1999, p. 1014-1020;
- [197] Jay M. Erdman, Russel J. Kerkman, David W. Schlegel, Gary L. Skibinski, “Effect of PWM Inverters on AC Motor Bearing Currents and Shaft Voltages” *IEEE Trans. on Industry Applications*, Vol. 32, No. 2, March/April 1996, p. 250-259;
- [198] Shaotang Chen, Thomas A. Lipo, Dennis Fitzgerald, “Modeling of Motor Bearing Currents in PWM Inverter Drives”, *IEEE Trans. on Industry Applications*, Vol. 32, No. 6, November/December 1996, p. 1365-1370;
- [199] Subhashish Bhattacharya, Leopoldo Resta, Deepak M. Divan, Donald W. Novotny, “Experimental Comparison of Motor Bearing Currents with PWM Hard- and Soft-Switched Voltage-Source Inverters”, *IEEE Trans. on Power Electronics*, Vol. 14, No. 3, May 1999, p. 552-562;
- [100] Mohan, N., Undeland, T. M., and Robbins, W. P., *Power Electronics: Converters, Applications, and design*, 2nd Edition, John Wiley and Sons, New York, 1995, p. 249-252, 258-268, 367-433, 730-742;
- [101] Motorola Semiconductor Application Note, AN1541/D, “Introduction to Insulated Gate Bipolar Transistors”, by Jack Takesuye and Scott Deuty, 1995;
- [102] Fairchild Application Notes, AN-9016, “IGBT Basics 1”, by K. S. Oh, February 2001;
- [103] Kunrong Wang, Fred C. Lee, Guinchao Hua, Dusan Borojevic, “A Comparative Study of Switching Losses of IGBTs Under Hard-Switching, Zero-Voltage-Switching and Zero-Current-Switching”, *Power Electronics Specialists Conference, PESC '94 Record.*, 25th Annual IEEE , 20-25 June 1994, p. 1196-1204, Vol. 2;
- [104] Kurnia, A., Stielau, O. H., Venkataramanan, Divan, D. M., “Loss Mechanisms in IGBT’s under Zero Voltage Switching”, *PESC’92*, 1992, p.1011-1017;
- [105] Pendharkar S., Shenai, K., “Zero Voltage Switching Behavior of Punchthrough and Nonpunchthrough Insulated Gate Bipolar Transistor (IGBT’s)”, in *IEEE Trans. on Electron Devices*, Vol. 45, No. 8, August 1998, p. 1826-1835;

-
- [106] Song, B. -M., Zhu, H., Lai, J. -S., “Switching Characteristics of NPT- and PT-IGBTs under Zero-Voltage Switching Conditions” in *Proc. of IEEE Industry Application Society Annual Meeting IAS'99*, 1999, p.722-728;
- [107] Rangan, R., Chen, D. Y., Yang, J., Lee, J., “Application of Insulated Gate Bipolar Transistor to Zero-Current Switching Converters”, in *IEEE Trans. on Power Electronics*, Vol. 4, No. 1, January 1989, p. 02-07;
- [108] Lefebvre, S., Forest, F., Calmon, F., Chante, J. P., “Turn-off Analysis of the IGBT Used in ZCS Mode”, in *Proc. of the 6th International Symposium on Power Semiconductor Devices & IC's*, 1994, p. 99-104;
- [109] Silva, D. I. M., Sherestha, N. K., Azar, R., Amaratunga, F., Udrea, F., Palmer, P. R., Chamund, D., Coulbeck, L., Waind, P., “Trench Gate IGBTs for Zero Current Switching Applications”, Applied Power Electronics Conference and Exposition, 2003. APEC '03. Eighteenth Annual IEEE , Volume: 2 , 9-13 Feb. 2003, p. 933-937;
- [110] A. Consoli, C. Licitra, S. Musumeci, A. Testa, F. Frisina, R. Letor, “Comparative Investigation on Power Losses in Soft-Switching Insulated Gate Devices”, in *Proc. of the 6th Symposium on Power Semiconductor Devices & IC's*, Davos, Switzerland, May 31- June 2, 1994; p. 87-92;
- [111] Malay Trivedi, Krishna Shenai, “Evaluation of Planar and Trench IGBT for Hard- and Soft-Switching Performance”, Industry Applications Conference, 1999. Thirty-Fourth IAS Annual Meeting. Conference Record of the 1999 IEEE, Volume: 1 , 3-7 Oct. 1999, p. 717 - 721 Vol.1;
- [112] M. Helsper, F. W. Fuchs, M. Münzer, “Analysis and Comparison of Planar- and Trench-IGBT-Modules under ZVS and ZCS Switching Conditions”, Power Electronics Specialists Conference, 2002. pesc 02. 2002 IEEE 33rd Annual, Volume: 2 , 23-27 June 2002, p. 614 - 619 Vol.2;
- [113] R. Teichmann, S. Bernet, M. Lüscher, “State-of-the-Art Low Voltage and High Voltage IGBTs in Soft Switching Operation”, Applied Power Electronics Conference and Exposition, 2003. APEC '03. Eighteenth Annual IEEE, Vol. 2, 9-13 Feb. 2003, p. 938-945;
- [114] G. Hua, E. Yang, Y. Jiang, and F. C. Lee, “Novel Zero-Current Transition PWM Converters,” in *Conf. Rec. IEEE-PESC*, 1993, p. 538-544.
- [115] Mao, H., Lee, F. C., Zhou, X., Daí, H., Cosan, M., Boroyevich, D., “Improved Zero-Current Transition Converters for High-Power Applications” in *IEEE Trans. on Industry Applications*, Vol. 33, No. 5, p. 1221-1232, 1997;
- [116] Yong Li, Fred C. Lee, Jason Lai, Dushan Boroyevich, “A Low-Cost Three-Phase Zero-Current-Transition Inverter with Three Auxiliary Switches”, Power Electronics Specialists Conference, 2000. PESC 00. 2000 IEEE 31st Annual, Vol. 1 , 18-23 June 2000, p. 527 - 532;
- [117] C.M.O. Stein, H.L. Hey, J.R. Pinheiro, H. Pinheiro and H.A. Gründling, “Analysis, Design, and Implementation of a New ZCZVT Commutation Cell for PWM DC-AC Converters”, Industry Applications Conference, 2001. Thirty-Sixth IAS Annual Meeting. Conference Record of the 2001 IEEE , Volume: 2 , 30 Sept.-4 Oct. 2001; p.845- 850;
- [118] Jing, X., Boroyevich, D., “Comparison Between a Novel Zero-Switching-Loss Topology and Two Existing Zero-Current-Transition Topologies”, Applied Power Electronics Conference and Exposition, 2000. APEC 2000. 15th Annual IEEE, Vol. 2, 6-10 Feb. 2000, p. 1044-1048;
- [119] Ivo Barbi, D. C. Martins, “A True PWM Zero-Voltage Switching Pole with Very

- Low Additional RMS Current Stress”, PESC 91, p. 261-267;
- [120] J. R. Pinheiro, H. L. Hey, “An Active Auxiliary Commutation Circuit for Inverters”, PESC 96, p. 223-229;
- [121] Jae-Young Choi, Dushan Boroyevich, Fred C. Lee, “A Novel Inductor-Coupled ZVT Inverter with Reduced Harmonics and Losses”, Power Electronics Specialists Conference, 2001. PESC. 2001 IEEE 32nd Annual, Vol. 2, 17-21 June 2001, p. 1147 - 1152;
- [122] Hengchun Mao, Fred C. Lee, Xunwei Zhou, Heping Dai, “Novel Soft Switched Three-Phase Voltage Source Converters with Reduced Auxiliary Switch Stresses”, Power Electronics Specialists Conference, 1996. PESC '96 Record., 27th Annual IEEE , Vol.1 , 23-27 June 1996, p. 443 - 448;
- [123] Mao, H.; Lee, F. C.; “An Improved Zero-Voltage-Transition Three-Phase Rectifier/Inverter”, Proc. Of the IPEC 95, p. 853-858;
- [124] Vlatko Vlatkovic, Dusan Borojevic, Fred C. Lee, Carlos Cuadros, Slobodan Gataric, “A New Zero-Voltage Transition, Three-Phase PWM Rectifier/Inverter Circuit”, PESC 93, p. 868-873;
- [125] Qiong Li, Xunwei Zhou, Fred C. Lee, “A Novel ZVT Three-Phase Rectifier/Inverter with Reduced Auxiliary Switch Stresses and Losses”, Power Electronics Specialists Conference, 1996. PESC '96 Record, 27th Annual IEEE, Vol. 1, 23-27 June 1996, p. 153 - 158;
- [126] Jae-Young Choi, Dushan Boroyevich, Fred C. Lee, “Improved ZVT Three-Phase Inverter with Two Auxiliary Switches”, Applied Power Electronics Conference and Exposition, 2000. APEC 2000. Fifteenth Annual IEEE, Vol. 2, 6-10 Feb. 2000, p. 1023 - 1029;
- [127] Jae-Young Choi, Dushan Boroyevich, Jerry Francis, Fred C. Lee, “A Novel ZVT Inverter with Simplified Auxiliary Circuit”, Applied Power Electronics Conference and Exposition, 2001. APEC 2001. 16th Annual IEEE, Vol. 2, 4-8 March 2001, p. 1151 - 1157;
- [128] Erickson, R. W. Maksimovic, D., *Fundamentals of Power Electronics*, 2nd Edition, University of Colorado Press, Boulder, Colorado, p. 100-101;
- [129] P. T. Krein, *Elements of Power Electronics*. New York and Oxford: Oxford University Press, 1998, p. 499-507;
- [130] Kassakian, J. G., Schlecht, M. F., Verghese, G. C., *Principals of PowerElectronics*, Addison-Wesley Publishing Company, Massachusetts, 1991, p. 441, 671-679;
- [131] Nomura, H.; Fujiwara, K. “A loss-less passive snubber for soft-switching boost-type converters”, Power Conversion Conference - Nagaoka 1997., Proc. of the , Vol. 2 , 1997, p. 793 -796;
- [132] Chen, C.-L.; Tseng, C.-J. “Passive lossless snubbers for DC/DC converters”, Circuits, Devices and Systems, IEE Proc.- , Vol. 145, No. 6 , Dec. 1998, p. 396-401;
- [133] Irving, B.T.; Jovanovic, M.M. “Analysis, design, and performance evaluation of flying-capacitor passive lossless snubber applied to PFC boost converter”, Applied Power Electronics Conference and Exposition, 2002. APEC 2002. Seventeenth Annual IEEE , 2002, p. 503-508 vol.1;
- [134] Wei Dong; Qun Zhao; Jinjun Liu; Lee, F.C., “A boost converter with lossless snubber under minimum voltage stress”, Applied Power Electronics Conference and Exposition, 2002. APEC 2002. 17th Annual IEEE , p. 509-515 vol.1;

-
- [135] Calkin, E. T., Hamilton, B. H., "Circuit Technique for Improving the Switching Loci of Transistor Switches in Switching Regulators" *Industry Applications*, IEEE Trans. on , Vol. IA-12, No. 4 , July. 1976, p. 364-369;
- [136] McMurray, W., "Selection of Snubbers and Clamps to Optimize the Design of Transistor Switching Converters" *Industry Applications*, IEEE Trans. on, Vol. IA-16, No. 4 , Aug. 1980, p. 513-523;
- [137] Steyn, C. G., Wyk, J. D. Van, "Optimum Nonlinear Turn-off Snubbers: Design and Application" *Industry Applications*, IEEE Trans. on, Vol. 25 No. 2 , March. 1989, p. 298-306;
- [138] Hossain, Z., Olejniczak, K.J., Burgers, K.C., Balda, J.C., "Design of RCD snubbers based upon approximations to the switching characteristics. I. Theoretical development" *Electric Machines and Drives Conference Record*, 1997. IEEE International, 1997, p. TA2/6.1 -TA2/6.3;
- [139] Hossain, Z., Olejniczak, K.J., Burgers, K.C., Balda, J.C., "Design of RCD snubbers based upon approximations to the switching characteristics. II. Simulation and experimental results" *Electric Machines and Drives Conference Record*, 1997. IEEE International, 1997, p. TC2/5.1 -TC2/5.3
- [140] Smith, K.M., Jr.; Smedley, K.M. "Properties and synthesis of passive lossless soft-switching PWM converters" *Power Electronics*, IEEE Trans. on, Vol. 14 No. 5 , Sept. 1999 p. 890-899;
- [141] Smith, K.M., Jr.; Smedley, K.M. "Engineering design of lossless passive soft switching methods for PWM converters. I. With minimum voltage stress circuit cells" *Power Electronics*, IEEE Trans. on , Vol. 16 No. 3, May 2001, p. 336-344;
- [142] Smith, K.M., Jr.; Smedley, K.M. "Engineering design of lossless passive soft switching methods for PWM converters. II. Non-minimum voltage stress circuit cells", *Telecommunications Energy Conference*, 1998. INTELEC. 20th International, 1999, p. 669-677;
- [143] Smith, K.M., Jr.; Smedley, K.M. "Lossless passive soft-switching methods for inverters and amplifiers", *Power Electronics*, IEEE Trans. on , Vol. 15 No. 1, Jan. 2000, p. 164-173;
- [144] Lee, F.C.; Oruganti, R.; Liu, K.H., "Resonant Switches – Topologies and Characteristics", *IEEE Power Electronics Specialists Conference PESC85*, 1985, p. 106-116;
- [145] Tabisz, W.A.; Lee, F.C., "Zero-Voltage Switching Multi-Resonant Technique – A Novel Approach to Improve Performance of High-Frequency Quasi-Resonant Converters", *IEEE Power Electronics Specialists Conference, PESC88*, 1988, p. 9-17;
- [146] Guinchao Hua, Fred C. Lee, "Soft-Switching PWM Techniques and Their Applications", *The European Power electronics Association*, 1993, p.87-92;
- [147] Milan M. Jovanovic, "Resonant, Quasi-resonant, Multi-resonant and Soft-switching techniques – merits and limitations", *Int. J. Electronics*, 1994, vol. 77, No. 5, p. 537-554;
- [148] Robert L. Steigerwald, "A Review of Soft-Switching Techniques in High Performance DC Power Supplies", *IEEE IECON 21st International Conference on* , Vol. 1, 6-10, Nov. 1995, p. 1-7;
- [149] Guinchao Hua, Fred C. Lee, "Soft-Switching Techniques in PWM Converters", *IEEE Trans. on Industrial Electronics*, Vol. 42, No. 6, Dec. 1995, p. 595-603;

- [150] Debra Beatty, Issa Batarseh, "Topical Overview of Soft-Switching PWM High Frequency Converters", Southcon/95. Conference Record , 7-9 Mar. 1995, p. 47-52;
- [151] Jaber Abu-Qahouq, Issa Batarseh, "Generalized Analysis of Soft-Switching DC-DC Converters", PESC 2000, p. 185-192 Vol.1;
- [152] S. B. Yaakov, G. Ivensky, "Passive Lossless Snubbers For High Frequency PWM Converters", APEC 99 seminar;
- [153] Rudy Severns, "Circuit Reinvention in Power Electronics and Identification of Prior Work ", IEEE Trans.on Power Electronics, Vol. 16, No. 1, Jan. 2001, p. 1-7;
- [154] Oruganti, R., Lee, F. C., "Resonant Power Processors, Part I – State-Plane Analysis" Industry Applications, Trans. on, Vol. IA-21, No. 6, Nov/Dec 1983, p. 1453-1460;
- [155] Batarseh, I., Lee, C. Q., "High-Frequency High-Order Parallel Resonant Converter", Industrial Electronics, Trans. on., Vol. 36, No. 4, Nov. 1989, p. 485-498;
- [156] Batarseh, I., Liu, R., Lee, C. Q., Upadhyay, A. K., "Theoretical and Experimental Studies of the LCC- Type Parallel Resonant Converter" Power Electronics, Trans. On., Vol. 5, No. 2, April, 1990, p. 140-150;
- [157] Lee, F. C., Liu, K. H., "Zero-Voltage Switching Technique in DC/DC Converters" in IEEE Trans. on Power Electronics, Vol. 5, No. 3, p. 293-304, 1990;
- [158] Tabisz, W.A., Lee, F.C., "DC Analysis and Design of Zero-Voltage-Switched Multi-Resonant Converters" in IEEE 20 th Power Electronics Specialists Conference PESC'89, Vol. 1, p.243-251, 1989;
- [159] Vorperian, V., "Quasi-Square-Wave Converters: Topologies and Analysis" Power Electronics, Trans. On., Vol. 3, No. 2, April 1988, p. 183-191;
- [160] Yang, L., Long, D. Z., Lee, C. Q., "From Variable to Constant Switching Frequency Topologies: A General Approach", Power Electronics Specialist Conference PESC 93', Proceedings of the, 1993, p. 517-523;
- [161] Wang, K., Hua, G., Lee, F. C., "Analysis, Desing and Experimental Results of ZCS-PWM Boost Converters" IPEC 1995, p. 1197-1202;
- [162] Erickson, R. W., Hernandez, Witulski, A. F., Xu, R., "A Nonlinear Resonant Switch", PESC 89, p. 43-50;
- [163] Fuentes, R. C., Hey, H. L., "An Improved ZCS-PWM Commutation Cell for IGBT's Applications", Power Electronics, Trans. on., Vol. 14, No. 5, Sep. 1999, p. 939-948;
- [164] Jovanovic, M. M., "A Technique for Reducing Rectifier Reverse-Recovery Losses in High-Voltage, High-Power Boost Converters", APEC 97, p. 1000-1007;
- [165] Oruganti, R., Lee, F. C., "Resonant Power Processors, Part I – State-Plane Analysis" Industry Applications, Trans. on, Vol. IA-21, No. 6, Nov/Dec 1983, p. 1453-1460;
- [166] Oruganti, R., Lee, F. C., "State-Plane Analysis pf Parallel Resonant Converter" Power Electronics Specialist Conference PESC, 1985, p.56-73;
- [167] Batarseh, I., Liu, R., Lee, C. Q., Upadhyay, A. K., "Theoretical and Experimental Studies of the LCC- Type Parallel Resonant Converter" Power Electronics, Trans. On., Vol. 5, No. 2, April, 1990, p. 140-150;
- [168] Severns, R. P., "Topologies for Three-element Resonant Converters", Power

- Electronics, Trans. on., Vol. 7, No. 1, January 1992, p. 89-98;
- [169] Batarseh, I., Lee, C. Q., "High-Frequency Link Parallel Resonant Converter with Fourth-Order Commutation Network" IEE Proceedings-G, Vol. 138, No. 1, February 1991, p. 34-37;
- [170] Batarseh, I., Lee, C. Q., "Steady-State Analysis of the Parallel Resonant Converter with LLC-Type Commutation Network", Power Electronics, Trans. on., Vol. 6, No. 3, July 1991, p. 525-538;
- [171] McMurray, W.; "Resonant snubbers with auxiliary switches", Industry Applications, IEEE Trans. on, Vol. 29, No. 2, Mar-Apr 1993, p. 355-362;
- [172] De Doncker, R.W.; Lyons, J.P.; "The auxiliary resonant commutated pole converter", in IEEE Industry Applications Society Annual Meeting, 1990., Conference Record of the 1990 IEEE , 7-12 Oct. 1990, p. 1228-1235, Vol.2;
- [173] Takano, H.; Takahashi, J.; Domoto, T.; Nakaoka, M.; "Auxiliary resonant commutated snubber-assisted PWM inverter with voltage clamping diodes and its application to X-ray high voltage generator", Power Electronics Specialists Conference, 2001. PESC. 2001 IEEE 32nd Annual, Vol. 2 , 17-21 June 2001, p.1045-1050;
- [174] Toba, A.; Shimizu, T.; Kimura, G.; Shioya, M.; Sano, S.; "Auxiliary resonant commutated pole inverter using two internal voltage-points of DC source", Industrial Electronics, IEEE Trans. on, Vol. 45, No. 2, April 1998, p. 200-206;
- [175] Xiaoming Yuan; Barbi, I.; "Control simplification and stress reduction in a modified PWM zero voltage switching pole inverter", Applied Power Electronics Conference and Exposition, 1999. APEC '99. 14th Annual, Vol. 2, 14-18 March 1999, p. 1019-1025;
- [176] Xiaoming Yuan; Barbi, I.; "Analysis, designing, and experimentation of a transformer-assisted PWM zero-voltage switching pole inverter", Power Electronics, IEEE Trans. on, Vol. 15, No. 1, Jan. 2000, p. 72-82;
- [177] Jae-Young Choi; Boroyevich, D.; Lee, F.C.; "A novel ZVT three-phase inverter with coupled inductors", Power Electronics Specialists Conference, 1999. PESC 99. 30th Annual IEEE, Vol. 2, 27 June-1 July 1999, p. 975-980;
- [178] Jae-Young Choi; Boroyevich, D.; Lee, F.C.; "A SVM strategy and design of a ZVT three-phase inverter for electric vehicle drive applications", Industry Applications Conference, 1999. 34th IAS Annual Meeting. Conference Record of the 1999 IEEE, Vol. 1, 3-7 Oct. 1999, p. 65-71, vol.1;
- [179] Dawidziuk, J.; Jalbrzykowski, S.; Prajs, Z.; "A Comparative Analysis and Experimental Studies of Resonant Commutated Pole Inverter Losses", Industrial Electronics, Control and Instrumentation, 1994. IECON '94., 20th International Conference on , Vol. 1 , 5-9 Sept. 1994, p. 328-332, vol.1;
- [180] Cuadros, C.; Borojevic, D.; Gataric, S.; Vlatkovic, V.; "Space vector modulated, zero-voltage transition three-phase to DC bidirectional converter", Power Electronics Specialists Conference, PESC '94 Record., 25th Annual IEEE , 20-25 June 1994, p. 16-23, vol.1;
- [181] Jae-Young Choi; Boroyevich, D.; Lee, F.C.; "Thyristor-assisted ZVT inverters with single coupled inductor for high power applications", Industry Applications Conference, 2000. Conference Record of the 2000 IEEE, Vol. 4, 8-12 Oct. 2000, p. 2156-2163;
- [182] Jae-Young Choi; Boroyevich, D.; Lee, F.C.; "Phase-lock circuit for ZVT

- inverters with two auxiliary switches”, Power Electronics Specialists Conference, 2000. PESC 00. 2000 IEEE 31st Annual, Vol. 3, 18-23 June 2000, p.1215-1220;
- [183] Jih-Sheng Lai; “Fundamentals of a new family of auxiliary resonant snubber inverters”, Industrial Electronics, Control and Instrumentation, 1997. IECON 97. 23rd International Conference on , Vol. 2 , 9-14 Nov. 1997, p. 645-650, vol.2;
- [184] Guichao Hua; Yang, E.X.; Yimin Jiang; Lee, F.C.; “Novel zero-current-transition PWM converters”, Power Electronics, IEEE Trans. on, Vol. 9, No. 6, Nov. 1994, p. 601-606;
- [185] McMurray, W., “SCR Inverter Commutated by an Auxiliary Impulse”, IEEE Trans. on Communications and Electronics, Vol. 8-75, p. 824-829;
- [186] Hengchun Mao; Lee, F.C.Y.; Xunwei Zhou; Heping Dai; Cosan, M.; Boroyevich, D.; “Improved zero-current transition converters for high-power applications”, Industry Applications, IEEE Trans. on, Vol. 33, No. 5, Sep.-Oct. 1997, p.1220-1232;
- [187] Yong Li; Lee, F.C.; Boroyevich, D.; “A three-phase soft-transition inverter with a novel control strategy for zero-current and near zero-voltage switching”, Power Electronics, IEEE Trans. on, Vol. 16, No. 5, Sep. 2001, p. 710-723;
- [188] Li, Y.P.; Lee, F.C.; Boroyevich, D.; “A simplified three-phase zero-current-transition inverter with three auxiliary switches”, Power Electronics, IEEE Transactions on, Volume: 18, Issue: 3, May 2003, p. 802-813;
- [189] Dong Ho Lee; Lee, F.C.; “Novel zero-voltage-transition and zero-current-transition pulse-width-modulation converters”, Power Electronics Specialists Conference, 1997. PESC '97 Record., 28th Annual IEEE, Volume: 1, 22-27 June 1997, p. 233-239, Vol.1;
- [190] Jing, X.; Boroyevich, D.; “A novel zero-switching-loss transition voltage source inverter/rectifier”, Proc. Of the 17th Power Electronics Seminar, Blacksburg, Virginia, September 19-21, 1999, p. 143-151;
- [191] C. M. de O. Stein, H. L. Hey, J. R. Pinheiro, H. Pinheiro and H.A. Gründling, “A New ZCZVT Commutation Cell for PWM DC-AC Converters”, Congresso Brasileiro de Eletrônica de Potência, 2001, p. 571-576;
- [192] de Oliveira Stein, C.M.; Grundling, H.A.; Pinheiro, H.; Pinheiro, J.R.; Hey, H.L.; “Zero-current and zero-voltage soft-transition commutation cell for PWM inverters”, Power Electronics, IEEE Trans. on, Vol. 19, No. 2, Mar. 2004, p. 396-403;
- [193] Divan, D. M., and Skibinski, G., “Zero Switching Loss Inverters for High Power Applications”, Industry Applications, IEEE Transaction on, Volume: 25, Issue: 4, Jul-Aug., 1989, p. 634-643;
- [194] Venkataramanan, G; Divan, D. M., and Jahns, T. M., “Discrete Pulse Modulation Strategies for high Frequency Inverter Systems”, IEEE Trans. on Power Electronics, Vol. 8, 1993, p. 279-287;
- [195] Venkataramanan, G; Divan, D. M., and DeDonker, R. W., “Design Metodologies for Soft-Switched Inverters”, Industry Applications, IEEE Transaction on, Volume: 29, Issue: 1, Jan.-Fev., 1993, p. 126-135;
- [196] Venkataramanan, G, and Divan, D. M., “Pulse Width Modulation with Resonant DC Link Converters”, Proc. of IEEE-IAS Annual Meeting, 1990, p. 984-990;
- [197] Malesany, L.; Tenti, P.; Divan, D. M.; Toigo, V.; “A Synchronized Resonant DC

- Link Converter for Soft-Switched PWM”, Industry Applications Society Annual Meeting, 1989., Conference Record of the 1989 IEEE, 1 –5 Oct. 1989, p. 1037-1044;
- [198] Agelidis, V.; Ziogas, P. D., and Joos, G., “An Optimum Modulation strategy for a Novel Notch Commutated 3- Φ PWM Inverter”, Proc. of IEEE-IAS Annual Meeting, 1991, p. 809-818;
- [199] Chen, S., and Lipo, T. A., “Soft-Switched Inverter for Electric Vehicle Drives”, Proc. of IEEE-APEC, 1995, p. 586-591;
- [200] Chen, S., and Lipo, T. A., “A Passive Clamped Quasi-Resonant DC Link Inverter”, Proc. of IEEE-IAS Annual Meeting, 1994, p. 841-848;
- [201] Chen, S., Filho, B. C., and Lipo, T. A., “Design and Implementation of a Passively Clamped Quasi Resonant DC Link Inverter”, Industry Application Conference, 1995. 30th IAS Annual Meeting, IAS '95., Conference Record of the 1995 IEEE, Volume: 3, 8-12 Oct. 1995, p. 2387-2392;
- [202] Filho, B. J., and Lipo, T. A., “Space Vector Analysis and Modulation Issues of Passively Clamped Quasiresonant Inverters”, Proc. of IEEE-IAS Annual Meeting, 1996, p. 1179-1185;
- [203] Lai, J. S., and Bose, B. K., “High Frequency Quasi-resonant DC Voltage Notching Inverter for AC Motor Drive” Proc. of IEEE-IAS annual Meeting, 1990, p. 1202-1207;
- [204] Salama, S.; Tadros, Y., “Quasi Resonant 3-phase IGBT Inverter”, Power Electronics Specialist Conference, 1995, PESC 95, p. 28-33;
- [205] DeDonker, R. W., and Lyons, “The Auxiliary Quasi-Resonant DC-Link Inverter”, Proc. of IEEE-PESC, 1991, p. 248-253;
- [206] He, J., and Mohan, N., “Parallel Resonant DC- Link Circuit – a Novel Zero Switching Loss Topology with Minimum Voltage Stresses”, Power Electronics, Transaction on, Vol.: 6, Issue: 4, Oct. 1991, p. 687-694;
- [207] Cho, J.; Kim, H., and Cho, G., “Novel Soft-Switching PWM Converter Using a New Parallel Resonant DC-Link”, Proc. of IEEE-PESC, 1991, p. 241-247;
- [208] Malesani, L.; Tenti, P.; Tomasin, P., and Toigo, V., “High Efficiency Quasi Resonant DC-Link Converter for Full-Range PWM”, Proc. of IEEE-APEC, 1992, p. 472-478;
- [209] He, J.; Mohan, N.; Wold, B.; “Zero-Voltage-Switching PWM Inverter for High-Frequency DC-AC Power Conversion”, Industry Applications, IEEE Trans. on, Vol: 29, No: 5, Sep.-Oct., 1993, p. 959-968;
- [210] Chen, Y., “A New Quasi-Parallel Resonant DC Link for Soft-Switching PWM Inverters”, IEEE Trans. on Power Electronics, Vol. 13, 1998, p. 427-435;
- [211] Yurugi, K., Yonemori, H., Hayasi, K., Nakaoka, M., “Next generation space voltage vector ZVT-PWM AC-DC active power converter with auxiliary transformer”, 25th Annual IEEE Power Electronics Specialists Conference, PESC '94, p. 644-650;
- [212] Wang, K.; Jiang, S. D.; Hua, G.; Boroyevich, D., and Lee, F. C., “Novel DC-Rail Soft-Switching Three-Phase Voltage Source Inverter”, IEEE Trans. on Industry Applications, Vol. 23, 1997, No. 2, p. 509-516;
- [213] Divan, D. M.; “The resonant DC-Link Converter – A New Concept in Static Power Conversion,” Industry Applications, IEEE Transaction on, Volume: 25, Issue: 2, Mar-Apr., 1989, p. 317-325;
- [214] Patterson, O. D.; Divan, D. M.; “A Pseudo-Resonant Full-Bridge DC/DC

- Converter”, PESC 87, p. 424-430;
- [215] Cheriti, A.; Al-Haddad, K.; et al “A Rugged Soft Commutated PWM Inverter for AC Drives”, PESC 90, p. 656-662;
- [216] DeDonker, R. W.; Steigerwald, R. L.; Divan, D. M.; “Soft-Switching in High Power Converters”, Seminar IEEE-APEC, 5th Annual Conference 1991, Seminar workbook, Seminar 8, p. S8-53 – S8-76;
- [217] McMurray, W., “The Performance of an Inverter Having AC Switched Commutation”, IEEE Trans. on Industry Applications, Vol. IA-17, No. 3, May/June, p. 273-281;
- [218] J. L. Russi, M. L. Martins, H. L. Hey, “ZVT PWM Converters with Magnetically Coupled Auxiliary Voltage Source: a Unified Comparative Theoretical-Experimental Analysis”, The 35th Annual IEEE Power Electronics Specialists Conference, PESC 2004, Aachen, Germany, p. 1682-1688;
- [219] M. L. Martins, J. L. Russi, H. L. Hey “A Comparative Analysis for ZVT PWM Converters with Resonant Auxiliary Circuit – RAC”, The Industry Application, 39th Annual Meeting, IAS 04, Seattle – USA, Oct. 3-7, 2004, p. 1797-1804;
- [220] Jih-Sheng Lai; “Resonant snubber-based soft-switching inverters for electric propulsion drives”, Industrial Electronics, IEEE Trans. on, Vol: 44, No. 1, Feb. 1997, p. 71-80;
- [221] Jih-Sheng Lai; Young, R.W., Sr.; Ott, G.W., Jr.; McKeever, J.W.; Fang Zheng Peng; “A delta-configured auxiliary resonant snubber inverter”, Industry Applications, IEEE Transactions on , Volume: 32 , Issue: 3 , May-June 1996, p. 518-525;
- [222] Chan, C.C.; Chau, K.T.; Jianming Yao; “Soft-switching vector control for resonant snubber based inverters”, Industrial Electronics, Control and Instrumentation, 1997. IECON 97. 23rd International Conference on , Volume: 2 , 9-14 Nov. 1997, p. 453-458, vol.2;
- [223] Lee, S.R.; Ko, S.H.; Kwon, S.S.; Kim, S.H.; Song, I.S.; “An improved zero-voltage transition inverter for induction motor drive application” TENCON 99. Proceedings of the IEEE Region 10 Conference , Volume: 2 , 15-17 Sept. 1999, p. 986-989, vol.2;
- [224] Yoshida, M.; Hiraki, E.; Nakaoka, M.; “Actual efficiency and electromagnetic noises evaluations of a single inductor type resonant AC link snubber-assisted three-phase soft-switching inverter”, Telecommunications Energy Conference, 2003. INTELEC '03. The 25th International , Oct. 19-23, 2003, p. 721-726;
- [225] Vlatkovic, V.; Borojevic, D.; Lee, F.C.; “Soft-transition three-phase PWM conversion technology”, Power Electronics Specialists Conference, PESC '94 Record., 25th Annual IEEE , 20-25 June 1994, p.79-84, vol.1;
- [226] de Oliveira Stein, C.M.; Grundling, H.A.; Pinheiro, H.; Pinheiro, J.R.; Hey, H.L.; “Analysis and comparison of soft-transition inverters”, Industrial Electronics, 2003. ISIE '03. 2003 IEEE International Symposium on, Volume: 1, 9-11 June 2003, p.538-543;
- [227] Smith, K. M.; Smedley, K. M., “A Comparison of Voltage-Mode Soft-Switching Methods for PWM Converters”, IEEE Trans. on Power Electronics. Vol. 12, 1997, no. 2, p. 376-386;
- [228] M. E. Van Valkenburg, *Network Analysis*. Prentice Hall, Englewood Cliffs, New Jersey, 3^a Ed., 1974;

- [229] Charles A. Desoer, Ernest S. Kuh, *Basic Circuit Theory*, McGraw-Hill Education.
- [230] Vinod Kumar Khanna, *The Insulated Gate Bipolar Transistor IGBT: Theory and Design*, IEEE Press, John Wiley & Sons, Inc. Piscataway, NJ.
- [231] Liu, K. -W., Lee, F. C. “Topological constraints on basic PWM converters” in *Power Electronics Specialists Conference, 1988. PESC '88 Record., 19th Annual IEEE*, p. 164-172;
- [232] M. L. Martins, J. L. Russi, H. L. Hey, “Zero-voltage Transition PWM Converters: a Classification Methodology”, *IEE Proceedings on Electric Power Applications.* , v.152, n.2, p.323 - 334, 2005;
- [233] Streit, R., Tollik, D., “A High Efficiency Telecom Rectifier Using A Novel Soft-Switched Boost-Based Input Current Shaper”, in *INTELEC*, p. 720-726, 1991;
- [234] Hua, G., Leu, C. -S., Lee, F. C., “Novel Zero-Voltage-Transition PWM Converters”, *Power Electronics Specialists Conference, Proc. of the 23rd Annual IEEE, PESC 92’*. 1992, p. 55-60;
- [235] Yaakov, S. B., Ivensky, G., Levitin, O., Treiner, A., “Optimization of the Auxiliary Switch Components in a Flying Capacitor ZVS PWM Converters”, in *IEEE Proc. of The 8 th Electrical and Electronics Engineers in Israel Convention*, 1995, p. 5.4.4/1-5.4.4/5, 1995;
- [236] Menegáz, P. J. M., Có, M. A., Simonetti, D. S. L., Vieira, J. L. F., “Improving the Operation of ZVT DC-DC Converters”, in *IEEE Proc. of The 30 th Annual Power Electronics Specialists Conference, PESC’99*, p. 293-297, 1999;
- [237] Martins, M. L. S., Hey, H. L., Pinheiro, J. R., Pinheiro, H. & Gründling, H., “A ZVT PWM Boost Converter Using an Auxiliary Resonant Source” in *Applied Power Electronics Conference and Exposition, APEC 2002. 17 th Annual IEEE* , Vol. 2,p.1101-1107, 2002;
- [238] Martins, M. L. da S., Pinheiro, H., Pinheiro, J. R., Gründling, H. A., & Hey, H. L., “A Family of Improved ZVT PWM Converters Using an Auxiliary Resonant Source”, in *Sba: Controle & Automação Sociedade Brasileira de Automatica*, Vol.14, No. 4, 2003, p. 412-421.
- [239] Martins, M. L., Pinheiro, J. R., Pinheiro, H., Gründling, H. & Hey, H. L., “Family of improved zvt pwm converters using a self-commutated auxiliary network”, in *IEE Proc. of Electric Power Applications*, Vol. 150, No. 6, November 2003, p. 680-688;
- [240] Martins, M. L. da S., & Hey, H. L., “Self-Commutated Auxiliary Circuit ZVT PWM Converters”, in *IEEE Trans. on Power Electronics*, Vol. 19, No. 6, November 2004, p. 1435-1445;
- [241] Martins, D. C., Seixas, F. J., Barbi, I., Brilhante, J. A., “A Family of DC-to-DC PWM Converters Using a New ZVS Commutation Cell”, in *IEEE Proc. of The 24th Annual Power Electronics Specialists Conference, PESC’93*, p. 524-530, 1993;
- [242] Prado, R. N., “A New ZVT PWM Converter Family: Analysis, Simulation and Experimental Results” in *IEEE Proc. of the 9 th Annual Applied Power Electronics Conference and Exposition, APEC’94*, Vol. 2, p. 978-983, 1994;
- [243] Filho, N. P., Farias, V. J., Freitas, L. C., “A Novel Family of DC-DC PWM Converters Using the Self-Resonance Principle”, in *IEEE Proc. of The 25 th Annual Power Electronics Specialists Conference, PESC’95*, p. 1385-1391, 1994;

-
- [244] Gegner, J. P., Lee, C.Q., “Zero-Voltage-Transition Converters Using an Inductor Feedback Technique”, in *IEEE Proc. of The 9th Annual Applied Power Electronics Conference and Exposition, APEC’94*, Vol.2, p. 862-868, 1994;
- [245] Russi, J. L., Martins, M. L., & Hey, H. L., “ZVT DC–DC PWM converters with magneticallycoupled auxiliary voltage source: a unifying analysis”, in *IEE Proc. of Electric Power Applications*, Vol. 153, No. 4, July 2006, p. 493-502;
- [246] Yang, L., Lee, C. Q., “Analysis and Design of Boost Zero-Voltage-Transition PWM Converter”, *Applied Power Electronics and Exposition, Proceedings of the 8th Annual IEEE, APEC 93’*. 1993, p. 707-713;
- [247] Moschopoulos, G., Jain, P., Joos, G., “A Novel Zero-Voltage Switched PWM Boost Converter”, in *IEEE Proc. of The 26th Annual Power Electronics Specialists Conference, PESC’95*, p. 694-700, 1995;
- [248] Moschopoulos, G., Jain, P., Joos, G., Liu, Y.-F., “A Zero-Voltage Switched PWM Boost Converter With An Energy Feedforward Auxiliary Circuit”, in *IEEE Proc. of The 27th Annual Power Electronics Specialists Conference, PESC’96*, p. 76-82, 1996;
- [249] Jain, N., Jain, P., Joós, G., “Analysis of a Zero Voltage Transition Boost Converter using a Soft Switching Auxiliary Circuit with Reduced Conduction Losses”, in *IEEE Proc. of The 32nd Annual Power Electronics Specialists Conference, PESC’01*, Vol. 4, p. 1799-1804, 2001;
- [250] Martins, M. L., Russi, J. L., Pinheiro, J. R., Pinheiro, H., Gründling, H. & Hey, H. L., “Unified design for ZVT PWM converters with resonant auxiliary circuit”, in *IEE Proc. of Electric Power Applications*, Vol. 151, No. 3, May 2004, p. 303-312;
- [251] Martins, M. L., Russi, J. L., & Hey, H. L., “Novel Design Methodology and Comparative Analysis for ZVT PWM Converters With Resonant Auxiliary Circuit”, in *IEEE Trans. on Industry Applicatios*, Vol. 42, No. 3, May/June 2006, p. 779-796;
- [252] Duarte, C. M. C., Barbi, I., “A New Family of ZVS-PWM Active-Clamping DC-to-DC Boost Converters: Analysis, Design and Experimentation”, *Power Electronics, Trans. On.*, Vol. 12, No. 5, September 1997, p.824-831;
- [253] Erickson, Robert W., Maksimovic, Dragan, “A Multiple-Winding Magnetics Model Having Directly Measurable Parameters”, *IEEE PESC 98*, p. 1472-1478;
- [254] Bazinet, J., O’Connor, J. A., “Analysis and Design of a Zero Voltage Transition Power Factor Correction Circuit”, *IEEE APEC*, 1994, p. 591-597;
- [255] Bodur, H.; Bakan, A.F.; “A New ZVT-PWM DC-DC Converter”, *Power Electronics, IEEE Trans. on* ,Vol: 17 , Issue: 1 , Jan. 2002, p. 40-47;
- [256] Johnson, C. M., Pickert, V., “Three-phase soft-switching voltage source converters for motor drives. part 2: fundamental limitation”, *Electric Power Applications, IEE Proceedings of the*, p. 155-162;
- [257] Choi, Jae-Young. “Analysis of Inductor-Coupled Zero-Voltage-Transition Converters”, Doctor of Philosophy in Electrical Engineering thesis submetida à Faculty of the Virginia Polytechnic Institute and State University. July 24, 2001, Blacksburg, Virginia.
- [258] Alex Settimi Sohler, “The Unseen Truth Behind Motors fed by Inverters”, *WEG Technical Report*, June 1998, www.weg.com.br;
- [259] Balakrishna, S., “Some Important Compatibility Problems and Their Elimination

- In the Application of Induction Motor with Variable Frequency Drive”;
- [260] Takizawa, S., Igarashi, S., Kuroki, K., “A New di/dt Control Gate Drive Circuit for IGBTs”, Power Electronics Specialists Conference, 1998. PESC 98 Record. 29th Annual IEEE ,Volume: 2 , 17-22 May 1998, p. 1443-1449, Vol. 2;
- [261] Steimer, P. K., Grüning, H. E., Werninger, J., Carrol, E., Klaka, S., Linder, S., “IGCT – a New Emerging Technology for High Power, Low Cost Inverters”, IEEE Industry Applications Society Annual Meeting, New Orleans, Louisiana, October 5-9, 1997, p. 1592-1599;
- [262] Borowy, B. S., Rajashekara, K., “Soft-Switched MCT/IGBT Inverter for Motor Drive Applications”, Power Electronics in Transportation, 1998, 22-23 Oct. 1998, p. 53-62;
- [263] Chokhawala, R. S., Catt, J., pelly, B. R., “Gate Drive Considerations for IGBT Modules”, IEEE Trans. on Industry Applications, Vol. 31, No. 3, May/June 1995, p. 603-611;
- [264] Mark Thrash, “Soft-Switching Technology”, Safronics Technical Note, TN VFD GEN0038-G, Date 10/01/01, no. of pages, 3;
- [265] Alex Settini Sohler, “W21 Line New dV/dt Levels” WEG Technical Report, June 1999, www.weg.com.br;
- [266] Dewan, S. B., Ziogas, P. D., “Optimum Filter Design for a Single-Phase Solid-State UPS System”, in IEEE Trans. on Industry Applications, Vol. IA-15, No. 6, Nov./Dec. 1979, p. 664-669;
- [267] Ryu, B., Kim, J., Choi, J., Choi, C., “Design and Analysis of Output Filter for 3-phase UPS Inverter” in Power Conversion Conference, 2002. PCC Osaka 2002. Proceedings of the, 2-5 April 2002, p. 941-946 vol.3;
- [268] Erickson, Robert W., Maksimovic, Dragan, and Griesbach, Carl, “Modeling of Cross-Regulation in Converters Containing Coupled Inductors”, IEEE APEC 98, p. 350-356;
- [269] Tan, F. Dong, Vollin, Jeff L., Cúk, Slobodan M., “A Practical Approach for Magnetic Core-Loss Characterization”, IEEE Trans. on Power Electronics, Vol. 10, No. 2, March 1995, p. 124-130;
- [270] Mo, Wai K., Cheng, David K. W., Lee, Y. S., “Simple Approximations of the DC Flux Influence on the Core Loss Power Electronic Ferrites and Their Uses in Design of Magnetic Components”, IEEE Trans. on Industrial Electronics, Vol. 44, No. 6, December 1997, p. 788-799;
- [271] Ebert, Cláudio Luís, Programa Computacional para Projeto de Transformadores Utilizados em fontes de Alimentação Chaveadas, Dissertação de Mestrado submetida à Universidade Federal de Santa Catarina, Florianópolis, Agosto de 1997;
- [272] Liu, Jinjun, Wilson, Thomas G., Jr., Wong, Ronald C., Wunderlich, Ron, and Lee, Fred C., “A Method for Inductor Core Loss Estimation in Power Factor Correction Applications”, Applied Power Electronics Conference and Exposition APEC 02’, 2002, p. 439-445, Vol. 1;
- [273] Wu, Jia, “Implementation of a 100kW Soft-Switched DC Bus Regulator Based on Power Electronics Building Block Concept”. Tese de mestrado submetida para faculdade do Instituto Politécnico de Virginia e Universidade Estadual. Blacksburg, Virginia, 2000.
- [274] Colonel Wm. T. McLyman, (1988). Transformer and Inductor Design Handbook. 2nd Ed. Mardel Dekker, Inc., New York;

-
- [275] Semikron application note;
- [276] H. Yilmaz et al., “Comparison of the punch through and non-punch through insulated gate transistor structures,” Conf. Rec. IEEE Industry Applicat. Soc. Ann. Meeting, 1985, pp. 905–908.
- [277] G. Miller and J. Sack, “A new concept for a non-punch through IGBT with MOSFET like switching characteristics,” Conf. Rec. IEEE Power Electronics Specialists Conf., 1989, pp. 21–25.
- [278] T. Laska, G. Miller, and J. Niedermeyer, “2000 V non-punch through IGBT with high ruggedness,” Solid State Electron., vol. 35, no. 5, pp. 681–685, May 1992.
- [279] Sheng, Willian W., Colino, Ronald P., *Power Electronics Modules: Design and Manufacture*, CRC Press, 2005. <http://www.amazon.com> 01/02/2008.
- [280] AN-983 (v.Int) International Rectifier Application Note, *IGBT Characteristics*
- [281] I. Widjaja et al., “Computer simulation and design optimization of IGBT’s in soft-switching converters,” in Proc. 6th IEEE ISPSD and IC’s Meeting, 1994, pp. 105–109.