

Universidade Federal de Santa Maria
Pró-Reitoria de Pós-Graduação e Pesquisa
Centro de Tecnologia
Programa de Pós-Graduação em Engenharia Elétrica

**PROCESSAMENTO DE SINAIS ANALÓGICOS
AMOSTRADOS UTILIZANDO TÉCNICAS DE
CHAVEAMENTO A CAPACITOR E A CORRENTE
APLICADOS À CONVERSÃO AD SIGMA DELTA**

por

Cesar Augusto Prior

Trabalho apresentado como parte dos requisitos para a obtenção do título de
Doutor em Engenharia Elétrica na Universidade Federal de Santa Maria,
Santa Maria, RS, Brasil.

Santa Maria, agosto de 2009

Avaliação

Nome: Cesar Augusto Prior
Titulação: Doutor em Engenharia Elétrica
Título da Tese: PROCESSAMENTO DE SINAIS ANALÓGICOS AMOSTRADOS UTILIZANDO TÉCNICAS DE CHAVEAMENTO A CAPACITOR E A CORRENTE APLICADOS À CONVERSÃO AD SIGMA DELTA.

Banca Examinadora:

Dr. Cesar Ramos Rodrigues – Orientador
DESP-UFSM

Dr. Altamiro Amadeo Susin
UFRGS

Dr. Alessandro Gonçalves Girardi
UNIPAMPA

Dr. Giovanni Baratto
DELC - UFSM

Dr. João Baptista dos Santos Martins
DELC – UFSM

Resumo

Circuitos de amostragem e retenção de sinais analógicos são comumente implementados com técnicas de chaveamento de capacitores (Switched Capacitor –SC). Circuitos SC empregam o armazenamento de cargas em um capacitor linear para representar um sinal sob a forma de tensão. Amplificadores Operacionais (AmpOp's) são usados para transferir essa carga de um capacitor a outro, amostrando e retendo sinais analógicos em circuitos de malha fechada.

Recentemente, uma outra técnica tem sido desenvolvida sem a necessidade de construção de capacitores lineares, tornando possíveis projetos compatíveis com processos de fabricação VLSI CMOS. Esta técnica, chamada de Switched Current (SI), caracteriza-se por processar os sinais sob a forma de correntes, sendo a operação de memorização implementada através da retenção de carga elétrica na porta de um transistor MOS na zona de saturação. A carga retida corresponde a uma tensão porta-fonte e, conseqüentemente, a uma corrente no transistor. Neste modelo, a excursão do sinal não é diretamente dependente da tensão de alimentação, mas dependente das correntes de polarização e de sinal. Isso torna o modelo atrativo para baixas tensões. A técnica não requer AmpOp's e implementação física de capacitores. A velocidade do circuito não é limitada por AmpOp's e seu produto ganho-banda, mas pelo projeto e processo de fabricação. Essa técnica ainda não está consolidada e sua performance ainda não é competitiva com os circuitos SC [1], Contudo, os circuitos SI tornam-se interessantes na medida em que constituem um campo aberto para futuras pesquisas e pela possibilidade de serem completamente implementados em processos de fabricação voltados a circuitos puramente digitais.

Este trabalho inicia com um enquadramento do trabalho proposto, situando o leitor no contexto do estado da arte das tecnologias de fabricação e algumas implicações diretas que afetam circuitos analógicos. São apresentadas ainda nesta seção algumas

implementações que servem para caracterizar o que está sendo feito recentemente em termos de conversores tipo Sigma Delta ($\Sigma\Delta$).

No Capítulo 2, faz-se o embasamento sobre as técnicas utilizadas no processo de amostragem e retenção utilizadas para conversão $AD\Sigma\Delta$ e uma revisão das não idealidades que envolvem a prática de projeto.

No Capítulo 3 é feito um estudo comparativo, entre células de memória SC e SI. Baseado em modelo simplificado de pequenos sinais, analisa-se o comportamento quanto à relação-sinal-ruído (SNR), ao consumo e à velocidade, fornecendo indicações de desempenho em toda região de funcionamento dos transistores MOS.

No Capítulo 4 são abordadas as especificações iniciais ao desenvolvimento de um conversor $\Sigma\Delta$ para uma implementação específica. Os estudos e estimativas que conduzem a pré-concepção do projeto têm como objetivo final a geração de um modulador $\Sigma\Delta$ nas técnicas SC e SI.

Nos Capítulos 5 efetuam-se as medidas e testes que estabelecem os padrões de comparação, a discussão dos resultados e conclusões.

Por fim, no Capítulo 6, uma proposta alternativa é apresentada com base em uma arquitetura de modulador sigma-delta de baixa distorção, implementada em circuito SI.

As conclusões e contribuições finais são apresentadas no capítulo 7.

Abstract

Circuits for sampling and retention of analogue signals are commonly implemented with techniques such as switched capacitors (SC). SC circuits employing the storage of charge in a linear capacitor to represent a signal in the form of voltage. Operational Amplifiers (AmpOp's) are used to transfer the load of a capacitor to another, sampling and holding circuits for analogue signals in closed loop.

Recently, another technique has been developed without the need of building linear capacitors, making possible projects compatible with VLSI CMOS processes. This technique, called Switched Current (SI), is characterized by processing the signals in the current form, and implemented through the memory retention of electric charge on the gate of a MOS transistor in saturation zone. The charge is hold in a gate-source voltage and hence the current in a transistor. In this model, the excursion of the signal is not directly dependent on the supply voltage, but dependent on the polarization and current signal. This makes the model attractive for low voltage. The technique does not require AmpOp's and capacitors. The speed of the circuit is not limited by AmpOp's and its gain-bandwidth product, but by design and manufacturing process. This technique is not yet consolidated and its performance is still not competitive with SC circuits [1] However, SI circuits become interesting as they constitute an open field for future research and the opportunity to be fully implemented in processes manufacturing oriented to purely digital circuits.

This work begins with a framework of the subject matter, placing the reader in the state of the art manufacturing technology and some implications that directly affect analog circuits. Are also presented in this section some implementations which serve to characterize what is being done recently in terms of Sigma Delta ($\Sigma\Delta$) modulators.

In Chapter 2, are made a review of sampling and holding bases, the AD conversion techniques with focuses in oversampled AD converters, the circuits that implementing SC and SI modulators and their influences, and finally a review of the non-idealities that involve the practice of project.

Chapter 3 a comparative study is done between memory cells SC and SI. Based on a simplified model of small signals, the behavior analyzes on the signal-noise-ratio (SNR), power consumption and speed, providing indications of performance throughout the operating region of MOS transistors.

Chapter 4 deals with the initial specifications for the development of a $\Sigma\Delta$ AD converter for a specific implementation. The studies and estimates lead to pre-design of the project's ultimate goal the creation of a $\Sigma\Delta$ modulator in the SC and SI techniques.

In Chapter 5 is intended to make the measures and tests that establish the standards of comparison, the discussion of results and conclusions.

Finally, in Chapter 6, an alternative proposal is presented based on an architecture that performs a sigma-delta modulator with low distortion, implemented with SI circuit.

The final conclusions and contributions are presented in Chapter 7.

Publicações

- [1] PRIOR, C. A., RODRIGUES, C. R., “A New Approach Switched Current Implementation Sigma Delta Modulator using a Low Distortion Topology”.Artigo submetido ao “Eletronic Letters” em agosto de 2009.
- [2] PRIOR, C. A., RODRIGUES, C. R., “A Low Cost Test for Detecting Hot Spots in Integrated Circuits” In: XV Workshop Iberchip, 2009, Buenos Aires. XV Workshop Iberchip. Buenos Aires: Ediciones Cientificas Americanas, 2009. v.2. p.444 - 447

Dedicatória

Para
Adriane, João e Marcos

Agradecimentos

Este trabalho é fruto da ajuda, colaboração e apoio de muitas pessoas. Por este motivo gostaria de expressar meu profundo agradecimento a todas elas.

Em primeiro lugar à minha esposa Adriane pela paciência, pelo incentivo e carinho, que juntamente com minha sogra Guilhermina e os meus filhos João Francisco e Marcos Vinicius foram meus grandes motivadores, tendo-se privados em muitos momentos de melhor atenção e carinho. *In memoriam* ao meu sogro Carlos que sempre esta a olhar por nós.

Ao meu orientador e amigo Professor Cesar Ramos Rodrigues pela orientação, apoio técnico e humano dispensados.

Aos professores do Grupo de Microeletrônica (GMICRO) da UFSM em especial ao João Baptista, pelo constante incentivo, convivência e apoio dispensado durante estes anos.

Aos colegas do GMICRO, pelo companheirismo, amizade, incentivo, conversas, brincadeiras e longas horas de estudo que compartilhamos durante este período tornando-as sempre mais agradáveis. Em especial ao colega Filipe Costa Beber Vieira pela inestimável ajuda nos projetos dos moduladores e sua bem humorada companhia.

Aos meus pais Orestes e Irma Prior pelo incentivo e força transmitidos.

A CAPES e ao CNPq, pelo apoio financeiro, fundamental para a realização desse trabalho.

Ao PPGEE e seus colaboradores pelo apoio institucional.

À Mentor Graphics Corporation pela doação das ferramentas de simulação e leiaute e a Freescale Simiconductor do Brasil pelo apoio na realização de testes no CI.

Sumário

Resumo	iii
Abstract	v
Publicações	vii
Dedicatória	viii
Sumário	x
Lista de Figuras	xiv
Lista de Tabelas	xx
Lista de Símbolos e Abreviaturas	xxi
Capítulo 1	
Processamento de Sinais Analógicos Amostrados	23
1.1 Introdução - Enquadramento do Trabalho	23
1.1.1 Tendências tecnológicas	25
1.1.2 Estado da arte	26
1.2 Objetivos	27
1.3 Objetivos Específicos	28
Capítulo 2	
Técnicas SC e SI	29
2.1 Fundamentos Básicos - Amostragem, Retenção e Quantização	29
2.2 Conversão Analógica-Digital	32
2.2.1 Conversores Nyquist	33
2.2.2 Conversores Sobre-amostrados	33
2.3 Arquiteturas para moduladores sigma-delta	42
2.3.1 1 Bit de ordem n	43
2.3.2 Cascata	45
2.3.3 Moduladores Multi-bits	46
2.4 Circuitos com Capacitores Chaveados	47
2.4.1 As não-idealidades que afetam os circuitos $\Sigma\Delta/SC$	49
2.5 Circuitos com Corrente Chaveada	50

2.5.1	Célula Básica de Memória de Corrente	50
2.5.2	Célula de Memória de Corrente com Gate Aterrado (<i>Grounded Gate Active Memory Cell</i>)	55
2.5.3	Célula de Memória de Corrente S^2I	57
2.5.4	Célula de Memória Classe AB.....	59
2.5.5	Célula de Nairn	59
2.5.6	Célula de Shah-Toumazou.....	60
2.5.7	Integrador com Célula S^2I	61
Capítulo 3		
	Comparativo entre as Técnicas SC e SI	64
3.1	Frequência.....	65
3.1.1	Estabelecimento (<i>Settling</i>) em circuitos SI.....	67
3.2	Consumo	70
3.3	Relação Sinal Ruído (SNR)	70
3.4	Figura de Mérito.....	73
3.5	Conclusões:	74
Capítulo 4		
	Projetos Sigma Delta SC e SI	75
4.1	Especificações para o Modulador Sigma-Delta.....	76
4.2	Metodologia de projeto	77
4.2.1	Etapas do projeto <i>top-down</i>	78
4.3	Implementação a Capacitor Chaveado - SC	80
4.3.1	Chaves Analógicas.....	81
4.3.2	Comparador	83
4.3.3	Amplificador Operacional	85
4.3.4	Gerador das Fases de Relógio.....	91
4.3.5	Circuito de Polarização	93
4.3.6	Projeto do Modulador Sigma Delta	94
4.4	Implementação a Corrente Chaveada - SI.....	100
4.4.1	Metodologia de projeto	100
4.4.2	Blocos Constituintes	100
4.4.3	Integrador.....	100
4.4.4	Comparador	102
4.4.5	Conversor DA de 1 bit	104
4.4.6	Chaves Analógicas.....	105
4.4.7	Gerador de fases de relógio.....	105

4.4.8	Modulador SI de 2ª ordem	107
4.5	Resultados de simulação	109
4.6	Layout do chip XFAB XC06 modulador SC e SI.....	111
Capítulo 5		
	Testes e Resultados Experimentais	113
5.1	Estrutura de Testes	114
5.1.1	Modulador SC a 5MHz, 5KHz	115
5.1.2	Modulador SI a 5MHz, 5KHz.....	117
5.2	Resumo Resultados	119
5.3	Análise dos Resultados	120
5.4	Distorção harmônica no circuito de entrada	120
5.5	Distorção harmônica na célula de memória.....	122
5.5.1	Conclusões	125
Capítulo 6		
	Implementação do Modulador SI em Arquitetura de Baixa Distorção	127
6.1.1	Implementação em Alto Nível (Matlab)	129
6.1.2	Implementação SI (<i>feed-forward</i> -SI_FF)	130
6.1.3	Resultados de simulação	133
6.1.4	Comparativo final entre os moduladores SC, SI e SI_FF.....	137
Capítulo 7		
	Conclusões	138
	Referências Bibliográficas	141
Apêndice A		
	Abordagem em Tensão e Corrente em CMOS	147
A.1	Características dos Circuitos em Modo-Corrente e Modo-Tensão	147
A.1.1	Impedância de entrada e saída	147
A.1.2	Largura de banda.....	148
A.1.3	Slew Rate	149
A.1.4	Atraso de Propagação	150
A.1.5	Sensibilidade a tensão de Alimentação.....	152
A.1.6	Sensibilidade a Transitórios Eletrostáticos	153
A.1.7	Conclusões	154
Apêndice B		
	Testes de Falha no CI.....	155

Apêndice C

Testes e Medidas de Laboratório	159
C.1.1 Planejamento dos Testes.....	159
C.1.2 Organograma da plataforma de teste	161
C.1.3 Equipamentos e Recursos	161
C.1.4 Diagrama de Pinagem do CI.....	165

Apêndice D

Resumo do Processo de Fabricação	167
D.1.1 Processo XC06 da XFAB	167
D.1.2 Modelos BSIM utilizados	167

Apêndice E

Arquivos de Simulação SPICE e Matlab [®]	172
E.1.1 Arquivo SPICE do Modulador SC.....	172
E.1.2 Arquivo SPICE do Modulador SI.....	177
E.1.3 Arquivo SPICE do Modulador SI_FF	184
E.1.4 Arquivos do Matlab	192

Lista de Figuras

Figura 1.1 – Ilustração da Tabela 1.1.....	25
Figura 2.1 – Processo de amostragem de um sinal contínuo	30
Figura 2.2 – Erro de quantização: (a) função densidade de probabilidade, (b) densidade espectral de potência	31
Figura 2.3 - Diagrama de blocos de um conversor Sigma-Delta.....	34
Figura 2.4 - Diagrama de blocos da representação de um modulador sigma-delta	35
Figura 2.5 - Distribuição do Ruído Quantizado e Modulado.....	36
Figura 2.6 - Diagrama de blocos de um modulador sigma-delta de 2ª ordem.....	36
Figura 2.7 - Gráfico do ruído de quantização modelado para conversores sigma-delta de 1ª, 2ª e 3ª ordem.....	37
Figura 2.8 – Relação-sinal-ruído para moduladores sigma delta de 1ª, 2ª e 3ª ordem....	38
Figura 2.9 - Relação entre sobre-amostragem e resolução em número de bits.....	39
Figura 2.10 - Ilustração do ruído de quantização para conversores ADC.	40
Figura 2.11 - Efeitos da filtragem digital sobre o ruído de quantização moldado.....	41
Figura 2.12 - Diagrama de blocos de um típico processo de filtragem e decimação digital em um conversor sigma-delta.	42
Figura 2.13 - Modulador de 1ª ordem (a) esquemático (b) modelo linear.....	43
Figura 2.14 - Modulador de 2ª ordem (modelo linear)	43
Figura 2.15 - Modulador de ordem L	44
Figura 2.16 - Modulador de Lee e Sodini de ordem L	45
Figura 2.17 - Modulador em cascata 2-1 de 3ª ordem (modelo linear)	46
Figura 2.18 – Resistor a capacitor chaveado	47
Figura 2.19 – Integrador ativo a capacitor chaveado	48
Figura 2.20 – Diagrama de fases para integrador ativo SC	48
Figura 2.21 - (a) Transistor simples como célula de memória e (b) diagrama de fase das chaves.....	51
Figura 2.22 - Acoplamento Capacitivo no transistor de memória	52
Figura 2.23 - Modelo simplificado do transistor de memória na fase de amostragem...	55

Figura 2.24 - Memória de corrente com <i>gate</i> aterrado.	56
Figura 2.25 - (a) célula de memória S ² I, (b) esquema de <i>clock</i>	57
Figura 2.26 - (a) primeira amostra, (b) segunda amostra e (c) fase de retenção.....	57
Figura 2.27 - Célula S ² I modificada	58
Figura 2.28 - Célula Classe AB	59
Figura 2.29 - Célula de Nairn	59
Figura 2.30 - Célula de Shah-Toumazou	60
Figura 2.31 - (a) Esquemático S ² I integrador (b) diagrama de fases do chaveamento.....	62
Figura 2.32 – Transiente de entrada e saída do integrador S ² I	63
Figura 3.1 – Circuito básico de amostragem e retenção SC	66
Figura 3.2 - Modelo de pequenos sinais para o transcondutor da Figura 3.1	66
Figura 3.3 - Célula básica de memória de corrente (a) amostragem (b) retenção	67
Figura 3.4 - Modelo de pequenos sinais SI, fase de retenção	68
Figura 3.5 – Resposta em Freqüência para células SI e SC.....	69
Figura 3.6 - Consumo em função da corrente de dreno.....	70
Figura 3.7 - Faixa dinâmica para célula SI e SC.....	72
Figura 3.8 - Figura de mérito para células SI e SC	73
Figura 4.1 - Fluxograma de projeto do conversor AD $\Sigma\Delta$	78
Figura 4.2 – Diagrama de Blocos de um Modulador $\Sigma\Delta$ e coeficientes utilizados.	79
Figura 4.3 – Densidade Espectral de Potência.....	79
Figura 4.4 – Densidade Espectral de Potência - detalhe na banda-base	80
Figura 4.5 – Faixa dinâmica de resposta do modulador	80
Figura 4.6 – Chave Analógica e circuito de teste	82
Figura 4.7 – Resistência das chaves analógicas em estado ligado.....	82
Figura 4.8 – Layout da chave analógica	82
Figura 4.9 – Esquemático do Comparador	83
Figura 4.10 – Esquema de Teste do Comparador	83
Figura 4.11 – Histerese do comparador	84
Figura 4.12 – Tempo de resolução do Comparador.....	84
Figura 4.13 – Layout do comparador.....	85
Figura 4.14 – Tempo de Resolução do Comparador Extraído.....	85
Figura 4.15 – Esquemático do amplificador	86
Figura 4.16 – Esquema de Teste do Amplificador	86
Figura 4.17 – Análise AC do amplificador – saída diferencial.....	87

Figura 4.18 – Análise AC do amplificador – saída simples	87
Figura 4.19 – Análise Transiente do Amplificador	87
Figura 4.20 – Análise DC do Amplificador a uma entrada diferencial	88
Figura 4.21 – Análise DC do Amplificador – (a) saída vs. Entrada; (b) ganho vs. Entrada; (c) ganho (dB) vs. entrada	88
Figura 4.22 – Layout do amplificador	89
Figura 4.23 – Resposta simulada do amplificador- Análise AC.....	89
Figura 4.24 – Resposta simulada do amplificador- Análise DC da tensão de saída.....	90
Figura 4.25 – Resposta simulada do amplificador- Análise DC da ganho	90
Figura 4.26 - Resposta simulada do amplificador- Análise transiente de saída	90
Figura 4.27 – Esquemático do gerador de clock.....	91
Figura 4.28 - Esquemático do gerador de clock do circuito de <i>chopper</i>	91
Figura 4.29 – Esquemático da porta lógica utilizada para gerar atraso	92
Figura 4.30 – Esquema de Teste do Gerador de Clock.....	92
Figura 4.31 – Layout do circuito gerador das fases de <i>clock</i>	92
Figura 4.32 – Diagrama das fases de <i>clock</i>	93
Figura 4.33 – Esquemático do circuito de polarização	93
Figura 4.34 – Esquemático do modulador Sigma Delta SC	95
Figura 4.35 – Esquema de teste do modulador	96
Figura 4.36 – PSD do <i>bitstream</i> @ Sinal de entrada = 5kHz e 1V.....	96
Figura 4.37 – PSD do <i>bitstream</i> @ Sinal de entrada = 5kHz e 1V.....	96
Figura 4.38 – PSD do <i>bitstream</i> @ Sinal de entrada = 5kHz e 0.3V.....	97
Figura 4.39 – PSD do <i>bitstream</i> @ Sinal de entrada = 5kHz e 0.3V – (detalhe na banda).....	97
Figura 4.40 – SNR (dB) vs. Tensão de entrada (dBV) – Valores de Simulação	97
Figura 4.41 – Layout do Modulador Sigma Delta SC	99
Figura 4.42 – Integrador diferencial utilizando célula S^2I	100
Figura 4.43 – Princípio de funcionamento de controle de modo comum do integrador diferencial	101
Figura 4.44 – Layout do integrador diferencial S^2I	102
Figura 4.45 – Comparador diferencial de corrente	102
Figura 4.46 – Simulação transiente do comparador, fase Φ_2 tensão saída, corrente de entrada	103
Figura 4.47 – Layout do comparador de corrente diferencial.....	103
Figura 4.48 – Conversor DA tensão-corrente de 1 bit.....	104
Figura 4.49 – Simulação do conversor DA/tensão-corrente de 1 bit.....	104

Figura 4.50 – Layout do conversor DA/tensão-corrente de 1 bit	105
Figura 4.51 – Chave MOS complementar	105
Figura 4.52 – Circuito de geração de fases de chaveamento	106
Figura 4.53 – Transiente de fases de chaveamento.....	106
Figura 4.54 – Circuito de geração de fases de chaveamento	107
Figura 4.55 – Modulador SI de 2 ^a ordem.....	108
Figura 4.56 – Layout do modulador SI de 2 ^a ordem.....	109
Figura 4.57 – Densidade de potência espectral modulador SI de 2 ^a ordem (a)	109
Figura 4.58 – Faixa dinâmica modulador SI de 2 ^a ordem.....	110
Figura 4.59 – Densidade Espectral de Potência internos ao modulador SI de 2 ^a ordem.....	110
Figura 4.60 – Layout do CI contendo os moduladores SC e SI.- 1 ^a versão.....	111
Figura 4.61 – Layout do CI contendo os moduladores SC e SI.- 2 ^a versão.....	112
Figura 5.1 – Microfotografia do CI realizado - XFAB 2008 – 1 ^a versão	113
Figura 5.6 – Microfotografia do CI realizado- versão 2 (a) modulador SC, (b) modulador SI.....	114
Figura 5.7 – Esquema para realização de testes nos moduladores SC e SI	114
Figura 5.8 – Densidade Espectral de Potência para o modulador SC versus sinal de entrada e frequência	115
Figura 5.9 – DEP para o modulador SC versus frequência	116
Figura 5.10 – DEP para o modulador SC na banda de 10kHz.....	116
Figura 5.11 – Faixa dinâmica do SNR pela amplitude do sinal de entrada – modulador SC.....	117
Figura 5.12 – DEP para o modulador SI versus sinal de entrada e frequência.....	118
Figura 5.13 – DEP para o modulador SI.....	118
Figura 5.14 – DEP para o modulador SI na banda de 10kHz	118
Figura 5.15 – Faixa dinâmica do SNR pela amplitude do sinal de entrada	119
Figura 5.16 – Circuito de amostragem de entrada sob teste	121
Figura 5.17 – FFT entrada do modulador SI.....	121
Figura 5.18 – FFT entrada do modulador SI.....	122
Figura 5.19 – a) Curvas características tipo P e N (b) Gm e Cgs em detalhe.....	124
Figura 5.20 – Curvas características Gm em detalhe no intervalo de modulação	125
Figura 5.21 – Componentes harmônicas pelo índice de modulação.....	125
Figura 6.1 – Modelo arquitetural para modulador sigma-delta	127
Figura 6.2 – Modelo Matlab para modulador sigma-delta de baixa distorção	129
Figura 6.3 – Densidade espectral de potência do modulador de baixa distorção e detalhe na banda.....	130

Figura 6.4 – a) Densidade espectral de potência na saída dos integradores b) histograma de ocorrências	130
Figura 6.5 – Integrador diferencial com espelhos de realimentação.....	131
Figura 6.6 – Diagrama esquemático do modulador com realimentação em avanço.....	132
Figura 6.7 – Transiente na saída do 1º e 2º integrador e saída do modulador	133
Figura 6.8 – Transiente de saída do <i>bitstream</i> analógico, digital e filtrado para um sinal de entrada senoidal de 10uA.....	134
Figura 6.9 – a) Densidade espectral de potência na saída dos integradores SI b) detalhe na banda de 20 kHz	134
Figura 6.10 – Histograma de ocorrências na faixa dinâmica dos integradores SI.....	134
Figura 6.11 – Espectro para varios sinais de entrada para o modulador SI_FF.....	135
Figura 6.12 – Potência Espectral do modulador SI_FF	135
Figura 6.13 – Projeção faixa dinâmica do modulador SI-FF	136
Figura 6.14 – Modulador SI_FF a 20 MHz	136
Figura 7.1 – Efeito de carga. (a) Circuitos em modo-corrente. (b) Circuitos em modo-tensão.	148
Figura 7.2 – Efeito Comparação da largura de banda entre circuitos modo-corrente e circuitos modo-tensão. (a) Espelho de corrente básico; (b) Amplificador fonte-comum; (c) Amplificador gate-comum; (d) Seguidor-de-fonte;.....	149
Figura 7.3 – Comparação do slew rate entre circuitos modo-tensão e circuitos modo-corrente. (a) Espelho de corrente básico; (b) Amplificador fonte- comum; (c) Par diferencial básico.....	150
Figura 7.4 – Variação das tensões de nó e correntes de braço em circuitos modo- corrente.....	151
Figura 7.5 – Análise da sensibilidade à variação de tensão de alimentação em circuitos modo-tensão. (a) Amplificador fonte-comum; (b) Modelo equivalente de pequenos sinais.	152
Figura 7.6 – Análise da sensibilidade à variação de tensão de alimentação em circuitos modo-corrente. (a) Espelho de corrente básico; (b) Modelo equivalente para pequenos sinais..	153
Figura 7.7 – Sensibilidade à ESD. (a) Circuitos modo-tensão; (b) Circuitos modo- corrente.....	153
Figura 7.8 – Característica de impedância em função da tensão de entrada entre Vdd e Gnd.	155
Figura 7.9 – Corte laser na estrutura de ligação de Vdd.....	156
Figura 7.10 – Posicionamento do retículo de cristal líquido sob o chip	157
Figura 7.11 – Sequência de fotos dos seis circuitos no chip.....	157
Figura 7.12 – Esquemático do circuito fonte de corrente	159
Figura 7.13 – Simulação do conversor V-I.....	160

Figura 7.14 – Leiaute da placa de circuito impresso para teste do CI	160
Figura 7.15 – Leiaute da placa de circuito impresso para teste do CI	161
Figura 7.16 – Pinagem Executa Versão XM50261.1_1- Moduladores com <i>Pads</i>	165
Figura 7.17 – Pinagem Executa Versão XM50261.1_2	166

Lista de Tabelas

Tabela 1.1 – Requisitos e Previsões da Indústria de Semicondutores ITRS 2003/2007 [46]	25
Tabela 1.2 –Sigma-delta de alta resolução	26
Tabela 1.3 – Sigma delta de baixo consumo e baixa tensão	26
Tabela 1.4 – Sigma delta em velocidade/banda	26
Tabela 2.1 –Coeficientes utilizados em implementações Sigma-delta 2 ^a ordem e 1 bit.....	44
Tabela 2.2 –Principais causas e efeitos de erros em moduladores $\Sigma\Delta$ SC.....	49
Tabela 2.3 - Resumo das principais dependências e implicações na célula SI.....	55
Tabela 2.4 - Estimativa do erro devido condutância de saída dos transístores MOS.	61
Tabela 4.1 - Resumo das Especificações do Modulador	77
Tabela 4.2 - Dimensões dos transistores das chaves analógicas.....	82
Tabela 5.2 - Resumo das principais parâmetros dos moduladores SC e SI.	119
Tabela 6.1 – Resumo comparativo para os moduladores sigma delta implementados.	137
Tabela 7.1 – Teste de resistência com estresse térmico.....	158
Tabela 7.2 - Resumo do processo de fabricação.....	167

Lista de Símbolos e Abreviaturas

AmpOp	Amplificador Operacional
AC	Alternated Current
AD	Analógico para Digital
ASIC	Application Specifics Integrated Circuits
BSIM	Berkeley Short Channel IGFET Model
CAD	Computer Aided Design
CMOS	Complementary Metal-Oxide Semiconductor
DA	Digital para Analógico
DC	Direct Current
ENOB	Effective number of bits
ESD	Electrostatic Discharge
GBW	Gain Bandwidth
GDSII	Graphic Design System format II
MOS	Metal Oxide Semiconductor
OTA	Operacional de Transcondutância
OSR	Over Samplimp Ratio

PSD	Power Spectral Density
SC	Switched Capacitor
SI	Switched Current
SNR	Signal to Noise Ratio
SPICE	Simulation Program for Integrated Circuits Emphasis
VLSI	Very Large Scale Integration
$\Delta\Sigma$	Sigma Delta

Capítulo 1

Processamento de Sinais Analógicos Amostrados

1.1 Introdução - Enquadramento do Trabalho

O projeto e a fabricação de Circuitos Eletrônicos Integrados (CI's) têm avançado significativamente nas últimas décadas, em escalas cada vez menores, proporcionando maior capacidade e complexidade de processamento, tanto pela redução no consumo e nas tensões de alimentação como na maior densidade de dispositivos por área de silício. Os processos de fabricação de circuitos digitais em larga escala de integração (VLSI) impulsionam o avanço de circuitos e sistemas eletrônicos

A miniaturização, entretanto, carrega consigo alguns aspectos indesejáveis para os circuitos analógicos, como, por exemplo, a limitação da faixa de excursão dos sinais pelo rebaixamento da tensão e o aumento de custos pela necessidade de mais etapas no processo de fabricação.

No processo de conversão de sinais contínuos no tempo (sinais analógicos) para sinais discretos e codificados (sinais digitais) a maior parte dos circuitos implementam técnicas de amostragem e retenção de sinais. O processo consiste em amostrar periodicamente um sinal analógico, retendo-o em atraso para conversão em código discreto de representação binária.

O processamento de sinais analógicos amostrados, em circuito integrado, emprega duas técnicas principais: a técnica dos capacitores chaveados (*SC*, *switched-capacitor*) e a técnica das correntes chaveadas (*SI*, *switched-current*).

A técnica dos capacitores chaveados (SC) constitui o paradigma dominante desde o final da década de 1970, encontrando-se vastamente reportadas na literatura a

teoria, as metodologias de projeto e as restrições tecnológicas [1]-[5]. O estado de maturação desta técnica é tal, que permite a implementação de conversores A/D com mais de 20 bits de resolução para a banda de áudio, como em [6] entre outros, moduladores Sigma-Delta em processos nanométricos com baixo consumo e baixa tensão [7], sistemas de filtragem de muito baixo consumo [8], interfaces para sensores de elevada qualidade [9][10], fontes de tensão de referência [11], etc. A única limitação da técnica SC é exigir a utilização de tecnologias CMOS com duas camadas de poli-silício, necessárias à implementação de capacitores lineares [12], sob pena de a área ou a distorção harmônica se tornarem excessivas.

A técnica das correntes chaveadas (SI) foi proposta em 1988 por [13] e [14], com o intuito de possibilitar a implementação de circuitos analógicos com sinais amostrados em tecnologias CMOS digitais, isto é, tecnologias que disponibilizam uma única camada de poli-silício que não permitem a implementação, de forma eficiente, de capacitores lineares. A técnica SI apareceu como uma técnica complementar, e não alternativa, em relação à dos capacitores chaveados comutados. No entanto, ao longo dos anos, alguns autores têm afirmado que esta técnica pode ser vantajosa em aplicações de alta frequência e baixa tensão de alimentação [7][12][15], mas isto ainda não está suficientemente comprovado. Desenvolvimentos recentes [7][16][17] indicam que o potencial da técnica SC não foi ainda totalmente explorado nestas duas vertentes, existindo vantagens e inconvenientes pontuais ao nível de circuitos e aplicações particulares. Ao longo dos anos tem aumentado o nível do desempenho, e a complexidade, dos blocos SI básicos: a célula de memória (circuito amostrador-retentor de corrente), e integrador. Estes avanços contornaram limitações associadas à condutância de saída [18]-[22] e à conversão tensão corrente, que é necessária em algumas aplicações [23], e se introduziu a técnica diferencial [23] e [24]; em paralelo desenvolveram-se ou foram adaptadas técnicas de redução dos efeitos da injeção do sinal de relógio [25]-[29], e definiram-se equações de projeto que relacionam os erros de estabelecimento, ruído, distorção harmônica, [18][30]-[32], etc. Como consequência deste esforço foram desenvolvidas aplicações práticas que implementam sistemas de filtragem [23][24][33]-[41], moduladores Sigma-Delta tipo passa-baixa para conversão AD e passa-banda para frequência intermediária em receptores de rádio comunicações sem fio (*wireless*) [43] [62], entre outras tantas aplicações. Estas aplicações demonstram que a técnica já tem algum potencial comercial.

1.1.1 Tendências tecnológicas

O *International Technology Roadmap for Semiconductors* [46], apresenta periodicamente uma previsão de tendências tecnológicas para projeto e fabricação de dispositivos e sistemas em silício, conforme a Tabela 1.1. Nesta pode-se observar que a tensão de operação livre para fins de processamento de sinais analógicos tende a diminuir de acordo com o escalonamento para menores dimensões dos transistores.

Tabela 1.1 – Requisitos e Previsões da Indústria de Semicondutores ITRS 2003/2007 [46]

Ano		2007	2008	2009	2010	2011	2012
Tecnologia (um)		65	57	50	45	40	35
Tensão de Alimentação (V)	Digital	0.85	0.8	0.75	0.7	0.7	0.7
	Analógico	2.5	2.5	2.5	1.8	1.8	1.8
Tensão de <i>Threshold</i> (V)		0.4–0.2	0.4–0.2	0.3–0.2	0.3–0.2	0.3–0.2	0.3–0.2
Espessura de Óxido (nm)		5-3	5-3	5-3	3-2	3-2	3-2
gm/gds a ($10 \cdot L_{\text{min-digital}}$)		300	300	300	200	200	200
Ruído $1/f$ ($\mu\text{V}^2 \cdot \mu\text{m}^2/\text{Hz}$)		200	200	200	200	200	200
Frequência máxima (GHz)		70	70	70	90	90	90
σ <i>Vth matching</i> (mV· μm) [5]		9	9	9	6	6	6

Devido aos requerimentos de faixa dinâmica de operação em circuitos analógicos, e ao fato de que o nível de ruído $1/f$ permanece constante, o ITRS prevê que as tensões de alimentação destes circuitos não acompanhem os projetos e processos digitais, conforme verifica-se pela Tabela 1.1 e pela Figura 1.1.

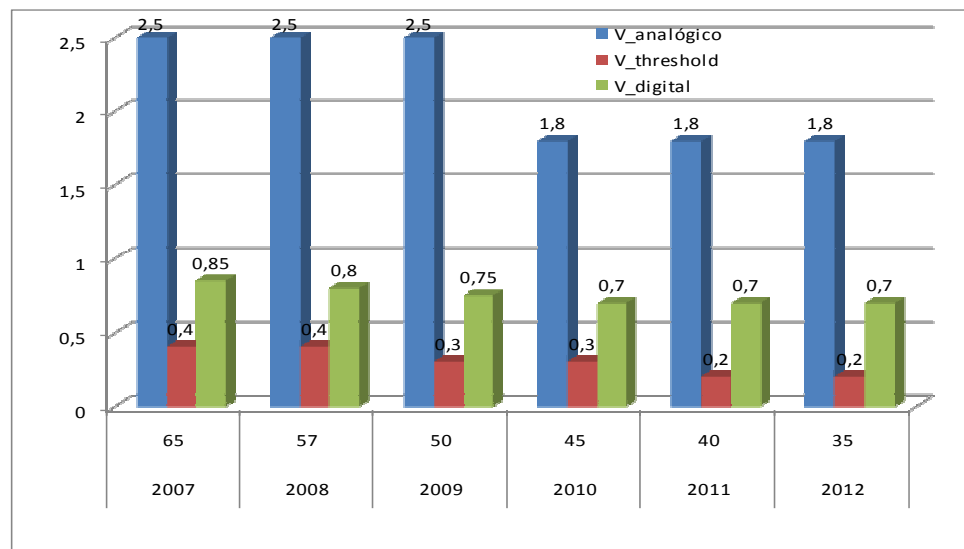


Figura 1.1 – Ilustração da Tabela 1.1

1.1.2 Estado da arte

A seguir, apresentam-se alguns trabalhos que refletem o estado da arte na implementação sigma-delta utilizando a técnica SC e SI, sob o ponto de vista da melhor resolução, do menor consumo e maior velocidade, conforme a Tabela 1.2, Tabela 1.3 e Tabela 1.4 respectivamente.

Tabela 1.2 – Sigma-delta de alta resolução

Técnica Referência Parâmetro	SC				SI			
	[47] 2000	[48] 2003	[49] 2007	[71] 2008	[50] 1996	[51] 2005	[52] 2006	[71] 2008
Processo(μm)	0.6	0.35	0.35	0,35	0.8	0.35	0.35	0,35
Área(mm^2)	9	5.62	14	0,253	6	--	1.98	0,147
Consumo(mW)	75	55	330	12,05	136	16	11	11,93
Tensão Alimentação (V)	5	5	5	3,3	5	2.5	2.5	3,3
Arquitetura(ordem)	2-2	2-2	5	2	2-1	2	2	2
OSR	64	128	128	128	64	128	128	128
Largura de Banda(kHz)	25	24	20	20	5	40	20	20
SNDR(dB)	120	114	124	85	80	75	87	82

Tabela 1.3 – Sigma delta de baixo consumo e baixa tensão

Técnica Referência Parâmetro	SC				SI			
	[53] 2006	[55] 2007	[57] 2007	[72] 2007	[56] 1999	[57] 2003	[58] 2006	
Processo(μm)	0.5	0.35	0.09	0,35	0.8	0.35	0.18	
Área(mm^2)	--	0.9	0.18	0,3	0.47	--	.05	
Consumo(μW)	330	120	140	5,6	780	520	180	
Tensão Alimentação (V)	2	2	1	1,2	1.2	2.5	0.8	
Arquitetura(ordem)	3	2	3	2	2	2	2	
OSR	32	128	100	128	64	64	64	
Largura de Banda(kHz)	0.12	2.5	20	8	7	4	5	
SNDR(dB)	57	77	88	76	69	69	60	

Tabela 1.4 – Sigma delta em velocidade/banda

Técnica Referência Parâmetro	SC				SI				
	[59] 2005	[60] 2004	[61] 2007	[73] 2007	[62](*) 2001				
Processo(μm)	0,13	0.18	0.18	0,18	0.8				
Área(mm^2)	0,6	.95	--		0.48				
Consumo(mW)	7,4	200	42	39	60				
Tensão Alimentação (V)	1	1,8	1,8	1,8	5				
Arquitetura(ordem)	4 FF	5-MB	2-2 MB	3-FF MB	4				
OSR	64	8	8	8	100- 300				
Largura de Banda(MHz)	0,5	12	10	10	10				
SNDR(dB)	75	82	66	54	60				

*Sigma delta de banda passante (10kHz entre 0.5MHz a 1.6MHz, de acordo com a frequência de amostragem F_s -2MHz a 6.7MHz))

Pelo exposto acima, nota-se a lacuna, a ser esclarecida, acerca do avanço dos circuitos SI frente às novas tecnologias de alta densidade de integração, posição na qual os circuitos SI poderiam ter destaque. No entanto, a investigação nesta linha ficou desestimulada frente aos avanços das técnicas SC, que por sua vez tiveram melhorias devido ao estado de maturidade das técnicas que contornam seus problemas.

Até o presente momento constata-se pelos resultados sumarizados na Tabela 1.2, Tabela 1.3 e Tabela 1.4, que aplicações de baixa ou média resolução (8-10 bits), a escolha entre circuitos, objetivamente favorece a implementação em SI, se os critérios preponderantes forem o baixo consumo e, baixa tensão e área reduzida em silício. Se resolução for um critério dominante, os circuitos SC têm melhor performance.

Nos circuitos dedicados a conversão AD em banda base de receptores de rádio frequência, poucos trabalhos existem em SI, os circuitos SC dominam, encontrando-se amplamente reportados na literatura e com excelentes resultados. No aspecto velocidade e banda, de acordo com a Tabela 1.3, poucos estudos tem sido feito em SI, mas conforme [60] as técnicas SI podem ser realizadas competitivamente a SC.

Mesmo com necessidade do rebaixamento das tensões de alimentação e do consumo, as tecnologias baseadas em SC têm conseguido acompanhar esta evolução com técnicas de circuito e processo tais como: o levantamento da tensão para acionamento de chaves e alimentação, ampliando a faixa dinâmica dos amplificadores operacionais, processos que implementam capacitores de alta linearidade, implementação de moduladores multi-bits, entre outras, acompanhando dessa forma o ritmo do avanço dos circuitos digitais.

Os circuitos SI ainda precisam comprovar custo benefício compatíveis ao seu par SC, tendo sido pouco explorados em termos de melhorias de circuitos que contornem suas não idealidades a não ser pelas melhorias nas células integradoras (Seção 2.5).

1.2 Objetivos

Neste contexto, este trabalho investigará as causas e conseqüências dos aspectos tecnológicos que impactam o projeto de circuitos analógicos, moduladores Sigma-Delta, construídos com a técnica *switched capacitor* (SC) ou *switched current* (SI), objetivando-se:

Pesquisar os fatores limitantes que degradam os circuitos SC e SI frente às tecnologias de micro-fabricação.

Obter expressões que quantifiquem esses limites e os relacionem com os parâmetros previstos em teoria e com os limitantes tecnológicos;

Projetar moduladores SC e SI e compará-los entre si e entre as previsões teóricas;

Explorar, com verificação experimental, topologias e técnicas de projeto que conduzam a melhorias do desempenho das células SI.

1.3 Objetivos Específicos

Estudo de revisão teórica dos modelos para moduladores sigma-delta, arquiteturas e fontes de erro que degradam o desempenho;

Testar modelos básicos SC e SI no nível teórico, visando prever os limites possíveis para cada tipo na tecnologia 0.6um.

Projetar e implementar em *chip* moduladores SC e SI na tecnologia XFAB XC06 e testá-los, estabelecendo as diferenças entre ambos.

Comparar resultados teóricos e práticos, e extrair as informações que forneçam contribuições de melhoria diante dos conhecimentos adquiridos.

Capítulo 2

Técnicas SC e SI

Este capítulo estabelece o referencial teórico para este trabalho, fundamentando as idéias básicas, os termos utilizados e as formas de abordagem técnica que implementam os circuitos de amostragem analógica discreta até aos moduladores do tipo sigma-delta.

2.1 Fundamentos Básicos - Amostragem, Retenção e Quantização

Os sinais elétricos, tal como presentes na natureza, são contínuos no domínio do tempo. Entretanto, a grande maioria dos sistemas de processamento de informação e controle é atualmente feito por amostras periódicas dos sinais analógicos através do processo de conversão analógico para digital (AD). Esta conversão se dá basicamente por três etapas básicas: a amostragem, a retenção e a quantização do sinal.

O processo de amostragem consiste em transformar um sinal contínuo no domínio do tempo $x_a(t)$ em um sinal discreto no domínio do tempo $x(n) = x_a(n T_s)$, onde T_s é o período de amostragem e n é um inteiro.

Assim, um sinal discreto no domínio do tempo pode ser representado por uma amostragem periódica do sinal contínuo na forma:

$$x(n) = \sum_{n=-\infty}^{\infty} x_a(t) \delta(t - nT_s) \quad (2.1)$$

$$\text{onde } \delta(t) = \begin{cases} 1 \rightarrow t = 0 \\ 0 \rightarrow t \neq 0 \end{cases}$$

Desde que $\delta(t-nT_s)$ seja uma função periódica com período $T_s=1/f_s$, onde f_s é a frequência de amostragem a Equação (2.1) pode ser representada por uma série de Fourier como:

$$x(n) = \frac{1}{T_s} \sum_{n=-\infty}^{\infty} x_a(t) e^{(j2\pi n t / T_s)} = \frac{1}{T_s} \sum_{n=-\infty}^{\infty} x_a(t) e^{(j2\pi n t f_s)} \quad (2.2)$$

A Equação (2.2) estabelece que o processo de amostragem cria repetidas versões do espectro do sinal em múltiplos de f_s .

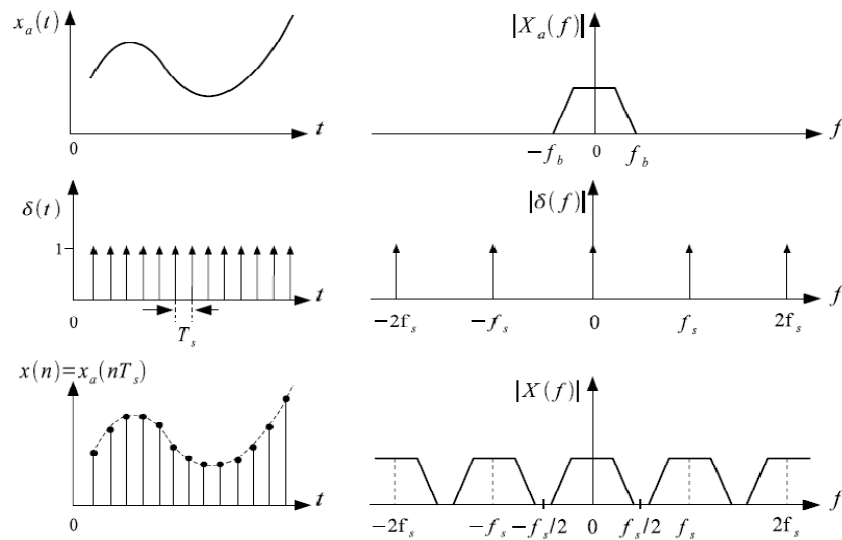


Figura 2.1 – Processo de amostragem de um sinal contínuo

Dessa forma, sinais maiores que a metade da frequência de amostragem não podem ser convertidos (critério de Nyquist) pois criam novos sinais na frequência de base que não representam o sinal original. Este efeito é conhecido como *aliasing*.

Para assegurar que o sinal convertido não ultrapasse a metade da frequência de amostragem, normalmente são aplicados filtros a entrada, chamados filtros *anti-aliasing*.

A retenção é processo pelo qual o sinal necessita ser mantido, ou memorizado, por tempo suficiente para que seja corretamente comparado a um determinado código discreto ou a um determinado número de quantizações. Assim, a amostragem se refere a um valor analógico retido no tempo e a quantização a um valor de referência multiplicado por um inteiro que se aproxima do valor amostrado com um determinado erro, chamado de erro de quantização.

Após o sinal ser amostrado numa seqüência $x(n)$, este precisa ser comparado e codificado em uma palavra finita de N bits, fornecendo 2^N níveis de quantização.

O erro de quantização se refere a incerteza com que um sinal contínuo é amostrado por um valor. Em geral, o erro de quantização é da ordem do bit menos significativo (LSB) de um numero binário de N bits.

Assumindo que $|x(n)| \leq 1$, o intervalo entre os níveis adjacentes é conhecido como passo de quantização, dado por:

$$\Delta = \frac{1}{2^{N-1}} \quad (2.3)$$

A diferença entre o sinal amostrado $x(n)$ e o valor quantizado $q(n)$, é conhecido como erro de quantização, expresso como:

$$e(n) = x(n) - q(n) \quad (2.4)$$

Assumindo a condição em que o sinal de entrada varia aleatoriamente a cada amostra no intervalo, o erro de quantização será então independente do sinal de entrada, e a função densidade de probabilidade ($PDF(e)$) do erro de quantização é uniformemente distribuída no intervalo $[-\Delta/2, \Delta/2]$.

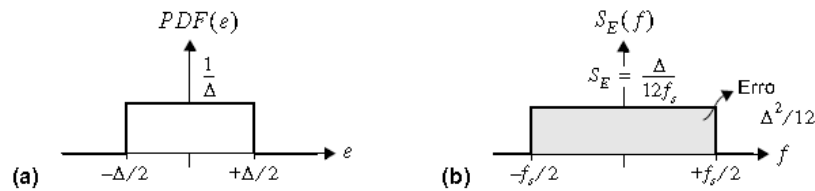


Figura 2.2 – Erro de quantização: (a) função densidade de probabilidade, (b) densidade espectral de potência

A potência associada ao erro de quantização é dada por:

$$\overline{e^2} = \sigma^2(e) = \int_{-\infty}^{+\infty} e^2 PDF(e) de = \frac{1}{\Delta} \int_{-\Delta/2}^{+\Delta/2} e^2 de = \frac{\Delta^2}{12} \quad (2.5)$$

E assim, a Densidade Espectral de Potência $S_E(f)$ para o erro de quantização na banda $[-f_s/2, +f_s/2]$ é:

$$S_E(f) = \frac{\overline{e^2}}{f_s} = \frac{\Delta^2}{12f_s} \quad (2.6)$$

Como se vê, o erro de quantização afeta a qualidade do sinal. Então, para relacionar essa perda com o sinal amostrado, comumente é usada uma expressão que relaciona a potencia do sinal à potência do ruído, chamada *SNR (Signal to Noise Ratio)*, expressa em decibéis.

$$SNR = \frac{\text{Potência do Sinal}}{\text{Potência do Ruído de Quantização}} \quad (2.7)$$

Assumindo um sinal senoidal de amplitude A , variando de $-A$ a A , representado por $2A = (2^N - 1)$ em sua forma discreta e sendo a potência deste dada por $A^2/2$, o SNR pode ser expresso como:

$$SNR(dB) = 10 \cdot \log\left(\frac{A^2/2}{\Delta^2/12}\right) \cong 10 \log\left(\frac{3 \cdot 2^{2N}}{2}\right) = 6,02N + 1,76 \quad (2.8)$$

Logo, o numero efetivo de bits (*ENOB-effective number of bits*) que teoricamente um conversor pode resolver é dado por:

$$ENOB = \frac{SNR(dB) - 1,76}{6.02} \quad (2.9)$$

2.2 Conversão Analógica-Digital

Existem várias técnicas na conversão de um sinal analógico para a forma digital [63]. As principais técnicas são agrupadas nas seguintes categorias:

Conversão direta (*flash*)

Conversor *pipelined*

Conversão tensão/frequência

Conversores contadores

Conversores de aproximação sucessiva

Conversores integradores

Conversores sigma delta

O projeto de um conversor analógico-digital deve ser realizado tendo em vista as seguintes especificações: resolução, precisão, erro de offset, erro de ganho, linearidade, tempo de conversão, influência de fatores como a temperatura e a deriva de longo tempo, erro de histerese, erro de quantização, códigos desaparecidos e rejeição ao ruído, entre outros.

Alguns cuidados no uso de conversores analógico-digitais devem ser tomados: o uso da maior faixa possível do conversor, uma boa fonte de referência de sinal, a maior frequência do sinal e a sua taxa de variação, os aterramentos analógicos e digitais devem ser mantidos separados e problemas com interferências devem ser minimizados.

Basicamente os conversores AD podem ser agrupados em dois grandes grupos, os conversores que atuam a taxas próximas à banda de interesse ou conversores Nyquist, e os conversores sobre-amostrados, tipicamente os do tipo Sigma Delta.

2.2.1 Conversores Nyquist

Dentre os conversores citados anteriormente, apenas o Sigma-Delta atua com taxas sobre-amostradas. Os demais, tipicamente trabalham a uma taxa de apenas duas a quatro vezes [63] a banda-base do sinal a ser convertido, ver Figura 2.1.

Conversores AD encontram-se vastamente reportados na literatura sobre conversores AD, e como não é o objetivo deste trabalho o detalhamento mais conciso de todos esse tipos, iremos nos ater com mais detalhes nos conversores sobre-amostrados, especificamente os sigma-delta.

2.2.2 Conversores Sobre-amostrados

Moduladores sigma-delta são usados quando se deseja elevada precisão, alta relação sinal/ruído, mas taxas de amostragens relativamente baixas. Estes conversores possuem excelente linearidade integral e diferencial, não sendo necessária a realização de ajustes nos componentes do circuito integrado (ajuste a laser, por exemplo) como em outras arquiteturas. Em contrapartida, a taxa de amostragem é geralmente baixa, na faixa de poucos Hz a algumas centenas de kHz. Esta é atualmente uma das arquiteturas mais populares graças aos avanços da microeletrônica, permitindo a integração de circuitos analógicos e digitais em circuitos de alta densidade. Na próxima seção serão analisados em maiores detalhes o funcionamento e as características deste conversor.

O diagrama em blocos de um conversor sigma delta de primeira ordem é apresentado na Figura 2.3. O conversor é composto de um modulador sigma delta seguido de um *decimador* e de um filtro digital. Cerca de 90% do chip de um conversor sigma delta é utilizado para a implementação da parte digital do conversor, com os filtros e o decimador. A integração do conversor, com sistemas de processamento de sinais é realizada considerando o rendimento elevado dos conversores, seu custo reduzido, e por não ser necessário o casamento de componentes com elevada precisão ou o ajuste de componentes por laser.

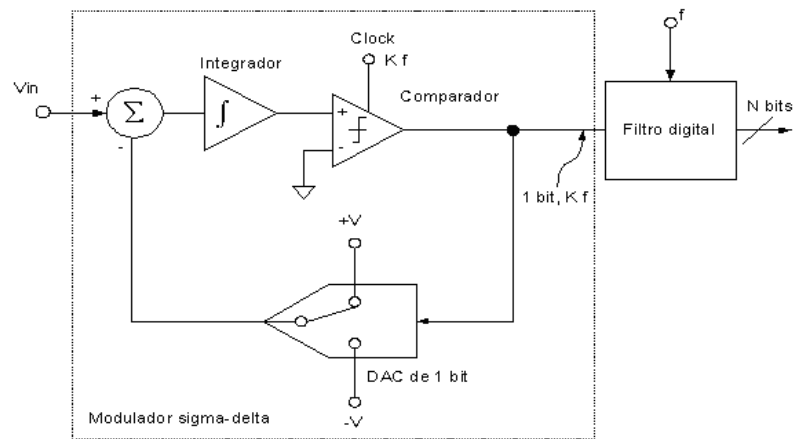


Figura 2.3 - Diagrama de blocos de um conversor Sigma-Delta

Dado os bons rendimentos da fabricação dos conversores e reduzido custo, torna-se possível integrar este conversor com um sistema de processamento de sinal em um sistema monolítico.

O modulador sigma delta em uma nomenclatura mais antiga era denominado de modulador delta sigma. Algumas vezes o modulador sigma-delta é referido como um codificador interpolativo. O termo mais usual é o uso da expressão sigma-delta.

O conversor sigma-delta realiza a digitalização de um sinal analógico na resolução de 1 bit com uma taxa de amostragem muito alta. Uma resolução efetiva elevada é conseguida pelo uso de técnicas de sobre amostragem, modelagem do ruído de quantização com decimação e filtragem. O modulador sigma-delta faz a conversão de uma tensão de entrada V_{in} em um fluxo de 0s e 1s a uma taxa de amostragem $k.f_s$.

No modulador sigma-delta, uma tensão de entrada V_{in} é subtraída da tensão de saída de um conversor digital-analógico de 1 bit, cujo valor médio deve se aproximar do

sinal de entrada se o laço de realimentação possuir um ganho relativamente elevado. Este valor é integrado e passa por um comparador para ser amostrado (o valor da saída do comparador é registrado) a uma frequência $k \cdot f_s$ amostras/s.

Na faixa de *Nyquist*, o ruído de quantização é muito reduzido, pois o comparador no domínio da frequência é representado por um filtro passa-altas, deixando passar o ruído de quantização. O espectro de frequências resultante depende da taxa de amostragem, da constante de tempo do integrador e da tensão de realimentação.

O conversor sigma-delta também pode ser visto como um conversor tensão frequência seguido de um contador.

A saída do modulador pode a primeira vista parecer aleatória. No entanto, se o número de 1's na saída do modulador sigma-delta for contado sobre um número suficiente de amostras, este valor irá representar o valor digital da tensão de entrada que está sendo medida. Este método de média somente irá funcionar para tensões DC ou de muito baixa frequência. Serão necessárias 2^N amostras para que tenhamos uma resolução de N bits, limitando severamente a taxa de amostragem.

Uma melhor análise do conversor sigma-delta é realizada no domínio da frequência, usando um modelo linear, como o apresentado na Figura 2.4.

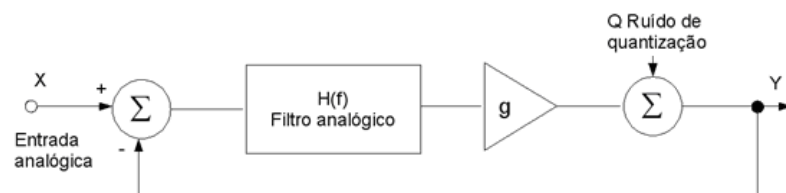


Figura 2.4 - Diagrama de blocos da representação de um modulador sigma-delta

O integrador é representado por um filtro com a função de transferência $H(f)$, e amplitude inversamente proporcional à frequência. O quantizador é modelado como um estágio de ganho g . No modelo, o ruído de quantização é representado por uma fonte de ruído que é somado ao sinal do modulador.

A saída Y , considerando o ganho do quantizador $g = 1$, é dado por:

$$Y = \frac{X - Y}{f} + Q \tag{2.10}$$

Nesta equação X e Y são os sinais de entrada e saída do modulador, respectivamente, f a frequência do sinal e Q o ruído de quantização. Rearranjando esta equação temos:

$$Y = \frac{X}{f+1} + \frac{Q \cdot f}{f+1} \quad (2.11)$$

Desta equação, observa-se que quando a frequência do sinal se aproxima de um valor próximo de zero, a saída se aproxima do sinal de entrada sem a componente Q relacionada ao ruído de quantização. À medida que a frequência do sinal aumenta, o sinal de entrada X reduz e a componente relacionada ao ruído de quantização aumenta. O integrador funciona como um filtro passa-baixas para o sinal de entrada e como um filtro passa-altas para o ruído de quantização. Este filtro pode ser considerado como um modelador do ruído de quantização. Na figura a seguir, é apresentado um gráfico com a distribuição de ruído moldado pelo modulador sigma-delta.

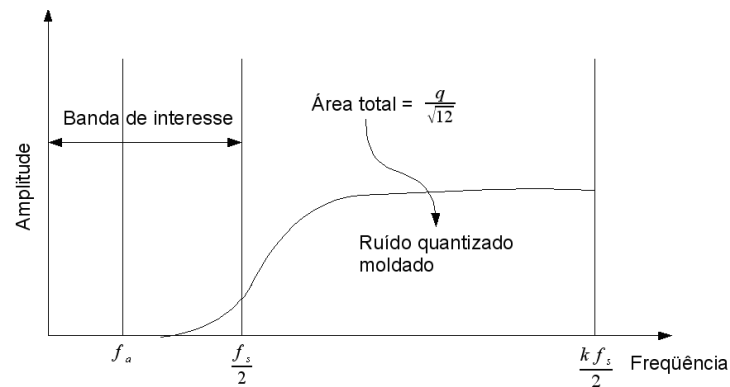


Figura 2.5 - Distribuição do Ruído Quantizado e Modulado

Moduladores sigma-delta de maior ordem têm uma melhor performance na compressão do ruído de quantização em direção a frequência de amostragem. A Figura 2.6 apresenta um diagrama de blocos de um conversor sigma-delta com um modulador de 2ª ordem.

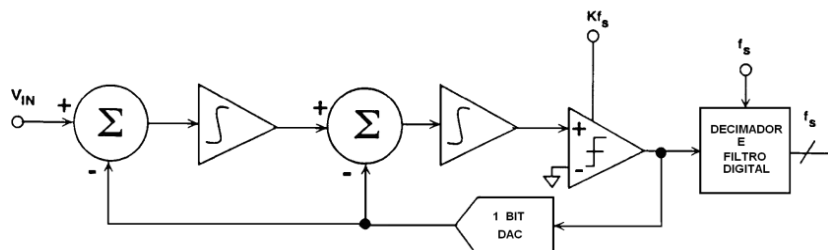


Figura 2.6 - Diagrama de blocos de um modulador sigma-delta de 2ª ordem

Uma vez que os moduladores realizam uma filtragem passa-altas para o espectro de ruído, quanto maior a ordem do modulador, maior a quantidade de energia do ruído de quantização que o modulador desloca para fora da banda de *Nyquist*. Ou em outras palavras, mais efetiva a moldagem do ruído (*noise shaping*). Na Figura 2.7 apresenta-se o espectro do ruído de quantização para moduladores de 1ª e 2ª ordem. Para moduladores de maior ordem, o modelo linear deve ser usado com cuidado e sofisticadas técnicas são requeridas para assegurar a estabilidade. Para moduladores de ordem 3 ou mais, variações de fase dos filtros dos integradores na representação no domínio da frequência podem causar instabilidades no modulador [2][3].

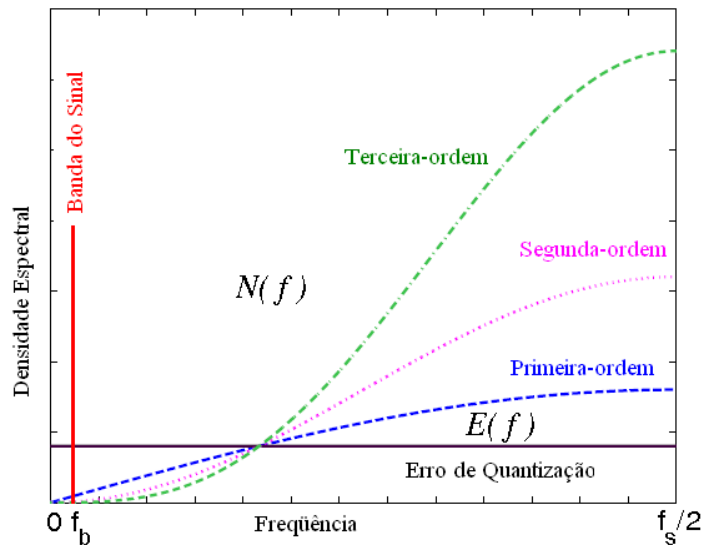


Figura 2.7 - Gráfico do ruído de quantização modelado para conversores sigma-delta de 1ª, 2ª e 3ª ordem.

Existe uma equação amplamente aceita para o cálculo da relação sinal ruído de um modulador Sigma-Delta, com validade para valores pequenos da OSR. A Equação (2.12) foi um dos resultados de uma dissertação de doutorado apresentada em 1991 na Universidade de Stanford [2]. A equação prevê esta razão assumindo a existência de um filtro ideal com derivadas infinitas. O valor que a equação calcula pode ser entendido como o melhor valor possível para um conversor Sigma-Delta: onde DR é a faixa dinâmica (*dynamic range*), L é a ordem do modulador, OSR é a taxa de sobre amostragem e N é o número de bits do quantizador.

$$DR = \frac{3}{2} \left(\frac{2L+1}{\pi^{2L}} \right) (2^N - 1)^2 OSR^{2L+1} \quad (2.12)$$

Na Figura 2.8, apresenta-se a relação sinal/ruído na banda (faixa dinâmica) em 1ª, 2ª e 3ª ordem. A inclinação da curva da função de transferência é de 9 dB por oitava para moduladores de 1ª ordem, de 15 dB por oitava para moduladores de 2ª ordem e de 21 dB por oitava para moduladores de 3ª ordem. As curvas do gráfico da Figura 2.8, podem ser usadas para se determinar aproximadamente a resolução do conversor ADC sigma-delta, dada a ordem do modulador e a taxa de sobre-amostragem.

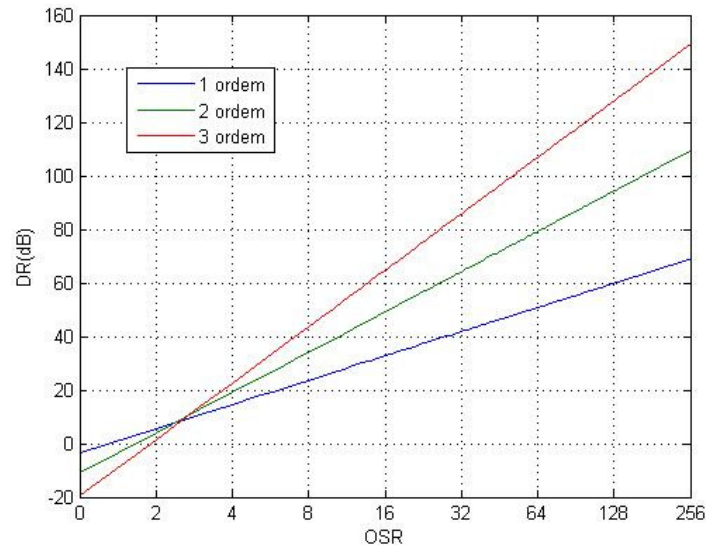


Figura 2.8 – Relação-sinal-ruído para moduladores sigma delta de 1ª, 2ª e 3ª ordem.

A resolução efetiva do conversor pode então ser determinada pelo número de bits efetivos do conversor, considerando-se:

$$DR = 10.\log\left(\frac{POT_{SINAL}}{POT_{RUIDO}}\right) = 10.\log\left(\left(\frac{V_{RMS,SINAL}}{V_{RMS,RUIDO}}\right)^2\right) \quad (2.13)$$

O sinal de entrada é considerado com sendo uma senóide que ocupa toda a escala. O ruído é aproximado como sendo uma onda em formado dente de serra, com amplitude pico a pico de um nível de quantização. Substituindo os valores RMS na equação acima tem-se que:

$$DR = 10.\log\left(\left(\frac{A_{SINAL}}{\sqrt{2}} \cdot \frac{\sqrt{3}}{A_{RUIDO}}\right)^2\right) \quad (2.14)$$

A relação entre A_{SIGNAL} e A_{NOISE} é dada por 2^n onde n é o número de bits.

$$DR = 10 \cdot \log \left(\left(\frac{\sqrt{3}}{\sqrt{2}} \cdot 2^n \right)^2 \right) \quad (2.15)$$

$$DR = 10 \cdot \log(2^{2n-1}) + 10 \cdot \log(3) \quad (2.16)$$

$$DR = 20 \cdot n \cdot \log(2) + 10 \cdot \log(3) - 10 \cdot \log(2) \quad (2.17)$$

$$DR = 6.02 \cdot n + 1.76 \quad (2.18)$$

$$B(\text{bits}) = \frac{DR(\text{dB}) - 1.76}{6.02} \quad (2.19)$$

$$DR(\text{dB}) = B(\text{bits}) \cdot 6.02 + 1.76 \quad (2.20)$$

Fazendo a Equação (2.12) em igualdade com a Equação (2.20) obtêm-se:

$$B(\text{bits}) = \frac{\left[10 \log \left(\frac{3}{2} \left(\frac{2L+1}{\pi^{2L}} \right) OSR^{2L+1} \right) - 1.76 \right]}{6.02} \quad (2.21)$$

Na Figura 2.9 apresenta-se a relação sinal/ruído na banda (faixa dinâmica) em função da resolução em número de bits de acordo com a Equação (2.21).

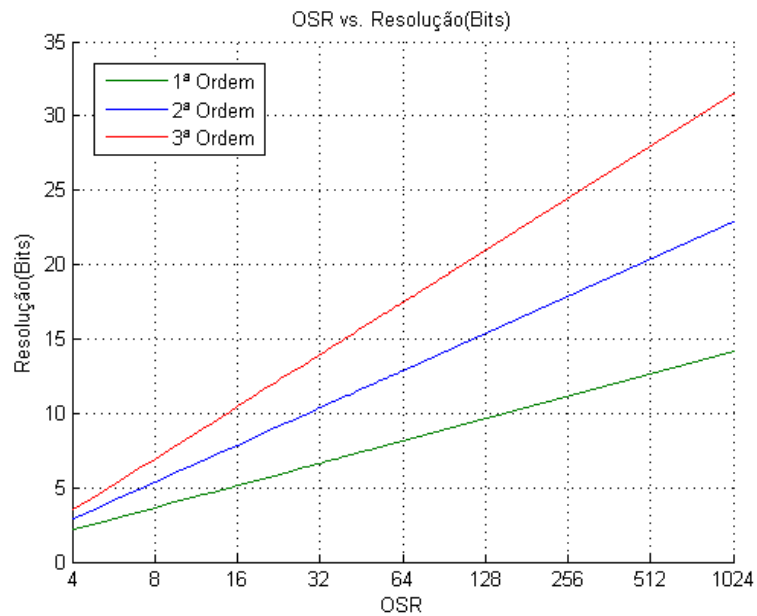


Figura 2.9 - Relação entre sobre-amostragem e resolução em número de bits

A variância da potência do ruído é dada por:

$$\sigma_e = E[e^2] = \frac{1}{q} \int_{-q/2}^{q/2} e^2 de = \frac{q^2}{12} = \frac{2^{-2B}}{3} \quad (2.22)$$

A sobre-amostragem permite o uso de filtros *anti-aliasing* analógicos muito simples e baratos em comparação com os filtros *anti-aliasing* necessários em conversores que usam a faixa de *Nyquist*. Na maioria das vezes os sofisticados filtros *anti-aliasing* são substituídos por simples filtros RC.

Em conversores ADC, o ruído de quantização sobre a banda de *Nyquist* é igual a $q/\sqrt{12}$, onde q é o valor do bit menos significativo do conversor. Realizando a conversão a uma taxa de $k.f_s$ amostras/s (k é a taxa de sobre-amostragem), o ruído de quantização passa a ser distribuído uniformemente em todo o novo espectro, de dc a $k.f_s/2$.conforme a Figura 2.10. A energia associada ao ruído de quantização permanece a mesma. O ruído de quantização entre $k.f_s$ e $k.f_s/2$ é removido da saída por meio de um filtro digital, aumentando a relação sinal/ruído do sinal desejado. No entanto, mesmo com uma taxa de sobre-amostragem de 4, o ganho na relação sinal ruído será de apenas 6 dB.

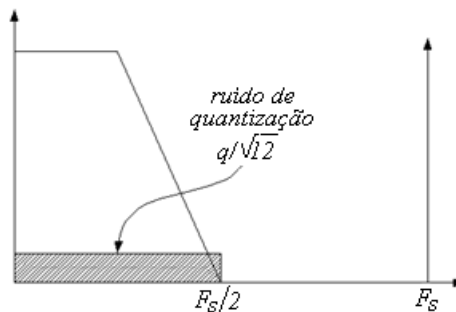


Figura 2.10 - Ilustração do ruído de quantização para conversores ADC.

Ganhos maiores na relação sinal/ruído podem ser conseguidos a taxas de sobre-amostragem razoáveis, alterando-se a forma com que o ruído de quantização é distribuído ao longo do espectro de frequências. Esta modelagem do ruído de quantização é realizada pelo modulador sigma-delta. O modulador faz com que a distribuição espectral do ruído não seja mais uniforme, mas que tenha uma distribuição em que a maior energia do ruído de quantização esteja situada entre $k.f_s$ e $k.f_s/2$, conforme Figura 2.11. Após a

passagem pelo filtro passa-baixas, a maior parte do ruído é suprimida. A relação sinal/ruído e a faixa dinâmica serão muito maiores, comparadas ao caso em que a distribuição espectral é considerada constante.

Técnicas de filtragem são aplicadas após o ruído de quantização ter sido moldado e jogado para frequências acima da banda de interesse. A filtragem digital tem dois objetivos:

Atuar como um filtro *anti-aliasing* com respeito a taxa de amostragem final, f_s .

Filtrar o ruído de maior frequência produzido pelo processo de moldagem do ruído de quantização no modulador sigma-delta.

Quando se aplica um filtro passa-baixas digital sobre a banda de interesse, de 0 Hz a $(f_s / 2)$ Hz, a maior parte do ruído de quantização é eliminado. Este processo está ilustrado na Figura 2.11.

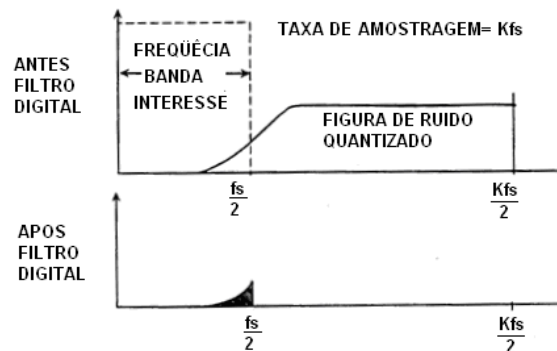


Figura 2.11 - Efeitos da filtragem digital sobre o ruído de quantização moldado.

Após o processo de filtragem, se realiza a decimação, um processo de re-amostragem que tem como objetivo a redução da taxa de dados. Este processo de decimação pode ser visto como um processo para se eliminar a informação redundante do sinal.

Nos conversores sigma-delta, é comum combinar as funções de decimação e filtragem, para melhoria na eficiência computacional. Filtros FIR (filtro com uma resposta impulsiva finita) são geralmente usados porque não existe a necessidade de se computar uma saída do filtro para cada amostra da saída do modulador sigma-delta. Se forem utilizados filtros IIR (filtro com resposta impulsiva infinita), será necessário realizar a computação de uma amostra de saída para cada amostra de entrada do filtro por

causa da realimentação, inerente a esta classe de filtros. Usando ambos os filtros, a decimação é realizada com um filtro FIR e a filtragem final com um filtro IIR.

Se forem usados somente filtros FIR é mais eficiente dividir a decimação entre os vários estágios. Filtros FIR conduzem a decimação, são sempre estáveis e possuem uma característica de fase linear. Apesar de serem mais simples de serem projetados, necessitam de um número maior de estágios em relação aos filtros IIR na realização de uma característica de transferência.

Os filtros IIR eliminam a possibilidade de se implementar a decimação junto com o filtro. No entanto, os filtros IIR são mais eficientes (uma melhor performance com um número menor de cálculos). A realimentação dos filtros IIR pode conduzir a uma possível instabilidade. Estes filtros, (que emulam filtros construídos no mundo analógico) também exibem características de fase não linear. Estes filtros são mais difíceis de serem implementados.

O processo de filtragem e de decimação digital em um conversor sigma-delta é tipicamente realizado por um filtro tipo *comb* seguido de um filtro tipo FIR. Na Figura 2.12 apresenta-se o diagrama em blocos de um conversor sigma-delta com os blocos de filtragem e decimação.

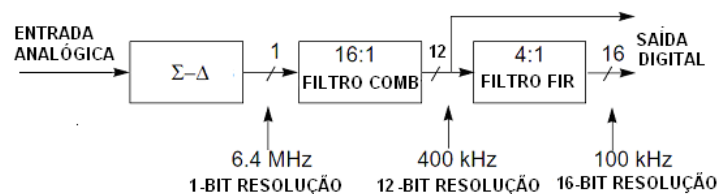


Figura 2.12 - Diagrama de blocos de um típico processo de filtragem e decimação digital em um conversor sigma-delta.

Procura-se realizar os processos de filtragem e de decimação simultaneamente. A implementação destes componentes é um trabalho complexo, pois a taxa de amostragem do modulador é elevada e os filtros e decimadores precisam realizar algoritmos que são computacionalmente intensivos e em tempo real.

2.3 Arquiteturas para moduladores sigma-delta

Nesta seção é apresentada uma breve revisão das arquiteturas mais usuais empregadas na construção de moduladores sigma-delta [64].

2.3.1 1 Bit de ordem n.

Conforme apresentado na seção 2.2.2, um modulador $\Sigma\Delta$ pode ser representado pelo modelo apresentado na Figura 2.13(a), neste, tem-se um laço de realimentação do sinal de saída e a integração da diferença deste com o sinal de entrada. [64].

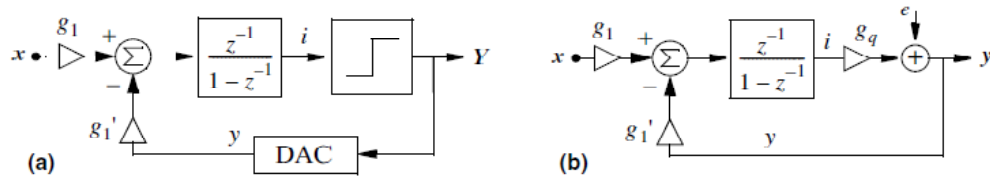


Figura 2.13 - Modulador de 1ª ordem (a) esquemático (b) modelo linear

Assumindo um modelo linear para este circuito (Figura 2.13(b)), e incluindo-se fatores de ganho no laço de retorno, a saída do modulador descrita no domínio Z pode ser dada por:

$$Y_1(Z) = \frac{g_1 g_q Z^{-1} X(Z) + (1 - Z^{-1}) E(Z)}{1 - (1 - g_1' g_q) Z^{-1}} \quad (2.23)$$

Note-se que na condição $g_1' g_q = 1$, conforme [64], a equação (2.23) retorna:

$$Y(Z) = \frac{g_1}{g_1'} X(Z) Z^{-1} + E(Z) (1 - Z^{-1}) \quad (2.24)$$

A equação (2.24) pode então ser interpretada como uma função de transferência do sinal, $F_{TS}(Z)$, caracterizada por um filtro passa-baixa, com ganho dado por $G = g_1 / g_1'$ e por uma função de transferência do ruído $F_{TR}(Z)$, caracterizada por um filtro passa-alta para o ruído de quantização.

Note-se também que fazendo $g_1 = g_1'$ tem-se o ganho unitário, isso quer dizer que a entrada de sinal ao fundo de escala é igual à saída ao fundo de escala.

Para um modulador de 2ª ordem, Figura 2.14, assumindo um modelo linear, a equação de saída no domínio Z é dada pela equação (2.25).

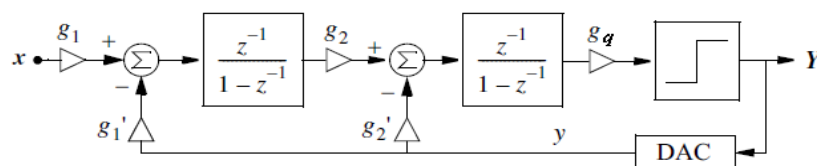


Figura 2.14 - Modulador de 2ª ordem (modelo linear)

$$Y_1(Z) = \frac{g_1 g_2 g_q Z^{-2} X(Z) + (1 - Z^{-1})^2 E(Z)}{1 + (g_2' g_q - 2) Z^{-1} + (1 + g_1' g_2 g_q - g_2' g_q) Z^{-2}} \quad (2.25)$$

Neste caso, as seguintes condições precisam ser satisfeitas para a realização de um modulador ideal de 2ª ordem: $g_1' g_2 g_q = 1$ e $g_2' = 2 g_1' g_2$, retornando portanto:

$$Y(Z) = \frac{g_1}{g_1'} X(Z) Z^{-2} + E(Z) (1 - Z^{-1})^2 \quad (2.26)$$

A determinação dos coeficientes envolve, além das ponderações ideais da arquitetura, outros aspectos tais como: tecnologia de fabricação, faixa dinâmica de excursão dos sinais nas entradas e saídas dos integradores.

De acordo com Candy, [2] a estabilidade de um modulador de 2ª ordem pode ser garantida fazendo com que $g_2' > 1,25 g_1' g_2$. Na Tabela 2.1 são apresentados alguns conjuntos de coeficientes reportados na literatura.

Tabela 2.1 – Coeficientes utilizados em implementações Sigma-delta 2ª ordem e 1 bit

Autor	Boser	Yin	Medeiros	Marques
Referência	[65]	[66]	[4]	[67]
Coeficientes				
g_1, g_1'	1/2 e 1/2	1/4 e 1/4	1/4 e 1/4	1/3 e 1/3
g_2, g_2'	1/2 e 1/2	1/2 e 1/4	1 e 1/2	3/5 e 2/5

Por extensão dos modelos apresentados, um modulador de ordem n, pode ser generalizado, conforme ilustrado na Figura 2.15, pelo acréscimo de mais integradores no sistema antes do quantizador.

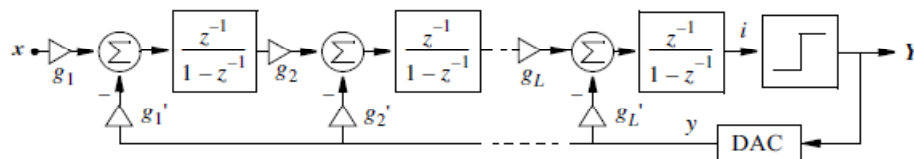


Figura 2.15 - Modulador de ordem L

Assim, com uma escolha apropriada dos coeficientes pode-se aproximar a resposta do sistema por:

$$Y(Z) = \frac{g_1}{g_1'} X(Z) Z^{-L} + E(Z) (1 - Z^{-1})^L \quad (2.27)$$

Onde L indica a ordem do modulador.

No entanto, este tipo de implementação não é realizável na prática, porque neste caso o sistema tende a instabilidade, uma vez que o ganho da função de transferência de ruído na forma $(1 - Z^{-1})^L$ rapidamente cresce para altas frequências quando a ordem L é maior que 2. $\max[FTR(Z)] = 2^L$ para $Z = -1$ ($f = f_s / 2$).

Implementações estáveis para moduladores de ordem L , foram demonstrados pelos trabalhos de Lee e Sodini [68], conforme ilustrado na Figura 2.16. Nesta arquitetura eles propõem vários laços de alimentação direta e realimentação, proporcionando a construção da FTR com menos ganho nas altas frequências.

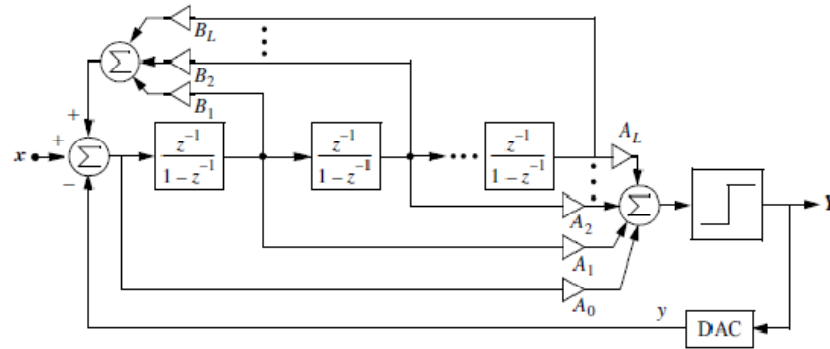


Figura 2.16 - Modulador de Lee e Sodini de ordem L

Assumindo $Z = -1$ a FTR é dada por:

$$\begin{aligned}
 FTR(Z) &= \frac{Z^{-1} \left[1 - \sum_{i=1}^L B_i \left(\frac{Z^{-1}}{1 - Z^{-1}} \right)^i \right]}{1 - \sum_{i=1}^L B_i \left(\frac{Z^{-1}}{1 - Z^{-1}} \right)^i + Z^{-1} \sum_{i=0}^L A_i \left(\frac{Z^{-1}}{1 - Z^{-1}} \right)^i} = \\
 &= \frac{(Z - 1)^L - \sum_{i=1}^L B_i (Z - 1)^{L-i}}{Z \left[(Z - 1)^L - \sum_{i=1}^L B_i (Z - 1)^{L-i} \right] + \sum_{i=0}^L A_i (Z - 1)^{L-i}}
 \end{aligned} \tag{2.28}$$

2.3.2 Cascata

A Figura 2.17 mostra um modulador de 3ª ordem implementado como uma cascata 2-1 [64]. A entrada do segundo estágio é o erro de quantização do primeiro. A saída dos dois moduladores é combinada digitalmente, o que resulta numa maior atenuação do ruído na banda do sinal.

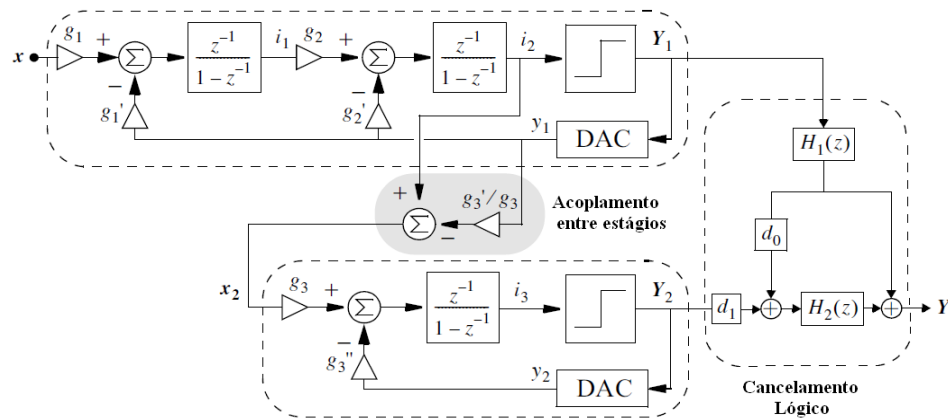


Figura 2.17 - Modulador em cascata 2-1 de 3ª ordem (modelo linear)

O equacionamento do diagrama de blocos linearizado permite um melhor entendimento do funcionamento do sistema.

Assumindo coeficientes para $g_1=1/2$, $g_2=2$, $g_1'=1$ e $g_2'=1$, $g_3=1$ e $g_3'=1$ tem-se que:

$$Y(Z) = \frac{Q_1(Z)(Z-1)^2}{Z^2} + \frac{X(Z)}{Z^2} + \frac{Q_2(Z)(Z-1)}{Z} - \frac{Q_1(Z)}{Z} \quad (2.29)$$

Obtêm-se o cancelamento do ruído de quantização do 1º modulador, Q_1 através do circuito de cancelamento lógico fazendo: $Y_1(Z)Z^{-1}$ e $Y_2(Z)(Z-1)^2 Z^{-2}$

$$Y(Z) = \frac{Q_1(Z)(Z-1)^2}{Z^3} + \frac{X(Z)}{Z^3} + \frac{Q_2(Z)(Z-1)^3}{Z^3} - \frac{Q_1(Z)(Z-1)^2}{Z^3} \quad (2.30)$$

Resultando então, numa saída correspondente a um modulador de 3ª ordem cuja função de transferência é dada por:

$$Y(Z) = \frac{X(Z)}{Z^3} + \frac{Q_2(Z)(Z-1)^3}{Z^3} \quad (2.31)$$

2.3.3 Moduladores Multi-bits

Como foi visto nas seções anteriores, poderia se aumentar a relação-sinal-ruído em moduladores $\Sigma\Delta$ de 1 bit, pelo aumento da taxa de sobre-amostragem (OSR) e pelo aumento da ordem do modulador. Entretanto, a performance esperada devido a esses

melhoramentos são rapidamente perdidas devido a instabilidades nos sistemas de mais alta ordem e devido ao ruído por fugas em moduladores em cascata.

Uma alternativa de melhoramento, que se beneficie de arquiteturas mais estáveis, é a implementação de moduladores com vários bits de quantização do sinal.

As principais vantagens no uso de multi-bits de quantização são [63]:

- 1) Menor passo de quantização interna, e portanto menor erro na banda do sinal e menor adição de ruído;
- 2) Menor distorção harmônica;
- 3) Melhores propriedades de estabilidade em relação ao de um único bit para uma mesma arquitetura e ordem.

Porém moduladores multi-bit também tem algumas desvantagens como:

- 1) Requerem muito mais circuitos analógicos;
- 2) São mais propensos a não linearidades devido em grande parte aos desvios aos descasamentos entre componentes.

2.4 Circuitos com Capacitores Chaveados

A realização de um resistor a capacitor chaveado consiste na transferência de carga através de um capacitor numa determinada frequência. Assim, a corrente média de passagem pode ser controlada, fazendo com que o circuito se comporte como um resistor.

Considere o ramo mostrado na Figura 2.18. As quatro chaves S_1 , S_2 , S_3 , e S_4 abrem e fecham periodicamente, e muito mais rápido do que a variação das tensões nos terminais V_A e V_B . No intervalo de tempo em que S_1 e S_4 fecham, S_2 e S_3 abrem, e vice-versa.

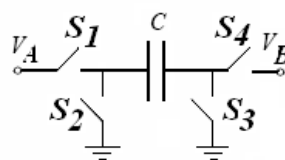


Figura 2.18 – Resistor a capacitor chaveado

A corrente média no ramo então é:

$$i_{m\u00e9dia} = \frac{q}{T} = \frac{C}{T} (V_A - V_B) \quad (2.32)$$

Similarmente, para um ramo que contém um resistor a corrente do ramo seria $i = (1/R)(V_A - V_B)$. Se observa então que a corrente que flui em ambos ramos seria a mesma se:

$$R = \frac{T}{C} \quad (2.33)$$

Logo, a realização de um integrador, para a implementação do modulador sigma-delta, conforme a Figura 2.3 pode ser obtida como segue.

Considerando o diagrama de fases da Figura 2.20

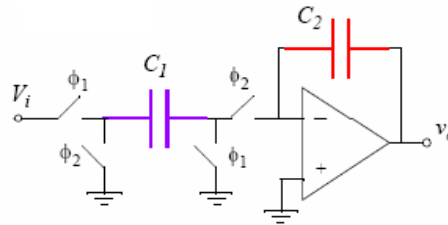


Figura 2.19 – Integrador ativo a capacitor chaveado

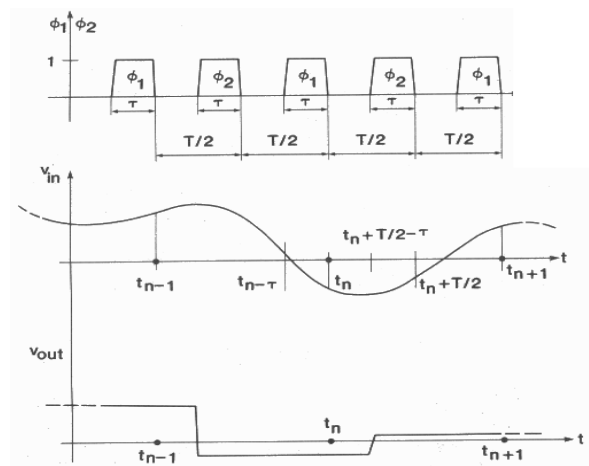


Figura 2.20 – Diagrama de fases para integrador ativo SC

A função de transferência para sinal amostrado no domínio do tempo para o circuito da Figura 2.19 pode ser descrita como:

$$V_{out}[n] = \frac{Q_2[n]}{C_2} = \frac{C_2 V_{out}[n-1] + C_1 V_{in}[n-1]}{C_2} \quad (2.34)$$

$$V_{out}[n] - V_{out}[n-1] = \frac{C_1}{C_2} V_{in}[n-1] \quad (2.35)$$

Aplicando a transformada Z na equação (2.35) obtêm-se:

$$V_{out}[Z] - V_{out}[Z]Z^{-1} = \frac{C_1}{C_2} V_{in}[Z]Z^{-1} \quad (2.36)$$

a qual leva a função de transferência no domínio da frequência dada por:

$$H(Z) = \frac{V_{out}(Z)}{V_{in}(Z)} = \frac{C_1}{C_2} \frac{Z^{-1}}{1 - Z^{-1}} \quad (2.37)$$

Assim fica caracterizado o principal componente de um modulador sigma-delta, o integrador. Nesta linha, existem muitos trabalhos com implementações SC, sempre procurando resolver os problemas ligados a solução de aspectos de engenharia aplicados ao circuito descrito acima.

2.4.1 As não-idealidades que afetam os circuitos $\Sigma\Delta$ /SC

A especificação, o projeto e a construção de moduladores $\Sigma\Delta$ de alta performance têm complicadores do ponto de vista da implementação tecnológica, freqüentemente limitados pelas não idealidades dos elementos construtivos, tais como: - ganho DC finito e não linear dos AmpOps; - carga incompleta dos capacitores (*settling time*); - casamento entre dispositivos (*mismatch*); - distorção harmônica; - deslocamento do sinal de relógio (*clock jitter*); - não linearidade e resistividade das chaves analógicas;- atraso (*histerese*) e resolução do comparador (*offset*), múltiplos níveis de quantização, além de outras menos relevantes.

A Tabela 2.2 resume as principais causas que ocasionam erros nos moduladores $\Sigma\Delta$ /SC e suas conseqüências [4].

Tabela 2.2 –Principais causas e efeitos de erros em moduladores $\Sigma\Delta$ SC

Bloco Construtivo		Não Idealidade	Conseqüências
Integrador	AmpOps	ganho DC finito e não linearidade	aumenta o erro de quantização distorção harmônica
		<i>slew-rate</i>	distorção harmônica
		ganho-banda finito	erro de <i>settling</i>
		faixa de saída limitada	distorção harmônica
		ruído térmico	ruído branco

	Chaves	resistência	erro de <i>settling</i> e ruído térmico
	Capacitores	não linearidade e <i>mismatching</i>	aumenta o ruído de Quantização e distorção harmônica
	<i>Clock</i>	<i>Jitter</i>	ruído <i>Jitter</i>
	Comparador	histerese e <i>offset</i>	aumenta o ruído de Quantização
	Multi-bits	não linearidade	distorção harmônica

2.5 Circuitos com Corrente Chaveada

Nesta sessão serão abordadas as técnicas de chaveamento de corrente que utilizam a capacitância parasita da porta de transistores MOS, para amostragem e retenção de sinais sob a forma de correntes [12]-[22]. Serão revistas as principais topologias para células de corrente, oriundas das contribuições originais de referência, e serão expostas as principais não-idealidades que limitam a performance ideal das células de memória de corrente. Ao final deste capítulo apresenta-se um estudo que avalia e compara uma célula básica SI com uma célula básica SC baseado no critério de uma figura de mérito.

2.5.1 Célula Básica de Memória de Corrente

A célula básica de memória de corrente constitui o bloco básico para uso em circuitos analógicos amostrados no processamento de sinais. Ela pode ser usada para construir módulos de atraso, integradores e estruturas de filtros. Sua operação e limitações serão analisadas.

A primeira geração de células de corrente demonstrou-se muito sensível ao casamento entre dispositivos, e não serão abordadas nesta revisão [18].

A Figura 2.21, ilustra uma célula básica da segunda geração. Esta célula consiste em uma fonte de corrente I_{ref} , um transistor MOS (T_{mem}), uma chave $SW1$ que permite a entrada da corrente I_{in} no nó de dreno de T_{mem} , uma chave $SW2$, que conecta o dreno ao gate de T_{mem} e uma chave $SW3$ que controla a corrente de saída I_{out} .

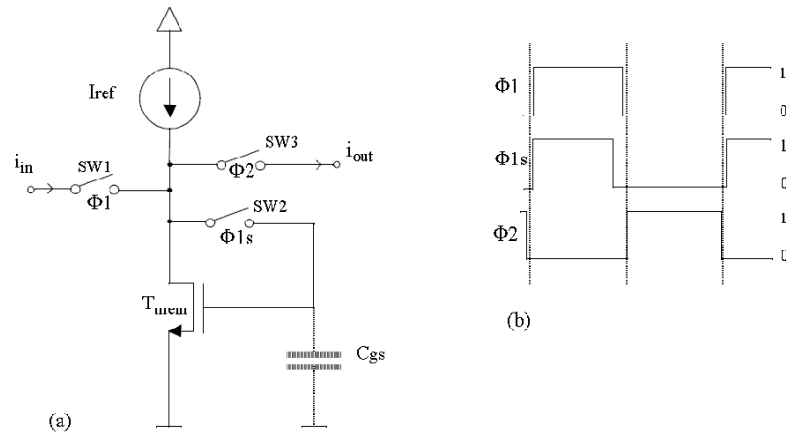


Figura 2.21 - (a) Transistor simples como célula de memória e (b) diagrama de fase das chaves

Na fase de amostragem, Φ_1 , as chaves $SW1$ e $SW2$ fecham, permitindo uma corrente de entrada I_{in} fluir pelo dreno de T_{mem} , adicionada a corrente I_{ref} da fonte de corrente. Admitindo-se uma corrente positiva de I_{in} , a tensão V_{gs} cresce para acomodar a corrente de entrada, carregando também a capacitância parasita C_{gs} . O equilíbrio é estabelecido quando C_{gs} é carregado com uma tensão V_{gs} que acomoda soma das correntes $I_{ref}+I_{in}$.

Na fase de retenção, Φ_2 , as chaves $SW1$ e $SW2$ abrem e a tensão V_{gs} estabelecida na fase Φ_1 permanece armazenada na capacitância parasita C_{gs} de T_{mem} . Então, T_{mem} memoriza ou mantém as correntes $I_{ref}+I_{in}$, forçando o fluxo de I_{in} igual a I_{out} pela chave $SW2$ na saída.

O comportamento desta célula é restrito por várias limitações, tais como:

Injeção de Cargas – Como as chaves são implementadas com transistores de passagem ou chave complementar, durante o processo de desligamento, quando a chave $SW2$ é aberta, a carga formada no canal pela camada de inversão flui pela capacitância C_{gs} de T_{mem} , injetando neste uma fração de cargas δq . Esta carga, adicionada a carga armazenada no capacitor C_{gs} , causa um erro δI_d na corrente de T_{mem} .

Devido a dependência deste erro com o sinal, a injeção de cargas pelo sinal de relógio torna-se uma fonte de distorção harmônica.

Acoplamento Capacitivo – Quando a chave $SW2$ é aberta, C_{gs} fica aberto, (flutuando), então qualquer alteração na tensão de dreno irá também ser acoplada a C_{gs} através da capacitância de acoplamento C_{gd} entre *dreno* e *gate* de T_{mem} , alterando V_{gs} .

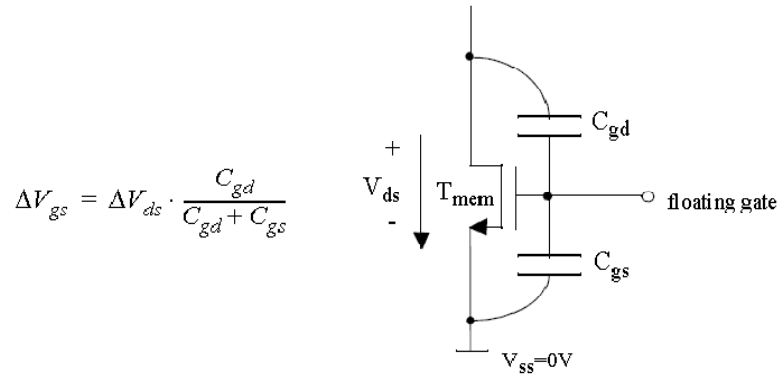


Figura 2.22 - Acoplamento Capacitivo no transistor de memória

Modulação pelo comprimento de canal – Para um transistor operando em saturação, a corrente de dreno I_d é uma função da tensão dreno-source (V_{ds}) descrita como;

$$I_d = \frac{\mu_0 C_{ox}}{2} \left(\frac{W}{L} \right)_{T_{mem}} (V_{gs} - V_{th})^2 (1 + \lambda V_{ds}) \quad (2.38)$$

Assim, um erro é adicionado pelo efeito de modulação pelo comprimento do canal (λ), que depende do processo e é inversamente proporcional ao comprimento do canal de T_{mem} .

Erro de estabelecimento (*settling error*) – A capacitância C_{gs} , precisa ser completamente carregada durante a fase $\Phi 1$, para atingir V_{gs} proporcional até o equilíbrio. Se isto não acontecer ocorrerá um erro de *settling*.

Para o transistor T_{mem} , a corrente transitória necessária para completar a carga de C_{gs} é dada por:

$$i_{ds}(t) = i_{in} (1 - e^{-t/\tau}) \quad (2.39)$$

então,

$$v_{gs}(t) = \frac{i_{in}}{g_m} (1 - e^{-t/\tau}) \quad (2.40)$$

Onde $\tau = C_{gs} / g_m$

Assim, o período de amostragem precisa ser mantido o tempo suficiente para que toda carga seja transferida. Isso requer um período de amostragem que seja maior o suficiente para minimizar o erro de estabelecimento. Como exemplo, para um tempo de 5τ tem-se um erro aproximado de 0,1%.

Condutância de Entrada e Saída – Durante a fase Φ_1 , a tensão V_{gs} e V_{ds} são iguais e podem ser expressas como:

$$V_{gs} = \sqrt{\frac{2}{\mu_0 C_{ox}} \left(\frac{L}{W} \right)_{Tmem} (I_{ref} + i_{in})} + V_{Th} \quad (2.41)$$

$$I_d(\Phi_1) = I_{ref} + i_{in} \quad (2.42)$$

No entanto, quando diferentes valores do sinal de corrente na entrada são amostrados, junto com eles, um erro de corrente δI_{in} , é acompanhado por um erro na tensão δV_{gs} , porque a condutância de entrada é limitada. Nesta configuração é dada por:

$$g_i = \frac{\delta I_{in}}{\delta V_{in}} \approx g_m \quad e \quad g_o = \frac{\delta I_{out}}{\delta V_{out}} \approx g_{ds} + g_{ds(pMOS)} + g_m \frac{C_{gd}}{C_{gd} + C_{gs}} \quad (2.43)$$

Para minimizar essa relação de erro, é desejável uma elevada condutância de entrada para que a corrente flua para dentro da célula. Por outro lado, na saída, é desejável que se tenha uma baixa condutância, para que a corrente retida flua para fora da célula.

$$g_i = \frac{\delta I_{in}}{\delta V_{in}} \rightarrow \infty \quad e \quad g_o = \frac{\delta I_{out}}{\delta V_{out}} \rightarrow 0 \quad (2.44)$$

Distorção Harmônica [32] – As principais causas de distorção harmônica nas células de corrente têm origem nos erros que tem dependência com o sinal, tais como: injeção de cargas, estabelecimento (*settling*), acoplamento capacitivo, efeito de modulação do canal. Em Martins [32] encontra-se uma investigação sucinta sobre a distorção harmônica em células de memória de corrente.

Ruído – Basicamente três tipos de ruído influenciam de forma distinta os circuitos SI: o ruído térmico, o de cintilação ($1/f$) e o ruído de chaveamento. O ruído térmico se deve a resistência inserida pelo canal dos transistores MOS. O ruído

provocado pelo chaveamento é proporcional a uma relação quadrática da tensão V_{gs} , conforme a Equação (2.38), devido a injeção de cargas, o que o torna significativo dentre os demais tipos de ruído.

O ruído térmico, também chamado de ruído branco, é igualmente espalhado no espectro da banda com uma potência espectral dada pela média quadrática da corrente de ruído em um resistor R .

$$\overline{i_{nt}^2} / \Delta f = 4kT / R \quad (2.45)$$

Onde k é a constante de Boltzman, Δf é a largura de banda e T a temperatura absoluta.

O canal de um transistor em saturação pode ser considerado como um resistor e seu valor pode ser estimado como $R_c = 2/(3g_m)$. Assim,

$$\overline{i_{nt}^2} / \Delta f = 4kT \frac{3g_m}{2} \quad (2.46)$$

Casamento entre dispositivos – Neste tipo de circuito, o casamento entre dispositivos não é significativo, por que usa somente um dispositivo MOS. Entretanto, quando se necessita copiar as correntes nestes circuitos, o casamento entre componentes torna-se importante, pois define uma relação de proporcionalidade entre etapas do circuito.

Melhorias neste tipo de implementação podem ser obtidas utilizando-se técnicas de layout no projeto dos espelhos de corrente, como a implementação destes em centróide comum.

Velocidade – A máxima taxa de relógio (*clock*) para garantir uma boa qualidade do sinal é determinada pelo tempo de carregamento (*settling*) da célula de memória.

Admitindo-se que a resistência da chave de passagem na entrada da célula é muito menor que a transcondutância ($1/g_m$) de T_{mem} , e que a capacitância de dreno é muito menor que C_{gs} , pode-se considerar o modelo equivalente simplificado da Figura 2.23

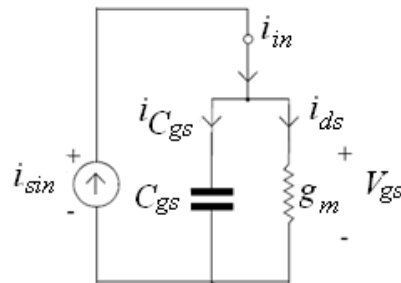


Figura 2.23 - Modelo simplificado do transistor de memória na fase de amostragem

De acordo com a Equação (2.39) e Equação (2.40), o período mínimo de relógio fica então limitado às constantes de tempo necessárias para atingir o equilíbrio e minimizar o erro na transmissão do sinal.

A Tabela 2.3 apresenta um resumo das principais implicações que ocorrem no projeto de células SI, de acordo com o dimensionamento dos elementos desta.

Tabela 2.3 - Resumo das principais dependências e implicações na célula SI.

Parâmetro	Vantagens	Desvantagens
Aumento de C_{gs} e W/L	+diminui o erro devido a injeção de cargas	- aumenta o tempo de carga (setling)
Aumento de L	+diminui o efeito de modulação do canal	- velocidade diminui
Redução de W/L	+ menor capacitância de sobreposição (overlap)	- g_m diminui - aumenta o erro por injeção de cargas
Aumento de I_d	+ maior g_m + velocidade	- maior consumo
Menor resistência das chaves	+ menor variação em V_{ds}	-mais área para chaves -aumento carga para clock -maior injeção de cargas

Muitos trabalhos se sucederam na realização de células de memória e integradores com vistas a melhorias no seu desempenho. As principais contribuições podem ser resumidas conforme segue.

2.5.2 Célula de Memória de Corrente com Gate Aterrado (*Grounded Gate Active Memory Cell*)

Para resolver o problema da variação de tensão no dreno de T_{mem} , uma realimentação negativa pode ser empregada com a finalidade de aumentar a condutância de entrada e diminuir a condutância de saída conforme [19] e [34].

Na Figura 2.24 esta uma topologia que usa uma simples célula de memória de corrente com a adição de um amplificador de tensão com o *gate* aterrado (*Grounded Gate Amplifier-GGA*) compreendidos pelos transistores T_g , T_p e a fonte de corrente *cascode* T_n e T_c .

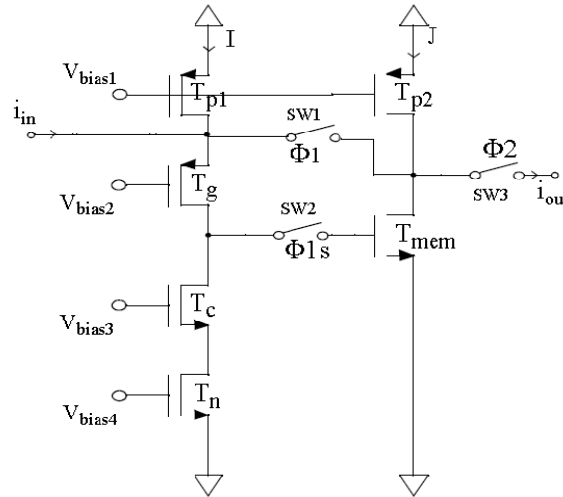


Figura 2.24 - Memória de corrente com *gate* aterrado.

O GGA separa o nó de entrada do *gate* do transistor de memória (T_{mem}). Conseqüentemente, uma mudança na tensão entre *gate* e *source* (V_{gs}) de T_{mem} , altera a corrente de dreno do transistor. Quando isso ocorre, T_g amplifica essa variação e rapidamente aumenta a tensão V_{gs} , tentando manter a corrente de dreno de T_{mem} .

Durante a fase de amostragem Φ_1 , as chaves SW1 e SW2 estão fechadas. A corrente de entrada I_{in} , flui pelo source de T_g e pela capacitância de *gate-source* de T_{mem} , aumentando a corrente de dreno de T_{mem} . O equilíbrio é alcançado quando a corrente de dreno de T_{mem} atingir $J+I_{in}$ e a corrente através de T_g retorna a I . A configuração GGA de T_g irá então tomar um valor constante $V_{in}=V_{bias}+V_{gs}$, onde V_{gs} é a tensão entre *gate* e *source* de T_g quando $I_{dsg}=I$, razão pela qual o nó de entrada é referido como terra virtual.

Durante a fase de retenção, Φ_2 , SW3 é fechada e o laço SW1-SW2 é aberto e a tensão entre *gate* e *source* de T_{mem} é mantida com o valor armazenado, sustentando a corrente $J+I_{in}$.

A realimentação negativa introduzida por GGA aumenta a condutância de entrada em baixas frequências por:

$$g_i = A.g_m \quad (2.47)$$

Onde A é o ganho de tensão da configuração GGA. A condutância de saída não é alterada. Conseqüentemente, a condutância de entrada para saída é aumentada por um fator A , melhorando o erro de transmissão do sinal.

2.5.3 Célula de Memória de Corrente S^2I .

As células S^2I foram inicialmente publicadas por [34]. A simplicidade desta célula torna promissora sua implementação para baixa-tensão, baixo consumo, pequena área e alta velocidade comparada a outras.

A célula de memória de corrente S^2I é mostrada na Figura 2.25. A diferença com uma célula simples de memória é que o transistor PMOS, fonte de corrente, funciona também como amostrador de corrente. Na fase Φ_1 , outras duas fases, Φ_{1a} e Φ_{1b} dividem a amostragem entre si conforme a Figura 2.26 que mostra as três fases: a) fase Φ_{1a} , primeira amostra usando um transistor NMOS (amostra grossa), b) fase Φ_{1b} , segunda amostra, usando um transistor PMOS (amostra fina), e c) fase Φ_2 , quando ambos os transistores mantêm a sua respectiva corrente memorizada.

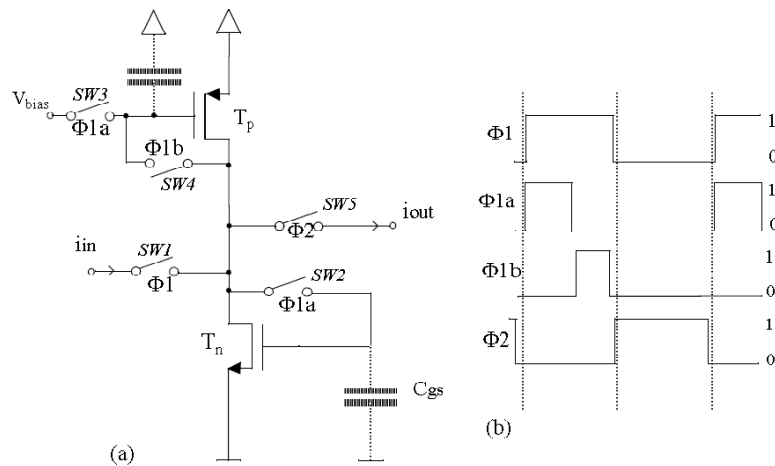


Figura 2.25 - (a) célula de memória S^2I , (b) esquema de *clock*

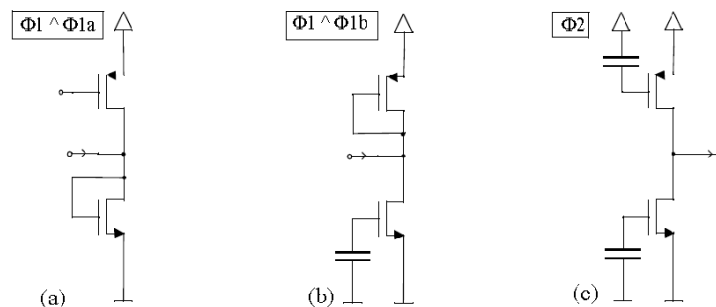


Figura 2.26 - (a) primeira amostra, (b) segunda amostra e (c) fase de retenção

Considerando-se que a saída da célula se encontra ligada a uma fonte de tensão constante V_{bias} , durante a fase Φ_{1a} , o transistor T_P comporta-se como uma fonte de corrente de valor J . A condutância de saída dos transistores T_P e T_N é calculada através da expressão $g_o \approx J(\lambda_1 + \lambda_2)$ no ponto de funcionamento em repouso.

De acordo com Martins [32], o erro devido a condutância de saída pode ser expressa como:

$$\epsilon_{go} = \frac{g_o}{g_{mP}} \frac{\Delta i_N}{J} \quad (2.48)$$

Onde: g_o representa a condutância de saída, g_{mP} é a transcondutância do transistor P, Δi_N representa a injeção do sinal de relógio no transistor N pela chave SW_2 .

Usando arranjo em cascata, no lugar dos transistores de amostragem e retenção, consegue-se uma redução significativa no efeito de modulação de canal e na condutância de saída por um fator de 100.

Uma célula S^2I modificada, com arranjo dos transistores para a topologia em cascode é apresentada na Figura 2.27. Nesta, a amostragem grossa é feita pelos transistores PMOS e a fina pelos Transistores NMOS.

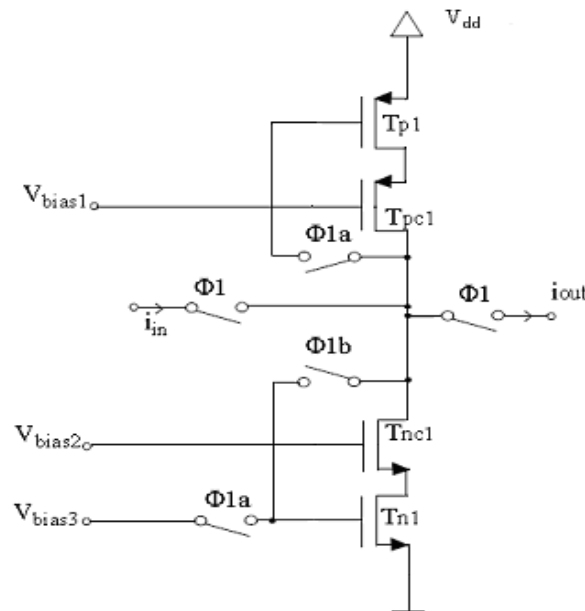


Figura 2.27 - Célula S^2I modificada

2.5.4 Célula de Memória Classe AB

Em 1991, Battersby e Toumazou [11] propõem uma célula classe AB, tendo como principal propósito a redução do consumo. A Figura 2.28 mostra o esquemático desta célula. Durante a a fase Φ_1 , os transistores T_p e T_n são conectados como diodo, e uma tensão de *gate-source* é estabelecida pela carga da capacitância parasita C_{gs} . Durante a fase Φ_2 , as portas de $M5$ e $M6$ são desconectadas e a corrente $J+I_{in}$ é mantida pela tensão adquirida em C_{gs} .

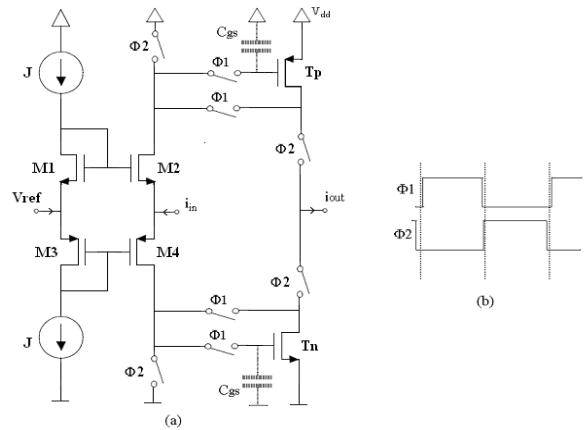


Figura 2.28 - Célula Classe AB

2.5.5 Célula de Nairn

Esta célula de memória foi proposta por Nairn em 1994, [16], conforme a Figura 2.29, tendo como principal motivação a redução da injeção do sinal de relógio dependente do sinal. Este objetivo é conseguido colocando o interruptor de memória num nó de massa virtual. Devido à elevada condutância de entrada, conferido pelo amplificador, esta célula permite igualmente reduzir o erro devido á condutância de saída dos transistores.

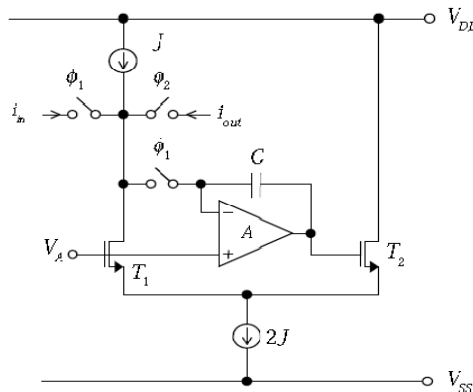


Figura 2.29 - Célula de Nairn

Durante a fase de amostragem (ΦI), a corrente $i_{D1}=J+i_{in}$ define a tensão na fonte de T_1 , e $i_{D2}=2J-i_{D1}$ define a tensão na porta do transistor T_2 . A variação da tensão no dreno de T_1 é dada pela variação de tensão no *gate* de T_2 dividida pelo ganho do amplificador.

O erro de corrente é então dado por:

$$\epsilon_{go} = \frac{i'_{d1}}{i_{in}} - 1 = \frac{g_o}{Ag_{m1}} \quad (2.49)$$

Sendo A o ganho do amplificador e $g_o=g_{o1}+g_{o2}$ a condutância de saída da célula. Nota-se que nesta célula não existe acoplamento capacitivo entre a entrada e a saída, uma vez que o *gate* de T_1 se encontra ligada a uma fonte de tensão, consoante o ganho do amplificador, assim o nível do erro pode ser da ordem daquele presente nas células *cascode*, ou da ordem do das células *cascode* regulado.

2.5.6 Célula de Shah-Toumazou

Na Figura 2.30. Figura apresenta-se a célula de memória proposta por Shah-Toumazou em 1996 [17]. Semelhante a célula de Naim, este circuito visa o cancelamento da injeção do sinal de relógio dependente do sinal (através da colocação do interruptor de memória num nó de terra virtual), por um lado, e a redução do erro devido à condutância de saída dos transístores, por outro.

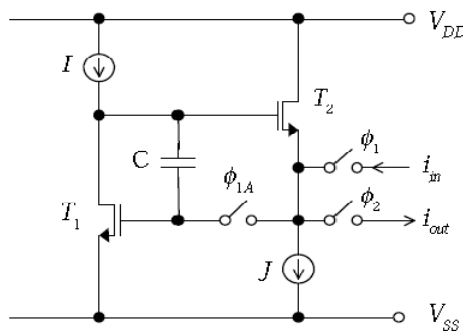


Figura 2.30 - Célula de Shah-Toumazou

O transistor T_1 e a respectiva fonte de corrente (I) constituem um amplificador de tensão de ganho $A = g_{m1}/(g_o + g_I)$, em que g_I é a condutância de saída da fonte de corrente. Devido a este amplificador de tensão, a excursão de tensão no *gate* do transistor de memória T_2 aparece no nó de entrada/saída dividida pelo ganho A . Desta forma, o erro devido à condutância de saída dos transístores é reduzido para;

$$\varepsilon_{g_o} = \frac{i_{d2}'}{i_{in}} - 1 = \frac{g_o}{Ag_{m2}} \quad (2.50)$$

com $g_o = g_{o2} + g_{oJ}$, desprezando-se aqui o efeito capacitivo do nó de entrada/saída para o condensador de memória. Conclui-se desta forma que o erro devido à condutância de saída é da ordem de grandeza daquele presente na célula cascode.

A Tabela 2.4 apresenta uma estimativa do erro devido a condutância de saída dos transístores MOS, para diversas células de memória, segundo Martins [32].

Tabela 2.4 - Estimativa do erro devido condutância de saída dos transístores MOS.

Célula	Expressão do Erro	Estimativa do Erro
Básica de primeira geração	g_o / g_m	1% (10^{-2})
Básica de primeira geração	g_o / g_m	1% (10^{-2})
Cascode	$\frac{g_o}{g_m (g_m / g_o)}$	0,01% (10^{-4})
Cascode regulado	$\frac{g_o}{g_m (g_m / g_o)^2}$	0,001 (10^{-5})
GGA	$\frac{g_o}{g_m (g_m / g_o)}$	0,01% (10^{-4})
GGA regulado	$\frac{g_o}{g_m (g_m / g_o)^2}$	0,001 (10^{-5})
Nairn com amplificador simples	$\frac{g_o}{g_m (g_m / g_o)}$	0,01% (10^{-4})
Nairn com amplificador cascode	$\frac{g_o}{g_m (g_m / g_o)^2}$	0,001 (10^{-5})
Shah-Toumazou	$\frac{g_o}{g_m (g_m / g_o)}$	0,01% (10^{-4})
S ² I	$\frac{g_o \Delta i_1}{g_m J}$	0,01% (10^{-4})

2.5.7 Integrador com Célula S²I

Para a implementação de um integrador SI, foi escolhida a célula S²I, por sua simplicidade, robustez e pequeno erro devido à dupla amostragem.

O integrador S²I é composto por duas células S²I e por espelho de corrente que provê a saída do sinal, Figura 2.31(a).

Durante a fase Φ_1 , a corrente de entrada é aplicada ao nó de dreno D. A segunda célula de memória atua como fonte de corrente provendo uma corrente de saída i_{out} que é proporcional a integral de i_{in} . A soma destas correntes é armazenada pela primeira célula de memória. Durante a fase Φ_{2a} e Φ_{2b} , o primeiro transistor de memória supre a corrente de polarização cujo valor foi previamente amostrado e armazenado na segunda célula de memória de corrente, que por sua vez coloca a corrente para saída na fase Φ_1 .

O integrador S^2I mostrado na Figura 2.31 foi desenhado e simulado no modelo BSIM 3.3 no processo XC06 XFAB com o simulador ELDO. Na simulação foi utilizada uma fonte de corrente senoidal como sinal de entrada, e na saída foi utilizada uma fonte de tensão ideal no mesmo nível de tensão do nó D na fase Φ_1 . Para o controle das chaves, foi utilizado o esquema de temporização da Figura 2.31(b).

O dimensionamento dos transistores de memória foi determinado com base no tempo necessário para efetuar o estabelecimento. Considerando-se a constante de tempo τ , equação (2.40), atribui-se um tempo de 6τ .

Como exemplo considere-se um transistor de $W=30\mu\text{m}$ e $L=10\mu\text{m}$. Neste caso para um transistor tipo N com corrente de dreno de 30 μA , a transcondutância (G_m) é 100 $\mu\text{A/V}$ e a capacitância de *gate* ao *source* (C_{gs}) é 0,34pF, portanto $\tau=3.4\text{ns}$. Para 6τ tem-se então $\sim 20\text{ns}$. Como o a fase Φ_{1a} é 1/4 da frequência de amostragem, o integrador poderia trabalhar a uma taxa de amostragem T_s de 80ns ou 12.5MHz.

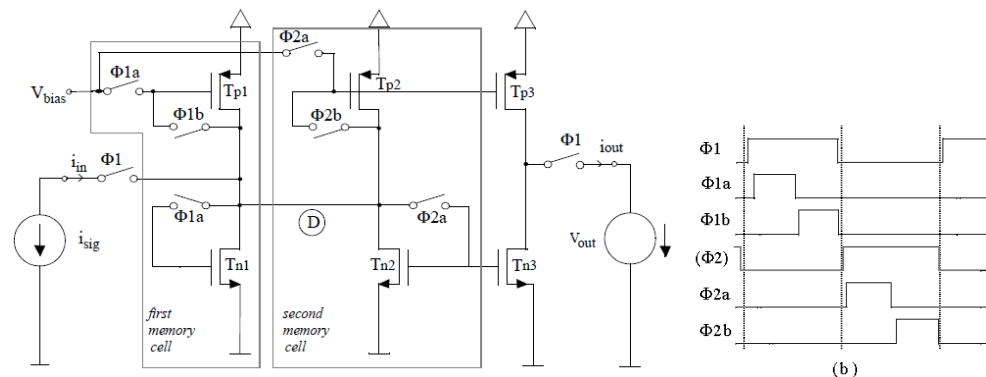


Figura 2.31 - (a) Esquemático S^2I integrador (b) diagrama de fases do chaveamento

A saída de corrente do integrador é mostrada na Figura 2.32

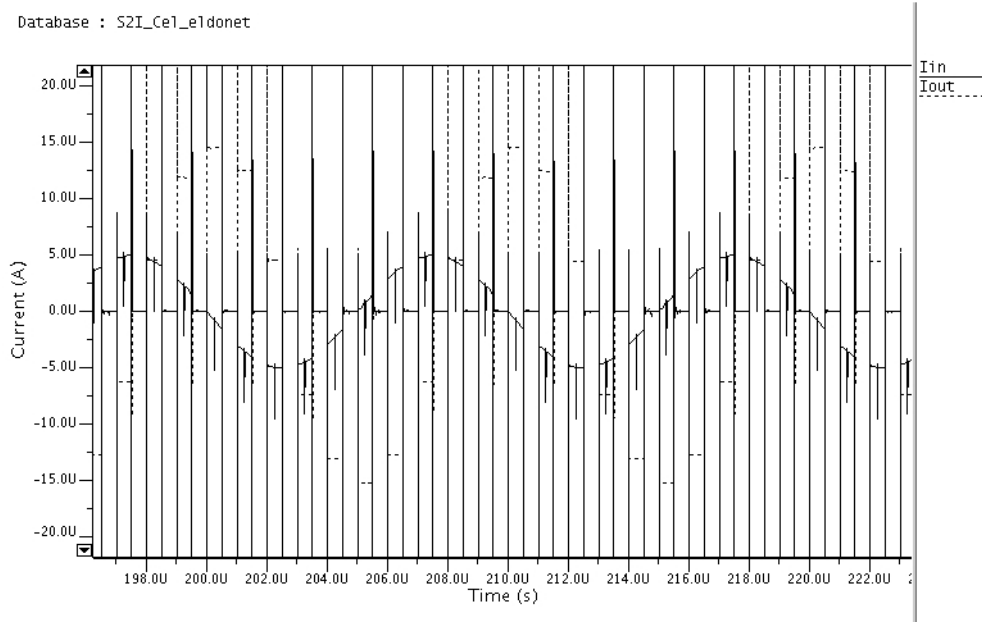


Figura 2.32 – Transiente de entrada e saída do integrador S²I

Capítulo 3

Comparativo entre as Técnicas SC e SI

A operação de amostragem e retenção de sinais analógicos discretos no tempo expõe claramente a dualidade existente entre circuitos processando sinais baseados em tensão e em corrente. Os circuitos SC devem ter alta impedância de entrada utilizando amplificadores em malha aberta na fase de amostragem e uma baixa impedância de saída em malha fechada na fase de retenção. Em contrapartida, os circuitos SI devem ter baixa impedância de entrada com ganho em malha fechada na fase de amostragem, e alta impedância de saída com o amplificador em malha aberta na fase de retenção.

Em se tratando da conversão de sinais em altas frequências, a resolução pode ser mais relaxada comparativamente a circuitos de baixa frequência, obtendo-se compensações as custas de maior banda, velocidade e consumo. Sob esse ponto de vista, circuitos SI naturalmente sugerem essa possibilidade, tendo em vista que a amostragem e a retenção são implementadas em um simples dispositivo, um transistor MOS. Nesse sentido, esse capítulo visa uma análise que proporcione um comparativo de desempenho tomando como critério uma figura de mérito [12] envolvendo três aspectos fundamentais na operação de dispositivos MOS para amostragem e retenção de sinais em corrente, a saber: frequência (F_s), consumo (P) e relação sinal ruído (SNR). Para poder cobrir de forma abrangente o funcionamento do dispositivo MOS, usar-se-á uma metodologia que permite caracterizar todos os transistores de um mesmo processo nas diversas regiões de operação. Para tanto usaremos vetores que expressam a corrente, condutâncias e capacitâncias de um transistor MOS em todas as regiões de operação, obtidas a partir de simulação SPICE/Eldo no modelo BSIM3v3, para a tecnologia XFAB XC06, e o modelo elétrico equivalente de pequenos sinais de um dispositivo MOS.

Na análise de performance, concentraremos nos critérios de: frequência de amostragem (F_s), relação sinal-ruído (SNR) e consumo (potência)(P), combinados em uma expressão chamada Figura de Mérito como a proposta por [12] (capítulo 17).

$$FoM = F_s \frac{SNR}{P} \quad (3.1)$$

3.1 Frequência

A frequência de amostragem possível em uma célula analógica de amostragem periódica é idealmente limitada pelo tempo com que o circuito seja capaz de estabelecer um sinal para a fase seguinte (*settling*).

Dependendo da técnica empregada para realizar a amostragem e retenção do sinal, pode-se obter vantagens sobre as características mais importantes que se deseja de um circuito, como velocidade, consumo ou ruído.

Considere o circuito apresentado na Figura 3.1 como um elemento integrador do tipo SC, em que a transcondutância g_m é realizada por um dispositivo básico (um transistor MOS) alimentando uma carga capacitiva C_s . Durante a fase de amostragem, fase Φ_1 , o capacitor C_1 recebe a tensão V_i que o carrega, e na fase Φ_2 , a transfere de C_1 para C_2 . Durante Φ_1 , o tempo de carregamento pode ser estimado pela tensão de carregamento de C_1 dado por

$$V_o = V_i (1 - e^{-\frac{T_s}{5\tau}}) \quad (3.2)$$

Onde V_o é a tensão adquirida por C_1 após 5τ , $\tau=2r_{on}C_1$ e r_{on} é a resistência das chaves. Como exemplo, consideremos um capacitor de 1 pF e a resistência das chaves de 1KΩ. Neste caso, para um tempo de 5τ , teríamos uma frequência máxima para um correto estabelecimento de 200MHz.

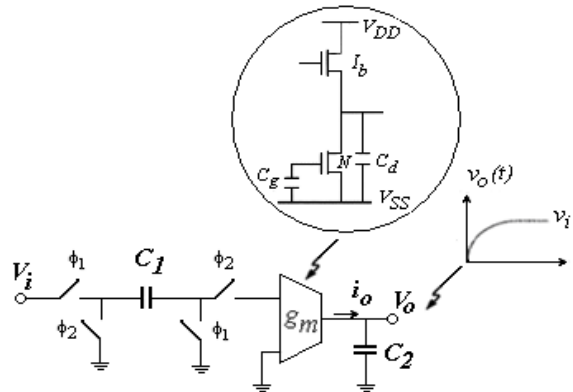


Figura 3.1 – Circuito básico de amostragem e retenção SC

Na fase Φ_2 , o modelo de pequenos sinais para o estabelecimento da tensão pode ser expresso com o modelo da Figura 3.2, onde, C_1 é a capacitância na amostragem, C_d é a capacitância de sobreposição *dreno-source*, C_g é a capacitância de *gate-source*, g_{sh} é a condutância das chaves ligadas, g_m representa a transcondutância do integrador pelo transistor N , C_{SC} é a capacitância do acumulador,

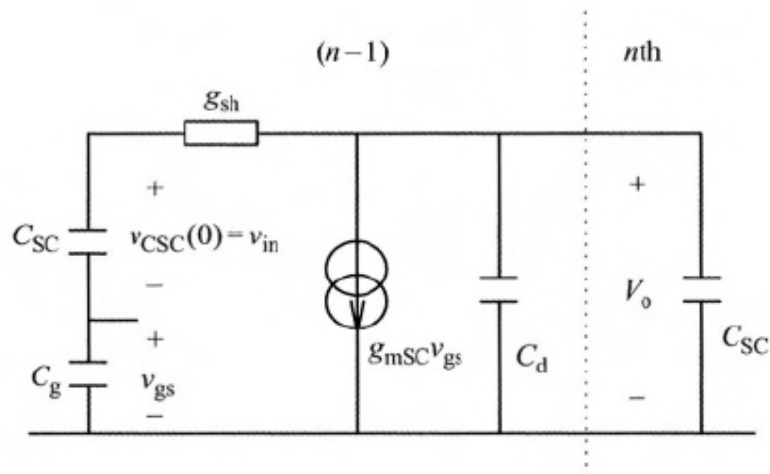


Figura 3.2 - Modelo de pequenos sinais para o transcondutor da Figura 3.1

Na fase de retenção, no modelo de pequenos sinais da Figura 3.2 a resposta na saída pode ser expressa por:

$$v_o(s) = \frac{v_{C_{SC}}(0)(C_g/g_{mSC} + 1/s)}{(C_{SC}/g_{sh})((C_{SC} + C_g)/g_{mSC})s^2 + ((C_d + 2(C_{SC} + C_g))/g_{mSC})s + 1} \quad (3.3)$$

As capacitâncias C_g e C_d podem ser relacionadas por um fator que representa uma proporcionalidade que depende do processo: $C_d = \alpha C_g$. Como demonstrado por [42] o tempo mínimo de estabelecimento (*settling*) requerido para o chaveamento do

transistor N é dado por $C_g = C_{SC} / \sqrt{\alpha}$ e $C_d = C_{SC} \sqrt{\alpha}$. Dessa forma a equação (3.3) pode ser reescrita como:

$$v_o(s) = \frac{v_{in}(\tau_3 + 1/s)}{\tau_1 \tau_2 s^2 + \tau_1 s + 1} \quad (3.4)$$

$$\tau_1 = \left(\sqrt{\alpha} + 2 + 2/\sqrt{\alpha} \right) \frac{C_{SC}}{g_{mSC}} \quad (3.5)$$

$$\tau_2 = \frac{(1 + 1/\sqrt{\alpha})}{\left(\sqrt{\alpha} + 2 + 2/\sqrt{\alpha} \right)} \frac{C_{SC}}{g_{sh}} \quad (3.6)$$

$$\tau_3 = \frac{1}{\sqrt{\alpha}} \frac{C_{SC}}{g_{mSC}} \quad (3.7)$$

$$g_{sh} = \frac{4(1 + 1/\sqrt{\alpha})}{\left(\sqrt{\alpha} + 2 + 2/\sqrt{\alpha} \right)^2} g_{mSC} \quad (3.8)$$

$$v_o(s) = \frac{v_{in}}{s((\tau_1/2)s + 1)^2} \quad (3.9)$$

$$F_{SC} = \frac{1}{2 \times 4.5 \tau_1} = \frac{1}{9 \left(\sqrt{\alpha} + 2 + 2/\sqrt{\alpha} \right)} \frac{g_{mSC}}{C_{SC}} \quad (3.10)$$

3.1.1 Estabelecimento (*Settling*) em circuitos SI

A célula básica de memória SI, conforme mostra a Figura 3.3, apresenta as duas fases: amostragem e retenção.

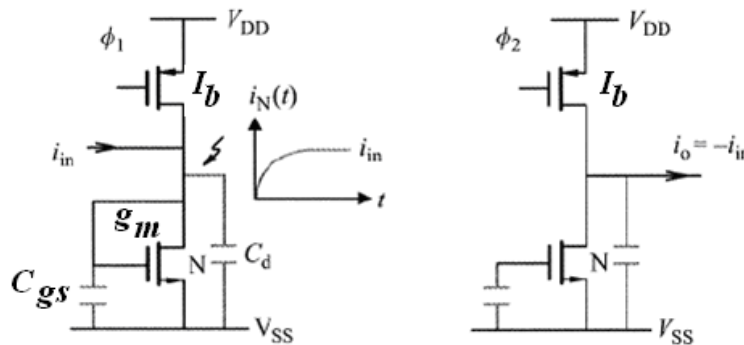


Figura 3.3 - Célula básica de memória de corrente (a) amostragem (b) retenção

A corrente de saída no domínio s para a representação da célula SI da Figura 3.3 a partir do modelo elétrico de pequenos sinais da Figura 3.4, pode ser expressa como:

$$i_o(s) = \frac{i_{in}}{(2C_d / g_{sw})(C_{gs} / g_m)s^2 + ((2C_d + C_{gs}) / g_m)s + 1} \quad (3.11)$$

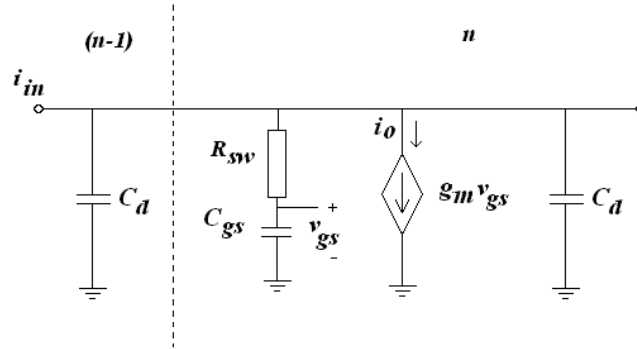


Figura 3.4 - Modelo de pequenos sinais SI, fase de retenção

Onde i_{in} representa a corrente de entrada na fase $(n-1)$, R_{sw} é a resistência das chaves no momento da amostragem (n) , C_d é a capacitância parasita de sobreposição do dreno e C_{gs} é a capacitância devida a área de *gate* ao *source*.

Fazendo $C_d = \alpha C_{gs}$ pode-se reescrever a equação (3.11) na forma:

$$i_o(s) = \frac{i_{in}}{\tau_1 \tau_2 s^2 + \tau_1 s + 1} \quad (3.12)$$

Onde,

$$\tau_1 = (1 + 2\alpha) \frac{C_{gs}}{g_m} \quad (3.13)$$

$$\tau_2 = \frac{2\alpha}{(1 + 2\alpha)} \frac{C_{gs}}{g_{sw}} \quad (3.14)$$

O tempo de estabelecimento pode ser minimizado, fazendo $\tau_1 = 4\tau_2$. Assim, pode-se inferir que a condutância da chave deve ser:

$$g_{sw} = \frac{8\alpha}{(1 + 2\alpha)^2} g_m \quad (3.15)$$

Reescrevendo a equação,

$$i_o(s) = \frac{i_{in}}{((\tau_1/2)s+1)^2} \quad (3.16)$$

Assumindo que o tempo de estabelecimento deve acontecer até a fase de retenção, então a máxima frequência possível, é dada pelo dobro do tempo de amostragem, durante aproximadamente $5\tau_1$ ou $F_c=1/(2T_{ret})$, para uma resolução de $1/1000$.

$$F_{SI} \cong \frac{1}{2T_{ret}} = \frac{1}{10(1+2\alpha)} \frac{g_m}{C_{gs}} \quad (3.17)$$

Na Figura 3.5 apresenta-se a representação gráfica da expressão (3.17).

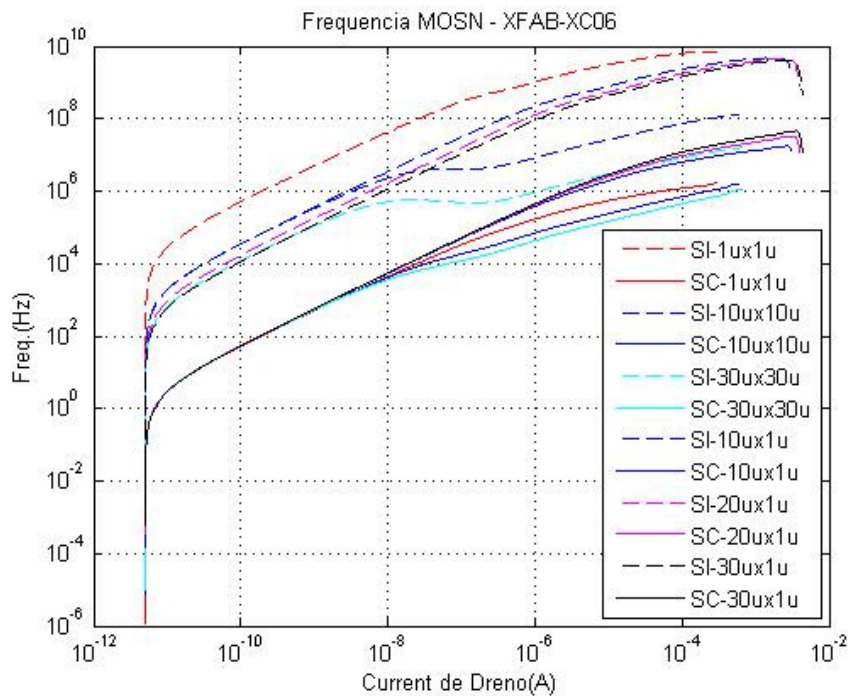


Figura 3.5 – Resposta em Frequência para células SI e SC

Para simulação dos modelos apresentados considera-se a tecnologia XFAB, XC06 no modelo BSIM3v3. Desta, foram extraídos por simulação elétrica SPICE/Eldo, parâmetros de transcondutância g_m , condutância de canal g_{ds} , a tensão de *dreno-source* V_{ds} , a tensão de *gate-source* V_{gs} , a tensão de *threshold* V_{th} , a capacitância *gate-source* C_{gs} , a capacitância de *overlap gate-dreno* C_{gd} . Todos estes parâmetros em função da corrente de *dreno* I_d , para diferentes tamanhos de transistores W/L . Com esses vetores, as expressões (3.10) e (3.17) foram simuladas com uso da ferramenta MatLab.

3.2 Consumo

Tanto nos moduladores SC como nos SI, o consumo de potência para circuitos SC e SI pode ser estimado pela corrente média de polarização, neste caso, dada por I_d : e pela tensão de alimentação, 5V para esta tecnologia.

$$P_{SC} = I_d V_{DD} \quad (3.18)$$

$$P_{SI} = I_d V_{DD} \quad (3.19)$$

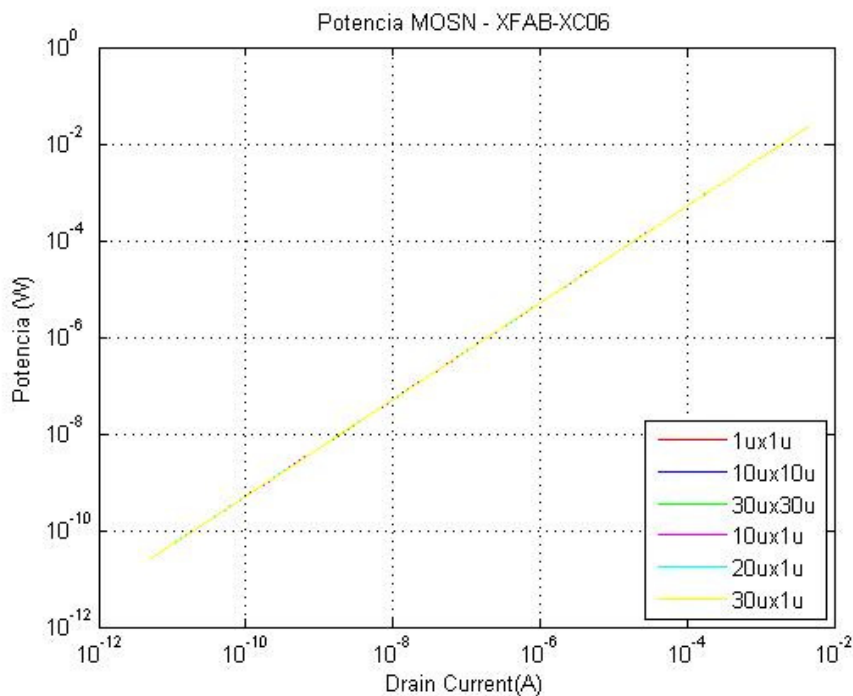


Figura 3.6 - Consumo em função da corrente de dreno

3.3 Relação Sinal Ruído (SNR)

O ruído em circuitos SC e SI, é composto basicamente, pelo ruído térmico e pelo ruído de cintilação (1/f), características inerentes dos transistores MOS.

Ruído térmico em um transistor

$$\overline{i_{disp}^2} = 4kT \frac{2}{3} gm \Delta f \quad (3.20)$$

Fase de amostragem

$$\Delta f = \frac{g_m}{4C_{gs}} \quad (3.21)$$

Fase de retenção

$$\overline{i_{ret}^2} = g_m^2 \left(\frac{2}{3} \frac{kT}{C_{gs}} \right) \quad (3.22)$$

Total do ruído

$$\overline{i_{total}^2} = \overline{i_{amos}^2} + \overline{i_{ret}^2} = g_m^2 \left(\frac{4kT}{3C_{gs}} \right) \quad (3.23)$$

Considerando como sinal uma senóide que varia de pico a pico entre I_{\max} e I_{\min} , dada por:

$$I_{p-p} = (I_{\max} - I_{\min}) \quad (3.24)$$

$$\overline{I_{rms}^2} = \frac{(I_{\max} - I_{\min})^2}{8} \quad (3.25)$$

A relação sinal-ruído (SNR) então resulta:

$$SNR_{SI} = \frac{3(I_{\max} - I_{\min})^2 C_{gs}}{32kTg_m^2} \quad (3.26)$$

Onde, k é a constante de Boltzman, T é a temperatura absoluta, g_m é a transcondutância do transistor.

O resultado da equação (3.26) admitindo-se uma modulação de 50% sobre a corrente de polarização (I_{bias}), $I_{\max} = I_d * 1.5$ e $I_{\min} = I_d * 0.5$, está expresso no gráfico da Figura 3.7.

Para o caso SC, tem-se conforme [12] (capítulo 17).

$$SNR = \frac{v_{o,pico}^2}{2 \cdot v_{o,ruído}^2} \quad (3.27)$$

$$SNR_{SC} = \frac{(V_{DD} - V_{dsN} - V_{dsP})^2}{(1 + k_s + k_n + V_{dsN} / V_{dsP})(16/3)(kT / C_{SC}^T)} \quad (3.28)$$

Onde os novos termos são dados como:

$$C_{SC}^T = \frac{(\sqrt{\alpha} + 2 + 2/\sqrt{\alpha})}{(1 + 1/\sqrt{\alpha})^2} C_{SC} \quad (3.29)$$

$$k_s = \frac{3(\sqrt{\alpha} + 2 + 2/\sqrt{\alpha})}{2(1 + 1/\sqrt{\alpha})} \quad (3.30)$$

$$k_h = \frac{3(\sqrt{\alpha} + 2 + 2/\sqrt{\alpha})^2}{8(1 + 1/\sqrt{\alpha})^3} \quad (3.31)$$

Para o caso SNR_{SC} , a tensão definida no numerador da equação (3.28), determina a faixa dinâmica de excursão do sinal. Tomando-se as tensões de *overdrive*, $V_{dsN} = V_{dsP}$ por $2V_{ds} = I_d/g_m$ a equação pode ser expressa por

$$SNR_{SC} = \frac{(V_{DD} - I_d / g_m)^2}{(2 + k_s + k_h)(16/3)(kT / C_{SC}^T)} \quad (3.32)$$

Na Figura 3.7.,apresenta-se a demonstração gráfica das expressões (3.26) e (3.32), conforme explicado na seção 3.1.

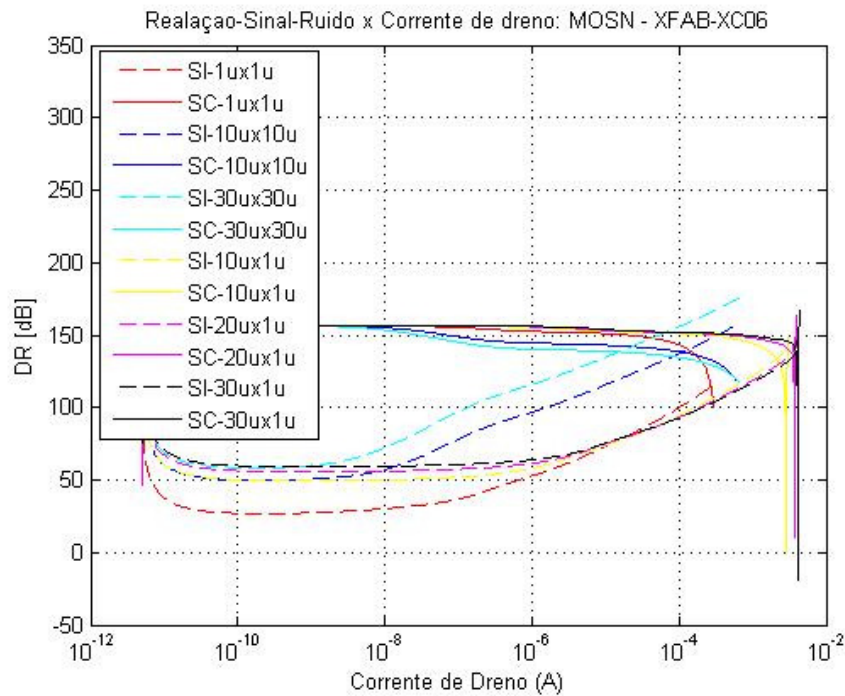


Figura 3.7 - Faixa dinâmica para célula SI e SC

3.4 Figura de Mérito

A figura de mérito descrita na seção Capítulo 3 pode então ser reescrita juntando-se as expressões (3.17), (3.19), (3.26) para o caso SI e (3.10), (3.18), (3.32) para o caso SC.

$$FoM_{SI} = \frac{1}{10(1+2\alpha)} \cdot \frac{3(I_{\max} - I_{\min})^2}{32kT} \frac{C_{gs}}{g_m} \frac{1}{V_{DD} \cdot I_d} \quad (3.33)$$

$$FoM_{SC} = \frac{3(V_{DD} - I_d/g_m)^2}{144(2+k_s+k_h)(kT)} \frac{g_m}{(1+\sqrt{\alpha})^2} \frac{1}{V_{DD} I_d} \quad (3.34)$$

A Figura 3.8, representa graficamente as equações (3.33) e (3.34) com os traços característicos para vários tamanhos de transistores nas células SC e SI.

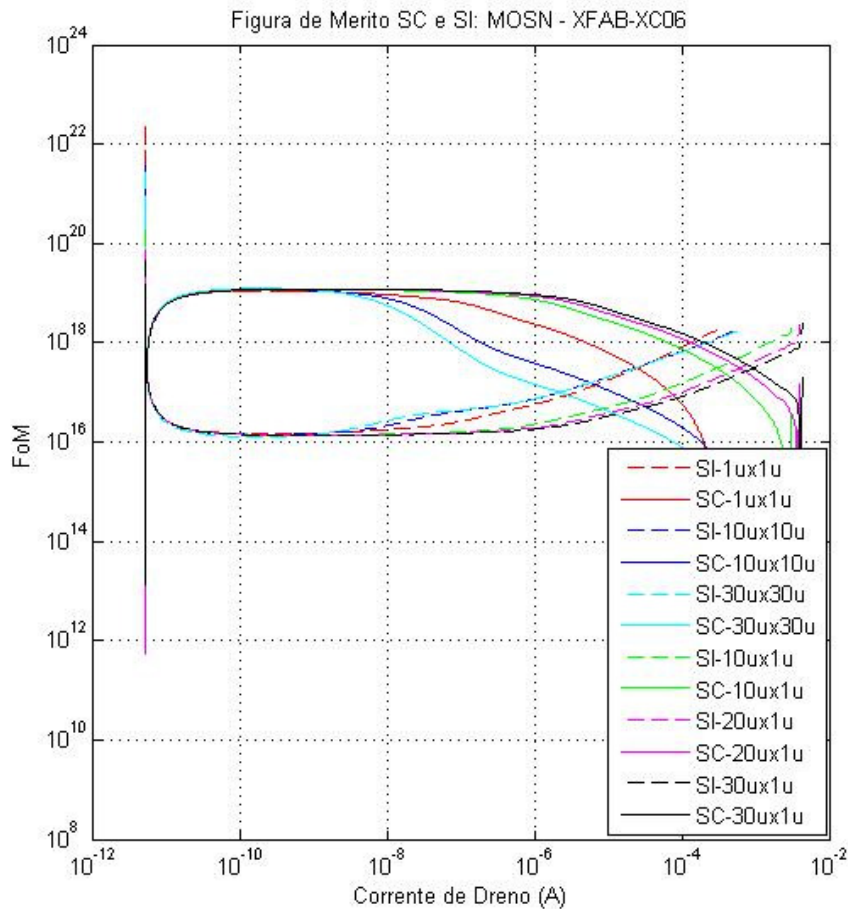


Figura 3.8 - Figura de mérito para células SI e SC

3.5 Conclusões:

Conforme nota-se pelos gráficos da Figura 3.5 e Figura 3.7, a célula SI apresenta melhor performance no critério velocidade, enquanto que a célula SC tem vantagem quando o critério é a relação-sinal-ruído (SNR), considerando o consumo constante.

Sob o aspecto da figura de mérito dado pela Figura 3.8, nota-se que a célula SI melhora o desempenho com o aumento da corrente de polarização e área de *gate-source*, (aumento de W/L), enquanto que a célula SC ao contrário, piora o desempenho com o aumento da corrente de polarização e área de *gate-source*.

Capítulo 4

Projetos Sigma Delta SC e SI

Neste capítulo, descreve-se o projeto do modulador sigma delta, partindo-se das especificações iniciais.

Primeiramente, o modulador é projetado e simulado utilizando blocos ideais, ou seja, desprezando as não idealidades apresentadas nos blocos no nível dos transistores. Nesta etapa são definidos a estrutura do modulador e os coeficientes utilizados.

Posteriormente, as não idealidades desprezadas na etapa anterior devem ser consideradas e modeladas, e utilizadas nos blocos para simulação. Desta forma, devem ser projetados valores limites para que as não-linearidades não degradem o desempenho final do modulador, garantindo que o projeto elétrico, respeitando o limite das não idealidades, terá o desempenho desejado.

A simulação com modelos comportamentais dos blocos pode ser realizada de duas maneiras: O primeiro é através do Simulink, utilizando-se um Toolbox do Matlab, o qual traz blocos com os principais parâmetros de não idealidades modelados. O segundo é utilizando ferramentas de simulação de sinais mistos, já que o kit de projeto da XFAB disponível possui blocos prontos com os códigos VHDL-AMS (VHDL para utilização em sinais mistos). Este tipo de simulação tem a vantagem de se utilizar blocos reais, com modelos elétricos, juntamente com modelos comportamentais de sinais mistos (VHDL-AMS).

Após a conclusão destas etapas de simulação, parte-se para o projeto e simulação elétrica no nível dos transistores (modelo SPICE BSIM3V3). As últimas etapas compreendem a confecção do protótipo, testes e validação do projeto.

O projeto do Modulador Sigma Delta apresentado aqui é baseado em [4]. A estrutura do modulador, os coeficientes utilizados, as estruturas e os parâmetros dos blocos analógicos foram utilizados como parâmetros iniciais para este projeto.

As condições iniciais ao projeto conversor AD $\Sigma\Delta$, são oriundas das necessidades e motivações para uma aplicação específica, neste caso, a medição em sistemas de energia elétrica [45], tomando-se como ponto de partida duas especificações principais; a banda de interesse e a resolução efetiva do conversor em número de bits.

4.1 Especificações para o Modulador Sigma-Delta

O espectro da banda base de interesse será aqui definido, em parte, em função da maior frequência a ser medida pelo sistema de monitoração de Qualidade de Energia Elétrica (QEE), na qual são consideradas as harmônicas até a 50ª ordem, ou seja, a frequência de 3 kHz (50ª em relação a fundamental de 60 Hz), como também, por eventos de faltas e transitórios que devem ser processados e reconhecidos em até $\frac{1}{4}$ de ciclo de 60Hz.

Com base no exposto, definiu-se uma banda base de interesse que remeta o sistema de aquisição a fornecer informações suficientemente rápidas para medição, controle e proteção de acordo com o que as normas recomendam. Ou seja, define-se a banda de interesse em 10 kHz (0 a 10 kHz).

Em medição e monitoramento da QEE também há que se considerar outro aspecto de fundamental importância, que é a precisão nas medidas, que no escopo deste trabalho se traduz na precisão da conversão analógica para digital, ou em outras palavras, na precisão quanto a quantização discreta destes sinais. Dessa forma, estima-se que uma resolução efetiva de 16 Bits na saída do conversor, contemple uma resolução de $3/65536$ $V \approx 45\mu V$ (saída dos transdutores – 1,5 Vp-p com 2^{16} níveis).

Tomando-se então uma resolução de 16 bits, podemos encontrar qual a relação sinal ruído (SNR) a ser atingida em conversor do tipo $\Sigma\Delta$, de acordo com a equação (2.20), ou seja um SNR de 98 dB.

Com base então no SNR de 98 dB, encontramos a taxa de sobre-amostragem (OSR) pelo gráfico da Figura 2.8 de acordo com a ordem do modulador escolhida. Neste caso, optando-se por um modulador de 2ª ordem, com um OSR de 256 vezes.

Ou, de outra forma, pode-se estimar a taxa de sobre-amostragem em função do gráfico da Figura 2.9, que conduzem aos mesmos resultados.

Define-se também a escolha do *clock* do modulador, com base na taxa de sobre-amostragem, ou seja, para uma banda de interesse de 10 kHz, a frequência de *Nyquist* será de 20 kHz, e aplicando-se a taxa de sobre-amostragem de 256 vezes, define-se então um *clock* de 5MHz.

O Modulador $\Sigma\Delta$ será implementado em tecnologia CMOS 0.6 um. Todos os blocos construtivos deste (AmpOp's, comparadores e integradores) serão projetados individualmente e adequados ao sistema de acordo com as necessidades do projeto, com técnicas de chaveamento de capacitores. A frequência de chaveamento destes dispositivos capacitivos será definida posteriormente durante a fase de projeto dos circuitos analógicos.

A Tabela 4.1 tipifica resumidamente as definições preliminares e as metas a serem alcançadas no desenvolvimento do Modulador $\Sigma\Delta$.

Tabela 4.1 - Resumo das Especificações do Modulador

Especificação	Valor
Banda de Interesse	10 kHz
Resolução efetiva	16 bits
Fundo de escala	3V
Taxa de Sobre-amostragem	250
Ordem do Modulador	2
Faixa Dinâmica (SNR)	98dB
Clock do Modulador	5000 kHz
Tecnologia de Fabricação	0.6 um CMOS
Técnica Construtiva	Implementação usando capacitor chaveado e corrente chaveada

4.2 Metodologia de projeto

No desenvolvimento do projeto será utilizada uma abordagem *top-down*, ilustrada na Figura 4.1.

4.2.1 Etapas do projeto *top-down*

O projeto inicia pela elaboração das especificações do sistema, as quais são condicionadas por um conjunto de requisitos previamente estabelecidos. Banda de interesse e relação sinal-ruído são exemplos de requisitos conhecidos a priori. Deste ponto em diante o fluxo segue paralelamente por dois caminhos distintos: projeto do modulador (analogico) e projeto dos filtros (digital). Entretanto, apesar da divisão, os fluxos compartilham do mesmo número de etapas, bem como o nível de abstração das mesmas. Isto se dá principalmente pelo fato da necessidade de utilização dos resultados de um fluxo para a validação dos resultados do outro e vice-versa.

De posse das especificações do sistema, o próximo passo consiste no projeto e simulação do mesmo em nível comportamental (blocos ideais). Para tanto, serão utilizadas ferramentas como Matlab e Simulink, que oferecem um ótimo suporte à modelagem, simulação e análise de sistemas que façam uso da técnica de processamento de sinais, como é o caso de conversores Analógico-Digitais.

Após a validação em nível comportamental e estrutural de alto nível, a próxima etapa consistirá no mapeamento das estruturas elaboradas na etapa anterior para um nível mais baixo de abstração. Para tanto, serão utilizadas ferramentas como Design Architect e Eldo (projeto e simulação em nível de esquemáticos) no fluxo analógico.

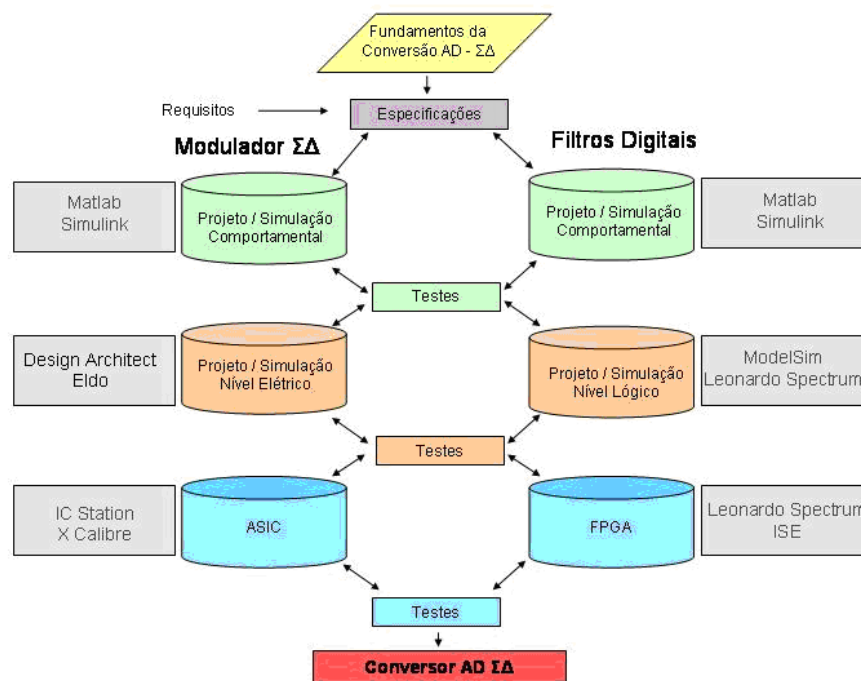


Figura 4.1 - Fluxograma de projeto do conversor AD $\Sigma\Delta$

A última fase consiste na implementação física dos modelos refinados nas etapas anteriores. O módulo analógico utilizará ferramentas como IC Station (projeto de layout dos transistores) e XCalibre (extração elétrica do circuito).

A Figura 4.2 apresenta o diagrama de blocos da topologia escolhida para a construção do modulador $\Sigma\Delta$, o qual apresenta um modulador de 2ª ordem. Esta estrutura, juntamente com os coeficientes utilizados, são baseados em [4], pela similaridade das especificações, tecnologia de fabricação empregada e comprovada estabilidade.

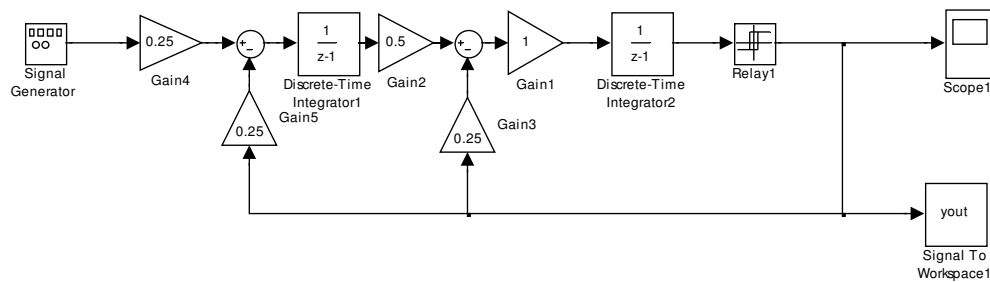


Figura 4.2 – Diagrama de Blocos de um Modulador $\Sigma\Delta$ e coeficientes utilizados.

Esta estrutura foi montada e testada utilizando o Simulink. A Figura 4.3 apresenta a densidade espectral de potência do modulador para uma entrada de 0 dB (1V). A Figura 4.4 representa a Figura 4.3, porem em maiores detalhes na banda de interesse. A Figura 4.5 apresenta o resultado da Relação-Sinal-Ruído para diferentes níveis de tensão de entrada. Pode-se observar que o modulador atinge um valor máximo de SNR de 100dB.

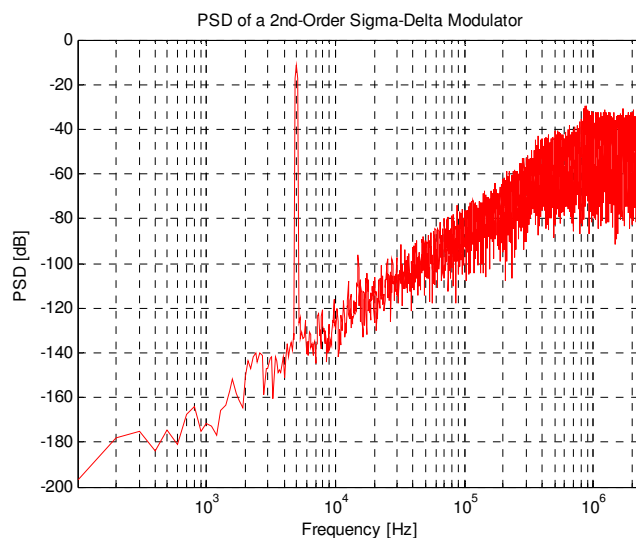


Figura 4.3 – Densidade Espectral de Potência

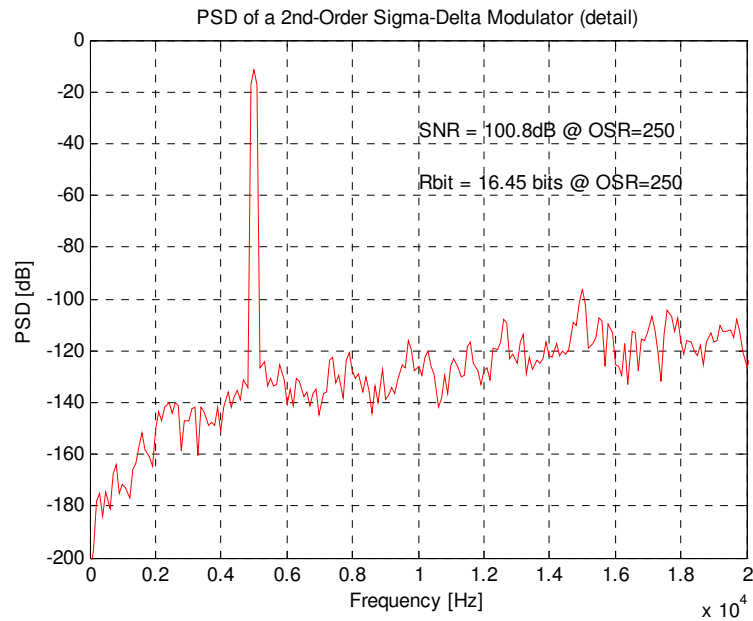


Figura 4.4 – Densidade Espectral de Potência - detalhe na banda-base

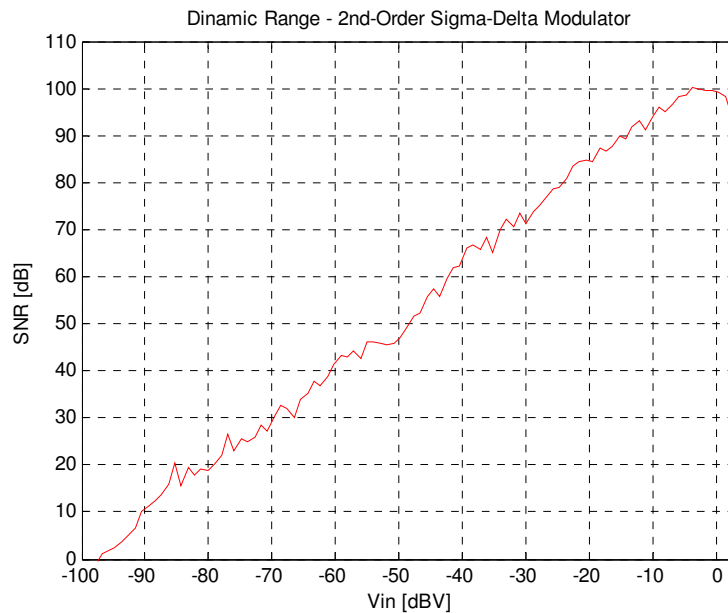


Figura 4.5 – Faixa dinâmica de resposta do modulador

4.3 Implementação a Capacitor Chaveado - SC

Após o projeto do modulador em nível de blocos ideais e a definição dos coeficientes, são projetados os blocos analógicos. São eles: chave analógica, comparador, amplificador operacional, gerador de fases de *clock* e por fim, o Modulador Sigma Delta.

O kit de Projeto (*Design Kit*) utilizado foi o disponível pela XFAB XC06. Todos os blocos foram projetados e testados utilizando as ferramentas de projeto da Mentor Graphics:

Design Architect: Editor de esquemático de circuitos;

Eldo: Simulador elétrico;

IC Station: Ferramenta de layout;

Calibre DRC: Checagem das regras de layout;

Calibre LVS: Comparação entre esquemático e layout;

Calibre PEX: Extração elétrica contendo elementos parasitas.

O projeto dos blocos analógicos foi executado como segue: inicialmente, os esquemáticos dos módulos foram montados utilizando o Design Architect, e simulados com o simulador Eldo. Após o dimensionamento e definição das polarizações dos transistores, alcançadas as características desejadas, iniciou-se a etapa da construção do layout dos circuitos, com o IC Station. O Calibre DRC, LVS e PEX foi utilizado para checagem das regras de layout, comparação entre esquemático e layout, e extração de parasitas. O circuito extraído foi novamente simulado, comprovando os resultados obtidos no esquemático.

Dentre as principais técnicas de layout utilizadas, destaca-se a técnica do centróide comum. Outra preocupação foi referente a simetria dos blocos, principalmente nas partes diferenciais.

4.3.1 Chaves Analógicas

As chaves do modulador foram construídas com transistores complementares, conforme mostra a Figura 4.6 (a). As dimensões dos transistores foram ajustadas para atender os requisitos de resistência $R_{on} < 2000\text{Ohms}$, e são apresentados na Tabela 4.2. A Figura 4.6 (b) mostra o circuito de teste de resistência das chaves.

A Figura 4.7 apresenta o comportamento da resistência R_{on} das chaves, ao longo da variação da tensão de entrada. Esta figura demonstra que a resistência da chave fica em torno de 1700ohms para uma faixa de variação entre 1,5V e 3,5V da tensão de entrada.

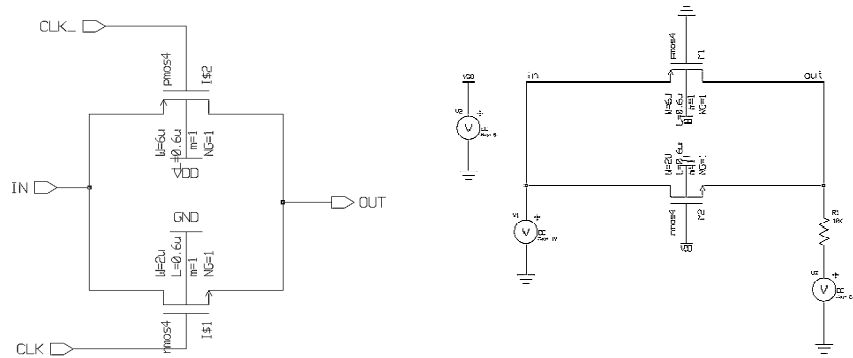


Figura 4.6 – Chave Analógica e circuito de teste

Tabela 4.2 - Dimensões dos transistores das chaves analógicas

MOS	W(μm)	L(μm)
N	2	0.6
P	6	0.6

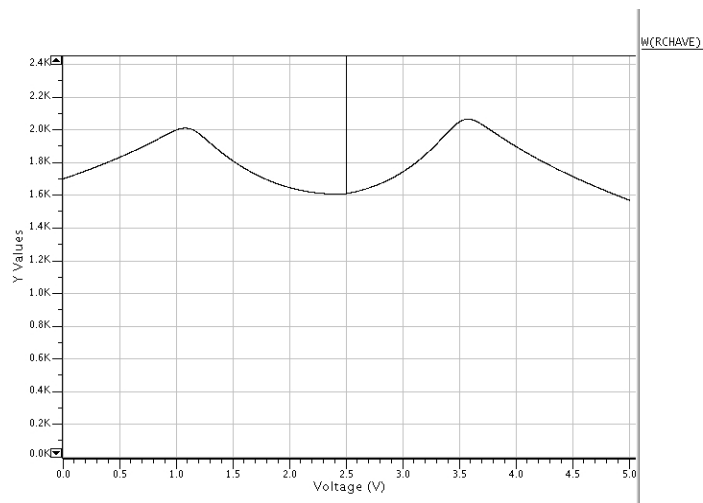


Figura 4.7 – Resistência das chaves analógicas em estado ligado

Após o projeto das chaves, efetua-se o layout da mesma, representada na Figura 4.8. A área ocupada pela chave é de $206,57\mu m^2$ ($22,7\mu m \times 9,1\mu m$).

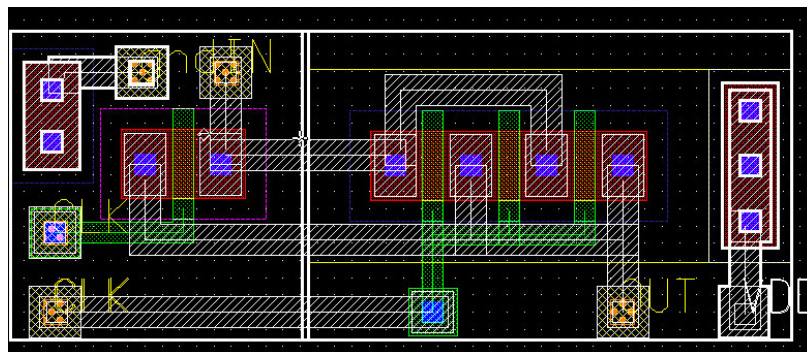


Figura 4.8 – Layout da chave analógica

4.3.2 Comparador

A Figura 4.9 apresenta o esquemático do comparador utilizado, o qual é composto de um *latch* regenerativo, seguido por um *flip-flop SR*. Ressalta-se que as duas portas inversoras apresentadas fazem parte do *latch*.

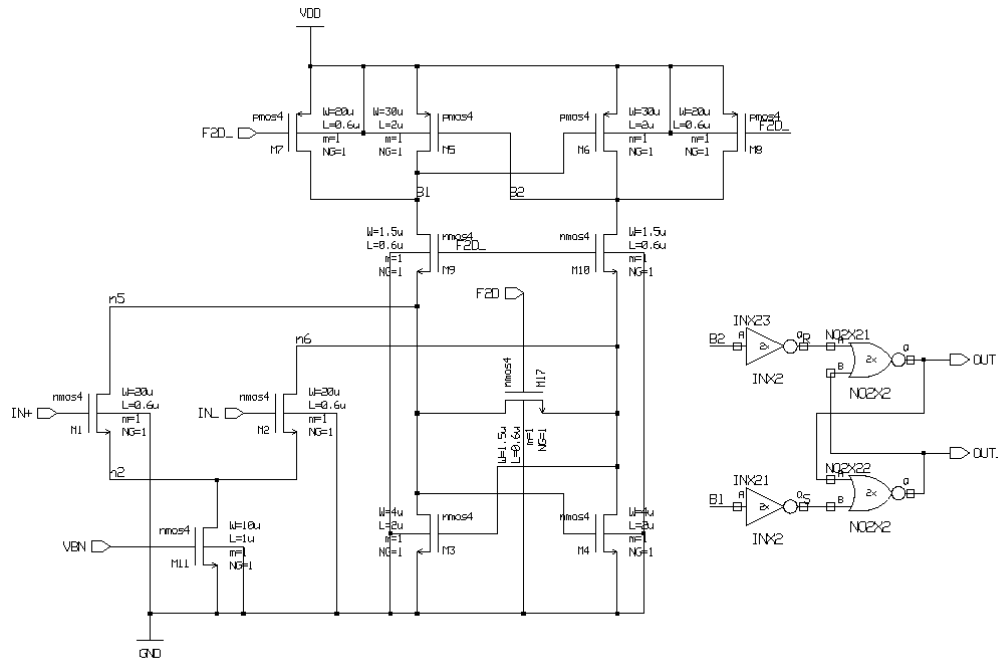


Figura 4.9 – Esquemático do Comparador

A Figura 4.10 mostra o esquema utilizado nos testes do comparador. A Figura 4.11 e a Figura 4.12 apresentam os resultados de histerese e de tempo de resolução do comparador.

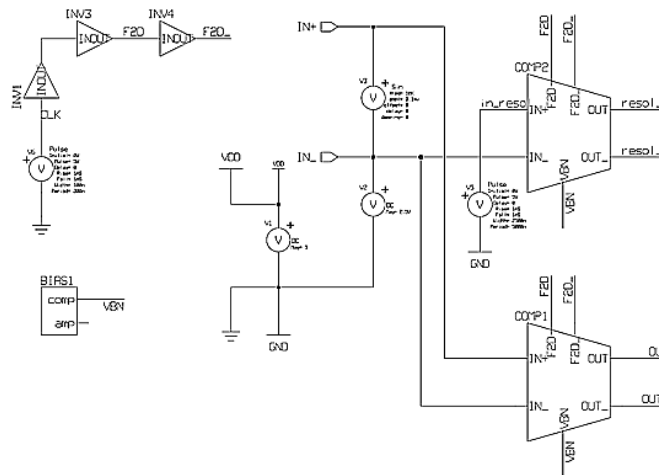


Figura 4.10 – Esquema de Teste do Comparador

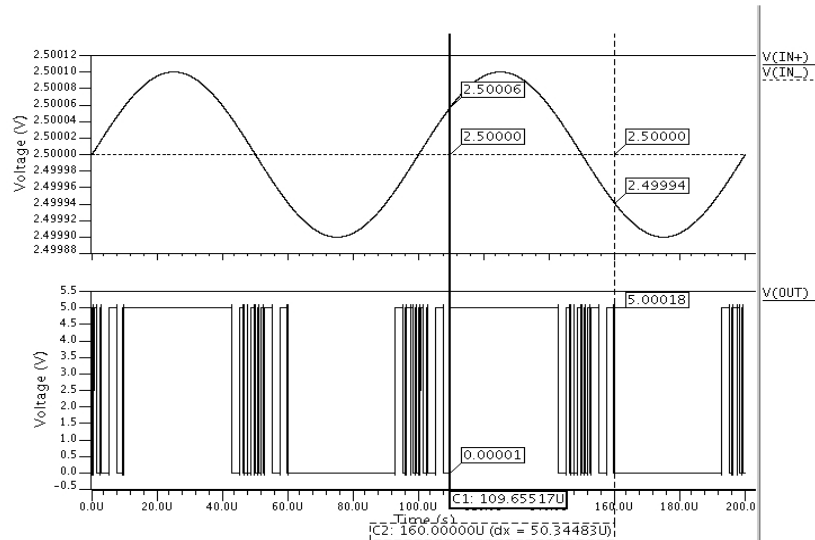


Figura 4.11 – Histerese do comparador

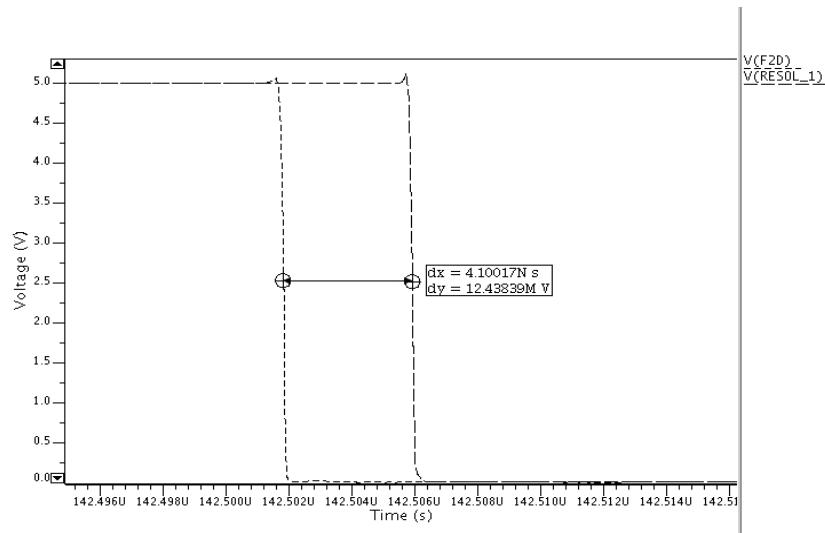


Figura 4.12 – Tempo de resolução do Comparador

Constata-se que a histerese e o tempo de resolução são, respectivamente, iguais a $6mV$ e $4.1ns$.

O layout do comparador é apresentado na Figura 4.13, e ocupa uma área de $4176,16\mu m^2$ ($60,7\mu m \times 68,8\mu m$).

O layout foi extraído e simulado novamente. O novo tempo de resolução, levando em conta as capacitâncias e resistências estimadas à partir da extração, é de $6.0ns$, conforme mostra a Figura 4.14.

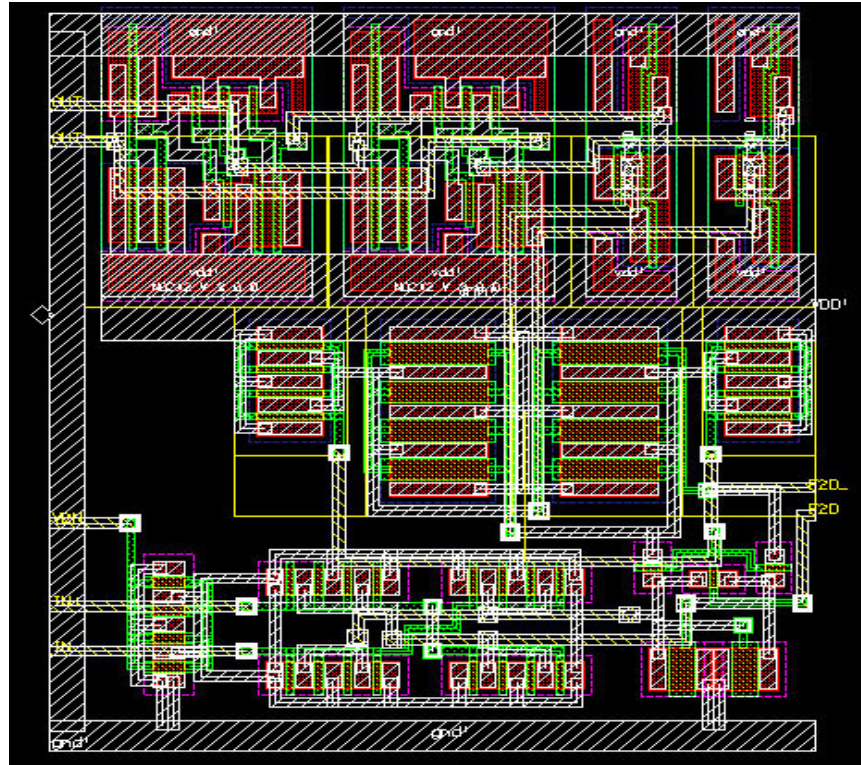


Figura 4.13 – Layout do comparador

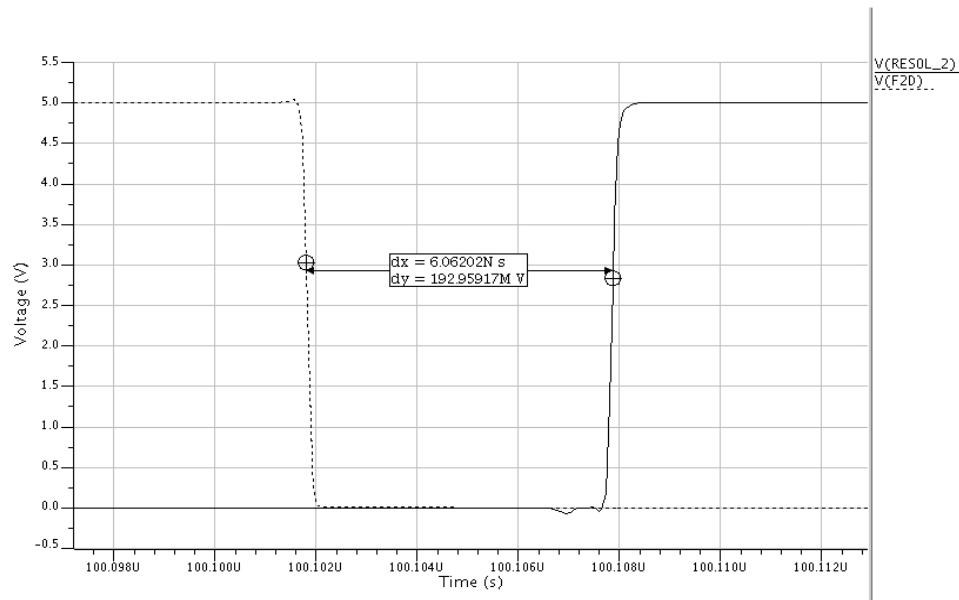


Figura 4.14 – Tempo de Resolução do Comparador Extraído

4.3.3 Amplificador Operacional

O esquemático do amplificador utilizado no modulador está apresentado na Figura 4.15.

O amplificador operacional com saída diferencial exige um controle da tensão de saída em modo comum, chamado de CMFB (*common mode feedback*), utilizando para isto circuitos contínuo ou chaveados. O sistema utilizado foi o controle de modo comum contínuo, devido a sua simplicidade.

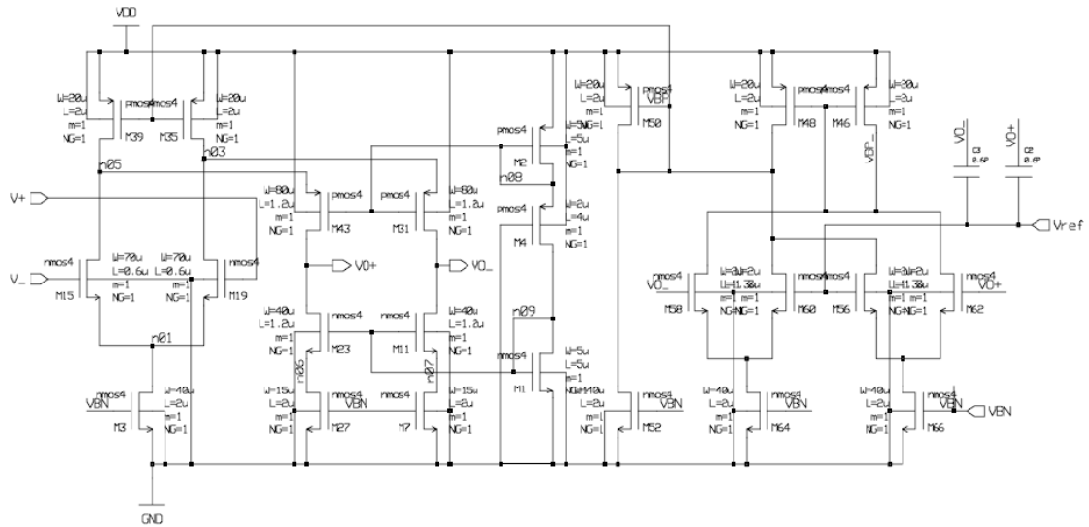


Figura 4.15 – Esquema do amplificador

A Figura 4.16 apresenta o circuito de teste do amplificador. Com esta configuração, as principais características são obtidas.

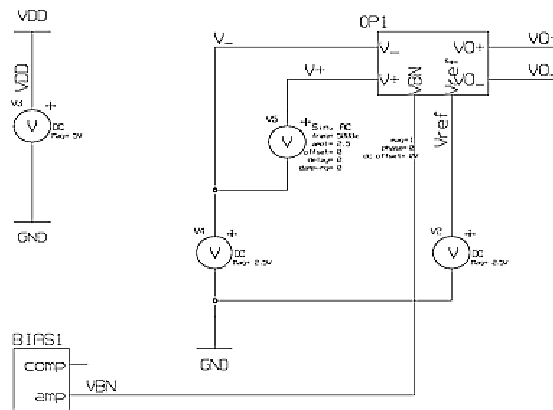


Figura 4.16 – Esquema de Teste do Amplificador

A Figura 4.17 e a Figura 4.18 mostram a resposta AC do amplificador, em saída simples e diferencial. A Figura 4.19 apresenta o comportamento transiente do amplificador, com uma entrada senoidal de 5V de amplitude e 2kHz de frequência. A Figura 4.20 e a Figura 4.21 mostram a análise DC do amplificador.

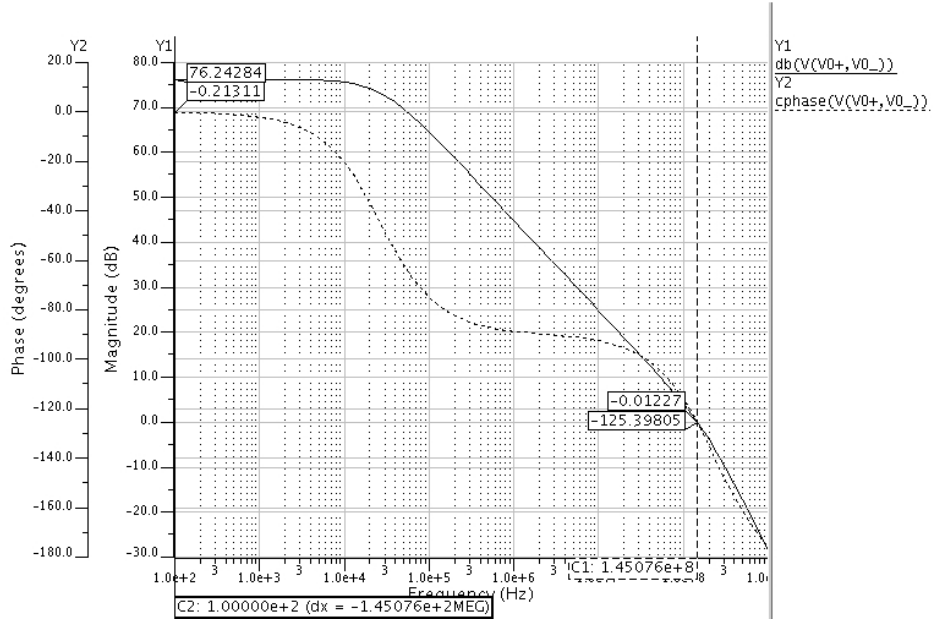


Figura 4.17 – Análise AC do amplificador – saída diferencial

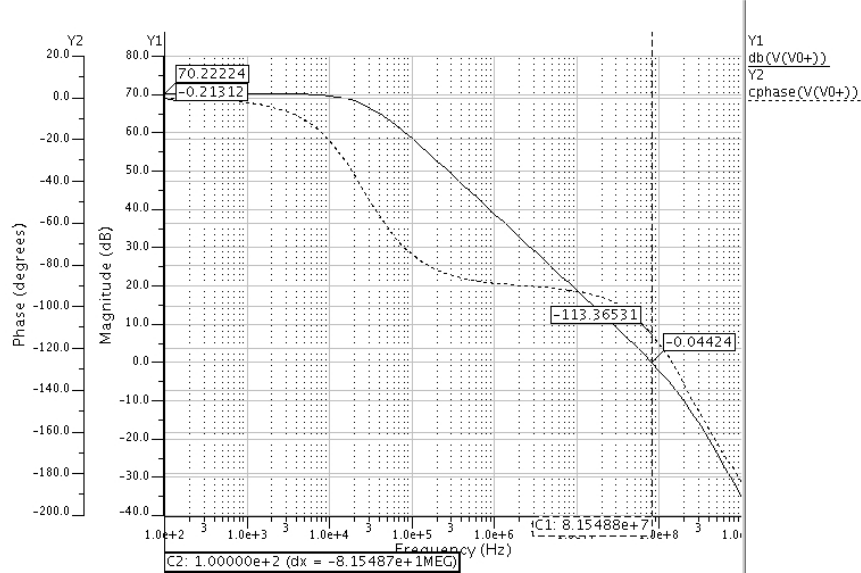


Figura 4.18 – Análise AC do amplificador – saída simples

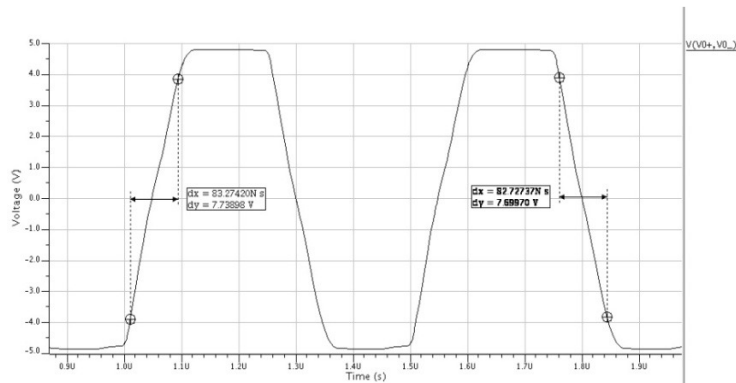


Figura 4.19 – Análise Transiente do Amplificador

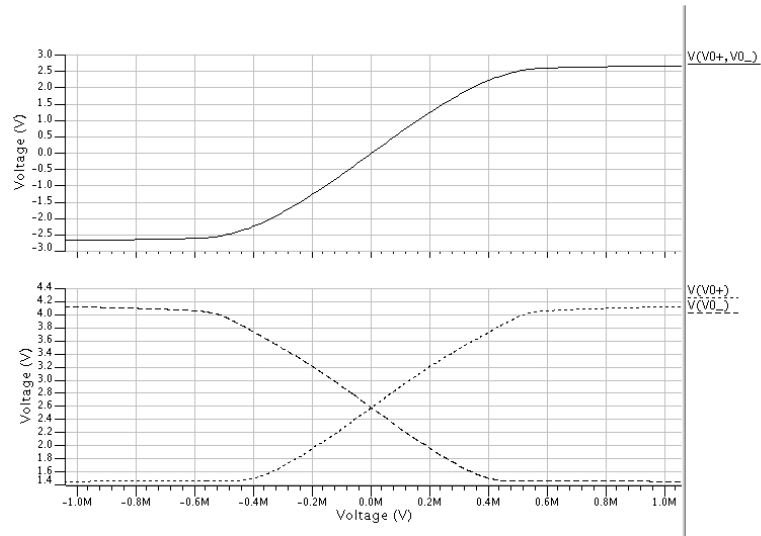


Figura 4.20 – Análise DC do Amplificador a uma entrada diferencial

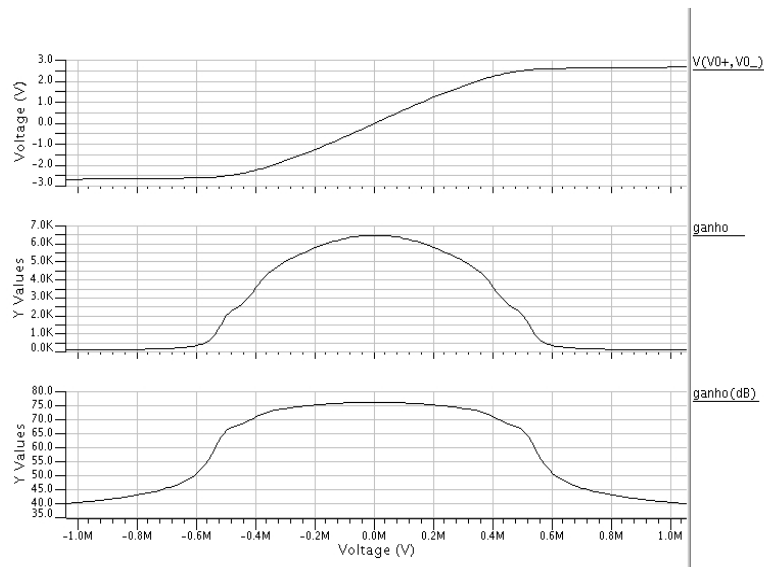


Figura 4.21 – Análise DC do Amplificador – (a) saída vs. Entrada; (b) ganho vs. Entrada; (c) ganho (dB) vs. entrada

Observando os resultados do amplificador, temos as seguintes características:

Ganho em malha aberta: 76.2dB

Frequência de ganho unitário: 145MHz

Margem de fase: 55°

Slew Rate:90V/us

Output Swing:5V

Após o projeto do amplificador, fez-se o layout do circuito, apresentado na Figura 4.22, o qual ocupou uma área de $8172.36\mu\text{m}^2$ ($98.7\mu\text{m} \times 82.8\mu\text{m}$). O layout foi extraído, e as características encontradas foram as seguintes:

Ganho em malha aberta: 76.7dB

Frequência de ganho unitário: 121MHz

Margem de fase: 53°

Slew Rate:74V/us

Output Swing:5V

A Figura 4.23, Figura 4.24, Figura 4.25 e Figura 4.26 referem-se aos resultados da simulação incluindo os parâmetros extraídos do layout do amplificador.

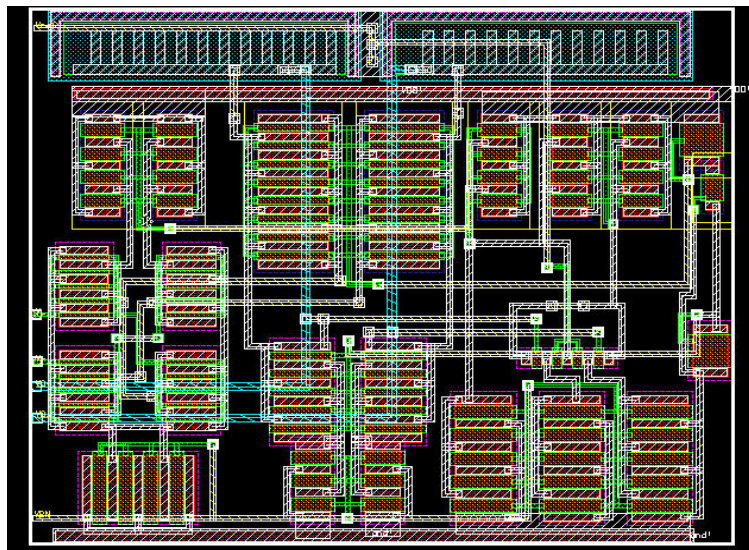


Figura 4.22 – Layout do amplificador

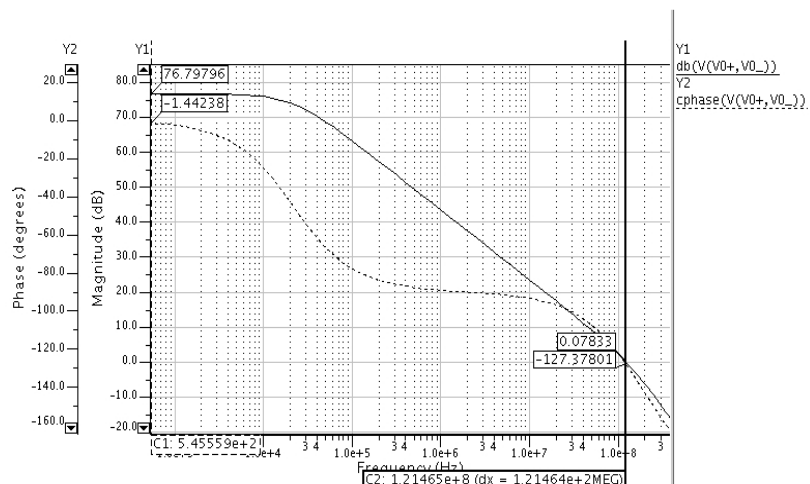


Figura 4.23 – Resposta simulada do amplificador- Análise AC

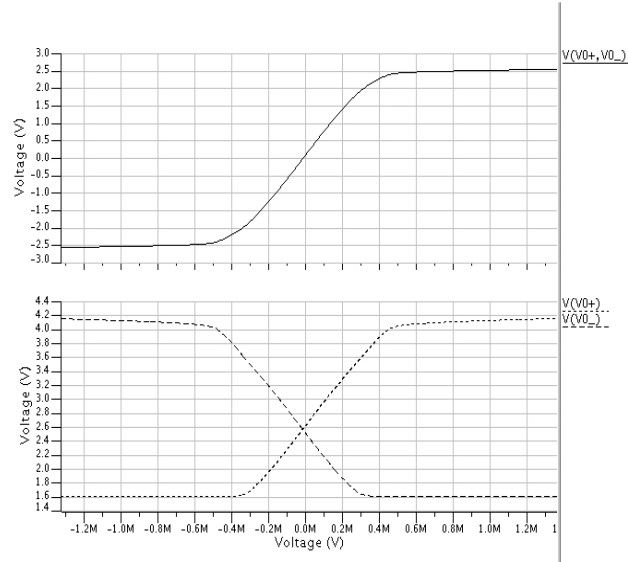


Figura 4.24 – Resposta simulada do amplificador- Análise DC da tensão de saída

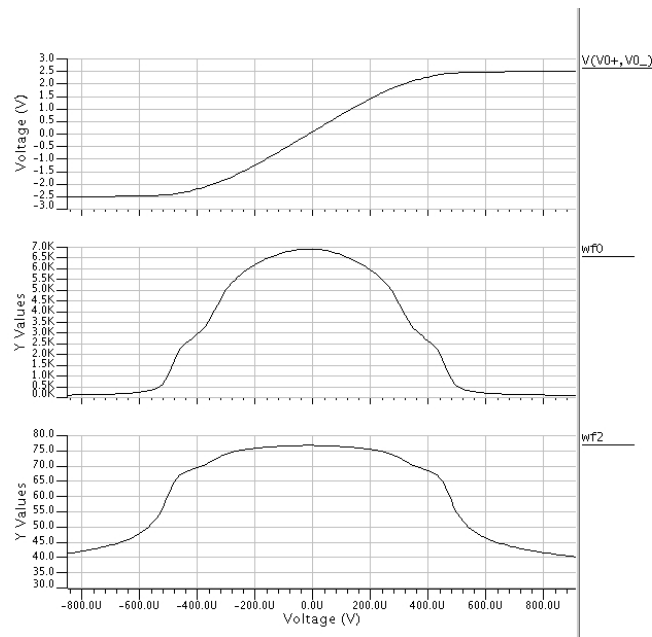


Figura 4.25 – Resposta simulada do amplificador- Análise DC da ganho

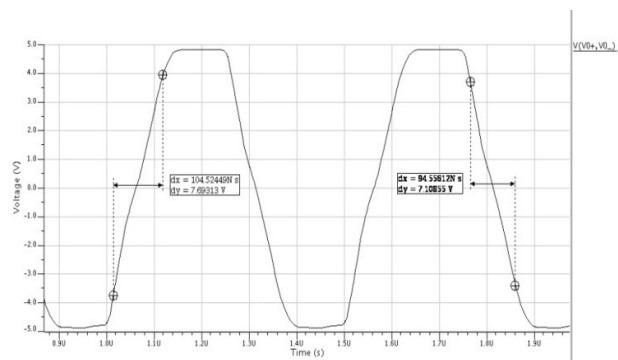


Figura 4.26 - Resposta simulada do amplificador- Análise transiente de saída

4.3.4 Gerador das Fases de Relógio

A Figura 4.27 e a Figura 4.28 apresentam os circuitos geradores das fases de clock. A Figura 4.27 mostra o circuito que gera as duas fases não sobre-amostradas F1 e F2, e suas duas fases atrasadas, F1D e F2D. As fases complementares a estas também são geradas. Estas fases serão utilizadas no chaveamento do modulador, nas chaves que fazem a interconexão entre os capacitores, amplificadores e comparadores. A Figura 4.28 mostra o circuito que gera as fases que controlam a operação do circuito de *chopper* do primeiro integrador. O controle do circuito de *chopper* consiste em duas fases não sobre-amostradas FD e FC, e suas duas versões atrasadas, FDD e FCD. O circuito de *chopper* é responsável por atenuar os efeitos referentes ao offset do primeiro amplificador.

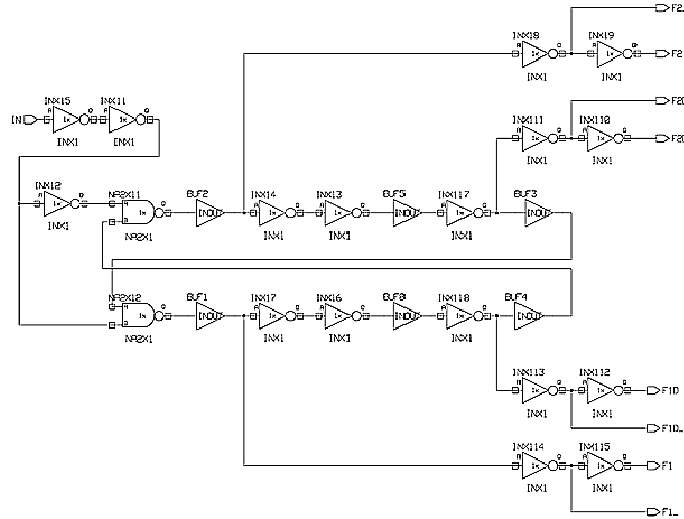


Figura 4.27 – Esquemático do gerador de clock

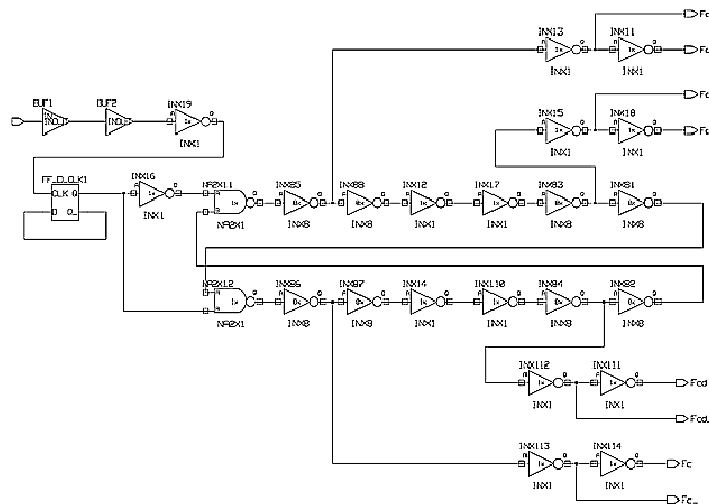


Figura 4.28 - Esquemático do gerador de clock do circuito de *chopper*

Na construção dos geradores de fases de clock foram utilizadas somente portas lógicas da biblioteca do kit de projeto da XFAB, com exceção da porta inversora mostrada na Figura 4.29, que é utilizada para ajustar o atraso entre as fases.

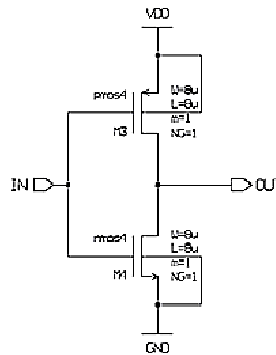


Figura 4.29 – Esquemático da porta lógica utilizada para gerar atraso

A Figura 4.30 apresenta o circuito de teste do gerador de clock.

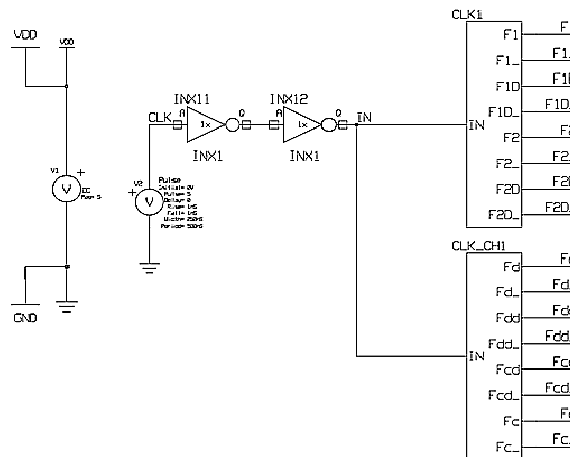


Figura 4.30 – Esquema de Teste do Gerador de Clock

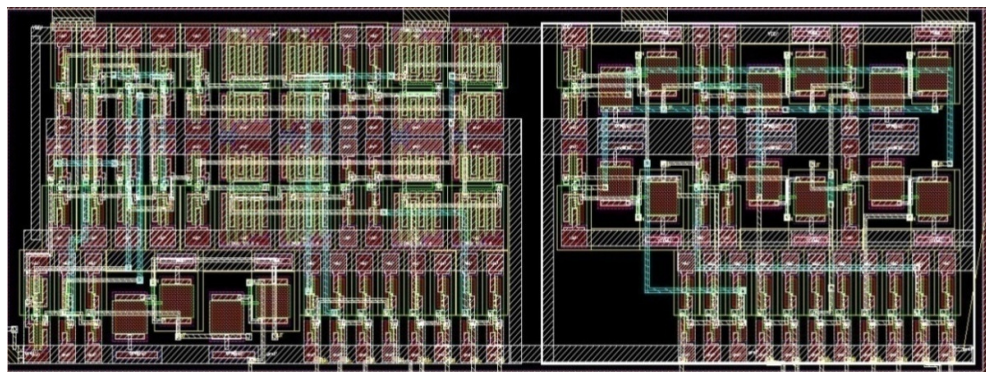


Figura 4.31 – Layout do circuito gerador das fases de clock

A Figura 4.32 apresenta o resultado do gerador das fases de *clock* para o circuito extraído.

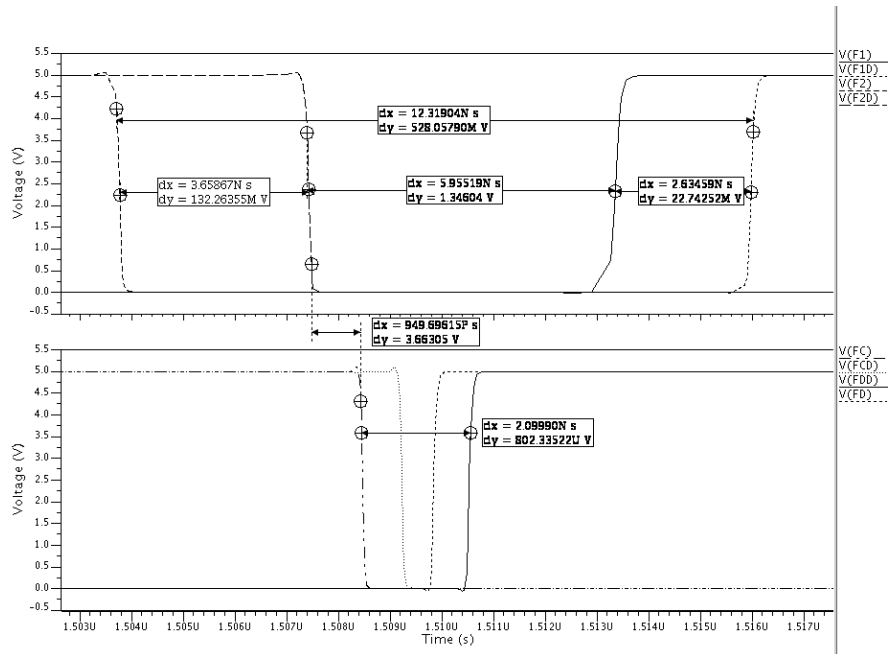


Figura 4.32 – Diagrama das fases de *clock*

4.3.5 Circuito de Polarização

O circuito de polarização da Figura 4.33 é responsável por gerar as tensões de polarização das fontes de corrente dos amplificadores e do comparador.

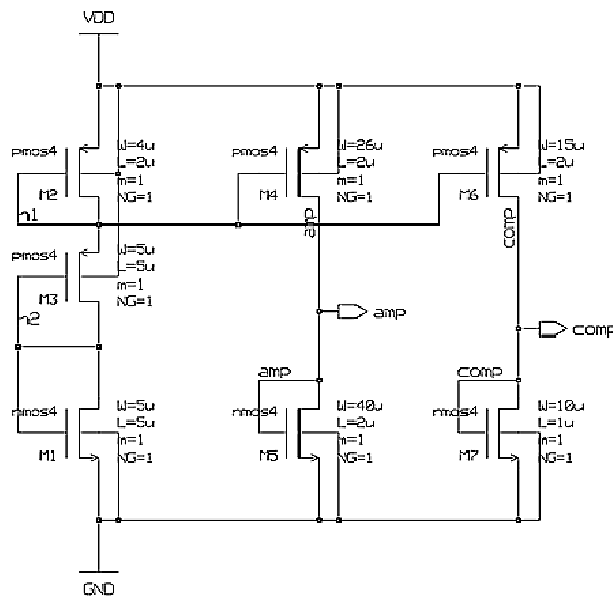


Figura 4.33 – Esquemático do circuito de polarização

4.3.6 Projeto do Modulador Sigma Delta

A Figura 4.34 apresenta o esquemático completo do modulador sigma delta. O circuito de teste é apresentado na Figura 4.35. O arquivo em formato SPICE completo do modulador, é apresentado no Anexo B.

A frequência de sobre-amostragem utilizada é de 5MHz. A tensão de alimentação do circuito é de 5V. As tensões de referência são de +0.75 e -0.75V em torno de um nível médio de 2.5V. Estas tensões de referência inicialmente serão fontes de tensão externas ao chip, e posteriormente, serão implementadas internamente ao chip.

Para analisar o *bitstream* gerado pelo modulador, os resultados gerados pelo simulador são salvos em um arquivo texto (.txt). Este arquivo contém os valores de tensão de saída do modulador (0 ou 5V), de acordo com a período de amostragem (a cada 200ns, o que corresponde a uma frequência de 5MHz). Após, analisa-se o *bitstream* no domínio da frequência, utilizando-se um script escrito para Matlab.

Como sinal de teste na entrada do modulador, utilizou-se sempre um sinal senoidal de frequência de 5kHz, devido ao elevado tempo de simulação. A Figura 4.36 e a Figura 4.37 apresentam o resultado da densidade espectral de potência (*Power Spectral Density* – PSD) para um sinal de entrada de 1V de amplitude. A Figura 4.38 e a Figura 4.39 apresentam a PSD para um sinal de entrada de amplitude de 0.3V de amplitude. Considerou-se que o valor máximo de entrada do modulador deve ser de 1V de amplitude, ou seja, o modulador aceita um sinal com tensões entre 1.5 e 3.5V (pois as tensões de alimentação são de 0 e 5V).

Foram testados diferentes valores de tensões de entrada. A Figura 4.40 apresenta o resultado de relação sinal ruído para diferentes níveis de tensão de entrada, onde 0 dB representa a tensão de 1V de amplitude. A relação sinal/ruído atinge um valor máximo de 90dB para uma tensão de entrada de 0.3V (ou -10dBV). A extrapolação da curva da Figura 4.40 mostra que o modulador tem uma faixa dinâmica (*dynamic range*) de 100dB, o que resulta numa resolução efetiva de 16bits.

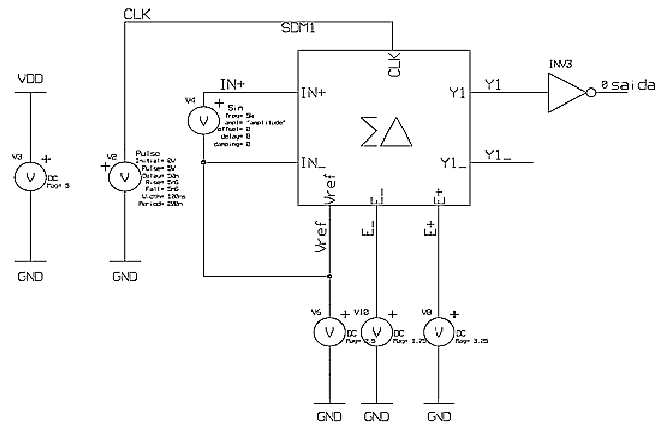


Figura 4.35 – Esquema de teste do modulador

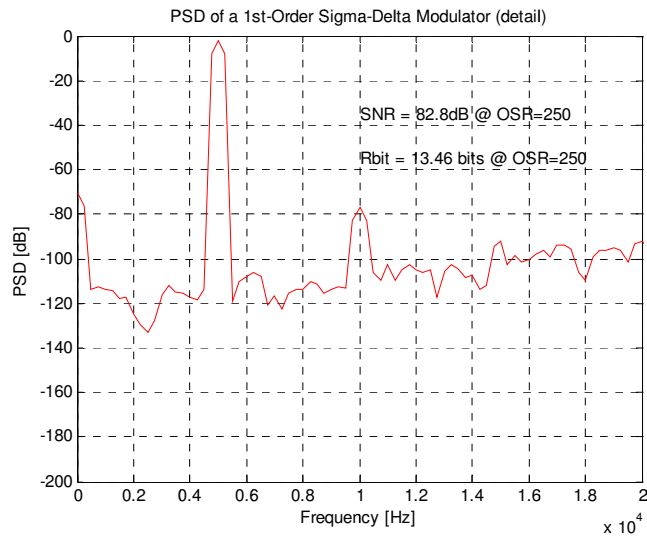


Figura 4.36 – PSD do *bitstream* @ Sinal de entrada = 5kHz e 1V

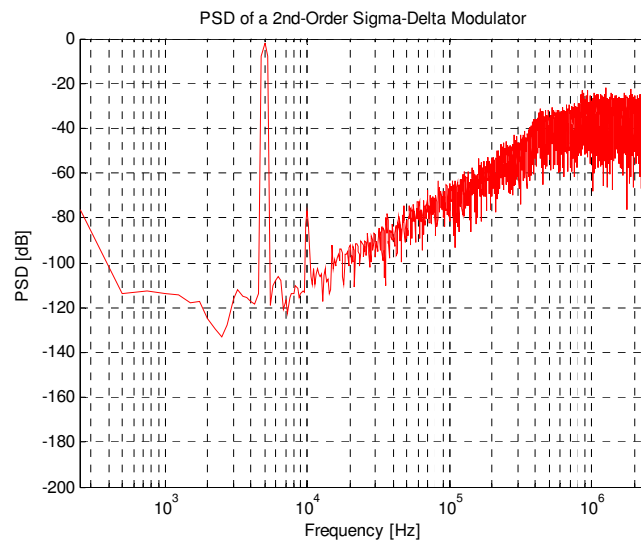


Figura 4.37 – PSD do *bitstream* @ Sinal de entrada = 5kHz e 1V

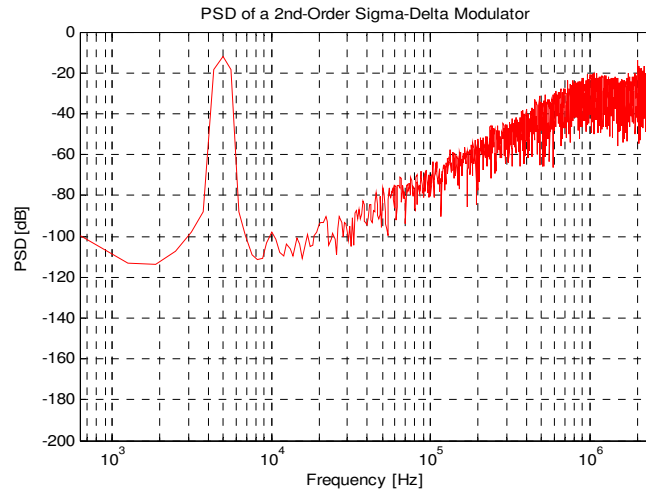


Figura 4.38 – PSD do *bitstream* @ Sinal de entrada = 5kHz e 0.3V

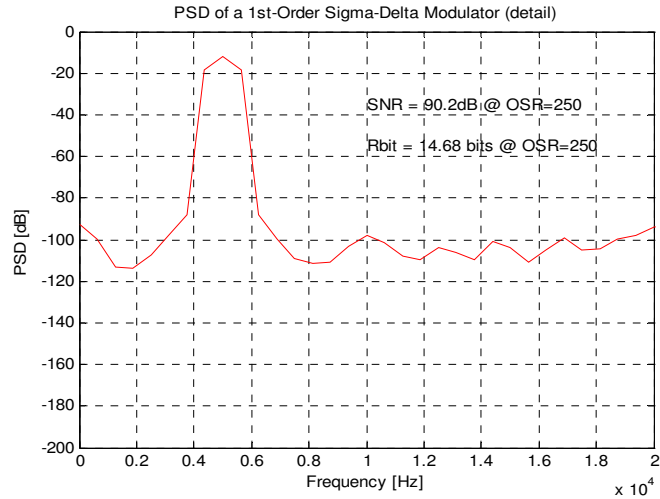


Figura 4.39 – PSD do *bitstream* @ Sinal de entrada = 5kHz e 0.3V – (detalhe na banda)

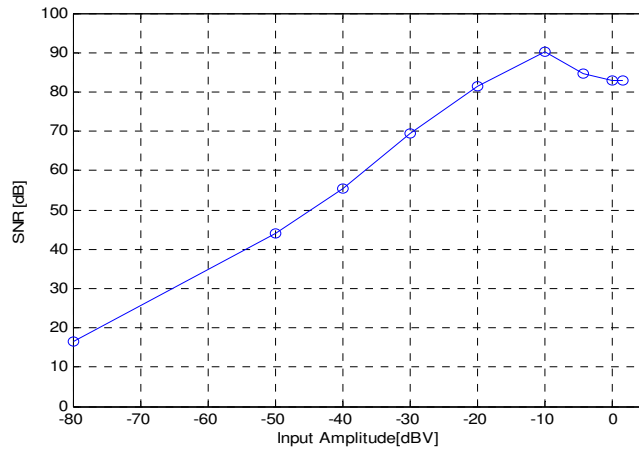


Figura 4.40 – SNR (dB) vs. Tensão de entrada (dBV) – Valores de Simulação

O projeto final do modulador no nível de layout é apresentado na Figura 4.41. Apresenta-se na mesma figura o posicionamento dos blocos do modulador.

Devido à coexistência em um mesmo substrato de sinais analógicos e digitais, o layout do protótipo é um fator crítico no projeto de moduladores sigma delta, e por esta razão, é feito todo manualmente.

Algumas precauções foram tomadas com relação ao layout:

O uso separado de fontes de alimentação para os circuitos analógicos e digitais;

Foi evitado, quando possível, a sobreposição ou a proximidade entre os sinais analógicos e digitais, escolhendo diferentes canais de roteamento.

Colocação de anéis de guarda em torno dos circuitos analógicos e digitais, evitando a propagação de ruído através do substrato;

Objetivou-se a maior simetria possível do layout;

Os transistores e capacitores foram particionados quando possível, e foi usado o uso da técnica de centróide comum objetivando o casamento entre os transistores.

A área total ocupada pelo modulador é de $0.256105mm^2$ ($655um \times 391um$).

O layout do modulador foi extraído e o resultado da relação sinal/ruído para uma entrada de 5kHz e 0.3V de amplitude foi de 86.2dB, validando o layout.

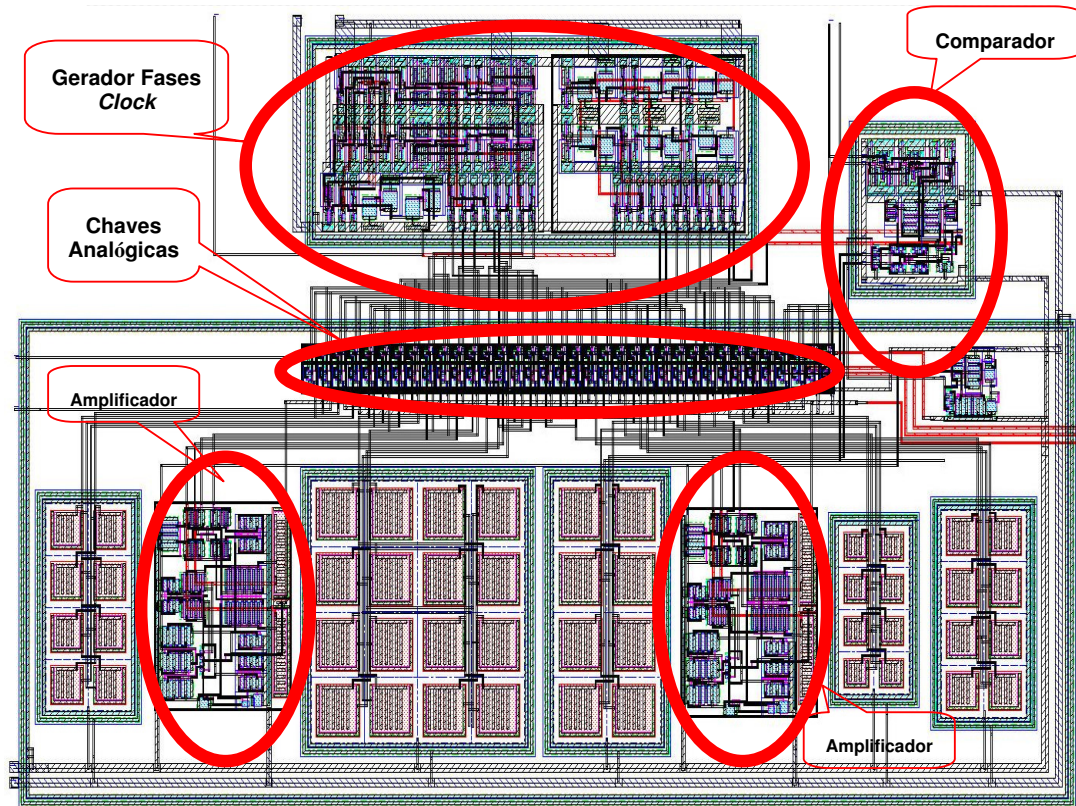


Figura 4.41 – Layout do Modulador Sigma Delta SC

4.4 Implementação a Corrente Chaveada - SI

A implementação, em modo corrente (SI), de um modulador sigma-delta segue na mesma linha da topologia estudada e implementada com a técnica de chaveamento a capacitor (SC). O projeto é composto pelos bloco: integrador, comparador, conversor DA, chaves, gerador de fases de relógio e referências de corrente, de acordo com as características desejadas para um modulador de 2ª ordem conforme descrito e especificado no Capítulo 4.

4.4.1 Metodologia de projeto

A metodologia deste projeto segue na mesma linha apresentada na Seção 4.2, com a implementação dos mesmos blocos constituintes, porém adaptados as técnicas SI.

4.4.2 Blocos Constituintes

4.4.3 Integrador

O integrador escolhido, para implementação foi construído utilizando-se a célula de memória de corrente S^2I (Seção 2.5.7), o qual reduz simultaneamente o erro de transmissão da condutância de entrada-saída e o erro de injeção do sinal de relógio dependente do sinal, devido à dupla amostragem.

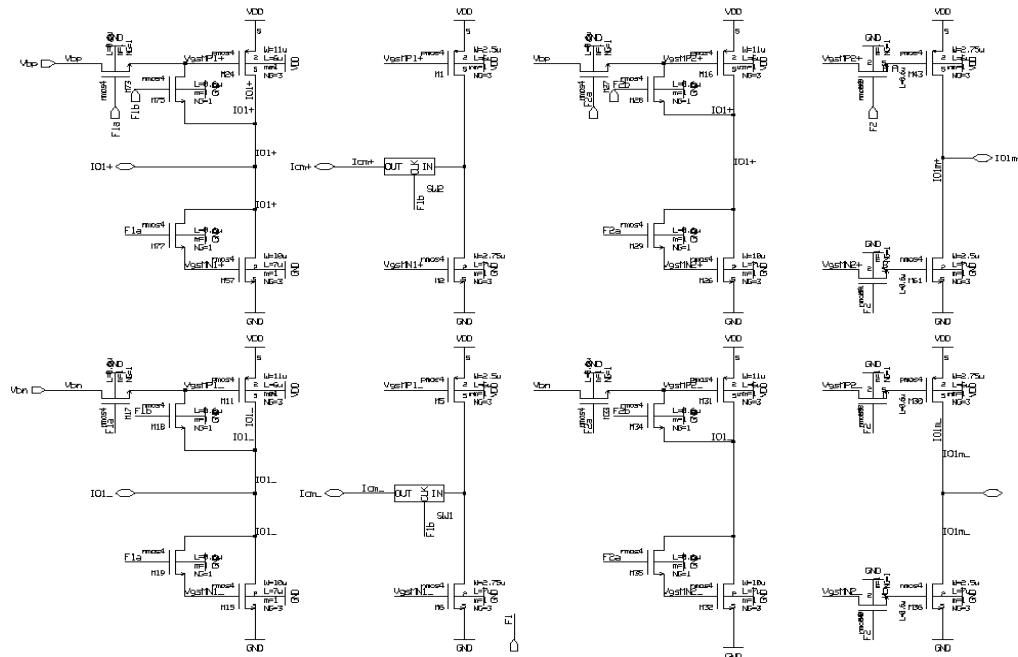


Figura 4.42 – Integrador diferencial utilizando célula S^2I

No circuito da Figura 4.42, tem-se um integrador diferencial constituído por duas células de corrente e dois espelhos em dois caminhos de corrente diferentes. A primeira célula recebe o sinal de corrente e o amostra em outras duas fases, Φ_{1a} e Φ_{1b} durante a fase Φ_1 , fazendo a dupla amostragem (amostra fina e amostra grossa, respectivamente). Ainda durante a fase Φ_1 , a corrente é copiada para o ramo seguinte (fase Φ_{1a}) e então injetada na célula de memória oposta (no outro caminho de corrente, fase Φ_{1b}), dessa forma realimentando o circuito para referência de modo comum.

Durante a fase Φ_2 , o sinal é então repassado a segunda célula de memória que irá acumular as correntes da primeira e copiar para o ultimo ramo do circuito, o qual irá disponibilizar o sinal integrado para a fase seguinte.

A Figura 4.43, ilustra o princípio de funcionamento do controle de modo comum, na qual nota-se que a corrente copiada em cada amostra na fase Φ_{1a} é invertida e repostada para a célula oposta, fazendo assim um equilíbrio no balanceamento diferencial. Note-se ainda que uma eventual diferença entre as correntes de entrada pode ser recomposta pela reinserção da diferença no canal oposto, ou seja, fazendo com que a corrente amostrada seja sempre a corrente de entrada mais a corrente proveniente do canal oposto invertida, promovendo assim a simetria diferencial.

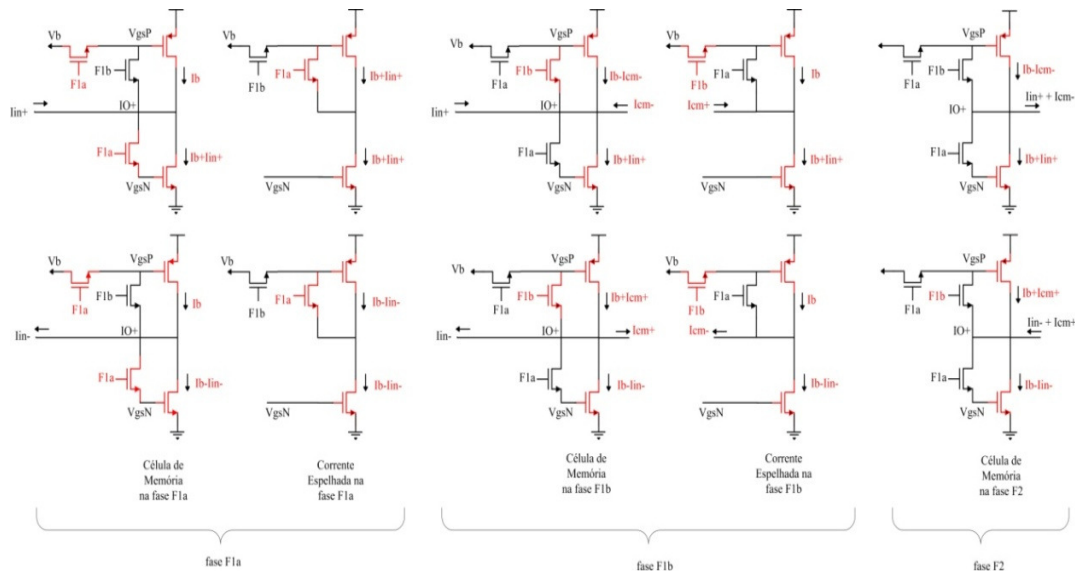


Figura 4.43 – Princípio de funcionamento de controle de modo comum do integrador diferencial

Na Figura 4.44 encontra-se o layout do integrador diferencial, implementado observando técnicas de layout como simetria e transistores repartidos (*fingers*).

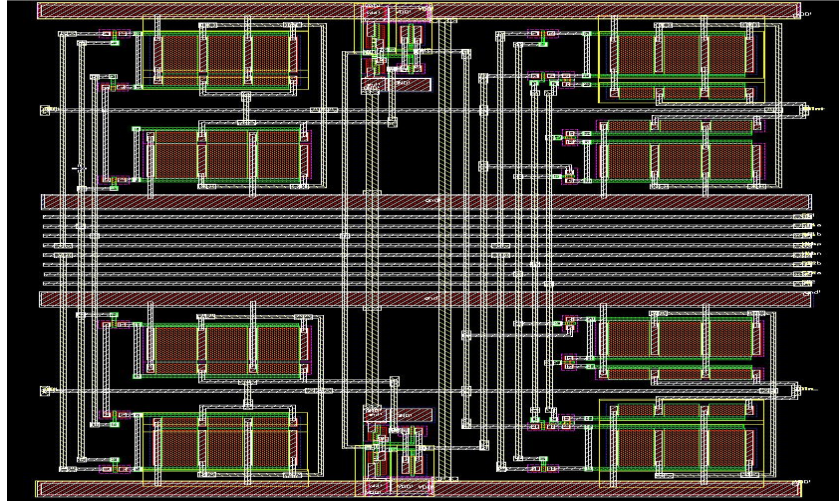


Figura 4.44 – Layout do integrador diferencial S²I

4.4.4 Comparador

O comparador de corrente apresentado na Figura 4.45 é formado por três partes principais, a saber: o conversor corrente-tensão na entrada, um comparador diferencial regenerativo e um flip-flop na saída que mantém o sinal de tensão da fase Φ_1 para a fase Φ_2 , disponibilizando assim o sinal de saída em tensão para o modulador (bitstream) e para o controle de realimentação no conversor DA (tensão-corrente).

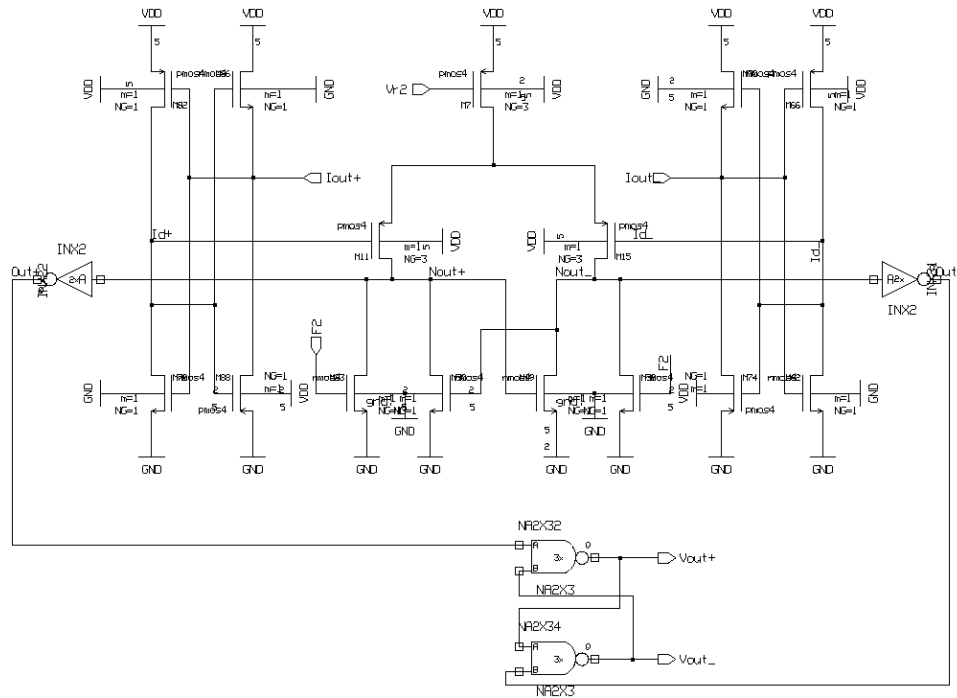


Figura 4.45 – Comparador diferencial de corrente

O comparador é capaz de resolver sinais de $10nA$ dentro da janela de comparação da fase Φ_2 , conforme mostra a simulação na Figura 4.46.

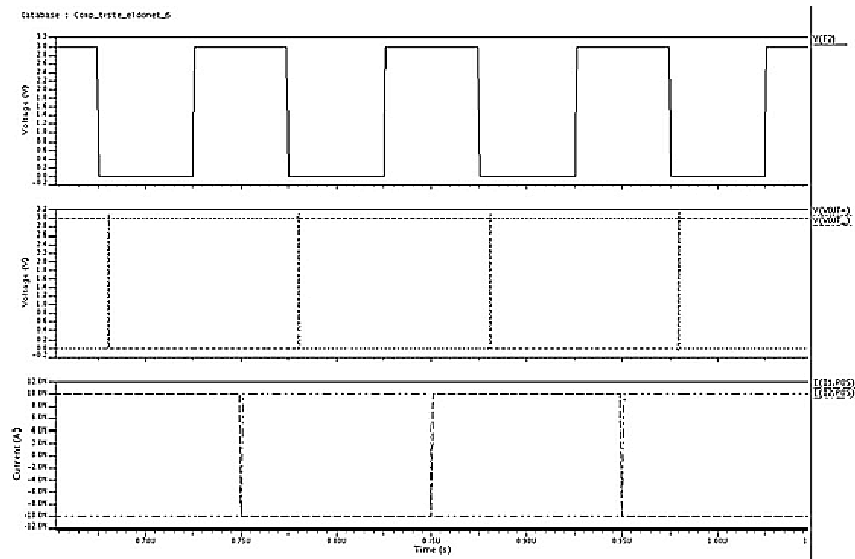


Figura 4.46 – Simulação transiente do comparador, fase Φ_2 tensão saída, corrente de entrada

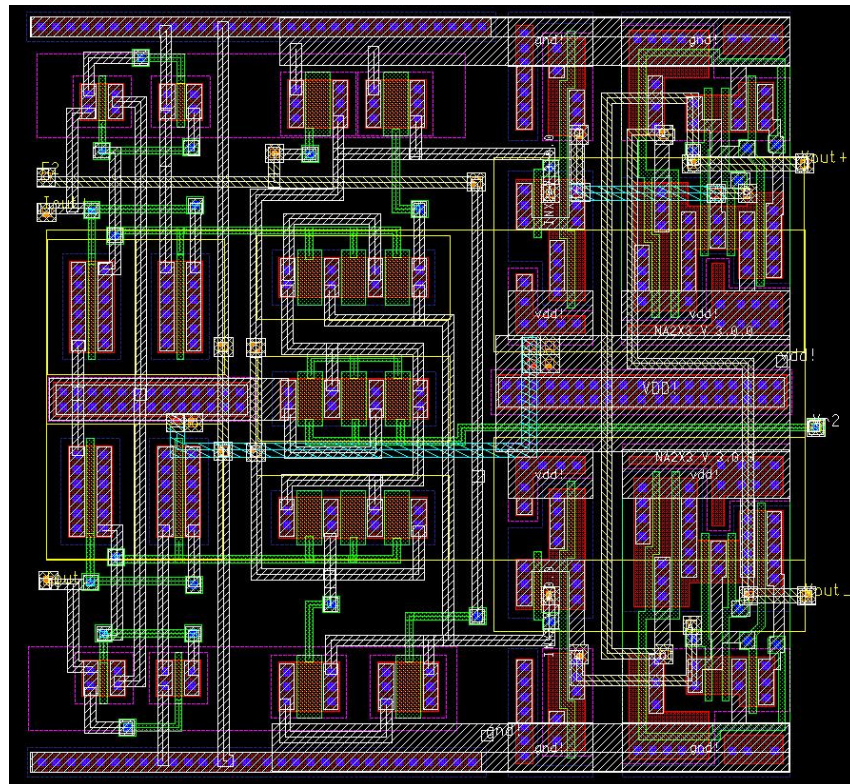


Figura 4.47 – Layout do comparador de corrente diferencial

4.4.5 Conversor DA de 1 bit

O conversor DA de 1 bit, Figura 4.49, consiste de duas fontes de corrente controladas pela tensão (*bitstream*) na saída do comparador/modulador, fornecendo assim, correntes de referência que são realimentadas a entrada do modulador.

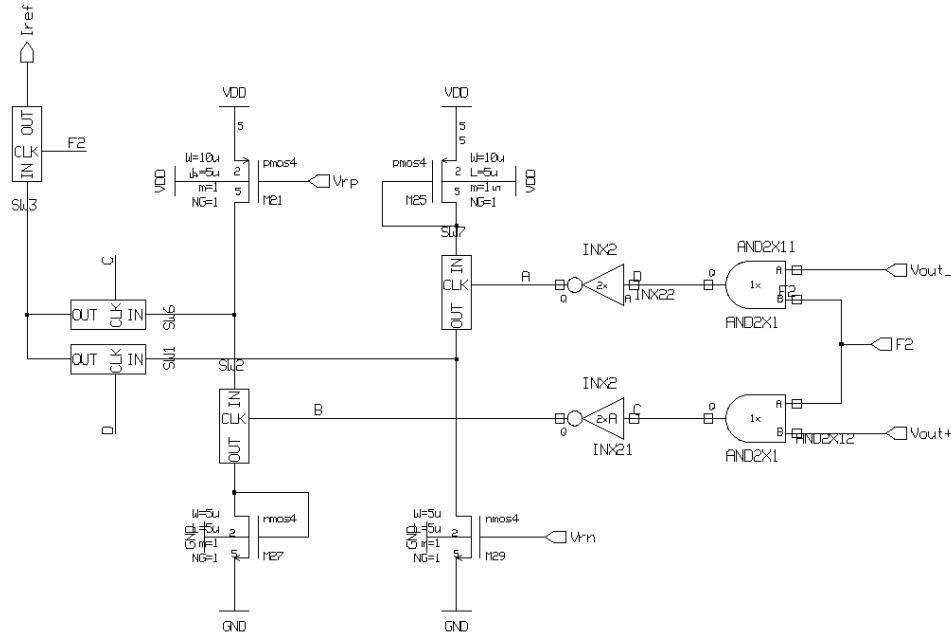


Figura 4.48 – Conversor DA tensão-corrente de 1 bit

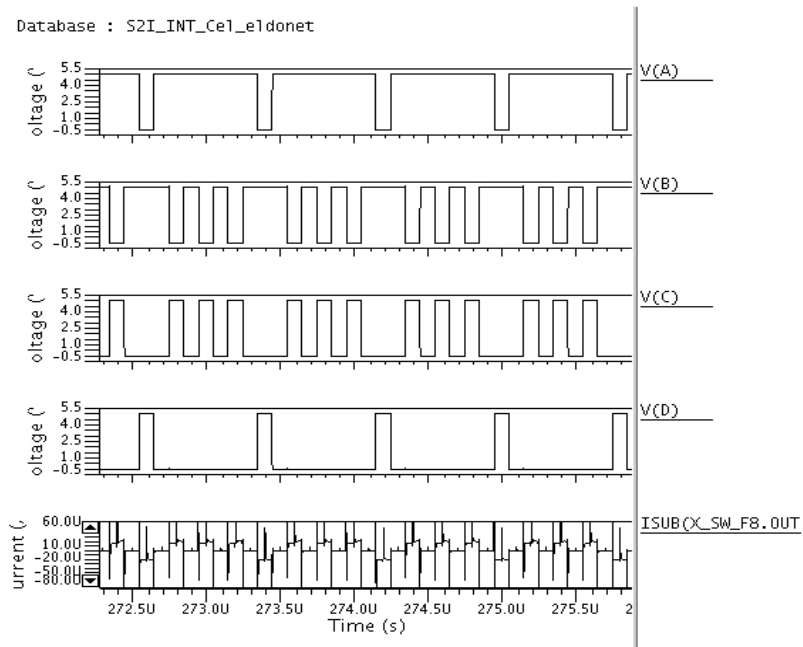


Figura 4.49 – Simulação do conversor DA/tensão-corrente de 1 bit

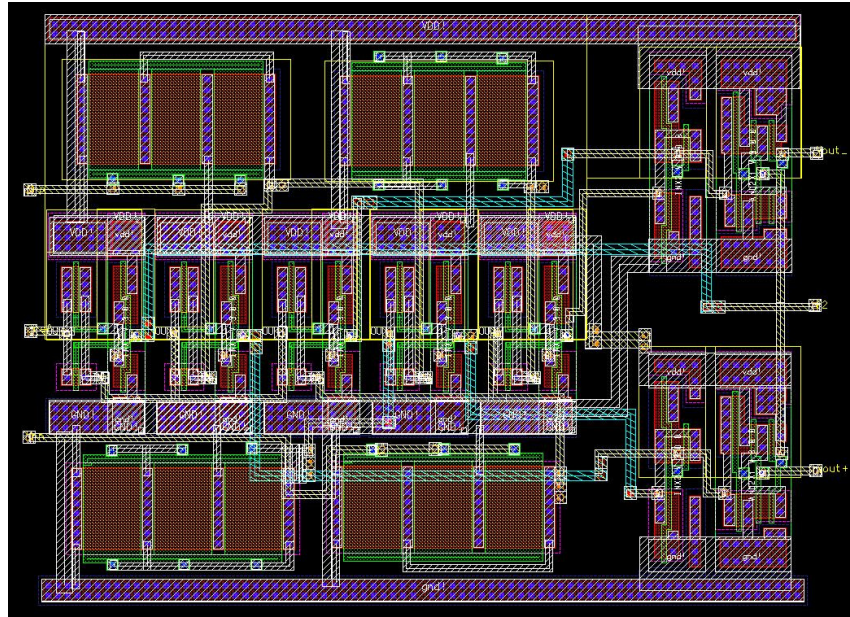


Figura 4.50 – Layout do conversor DA/tensão-corrente de 1 bit

4.4.6 Chaves Analógicas

As chaves utilizadas são como a descrita na seção 4.3.1.

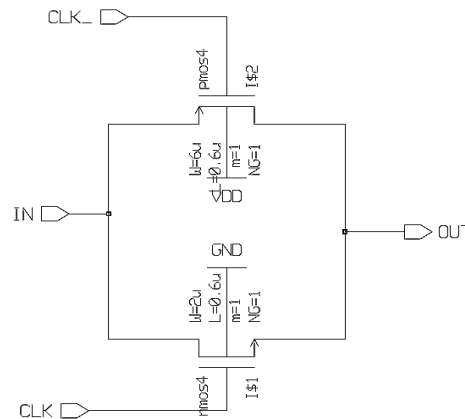


Figura 4.51 – Chave MOS complementar

4.4.7 Gerador de fases de relógio

Para a operação do modulador SI são necessárias oito fases de temporização, conforme a Figura 4.52. Duas fases $F1$ e $F2$ complementadas para as chaves complementares e quatro fases subdivididas $F1a$ e $F1b$, $F2a$ e $F2b$ para operar as células de memória S^2I com a dupla amostragem.

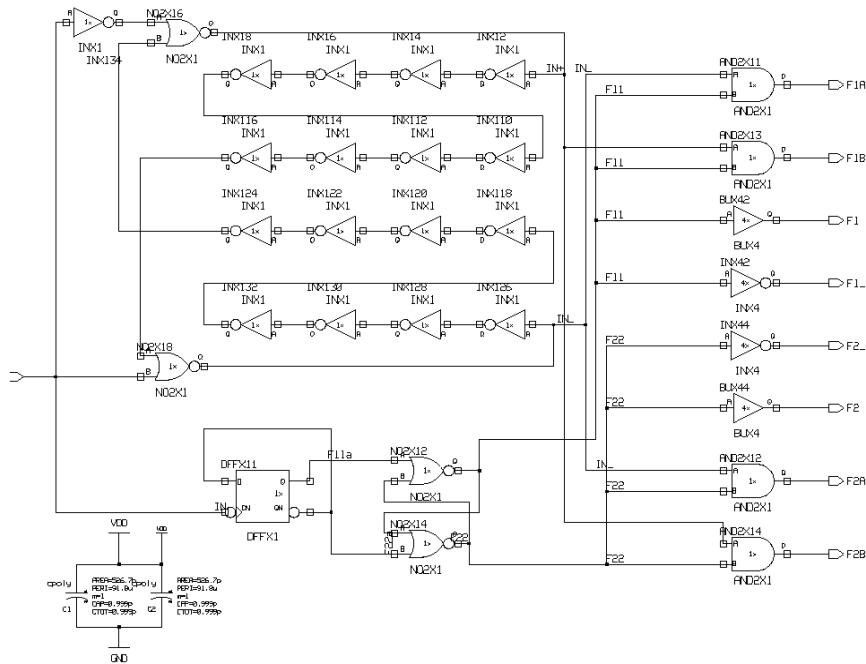


Figura 4.52 – Circuito de geração de fases de chaveamento

A Figura 4.53, ilustra o diagrama de fases otimizado para o chaveamento requerido. Nesta pode-se observar o atraso e ou sobreposição entre as fases visando minimizar o efeito de fugas de corrente durante a transição de estados das chaves. Na Figura 4.54 está o layout do circuito gerador de *clock*.

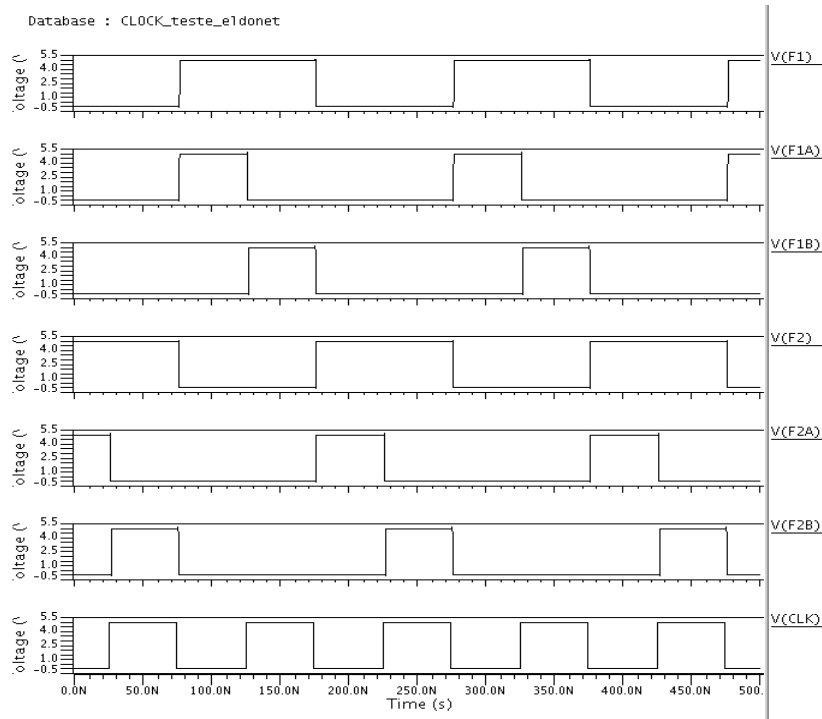


Figura 4.53 – Transiente de fases de chaveamento

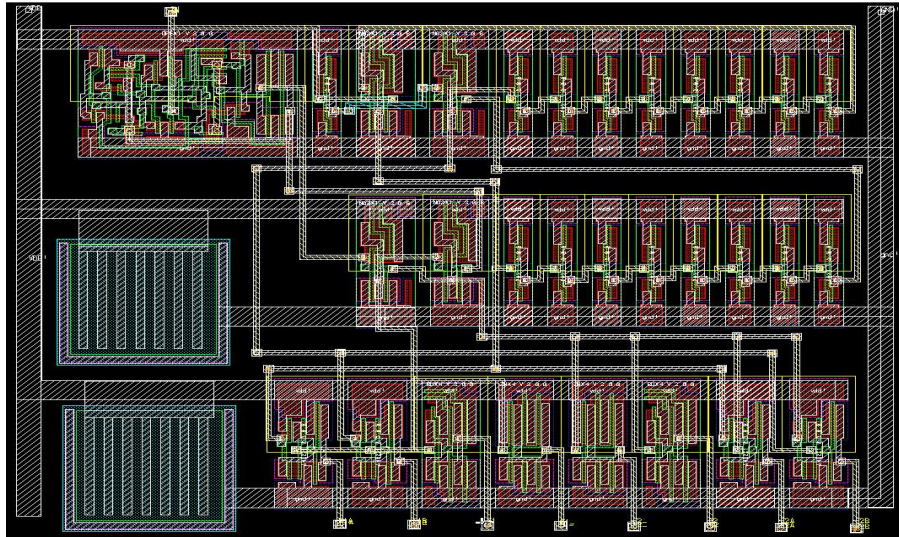


Figura 4.54 – Circuito de geração de fases de chaveamento

4.4.8 Modulador SI de 2ª ordem

O diagrama esquemático da Figura 4.55 mostra a implementação completa do modulador de 2ª ordem SI na mesma topologia da implementada com SC na seção 4.3.

Na implementação SI a tensão de alimentação dos circuitos integradores, comparador, DAC's e de polarização é de 3V, enquanto o circuito de geração de fases de *clock* é de 5V para que as chaves operem com suficiente linearidade.

A corrente de polarização para os transistores que formam as células de memória é de 30uA. Uma corrente de referência de +/-15uA é fornecida para os DA's e destes é processada para o nó de soma na entrada dos integradores. Com isso, a faixa dinâmica mínima e máxima de excursão da corrente no canal dos transistores da célula de memória é de 15uA a 45uA respectivamente. Analogamente isso também define a faixa de excursão máxima e mínima para o sinal de entrada que é subtraído da referência para ser processado nos integradores.

A entrada do modulador é alimentada por fontes de corrente que deliberam uma amostra do sinal durante a fase *F1* e descartam o sinal na fase *F2*.

O layout construído em estrutura diferencial procura manter a simetria dos dois caminhos de corrente, conforme a Figura 4.56. Também foi realizada a separação entre os circuitos digitais de geração de *clock* e os demais circuitos (integradores, DA's, comparador e circuitos de polarização DC).

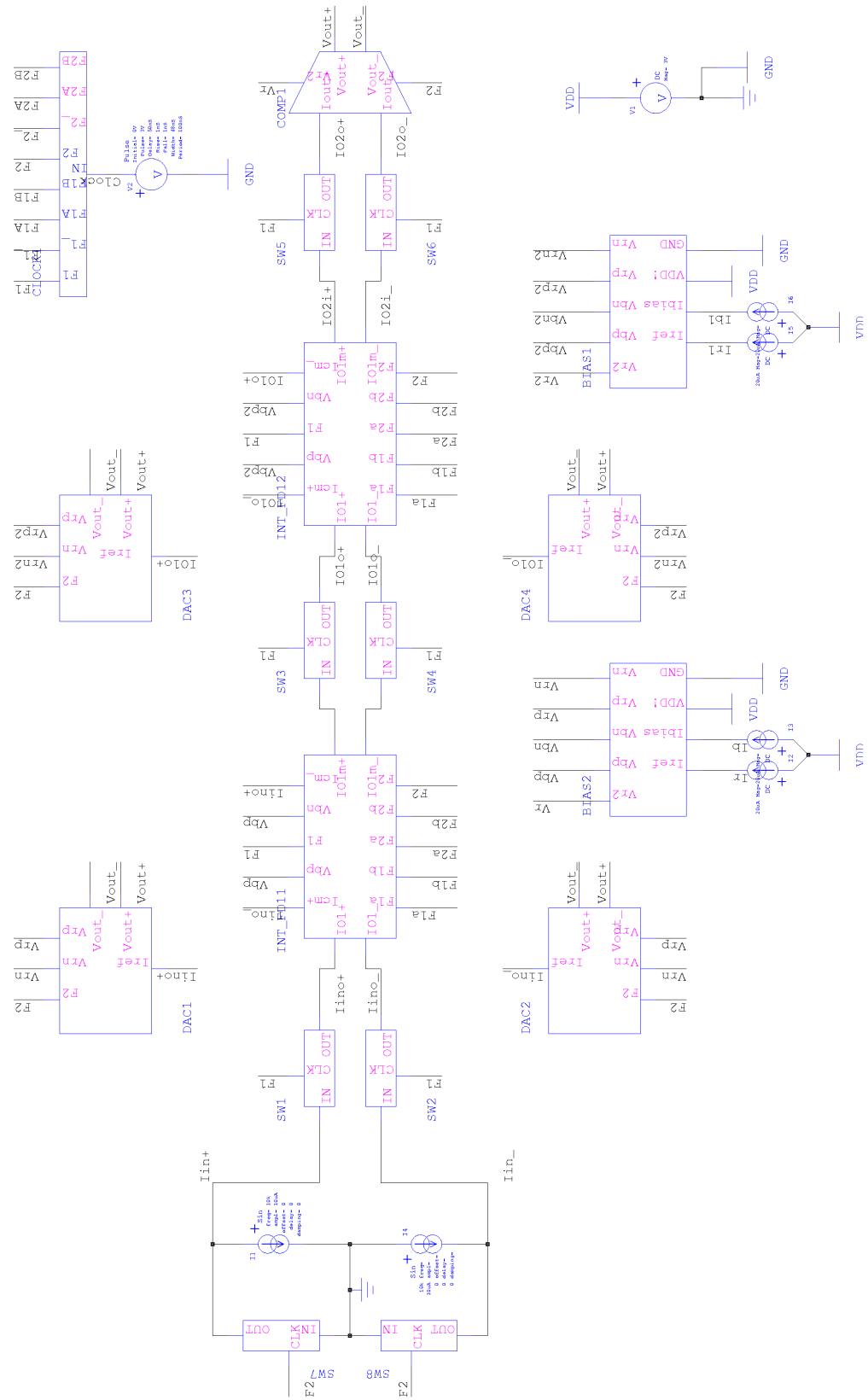


Figura 4.55 – Modulador SI de 2ª ordem

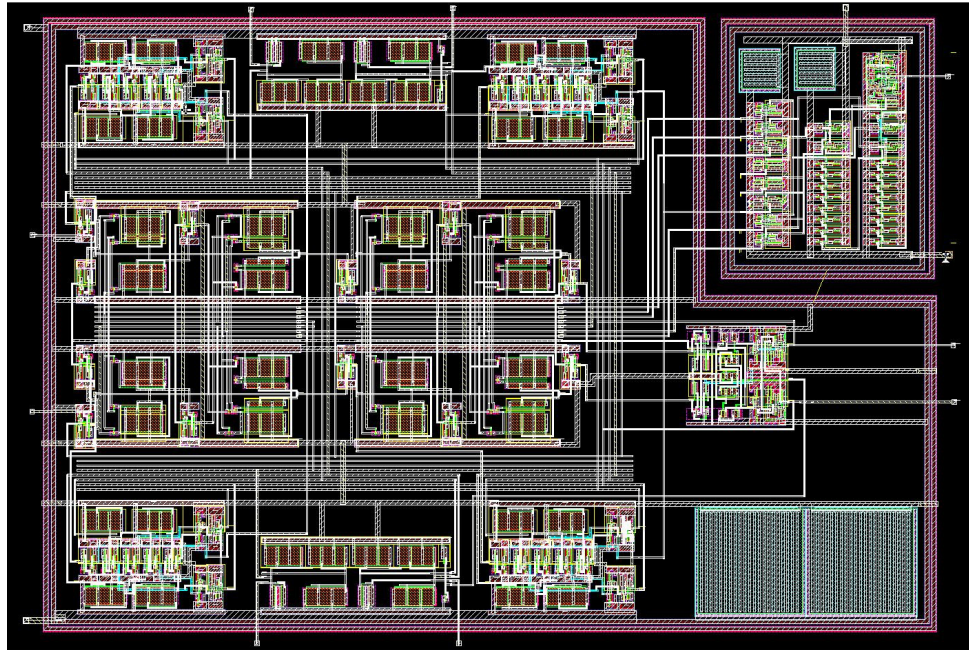


Figura 4.56 – Layout do modulador SI de 2ª ordem

4.5 Resultados de simulação

A Figura 4.57 ilustra a respostas espectral para uma série de amplitudes do sinal entrada, obtidas por simulação de transiente senoidal com amplitudes conforme a Figura 4.58, na frequência de 5 kHz, durante 1 ms, obtendo-se nestas condições 5000 pontos numa frequência de amostragem de 5MHz.

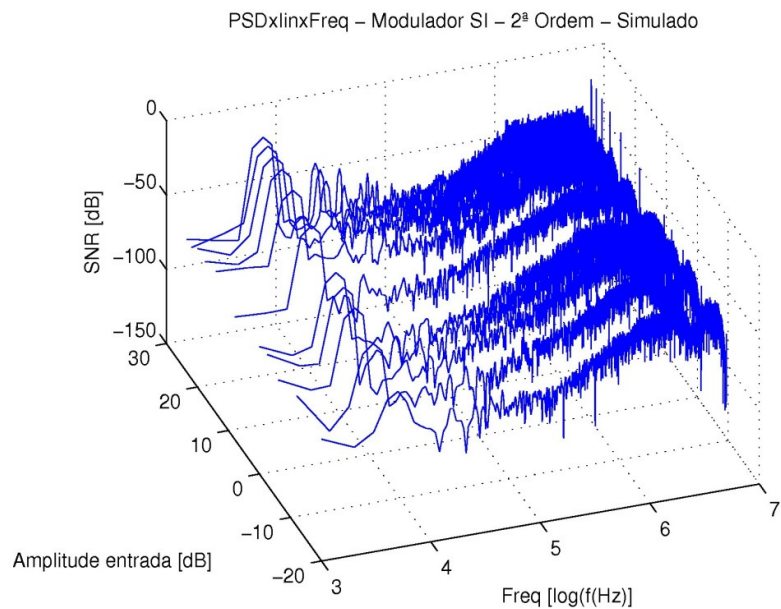


Figura 4.57 – Densidade de potência espectral modulador SI de 2ª ordem (a)

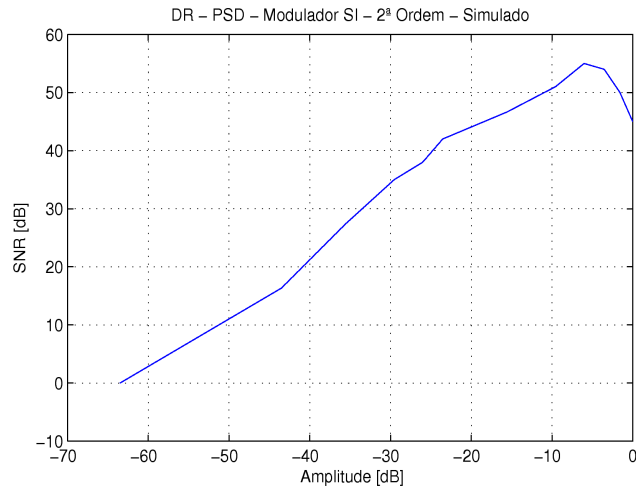


Figura 4.58 – Faixa dinâmica modulador SI de 2ª ordem

Na seqüência apresentada na Figura 4.59 estão representadas: - sinal diferencial na entrada do modulador, ou na entrada do 1º integrador; - o sinal diferencial na saída do 1º integrador; - o sinal na saída do 2º integrador e entrada do comparador; - o *bitstream* de saída após o comparador (saída do modulador), respectivamente para um transiente de senoidal de entrada com amplitude de 10uA, frequência de 5 kHz, durante 1 ms, obtendo-se nestas condições 5000 pontos numa frequência de amostragem de 5MHz.

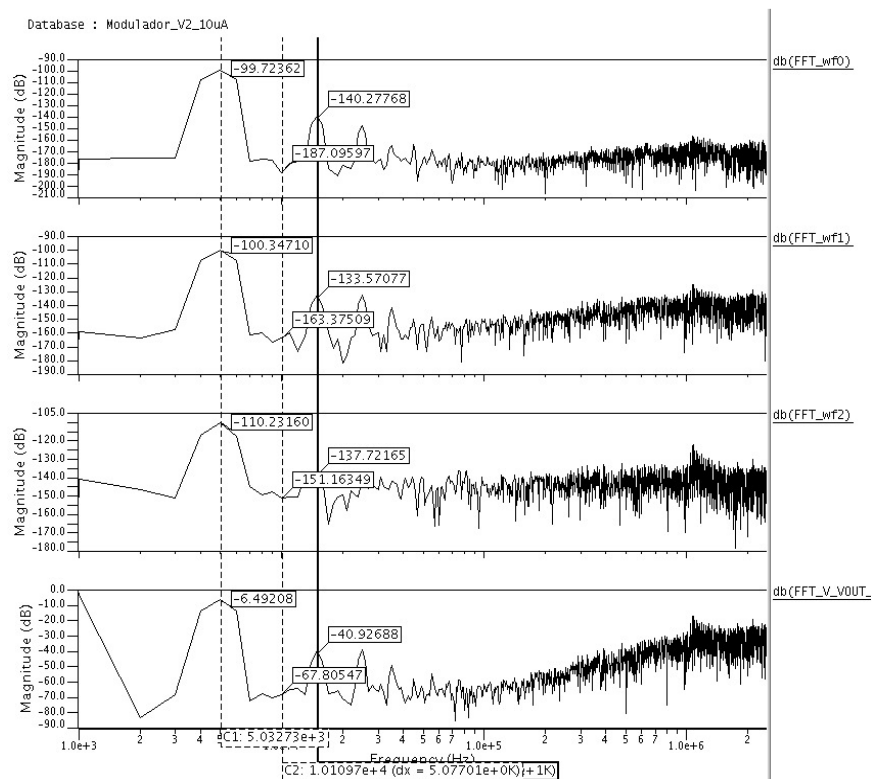


Figura 4.59 – Desidade Espectral de Potência internos ao modulador SI de 2ª ordem

4.6 Layout do chip XFAB XC06 modulador SC e SI

Na Figura 4.60 apresenta-se o layout do CI realizado onde consta, um modulador SC (canto esquerdo), um amplificador de instrumentação, (centro esquerdo), um circuito de referência de tensão (*band-gap-reference*, no centro direito) e o modulador SI de 2ª ordem (canto direito). Ao todo são seis circuitos com alimentação independente, considerando que os moduladores têm alimentação independente para os circuitos analógicos e digitais. Todos os circuitos individuais são separados por anéis de guarda, poços tipo N e P circundando-os ligados a Vdd e Gnd, respectivamente. Todos os circuitos são conectados a circuitos de proteção com diodos Zeners (implementados nos *pads* do fabricante) nas entradas e saídas analógicas, buffers para os circuitos digitais e *pads* de alimentação. Além disso, em cada circuito individual há proteção para descargas eletrostáticas (ESD), implementados através dos *pads clamp* da XFAB. XC06.

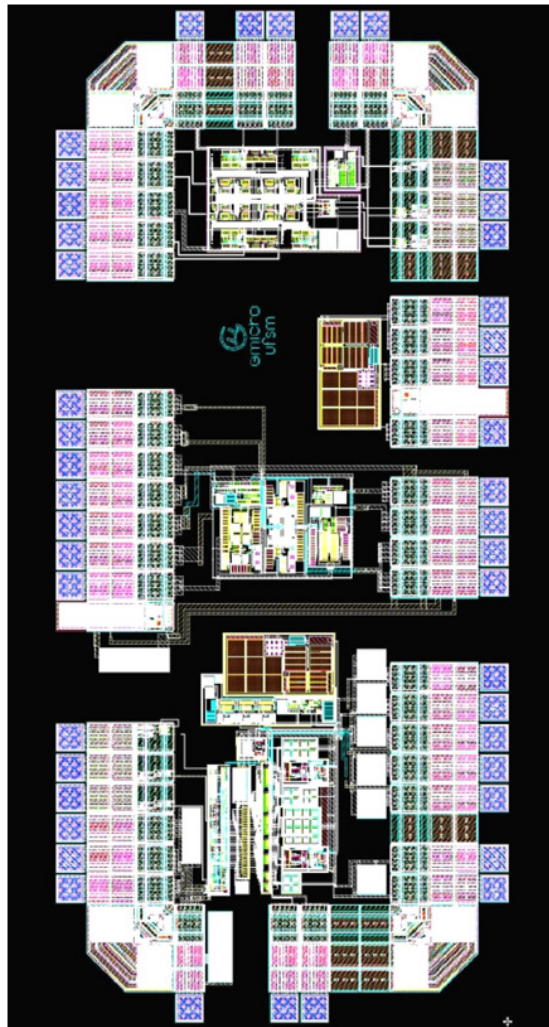


Figura 4.60 – Layout do CI contendo os moduladores SC e SI.- 1ª versão

Na Figura 4.61 apresenta-se a segunda versão do layout do CI realizado, onde consta o modulador SC (no centro esquerdo, sem *pads* e no canto superior direito, com *pads*), um amplificador de instrumentação (canto superior esquerdo), um circuito de referência de tensão (*band-gap-reference*, no centro superior) e duas versões do modulador SI de 2ª ordem (canto inferior esquerdo e direito, sem *pads* e com *pads*, respectivamente). Nesta implementação há circuitos sem *pads* de proteção e com *pads* de proteção e todos eles sem proteção ESD pelos motivos explicados na seção que segue.

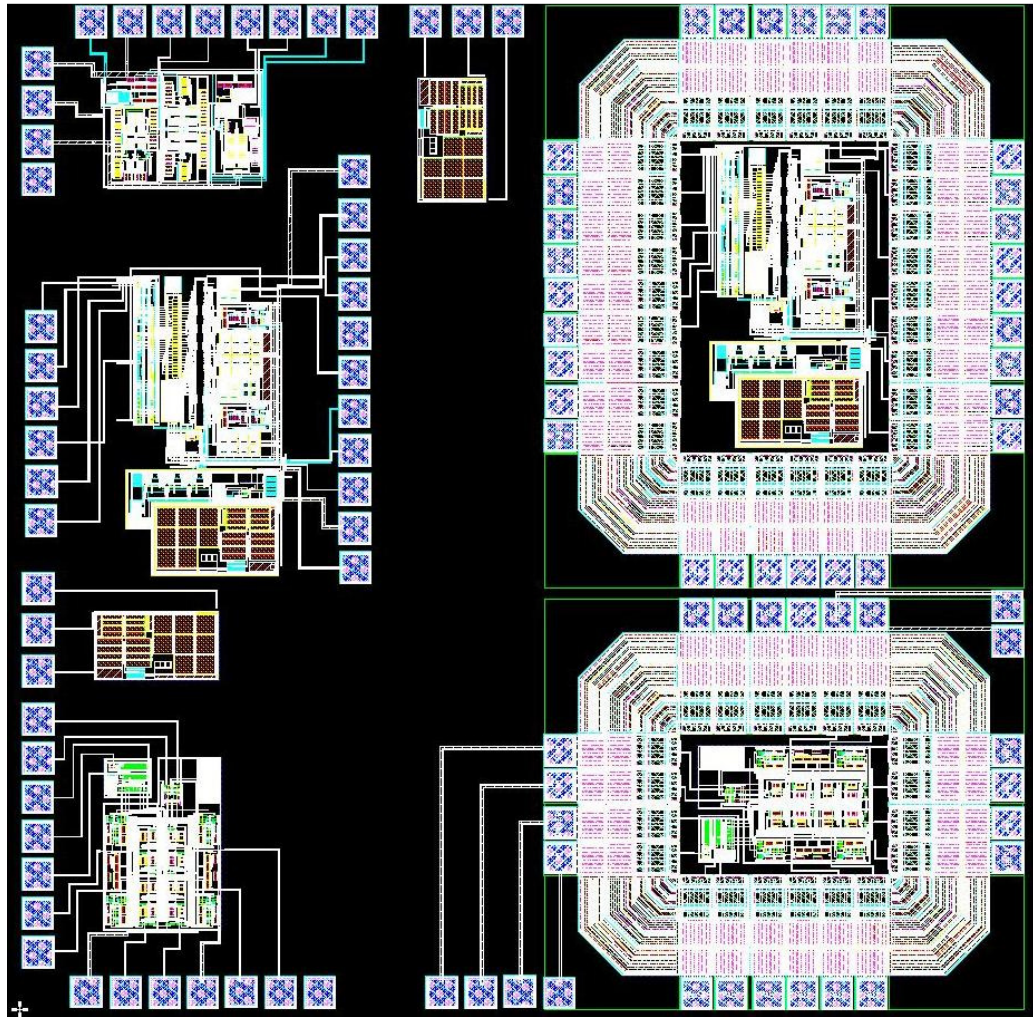


Figura 4.61 – Layout do CI contendo os moduladores SC e SI.- 2ª versão

Capítulo 5

Testes e Resultados Experimentais

Os circuitos projetados nas seções 4.3 e 4.4 foram fabricados na tecnologia XC06 (0,6 um) da XFAB alemã. A primeira versão do CI foi encapsulada em dispositivo cerâmico tipo DIP 48 no Centro de Pesquisa Renato Acher (CENPRA), em outubro de 2008. Nesta versão foram constatadas falhas, as quais foram investigadas através de uma sequência de testes, conforme o Apêndice B, cujos resultados sugerem um provável curto-circuito na estrutura de proteção para ESD (*pads clamps*), de natureza metálica e devido ao processo de fabricação.

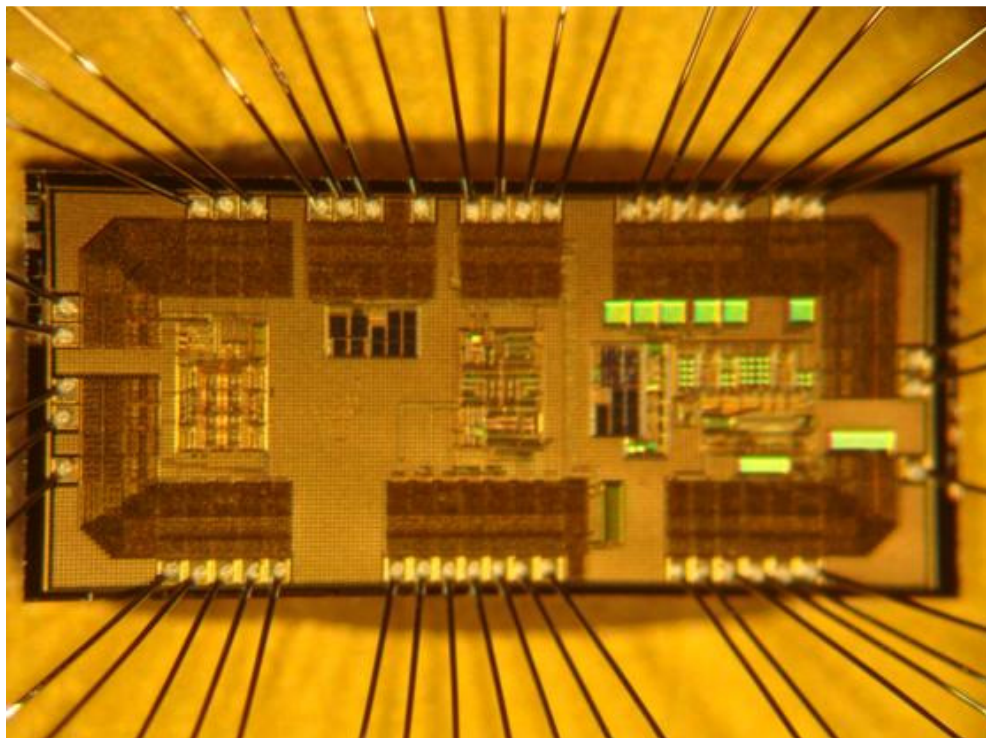


Figura 5.1 – Microfotografia do CI realizado - XFAB 2008 – 1ª versão

Na continuidade do trabalho, uma nova versão foi concebida, dessa vez sem a implementação das estruturas de *pads* de proteção para ESD.

Os circuitos projetados nas seções 4.3 e 4.4 foram re-fabricados na tecnologia XC06 (0,6 μm) da XFAB alemã. O circuito final foi encapsulado em dispositivo cerâmico de 68 pinos tipo CLCD68, conforme ilustra a microfotografia na Figura 5.2.

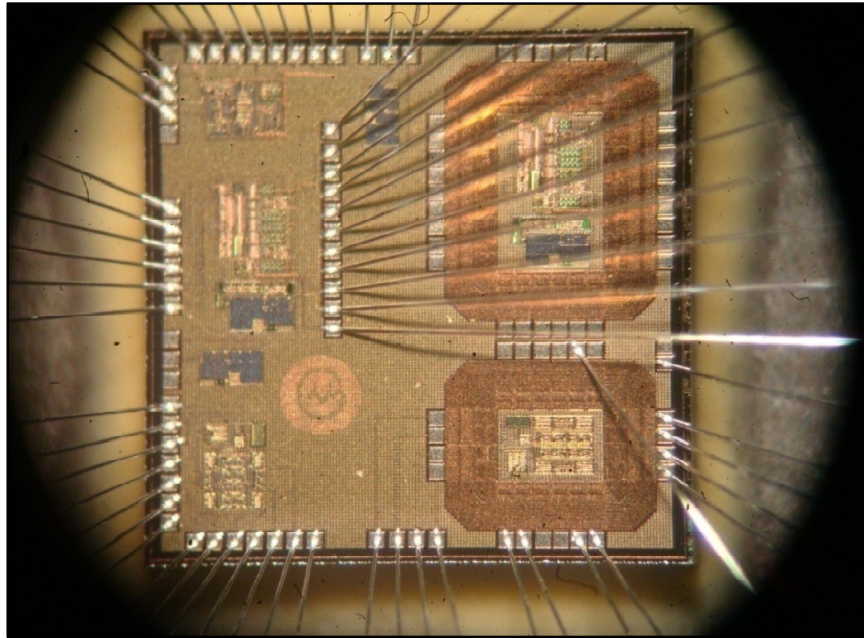


Figura 5.2 – Microfotografia do CI realizado- versão 2 (a) modulador SC, (b) modulador SI

5.1 Estrutura de Testes

A Figura 5.3 ilustra o arranjo experimental realizado para captura do sinal digital a saída do modulador.

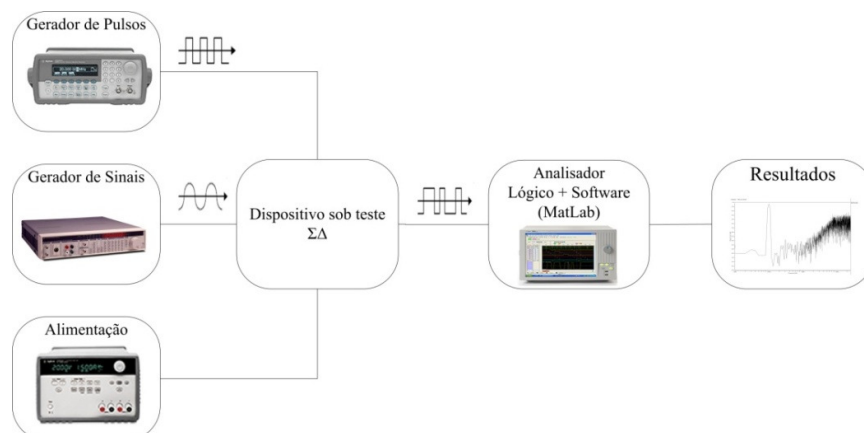


Figura 5.3 – Esquema para realização de testes nos moduladores SC e SI

Para os dois moduladores SC e SI, foram realizadas medidas e estimativas pela captura do *bitstream*, variando-se a amplitude de entrada.

Para a realização dos testes no circuito integrado (CI), foi confeccionada uma placa de circuito impresso (PCB) que comporta o circuito integrado CI e alguns circuitos auxiliares de fontes de corrente, conforme descritos no Apêndice B.

Os equipamentos utilizados foram:

Gerador de sinais de baixo ruído modelo Stanford Research Systems MD360

Gerador de *clock* modelo Agilent 32220A

Fontes de alimentação modelos E3646A e 3630A

Analizador lógico modelo Agilent 1682AD

Multímetro Agilent modelo 36401^a

Osciloscópio Agilent DSO 6104O

5.1.1 Modulador SC a 5MHz, 5KHz

Para o modulador SC foram ligados diretamente ao circuito sinais de entrada e alimentações de referência, fazendo-se a captura no analisador lógico do sinal de saída do modulador. Na entrada efetuou-se uma varredura na amplitude do sinal de 5kHz conforme ilustram os gráficos que seguem na seção 5.1.1. Para cada valor do sinal de entrada foi registrada uma janela de dados de 8192 pontos (*bitstream*), sincronizados na frequência de *clock* do modulador, com período de 200ns.

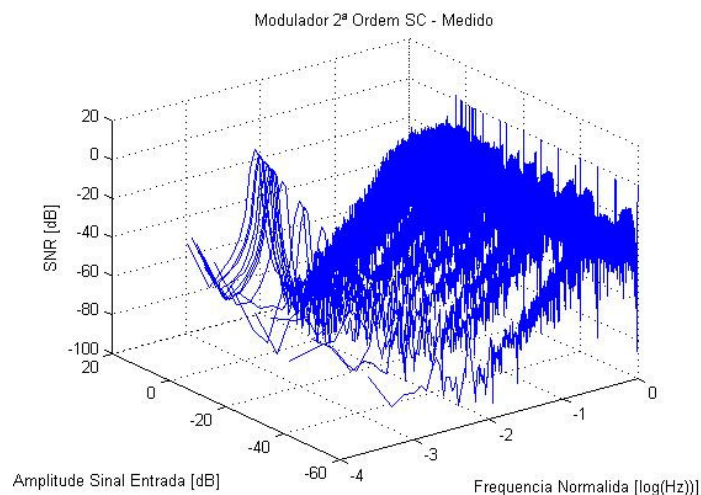


Figura 5.4 – Densidade Espectral de Potência para o modulador SC versus sinal de entrada e frequência

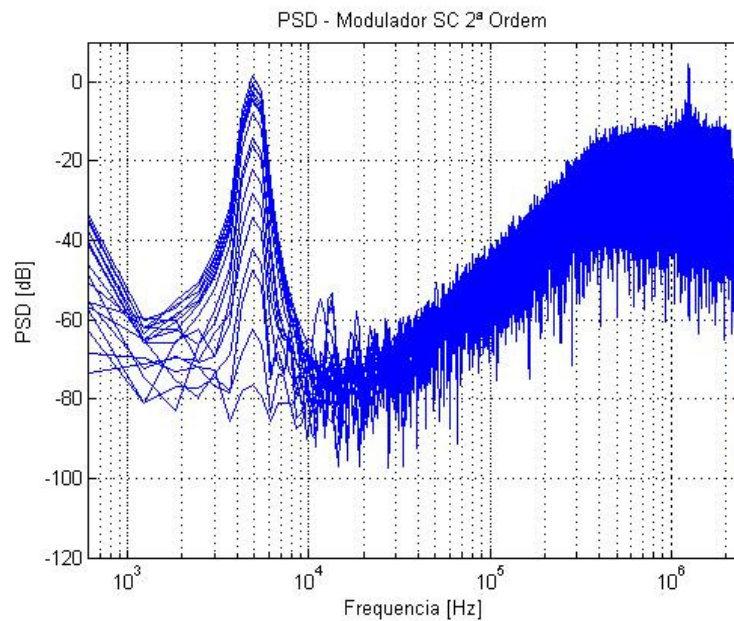


Figura 5.5 – DEP para o modulador SC versus frequência

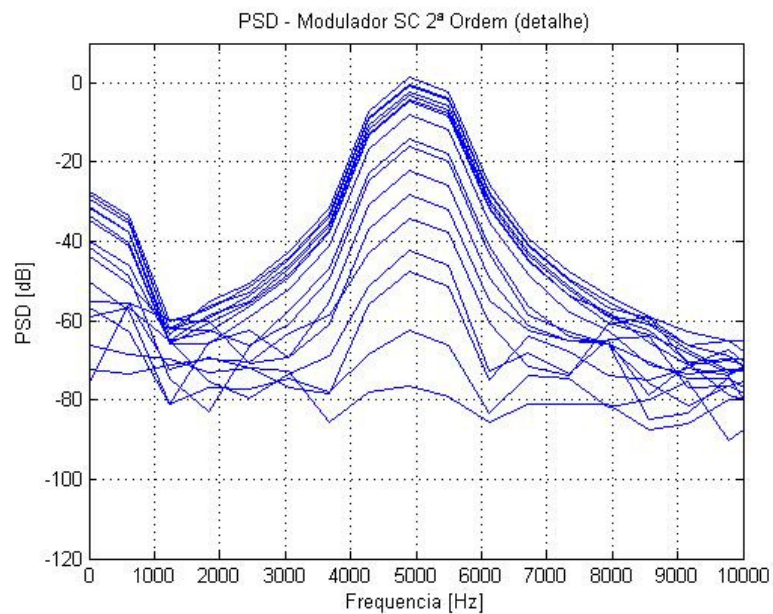


Figura 5.6 – DEP para o modulador SC na banda de 10kHz

A análise dos resultados desta medição apontam uma relação-sinal-ruído (SNR) de 70dB (sem a presença do nível DC) e a presença da 3ª harmônica perto da região de saturação ou de fundo de escala, o que é esperado. Na Figura 5.7 observa-se a faixa de excursão possível no modulador SC, indicando pela projeção da curva uma faixa dinâmica de 70dB.

Comparativamente aos resultados de simulação nota-se uma degradação do SNR, pois os resultados de simulação não levam em conta as condições externas ao circuito, como: *pads* e os componentes parasitas das conexões nos circuitos de teste.

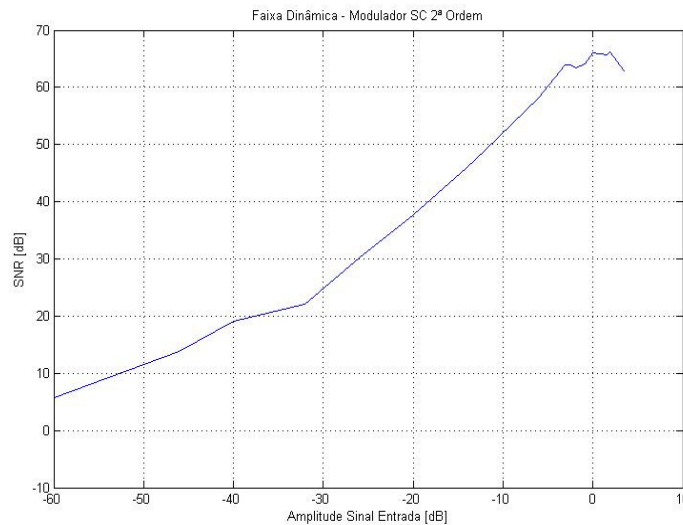


Figura 5.7 – Faixa dinâmica do SNR pela amplitude do sinal de entrada – modulador SC

5.1.2 Modulador SI a 5MHz, 5KHz

Para o modulador SI, foi necessário implementar fontes de corrente externas ao CI, tanto para a polarização e referência como para o sinal de entrada. O circuito fonte da corrente usado encontra-se especificado no Apêndice C. Na saída do modulador realizou-se a captura dos sinais para um conjunto de amplitudes de entrada. A cada entrada corresponde uma sequência de 32536 pontos da saída. A densidade espectral de potência destas medidas encontram-se representados nos gráficos das figuras que seguem. A Figura 5.8, apresenta o espectro de uma sequência de *bitstreams*, representadas pela magnitude do sinal de entrada versus o SNR no domínio da frequência. A Figura 5.9 e Figura 5.10 apresentam no plano, com mais detalhe o SNR versus frequência para as diversas magnitudes do sinal de entrada, e na Figura 5.11 está a representação da SNR em função da magnitude do sinal de entrada, indicando pela projeção da curva uma faixa dinâmica útil de 55 dB.

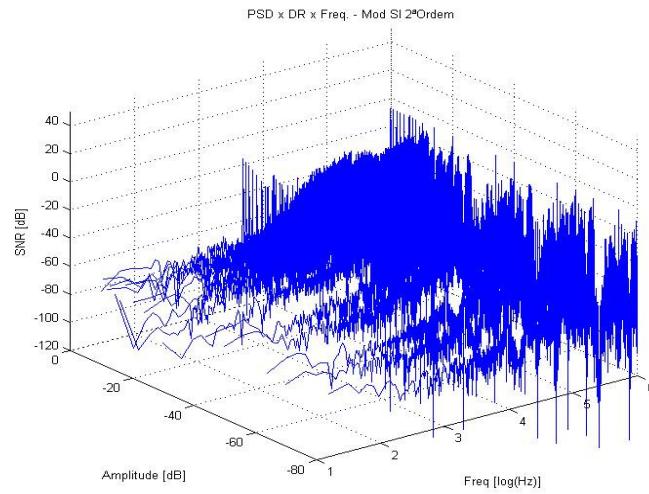


Figura 5.8 – DEP para o modulador SI versus sinal de entrada e frequência

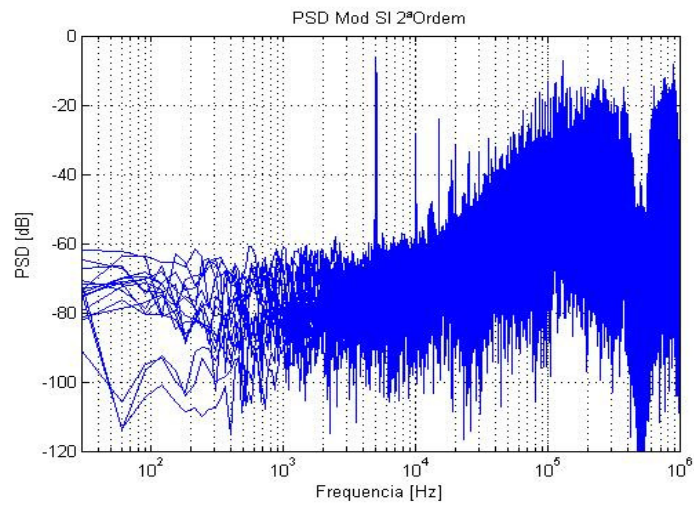


Figura 5.9 – DEP para o modulador SI

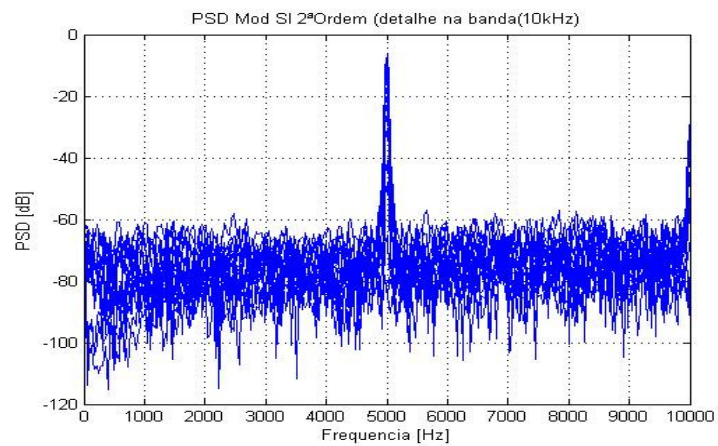


Figura 5.10 – DEP para o modulador SI na banda de 10kHz

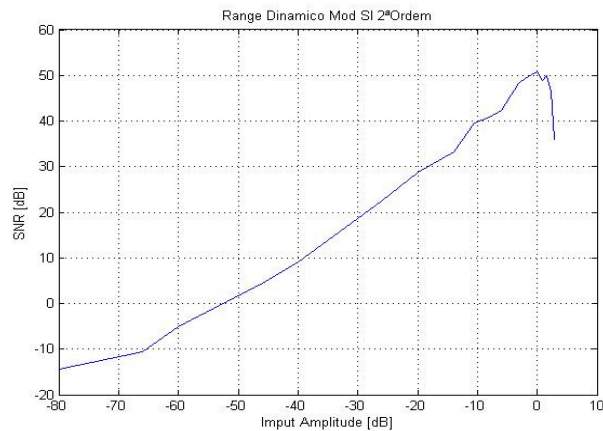


Figura 5.11 – Faixa dinâmica do SNR pela amplitude do sinal de entrada

A análise das medidas do modulador SI, revelam a forte presença de componentes harmônicas, 2º e 3º terceiro tons, e um ruído de base de -60 dB.

5.2 Resumo Resultados

Na Tabela 5.1 está um resumo das principais características levantadas por medição nas implementações realizadas.

Tabela 5.1 - Resumo das principais parâmetros dos moduladores SC e SI.

Sigma-delta	SNR*(dB)	Fs(MHz)	V_{DD}(V)	P(mW)	Área(mm²)
SC 2ªord	~75	5	5	5	0.25
SI 2ªord	~60	5	3	4.8	0.12

*SNR sem distorção harmônica

Como se nota, a performance dos dois moduladores ficou inferior a observada nas simulações. Em parte podemos inferir a causa da degradação do nível de ruído e distorção pelo acréscimo de componentes parasitas das conexões do circuito no ambiente de teste.

Principalmente o circuito SI sofre uma forte degradação devido a fuga de corrente que se dá pelas capacitâncias parasitas na placa e conexões dos conversores V-I mais os *pads* no circuito integrado.

No entanto, como o objetivo é a comparação das duas técnicas, as mesmas condições adversas são postas para os dois casos, considerando-se desta forma a mesma degradação para os dois casos.

5.3 Análise dos Resultados

Nota-se pelo exposto nos capítulos antecedentes que a técnica SI tem fortes limitações devido às não-idealidades. A principal delas diz respeito à distorção harmônica. Os resultados esperados pela simulação apresentada na seção 4.5 têm diferenças dos resultados obtidos por medição, principalmente no tocante a distorção harmônica.

Nas diversas referências sobre a técnica SI, seção (1.1) e (2.5), a motivação apresentada para a investigação desses circuitos se baseia em vantagens como menor área, consumo e melhoria na célula de memória integradora para contornar o problema da distorção. A desvantagem com relação ao ruído é reconhecida por todos os autores. Alguns trabalhos tratam o problema da distorção harmônica [22][32] propondo melhorias na célula integradora, aplicando estas a topologias clássicas em moduladores de 2ª ordem.

Neste trabalho, os níveis de distorção observados tornam a aplicação de moduladores SI virtualmente inviáveis quando implementados com células básicas de memória de corrente. Assim, a investigação sobre a origem do problema e uma eventual solução para a distorção, foi identificada como uma oportunidade para uma importante contribuição ao desenvolvimento dos circuitos a corrente chaveada. A seção que segue procura esclarecer os fatores limitantes sob o ponto de vista da distorção harmônica no modulador SI.

Uma primeira investigação é feita na entrada do modulador, no circuito de amostragem da corrente, conforme ilustra a Figura 4.55.

5.4 Distorção harmônica no circuito de entrada

Neste caso, considera-se apenas o circuito devido à amostragem realizada antes do modulador, composta por duas fontes de corrente chaveadas em duas fases, uma que entrega corrente à entrada do modulador e outra que desvia a corrente para terra para não deixar a fonte de corrente aberta após a primeira fase, conforme ilustra a Figura 5.12.

Em [69] os autores analisam a distorção causada pela transmissão do sinal quando considerado estacionário ou não estacionário em um circuito de amostragem e

retenção. Verifica-se nestes casos que as componentes harmônicas tem uma relação inversa com a frequência de amostragem, estando na ordem de -110 dB para uma taxa de amostragem de 256 vezes considerando o sinal de entrada para sinais não estacionários, como é o caso desta implementação.

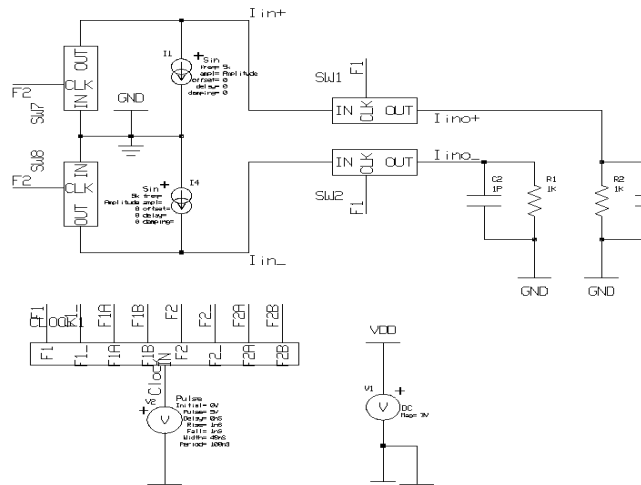


Figura 5.12 – Circuito de amostragem de entrada sob teste

A análise nesta implementação foi realizada por meio de simulação dos sinais amostrados conforme a Figura 5.12. onde um sinal senoidal de 5kHz e 10uA de amplitude é amostrado a uma taxa de 200ns (5MHz). O sinal é entregue numa fase para a carga e na outra fase é desviado para terra.

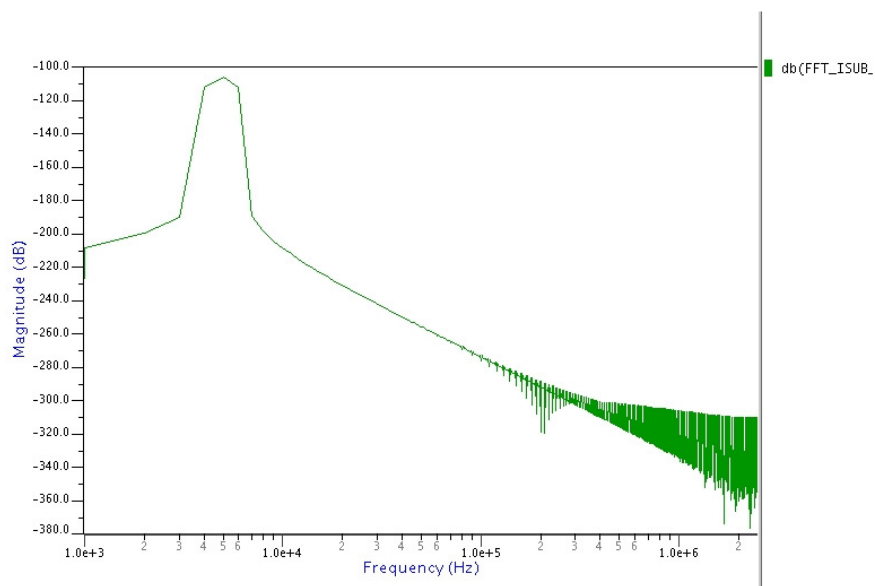


Figura 5.13 – FFT entrada do modulador SI

A análise da FFT da corrente nas saídas nas chaves *SW1* e *SW2*, conforme pode-se observar pela Figura 5.13, mostra o sinal de corrente sem componentes harmônicas.

Portanto, conclui-se que o circuito amostrador de entrada não provoca inserção de componentes harmônicas para este caso específico.

5.5 Distorção harmônica na célula de memória

O passo seguinte no caminho de transmissão do sinal é a célula de memória de corrente, onde aparece a primeira carga para o sinal de corrente. Esta carga é composta basicamente pelo transistor N ligado em conexão diodo.

O circuito da Figura 5.12, posto na entrada da célula de memória de corrente, na fase de amostragem do sinal, não reproduz o mesmo comportamento do que aquele para a carga resistiva, apresentado na seção anterior. A análise espectral demonstra a presença de componentes harmônicas significantes em relação ao sinal.

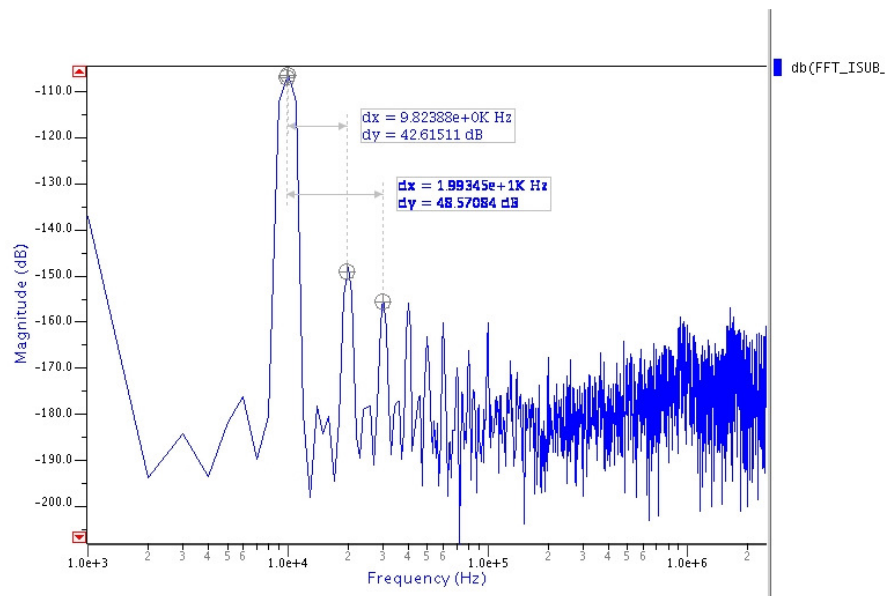


Figura 5.14 – FFT entrada do modulador SI

Conforme visto na seção 2.5, os fatores fundamentais que contribuem para a distorção harmônica são: - o erro devido a relação de condutância entrada-saída; - o erro devido ao tempo de estabelecimento da sinal de corrente (*settling*). Considerando ainda que para o transistor de memória em questão ocorre o estabelecimento adequado, conforme estimativa na mesma seção, e que a capacitância de *gate* ao *dreno* é significativamente maior do que as capacitâncias parasitas que injetam corrente pelo sinal

de *clock*, analisar-se-á então o erro de transmissão de saída para entrada dado pela relação de condutância de saída pela entrada.

Conforme [31], a relação entre a condutância de saída do circuito que entrega corrente para a condutância de entrada do circuito que recebe corrente, implica em erro, pela razão finita das mesmas, como também pela variação dinâmica que ocorre nestes dispositivos durante a variação da corrente, como a transcondutância, por exemplo.

Conforme apresentado na seção 2.5.3, a célula de memória de corrente tipo S²I, composta por dois transistores P e N, realiza a amostragem em dois passos, a amostra grossa e amostra fina. Na amostragem grossa, o transistor tipo N experimenta uma larga variação de corrente, da ordem da amplitude do sinal de entrada, e o transistor tipo P uma pequena variação de compensação. Portanto a maior contribuição para as variações na memorização da corrente se deve ao transistor tipo N (o que realiza a amostra grossa).

A entrada do integrador é formada basicamente pela transcondutância do transistor de memória N e sua capacitância de *gate* ao *source*. Assim quando o sinal é aplicado ao transistor de memória, este vê pela frente uma carga dada por I/gm e a capacitância C_{gs} , que formam uma constante de tempo $\tau = C_{gs}/gm$. Já a condutância de saída da mesma célula é dada pela condutância dos canais dos transistores P e N.

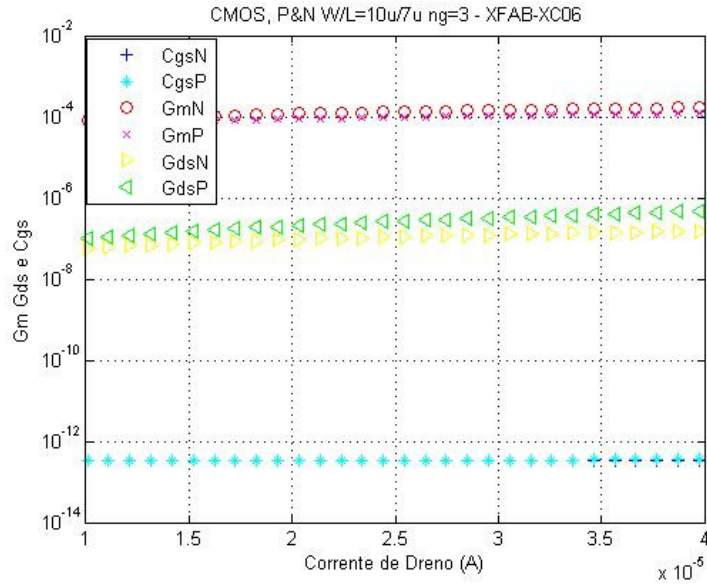
Conforme demonstra a referência [31], pode-se aproximar a distorção devida a 2ª e 3ª harmônica pela relação:

$$HD2 \cong \frac{\epsilon_g}{2} M_i \quad HD3 \cong \frac{3}{32} \epsilon_g M_i^2 \quad (5.1)$$

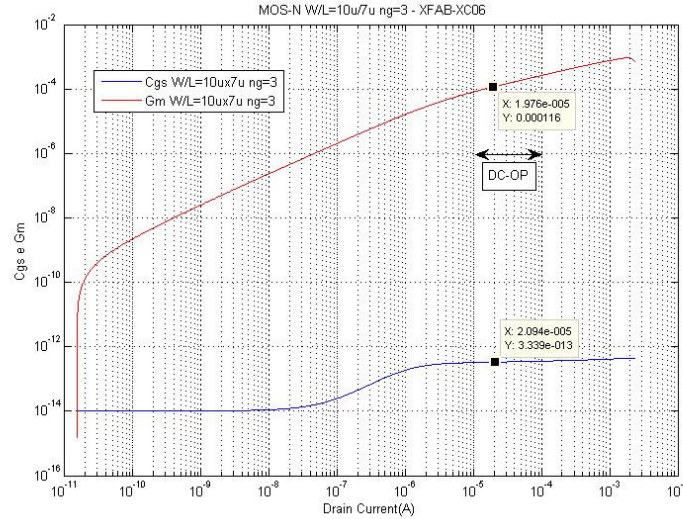
Onde, $\epsilon_g = (g_{dsP} + g_{dsN})/gm$ representa o erro devido a condutância de saída pela condutância de entrada da célula, e $M_i = i/I_{op}$ é o índice de modulação da corrente no canal do transistor em relação a corrente de polarização no ponto de operação.

Para investigar o comportamento do circuito projetado neste caso, fez-se o levantamento dos parâmetros que influenciam a corrente no transistor de memória. Para tanto foram simulados os transistores tipo N e tipo P usando uma varredura DC da corrente no *dreno* e obtendo-se vetores da transcondutância gm , das capacitâncias de *gate* ao *source* C_{gs} , de *dreno* ao *gate* C_{gd} e condutância do canal g_{ds} .

Na Figura 5.16 (a), estão as curvas características dos transistores tipo N e P usados na célula de memória no projeto na seção 4.4. Em b) com mais detalhe para a trancondutância.



(a)



(b)

Figura 5.15 – a) Curvas características tipo P e N (b) Gm e Cgs em detalhe

Conforme nota-se, G_m , C_{gs} e G_{ds} variam na região de operação do transistor de memória, sendo que G_m varia acerca de 50% no intervalo considerado para modulação no canal de corrente da célula de memória. Figura 5.16.

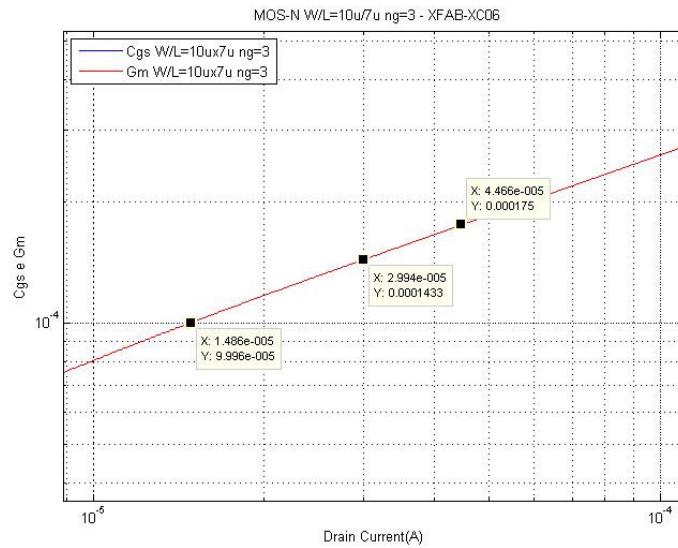


Figura 5.16 – Curvas características Gm em detalhe no intervalo de modulação

O comportamento não linear destes parâmetros aplicados às equações em (5.1) que expressam a distorção devida à 2ª e a 3ª harmônicas é traduzido na Figura 5.17 onde se nota a forte presença da distorção harmônica.

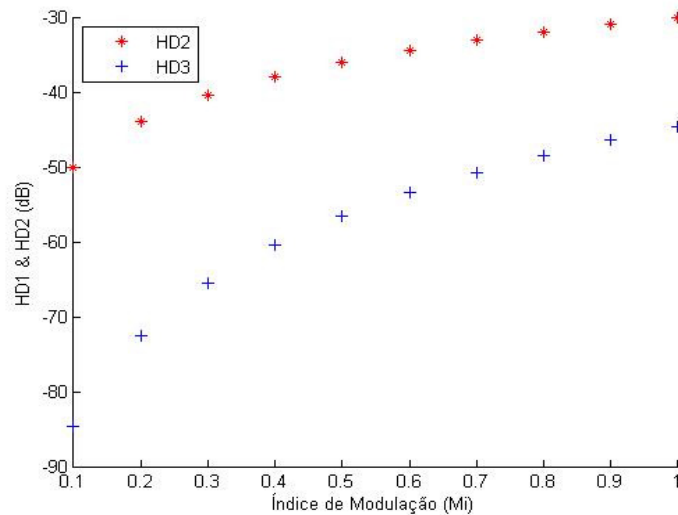


Figura 5.17 – Componentes harmônicas pelo índice de modulação

5.5.1 Conclusões

Circuitos SI são fortemente degradados pela presença de distorção harmônica devido aos erros provocados pela não linearidade na transmissão dos sinais de corrente, seja pela não linearidade comportamental dos dispositivos seja pelas perdas na conexão

entre estágios, como o erro de estabelecimento (*settling*), e o erro pela razão entre condutância de saída e a condutância entrada, a qual tem dependência direta da transcondutância e da condutância de canal dos transistores .

Capítulo 6

Implementação do Modulador SI em Arquitetura de Baixa Distorção

Inúmeras implementações de células de memória de corrente são encontradas na literatura, conforme revisado neste trabalho no Capítulo 2, todas elas com vistas a melhorias da própria célula de memória e com vistas a implementação feita em modelos arquiteturais clássicos para moduladores sigma-delta (2ª ordem com retroalimentação).

Nesta seção propõe-se uma mudança de foco na abordagem do modulador SI. Partindo a investigação e a implementação destes sob outro aspecto, a utilização de uma topologia em nível de sistema que minimize o problema das harmônicas, e que seja menos sensível às imperfeições do integrador.

Uma via alternativa é a proposta por [43] [44], a qual propõe uma arquitetura de baixa distorção em que a função de transferência de sinal se torna igual 1, e o ruído de quantização segue o modelo tradicional. A Figura 6.1 ilustra o digrama arquitetural para um modulador sigma-delta de 2ª ordem com realimentação positiva em avanço.

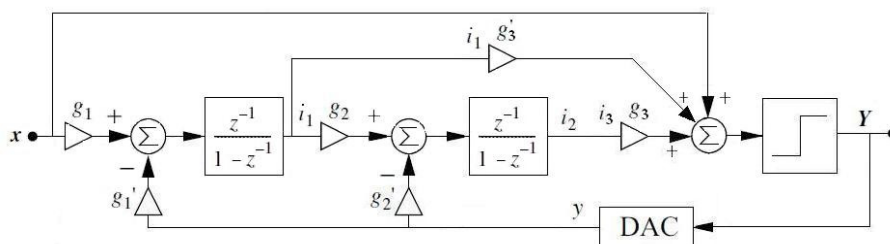


Figura 6.1 – Modelo arquitetural para modulador sigma-delta

$$\text{Assumindo } H(Z) = \frac{Z^{-1}}{1-Z^{-1}},$$

Conforme visto a seção 2.3.1 a função de transferência para o modulador da Figura 6.1 é expressa por:

$$Y(Z) = \left[\left[\left[(X(Z)g_1 - Y(Z)g_1')H(Z) \right] g_2 - g_2'Y(Z) \right] H(Z) + Q(Z) \right] g_3 + \left[\left[(X(Z)g_1 - Y(Z)g_1')H(Z) \right] g_3' \right] + X(Z) \quad (6.1)$$

$$Y(Z) = \left[g_1g_2g_3X(Z) - g_1'g_2g_3Y(Z) \right] H^2(Z) - g_2'g_3H(Z) + Q(Z)g_3 + \left[g_1'g_2X(Z) - g_1'g_3Y(Z) \right] H(Z) + X(Z) \quad (6.2)$$

Onde $Q(Z)$ representa o erro de quantização.

Assumindo os coeficientes de ganho como: $g_1 = g_2 = g_3 = g_1' = 1$, $g_2' = 0$ e $g_3' = 2$

Obtem-se:

$$Y(Z) = [X(Z) - Y(Z)]H^2(Z) + 2[X(Z) - Y(Z)]H(Z) + X(Z) + Q(Z) \quad (6.3)$$

$$Y(Z) = X(Z) + \frac{Q(Z)}{H^2(Z) + 2H(Z) + 1} \quad (6.4)$$

Onde o termo $1/(H^2(Z) + 2H(Z) + 1) = (1 - Z^{-1})^2$

Assim, tem-se $FTS = 1$ e $FTR = (1 - Z^{-1})^2$

O sinal na saída dos integradores é dado por:

$$i_1 = -Z^{-1}(1 - Z^{-1})Q(Z) \quad (6.5)$$

$$i_2 = -Z^{-2}Q(Z) \quad (6.6)$$

As expressões acima expostas conduzem a importantes conclusões acerca desta arquitetura:

O sinal de entrada não é processado pelos integradores; e dessa forma não há distorção harmônica inserida pelos circuitos integradores;

Os integradores processam somente o ruído de quantização; e dessa forma a não linearidade destes pode incrementar o nível de ruído de quantização na banda.

6.1.1 Implementação em Alto Nível (Matlab)

A topologia proposta na seção anterior pode ser comprovada através de um modelo no Matlab-Simulink. Utilizando-se elementos básicos ideais como integrador discreto, comparador e elementos de saída para testes, na Figura 6.2 apresenta-se uma implementação comportamental para a arquitetura sigma-delta de baixa distorção.

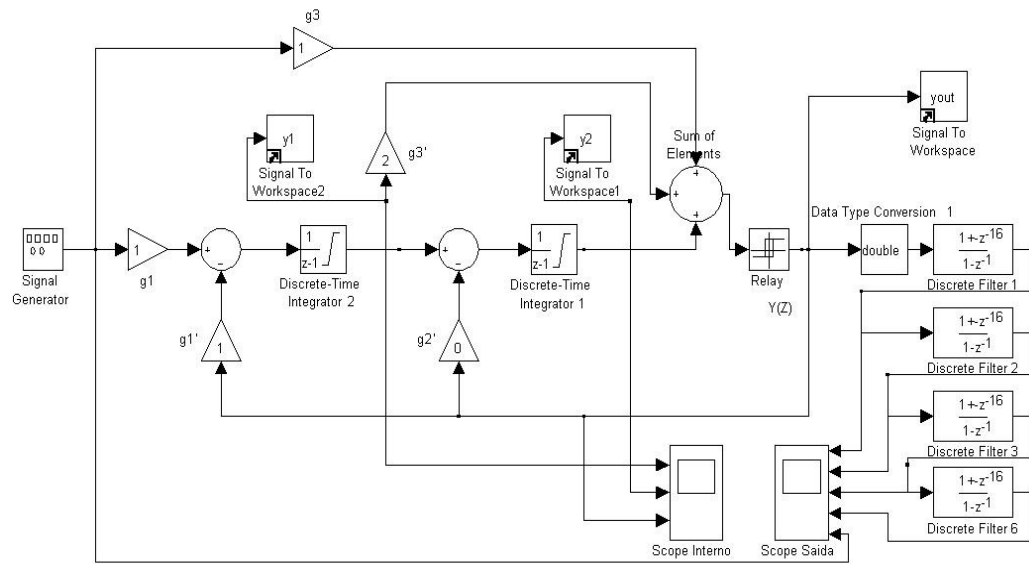


Figura 6.2 – Modelo Matlab para modulador sigma-delta de baixa distorção

Nesse modelo a saída dos integradores $y1$ e $y2$ e a saída do modulador $yout$ são registrados em arquivo na área de trabalho e tratados pelo código de programa, conforme Apêndice E. Os sinais transientes no modulador ainda podem ser visualizados nos *Scopes*, como a saída dos integradores, a saída do modulador e após os filtros digitais os sinais recuperados na forma original.

A análise espectral na saída do modulador, Figura 6.3 revela a característica de baixa distorção na banda de sinal, e o ruído de quantização com uma taxa crescente de 40dB por década acima da banda de sinal. Na Figura 6.4 estão os espectros das saídas dos integradores demonstrando a minimização das componentes de sinal e das harmônicas. Na mesma figura ainda pode-se verificar o histograma de ocorrências na saída dos integradores, demonstrando a observância da faixa dinâmica de operação dentro dos limites dos integradores ($\pm 1V$) por consequência dos ganhos atribuídos na malha de realimentação do sistema modulador.

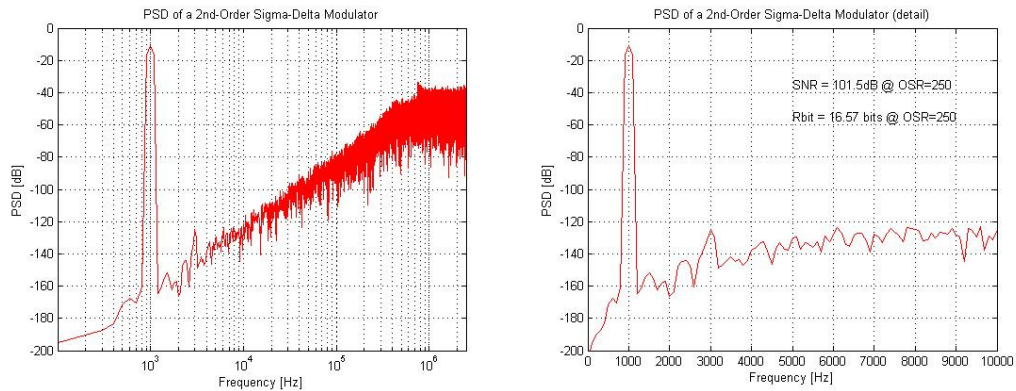


Figura 6.3 – Densidade espectral de potência do modulador de baixa distorção e detalhe na banda

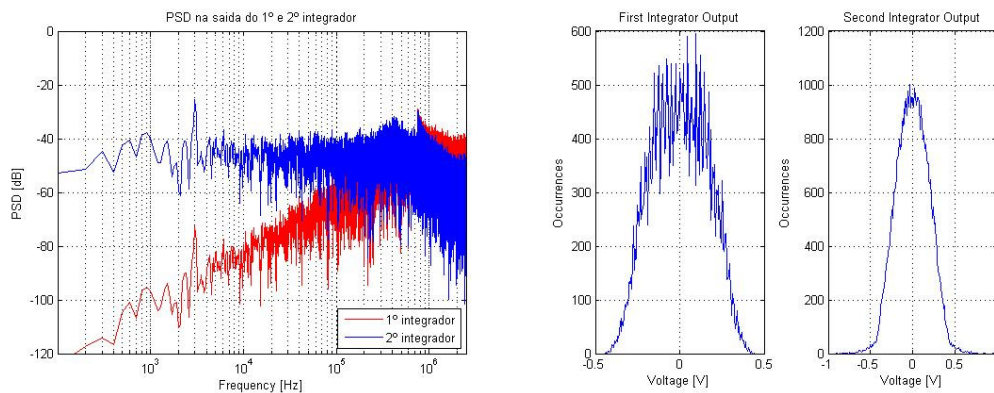


Figura 6.4 – a) Densidade espectral de potência na saída dos integradores b) histograma de ocorrências

6.1.2 Implementação SI (*feed-forward* -SI_FF)

Com a intenção de verificar as evidências levantadas, de acordo com as seções anteriores, foi realizada uma nova implementação para os integradores SI, desta vez, utilizando uma célula mais simples e com transistores menores, conforme o esquema da Figura 6.5. O integrador é composto por uma fonte de corrente que fornece o dobro corrente de polarização I_b dada por V_{bp} . A saída do integrador é obtida pelo espelhamento dos *Gates* (V_{gsMNI}). Como o circuito é diferencial os dois caminhos são somados pela cópia invertida em seu oposto, encontrando assim o modo comum. Os transistores do braço de saída do integrador são ajustados de modo a adequar o ganho do integrador aos requisitos do circuito, no caso o ajuste é feito de modo que a entrada limitada à corrente de referência (15uA) tenha uma resposta limitada e linear no mesmo intervalo. O ajuste é obtido por simulação interativa de um sinal senoidal à entrada do

integrador até obter a resposta integrada de mesma magnitude, ou seja, uma cossenóide na saída de mesma magnitude.

A corrente que faz a realimentação em avanço é obtida pelo espelhamento das células de memória que compõem o integrador da mesma forma como é feito no espelhamento do braço de saída do integrador, conforme explicado anteriormente.

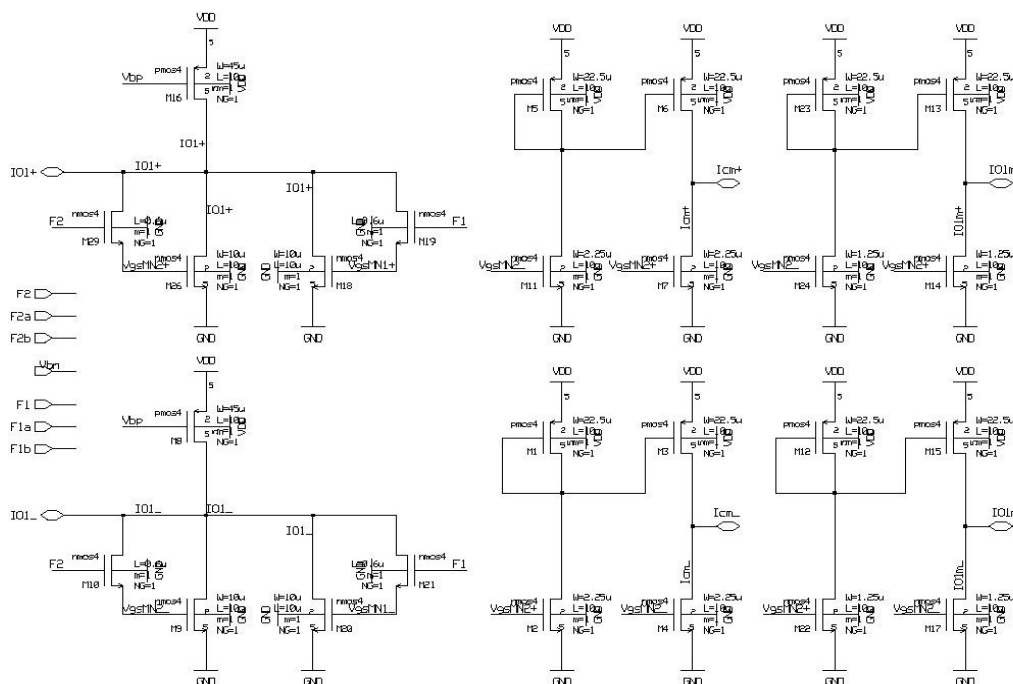


Figura 6.5 – Integrador diferencial com espelhos de realimentação

Para o caso em que se necessita ganho 2, o braço espelhado tem duas vezes as dimensões dos transistores da saída do integrador, podendo variar um pouco para compensar outros efeitos como modulação de canal e transcondutância.

Na Figura 6.6 está o esquemático completo do modulador mostrando os laços de avanço provenientes do sinal de entrada e da saída dos integradores com seus respectivos coeficientes e que incidem nos nós de soma de corrente, IC_+ e IC_- na estrutura diferencial. As três correntes são somadas na fase F_1 . Os demais blocos, comparador, chaves, conversor DA e gerador de *clock*, foram mantidos do projeto anterior, seção 4.4.

Observe-se que neste modelo somente um conversor DA é utilizado na malha de realimentação conforme a topologia adotada, o que resulta em redução de área e consumo.

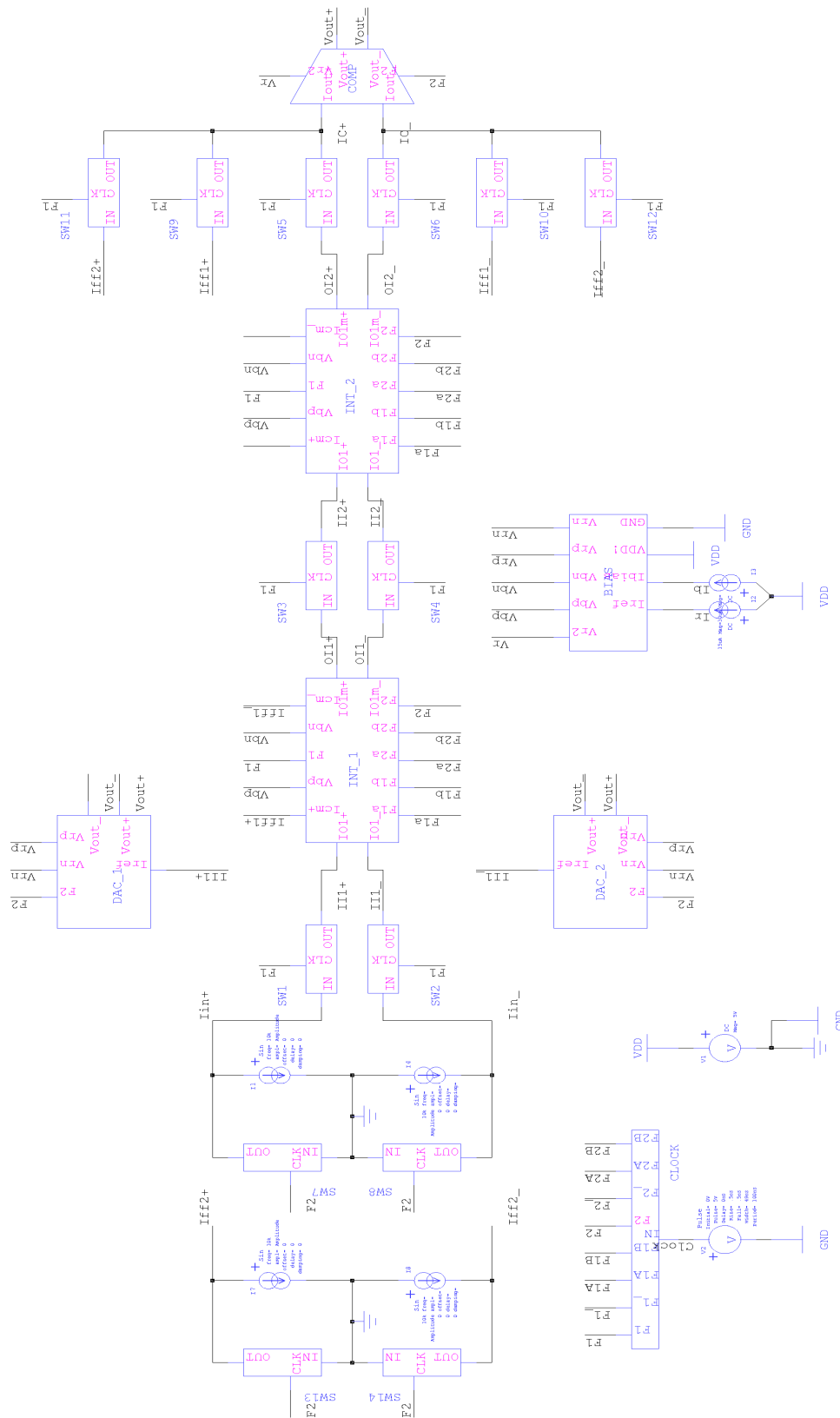


Figura 6.6 – Diagrama esquemático do modulador com realimentação em avanço

6.1.3 Resultados de simulação

O modulador proposto na seção anterior foi simulado com base nos seguintes parâmetros:

Frequência de Amostragem: $F_s=5$ MHz

Correntes de Entrada: I_{in} : 12uA, 10uA, 5uA, 1uA, 0,1uA

Corrente de referência DA: $I_{ref}= 15$ uA

Corrente de Polarização: $I_b = 30$ uA

Os sinais de corrente no domínio do tempo na saída dos integradores estão representados na Figura 6.7 e na Figura 6.9 está a saída em tensão do modulador, apresentando o *bitstream* de saída e o mesmo após a aplicação de um filtro passa-baixa.

Pela análise espectral na saída dos integradores, dada pela Figura 6.10, nota-se que integradores minimamente processam o sinal, conforme demonstrado teoricamente nas seções anteriores, devendo-se este pequeno saldo ainda restante às não idealidades presentes nas ponderações de ganho na malha de realimentação do sistema, uma vez que estas são feitas por espelhamento de corrente e pela transmissão de sinal entre estágios não ideais. As condições dinâmicas de estabilidade dos integradores também podem ser observadas na Figura 6.10, onde apresenta-se o número de ocorrências na faixa dinâmica de entrada e saída dos integradores.

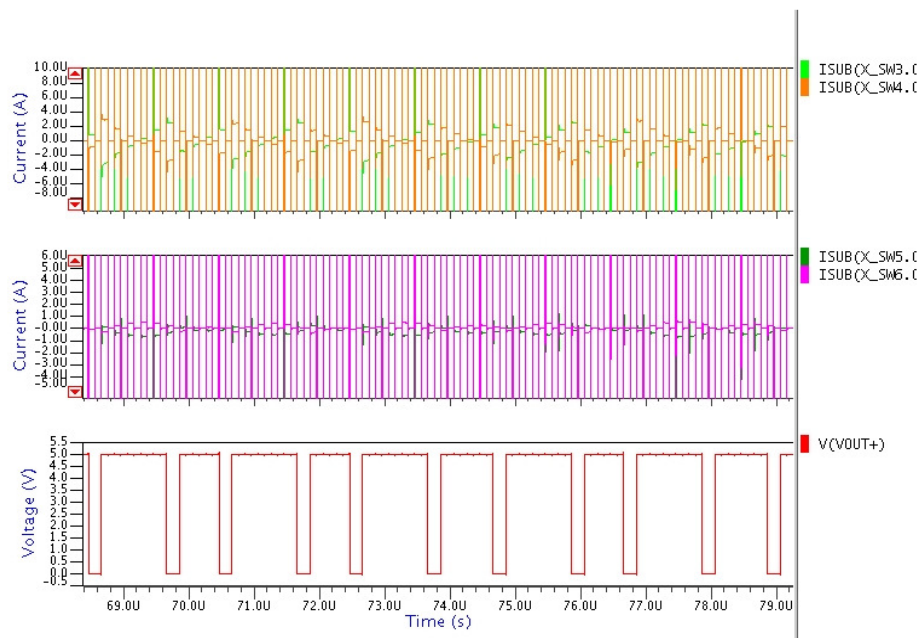


Figura 6.7 – Transiente na saída do 1º e 2º integrador e saída do modulador

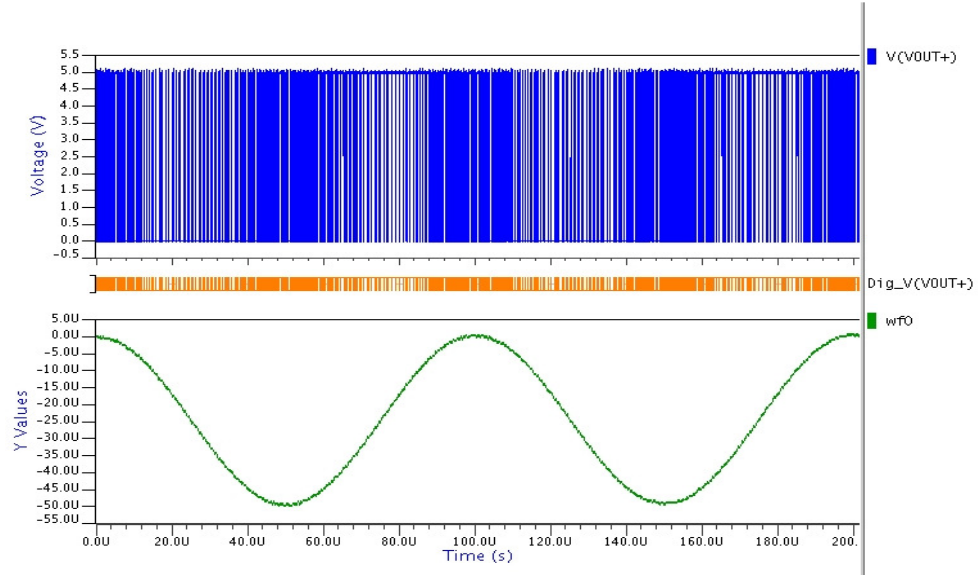


Figura 6.8 – Transiente de saída do *bitstream* analógico, digital e filtrado para um sinal de entrada senoidal de 10uA

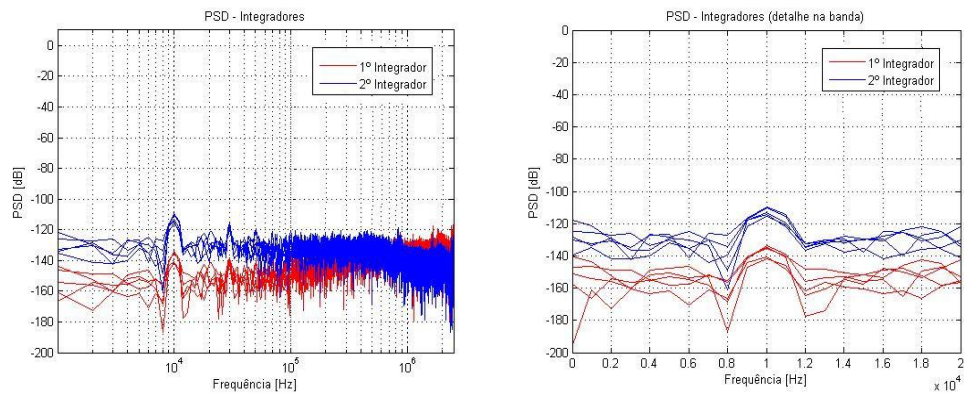


Figura 6.9 – a) Densidade espectral de potência na saída dos integradores SI b) detalhe na banda de 20 kHz

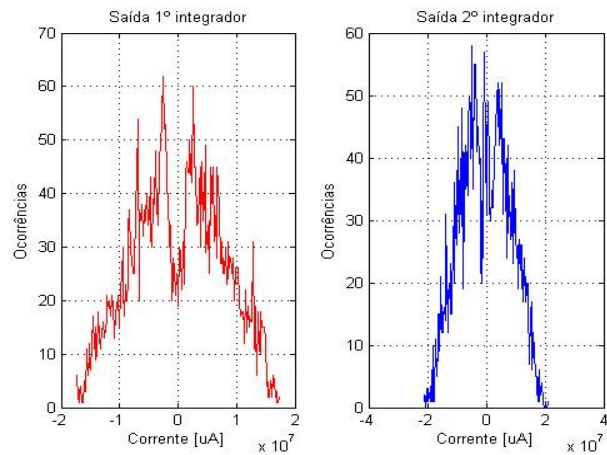


Figura 6.10 – Histograma de ocorrências na faixa dinâmica dos integradores SI

Os resultados de saída do modulador proposto estão representados na Figura 6.11 e Figura 6.12, para as várias magnitudes do sinal de entrada estipuladas, dando uma visão abrangente do comportamento desta implementação SI no contexto da arquitetura ora considerada, ou seja, a baixa distorção harmônica.

A Figura 6.13 mostra com mais detalhe o comportamento em termos da faixa dinâmica de excursão dos sinais de entrada pela relação de SNR. Como se nota, a projeção desta curva infere uma faixa dinâmica para o modulador de aproximadamente 60 dB, nível onde o sinal de entrada se confunde com o ruído do modulador (0dB).

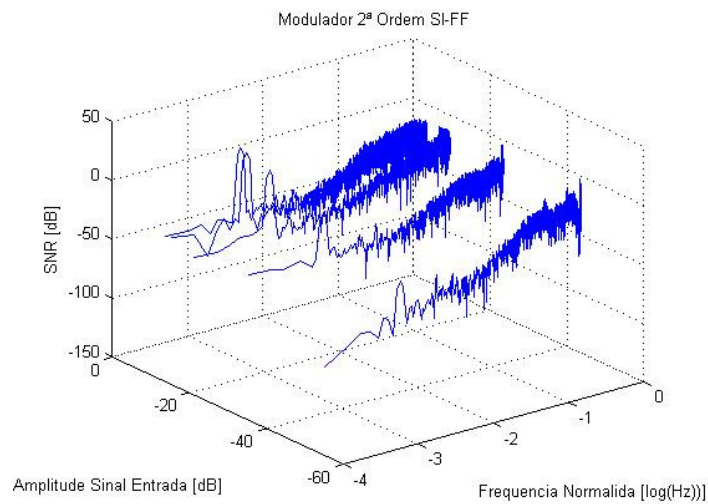


Figura 6.11 – Espectro para varios sinais de entrada para o modulador SI_FF

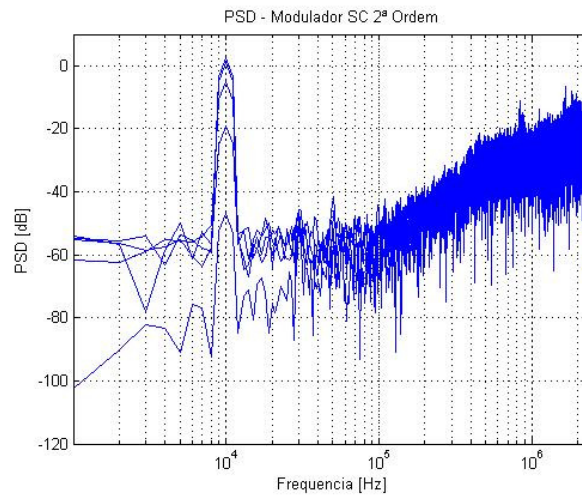


Figura 6.12 – Potência Espectral do modulador SI_FF

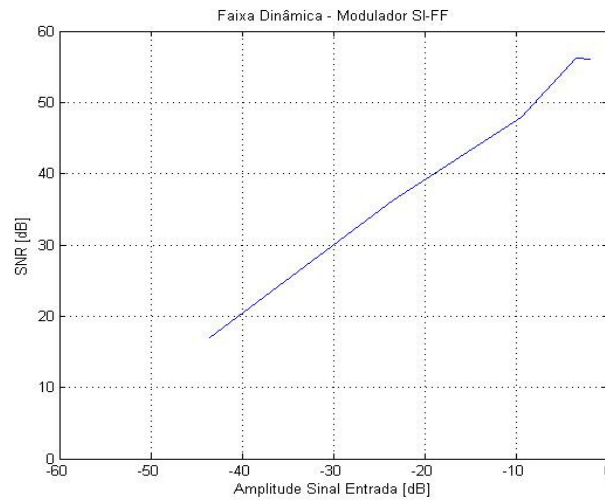


Figura 6.13 – Projeção faixa dinâmica do modulador SI-FF

Pela análise dos transientes de simulação da Figura 6.7, pode-se verificar que é possível simular o modulador a uma frequência de amostragem ainda superior, pois ainda há tempo suficiente para fazer o estabelecimento (*settling*) pelos integradores e demais blocos. No caso, foi possível uma simulação a uma frequência de amostragem de 20 MHz, mantidas as condições de simulação anteriores. A Figura 6.14, ilustra o espectro nestas condições.

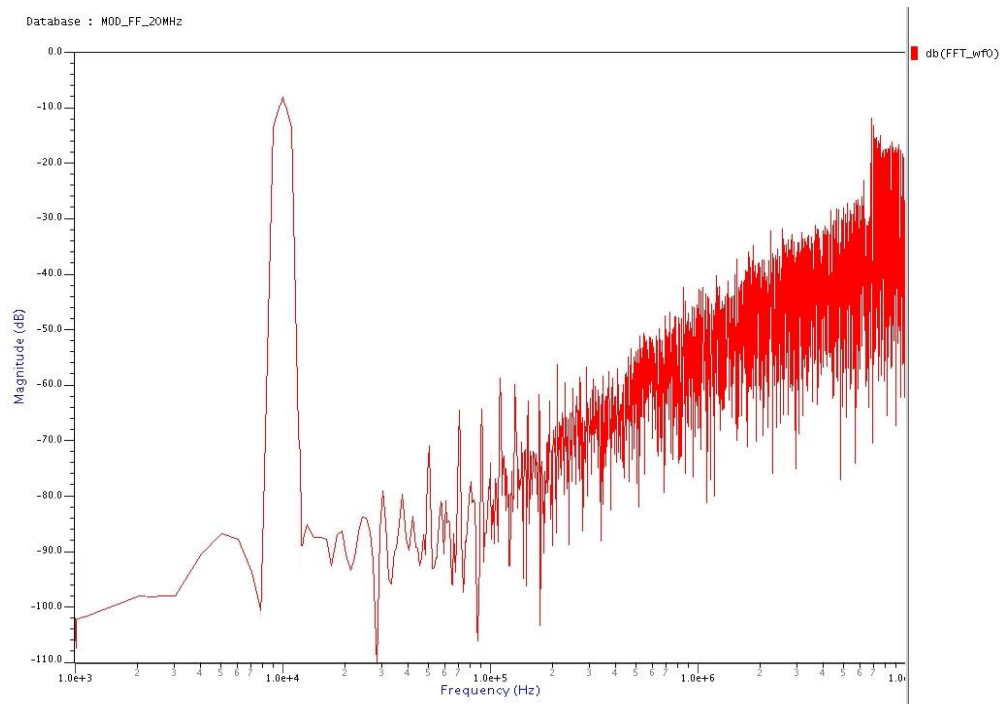


Figura 6.14 – Modulador SI_FF a 20 MHz

6.1.4 Comparativo final entre os moduladores SC, SI e SI_FF

A Tabela 6.1 expressa um resumo final comparativo entre as implementações realizadas neste trabalho e o trabalho recentemente publicado [71] que também traça um comparativo entre moduladores SC e SI . Nela pode-se verificar que em termos de consumo e área, o modulador SI implementado na topologia de baixa distorção representa uma promissora e boa alternativa.

Mesmo considerando que a resolução efetiva seja menor, há que se considerar que as frequências de sobre amostragem também são diferentes. Como o modulador SI_FF proposto é capaz de funcionar a uma taxa de 20 MHz, adquirindo com isso cerca de 80 dB de SNR, com um consumo de 10mW.

Tabela 6.1 – Resumo comparativo para os moduladores sigma delta implementados

Técnica Referência Parâmetro	SC			SI			
	[54] 2007	[71] 2008	SC 2009 *	[71] 2008	SI_FB 2009 **	SI_FF 2009 ***	SI_FF 2009 ***
Processo(μm)	0,35	0,35	0,6	0,35	0,6	0,6	0,6
Área(mm ²)	0,9	0,25	0,25	0,147	0,12	0,08	0,08
Consumo(mW)	0,120	12	5	12	4,8	4,5	10
Tensão(V)	2	3,3	5	3,3	3	0,8	0,8
Arquitetura(ordem)	2	2	2	2	2	2	2
Frequência Sobre-amostragem (MHz)	0,64	10	5	10	5	5	20
Largura de Banda(kHz)	2,5	20	10	20	10	10	40
SNR(dB)	77	85	75	82	60	~60	~80
Resolução (Bits)	12	14	12	13	9	10	12

*SC com *feed back*, este trabalho

**SI com *feed back*, este trabalho

***SI com *feed forward*, este trabalho

Capítulo 7

Conclusões

As duas principais técnicas usadas para o processamento analógico de sinais amostrados, capacitor chaveado SC e corrente chaveada SI, foram avaliadas. Inicialmente por uma revisão do funcionamento destas técnicas aplicadas aos moduladores tipo sigma-delta, suas partes construtivas e os limitantes tecnológicos na implementação dos mesmos. Numa segunda etapa efetuou-se um estudo teórico traçando um comparativo do desempenho que uma célula de memória básica de cada técnica alcançaria em termos de velocidade, resolução e consumo. Nesta etapa, verificou-se que a memória básica SI tem melhor desempenho quanto a velocidade de operação, enquanto que a célula básica SC tem melhor desempenho em termos da relação sinal-ruído. A terceira etapa foi a implementação de dois moduladores tipo sigma delta em tecnologia CMOS. Os dois moduladores projetados e fabricados foram comparados em termos da relação sinal-ruído, consumo velocidade. Para os casos estudados verificou-se que a implementação com SC tem vantagens em termos de qualidade na relação sinal-ruído, tem equivalência em consumo, e tem maior área de silício. No projeto com SI, as principais dificuldades encontradas foram devidas a forte distorção harmônica e as perdas e fugas devido a elementos parasitas, principalmente quando se processa sinais com baixa corrente fora do circuito integrado. As impedâncias inseridas por *pads*, trilhas e conexões contaminam fortemente os sinais a serem processados. Desse fato pode-se concluir que as técnicas SI teriam melhor desempenho quando implementadas unicamente entre estágios internos ao CI.

Dependendo do tipo de aplicação, as especificações requeridas podem ter vantagens pela implementação SI ou SC. Quando o requisito for baixo consumo, baixa tensão e média resolução, os circuitos SI são atrativos, por terem menor área, e menor custo, pois podem ser, ou integrados diretamente nos processos puramente digitais.

Quando se requer alta resolução há vantagem para os circuitos SC, pois atingem melhor SNR, porém com o encargo de maiores custos e complexidade.

Para as duas técnicas analisadas comprovou-se a dificuldade em se contornar as não idealidades dos circuitos reais. No caso do SC, as técnicas desenvolvidas conseguem lidar melhor com os erros provocados pelos elementos de circuito como os AmpOps nos integradores, o chaveamento e as questões de estabilidade. No caso dos circuitos SI, ainda que várias células de memória de baixa distorção tenham sido desenvolvidas ao longo do tempo, melhorando o desempenho dos mesmos, os fatores tecnológicos limitantes ainda não foram suficientemente contornados ao ponto de se obter equivalência às técnicas com SC, principalmente no tocante a distorção harmônica e a transferência de corrente entre estágios, conforme se aponta neste trabalho.

Diante das dificuldades enfrentadas perante as não idealidades nas células de memória, este trabalho propôs uma mudança de abordagem no projeto de moduladores com células SI. Ao invés de tão somente aprimorar o elemento básico em um modulador SI, o integrador, propôs-se a implementação SI em outra topologia, capaz de propiciar baixa distorção pela suas características na função de transferência de sistema. Conforme apresentado, a implementação de um modulador SI, utilizando uma topologia recentemente apresentada e aplicada a circuitos SC, foi realizada e comprovada por resultados de simulação, com significativa redução na taxa de distorção harmônica e maior velocidade de operação, o que sob o ponto de vista de ponderações de mérito comparando velocidade resolução e consumo torna esta implementação equivalente aos SC da mesma categoria. Com isso abre-se uma nova perspectiva sob o ponto de vista da implementação de moduladores sigma-delta em processos básicos digitais, onde pode-se tirar proveito da economia de área, da redução de custos com equivalência em termos de resolução e consumo.

Outra conclusão importante a salientar quanto as características da topologia apresentada aplicada ao modulador SI, é o fato dos integradores processarem o ruído de quantização e não o sinal. Isto sugere que integradores com características menos exigentes e de maior velocidade poderiam ser projetados, explorando assim a possibilidade de moduladores simples, mais rápidos e conseqüentemente de maior banda.

Como futuros trabalhos pretende-se conduzir a investigação de moduladores SI implementados em topologia de baixa distorção, em mais alta ordem de modulação implementados em cascata, usando tecnologias mais modernas, objetivando aumentar a resolução (SNR) aliadas as boas características da implementação SI, como consumo velocidade e custos.

Referências Bibliográficas

- [1] Gregorian, R.; Temes, G.; “Analog MOS Integrated Circuits for Signal Processing”, Wiley, 1986.
- [2] Candy, J. C.; Temes, G. C.; “Oversampling Delta-Sigma data converters: theory, design and simulation”, IEEE, Jan. 1992, ISBN 0-97942285-8.
- [3] Schereir, R., Temes, G., “ Understanding Delta-Sigma Date Converters”, John Wiley & Sons Inc. NY, 2004
- [4] Medeiro, F.; Pérez-Verdú, B.; Rodriguez-Vázquez, A.; “Top-Down Design of High-Performance Sigma-Delta Modulators”, Norwood, MA: Kluwer, 1999.
- [5] Brandt, B.B; “Oversampled analog-to-digital conversion”, Ph.D. Dissertation, Stanford University, Aug. 1991.
- [6] YuQing Yang; Chokhawala, A.; Alexander, M.; Melanson, J.; Hester,D.; “A 114-dB 68-mW Chopper-stabilized stereo multibit audio ADC in 5.62 mm/sup 2/”, IEEE Journal of Solid-State Circuits, Vol 38, pag. 2061- 2068, Dezembro de 2003.
- [7] Yao, L.; Steyaert, M.; Sansen, W.; “Low-Power Low-Voltage Sigma-Delta Modulators in Nanometer CMOS”,Springer, 2006.
- [8] E. Vittoz, “Micropower Techniques in Design of CMOS VLSI Circuits for Telecommunications”, Y. Tsvividis and P. Antonuetti Editors, Prentice-Hall, 1985.
- [9] Makinwa, K. A.A.; “Flow Sensing with Thermal Sigma-Delta Modulators”, OPTIMA Grafische Comunicatie, Rotterdam, 2004. ISBN: 90-77595-61-9.
- [10] Pertijs, M.; “Precision Temperature Sensors in CMOS Technology”, Holanda, 2005, ISBN: 90-9020097-5
- [11] G. Nicolini e D. Senderowicz, “A CMOS Bandgap Reference for Differential Signal Processing”, IEEE J. Solid-State Circuits, vol. 26, pp. 41-50, Janeiro de 1991.
- [12] Toumazou C.; Moschytz, G. S., Gilbert, B.; “Trade-Offs in Analog Circuit Design”, Kluwer Academic Publishers, Boston, 2002, ISBN: 0-306-47673-8.
- [13] Daubert, S.; Vallancourt, D.; Tsvividis, Y. “Current Copier Cells”, Electronics Letters, vol. 24, pp. 1560-1562, Dezembro de 1988.
- [14] Vallancourt, D.; Tsvividis, Y.; “Sampled-Current Circuits”, IEEE Int. Symp. on Circuits and Systems, 1989, pp. 1592-1595
- [15] Hughes, J.; Moulding, K.;“Switched-Current Signal Processing for Video Frequencies and Beyond“, IEEE J. Solid-State Circuits, vol. 28, pp. 314-322, Março de 1993.

- [16] Silva, P. G.; “High-Resolution IF-to-Baseband $\Sigma\Delta$ ADC for AM/FM Car Radios”, Printed by PrintPartners Ipskamp, Enschede, Holanda, 2007, ISBN: 978-90-9021785-7.
- [17] Philips, K.; van Roermund, A. H. M.; “ $\Sigma\Delta$ A/D Conversion for Signal Conditioning”, Springer, Holanda, 2006, ISBN: 1-4020-4679-0.
- [18] Hughes, J. B.; “Analogue IC Design: the Current Mode Approach”, edited by C. Toumazou et al, pp. 424-435, IEE Circuit and Systems Series 2, 1990.
- [19] Toumazou, C.; et al; “Regulated Cascode Switched-Current Memory Cell,” Electronic Letters, Vol. 26, No. 5, pp. 303-305, March 1990.
- [20] Hughes, J.B; Moulding, K.W.;“S2I: A Switched-Current Technique for High Performance”, Electronics Letters, Vol. 29, pp1400-1401, August 1993.
- [21] Battersby, N. C.; Toumazou, C.; "Class AB Switched-Current Memory for Analogue Sampled Data Systems", Electronics Letters, vol. 27, pp. 873-875, 1991.
- [22] Nairn, D.; “Zero-Voltage Switching in Switched-Current Circuits”, IEEE Int.Symp. on Circuits and Systems, 1994, pp. 289-292.
- [23] Zele, R.; Allstot, D.; “Low-Voltage Fully Differential Switched-Current Filters”, IEEE J.Solid-State Circuits, vol. 29, pp. 203-209, Março de 1994.
- [24] Zele, R.; Allstot, D.; Fiez, T.;“Fully-Differential CMOS Current-Mode Circuits and Applications”, IEEE Int. Symp. on Circuits and Systems, 1991, pp. 1817-1820.
- [25] Wegmann, G.;Vittoz, E.A.; Rahali, F.; “Charge Injection in Analog MOS Switches”, IEEE Journal of Solid State Circuits, Vol. SC-22,Nr. 6, Dezembro 1987.
- [26] Yang, H.; Fiez, T.; Allstot, D.;“Current-Feedthrough Effects and Cancellation Techniques in Switched-Current Circuits”, IEEE Int. Symp. on Circuits and Systems, 1990, pp. 3186-3188.
- [27] Riffaud, P.;Tourneur,G.; Garnier, E.; Roux, P.; “Charge Injection Error Reduction Circuit for Switched-Current Systems”, Electronics Letters, vol. 33, pp. 1689-1691, Setembro de 1997.
- [28] Helfenstein, M.; Moschytz, G.; “Improved Two-Step Clock-Feedthrough Compensation Technique for Switched-Current Circuits”, IEEE Trans. on Circuits and Systems II: Analog and Digital Signal Processing, vol. 45, pp. 739-743, Junho de 1998.
- [29] Loulou, M.; Riffaud-Desgreys, P.; Marchegay, P.; Garnier, E.; “A Clock Feedthrough Compensated Current Integrator”, 5th IEEE International Conference on Electronics, Circuits and Systems, 1998, pp. 305-308.
- [30] de la Rosa, J. M.;Pérez-Verdú, B.;Rodríguez-Vazquez, A.; “Systematic Design of CMOS Switched-Current Bandpass Sigma-Delta Modulators for Digital Communication Chips”, Kluwer Academic Publishers, Boston, 2002, ISBN: 0-7923-7678-1.
- [31] de la Rosa, J. M.;Pérez-Verdú, B; Medeiro, F.; del Río, R.; Rodríguez-Vásquez, A.; “Analysis of Error Mechanisms in Switched-Current Sigma-Delta Modulators”, Analog Integrated Circuits and Signal Processing, 38, 175–201, 2004, Kluwer Academic Publishers. Netherlands.

- [32] Martins, Jorge Manuel, “Distorção Harmônica em Circuitos com Correntes Comutadas”, Phd. Thesis, Universidade Técnica de Lisboa – Instituto Superior Técnico, 1999.
- [33] Hughes, J.; Macbeth, I.; Pattullo, D.; “Switched-Current Filters”, IEE Proceedings-G, vol. 137, pp. 156-162, Abril de 1990.
- [34] Hughes, J.; Moulding, K.; “An 8 MHz, 80 Ms/s Switched-Current Filter”, IEEE Int. Solid-State Circuits Conference, 1994, pp. 60-61
- [35] Battersby, N.; Toumazou, C.; “A High-Frequency Fifth Order Switched-Current Bilinear Elliptic Lowpass Filter”, IEEE J. Solid-State Circuits, vol. 26, pp. 737-740, Junho de 1994.
- [36] Goldenberg, M.; Croman, R.; Fiez, T.; “Accurate SI Filters Using RGC Integrators”, IEEE J. Solid-State Circuits, vol. 29, pp. 1388-1395, Novembro de 1994.
- [37] Rueda, A.; Yúfera, A.; Huertas, J.; “Wave Analogue Filters Using Switched-Current Techniques”, Electronics Letters, vol. 27, pp. 1482-1483, Agosto de 1991.
- [38] Song, I.; Roberts, G.; “A 5th Order Bilinear Switched-Current Chebyshev Filter”, IEEE Int. Symp. on Circuits and Systems, 1993, pp. 1097-1100
- [39] Queiroz, A.; Pinheiro, P.; “Bilinear Switched-Current Ladder Filter Using Euler Integrators”, IEEE Trans. on Circuits and Systems II: Analog and Digital Signal Processing, vol. 43, pp. 66-70, Janeiro de 1996.
- [40] Ng, A.; Sewell, J.; “Ladder Decompositions for Wideband Switched-Current Filter Applications”, IEEE Int. Symp. on Circuits and Systems, 1998, pp. I.119-I.122.
- [41] Wu, J.; El-Masry, E.; “Design of Current-Mode Ladder Filters Using Coupled-Biquads”, IEEE Trans. on Circuits and Systems II: Analog and Digital Signal Processing, vol. 45, pp. 1445-1454, Novembro de 1998.
- [42] C. S. G. Conroy, D. W. Cline and P. R. Gray, “An 8-b, 85 MS/s, parallel pipeline A/D converter in CMOS”, IEEE Journal of Solid-State Circuits, vol. SC-28, pp. 447-454, 1993.
- [43] Silva, José Barreiro., “High-Performance Delta-Sigma Analog-to-Digital Converters”, Phd. Thesis, Oregon State University, 2004.
- [44] J. Silva, U. Moon, J. Steensgaard, and G. C. Temes, “Wideband low-distortion delta-sigma ADC topology”, IEE Electronics Letters, vol. 37, no. 12, pp. 737-738, June 2001.
- [45] IEEE, “IEEE Recommended Practice for Monitoring Electric Power Quality”, IEEE Standard 1159 – 1995.
- [46] ITRS - International Technology Roadmap for Semiconductor, “Radio Frequency and Analog/Mixed-Signal Technologies for Wireless Communications”, Edição 2007. <http://www.itrs.net/Links/2007ITRS/Home2007.htm>.
- [47] Wang, C.B., “A 20 bit 25 kHz delta sigma A/D converter utilizing frequency-shaped chopper stabilization scheme”, Proceedings of the Custom Integrated Circuits Conference, IEEE 2000 CICC. Publication Date: 2000 On page(s): 9-12.

- [48] YuQing Yang, Amiya Chokhawala, Mark Alexander, John Melanson, and Dylan Hester., “A 114-dB 68-mW Chopper-Stabilized Stereo Multibit Audio ADC in 5.62 mm²” IEEE Journal of Solid-State Circuits, Vol. 38, Nr. 12, December 2003.
- [49] YuQing Yang, Terry Sculley, Jacob Abraham, “A single die 124dB stereo audio delta sigma ADC with 111dB THD”, 33rd European Solid State Circuits Conference, 2007. ESSCIRC, Publication Date: 11-13 Sept. 2007, On page(s): 252-255, Munich.
- [50] Loulou, M., Fakhfakh, M. and Masmoudi, N. “A High Precision High Speed S_j Switched Current Grounded Gate Class Ab Memory Cell”. <http://citeseer.ist.psu.edu/375603.html>
- [51] Guo-Ming Sung, Kuo-Hsuan Chang, Wen-Sheng Lin, “A 12-B 10-Msamples/S Cmos Switched current Delta-Sigma Modulator”, IEEE International Symposium on Circuits and Systems, 2005. ISCAS 2005. Publication Date: 23-26 May 2005 On page(s): 5573- 5576 Vol. 6 ISBN: 0-7803-8834-8.
- [52] Guo-Ming Sung Dong-An Yao Kuo-Hsuan Chang Shyue-Ru Yao, “A Second-Order Sigma-Delta Modulator With Switched-Current Memory Cell For Closed-Loop Motor Control System” Power Electronics Specialists Conference, 2006. PESC '06. 37th IEEE, Publication Date: 18-22 June 2006, On page(s): 1-5, Location: Jeju, ISSN: 0275-9306, ISBN: 0-7803-9716-9.
- [53] Lopez-Morillo, E., Carvajal, R. G., ElGimili, H., Ramirez-Angulo, J., Lopez-Martin, A., Rodriguez-Villegas, E., “A Very Low-Power Class AB/AB Op-amp based Sigma-Delta Modulator for Biomedical Applications”, 49th IEEE International Midwest Symposium on Circuits and Systems, 2006. MWSCAS 06, Volume: 2, On page(s): 458-462 : San Juan, PR, Publication Date: 6-9 Aug. 2006.
- [54] Gundel, A., Carr, W.N.A “Micro Power Sigma-Delta A/D Converter in 0.35-um CMOS for Low Frequency Applications”, New Jersey Inst. of Technol., Newark; IEEE Long Island Systems Applications and Technology Conference, 2007. LISAT 2007.
- [55] Hsin-Liang Chen, Yi-Sheng Lee, Jen-Shiun Chiang, “Low power sigma delta modulator with dynamic biasing for audio applications”, 50th Midwest Symposium on Circuits and Systems, 2007. MWSCAS 2007.
- [56] Tan, Nianxiong., “Very Low-Voltage Switched-Current Circuits in Standard Digital CMOS Process”, Analog Integrated Circuits and Signal Processing archive Volume 21, Issue 3 (December 1999) .,Pages: 253 – 262., 1999. ISSN:0925-1030.
- [57] Shuenn-Yuh Lee, Yueh-Lun Tsai, Wei-Zen Su. Po-Hui Yang, “A 2.5V Switched-Current Sigma-Delta Modulator with a Novel Class AB Memory Cell”, Proceedings of the 2003 International Symposium Circuits and Systems, 2003. ISCAS '03.,Publication Date: 25-28 May 2003, Volume: 1, On page(s): I-613- I-616 vol.1
- [58] Shuenn-Yuh Lee, Chih-Jen Cheng., “A Low-Voltage and Low-Power Adaptive Switched-Current Sigma-Delta ADC for Bio-Acquisition Microsystems” IEEE Transactions On Circuits and Systems I: Regular Papers, Vol. 53, No. 12, December 2006
- [59] Libin Yao, Steyaert, M., Sansen, W., “A 1-V, 1-MS/s, 88-dB sigma-delta modulator in 0.13-/spl mu/m digital CMOS technology”, Symposium on VLSI

- Circuits, 2005. Digest of Technical Papers. 2005, Publication Date: 16-18 June 2005 On page(s): 180- 183, ISSN: ISBN: 4-900784-01-X.
- [60] Balmelli, P., Huang, Q., “A 25MS/s 14b 200mW $\Sigma\Delta$ Modulator in 0.18 μ m CMOS”, 2004 IEEE International Solid-State Circuits Conference, 2004. Digest of Technical Papers. ISSCC., Publication Date: 15-19 Feb. 2004, On page(s): 74- 514 Vol.1 ISSN: 0193-6530, ISBN: 0-7803-8267-6.
- [61] Jose, B.R. Mythili, P. Mathew, J. Pradhan, D.K., “Wideband low-distortion sigma-delta ADC for WLAN”, 6th International Conference on Information, Communications & Signal Processing, 2007, Publication Date: 10-13 Dec. 2007, On page(s): 1-5, ISBN: 978-1-4244-0983-9.
- [62] José M. de la Rosa, , Belén Pérez-Verdú, Fernando Medeiro, Rocio del Río and Angel Rodríguez-Vázquez, “A CMOS 0.8- μ m Transistor-Only 1.63-MHz Switched-Current Bandpass $\Delta\Sigma$ Modulator for AM Signal A/D Conversion”, IEEE Journal of Solid-State Circuits, Vol. 35, No. 8, August 2000.
- [63] Maloberti, Franco., “Data Converters”, Springer, Netherlands, 2007, ISBN-10 0-387-32485-2
- [64] R. del Rio, F. Medeiro, B. Pérez-Verdú, “Á. Rodríguez-Vázquez, CMOS Cascade Sigma-Delta Modulators for Sensors and Telecom”, Springer. 2006.
- [65] B.E. Boser and B.A. Wooley, “The Design of Sigma-Delta Modulation Analog-to-Digital Converters”. IEEE Journal of Solid-State Circuits, vol. 23. pp. 1298-1308, December 1988.
- [66] G. Yin and W. Sansen, “A High-Frequency and High-Resolution Fourth-Order $\Sigma\Delta$ A/D Converter in BiCMOS Technology”. IEEE Journal of Solid-StateCircuits, vol. 29, pp. 857-865, August 1994.
- [67] A.M. Marques, V. Peluso, M.S.J. Steyaert, and W. Sansen, “A 15-b Resolution 2-MHz Nyquist Rate $\Sigma\Delta$ ADC in a 1- μ m CMOS Technology”. IEEE Journal of Solid-State Circuits, vol. 33, pp. 1065-1075, July 1998.
- [68] W.L. Lee and C.G. Sodini, “A Topology for Higher Order Interpolative Coders”. Proc. of the IEEE International Symposium on Circuits and Systems, pp. 459-462, 1987.
- [69] J.M. de la Rosa, B. Pérez-Verdú, F. Medeiro, R. del Río and A. Rodríguez-Vázquez, “Study of Non-Linear S/H Operation in Switched-Current Circuits using Volterra SeriesApplication to Bandpass Modulators”,
- [70] Prior, C. A., Rodrigues, C. R. “A Low Cost Test for Detecting Hot Spots in Integrated Circuits” In: XV Workshop Iberchip, 2009, Buenos Aires. XV Workshop Iberchip. Buenos Aires: Ediciones Cientificas Americanas, 2009. v.2. p.444 - 447
- [71] Guo-Ming Sung, Chih-Ping Yu, Dong-An Yao, “A comparison of second-order sigma-delta modulator between switched-capacitor and switched-current techniques”, Circuits and Systems, 2008. APCCAS 2008. IEEE Asia Pacific Conference on, Publication Date: Nov. 30 2008-Dec. 3 2008, on page(s): 1172-1175, E-ISBN: 978-1-4244-2342-2
- [72] Youngcheol Chae, Gunhee Han Yonsei, “A Low Power Sigma-Delta Modulator Using Class-C Inverter” VLSI Circuits, 2007 IEEE Symposium on Publication Date: 14-16 June 2007 On page(s): 240-241 ISBN: 978-4-900784-05-5

- [73] Ana Rusu, Alexei Borodenkov, Mohammed Ismail1, and Hannu Tenhunen, “A Triple-Mode Sigma-Delta Modulator for Multi-Standard Wireless Radio Receivers” *Analog Integrated Circuits and Signal Processing*, 47, 113–124, 2006., Springer Science + Business Media, Inc. Manufactured in The Netherlands. DOI: 10.1007/s10470-006-3298-6

Apêndice A

Abordagem em Tensão e Corrente em CMOS

A.1 Características dos Circuitos em Modo-Corrente e Modo-Tensão

A.1.1 Impedância de entrada e saída

Um circuito em modo tensão ideal tem sua impedância de entrada infinita, impedância de saída nula, e ganho de tensão constante. Um bom representante destas características é o amplificador operacional introduzido nos anos 60. Estas características próprias dos amplificadores operacionais garantem que as características dos circuitos nos quais estão inseridos sejam determinadas somente pelos elementos externos ao amplificador operacional.

Ao contrário, circuitos em modo-corrente ideais têm uma impedância de entrada nula e uma impedância de saída infinita com ganho de corrente constante, que é historicamente unitário (ganhos de corrente resultam em alto consumo de energia estática).

O efeito de carga proveniente da alta impedância de saída em circuitos em modo-corrente pode ser discutido utilizando-se a Figura 7.1 onde a fonte de entrada é representada pelo seu equivalente Norton. A corrente de carga é dada por:

$$i_{o2} = \frac{1}{\left(1 + \frac{z_o}{z_{in}}\right)} v_o \approx \left(1 - \frac{z_o}{z_{in}}\right) i_o \quad (8.1)$$

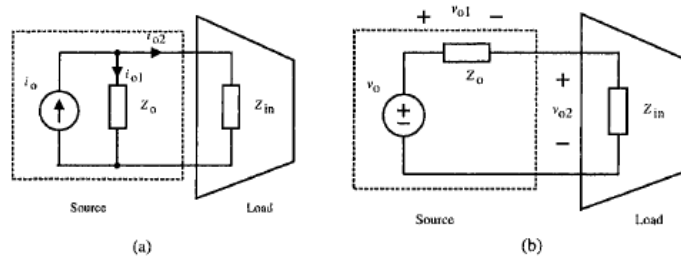


Figura 7.1 – Efeito de carga. (a) Circuitos em modo-corrente. (b) Circuitos em modo-tensão.

Note que se assumiu $z_{in} \ll z_o$ na simplificação da equação (8.1). Para minimizar o efeito de carga é necessário $z_{in} \ll z_o$ em circuitos em modo-corrente. Similarmente, utilizando seu equivalente Thévenin o efeito de carga de circuitos em modo-tensão pode ser discutido através da Figura 7.1 com a tensão de carga:

$$v_{o2} = \frac{1}{\left(1 + \frac{z_o}{z_{in}}\right)} v_o \approx \left(1 - \frac{z_o}{z_{in}}\right) v_o \quad (8.2)$$

A.1.2 Largura de banda

A largura de banda de circuitos modo-corrente e modo-tensão podem ser melhor comparadas utilizando os blocos de modo-tensão/corrente mostrados na Figura 7.2. Devido ao fato do circuito modo-corrente ter uma grande impedância de saída, e uma baixa impedância de entrada, a impedância de carga, se faz necessária e portanto o espelho de corrente básico não está susceptível ao efeito Miller. O único pólo do espelho de corrente básico está no *gate* do transistor, com frequência dada por:

$$w_p \approx \frac{g_{m1}}{\left(C_{gs1} + C_{gs2} + C_{gd2}\right)} \quad (8.3)$$

Devido à existência da capacitância entre gate e dreno C_{gd} , a configuração fonte-comum está sujeita ao efeito Miller com capacitâncias Miller $C_{m1} = C_{gd}(1 + g_m \cdot r_o)$ na porta e $C_{m2} = C_{gd} \cdot \left(1 + 1/(g_m \cdot r_o)\right)$ no dreno, onde r_o e g_m são respectivamente, a impedância de saída e a transcondutância do transistor. O pólo na entrada, chamado pólo de Miller, é dado por:

$$W_{in} \approx \frac{1}{R_s \left[C_{gs} + C_{gd} (1 + g_m r_o) \right]} \quad (8.4)$$

Onde: R_s é a resistência da fonte. O pólo na saída é estimado por $\omega_o \approx 1/[r_o \cdot (C_{gd} + C_{in})]$, onde C_{in} é a capacitância de entrada do estágio de carga. A configuração *gate-comum* não está sujeita ao efeito Miller devido à ausência de floating capacitors. O pólo na entrada é dado por $\omega_{in} \approx 1/(R_s C_{gs})$ e o pólo na saída por $\omega_o \approx 1/[r_o \cdot (C_{gd} + C_{in})]$. O estágio seguidor de fonte também está livre do efeito Miller simplesmente porque seu ganho de tensão para pequenos sinais é aproximadamente unitário. As capacitâncias Miller no gate e na fonte são dadas por $C_{m1} \approx C_{m2} \approx 0$. O pólo na entrada é dado por $\omega_{in} \approx 1/(R_s \cdot C_{gd})$ e o pólo na saída por $\omega_o \approx 1/(r_o C_{in})$.

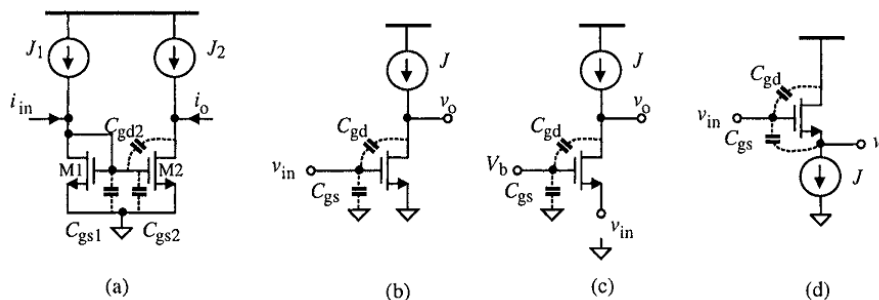


Figura 7.2 – Efeito Comparação da largura de banda entre circuitos modo-corrente e circuitos modo-tensão. (a) Espelho de corrente básico; (b) Amplificador fonte-comum; (c) Amplificador gate-comum; (d) Seguidor-de-fonte;.

Para aplicações práticas, C_{in} e r_o são freqüentemente grandes, o pólo dominante do bloco fonte-comum, gate-comum e seguidor-de-fonte está geralmente no nó de saída. A freqüência do pólo do espelho de corrente básico é no entanto menor se comparada com freqüência do pólo de amplificadores modo-tensão básicos.

A.1.3 Slew Rate

O *slew rate* de circuitos modo-corrente e circuitos modo-tensão são comparados usando a configuração fonte-comum e espelho de corrente básico, mostrados na Figura 7.3. Quando uma corrente em forma de onda quadrada é aplicada ao espelho de corrente básico, devido ao fato de que M_1 está em saturação, i_{ds1} é independente de v_{ds1} se desconsiderarmos o efeito de modulação do comprimento do canal. A taxa de variação da

corrente de saída depende de o quão rápido $C_{gs1-2} = C_{gs1} + C_{gs2}$ é carregado, ou, igualmente, o quão rápido a tensão do *gate* M_{1-2} cresce. Devido ao fato de que

$$C_{gs1-2} \frac{dv_{GS1-2}}{dt} + \frac{1}{2} \mu_n C_{ox} \left(\frac{W}{L} \right)_1 (v_{GS1-2} - V_T)^2 = J_1 + i_{in} \quad (8.5)$$

v_{gs1-2} cresce com i_{in} . Para correntes de polarização pertinentes, quão maior for a amplitude da corrente de entrada, maior o *slew rate* da corrente de saída.

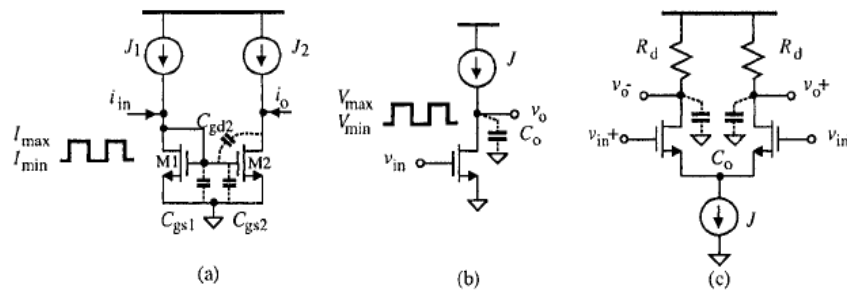


Figura 7.3 – Comparação do *slew rate* entre circuitos modo-tensão e circuitos modo-corrente. (a) Espelho de corrente básico; (b) Amplificador fonte-comum; (c) Par diferencial básico

Para circuitos modo-tensão, o *slew rate* é geralmente determinado pelo estágio de saída, devido à grande largura dos transistores no estágio de entrada e à elevada capacitância da carga. Considere um amplificador fonte-comum: quando uma tensão suficientemente pequena V_{min} é aplicada à entrada, o transistor desliga e C_o é carregado somente por J , temos $[dv_o/dt]_{subida,max} = J/C_o$. Quando $V_{in} = V_{max}$, C_o é descarregado através do transistor com o *slew rate* $[dv_o/dt]_{descida,max} = 1/(R_{on} C_o)$, onde R_{on} é a resistência do canal do transistor no triodo. O resultado anterior revela que o *slew rate* de um amplificador fonte-comum é definido pela corrente de polarização, a largura do transistor, e a capacitância de saída. O *slew rate* é independente da amplitude da tensão de entrada. Uma conclusão similar pode ser feita para o par diferencial básico em modo-tensão.

A.1.4 Atraso de Propagação

Em circuitos digitais, o atraso de propagação médio é uma figura-de-mérito, amplamente utilizada que diz respeito ao comportamento transiente dos circuitos. Está diretamente relacionada à variação do sinal.

Desconsiderando a resistência e a indutância, o tempo de subida (descida) médio da tensão em um nó, é determinado por:

$$C_n (\Delta v_n) = \int_0^{\Delta t} i(t) dt = I_{avg} \Delta t \quad (8.6)$$

Onde, I_{avg} é a corrente média que carrega/descarrega o nó, C_n é a capacitância do nó, $i(t)$ é a corrente entrando/saindo do nó, e Δv_n é a variação do sinal do nó. A equação (8.6) revela que um pequeno atraso de propagação pode ser obtido se diminuirmos a variação da tensão no nó ou maximizarmos a corrente que carrega/descarrega a capacitância do nó. Para circuitos modo-tensão Δv_n é restringido pelas especificações da relação sinal-ruído e deve ser mantido o suficientemente grande, resultando numa resposta transiente lenta.

Ao contrário dos circuitos modo-tensão, a informação nos circuitos modo-corrente são as correntes de braço. A variação das tensões dos nós pode ser mantida pequena à medida que as correntes nos braços associados aos nós é grande. Considere a Figura 7.4, a partir de:

$$\Delta v_n = z_n \left(\sum_{b_1=1}^{B_1} \Delta i_{in, b_1} - \sum_{b_2=1}^{B_2} \Delta i_{o, b_2} \right) \quad (8.7)$$

Onde, z_n é a impedância do nó, B_1 e B_2 são o número de braços de entrada e saída conectados ao nó, respectivamente, conclui-se que para um dado Δv_n , uma grande variação de corrente pode ser obtida na medida que z_n for mantida pequena. A pequena variação da tensão nos nós, em circuitos modo-corrente, diminui o tempo necessário para carregar/descarregar C_n , resultando em resposta transiente mais rápida. Esta é uma das principais vantagens em circuitos modo-corrente.

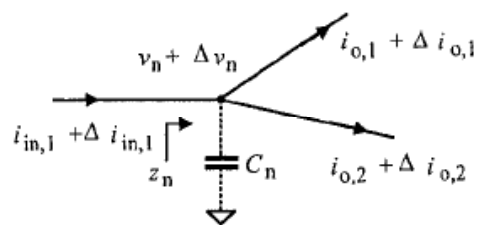


Figura 7.4 – Variação das tensões de nó e correntes de braço em circuitos modo-corrente.

A.1.5 Sensibilidade a tensão de Alimentação

O efeito das flutuações de V_{DD} e *ground* (referência) na tensão (corrente) de saída em circuitos CMOS é uma grande preocupação em circuitos mistos, porque tanto circuitos analógicos quanto digitais freqüentemente compartilham do mesmo V_{DD} e *ground*. A sensibilidade à tensão de alimentação definida por:

$$S_{V_{DD}}^{v_o} = \frac{\partial v_o}{\partial V_{DD}} \quad (8.8)$$

a qual representa uma medida do efeito da variação da tensão de alimentação na resposta dos circuitos. Digamos que V_{DD} mude para $V_{DD} + \Delta V_{DD}$, onde ΔV_{DD} é um valor aleatório próximo de zero. Na prática, $\Delta V_{DD} \ll V_{DD}$ e a análise de pequenos sinais pode ser empregada para analisar o efeito de ΔV_{DD} na resposta dos circuitos

Considere o amplificador fonte-comum mostrado na Figura 7.5(a). M_2 está polarizado em saturação e se comporta como uma fonte de corrente. O circuito equivalente de pequenos sinais, para avaliar a sensibilidade à variação da tensão de alimentação, desconsiderando as capacitâncias de junções é mostrado na Figura 7.5(b). Em baixas freqüências, onde C_{gs} e C_{gd} são desconsiderados temos:

$$S_{V_{DD}}^{v_o} \approx \frac{g_{m2}}{g_{o1} + g_{o2}} = (r_{o1} \parallel r_{o2}) g_{m2} \quad (8.9)$$

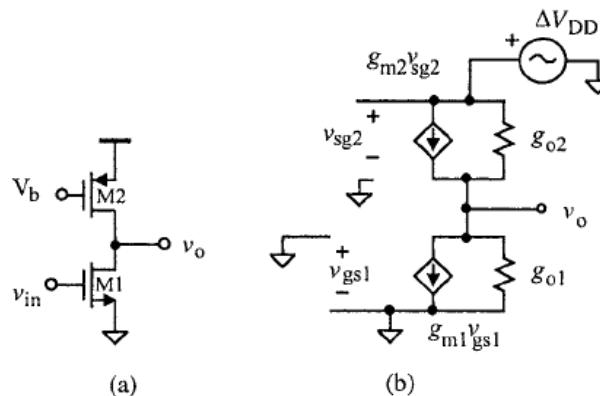


Figura 7.5 – Análise da sensibilidade à variação de tensão de alimentação em circuitos modo-tensão. (a) Amplificador fonte-comum; (b) Modelo equivalente de pequenos sinais.

O resultado acima mostra que ΔV_{DD} é diretamente amplificado com grande ganho. Vale ressaltar que a Figura 7.5(a) é um amplificador de *gate-comum*, com V_{in}

sendo a tensão de polarização de M_1 , que se comporta como uma fonte de corrente, e V_{DD} a entrada de M_2 , que está configurado como *gate-comum*.

Agora, consideremos o circuito mostrado na Figura 7.6. A carga é um espelho de corrente, com fonte de corrente ideal J . Usando a análise de pequenos sinais, pode se mostrar que:

$$S_{V_{DD}}^{i_o} = g_{o2} \quad (8.10)$$

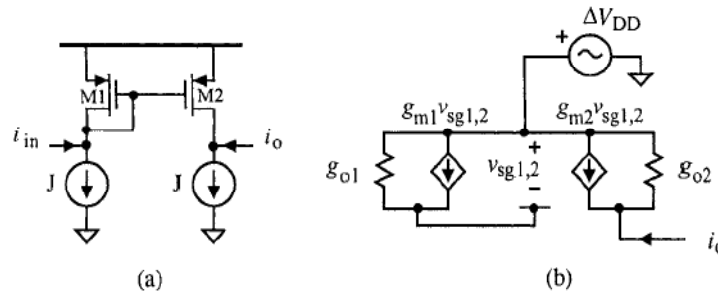


Figura 7.6 – Análise da sensibilidade à variação de tensão de alimentação em circuitos modo-corrente. (a) Espelho de corrente básico; (b) Modelo equivalente para pequenos sinais..

A.1.6 Sensibilidade a Transitórios Eletrostáticos

Um grande número de danos causados por descargas eletrostáticas induzidas (*Electrostatic Discharge – ESD*), em MOSFETs é devido à quebra do óxido isolador do *gate*, especialmente quando a espessura do óxido (t_{ox}) é excessivamente diminuta, como ocorre em algumas tecnologias CMOS. Circuitos em modo-tensão são particularmente vulneráveis à essa descarga, na medida que o nó de entrada destes circuitos é *gate* de um MOSFET, um nó de alta impedância. Não existem caminhos de baixa impedância entre os *pads* de entrada e o *ground* para descarregar a energia eletrostática acumulada nos *pads*, como mostrado na Figura 7.7(a). Ao contrário, a baixa impedância dos *pads* de entrada dos circuitos em modo-corrente, previnem o acúmulo de energia eletrostática, como mostra a Figura 7.7(b).

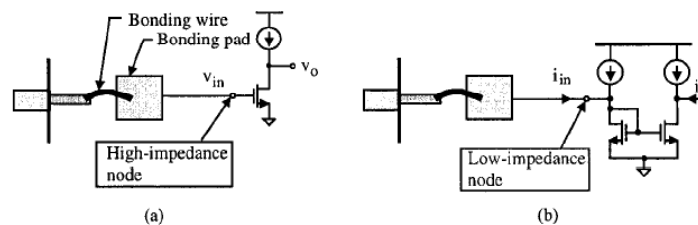


Figura 7.7 – Sensibilidade à ESD. (a) Circuitos modo-tensão; (b) Circuitos modo-corrente.

A.1.7 Conclusões

As diferenças intrínsecas e topológicas entre circuitos modo-tensão e modo-corrente foram examinadas, seguidas de uma investigação acerca das impedâncias de entrada, impedância de saída, largura de banda, *slew rate*, atraso de propagação, sensibilidade à tensão de alimentação e ESD em circuitos modo-corrente e modo-tensão. Foi mostrado que circuitos em modo-corrente oferecem uma largura de banda comparável com circuitos modo-tensão com grande largura de banda, como amplificadores *gate-comum* e seguidores de fonte. Ao contrário de circuitos modo-tensão, onde o *slew rate* é definido pelas suas correntes de polarização, o *slew rate* de circuitos em modo-corrente é proporcional à sua corrente de entrada, o que os torna bastante úteis em aplicações onde um grande *slew rate* é necessário. As pequenas variações de tensões nos nós destes circuitos, também os tornam atraentes onde um atraso de propagação baixo seja essencial. A baixa impedância de entrada, também os torna menos suscetíveis à danos causados por carga eletrostática.

Apêndice B

Testes de Falha no CI

A versão 1 dos protótipos moduladores, Figura 5.1, retornou do processo de fabricação com problemas. Quando foram realizados os primeiros testes constatou-se a existência de curto-circuito entre os terminais de alimentação Vdd e Gnd. Logo realizou-se uma investigação das causas da falha, conforme descrito a seguir.

O primeiro teste realizado no CI, versão 1, foi alimentar o circuito de referência de tensão e medir a tensão esperada, $V_{ref}=1.26V$. Neste teste observou-se que os pinos de Vdd e Gnd estavam em curto-circuito. Consecutivamente todos os pinos de Vdd e Gnd de seis blocos independentes no CI foram testados e apresentaram o mesmo comportamento, ou seja, curto-circuito com padrão de 2,5 Ohms.

A Figura 7.8 mostra o comportamento resistivo dos pinos de entrada de alimentação, Vdd e Gnd dos blocos realizados na rodada de fabricação XM50214.1 da XFAB.

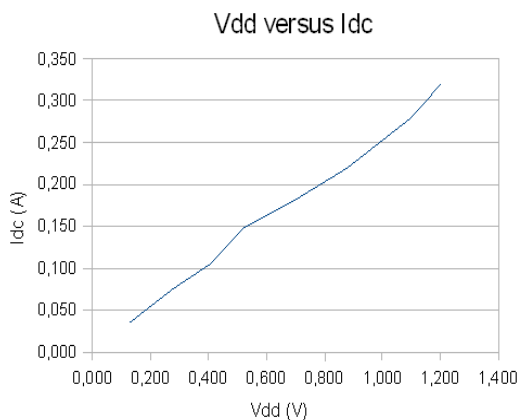


Figura 7.8 – Característica de impedância em função da tensão de entrada entre Vdd e Gnd.

Portanto, era imperativo encontrar fisicamente o que estaria causando o curto-circuito, uma vez que não foi detectada qualquer anomalia em simulações com parâmetros extraídos ou nas verificações das regras de layout (DRC).

Uma possível causa para tal comportamento seria o efeito de *latch-up*, mas devido ao comportamento linear entre *Vdd* e *Gnd* como se nota na Figura 7.8, este efeito pode ser descartado, pois as tensões de *threshold* desta tecnologia são em torno de 0,85 e 1 V para junções tipo N e P respectivamente.

Cogitou-se então a possibilidade de ocorrência de danos na estrutura de *pads* pela solda dos pinos de encapsulamento. Esta hipótese foi descartada pelo teste com micro-ponteiras em chip não encapsulado (*die chip*).

Um segundo teste foi realizado com a intenção de isolar por partes o problema. Um corte a laser foi realizado na estrutura metálica que liga o *pad* de *Vdd* ao circuito interno, dessa forma isolando as estruturas de proteção dos *pads*, Figura 7.9. Após o corte, a medida de resistência entre *Vdd* e *Gnd* permanece.

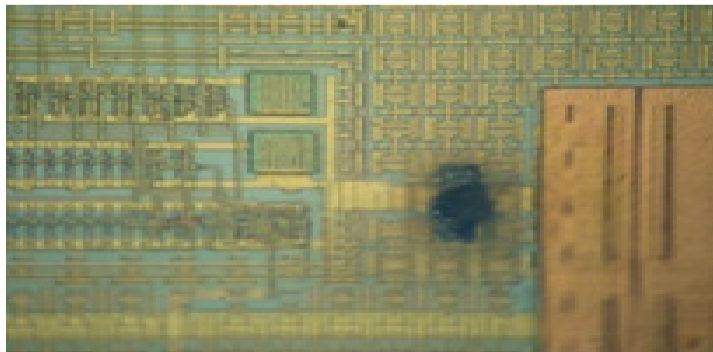


Figura 7.9 – Corte laser na estrutura de ligação de *Vdd*

O terceiro passo na investigação seria então, localizar a estrutura comprometida uma vez que ela está presente em todos os circuitos e localizada na estrutura na região dos anéis dos *pads*. O primeiro teste mais viável para as exigências do momento seria a observação da imagem térmica proporcionada por cristal líquido depositado sobre a superfície do CI alimentado. Este teste foi implementado através de uma solução original [70], que utiliza uma estrutura de cristal líquido polimerizado presente em termômetros clínicos. O método consiste em cortar um retângulo do tamanho da área do chip a ser investigado, Figura 7.10, depositá-la sobre a superfície do mesmo e alimentar o chip até que se visualizem as variações térmicas proporcionadas pela zona aquecida no CI.

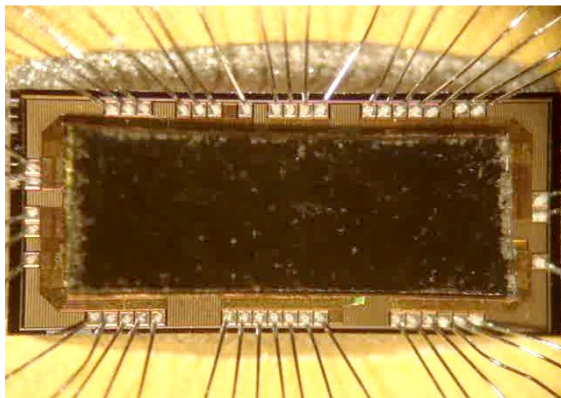


Figura 7.10 – Posicionamento do retículo de cristal líquido sob o chip

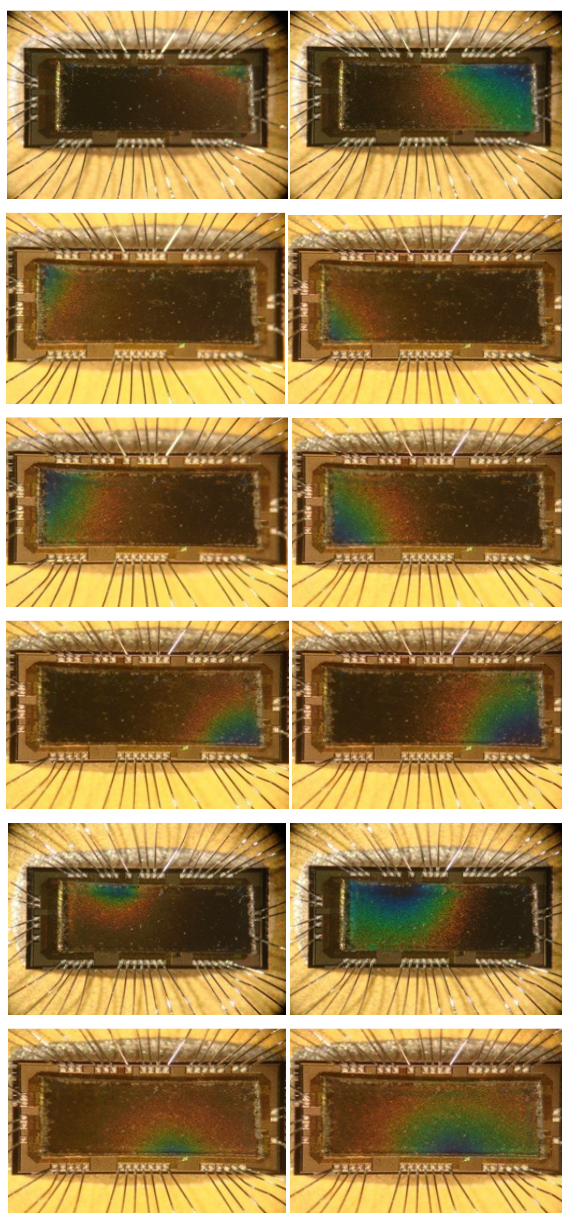


Figura 7.11 – Sequência de fotos dos seis circuitos no chip

A Figura 7.11 ilustra uma sequência de fotos tomadas para cada duas medidas da tensão de alimentação. As ocorrências foram registradas para 0.8V e 1.2V com correntes entre 0.2A e 0.3A, respectivamente, para cada circuito implementado no CI.

O circuito foi montado sobre uma placa de circuito de ensaio sendo fornecida corrente ao circuito lentamente, variando-se de zero até o nível em que a temperatura sob o chip seja suficiente para formar manchas térmicas visíveis sobre o cristal líquido. Usando uma câmera digital (Sony Cyber Shot DSC W90, 8.1 MP) adaptada para a terceira ocular de um microscópio (Zeiss tipo Stemi 2000-C) ajustado para amplificação de 50 vezes, as fotos foram feitas sequencialmente mostrando claramente a origem do calor e sua propagação sobre a superfície do *chip*.

Analisando as imagens da Figura 7.11 e sobrepondo-as a imagem de layout, Figura 4.60, identifica-se que o foco de calor origina-se a partir da estrutura de *pads*, exatamente no bloco de proteção contra descargas eletrostáticas (ESD).

Com base neste pressuposto, o próximo passo foi investigar a natureza do material ou a estrutura que produz esse curto-circuito. Para isso, os testes foram realizados em uma câmara térmica com medição da resistência ao estresse de temperatura. Os dados obtidos estão resumidos na Tabela 7.1 e indicam um coeficiente térmico positivo para caminho fechado pelo curto-circuito. Isso leva a conclusão que o material em questão tem natureza metálica, pois se fosse de natureza semi-condutora teria coeficiente térmico negativo.

Tabela 7.1 – Teste de resistência com estresse térmico

Estresse térmico (temperatura °C)	Resistência (Ohms)
-50	2.2
27	3.3
100	4.5

Frente a todas as evidências demonstradas pode-se concluir que o defeito tem origem nos *pads* de proteção para ESD (ou *pads clamp*) e é de natureza metálica, restando a hipótese de que tenha sido um problema no processo de fabricação.

Contudo, o problema ainda não ficou suficientemente esclarecido, pois o fabricante não admitiu problemas no processo e as evidências descartam problemas de projeto.

Na continuidade, uma nova versão foi concebida, dessa vez sem a implementação das estruturas de *pads* de proteção para ESD, conforme Capítulo 5.

Apêndice C

Testes e Medidas de Laboratório

C.1.1 Planejamento dos Testes.

A preparação dos testes para medições no CI, foi elaborada de maneira a suprir as necessidades de alimentação de tensão e corrente para os circuitos moduladores SC e SI.

Para o modulador SI foram projetados circuitos auxiliares de fontes de corrente com o uso de amplificadores operacionais de baixo ruído. Neste caso utilizou-se o conversor de tensão-corrente (V-I) de Howland, conforme o esquemático da Figura 7.12. Nesta configuração a corrente deliberada à carga é dada por $I=V_s/R_s$ conforme se demonstra por simulação na Figura 7.13

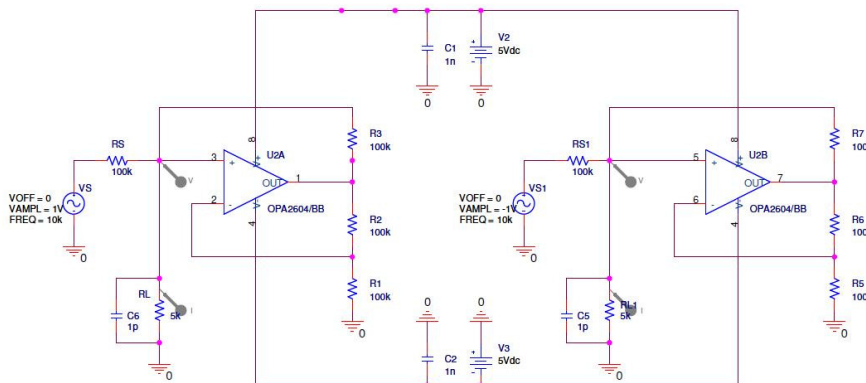


Figura 7.12 – Esquemático do circuito fonte de corrente

Para o modulador SI, foram necessárias 2 conversores V-I para sinal de entrada diferencial e 4 conversores V-I para polarização de corrente. Duas para polarizar os transistores de memória $I_{bias}=30\mu A$ e duas para as correntes de referência no laço de realimentação do conversor DA de 15 μA .

A Figura 7.13 ilustra a simulação do conversor V-I para uma entrada senoidal de 10kHz e 1Vp, onde a carga recebe uma corrente constante de 10uA pela relação de resistores definida.

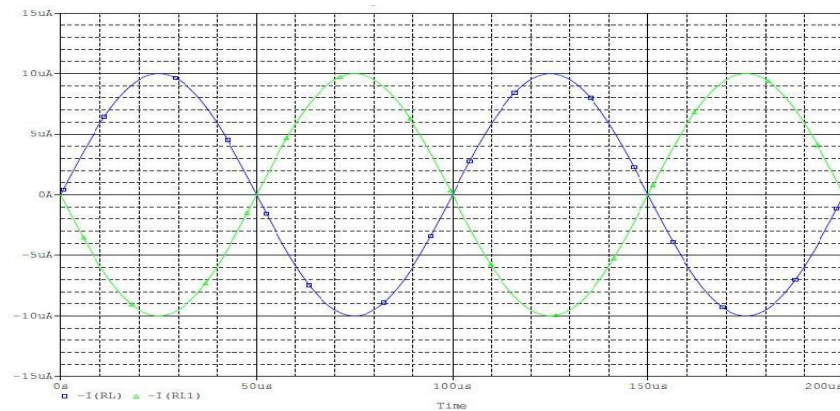


Figura 7.13 – Simulação do conversor V-I

Para abrigar o soquete de 68 pinos, as fontes de referencia e os conectores de acesso ao CI, foi projetada uma placa de circuito impresso, utilizando-se o software Orcad Layout Plus conforme o leiaute da Figura 7.14

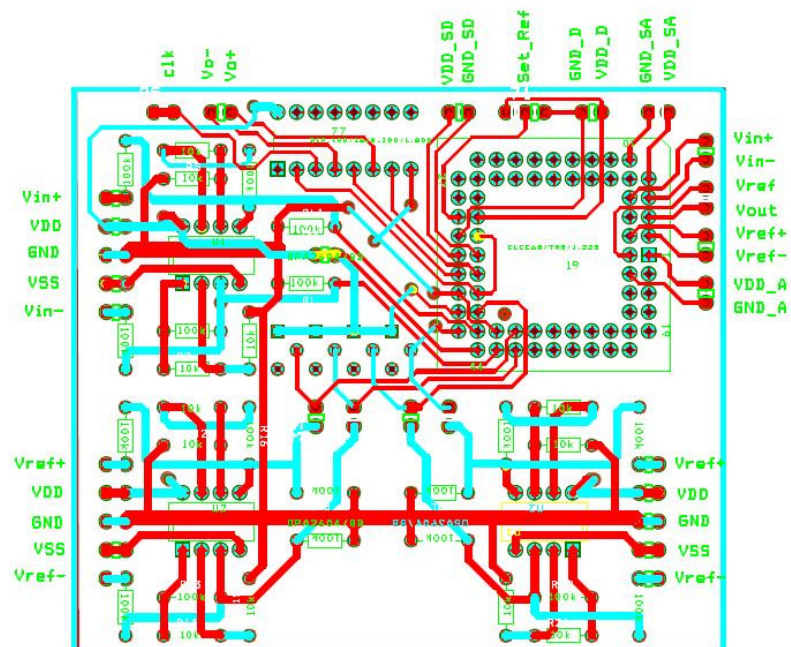


Figura 7.14 – Leiaute da placa de circuito impresso para teste do CI

C.1.2 Organograma da plataforma de teste

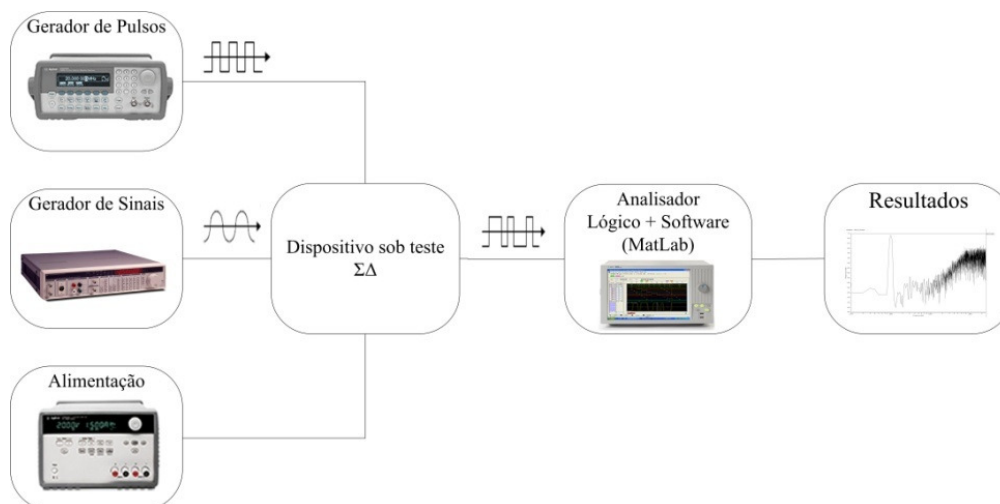


Figura 7.15 – Leiaute da placa de circuito impresso para teste do CI

C.1.3 Equipamentos e Recursos

- **Gerador de sinais de baixo ruído modelo STR (Stanford Research Systems) MD360**
 - 10 mHz to 200 kHz frequency range
 - <-100 dBc distortion (to 20 kHz)
 - Sine, square, white and pink noise
 - 20 μ Vpp to 40 Vpp output range
 - Linear and log frequency sweeps
 - 25 ppm frequency accuracy
 - SPDIF/EIAJ & AES-EBU outputs (opt.)
 - Balanced and unbalanced outputs
 - RS-232 and GPIB interfaces
- **Gerador de *clock* modelo Agilent 32220^a**
 - Fully compliant to LXI Class C specification
 - •20 MHz Sine and Square waveforms
 - •Pulse, Ramp, Triangle, Noise, and DC waveforms

- •14-bit, 50 MSa/s, 64 k-point Arbitrary waveforms
- •AM, FM, PM, FSK, and PWM modulation types
- •Linear & logarithmic sweeps and burst operation
- •10 mVpp to 10 Vpp amplitude range
- •Graph mode for visual verification of signal settings
- •Connect via USB, GPIB and LAN

- **Fonte de alimentação Agilent modelo 3630A**

- Output Ratings (Maximum current is derated 3.3% per °C from 40°C to 55°C)
 - •Output 1: 0 to 6 V, 0 to 2.5 A
 - •Output 2: 0 to +20 V, 0 to 0.5 A
 - •Output 3: 0 to -20 V, 0 to 0.5 A
 - •Power (max): 35 W
- Ripple & Noise from 20 Hz to 20 MHz
 - •Normal Mode Voltage rms: 350 μ V
 - •Peak-to-Peak: 1.5 mV
- Load & Line Regulation
 - 0.01% + 2mV
- Meter Resolution
 - Voltage: 10 mV
 - Current: 10 mA

- **Fonte de alimentação Agilent modelo E3646A**

- Output Ratings (@ 0°C to 40°C) 2 Outputs
 - •Range 1: 0 to 8 V / 3 A
 - •Range 2: 0 to 20 V / 1.5 A
- Programming Accuracy (@ 25°C \pm 5°C), \pm (% output + offset)

- •Voltage: $<0.05\% + 10 \text{ mV}$ ($<0.1\% + 25 \text{ mV}$ for output 2 of E3646/47/48/49A)
 - •Current: $<0.2\% + 10 \text{ mA}$
- Ripple & Noise 20 Hz to 20 MHz
 - •Normal Mode Voltage: $<5 \text{ mVpp} / 0.5 \text{ mVrms}$
 - •Normal Mode Current: $<4 \text{ mArms}$
 - •Common Mode Current: $<1.5 \text{ uArms}$
- Readback Accuracy (@ $25^\circ\text{C} \pm 5^\circ\text{C}$), $\pm(\% \text{ output} + \text{offset})$
 - •Voltage: $<0.05\% + 5 \text{ mV}$ ($<0.1\% + 25 \text{ mV}$ for output 2 of E3646/47/48/49A)
 - •Current: $<0.15\% + 5 \text{ mA}$ ($<0.15\% + 10 \text{ mA}$ for output 2 of E3646/47/48/49A)
- **Analisador lógico modelo Agilent 1682AD**
 - •68-channel portable logic analyzer
 - •800 MHz / 400 MHz (half/full-channel) conventional timing, 4 M / 2 M memory depth
 - •200 MHz transitional timing, 1 M memory depth
 - •200 MHz state analysis, 1 M memory depth
- **Multímetro Agilent modelo 36401A**
 - Recursos de medição
 - •Precisão básica CC de 0,0035 %
 - •Precisão básica CA de 0,06 %
 - •Precisão básica em ohms de 0,01 %
 - Recursos de sistema
 - •1000 leituras/segundo no formato ASCII pelo bus GPIB
 - •Taxas de configuração: 26/s a 50/s

- •Rapidez de seleção automática de faixa (VCC): > 30/s

- **Osciloscópio Agilent DSO 6104A**

- •1 GHz Bandwidth
- •4 analog channels
- •4 GSa/s sample rate
- •Standard 8 Mpts MegaZoom III deep memory

C.1.4 Diagrama de Pinagem do CI

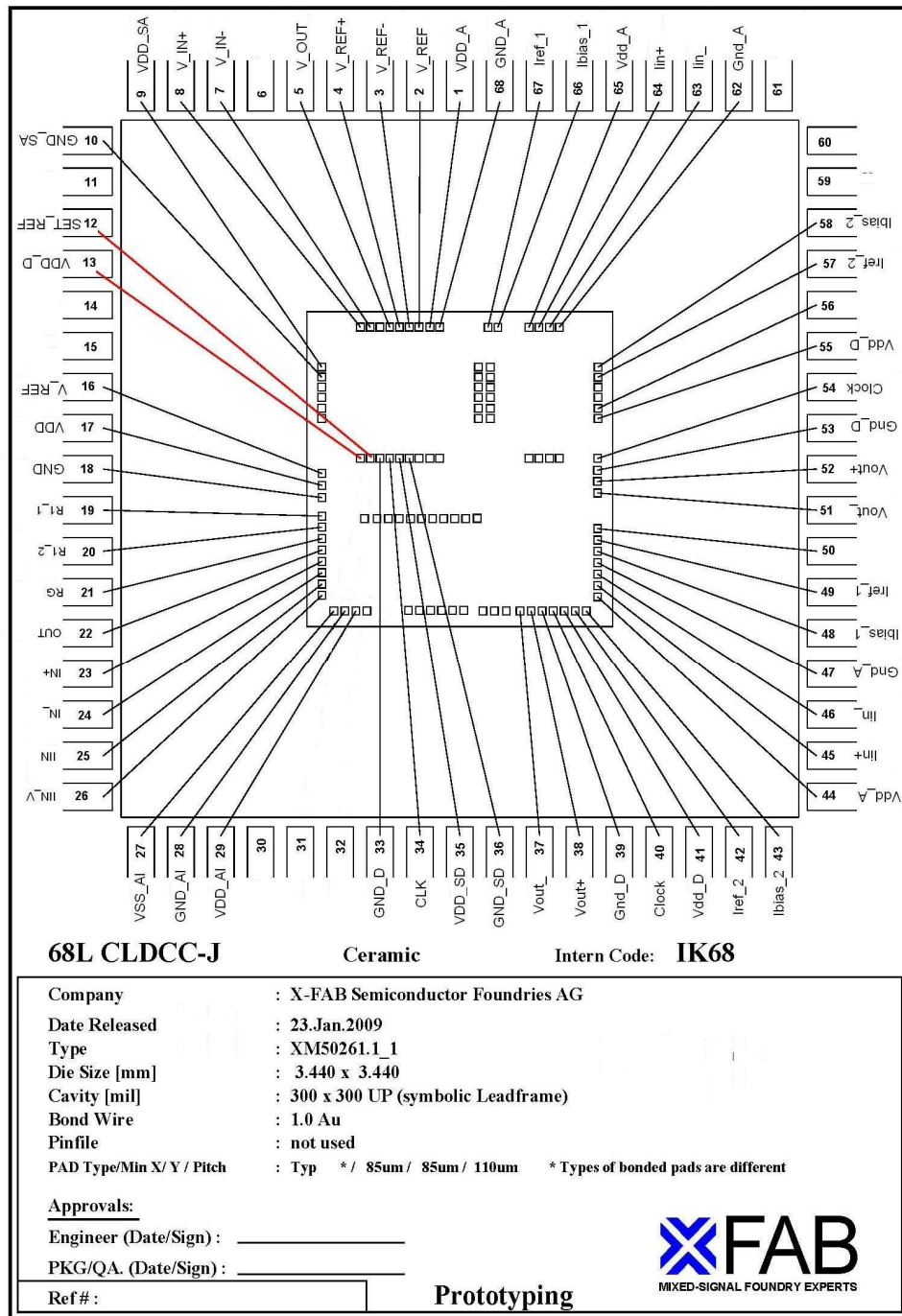


Figura 7.16 – Pinagem Executa Versão XM50261.1_1- Moduladores com Pads

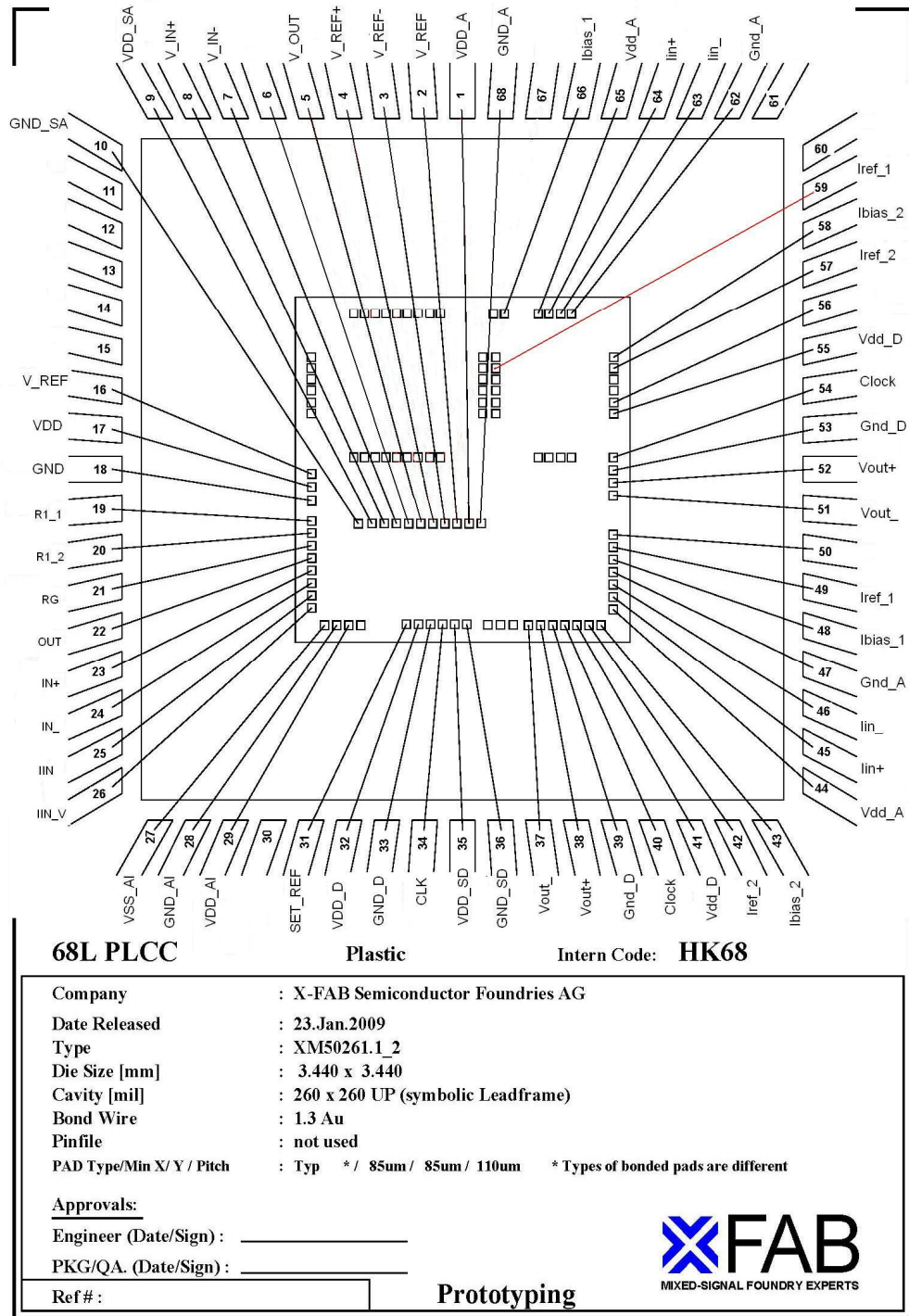


Figura 7.17 – Pinagem Executa Versão XM50261.1_2

Apêndice D

Resumo do Processo de Fabricação

D.1.1 Processo XC06 da XFAB

Tabela 7.2 - Resumo do processo de fabricação

Informação	Descrição
Fábrica	XFAB
Processo	XC06
Tipo	CMOS 0,6um
Polysilicio	2 (POLY0 e POLY1)
Metal	3 camadas
Modulos	CORE, CAPRES, METAL3, LINC
Tensão	5V

D.1.2 Modelos BSIM utilizados

```

* -----
-
***** XFAB ***** MODEL PARAMETERS
*****
* -----
-
* Simulator : ELDO
* Device    : pmos4
* Model     : subckt MOS BSIM3v3
* Process   : XC06
* Extracted : XC06 B57909.5; 2005-6-23; ham (6024)
* Spec.     : PS_06_03
* Revision  : 3.0.1; 2005-6-23
* -----
-
*                                     TYPICAL MEAN CONDITION
* -----
-
* TNOM = 27 deg C
*
* variables: w,l,ad,as,pd,ps,nrd,nrs = standard mosfet parameters
*
.subckt pmos4 d g s b w=1e-6 l=1e-6 ad=0 as=0 pd=0 ps=0 nrd=0 nrs=0
m1 d g s b pmos4mos w=w l=l ad=ad as=as pd=pd ps=ps nrd=nrd nrs=nrs
.model pmos4mos pmos version=3.24 level=53 modtype=eldo

```

```

*          *** Flags ***
+capmod=3      mobmod=1      nqsmod=0      noimod=2
+flkleve=0     thmlev=0      deriv=1
*          *** Threshold voltage related model parameters ***
+k1=3.256e-01
+k2=9.982e-03      k3=7.272e+00      k3b=-1.482e+00
+nch=1.615e+16     vth0=-9.470e-01
+voff=-1.368e-01   dvt0=1.958e+00      dvt1=6.461e-01
+dvt2=-3.607e-02   keta=-9.190e-03
+pscbe1=1.000e+09   pscbe2=4.693e-06
+dvt0w=0.000e+00   dvt1w=7.841e+05     dvt2w=0.000e+00
*          *** Mobility related model parameters ***
+ua=3.901e-09      ub=1.000e-22      uc=-5.855e-11
+u0=2.784e+02
*          *** Subthreshold related parameters ***
+dsub=6.600e-01     eta0=1.920e-01     etab=0.000e+00
+nfactor=2.091e-01
*          *** Saturation related parameters ***
+em=4.100e+07      pclm=2.841e+00
+pdiblc1=4.134e-02  pdiblc2=8.438e-04  drout=5.381e-01
+a0=8.875e-01      a1=0.000e+00      a2=6.000e-01
+pvag=3.952e+00    vsat=1.324e+05     ags=3.052e-01
+b0=2.737e-07      b1=-1.039e-07     delta=3.107e-03
+pdiblc2=0.000e+00
*          *** Geometry modulation related parameters ***
+w0=-1.000e-07     dlc=-4.600e-08
+dwc=2.260e-07     dwb=6.000e-09     dwg=-1.400e-08
+l1=0.000e+00      lw=0.000e+00      lw1=0.000e+00
+l1n=1.000e+00     lwn=1.000e+00     wl=0.000e+00
+ww=-5.000e-15     wwl=0.000e+00     wln=1.000e+00
+wwn=1.200e+00
*          *** Temperature effect parameters ***
+tnom=27
+at=3.300e+04      ute=-1.460e+00
+kt1=-4.600e-01    kt2=-3.640e-02     kt11=0.000e+00
+ual=0.000e+00     ub1=-2.600e-18     uc1=0.000e+00
+prt=8.600e+02
*          *** Overlap capacitance related and dynamic model parameters
***
+cgdo=1.700e-10     cgso=1.700e-10     cgbo=1.300e-10
+cgdl=1.300e-10     cgsl=1.300e-10     ckappa=3.000e-01
+cf=0.000e+00      elm=5.000e+00
+xpart=1.000e+00    clc=1.000e-15     cle=6.000e-01
*          *** Parasitic resistance and capacitance related model
parameters ***
+rdsw=2.138e+03     wr=1.000e+00
+cdsc=1.200e-03     cdsb=6.100e-04     cdsd=4.000e-04
+prwb=8.035e-02     prwg=-1.172e-02    cit=2.800e-04
*          *** Process and parameters extraction related model parameters
***
+tox=1.250e-08
+nlx=1.557e-07
+ngate=1.000e+20
+x1=0.000e+00      xw=0.000e+00
*          *** Substrate current related model parameters ***
+alpha0=3.569e-09   alpha1=2.000e-03   beta0=2.400e+01
*          *** Noise effect related model parameters ***
+af=1.000e+00      kf=5.000e-30      ef=1.000e+00
+noia=9.900e+18     noib=4.000e+02     noic=6.400e-14
*          *** Common extrinsic model parameters ***
+alev=2            rlev=2

```



```

+rd=0.0          rs=0.0          rsh=1.150e+02
+rdc=0.0         rsc=0.0
+lint=-4.600e-08 wint=2.260e-07
+ldif=0.0        hdif=8.000e-07
+xj=3.000e-07
+diolev=4        dcaplev=2
+js=2.500e-05   jsw=5.000e-11   is=0
+n=1.500e+00
+xti=3
+cj=5.500e-04   mj=4.200e-01   pb=7.500e-01
+cjsw=2.800e-10 mjsw=2.600e-01 pbsw=7.500e-01
*          *** Binning parameters ***
+binunit=1
+lk3=0.000e+00   wk3=0.000e+00   pk3=3.000e-01
+lvoff=-1.500e-02 wvoff=0.000e+00   pvoff=0.000e+00
+ldvt2=0.000e+00 wdvt2=0.000e+00   pdvt2=0.000e+00
+lketa=0.000e+00 wketa=0.000e+00   pketa=0.000e+00
+lpscbe1=2.439e+08 wpscbe1=0.000e+00   ppscbe1=0.000e+00
+lua=0.000e+00   wua=0.000e+00   pua=0.000e+00
+lub=0.000e+00   wub=0.000e+00   pub=0.000e+00
+luc=0.000e+00   wuc=0.000e+00   puc=0.000e+00
+leta0=0.000e+00 weta0=0.000e+00   peta0=0.000e+00
+letab=0.000e+00 wetab=0.000e+00   petab=0.000e+00
+la0=-3.000e-01   wa0=0.000e+00   pa0=0.000e+00
+lvsat=0.000e+00 wvsat=0.000e+00   pvsat=0.000e+00
+lags=0.000e+00   wags=0.000e+00   pags=0.000e+00
+lrdsw=0.000e+00 wrdsw=-5.200e+02   prdsw=0.000e+00
+lpdiblc1=0.000e+00 wpdiblc1=0.000e+00   ppdiblc1=0.000e+00
+lpdiblc2=0.000e+00 wpdiblc2=0.000e+00   ppdiblc2=0.000e+00
+lnfactor=0.000e+00 wnfactor=0.000e+00   pnfactor=0.000e+00
+lpclm=0.000e+00   wpclm=0.000e+00   ppclm=0.000e+00
.ends pmos4
* -----
-
* -----
-
***** XFAB ***** MODEL PARAMETERS
*****
* -----
-
* Simulator : ELDO
* Device    : nmos4
* Model     : subckt MOS BSIM3v3
* Process   : XC06
* Extracted : XC06 B57909.5; 2005-6-23; ham (6024)
* Spec.     : PS_06_03
* Revision  : 3.0.1; 2005-6-23
* -----
-
*
*          TYPICAL MEAN CONDITION
* -----
-
* TNOM = 27 deg C
*
* variables: w,l,ad,as,pd,ps,nrd,nrs = standard mosfet parameters
*
.subckt nmos4 d g s b w=1e-6 l=1e-6 ad=0 as=0 pd=0 ps=0 nrd=0 nrs=0
m1 d g s b nmos4mos w=w l=l ad=ad as=as pd=pd ps=ps nrd=nrd nrs=nrs
.model nmos4mos nmos ver=3.24 level=53 modtype=eldo
*          *** Flags ***

```

```

+capmod=3      mobmod=2      nqsmod=0      noimod=2
+flkleve=0     thmlev=0      deriv=1
*      *** Threshold voltage related model parameters ***
+k1=1.039e+00
+k2=-5.648e-02      k3=1.577e+01      k3b=-4.153e+00
+nch=1.877e+17      vth0=9.008e-01
+voff=-1.259e-01    dvt0=1.065e+01    dvt1=1.000e+00
+dvt2=-1.731e-01    keta=-2.496e-02
+pscbe1=3.261e+08   pscbe2=3.018e-05
+dvt0w=0.000e+00    dvt1w=1.400e+06    dvt2w=0.000e+00
*      *** Mobility related model parameters ***
+ua=1.000e-11      ub=3.635e-18      uc=-2.573e-10
+u0=4.585e+02
*      *** Subthreshold related parameters ***
+dsub=9.200e-01     eta0=1.600e-01     etab=-2.050e-01
+nfactor=8.573e-01
*      *** Saturation related parameters ***
+em=4.100e+07      pclm=7.219e-01
+pdiblc1=8.056e-03  pdiblc2=5.463e-04  drout=1.287e-01
+a0=1.009e+00      a1=0.000e+00      a2=8.336e-01
+pvag=0.000e+00    vsat=1.080e+05     ags=2.101e-01
+b0=4.761e-07      b1=9.200e-07      delta=1.500e-02
+pdiblc2=0.000e+00
*      *** Geometry modulation related parameters ***
+w0=8.704e-07      dlc=9.727e-08
+dwc=2.660e-07     dwb=1.000e-08      dwg=-1.703e-08
+l1=0.000e+00      lw=0.000e+00      lw1=0.000e+00
+l1n=1.000e+00     lwn=1.000e+00     wl=0.000e+00
+ww=-5.000e-15     wwl=0.000e+00     wln=1.000e+00
+wwn=1.200e+00
*      *** Temperature effect parameters ***
+tnom=27
+at=3.300e+04      ute=-1.860e+00
+kt1=-4.200e-01    kt2=-4.200e-02     kt11=0.000e+00
+ual=0.000e+00     ub1=-2.100e-18     uc1=1.400e-10
+prrt=9.200e+02
*      *** Overlap capacitance related and dynamic model parameters
***
+cgdo=2.300e-10     cgso=2.300e-10     cgbo=1.300e-10
+cgdl=1.500e-10     cgsl=1.500e-10     ckappa=2.000e-01
+cf=0.000e+00      elm=5.000e+00
+xpart=1.000e+00    clc=1.000e-15      cle=6.000e-01
*      *** Parasitic resistance and capacitance related model
parameters ***
+rdsr=2.084e+03     wr=1.000e+00
+cdsc=0.000e+00    cdsb=0.000e+00     cdsd=0.000e+00
+prwb=-5.938e-02   prwg=-5.000e-02    cit=0.000e+00
*      *** Process and parameters extraction related model parameters
***
+tox=1.250e-08
+nlx=1.000e-10
+ngate=1.000e+20
+x1=0.000e+00      xw=0.000e+00
*      *** Substrate current related model parameters ***
+alpha0=7.631e-08   alpha1=3.500e-01    beta0=2.453e+01
*      *** Noise effect related model parameters ***
+af=1.000e+00      kf=3.000e-28       ef=1.200e+00
+noia=5.000e+18     noib=3.000e+04     noic=-5.400e-14
*      *** Common extrinsic model parameters ***
+alev=2             rlev=2
+rd=0.0             rs=0.0             rsh=5.700e+01

```

```

+rdc=0.0          rsc=0.0
+lint=9.727e-08  wint=2.660e-07
+ldif=0.0        hdif=8.000e-07
+xj=3.000e-07
+diolev=4        dcaplev=2
+js=1.250e-05   jsw=1.250e-10   is=0
+n=1.500e+00
+xti=3
+cj=3.100e-04   mj=5.000e-01   pb=8.600e-01
+cjsw=4.500e-10 mjsw=2.900e-01  pbsw=8.600e-01
*   *** Binning parameters ***
+binunit=1
+lk3=0.000e+00  wk3=0.000e+00   pk3=1.500e+00
+lvoff=9.543e-03 wvoff=-2.500e-02 pvoff=0.000e+00
+ldvt2=0.000e+00 wdvt2=2.400e-02 pdvt2=0.000e+00
+lketa=-4.000e-03 wketa=0.000e+00 pketa=0.000e+00
+lpscbel=4.077e+07 wpscbel=0.000e+00 ppscbel=0.000e+00
+lua=0.000e+00  wua=0.000e+00  pua=0.000e+00
+lub=0.000e+00  wub=0.000e+00  pub=0.000e+00
+luc=0.000e+00  wuc=0.000e+00  puc=0.000e+00
+leta0=0.000e+00 weta0=0.000e+00 peta0=0.000e+00
+letab=0.000e+00 wetab=0.000e+00 petab=0.000e+00
+la0=-1.116e-01  wa0=0.000e+00  pa0=-3.500e-01
+lvsat=0.000e+00 wvsat=0.000e+00 pvsat=0.000e+00
+lags=0.000e+00  wags=0.000e+00  pags=0.000e+00
+lrdsw=0.000e+00 wrdsw=-6.750e+02 prdsw=0.000e+00
+lpdiblc1=0.000e+00 wpdiblc1=0.000e+00 ppdiblc1=0.000e+00
+lpdiblc2=0.000e+00 wpdiblc2=0.000e+00 ppdiblc2=0.000e+00
+lnfactor=0.000e+00 wnfactor=0.000e+00 pnfactor=0.000e+00
+lpclm=0.000e+00 wpclm=0.000e+00 ppclm=0.000e+00
.ends nmos4
* -----
-
* -----
-
***** XFAB ***** MODEL PARAMETERS
*****
* -----
-
* Simulator : ELDO
* Device    : cpoly
* Model     : .subckt CAP
* Process   : XC06
* Extracted : XC06 Spec. 2003-12 hli(6662)
* Spec.    : PS_06_03
* Revision  : 2.1.1; 2003-12-20
* -----
-
*                                     TYPICAL MEAN CONDITION
* -----
-
* NOTE: TERMINALS: n1=poly1=+node n2=poly0=-node
* NOTE: TNOM = 27 deg C
*
.subckt cpoly n1 n2 area=1e-12 peri=0
c1 n1 n2 value={(1.87e-03*area+1.50e-10*peri)
+*(1+(1.42e-2)*v(n1,n2)+(-1.29e-3)*(v(n1,n2)**2))}
+tc1=1.0e-04 tc2=0.0
.ends cpoly
* -----

```

Apêndice E

Arquivos de Simulação SPICE e Matlab[®]

E.1.1 Arquivo SPICE do Modulador SC

```

*
* Globals.
*
.global GND! VDD!

*
* Component pathname : $MGC_WD/Proj_ADC_9_F1
*
.subckt PROJ_ADC_9_F1  F1 F2 Y2 Y2_ CLOCK IN+ IN_ VCM VREF+ VREF_

M10 VREF22_ F2 VI2+ GND! NMOS4 w=6u l=0.6u m=1
X_OPAMP_F1 VO1+ VO1_ VI1+ VI1_ VBN VCM OPAMP_F
M14 VCM F1 VREF22+ GND! NMOS4 w=6u l=0.6u m=1
M1 VREF+ B1 IN11_ GND! NMOS4 w=6u l=0.6u m=1
M8 VREF_ B1 IN11+ GND! NMOS4 w=6u l=0.6u m=1
M7 VREF+ A1 IN11+ GND! NMOS4 w=6u l=0.6u m=1
X_COMP_F1 Y2 Y2_ F2D F2D_ VO2+ VO2_ VBC COMP_F
X_SW3 IN21_ F1D F1D_ VO1_ SW_F
X_AND2X12 B1 Y2_ F2D AND2X1
M18 VCM F2D IN21+ GND! NMOS4 w=6u l=0.6u m=1
C3 VI1+ VO1_ 2p ${CPOLYLIN} area=1.94n perimeter=176.2u m=1
M2 VREF_ A1 IN11_ GND! NMOS4 w=6u l=0.6u m=1
X_SW2 IN21+ F1D F1D_ VO1+ SW_F
X_SW1 IN11+ F1D F1D_ IN+ SW_F
C5 IN21+ IN22+ 1.001p ${CPOLYLIN} area=967.21p perimeter=124.4u
+ m=1
M3 VREF+ B1 VREF2_ GND! NMOS4 w=6u l=0.6u m=1
M4 VREF_ A1 VREF2_ GND! NMOS4 w=6u l=0.6u m=1
M6 VREF_ B1 VREF2+ GND! NMOS4 w=6u l=0.6u m=1
M13 VREF22+ F2 VI2_ GND! NMOS4 w=6u l=0.6u m=1
X_CLOCK_F1 F1 F1_ F1D F1D_ F2 F2_ F2D F2D_ CLOCK CLOCK_F
M23 IN22_ F2 VI2+ GND! NMOS4 w=6u l=0.6u m=1
C9 VREF2_ VREF22_ 0.5p ${CPOLYLIN} area=479.61p perimeter=87.6u
+ m=1
M21 IN12+ F2 VI1_ GND! NMOS4 w=6u l=0.6u m=1
M9 VCM F1D VREF2_ GND! NMOS4 w=6u l=0.6u m=1
M5 VREF+ A1 VREF2+ GND! NMOS4 w=6u l=0.6u m=1
C6 VI2_ VO2+ 2p ${CPOLYLIN} area=1.94n perimeter=176.2u m=1
M19 VCM F1 IN12_ GND! NMOS4 w=6u l=0.6u m=1
C11 VREF2+ VREF22+ 0.5p ${CPOLYLIN} area=479.61p
perimeter=87.6u

```

```

+ m=1
C8 IN11_ IN12_ 0.5p $(CPOLYLIN) area=479.61p perimeter=87.6u
m=1
X_AND2X11 A1 F2D Y2 AND2X1
M22 IN12_ F2 VI1+ GND! NMOS4 w=6u l=0.6u m=1
C2 VI1_ VO1+ 2p $(CPOLYLIN) area=1.94n perimeter=176.2u m=1
C1 IN11+ IN12+ 0.5p $(CPOLYLIN) area=479.61p perimeter=87.6u
m=1
X_OPAMP_F2 VO2+ VO2_ VI2+ VI2_ VBN VCM OPAMP_F
X_SW6 IN11_ F1D F1D_ IN_ SW_F
M17 VCM F1 IN22_ GND! NMOS4 w=6u l=0.6u m=1
C7 IN21_ IN22_ 1.001p $(CPOLYLIN) area=967.21p perimeter=124.4u
+ m=1
M16 VCM F1 IN22+ GND! NMOS4 w=6u l=0.6u m=1
M20 VCM F1 IN12+ GND! NMOS4 w=6u l=0.6u m=1
M11 VCM F1 VREF22_ GND! NMOS4 w=6u l=0.6u m=1
C4 VI2+ VO2_ 2p $(CPOLYLIN) area=1.94n perimeter=176.2u m=1
M12 VCM F1D VREF2+ GND! NMOS4 w=6u l=0.6u m=1
X_BIAS_F1 VBN VBC BIAS_F
M24 IN22+ F2 VI2_ GND! NMOS4 w=6u l=0.6u m=1
M15 VCM F2D IN21_ GND! NMOS4 w=6u l=0.6u m=1
.ends PROJ_ADC_9_F1

*
* Component pathname : $MGC_WD/Bib_Proj/OPAMP_F
*
.subckt OPAMP_F VO+ VO_ V+ V_ VBN VREF

M19 N03 V+ N01 GND! NMOS4 w=70u l=0.6u m=1
M2 N08 N08 VDD! VDD! PMOS4 w=5u l=5u m=1
M3 N01 VBN GND! GND! NMOS4 w=40u l=2u m=1
C2 VO+ VREF 0.6P
M35 N03 VBP VDD! VDD! PMOS4 w=20u l=2u m=1
M31 VO_ N08 N03 VDD! PMOS4 w=80u l=1.2u m=1
M27 N06 VBN GND! GND! NMOS4 w=15u l=2u m=1
M43 VO+ N08 N05 VDD! PMOS4 w=80u l=1.2u m=1
M39 N05 VBP VDD! VDD! PMOS4 w=20u l=2u m=1
M58 VBP_ VO_ N$14 GND! NMOS4 w=2u l=1.3u m=1
M56 VBP VREF N$17 GND! NMOS4 w=2u l=1.3u m=1
M52 VBP VBN GND! GND! NMOS4 w=40u l=2u m=1
M4 N09 GND! N08 VDD! PMOS4 w=2u l=4u m=1
M64 N$14 VBN GND! GND! NMOS4 w=40u l=2u m=1
M23 VO+ N09 N06 GND! NMOS4 w=40u l=1.2u m=1
M50 VBP VBP VDD! VDD! PMOS4 w=20u l=2u m=1
M60 VBP VREF N$14 GND! NMOS4 w=2u l=1.3u m=1
M66 N$17 VBN GND! GND! NMOS4 w=40u l=2u m=1
M1 N09 N09 GND! GND! NMOS4 w=5u l=5u m=1
M11 VO_ N09 N07 GND! NMOS4 w=40u l=1.2u m=1
M15 N05 V_ N01 GND! NMOS4 w=70u l=0.6u m=1
C3 VO_ VREF 0.6P
M7 N07 VBN GND! GND! NMOS4 w=15u l=2u m=1
M46 VBP_ VBP_ VDD! VDD! PMOS4 w=20u l=2u m=1
M48 VBP VBP_ VDD! VDD! PMOS4 w=20u l=2u m=1
M62 VBP_ VO+ N$17 GND! NMOS4 w=2u l=1.3u m=1
.ends OPAMP_F

*
* Component pathname : $MGC_WD/Bib_Proj/COMP_F
*
.subckt COMP_F OUT OUT_ F2D F2D_ IN+ IN_ VBN

```

```

X_INX21 S B1 INX2
X_NO2X22 OUT_ OUT S NO2X2
M17 N5 F2D N6 GND! NMOS4 w=1.5u l=0.6u m=1
M10 B2 F2D_ N6 GND! NMOS4 w=1.5u l=0.6u m=1
M9 B1 F2D_ N5 GND! NMOS4 w=1.5u l=0.6u m=1
M4 N6 N5 GND! GND! NMOS4 w=4u l=2u m=1
M3 N5 N6 GND! GND! NMOS4 w=4u l=2u m=1
M2 N6 IN_ N2 GND! NMOS4 w=20u l=0.6u m=1
M1 N5 IN+ N2 GND! NMOS4 w=20u l=0.6u m=1
M5 B1 B2 VDD! VDD! PMOS4 w=30u l=2u m=1
M7 B1 F2D_ VDD! VDD! PMOS4 w=20u l=0.6u m=1
M6 B2 B1 VDD! VDD! PMOS4 w=30u l=2u m=1
M11 N2 VBN GND! GND! NMOS4 w=10u l=1u m=1
M8 B2 F2D_ VDD! VDD! PMOS4 w=20u l=0.6u m=1
X_NO2X21 OUT R OUT_ NO2X2
X_INX23 R B2 INX2
.ends COMP_F

*
* Component pathname : $D_CELLS/default.group/logic.views/INX2
*
.subckt INX2 Q A

    X_IN_1 Q A INVR_12
.ends INX2

*
* Component pathname : $D_CELLS/default.group/logic.views/invr_12
*
.subckt INVR_12 OUT IN

    MP1 OUT IN VDD! VDD! PMOS4 w=14.000000u l=0.600000u m=1
    MN1 OUT IN GND! GND! NMOS4 w=8.000000u l=0.600000u m=1
.ends INVR_12

*
* Component pathname : $D_CELLS/default.group/logic.views/NO2X2
*
.subckt NO2X2 Q A B

    X_IN_1 Q NETZ13 INVR_12
    X_NO2_1 NETZ9 A B NOR2_0
    X_I1 NETZ13 NETZ9 INVR_19
.ends NO2X2

*
* Component pathname : $D_CELLS/default.group/logic.views/nor2_0
*
.subckt NOR2_0 OUT A B

    MN2 OUT A GND! GND! NMOS4 w=2.000000u l=0.600000u m=1
    MP1 OUT A NETZ32 VDD! PMOS4 w=7.000000u l=0.600000u m=1
    MP2 NETZ32 B VDD! VDD! PMOS4 w=7.000000u l=0.600000u m=1
    MN1 OUT B GND! GND! NMOS4 w=2.000000u l=0.600000u m=1
.ends NOR2_0

*
* Component pathname : $D_CELLS/default.group/logic.views/invr_19
*
.subckt INVR_19 OUT IN

```

```

        MP1 OUT IN VDD! VDD! PMOS4 w=3.500000u l=0.600000u m=1
        MN1 OUT IN GND! GND! NMOS4 w=2.000000u l=0.600000u m=1
.ends INVR_19

*
* Component pathname : $MGC_WD/Bib_Proj/SW_F
*
.subckt SW_F  OUT CLK CLK_ IN

        M_I$6 OUT CLK_ IN VDD! PMOS4 w=6u l=0.6u m=1
        M_I$1 IN CLK OUT GND! NMOS4 w=2u l=0.6u m=1
.ends SW_F

*
* Component pathname : $D_CELLS/default.group/logic.views/AND2X1
*
.subckt AND2X1  Q A B

        X_IN_1 Q NETZ8 INVR_13
        X_NA2_1 NETZ8 A B NAND2_0
.ends AND2X1

*
* Component pathname : $D_CELLS/default.group/logic.views/invr_13
*
.subckt INVR_13  OUT IN

        MP1 OUT IN VDD! VDD! PMOS4 w=7.000000u l=0.600000u m=1
        MN1 OUT IN GND! GND! NMOS4 w=4.000000u l=0.600000u m=1
.ends INVR_13

*
* Component pathname : $D_CELLS/default.group/logic.views/nand2_0
*
.subckt NAND2_0  OUT A B

        MN2 NETZ21 B GND! GND! NMOS4 w=3.000000u l=0.600000u m=1
        MP1 OUT A VDD! VDD! PMOS4 w=3.500000u l=0.600000u m=1
        MP2 OUT B VDD! VDD! PMOS4 w=3.500000u l=0.600000u m=1
        MN1 OUT A NETZ21 GND! NMOS4 w=3.000000u l=0.600000u m=1
.ends NAND2_0

*
* Component pathname : $MGC_WD/Bib_Proj/CLOCK_F
*
.subckt CLOCK_F  F1 F1_ F1D F1D_ F2 F2_ F2D F2D_ IN

        X_INX41 F2 F2_ INX4
        X_BUF5 N$3 N$10 BUF
        X_INX17 N$5 N$24 INX1
        X_BUF1 N$24 N$9 BUF
        X_INX11 N$2 N$16 INX1
        X_INX117 N$15 N$3 INX1
        X_BUF8 N$4 N$14 BUF
        X_NA2X12 N$9 N$11 N$2 NA2X1
        X_INX118 N$13 N$4 INX1
        X_INX14 N$6 N$17 INX1
        X_BUF2 N$17 N$8 BUF
        X_NA2X11 N$8 N$7 N$12 NA2X1
        X_BUF4 N$12 N$13 BUF
        X_BUF3 N$11 N$15 BUF

```

```

X_INX16 N$14 N$5 INX1
X_INX15 N$16 IN INX1
X_INX13 N$10 N$6 INX1
X_INX111 F2D_ N$15 INX4
X_INX115 F1 F1_ INX4
X_INX114 F1_ N$24 INX4
X_INX113 F1D_ N$13 INX4
X_INX112 F1D F1D_ INX4
X_INX110 F2D F2D_ INX4
X_INX18 F2_ N$17 INX4
X_INX12 N$7 N$2 INX1
.ends CLOCK_F

*
* Component pathname : $D_CELLS/default.group/logic.views/INX4
*
.subckt INX4 Q A

    X_IN_1 Q A INVR_27
.ends INX4

*
* Component pathname : $D_CELLS/default.group/logic.views/invr_27
*
.subckt INVR_27 OUT IN

    MP1 OUT IN VDD! VDD! PMOS4 w=28.000000u l=0.600000u m=1
    MN1 OUT IN GND! GND! NMOS4 w=16.000000u l=0.600000u m=1
.ends INVR_27

*
* Component pathname : $MGC_WD/Bib_Proj/LOGIC/BUF
*
.subckt BUF OUT IN

    M3 OUT IN VDD! VDD! PMOS4 w=8u l=8u m=1
    M4 OUT IN GND! GND! NMOS4 w=8u l=8u m=1
.ends BUF

*
* Component pathname : $D_CELLS/default.group/logic.views/INX1
*
.subckt INX1 Q A

    X_IN_1 Q A INVR_13
.ends INX1

*
* Component pathname : $D_CELLS/default.group/logic.views/NA2X1
*
.subckt NA2X1 Q A B

    X_NA2_1 Q A B NAND2_2
.ends NA2X1

*
* Component pathname : $D_CELLS/default.group/logic.views/nand2_2
*
.subckt NAND2_2 OUT A B

    MN2 NETZ21 B GND! GND! NMOS4 w=6.000000u l=0.600000u m=1

```



```

MP1 OUT A VDD! VDD! PMOS4 w=7.000000u l=0.600000u m=1
MP2 OUT B VDD! VDD! PMOS4 w=7.000000u l=0.600000u m=1
MN1 OUT A NETZ21 GND! NMOS4 w=6.000000u l=0.600000u m=1
.ends NAND2_2

*
* Component pathname : $MGC_WD/Bib_Proj/BIAS_F
*
.subckt BIAS_F AMP COMP

M7 COMP COMP GND! GND! NMOS4 w=10u l=1u m=1
M6 COMP N1 VDD! VDD! PMOS4 w=15u l=2u m=1
M5 AMP AMP GND! GND! NMOS4 w=40u l=2u m=1
M4 AMP N1 VDD! VDD! PMOS4 w=26u l=2u m=1
M3 N2 N2 N1 VDD! PMOS4 w=5u l=5u m=1
M2 N1 N1 VDD! VDD! PMOS4 w=4u l=2u m=1
M1 N2 N2 GND! GND! NMOS4 w=5u l=5u m=1
.ends BIAS_F

```

E.1.2 Arquivo SPICE do Modulador SI

```

*
* .CONNECT statements
*
.CONNECT GROUND 0
.CONNECT GND! 0
.CONNECT GND 0
.CONNECT VSS_G 0

* ELDO netlist generated with ICnet by 'root' on Sat May 16 2009 at
12:47:20

*
* Globals.
*
.global VDD GND! VDD!

.CONNECT VDD VDD!

*
* Component pathname : $MGC_DESIGN_KIT/PRIMLIB.group/logic.views/nmos4
[ELDOSPICE]
*
* .include
/ferramentas/design_kits/xfab/TKD_XC06.lib/PRIMLIB.group/logic.views/nm
os4/NMOS4

*
* Component pathname : $MGC_DESIGN_KIT/PRIMLIB.group/logic.views/pmos4
[ELDOSPICE]
*
* .include
/ferramentas/design_kits/xfab/TKD_XC06.lib/PRIMLIB.group/logic.views/pm
os4/PMOS4

```

```

*
* Component pathname : $MGC_DESIGN_KIT/PRIMLIB.group/logic.views/cpoly
[ELDOSPICE]
*
*       .include
/ferramentas/design_kits/xfab/TDK_XC06.lib/PRIMLIB.group/logic.views/cp
oly/CPOLY

*
* Component pathname : $D_CELLS/default.group/logic.views/invr_27
*
.subckt INVR_27  OUT IN

        X_MP1 OUT IN VDD! VDD! PMOS4 w=28.000000u l=0.600000u m=1
        X_MN1 OUT IN GND! GND! NMOS4 w=16.000000u l=0.600000u m=1
.ends INVR_27

*
* Component pathname : $D_CELLS/default.group/logic.views/invr_13
*
.subckt INVR_13  OUT IN

        X_MP1 OUT IN VDD! VDD! PMOS4 w=7.000000u l=0.600000u m=1
        X_MN1 OUT IN GND! GND! NMOS4 w=4.000000u l=0.600000u m=1
.ends INVR_13

*
* Component pathname : $D_CELLS/default.group/logic.views/BUX4
*
.subckt BUX4  Q A

        X_IN_2 Q NETZ9 INVR_27
        X_IN_1 NETZ9 A INVR_13
.ends BUX4

*
* Component pathname : $D_CELLS/default.group/logic.views/INX4
*
.subckt INX4  Q A

        X_IN_1 Q A INVR_27
.ends INX4

*
* Component pathname : $D_CELLS/default.group/logic.views/INX1
*
.subckt INX1  Q A

        X_IN_1 Q A INVR_13
.ends INX1

*
* Component pathname : $D_CELLS/default.group/logic.views/nand2_0
*
.subckt NAND2_0  OUT A B

        X_MN2 NETZ21 B GND! GND! NMOS4 w=3.000000u l=0.600000u m=1
        X_MP1 OUT A VDD! VDD! PMOS4 w=3.500000u l=0.600000u m=1
        X_MP2 OUT B VDD! VDD! PMOS4 w=3.500000u l=0.600000u m=1
        X_MN1 OUT A NETZ21 GND! NMOS4 w=3.000000u l=0.600000u m=1
.ends NAND2_0

```

```

*
* Component pathname : $D_CELLS/default.group/logic.views/AND2X1
*
.subckt AND2X1  Q A B

    X_IN_1 Q NETZ8 INVR_13
    X_NA2_1 NETZ8 A B NAND2_0
.ends AND2X1

*
* Component pathname : $D_CELLS/default.group/logic.views/invr_2
*
.subckt INVR_2  OUT IN

    X_MP1 OUT IN VDD! VDD! PMOS4 w=3.500000u l=0.600000u m=1
    X_MN1 OUT IN GND! GND! NMOS4 w=2.000000u l=0.600000u m=1
.ends INVR_2

*
* Component pathname : $D_CELLS/default.group/logic.views/invr_4
*
.subckt INVR_4  OUT IN

    X_MP1 OUT IN VDD! VDD! PMOS4 w=7.000000u l=0.600000u m=1
    X_MN1 OUT IN GND! GND! NMOS4 w=4.000000u l=0.600000u m=1
.ends INVR_4

*
* Component pathname : $D_CELLS/default.group/logic.views/invr_5
*
.subckt INVR_5  OUT IN

    X_MP1 OUT IN VDD! VDD! PMOS4 w=7.000000u l=0.600000u m=1
    X_MN1 OUT IN GND! GND! NMOS4 w=4.000000u l=0.600000u m=1
.ends INVR_5

*
* Component pathname : $D_CELLS/default.group/logic.views/DFFX1
*
.subckt DFFX1  Q QN CN D

    X_I64 CNI CNIB INVR_2
    X_N13 SQIB CNIB NETZ167 GND! NMOS4 w=2.000000u l=0.600000u m=1
    X_I63 CNIB CN INVR_2
    X_IN_4 QN SQI INVR_4
    X_P13 SQIB CNI NETZ243 VDD! PMOS4 w=3.500000u l=0.600000u m=1
    X_N16 SQIB CNI NETZ147 GND! NMOS4 w=0.800000u l=0.600000u m=1
    X_P8 NETZ199 MQI VDD! VDD! PMOS4 w=0.800000u l=0.600000u m=1
    X_N9 MQIB CNIB NETZ187 GND! NMOS4 w=0.800000u l=0.600000u m=1
    X_N5 NETZ151 D GND! GND! NMOS4 w=2.000000u l=0.600000u m=1
    X_N6 MQIB CNI NETZ151 GND! NMOS4 w=2.000000u l=0.600000u m=1
    X_P11 MQI MQIB VDD! VDD! PMOS4 w=3.500000u l=0.600000u m=1
    X_IN_3 Q SQIB INVR_5
    X_N15 NETZ147 SQI GND! GND! NMOS4 w=0.800000u l=0.600000u m=1
    X_N17 SQI SQIB GND! GND! NMOS4 w=2.000000u l=0.600000u m=1
    X_P9 MQIB CNI NETZ199 VDD! PMOS4 w=0.800000u l=0.600000u m=1
    X_P17 SQI SQIB VDD! VDD! PMOS4 w=3.500000u l=0.600000u m=1
    X_P12 NETZ243 MQI VDD! VDD! PMOS4 w=3.500000u l=0.600000u m=1
    X_P15 NETZ263 SQI VDD! VDD! PMOS4 w=0.800000u l=0.600000u m=1
    X_P16 SQIB CNIB NETZ263 VDD! PMOS4 w=0.800000u l=0.600000u m=1

```

```

X_N8 NETZ187 MQI GND! GND! NMOS4 w=0.800000u l=0.600000u m=1
X_N12 NETZ167 MQI GND! GND! NMOS4 w=2.000000u l=0.600000u m=1
X_P5 NETZ216 D VDD! VDD! PMOS4 w=3.500000u l=0.600000u m=1
X_N11 MQI MQIB GND! GND! NMOS4 w=2.000000u l=0.600000u m=1
X_P6 MQIB CNIB NETZ216 VDD! PMOS4 w=3.500000u l=0.600000u m=1
.ends DFFX1

*
* Component pathname : $D_CELLS/default.group/logic.views/nor2_6
*
.subckt NOR2_6 OUT A B

X_MN2 OUT A GND! GND! NMOS4 w=4.000000u l=0.600000u m=1
X_MP1 OUT A NETZ32 VDD! PMOS4 w=14.000000u l=0.600000u m=1
X_MP2 NETZ32 B VDD! VDD! PMOS4 w=14.000000u l=0.600000u m=1
X_MN1 OUT B GND! GND! NMOS4 w=4.000000u l=0.600000u m=1
.ends NOR2_6

*
* Component pathname : $D_CELLS/default.group/logic.views/NO2X1
*
.subckt NO2X1 Q A B

X_NO2_1 Q B A NOR2_6
.ends NO2X1

*
* Component pathname : $MGC_WD/PROJ_SI_XC06/CLOCK
*
.subckt CLOCK F1 F1_ F1A F1B F2 F2_ F2A F2B IN

X_BUX44 F2 F22 BUX4
X_BUX42 F1 F11 BUX4
X_INX44 F2_ F22 INX4
X_INX42 F1_ F11 INX4
X_INX114 N$24 N$23 INX1
X_AND2X13 F1B IN+ F11 AND2X1
X_AND2X11 F1A IN_ F11 AND2X1
X_DFFX11 F11A F22A IN F22A DFFX1
X_INX134 N$15 IN INX1
X_INX112 N$23 N$22 INX1
X_INX118 N$26 N$25 INX1
X_C2 VDD GND! CPOLY area=526.7p peri=91.8u m=1
X_INX130 N$31 N$30 INX1
X_INX128 N$30 N$29 INX1
X_INX126 N$29 IN_ INX1
X_INX124 N$16 N$28 INX1
X_INX122 N$28 N$27 INX1
X_INX120 N$27 N$26 INX1
X_AND2X14 F2B IN+ F22 AND2X1
X_AND2X12 F2A IN_ F22 AND2X1
X_INX110 N$22 N$21 INX1
X_INX132 N$25 N$31 INX1
X_C1 VDD GND! CPOLY area=526.7p peri=91.8u m=1
X_INX18 N$21 N$20 INX1
X_INX16 N$20 N$19 INX1
X_INX14 N$19 N$18 INX1
X_INX12 N$18 IN+ INX1
X_NO2X18 IN_ N$17 IN NO2X1
X_NO2X16 IN+ N$15 N$16 NO2X1
X_NO2X14 F22 F11 F22A NO2X1

```

```

        X_NO2X12 F11 F11A F22 NO2X1
        X_INX116 N$17 N$24 INX1
.ends CLOCK

*
* Component pathname : $MGC_WD/PROJ_SI_XC06/SW
*
.subckt SW  OUT CLK IN

        X_MSP OUT CLK_ IN VDD! PMOS4 w=5.5u l=0.6u m=1
        X_INX11 CLK_ CLK INX1
        X_MSN IN CLK OUT GND! NMOS4 w=2u l=0.6u m=1
.ends SW

*
* Component pathname : $D_CELLS/default.group/logic.views/invr_12
*
.subckt INVR_12  OUT IN

        X_MP1 OUT IN VDD! VDD! PMOS4 w=14.000000u l=0.600000u m=1
        X_MN1 OUT IN GND! GND! NMOS4 w=8.000000u l=0.600000u m=1
.ends INVR_12

*
* Component pathname : $D_CELLS/default.group/logic.views/INX2
*
.subckt INX2  Q A

        X_IN_1 Q A INVR_12
.ends INX2

*
* Component pathname : $MGC_WD/PROJ_SI_XC06/DAC
*
.subckt DAC  IREF F2 VOUT+ VOUT_ VRN VRP

        X_AND2X12 C F2 VOUT+ AND2X1
        X_AND2X11 D VOUT_ F2 AND2X1
        X_SW3 IREF F2 N$887 SW
        X_SW1 N$887 D N$883 SW
        X_M21 N$885 VRP VDD! VDD! PMOS4 w=11u l=6u m=3
        X_INX21 B C INX2
        X_SW7 N$883 A N$879 SW
        X_M29 N$883 VRN GND! GND! NMOS4 w=10u l=7u m=3
        X_INX22 A D INX2
        X_SW2 N$881 B N$885 SW
        X_SW6 N$887 C N$885 SW
        X_M25 N$879 N$879 VDD! VDD! PMOS4 w=11u l=6u m=3
        X_M27 N$881 N$881 GND! GND! NMOS4 w=10u l=7u m=3
.ends DAC

*
* Component pathname : $MGC_WD/PROJ_SI_XC06/Int_FD1
*
.subckt INT_FD1  IO1+ IO1_ IO1M+ IO1M_ F1 F1A F1B F2 F2A F2B ICM+ ICM_
VBN
+ VBP

        X_SW2 ICM+ F1B N$11855 SW
        X_M73 VBP F1A VGSMP1+ GND! NMOS4 w=1u l=0.6u m=1
        X_M36 IO1M_ D GND! GND! NMOS4 w=2.5u l=7u m=3

```

```

X_M69 VGSM2+ F2 A GND! NMOS4 w=1u l=0.6u m=1
X_M32 IO1_ VGSMN2_ GND! GND! NMOS4 w=10u l=7u m=3
X_M5 N$11857 VGSM1_ VDD! VDD! PMOS4 w=2.5u l=6u m=3
X_M24 IO1+ VGSM1+ VDD! VDD! PMOS4 w=11u l=6u m=3
X_M71 VGSMN2+ F2 B GND! NMOS4 w=1u l=0.6u m=1
X_M1 N$11855 VGSM1+ VDD! VDD! PMOS4 w=2.5u l=6u m=3
X_M77 IO1+ F1A VGSMN1+ GND! NMOS4 w=1u l=0.6u m=1
X_M29 IO1+ F2A VGSMN2+ GND! NMOS4 w=1u l=0.6u m=1
X_M75 VGSM1+ F1B IO1+ GND! NMOS4 w=1u l=0.6u m=1
X_M31 IO1_ VGSM2_ VDD! VDD! PMOS4 w=11u l=6u m=3
X_M26 IO1+ VGSMN2+ GND! GND! NMOS4 w=10u l=7u m=3
X_M28 VGSM2+ F2B IO1+ GND! NMOS4 w=1u l=0.6u m=1
X_M43 IO1M+ A VDD! VDD! PMOS4 w=2.75u l=6u m=3
X_M15 IO1_ VGSMN1_ GND! GND! NMOS4 w=10u l=7u m=3
X_M34 VGSM2_ F2B IO1_ GND! NMOS4 w=1u l=0.6u m=1
X_M17 VBN F1A VGSM1_ GND! NMOS4 w=1u l=0.6u m=1
X_SW1 ICM_ F1B N$11857 SW
X_M11 IO1_ VGSM1_ VDD! VDD! PMOS4 w=11u l=6u m=3
X_M61 IO1M+ B GND! GND! NMOS4 w=2.5u l=7u m=3
X_M35 IO1_ F2A VGSMN2_ GND! NMOS4 w=1u l=0.6u m=1
X_M18 VGSM1_ F1B IO1_ GND! NMOS4 w=1u l=0.6u m=1
X_M2 N$11855 VGSMN1+ GND! GND! NMOS4 w=2.75u l=7u m=3
X_M27 VBP F2A VGSM2+ GND! NMOS4 w=1u l=0.6u m=1
X_M33 VBN F2A VGSM2_ GND! NMOS4 w=1u l=0.6u m=1
X_M57 IO1+ VGSMN1+ GND! GND! NMOS4 w=10u l=7u m=3
X_M38 VGSM2_ F2 C GND! NMOS4 w=1u l=0.6u m=1
X_M30 IO1M_ C VDD! VDD! PMOS4 w=2.75u l=6u m=3
X_M40 VGSMN2_ F2 D GND! NMOS4 w=1u l=0.6u m=1
X_M6 N$11857 VGSMN1_ GND! GND! NMOS4 w=2.75u l=7u m=3
X_M19 IO1_ F1A VGSMN1_ GND! NMOS4 w=1u l=0.6u m=1
X_M16 IO1+ VGSM2+ VDD! VDD! PMOS4 w=11u l=6u m=3
.ends INT_FD1

*
* Component pathname : $D_CELLS/default.group/logic.views/invr_14
*
.subckt INVR_14 OUT IN

    X_MP1 OUT IN VDD! VDD! PMOS4 w=21.000000u l=0.600000u m=1
    X_MN1 OUT IN GND! GND! NMOS4 w=12.000000u l=0.600000u m=1
.ends INVR_14

*
* Component pathname : $D_CELLS/default.group/logic.views/nand2_3
*
.subckt NAND2_3 OUT A B

    X_MN2 NETZ21 B GND! GND! NMOS4 w=3.000000u l=0.600000u m=1
    X_MP1 OUT A VDD! VDD! PMOS4 w=3.500000u l=0.600000u m=1
    X_MP2 OUT B VDD! VDD! PMOS4 w=3.500000u l=0.600000u m=1
    X_MN1 OUT A NETZ21 GND! NMOS4 w=3.000000u l=0.600000u m=1
.ends NAND2_3

*
* Component pathname : $D_CELLS/default.group/logic.views/invr_17
*
.subckt INVR_17 OUT IN

    X_MP1 OUT IN VDD! VDD! PMOS4 w=7.000000u l=0.600000u m=1
    X_MN1 OUT IN GND! GND! NMOS4 w=4.000000u l=0.600000u m=1
.ends INVR_17

```

```

*
* Component pathname : $D_CELLS/default.group/logic.views/NA2X3
*
.subckt NA2X3  Q A B

    X_IN_1 Q NETZ15 INVR_14
    X_NA4_1 NETZ11 A B NAND2_3
    X_I0 NETZ15 NETZ11 INVR_17
.ends NA2X3

*
* Component pathname : $MGC_WD/PROJ_SI_XC06/Comp
*
.subckt COMP  VOUT+ VOUT_ F2 IOUT+ IOUT_ VR2

    X_M7 N$45 VR2 VDD! VDD! PMOS4 w=3.3u l=2u m=3
    X_M82 ID+ IOUT+ VDD! VDD! PMOS4 w=7.5u l=0.6u m=1
    X_INX22 OUT+ NOUT+ INX2
    X_M74 IOUT_ ID_ GND! VDD! PMOS4 w=7.5u l=0.6u m=1
    X_M86 VDD! ID+ IOUT+ GND! NMOS4 w=3u l=0.6u m=1
    X_M88 IOUT+ ID+ GND! VDD! PMOS4 w=7.5u l=0.6u m=1
    X_M11 NOUT+ ID+ N$45 VDD! PMOS4 w=3.3u l=2u m=3
    X_INX21 OUT_ NOUT_ INX2
    X_M19 NOUT_ NOUT+ GND! GND! NMOS4 w=4u l=2u m=1
    X_M70 VDD! ID_ IOUT_ GND! NMOS4 w=3u l=0.6u m=1
    X_M78 ID+ IOUT+ GND! GND! NMOS4 w=3u l=0.6u m=1
    X_M15 NOUT_ ID_ N$45 VDD! PMOS4 w=3.3u l=2u m=3
    X_M23 NOUT+ F2 GND! GND! NMOS4 w=4u l=2u m=1
    X_M30 NOUT+ NOUT_ GND! GND! NMOS4 w=4u l=2u m=1
    X_M66 ID_ IOUT_ VDD! VDD! PMOS4 w=7.5u l=0.6u m=1
    X_M38 NOUT_ F2 GND! GND! NMOS4 w=4u l=2u m=1
    X_M62 ID_ IOUT_ GND! GND! NMOS4 w=3u l=0.6u m=1
    X_NA2X34 VOUT_ VOUT+ OUT_ NA2X3
    X_NA2X32 VOUT+ OUT+ VOUT_ NA2X3
.ends COMP

*
* Component pathname : $MGC_WD/PROJ_SI_XC06/Bias
*
.subckt BIAS  VBN VBP VR2 VRN VRP GND IBIAS IREF VDD!_1

    X_M2 VR2 VR2 GND! GND! NMOS4 w=3u l=0.6u m=1
    X_M1 VR2 VR2 VDD! VDD! PMOS4 w=7.5u l=0.6u m=1
    X_M111 VBP IBIAS GND! GND! NMOS4 w=12u l=1.2u m=1
    X_M92 VBP VBP VDD! VDD! PMOS4 w=11u l=6u m=3
    X_M122 VRN VRP VDD! VDD! PMOS4 w=11u l=6u m=3
    X_M129 IBIAS IBIAS GND! GND! NMOS4 w=12u l=1.2u m=1
    X_M58 VBN VBP VDD! VDD! PMOS4 w=11u l=6u m=3
    X_M133 IREF IREF GND! GND! NMOS4 w=12u l=1.2u m=1
    X_M131 VRP IREF GND! GND! NMOS4 w=12u l=1.2u m=1
    X_M125 VRP VRP VDD! VDD! PMOS4 w=11u l=6u m=3
    X_M127 VRN VRN GND! GND! NMOS4 w=10u l=7u m=3
    X_M116 VBN VBN GND! GND! NMOS4 w=10u l=7u m=3
.ends BIAS

*
* MAIN CELL: Component pathname : $MGC_WD/PROJ_SI_XC06/Modulador_V2
*
V1 VDD! GND! DC 5V
X_CLOCK1 F1 F1_ F1A F1B F2 F2_ F2A F2B CLOCK CLOCK

```

```

I2 VDD! IR DC 15uA
I3 VDD! IB DC 30uA
X_DAC2 IINO_ F2 VOUT_ VOUT+ VRN VRP DAC
X_DAC4 IO1O_ F2 VOUT_ VOUT+ VRN2 VRP2 DAC
X_INT_FD12 IO1O+ IO1O_ IO2I+ IO2I_ F1 F1A F1B F2 F2A F2B IO1O_
IO1O+
+ VBP2 VBP2 INT_FD1
X_INT_FD11 IINO+ IINO_ N$68 N$67 F1 F1A F1B F2 F2A F2B IINO_
IINO+
+ VBP VBP INT_FD1
X_SW4 IO1O_ F1 N$67 SW
X_COMP1 VOUT+ VOUT_ F2 IO2O+ IO2O_ VR COMP
X_SW7 IIN+ F2 GND! SW
X_SW8 IIN_ F2 GND! SW
X_BIAS1 VBN2 VBP2 VR2 VRN2 VRP2 GND! IB1 IR1 VDD! BIAS
X_SW2 IINO_ F1 IIN_ SW
X_SW3 IO1O+ F1 N$68 SW
X_SW6 IO2O_ F1 IO2I_ SW
V2 CLOCK GND! PULSE ( 0V 5V 0nS 1nS 1nS 98nS 200nS )
X_SW1 IINO+ F1 IIN+ SW
X_SW5 IO2O+ F1 IO2I+ SW
I6 VDD! IB1 DC 50uA
X_BIAS2 VBN VBP VR VRN VRP GND! IB IR VDD! BIAS
X_DAC3 IO1O+ F2 VOUT+ VOUT_ VRN2 VRP2 DAC
I5 VDD! IR1 DC 20uA
I4 GND! IIN_ SIN ( 0 10uA 10k 0 0 )
I1 IIN+ GND! SIN ( 0 10uA 10k 0 0 )
X_DAC1 IINO+ F2 VOUT+ VOUT_ VRN VRP DAC
*
*.end

```

E.1.3 Arquivo SPICE do Modulador SI_FF

```

*
* .CONNECT statements
*
.CONNECT GROUND 0
.CONNECT GND! 0
.CONNECT GND 0
.CONNECT VSS_G 0

* ELDO netlist generated with ICnet by 'root' on Fri Jul 17 2009 at
18:00:16

*
* Globals.
*
.global VDD GND! GROUND VDD!

.CONNECT VDD VDD!
.CONNECT GND! GROUND

*
* Component pathname : $MGC_DESIGN_KIT/PRIMLIB.group/logic.views/nmos4
[ELDOSPICE]
*

```



```

*       .include
/ferramentas/design_kits/xfab/TDK_XC06.lib/PRIMLIB.group/logic.views/nmos4/NMOS4

*
* Component pathname : $MGC_DESIGN_KIT/PRIMLIB.group/logic.views/pmos4
[ELDOSPICE]
*
*       .include
/ferramentas/design_kits/xfab/TDK_XC06.lib/PRIMLIB.group/logic.views/pmos4/PMOS4

*
* Component pathname : $MGC_DESIGN_KIT/PRIMLIB.group/logic.views/cpoly
[ELDOSPICE]
*
*       .include
/ferramentas/design_kits/xfab/TDK_XC06.lib/PRIMLIB.group/logic.views/cpoly/CPOLY

*
* Component pathname : $D_CELLS/default.group/logic.views/invr_13
*
.subckt INVR_13  OUT IN

        X_MP1 OUT IN VDD! VDD! PMOS4 w=7.000000u l=0.600000u m=1
        X_MN1 OUT IN GND! GND! NMOS4 w=4.000000u l=0.600000u m=1
.ends INVR_13

*
* Component pathname : $D_CELLS/default.group/logic.views/INX1
*
.subckt INX1  Q A

        X_IN_1 Q A INVR_13
.ends INX1

*
* Component pathname : $MGC_WD/PROJ_SI_XC06_FF2/SW
*
.subckt SW$D2$  OUT CLK IN

        X_MSP OUT CLK_ IN VDD! PMOS4 w=5.5u l=0.6u m=1
        X_INX11 CLK_ CLK INX1
        X_MSN IN CLK OUT GND! NMOS4 w=2u l=0.6u m=1
.ends SW$D2$

*
* Component pathname : $D_CELLS/default.group/logic.views/invr_27
*
.subckt INVR_27  OUT IN

        X_MP1 OUT IN VDD! VDD! PMOS4 w=28.000000u l=0.600000u m=1
        X_MN1 OUT IN GND! GND! NMOS4 w=16.000000u l=0.600000u m=1
.ends INVR_27

*
* Component pathname : $D_CELLS/default.group/logic.views/BUX4
*

```

```

.subckt BUX4  Q A
    X_IN_2 Q NETZ9 INVR_27
    X_IN_1 NETZ9 A INVR_13
.ends BUX4

*
* Component pathname : $D_CELLS/default.group/logic.views/INX4
*
.subckt INX4  Q A
    X_IN_1 Q A INVR_27
.ends INX4

*
* Component pathname : $D_CELLS/default.group/logic.views/nand2_0
*
.subckt NAND2_0  OUT A B
    X_MN2 NETZ21 B GND! GND! NMOS4 w=3.000000u l=0.600000u m=1
    X_MP1 OUT A VDD! VDD! PMOS4 w=3.500000u l=0.600000u m=1
    X_MP2 OUT B VDD! VDD! PMOS4 w=3.500000u l=0.600000u m=1
    X_MN1 OUT A NETZ21 GND! NMOS4 w=3.000000u l=0.600000u m=1
.ends NAND2_0

*
* Component pathname : $D_CELLS/default.group/logic.views/AND2X1
*
.subckt AND2X1  Q A B
    X_IN_1 Q NETZ8 INVR_13
    X_NA2_1 NETZ8 A B NAND2_0
.ends AND2X1

*
* Component pathname : $D_CELLS/default.group/logic.views/invr_2
*
.subckt INVR_2  OUT IN
    X_MP1 OUT IN VDD! VDD! PMOS4 w=3.500000u l=0.600000u m=1
    X_MN1 OUT IN GND! GND! NMOS4 w=2.000000u l=0.600000u m=1
.ends INVR_2

*
* Component pathname : $D_CELLS/default.group/logic.views/invr_4
*
.subckt INVR_4  OUT IN
    X_MP1 OUT IN VDD! VDD! PMOS4 w=7.000000u l=0.600000u m=1
    X_MN1 OUT IN GND! GND! NMOS4 w=4.000000u l=0.600000u m=1
.ends INVR_4

*
* Component pathname : $D_CELLS/default.group/logic.views/invr_5
*
.subckt INVR_5  OUT IN
    X_MP1 OUT IN VDD! VDD! PMOS4 w=7.000000u l=0.600000u m=1
    X_MN1 OUT IN GND! GND! NMOS4 w=4.000000u l=0.600000u m=1
.ends INVR_5

```

```

*
* Component pathname : $D_CELLS/default.group/logic.views/DFFX1
*
.subckt DFFX1  Q QN CN D

    X_I64 CNI CNIB INVR_2
    X_N13 SQIB CNIB NETZ167 GND! NMOS4 w=2.000000u l=0.600000u m=1
    X_I63 CNIB CN INVR_2
    X_IN_4 QN SQI INVR_4
    X_P13 SQIB CNI NETZ243 VDD! PMOS4 w=3.500000u l=0.600000u m=1
    X_N16 SQIB CNI NETZ147 GND! NMOS4 w=0.800000u l=0.600000u m=1
    X_P8 NETZ199 MQI VDD! VDD! PMOS4 w=0.800000u l=0.600000u m=1
    X_N9 MQIB CNIB NETZ187 GND! NMOS4 w=0.800000u l=0.600000u m=1
    X_N5 NETZ151 D GND! GND! NMOS4 w=2.000000u l=0.600000u m=1
    X_N6 MQIB CNI NETZ151 GND! NMOS4 w=2.000000u l=0.600000u m=1
    X_P11 MQI MQIB VDD! VDD! PMOS4 w=3.500000u l=0.600000u m=1
    X_IN_3 Q SQIB INVR_5
    X_N15 NETZ147 SQI GND! GND! NMOS4 w=0.800000u l=0.600000u m=1
    X_N17 SQI SQIB GND! GND! NMOS4 w=2.000000u l=0.600000u m=1
    X_P9 MQIB CNI NETZ199 VDD! PMOS4 w=0.800000u l=0.600000u m=1
    X_P17 SQI SQIB VDD! VDD! PMOS4 w=3.500000u l=0.600000u m=1
    X_P12 NETZ243 MQI VDD! VDD! PMOS4 w=3.500000u l=0.600000u m=1
    X_P15 NETZ263 SQI VDD! VDD! PMOS4 w=0.800000u l=0.600000u m=1
    X_P16 SQIB CNIB NETZ263 VDD! PMOS4 w=0.800000u l=0.600000u m=1
    X_N8 NETZ187 MQI GND! GND! NMOS4 w=0.800000u l=0.600000u m=1
    X_N12 NETZ167 MQI GND! GND! NMOS4 w=2.000000u l=0.600000u m=1
    X_P5 NETZ216 D VDD! VDD! PMOS4 w=3.500000u l=0.600000u m=1
    X_N11 MQI MQIB GND! GND! NMOS4 w=2.000000u l=0.600000u m=1
    X_P6 MQIB CNIB NETZ216 VDD! PMOS4 w=3.500000u l=0.600000u m=1
.ends DFFX1

*
* Component pathname : $D_CELLS/default.group/logic.views/nor2_6
*
.subckt NOR2_6  OUT A B

    X_MN2 OUT A GND! GND! NMOS4 w=4.000000u l=0.600000u m=1
    X_MP1 OUT A NETZ32 VDD! PMOS4 w=14.000000u l=0.600000u m=1
    X_MP2 NETZ32 B VDD! VDD! PMOS4 w=14.000000u l=0.600000u m=1
    X_MN1 OUT B GND! GND! NMOS4 w=4.000000u l=0.600000u m=1
.ends NOR2_6

*
* Component pathname : $D_CELLS/default.group/logic.views/NO2X1
*
.subckt NO2X1  Q A B

    X_NO2_1 Q B A NOR2_6
.ends NO2X1

*
* Component pathname : $MGC_WD/PROJ_SI_XC06_FF2/CLOCK
*
.subckt CLOCK  F1 F1_ F1A F1B F2 F2_ F2A F2B IN

    X_BUX44 F2 F22 BUX4
    X_BUX42 F1 F11 BUX4
    X_INX44 F2_ F22 INX4
    X_INX42 F1_ F11 INX4
    X_INX114 N$22 N$21 INX1
    X_AND2X13 F1B IN+ F11 AND2X1

```

```

X_AND2X11 F1A IN_ F11 AND2X1
X_DFFX11 F11A F22A IN F22A DFFX1
X_INX134 N$13 IN INX1
X_INX112 N$21 N$20 INX1
X_INX118 N$24 N$23 INX1
X_C2 VDD GND! CPOLY area=526.7p peri=91.8u m=1
X_INX130 N$29 N$28 INX1
X_INX128 N$28 N$27 INX1
X_INX126 N$27 IN_ INX1
X_INX124 N$14 N$26 INX1
X_INX122 N$26 N$25 INX1
X_INX120 N$25 N$24 INX1
X_AND2X14 F2B IN+ F22 AND2X1
X_AND2X12 F2A IN_ F22 AND2X1
X_INX110 N$20 N$19 INX1
X_INX132 N$23 N$29 INX1
X_C1 VDD GND! CPOLY area=526.7p peri=91.8u m=1
X_INX18 N$19 N$18 INX1
X_INX16 N$18 N$17 INX1
X_INX14 N$17 N$16 INX1
X_INX12 N$16 IN+ INX1
X_NO2X18 IN_ N$15 IN NO2X1
X_NO2X16 IN+ N$13 N$14 NO2X1
X_NO2X14 F22 F11 F22A NO2X1
X_NO2X12 F11 F11A F22 NO2X1
X_INX116 N$15 N$22 INX1
.ends CLOCK

*
* Component pathname : $MGC_WD/PROJ_SI_XC06/SW
*
.subckt SW$D1$ OUT CLK IN

    X_MSP OUT CLK_ IN VDD! PMOS4 w=5.5u l=0.6u m=1
    X_INX11 CLK_ CLK INX1
    X_MSN IN CLK OUT GND! NMOS4 w=2u l=0.6u m=1
.ends SW$D1$

*
* Component pathname : $D_CELLS/default.group/logic.views/invr_12
*
.subckt INVR_12 OUT IN

    X_MP1 OUT IN VDD! VDD! PMOS4 w=14.000000u l=0.600000u m=1
    X_MN1 OUT IN GND! GND! NMOS4 w=8.000000u l=0.600000u m=1
.ends INVR_12

*
* Component pathname : $D_CELLS/default.group/logic.views/INX2
*
.subckt INX2 Q A

    X_IN_1 Q A INVR_12
.ends INX2

*
* Component pathname : $MGC_WD/PROJ_SI_XC06_FF2/DAC
*
.subckt DAC IREF F2 VOUT+ VOUT_ VRN VRP

    X_AND2X12 C F2 VOUT+ AND2X1

```

```

X_AND2X11 D VOUT_ F2 AND2X1
X_SW3 IREF F2 N$20 SW$D1$
X_SW1 N$20 D N$16 SW$D1$
X_M21 N$18 VRP VDD! VDD! PMOS4 w=10u l=5u m=1
X_INX21 B C INX2
X_SW7 N$16 A N$12 SW$D1$
X_M29 N$16 VRN GND! GND! NMOS4 w=5u l=5u m=1
X_INX22 A D INX2
X_SW2 N$14 B N$18 SW$D1$
X_SW6 N$20 C N$18 SW$D1$
X_M25 N$12 N$12 VDD! VDD! PMOS4 w=10u l=5u m=1
X_M27 N$14 N$14 GND! GND! NMOS4 w=5u l=5u m=1
.ends DAC

*
* Component pathname : $MGC_WD/PROJ_SI_XC06_FF2/INT_A1
*
.subckt INT_A1 IO1+ IO1_ IO1M+ IO1M_ F1 F1A F1B F2 F2A F2B ICM+ ICM_
VBN
+ VBP

X_M14 IO1M+ VGSMN2+ GND! GND! NMOS4 w=1.25u l=5u m=1
X_M29 IO1+ F2 VGSMN2+ GND! NMOS4 w=1u l=0.6u m=1
X_M24 N$2762 VGSMN2_ GND! GND! NMOS4 w=1.25u l=5u m=1
X_M23 N$2762 N$2762 VDD! VDD! PMOS4 w=10u l=5u m=1
X_M7 ICM+ VGSMN2+ GND! GND! NMOS4 w=2.5u l=5u m=1
X_M16 IO1+ VBP VDD! VDD! PMOS4 w=20u l=5u m=1
X_M19 IO1+ F1 VGSMN1+ GND! NMOS4 w=1u l=0.6u m=1
X_M11 N$2965 VGSMN2_ GND! GND! NMOS4 w=2.5u l=5u m=1
X_M26 IO1+ VGSMN2+ GND! GND! NMOS4 w=5u l=5u m=1
X_M12 N$2737 N$2737 VDD! VDD! PMOS4 w=10u l=5u m=1
X_M10 IO1_ F2 VGSMN2_ GND! NMOS4 w=1u l=0.6u m=1
X_M5 N$2965 N$2965 VDD! VDD! PMOS4 w=10u l=5u m=1
X_M2 N$2964 VGSMN2+ GND! GND! NMOS4 w=2.5u l=5u m=1
X_M1 N$2964 N$2964 VDD! VDD! PMOS4 w=10u l=5u m=1
X_M4 ICM_ VGSMN2_ GND! GND! NMOS4 w=2.5u l=5u m=1
X_M18 IO1+ VGSMN1+ GND! GND! NMOS4 w=5u l=5u m=1
X_M21 IO1_ F1 VGSMN1_ GND! NMOS4 w=1u l=0.6u m=1
X_M17 IO1M_ VGSMN2_ GND! GND! NMOS4 w=1.25u l=5u m=1
X_M15 IO1M_ N$2737 VDD! VDD! PMOS4 w=10u l=5u m=1
X_M8 IO1_ VBP VDD! VDD! PMOS4 w=20u l=5u m=1
X_M13 IO1M+ N$2762 VDD! VDD! PMOS4 w=10u l=5u m=1
X_M3 ICM_ N$2964 VDD! VDD! PMOS4 w=10u l=5u m=1
X_M6 ICM+ N$2965 VDD! VDD! PMOS4 w=10u l=5u m=1
X_M20 IO1_ VGSMN1_ GND! GND! NMOS4 w=5u l=5u m=1
X_M9 IO1_ VGSMN2_ GND! GND! NMOS4 w=5u l=5u m=1
X_M22 N$2737 VGSMN2+ GND! GND! NMOS4 w=1.25u l=5u m=1
.ends INT_A1

*
* Component pathname : $D_CELLS/default.group/logic.views/invr_14
*
.subckt INVR_14 OUT IN

X_MP1 OUT IN VDD! VDD! PMOS4 w=21.000000u l=0.600000u m=1
X_MN1 OUT IN GND! GND! NMOS4 w=12.000000u l=0.600000u m=1
.ends INVR_14

*
* Component pathname : $D_CELLS/default.group/logic.views/nand2_3
*

```

```

.subckt NAND2_3  OUT A B

    X_MN2 NETZ21 B GND! GND! NMOS4 w=3.000000u l=0.600000u m=1
    X_MP1 OUT A VDD! VDD! PMOS4 w=3.500000u l=0.600000u m=1
    X_MP2 OUT B VDD! VDD! PMOS4 w=3.500000u l=0.600000u m=1
    X_MN1 OUT A NETZ21 GND! GND! NMOS4 w=3.000000u l=0.600000u m=1
.ends NAND2_3

*
* Component pathname : $D_CELLS/default.group/logic.views/invr_17
*
.subckt INVR_17  OUT IN

    X_MP1 OUT IN VDD! VDD! PMOS4 w=7.000000u l=0.600000u m=1
    X_MN1 OUT IN GND! GND! NMOS4 w=4.000000u l=0.600000u m=1
.ends INVR_17

*
* Component pathname : $D_CELLS/default.group/logic.views/NA2X3
*
.subckt NA2X3  Q A B

    X_IN_1 Q NETZ15 INVR_14
    X_NA4_1 NETZ11 A B NAND2_3
    X_I0 NETZ15 NETZ11 INVR_17
.ends NA2X3

*
* Component pathname : $MGC_WD/PROJ_SI_XC06_FF2/COMP
*
.subckt COMP  VOUT+ VOUT_ F2 IOUT+ IOUT_ VR2

    X_M15 NOUT_ ID_ N$2 VDD! PMOS4 w=3.3u l=2u m=3
    X_M23 NOUT+ F2 GND! GND! NMOS4 w=4u l=2u m=1
    X_M30 NOUT+ NOUT_ GND! GND! NMOS4 w=4u l=2u m=1
    X_M66 ID_ IOUT_ VDD! VDD! PMOS4 w=7.5u l=0.6u m=1
    X_M38 NOUT_ F2 GND! GND! NMOS4 w=4u l=2u m=1
    X_M62 ID_ IOUT_ GND! GND! NMOS4 w=3u l=0.6u m=1
    X_NA2X34 VOUT_ VOUT+ OUT_ NA2X3
    X_NA2X32 VOUT+ OUT+ VOUT_ NA2X3
    X_M7 N$2 VR2 VDD! VDD! PMOS4 w=3.3u l=2u m=3
    X_M82 ID+ IOUT+ VDD! VDD! PMOS4 w=7.5u l=0.6u m=1
    X_INX22 OUT+ NOUT+ INX2
    X_M74 IOUT_ ID_ GND! VDD! PMOS4 w=7.5u l=0.6u m=1
    X_M86 VDD! ID+ IOUT+ GND! NMOS4 w=3u l=0.6u m=1
    X_M88 IOUT+ ID+ GND! VDD! PMOS4 w=7.5u l=0.6u m=1
    X_M11 NOUT+ ID+ N$2 VDD! PMOS4 w=3.3u l=2u m=3
    X_INX21 OUT_ NOUT_ INX2
    X_M19 NOUT_ NOUT+ GND! GND! NMOS4 w=4u l=2u m=1
    X_M70 VDD! ID_ IOUT_ GND! NMOS4 w=3u l=0.6u m=1
    X_M78 ID+ IOUT+ GND! GND! NMOS4 w=3u l=0.6u m=1
.ends COMP

*
* Component pathname : $MGC_WD/PROJ_SI_XC06_FF2/BIAS
*
.subckt BIAS  VBN VBP VR2 VRN VRP GND IBIAS IREF VDD!_1

    X_M1 VR2 VR2 VDD! VDD! PMOS4 w=7.5u l=0.6u m=1
    X_M111 VBP IBIAS GND! GND! NMOS4 w=5u l=5u m=1
    X_M92 VBP VBP VDD! VDD! PMOS4 w=10u l=5u m=1

```

```

X_M122 VRN VRP VDD! VDD! PMOS4 w=10u l=5u m=1
X_M129 IBIAS IBIAS GND! GND! NMOS4 w=5u l=5u m=1
X_M58 VBN VBP VDD! VDD! PMOS4 w=10u l=5u m=1
X_M133 IREF IREF GND! GND! NMOS4 w=5u l=5u m=1
X_M131 VRP IREF GND! GND! NMOS4 w=5u l=5u m=1
X_M125 VRP VRP VDD! VDD! PMOS4 w=10u l=5u m=1
X_M127 VRN VRN GND! GND! NMOS4 w=5u l=5u m=1
X_M116 VBN VBN GND! GND! NMOS4 w=5u l=5u m=1
X_M2 VR2 VR2 GND! GND! NMOS4 w=3u l=0.6u m=1
.ends BIAS

*
* Component pathname : $MGC_WD/PROJ_SI_XC06_FF2/INT_A2
*
.subckt INT_A2 IO1+ IO1_ IO1M+ IO1M_ F1 F1A F1B F2 F2A F2B ICM+ ICM_
VBN
+ VBP

X_M17 IO1M_ VGSMN2_ GND! GND! NMOS4 w=2.5u l=5u m=1
X_M23 N$3186 N$3186 VDD! VDD! PMOS4 w=10u l=5u m=1
X_M3 ICM_ N$3175 VDD! VDD! PMOS4 w=10u l=5u m=1
X_M16 IO1+ VBP VDD! VDD! PMOS4 w=20u l=5u m=1
X_M20 IO1_ VGSMN1_ GND! GND! NMOS4 w=5u l=5u m=1
X_M6 ICM+ N$3174 VDD! VDD! PMOS4 w=10u l=5u m=1
X_M26 IO1+ VGSMN2+ GND! GND! NMOS4 w=5u l=5u m=1
X_M22 N$3161 VGSMN2+ GND! GND! NMOS4 w=2.5u l=5u m=1
X_M2 N$3175 VGSMN2+ GND! GND! NMOS4 w=2.5u l=5u m=1
X_M1 N$3175 N$3175 VDD! VDD! PMOS4 w=10u l=5u m=1
X_M9 IO1_ VGSMN2_ GND! GND! NMOS4 w=5u l=5u m=1
X_M5 N$3174 N$3174 VDD! VDD! PMOS4 w=10u l=5u m=1
X_M4 ICM_ VGSMN2_ GND! GND! NMOS4 w=2.5u l=5u m=1
X_M18 IO1+ VGSMN1+ GND! GND! NMOS4 w=5u l=5u m=1
X_M8 IO1_ VBP VDD! VDD! PMOS4 w=20u l=5u m=1
X_M13 IO1M+ N$3186 VDD! VDD! PMOS4 w=10u l=5u m=1
X_M21 IO1_ F1 VGSMN1_ GND! NMOS4 w=1u l=0.6u m=1
X_M15 IO1M_ N$3161 VDD! VDD! PMOS4 w=10u l=5u m=1
X_M14 IO1M+ VGSMN2+ GND! GND! NMOS4 w=2.5u l=5u m=1
X_M29 IO1+ F2 VGSMN2+ GND! NMOS4 w=1u l=0.6u m=1
X_M24 N$3186 VGSMN2_ GND! GND! NMOS4 w=2.5u l=5u m=1
X_M19 IO1+ F1 VGSMN1+ GND! NMOS4 w=1u l=0.6u m=1
X_M7 ICM+ VGSMN2+ GND! GND! NMOS4 w=2.5u l=5u m=1
X_M12 N$3161 N$3161 VDD! VDD! PMOS4 w=10u l=5u m=1
X_M10 IO1_ F2 VGSMN2_ GND! NMOS4 w=1u l=0.6u m=1
X_M11 N$3174 VGSMN2_ GND! GND! NMOS4 w=2.5u l=5u m=1
.ends INT_A2

*
* MAIN CELL: Component pathname : $MGC_WD/PROJ_SI_XC06_FF2/MOD_FF
*
I3 VDD! IB DC 30uA
I2 VDD! IR DC 15uA
I8 GND! ICM2_ SIN ( 0 Amplitude 10k 0 0 )
X_SW14 ICM2_ F2 GND! SW$D2$
I7 ICM2+ GND! SIN ( 0 Amplitude 10k 0 0 )
X_SW13 ICM2+ F2 GND! SW$D2$
X_CLOCK1 F1 F1_ F1A F1B F2 F2_ F2A F2B CLOCK CLOCK
X_DAC4 N$7 F2 VOUT_ VOUT+ VRN2 VRP2 DAC
X_SW10 IC_ F1 ICM_ SW$D2$
X_SW9 IC+ F1 ICM+ SW$D2$
X_DAC2 I11_ F2 VOUT_ VOUT+ VRN VRP DAC

```

```

X_I$6 I11+ I11_ O11+ O11_ F1 F1A F1B F2 F2A F2B ICM+ ICM_ VBN
VBP INT_A1
X_SW4 I12_ F1 O11_ SW$D2$
X_SW11 IC+ F1 ICM2_ SW$D2$
X_SW12 IC_ F1 ICM2+ SW$D2$
X_COMP1 VOUT+ VOUT_ F2 IC+ IC_ VR COMP
X_SW7 I1N+ F2 GND! SW$D2$
X_SW8 I1N_ F2 GND! SW$D2$
X_BIAS1 VBN2 VBP2 VR2 VRN2 VRP2 GND! IB1 IR1 VDD! BIAS
X_SW2 I11_ F1 I1N_ SW$D2$
X_SW3 I12+ F1 O11+ SW$D2$
X_SW6 IC_ F1 O12_ SW$D2$
V2 CLOCK GND! PULSE ( 0V 5V 0nS .5nS .5nS 24nS 50nS )
X_SW1 I11+ F1 I1N+ SW$D2$
X_SW5 IC+ F1 O12+ SW$D2$
I6 VDD! IB1 DC 30uA
X_BIAS2 VBN VBP VR VRN VRP GND! IB IR VDD! BIAS
X_DAC3 N$91 F2 VOUT+ VOUT_ VRN2 VRP2 DAC
I5 VDD! IR1 DC 15uA
X_I$7 I12+ I12_ O12+ O12_ F1 F1A F1B F2 F2A F2B N$85 N$86 VBN2
VBP2 INT_A2
I4 GND! I1N_ SIN ( 0 Amplitude 10k 0 0 )
I1 I1N+ GND! SIN ( 0 Amplitude 10k 0 0 )
X_DAC1 I11+ F2 VOUT+ VOUT_ VRN VRP DAC
V1 VDD! GND! DC 5V
*
.end

```

E.1.4 Arquivos do Matlab

```

%
*****
*
% 2nd Order Sigma-Delta A/D Modulator
% by S. Brigati Ver.(0.1) 08/04/98
% Adapted by C.A.Prior 03/07/2006.
% The modulator structure is simulated using Simulink
(mod3nd_21_dic.mdl).
% Post-processing of the results is done with Matlab.
% 1. Plots the Power Spectral Density of the bit-stream
% 2. Calculates the SNR
%
*****
*
clear;
load Int1_MOD_FF_01u.txt;
load Int1_MOD_FF_1u.txt;
load Int1_MOD_FF_5u.txt;
load Int1_MOD_FF_10u.txt;
load Int1_MOD_FF_12u.txt;
%
y1=Int1_MOD_FF_01u(:,2);
y2=Int1_MOD_FF_1u(:,2);
y3=Int1_MOD_FF_5u(:,2);
y4=Int1_MOD_FF_10u(:,2);
y5=Int1_MOD_FF_12u(:,2);
%

```



```

t0=clock;
%
%
*****
*
% Global Sets
%
*****
*
bw=20.0e3;           % Base-band
R=125;
Fs=R*2*bw;          % Oversampling frequency
Ts=1/Fs;
%N=length(yout)-1;
Fin=10000;
%N=length(yout)-1;   % Samples number
%nper=100;
%Fin=nper*Fs/N;      % Input signal frequency (Fin = nper*Fs/N)
%Ampl=0.5-pi/256;    % Input signal amplitude [V]
%NP=100;             % Number points to calculate Amplitude
%Fin=100;
%Ampl=linspace(dB(10^0),dB(10^-7),NP);
%
%Vin=dBV(linspace(1.5,0,N/2));
%Hz=log10(linspace(0,Fs/2,N/2));
% NP=18;
Ampl=[0.1/15, 1/15, 5/15, 10/15, 12/15];
for i=1:5;
AmpdB(i)=dbv(Ampl(i));
end;
Vref=15e-6;
%
%Ampl=linspace(dB(10^0),dB(10^-7),NP);
Ntransient=0;
%tsim=0.01;          % Time simulation
% kT/C noise and op-amp non-idealities
%
%echo on;
%k=1.38e-23;         % Boltzmann Constant
%Temp=300;           % Absolute Temperature in Kelvin
%Cf=5e-12;           % Integrating Capacitance of the first
integrator
%alfa=(1e3-1)/1e3;   % A=Op-amp finite gain (alfa=(A-1)/A ->
ideal op-amp alfa=1)
% alfa=1;
%Amax=1.35;          % Op-amp saturation value [V]
%sr=20e6;            % Op-amp slew rate [V/s]
%GBW=150e6;          % Op-amp GBW [Hz]
%noisel=10e-6;       % 1st int. output noise std. dev.
[V/sqrt(Hz)]
% noisel=0;
%delta=4e-9;         % Random Sampling jitter (std. dev.)
[s] (Boser, Wooley JSSC Dec. 88)
% delta=0;
%b=0.5;              % old b=0.38
%b2=0.5;             % old c1=0.38

%echo off;
finrad=Fin*2*pi;     % Input signal frequency in radians
%

```

```

%
*****
*
%   Calculates SNR and PSD of the bit-stream and of the signal
%
*****
*
%   eval(['y',num2str(i),'=yout;']);
%   eval(['y',num2str(i),'=yout;']);
%
for i=1:5;
%
%eval(['load ', 'y', num2str(i), ';' ]);
eval(['yout=', 'y', num2str(i), ';' ]);
%
%yout=yout-2.5;
%
% cut_dc
% eval(['y',num2str(i),'=yout;']);
% eval(['save ', 'y', num2str(i), ' y', num2str(i), ';' ]);
%
N=length(yout)-1;           % Samples number
%   nper=100;
%   Fin=nper*Fs/N;          % Input signal frequency (Fin = nper*Fs/N)
%Ampl=0.5-pi/256;          % Input signal amplitude [V]
w=whann(N);
%w=ones(1,N);             % Square Window
%echo on;
f=Fin/Fs;                  % Normalized signal frequency
fB=N*bw/Fs;
fBH=N*bw/Fs;              % Base-band frequency bins
fBL=N*f/Fs;
%fBi=1
yy1=zeros(1,N);
yy1=yout(2+Ntransient:1+N+Ntransient)';
%
%
*****
*
% Calculate SNR
%
*****
*
%
[snrdB,ptotdB,psigdB,pnoisedB]=calcSNR(yy1(1:N),f,fB,w,N,Vref);
%[snrdB,ptotdB,psigdB,pnoisedB] = calcSNR2(yy1,f,fBL,fBH,w,N)
%
%SNR(i)=psigdB-pnoisedB;
SNR(i)=snrdB;
% VindB(i)=AmpdB(i);
Rbit(i)=(SNR(i)-1.76)/6.02; % Equivalent resolution in bits
disp (i)
disp (AmpdB(i))
disp (SNR(i))
disp (Rbit(i))
%
figure(1);
%
%clf;
plot(linspace(0,Fs/2,N/2), ptotdB(1:N/2),'r');
hold on;

```

```

title('PSD - Modulador SC 2ª Ordem (detalhe)')
xlabel('Frequencia [Hz]')
ylabel('PSD [dB]')
%axis([0 2*(Fs/R) -200 0]);
axis([0 bw -200 10]);
grid on;
%
figure(2);
semilogx(linspace(0,Fs/2,N/2), ptotdB(1:N/2),'r');
hold on;
title('PSD - Modulador SC 2ª Ordem')
xlabel('Frequencia [Hz]')
ylabel('PSD [dB]')
%axis([0 2*(Fs/R) -200 0]);
axis([0 Fs/2 -200 10]);
grid on;
Vin=ones(1,N/2).*Ampl(i);
Vin=dbV(Vin);
Hz=log10(linspace(0,1,N/2));
snr=ptotdB(1:N/2);
%
%
% figure(3);
% plot3(Hz,Vin,snr,'r');
% hold on;
% grid on;
% title('Modulador 2ª Ordem SC - Medido');
% ylabel('Amplitude Sinal Entrada [dB]');
% zlabel('SNR [dB]');
% xlabel('Frequencia Normalida [log(Hz)]');
%
%axis([0 Fs/2 10 -100 0 -150]);
%
figure(4);
hold on;
subplot(2,2,3);
nbins=200;
[bin1,xx1]=histo(yout*10^12, nbins);
%[bin2,xx2]=histo(y2*10^12, nbins);
%clf;
subplot(1,2,1), plot(xx1, bin1,'r')
grid on;
title('Saída 1º integrador')
xlabel('Corrente [uA]')
ylabel('Ocorrências')
% subplot(1,2,2), plot(xx2, bin2)
% grid on;
% title('Saída 2º integrador')
% xlabel('Corrente [uA]')
% ylabel('Ocorrências')
%
end;
%
% figure(5);
% plot(AmpdB, SNR,'r');
% %hold on;
% grid on;
% title('Faixa Dinâmica - Modulador SC 2ª Ordem');
% xlabel('Amplitude Sinal Entrada [dB]');
% ylabel('SNR [dB]');
%axis([-70 0 0 50]);

```



```

w=whann(N);
%w=ones(1,N);           % Square Window
%echo on;
f=Fin/Fs;               % Normalized signal frequency
fB=N*bw/Fs;
fBH=N*bw/Fs;           % Base-band frequency bins
fBL=N*f/Fs;
%fBi=1
yy1=zeros(1,N);
yy1=yout(2+Ntransient:1+N+Ntransient)';
%
%
*****
*
% Calculate SNR
%
*****
*
%
[snrdB,ptotdB,psigdB,pnoisedB]=calcSNR(yy1(1:N),f,fB,w,N,Vref);
%[snrdB,ptotdB,psigdB,pnoisedB] = calcSNR2(yy1,f,fBL,fBH,w,N)
%
%SNR(i)=psigdB-pnoisedB;
SNR(i)=snrdB;
% VindB(i)=AmpdB(i);
Rbit(i)=(SNR(i)-1.76)/6.02; % Equivalent resolution in bits
disp (i)
disp (AmpdB(i))
disp (SNR(i))
disp (Rbit(i))
%
figure(1);
%
%clf;
plot(linspace(0,Fs/2,N/2), ptotdB(1:N/2));
hold on;
title('PSD - Integradores (detalhe na banda)')
xlabel('Frequência [Hz]')
ylabel('PSD [dB]')
%axis([0 2*(Fs/R) -200 0]);
axis([0 bw -200 0]);
grid on;
h = legend('',' ',' ','1° Integrador','2° Integrador',3);
set(h,'Interpreter','none');
%
%
figure(2);
semilogx(linspace(0,Fs/2,N/2), ptotdB(1:N/2));
hold on;
title('PSD - Integradores')
xlabel('Frequência [Hz]')
ylabel('PSD [dB]')
% axis([0 2*(Fs/R) -200 0]);
axis([0 Fs/2 -200 10]);
grid on;
h = legend('',' ',' ','1° Integrador','2° Integrador',3);
%h = legend('1° integrador','r','2° integrador',4);
set(h,'Interpreter','none');
%
%
Vin=ones(1,N/2).*Amp(i);
Vin=dbV(Vin);

```

```

Hz=log10(linspace(0,1,N/2));
snr=ptotdB(1:N/2);
%
%
% figure(3);
% plot3(Hz,Vin,snr);
% hold on;
% grid on;
% title('Modulador 2ª Ordem SC - Medido');
% ylabel('Amplitude Sinal Entrada [dB]');
% zlabel('SNR [dB]');
% xlabel('Frequencia Normalida [log(Hz)]');
% h = legend('1º integrador','2º integrador',4);
% set(h,'Interpreter','none');
%axis([0 Fs/2 10 -100 0 -150]);
%
%
figure(4)
% subplot(2,2,3);
nbins=200;
%[bin1,xx1]=histo(yout*10^12, nbins);
%[bin2,xx2]=histo(yout*10^12, nbins);
%clf;
% subplot(1,2,1), plot(xx1, bin1)
% grid on;
% title('Saída 1º integrador')
% xlabel('Corrente [uA]')
% ylabel('Ocorrências')
subplot(1,2,2), plot(xx2, bin2)
grid on;
title('Saída 2º integrador');
xlabel('Corrente [uA]');
ylabel('Ocorrências');
% h = legend('1º integrador','2º integrador',4);
% set(h,'Interpreter','none');
%
%
end;
%
%
*****
*
% Display Simulation Parameters
%
*****
*
s0=sprintf('** Simulation Parameters **');
s1=sprintf('  Fs(Hz)=%1.0f',Fs);
s2=sprintf('  Ts(s)=%1.6e',Ts);
s3=sprintf('  Fin(Hz)=%1.4f',Fin);
s4=sprintf('  BW(Hz)=%1.0f',bw);
s5=sprintf('  OSR=%1.0f',R);
s6=sprintf('  Npoints=%1.0f',N);
s7=sprintf('  tsim(sec)=%1.3f',N/Fs);
s8=sprintf('  Nperiods=%1.3f',N*Fin/Fs);
disp(s0)
disp(s1)
disp(s2)
disp(s3)
disp(s4)
disp(s5)

```

```

disp(s6)
disp(s7)
disp(s8)
%
*****
%
*****
*
% 2nd Order Sigma-Delta A/D Modulator
% by S. Brigati Ver.(0.1) 08/04/98
% Adapted by C.A.Prior 03/07/2006.
% The modulator structure is simulated using Simulink
(mod3nd_21_dic.mdl).
% Post-processing of the results is done with Matlab.
% 1. Plots the Power Spectral Density of the bit-stream
% 2. Calculates the SNR
%
*****
*
clear;
load Vout_MOD_FF_01u.txt;
load Vout_MOD_FF_1u.txt;
load Vout_MOD_FF_5u.txt;
load Vout_MOD_FF_10u.txt;
load Vout_MOD_FF_12u.txt;
%
y1=Vout_MOD_FF_01u(:,2);
y2=Vout_MOD_FF_1u(:,2);
y3=Vout_MOD_FF_5u(:,2);
y4=Vout_MOD_FF_10u(:,2);
y5=Vout_MOD_FF_12u(:,2);
%
t0=clock;
%
%
*****
*
% Global Sets
%
*****
*
bw=20.0e3;           % Base-band
R=125;
Fs=R*2*bw;          % Oversampling frequency
Ts=1/Fs;
%N=length(yout)-1;
Fin=10000;
%N=length(yout)-1;  % Samples number
%nper=100;
%Fin=nper*Fs/N;     % Input signal frequency (Fin = nper*Fs/N)
%Ampl=0.5-pi/256;   % Input signal amplitude [V]
%NP=100;            % Number points to calculate Amplitude
%Fin=100;
%Ampl=linspace(dB(10^0),dB(10^-7),NP);
%
%Vin=dBV(linspace(1.5,0,N/2));
%Hz=log10(linspace(0,Fs/2,N/2));
% NP=18;
Ampl=[0.1/15, 1/15, 5/15, 10/15, 12/15];
for i=1:5;
AmpdB(i)=dbv(Ampl(i));

```

```

end;
Vref=2.5;
%
%Ampl=linspace(dB(10^0),dB(10^-7),NP);
Ntransient=0;
%tsim=0.01; % Time simulation
% kT/C noise and op-amp non-idealities
%
%echo on;
%k=1.38e-23; % Boltzmann Constant
%Temp=300; % Absolute Temperature in Kelvin
%Cf=5e-12; % Integrating Capacitance of the first
integrator
%alfa=(1e3-1)/1e3; % A=Op-amp finite gain (alfa=(A-1)/A -> ideal
op-amp alfa=1)
% alfa=1;
%Amax=1.35; % Op-amp saturation value [V]
%sr=20e6; % Op-amp slew rate [V/s]
%GBW=150e6; % Op-amp GBW [Hz]
%noise1=10e-6; % 1st int. output noise std. dev. [V/sqrt(Hz)]
% noise1=0;
%delta=4e-9; % Random Sampling jitter (std. dev.) [s]
(Boser, Wooley JSSC Dec. 88)
% delta=0;
%b=0.5; % old b=0.38
%b2=0.5; % old c1=0.38

%echo off;
finrad=Fin*2*pi; % Input signal frequency in radians
%
%
*****
*
% Calculates SNR and PSD of the bit-stream and of the signal
%
*****
*
% eval(['y',num2str(i),'=yout;']);
% eval(['y',num2str(i),'=yout;']);
%
for i=1:5;
%
%eval(['load ', 'y', num2str(i), ';' ]);
eval(['yout=', 'y', num2str(i), ';' ]);
%
yout=yout-2.5;
%
% cut_dc
% eval(['y',num2str(i),'=yout;']);
% eval(['save ', 'y', num2str(i), ' y', num2str(i), ';' ]);
%
N=length(yout)-1; % Samples number
% nper=100;
% Fin=nper*Fs/N; % Input signal frequency (Fin = nper*Fs/N)
%Ampl=0.5-pi/256; % Input signal amplitude [V]
w=whann(N);
%w=ones(1,N); % Square Window
%echo on;
f=Fin/Fs; % Normalized signal frequency
fB=N*bw/Fs;
fBH=N*bw/Fs; % Base-band frequency bins

```



```

fBL=N*f/Fs;
%fBi=1
yy1=zeros(1,N);
yy1=yout(2+Ntransient:1+N+Ntransient)';
%
%
*****
*
% Calculate SNR
%
*****
*
%
[snrdB,ptotdB,psigdB,pnoisedB]=calcSNR(yy1(1:N),f,fB,w,N,Vref);
%[snrdB,ptotdB,psigdB,pnoisedB] = calcSNR2(yy1,f,fBL,fBH,w,N)
%
%SNR(i)=psigdB-pnoisedB;
SNR(i)=snrdB;
% VindB(i)=AmpdB(i);
Rbit(i)=(SNR(i)-1.76)/6.02; % Equivalent resolution in bits
disp (i)
disp (AmpdB(i))
disp (SNR(i))
disp (Rbit(i))
%
figure(1);
%
%clf;
plot(linspace(0,Fs/2,N/2), ptotdB(1:N/2));
hold on;
title('PSD - Modulador SI-FF (detalhe na banda)')
xlabel('Frequencia [Hz]')
ylabel('PSD [dB]')
axis([0 2*(Fs/R) -200 0]);
axis([0 bw -120 10]);
grid on;
%
figure(2);
semilogx(linspace(0,Fs/2,N/2), ptotdB(1:N/2));
hold on;
title('PSD - Modulador SI-FF')
xlabel('Frequencia [Hz]')
ylabel('PSD [dB]')
axis([0 2*(Fs/R) -200 0]);
axis([0 Fs/2 -120 10]);
grid on;
%
Vin=ones(1,N/2).*Amp1(i);
Vin=dbV(Vin);
Hz=log10(linspace(0,1,N/2));
snr=ptotdB(1:N/2);
%
%
figure(3);
plot3(Hz,Vin,snr);
hold on;
grid on;
title('Modulador 2ª Ordem SI-FF ');
ylabel('Amplitude Sinal Entrada [dB]');
zlabel('SNR [dB]');
xlabel('Frequencia Normalizada [log(Hz)]');

```

```

%axis([0 Fs/2 10 -100 0 -150]);
%
end;
%
figure(4);
plot(AmpdB, SNR);
%hold on;
grid on;
title('Faixa Dinâmica - Modulador SI-FF');
xlabel('Amplitude Sinal Entrada [dB]');
ylabel('SNR [dB]');
axis([-60 0 0 60 ]);
%
%
% figure(5)
% subplot(2,2,3);
% nbins=200;
% [bin1,xx1]=histo(y1.*10^6, nbins);
% [bin2,xx2]=histo(y2.*10^6, nbins);
% clf;
% subplot(1,2,1), plot(xx1, bin1)
% grid on;
% title('Saída 1° integrador')
% xlabel('Corrente [uA]')
% ylabel('Ocorrências')
% subplot(1,2,2), plot(xx2, bin2)
% grid on;
% title('Saída 2° integrador')
% xlabel('Corrente [uA]')
% ylabel('Ocorrências')
%
*****
*
% Display Simulation Parameters
%
*****
*
s0=sprintf('** Simulation Parameters **');
s1=sprintf('   Fs(Hz)=%1.0f',Fs);
s2=sprintf('   Ts(s)=%1.6e',Ts);
s3=sprintf('   Fin(Hz)=%1.4f',Fin);
s4=sprintf('   BW(Hz)=%1.0f',bw);
s5=sprintf('   OSR=%1.0f',R);
s6=sprintf('   Npoints=%1.0f',N);
s7=sprintf('   tsim(sec)=%1.3f',N/Fs);
s8=sprintf('   Nperiods=%1.3f',N*Fin/Fs);
disp(s0)
disp(s1)
disp(s2)
disp(s3)
disp(s4)
disp(s5)
disp(s6)
disp(s7)
disp(s8)
%
%
*****
*
function [snrdB,ptotdB,psigdB,pnoisedB] = calcSNR(vout,f,fB,w,N,Vref)
% SNR calculation in the time domain (P. Malcovati, S. Brigati)
% vout: Sigma-Delta bit-stream taken at the modulator output

```

```

% f:    Normalized signal frequency (fs -> 1)
% fB:   Base-band frequency bins
% w:    windowing vector
% N:    samples number
% Vref: feedback reference voltage
%
% snrdB:    SNR in dB
% ptotdB:   Bit-stream power spectral density (vector)
% psigdB:   Extracted signal power spectral density (vector)
% pnoisedB: Noise power spectral density (vector)
%
fB=ceil(fB);
signal=(N/sum(w))*sinusx(vout(1:N).*w,f,N); % Extracts sinusoidal
signal
%signal=sinusx(vout(1:N).*w,f,N); % Extracts sinusoidal signal
noise=vout(1:N)-signal; % Extracts noise components
stot=(abs(fft((vout(1:N).*w)'))).^2; % Bit-stream PSD
ssignal=(abs(fft((signal(1:N).*w)'))).^2; % Signal PSD
snoise=(abs(fft((noise(1:N).*w)'))).^2; % Noise PSD
pwsignal=sum(ssignal(1:fB)); % Signal power
pwnoise=sum(snoise(1:fB)); % Noise power
snr=pwsignal/pwnoise;
snrdB=dbp(snr);
norm=sum(stot)/Vref^2; % PSD normalization
if nargout > 1
    ptot=stot/norm;
    ptotdB=dbp(ptot);
end

if nargout > 2
    psig=ssignal/norm;
    psigdB=dbp(psig);
end

if nargout > 3
    pnoise=snoise/norm;
    pnoisedB=dbp(pnoise);
end

```