

**UNIVERSIDADE FEDERAL DE SANTA MARIA
CENTRO DE TECNOLOGIA
PROGRAMA DE PÓS-GRADUAÇÃO EM INFORMÁTICA**

**Amplificador de Instrumentação em Modo Corrente
com Entrada e Saída *Rail-to-Rail***

DISSERTAÇÃO DE MESTRADO

Filipe Costa Beber Vieira

**Santa Maria, RS, Brasil
2009**

**Amplificador de Instrumentação em Modo Corrente
com Entrada e Saída *Rail-to-Rail***

por

Filipe Costa Beber Vieira

Dissertação apresentada ao Curso de Mestrado do Programa de Pós-Graduação
em Informática,
Área de Concentração em Microeletrônica e Processamento de Sinais, da
Universidade Federal de Santa Maria (UFSM, RS),
como requisito parcial para obtenção do grau de
Mestre em Computação.

Orientador: Prof. Dr. Cesar Ramos Rodrigues

Santa Maria, RS, Brasil

2009

**Universidade Federal de Santa Maria
Centro de Tecnologia
Programa de Pós-Graduação em Informática**

A Comissão Examinadora, abaixo assinada,
aprova a Dissertação de Mestrado

**Amplificador de Instrumentação em Modo Corrente
com Entrada e Saída *Rail-to-Rail***

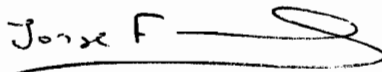
elaborada por
Filipe Costa Beber Vieira

como requisito parcial para obtenção do grau de
Mestre em Computação

COMISSÃO EXAMINADORA:



Prof. Dr. Cesar Ramos Rodrigues
(Presidente/Orientador)



Prof. Dr. Jorge Manuel Ribeiro Fernandes, (IST/Portugal)



Prof. Dr. Giovanni Baratto, (UFSM)



Prof. Dr. João Baptista dos Santos Martins, (UFSM)

Santa Maria, 5 de janeiro de 2009

Aos meus pais,

Roque e Deli

AGRADECIMENTOS

Reservo este espaço do meu trabalho para lembrar que tudo o que alcançamos é resultado da combinação do nosso esforço e do ambiente em que vivemos, formado por pessoas. Gostaria de agradecer a algumas das várias pessoas que foram essenciais para a conquista deste trabalho:

Ao meu amigo e orientador Professor Cesar Ramos Rodrigues, pela orientação, confiança, apoio e dedicação.

Ao meu amigo e Professor João Baptista dos Santos Martins, pelo incentivo, apoio e confiança depositados.

Ao meu amigo e colega Cesar Augusto Prior, pela amizade e pela grande parceria nos circuitos analógicos.

Ao grupo de microeletrônica (GMICRO), pelo ambiente de amizade e de coleguismo vivenciados durante os cinco anos em que ali permaneci.

Ao Programa de Pós-Graduação em Informática, pelo apoio e pela oportunidade.

À Universidade Federal de Santa Maria, que juntamente com a cidade de Santa Maria, me acolheram durante meu ensino médio, graduação e mestrado, em quase 10 anos da minha vida. Aos inúmeros amigos que fiz nesta cidade.

Ao CNPq, que através do Programa Nacional de Microeletrônica fomentou parcialmente este trabalho.

À minha amada Aline, por todo o amor, carinho, incentivo, apoio, paciência e compreensão durante toda esta jornada.

À minha família, Roque e Deli, Frederico e Patrícia, Renan e Camille, por todo estímulo, esforço, sacrifício, exemplo, ensinamentos, paciência, compreensão, dedicação, educação, oportunidades, incentivo e carinho. Pelo amor e apoio incondicional.

RESUMO

Dissertação de Mestrado
Programa de Pós-Graduação em Informática
Universidade Federal de Santa Maria

Amplificador de Instrumentação em Modo Corrente com entrada e saída *Rail-to-Rail*

AUTOR: Filipe Costa Beber Vieira

ORIENTADOR: Cesar Ramos Rodrigues

Data e Local da Defesa: Santa Maria, 5 de janeiro de 2009

Esta dissertação tem como objetivo o desenvolvimento de um amplificador de instrumentação em modo corrente com uma ampla faixa de entrada em modo comum. Esta característica é obtida graças ao emprego de estágios de amplificação *rail-to-rail* na entrada e a geração do sinal de saída através do espelhamento da corrente diretamente dos *gates* dos transistores do estágio ao invés da alternativa clássica, onde espelhos são ligados em série e degradam a excursão do sinal de saída. Com esta proposta, é possível a implementação de ampops com entrada e saída *rail-to-rail*. A principal contribuição deste trabalho é analisar as vantagens e desvantagens da utilização destas soluções na implementação de um amplificador de instrumentação com entrada *rail-to-rail*. A funcionalidade da topologia proposta é demonstrada através dos resultados medidos de um circuito integrado fabricado. Este primeiro protótipo, apesar do bom funcionamento em toda a faixa de entrada em modo comum, apresentou valores insatisfatórios de CMRR (*Common Mode Rejection Ratio*) e de V_{OS} (Tensão de *offset*), o que levou a um aprofundamento no estudo e modelagem destas características. A partir disto, o circuito foi re-projetado e os resultados de simulação demonstram melhorias bastante significativas em suas características.

Palavras-chave: Circuitos integrados analógicos, Amplificador de instrumentação em modo corrente, Faixa de entrada em modo comum, Taxa de rejeição em modo comum, Amplificador *rail-to-rail*.

ABSTRACT

Master Dissertation

Programa de Pós-Graduação em Informática
Universidade Federal de Santa Maria

Current Mode Instrumentation Amplifier with Rail-to-Rail Input and Output

AUTHOR: Filipe Costa Beber Vieira

ADVISER: Cesar Ramos Rodrigues

Date and Place of the Examination: Santa Maria, January 5th, 2009

This dissertation is aimed at the development of a current mode instrumentation amplifier (CMIA) with a high common mode input range. This characteristic is obtained due to the rail-to-rail operational amplifiers (opamps). These opamps are built with rail-to-rail differential amplifiers as input stages, and with cascode-based output stages, which are able to copy its current by adding identical branches and connecting their gates without the voltage degradation as the known CMIA topologies. The main contribution of this work is the development of a rail-to-rail current mode instrumentation amplifier, analyzing the pros and cons of this topology. The functionality of the proposed topology is shown through measured results of a manufactured integrated circuit. This first prototype, although it was operated in a large input common mode range, presented insufficient values of CMRR (Common Mode Rejection Ratio) and V_{OS} (Offset voltage). These two characteristics were studied and modeled, the instrumentation amplifier was re-designed, and simulated results demonstrate important improvements.

Keywords: Analog integrated circuits, Current mode instrumentation amplifier, Common mode input range, Common mode rejection ration, *Rail-to-rail* amplifier.

LISTA DE ILUSTRAÇÕES

Figura 2.1 – Topologias de espelhos de corrente de baixa tensão.....	20
Figura 2.2 – Estágio de entrada <i>rail-to-rail</i> com pares diferenciais complementares, (a) circuito básico, (b) gm vs. $V_{i,cm}$, e (c) faixa de modo comum de um par diferencial n e p (V_{CMN} e V_{CMP}).....	21
Figura 2.3 - Princípio de funcionamento de um estágio de entrada <i>rail-to-rail</i>	22
Figura 2.4 – Princípio de operação do circuito de controle de gm (DUQUE-CARRILO, 2002).	23
Figura 2.5 - Circuito de Controle de gm	24
Figura 2.6 - Circuito do Amplificador Diferencial de entrada.	26
Figura 3.1 - Ampop com espelho de corrente em série (PRIOR, 2004).....	29
Figura 3.2 – Estágio de saída dos ampop e seu espelhamento de corrente.	30
Figura 3.3 - Estrutura do ampop.	31
Figura 3.4 - Amplificador de Instrumentação.	31
Figura 3.5 - <i>Layout</i> do Amplificador de Instrumentação.	34
Figura 3.6 - Foto do <i>chip</i> do AI fabricado.....	34
Figura 3.7 – (a) gm_N , gm_P , gm_T , e (b) V_{BN} vs. $V_{i,cm}$	35
Figura 3.8 – Resposta em frequência dos ampops.....	35
Figura 3.9 – Ganho DC do AI vs. $V_{i,cm}$	36
Figura 3.10 - V_{OS} simulado do AI.	37
Figura 3.11 – CMRR simulado do AI.	37
Figura 3.12 – Resposta em frequência do AI (medido).....	38
Figura 3.13 – Ganho vs. $V_{i,cm}$ (medido).....	38
Figura 3.14 – V_{OS} medido de três <i>chips</i> do AI.	39
Figura 3.15 – CMRR medido de três <i>chips</i> do AI.	39
Figura 3.16 – Comparação da V_{OS} medida com a simulada.....	40
Figura 3.17 – Comparação do CMRR medido com o simulado.	40
Figura 4.1 – Amplificador Operacional.....	42
Figura 4.2 – Ampop em configuração seguidor de tensão.	43
Figura 4.3 – CMIA analisado em Su (1995).	45
Figura 4.4 – CMIA analisado neste trabalho.....	46
Figura 4.5 – Estágio transcondutor de saída do AI.....	48

Figura 4.6 - Análise de V_{OS} de um estágio diferencial de entrada simplificado.	52
Figura 4.7 - Análise de CMRR de um estágio diferencial de entrada simplificado.	53
Figura 5.1 – Fluxo de projeto de circuitos integrados analógicos (ALLEN, 2002)(CORTES 2004).	55
Figura 5.2 – Dimensionamento dos componentes no projeto de circuitos analógicos.	56
Figura 5.3 - Fluxo de projeto apresentado por Palmisiano (2001).	56
Figura 5.4 – Fluxo de projeto clássico de Allen (2002).	57
Figura 5.5 - Fluxo de projeto do AI.	58
Figura 5.6 – Fluxo de projeto para dimensionamento do AI.	59
Figura 5.7 – Estágio de entrada <i>folded-cascode</i> otimizado para o par diferencial p.	63
Figura 5.8 – Estágio de entrada dos ampops.	65
Figura 5.9 – Circuito de Controle de gm	66
Figura 5.10 – Ampop <i>buffer</i> de saída.	68
Figura 5.11 – Amplificador de Instrumentação.	69
Figura 5.12 – Amplificador de Instrumentação e sua conexão com os <i>pads</i>	70
Figura 5.13 – <i>Layout</i> de um par diferencial n de um ampop.	72
Figura 5.14 – <i>Layout</i> Final do AI.	73
Figura 5.15 – <i>Layout</i> com <i>Pads</i> do AI.	73
Figura 6.1 – Circuito de teste de transcondutância do estágio de entrada dos ampops.	75
Figura 6.2 - gm e V_{BN} vs. $V_{i,cm}$ do estágio de entrada dos ampops.	75
Figura 6.3 – Circuito de teste de ganho de malha aberta do estágio de entrada dos ampops.	75
Figura 6.4 – Circuito de teste de CMRR e V_{OS} do estágio de entrada dos ampops.	76
Figura 6.5 – gm do estágio de entrada dos ampops @ $V_{i,cm}=0V$	76
Figura 6.6 – Ganho diferencial do estágio de entrada dos ampops @ $V_{i,cm}=0V$	77
Figura 6.7 – CMRR do estágio de entrada dos ampops @ $V_{i,cm}=0V$	77
Figura 6.8 – V_{OS} do estágio de entrada dos ampops @ $V_{i,cm}=0V$	78
Figura 6.9 – Variação do ganho vs. $V_{i,cm}$ do estágio de entrada dos ampops.	78
Figura 6.10 – Variação de CMRR vs. $V_{i,cm}$ do estágio de entrada dos ampops.	79
Figura 6.11 – Variação de V_{OS} vs. $V_{i,cm}$ do estágio de entrada dos ampops.	79
Figura 6.12 – Circuito de teste de λ do estágio de saída dos ampops e espelhos de corrente.	80
Figura 6.13 – Variação de λ_1 vs. $V_{i,cm}$ do ampop.	80
Figura 6.14 – Variação de λ_2 vs. $V_{i,cm}$ do ampop.	81
Figura 6.15 – Circuito de teste de CMIR, ganho DC e resposta em frequência do ampop.	81

Figura 6.16 – Faixa de entrada em modo comum do ampop.	82
Figura 6.17 – Resposta em frequência do ampop @ $V_{i,cm}=0V$	82
Figura 6.18 – Circuito de teste de CMRR e V_{OS} do ampop.	83
Figura 6.19 – Ganho diferencial do ampop @ $V_{i,cm}=0V$	83
Figura 6.20 – CMRR do ampop @ $V_{i,cm}=0V$	84
Figura 6.21 – V_{OS} do ampop @ $V_{i,cm}=0V$	84
Figura 6.22 – CMRR dos ampops.	85
Figura 6.23 – Variação do ganho diferencial vs. $V_{i,cm}$ do ampop.	85
Figura 6.24 – Variação de CMRR vs. $V_{i,cm}$ do ampop.	86
Figura 6.25 – Variação de V_{OS} vs. $V_{i,cm}$ do ampop.	86
Figura 6.26 – Variação de α vs. $V_{i,cm}$ do ampop.	87
Figura 6.27 - Teste de ganho de malha aberta do ampop <i>buffer</i> de saída.	87
Figura 6.28 – Resposta em frequência do estágio <i>buffer</i> de saída @ $V_{i,cm}=0V$	88
Figura 6.29 – Configuração do AI para testar ganho diferencial, resposta em frequência, excursão de saída, consumo de potência, THD e ruído.	89
Figura 6.30 - Análise Transiente do AI @ $V_{i,cm}=0V$	89
Figura 6.31 – Excursão de Saída do AI @ $V_{i,cm}=0V$	90
Figura 6.32 – Resposta em frequência do AI @ $V_{i,cm}=0V$	90
Figura 6.33 – Ganho do AI vs. $V_{i,cm}$	91
Figura 6.34 – Configuração para obter o CMRR e a V_{OS} do AI.	91
Figura 6.35 – CMRR do AI @ $V_{i,cm}=0V$	92
Figura 6.36 – V_{OS} do AI @ $V_{i,cm}=0V$	92
Figura 6.37 – Resposta em frequência do CMRR do AI.	93
Figura 6.38 - Variação de CMRR vs. $V_{i,cm}$ do AI.	93
Figura 6.39 - Variação de V_{OS} vs. $V_{i,cm}$ do AI.	94
Figura 6.40 – Circuito de Teste para obter o PSRR do AI.	94
Figura 6.41 – Resposta em frequência do PSRR do AI.	95
Figura 6.42 – PSRR do AI @ $V_{i,cm}=0V$	95
Figura 6.43 – g_m , V_{BN} e g_{ds} da fonte de corrente do par diferencial p vs. $V_{i,cm}$	99
Figura 6.44 – <i>Slew rate</i> do ampop de entrada do AI.	100

LISTA DE TABELAS

Tabela 3.1 – Dimensões dos transistores do circuito de controle de gm	32
Tabela 3.2 – Dimensões dos transistores do amplificador diferencial <i>rail-to-rail</i>	32
Tabela 3.3 – Dimensões dos transistores do estágio de saída e espelhos de corrente.	32
Tabela 3.4 – Tensões e correntes de Polarização.	33
Tabela 3.5 – Resultados do amplificador de instrumentação.	41
Tabela 5.1 – Dimensões dos transistores do amplificador diferencial <i>rail-to-rail</i>	65
Tabela 5.2 – Dimensões dos transistores do circuito de controle de gm	66
Tabela 5.3 – Dimensões do ampop <i>buffer</i> de saída.	68
Tabela 5.4 – Dimensões do estágio de saída e espelhos de corrente.	69
Tabela 5.5 – Tensões e correntes de Polarização.	70
Tabela 6.1 – Resumo das Características do ampop.	96
Tabela 6.2 – Resumo das Características do ampop <i>buffer</i> de saída.	96
Tabela 6.3 – Resumo das Características do AI.	97
Tabela 6.4 – Consumo de potência de cada bloco.	97
Tabela 6.5 – Comparação entre algumas características de amplificadores de instrumentação.	101

LISTA DE ABREVIATURAS E SIGLAS

σ	Desvio Padrão da medida
α	Função de transferência do ampop
λ	Função de transferência do espelho de corrente
μ	Valor médio da medida
A_c	Ganho de modo comum do ampop
A_d	Ganho de modo diferencial do ampop
AI	Amplificador de Instrumentação
Ampop	Amplificador operacional
CI	Circuito Integrado
CMIA	<i>Current Mode Instrumentation Amplifier</i> (Amplificador de Instrumentação em modo corrente)
CMIR	<i>Common mode input range</i> (Faixa de entrada em modo comum)
CMRR	<i>Common Mode Rejection Ratio</i> (Taxa de Rejeição em Modo Comum)
$CMRR_{AO}$	CMRR de um ampop
GBW	Produto ganho-banda
G_C	Ganho de modo comum do AI
g_{cc}	Transcondutância de modo comum
g_{cd}	Transcondutância de modo diferencial para modo-comum
G_D	Ganho de modo diferencial do AI
g_{dc}	Transcondutância de modo-comum para diferencial
g_{dd}	Transcondutância de modo diferencial
g_{ds}	Condutância Dreno-Fonte
g_m	Transcondutância
g_{mIN}	Transcondutância do estágio de entrada do ampop
g_{mOUT}	Transcondutância do estágio de saída do ampop
I-V	Conversão de Corrente para Tensão.
MF	Margem de Fase
PSRR	<i>Power Supply Rejection Ratio</i> (Razão de rejeição da fonte)
SR	<i>Slew-Rate</i> (Razão de subida/descida)
THD	<i>Total Harmonic Distortion</i> (Distorção Harmônica Total)
V_c	Tensão de entrada em modo comum do ampop

V_d	Tensão de entrada em modo diferencial do ampop
V_{DS}	Tensão dreno-fonte
$V_{DS,SAT}$	Mínima tensão V_{DS} para atingir a saturação
V_{GS}	Tensão porta-fonte
V-I	Conversão de Tensão para Corrente
$V_{i,cm}$	Tensão de entrada em modo comum
V_{ic}	Tensão de entrada em modo comum do AI
V_{id}	Tensão de entrada diferencial do AI
$V_{OS,RTI}$	Tensão de offset referida à entrada (<i>referred to input</i>)
$V_{OS,RTI,AO}$	Tensão de offset referida à entrada de um ampop
$V_{OS,RTO}$	Tensão de offset referida à saída (<i>referred to output</i>)
$V_{OS,RTO,AO}$	Tensão de offset referida à saída de um ampop

SUMÁRIO

1.	INTRODUÇÃO.....	16
1.1.	Organização da dissertação	17
2.	TÉCNICAS DE CIRCUITOS DE BAIXA TENSÃO	18
2.1.	Topologias de espelhos de corrente de baixa tensão	18
2.2.	Estágios de entrada <i>rail-to-rail</i>	20
2.2.1.	Circuito de controle de <i>gm</i>	22
2.2.2.	Estágio de entrada do amplificador <i>rail-to-rail</i>	25
3.	AMPLIFICADOR DE INSTRUMENTAÇÃO EM MODO CORRENTE	27
3.1.	Descrição do circuito	29
3.1.1.	Estágio de saída dos ampops	30
3.1.2.	Ampop	30
3.1.3.	Amplificador de instrumentação	31
3.2.	Resultados obtidos	35
4.	ANÁLISE E MODELAGEM DO AI.....	42
4.1.	Ampop em configuração de ganho unitário	42
4.2.	CMRR do AI	44
4.3.	Tensão de <i>offset</i> do AI.....	50
4.4.	Análise do CMRR e da V_{OS} em um estágio diferencial de entrada.....	51
5.	METODOLOGIA DE PROJETO	54
5.1.	Fluxo de projeto clássico de ampops de dois estágios.....	54
5.2.	Fluxo de projeto do AI.....	57
5.3.	Projeto do AI	62
5.3.1.	Projeto do espelho de corrente.....	67
5.3.2.	Projeto do ampop <i>buffer</i> de saída	67
5.3.3.	Amplificador de instrumentação	68
5.4.	<i>Layout</i>	71
6.	RESULTADOS OBTIDOS E DISCUSSÕES	74
6.1.	Estágio de entrada dos ampops.....	74
6.2.	Estágio de saída dos ampops e espelhos de corrente.....	79
6.3.	Amplificador operacional	81
6.4.	Ampop de saída	87

6.5.	Amplificador de instrumentação	88
6.6.	Discussões	96
7.	CONCLUSÕES	102
7.1.	Trabalhos futuros	103
	BIBLIOGRAFIA	105
	ANEXOS	108
	Anexo A: <i>Netlist</i> do amplificador de instrumentação	108
	Anexo B: Ponto de operação dos transistores do AI para $V_{i,cm}=0V$	111

1. INTRODUÇÃO

Amplificadores de instrumentação (AI) são topologias de amplificação que buscam atingir algumas características melhores do que um único amplificador operacional (ampop) pode apresentar. Sua utilização se dá em ambientes onde se deseja amplificar um sinal diferencial de baixa amplitude atenuando o sinal de modo comum presente, o que requer do AI boas características de impedância de entrada, taxa de rejeição de modo comum (CMRR – *Common Mode Rejection Ratio*), tensão de *offset* (V_{OS}) e ruído.

Dentre uma vasta gama de aplicações, AIs são blocos bastante utilizados, por exemplo, em sistema de aquisição de sinais, instrumentação médica, condicionamento de sinais de alta e baixa velocidade, aplicações de vídeo, sinais automotivos e controle de motores.

Implementações clássicas de amplificadores de instrumentação usualmente empregam associações de ampops utilizando uma rede de resistores. Para garantir o bom casamento desta rede, do qual dependem as características de CMRR e tensão de *offset* do AI, os resistores são implementados em um filme sobre o silício e, posteriormente ajustados utilizando corte a laser, incrementando os custos de fabricação do *chip*.

Para contornar os altos custos destes componentes e adequar-se à evolução da tecnologia CMOS, novas topologias para amplificadores de instrumentação são apresentadas (Toumazou, 1989). São circuitos que permitem a programação do ganho de forma independente do casamento entre resistores e tiram proveito das características da tecnologia MOS padrão. Nesta abordagem utilizam-se técnicas de espelhamento de corrente, onde uma tensão diferencial de entrada é convertida em corrente e transferida à saída (por espelhamento), quando então é novamente convertida em tensão no circuito de saída. Estes são chamados amplificadores de instrumentação em modo corrente (CMIA – *Current Mode Instrumentation Amplifier*)

Entretanto, com a crescente redução da tensão de alimentação dos circuitos CMOS, a maximização de excursão de tensão dos sinais na entrada e na saída dos amplificadores tornou-se indispensável. Em ampops, uma ampla excursão de saída pode facilmente ser alcançada através da utilização de estágios de classe AB, enquanto que uma ampla faixa de entrada em modo comum (CMIR – *Common Mode Input Range*) pode ser alcançada utilizando-se estágios de entrada *rail-to-rail*.

Em implementações de CMIAs conhecidas na literatura, os espelhos de corrente são conectados em série com os ampops, que possuem apenas um par diferencial de entrada. Estes dois fatores fazem com que a entrada em modo comum seja bastante degradada.

Diante destes fatos, esta dissertação tem por objetivo estudar e abordar técnicas de baixa tensão aplicáveis em amplificadores de instrumentação em modo corrente, de modo a maximizar a faixa de tensão admissível de entrada em modo comum.

A contribuição deste trabalho consiste em alcançar este objetivo, através da utilização de amplificadores diferenciais de entrada *rail-to-rail*, associados a espelhos de corrente baseados em circuitos *cascode* conectados aos *gates* dos transistores de saída, em opção à conexão série.

1.1. Organização da dissertação

Esta dissertação está organizada da seguinte forma: O capítulo 1 apresenta a contextualização e os objetivos deste trabalho. Como um dos objetivos deste trabalho é obter um amplificador de instrumentação com ampla faixa de entrada em modo comum, algumas técnicas de baixa tensão, que incluem estágios de amplificação *rail-to-rail* e espelhos de corrente, são apresentadas e analisadas no capítulo 2. No capítulo 3 implementa-se um amplificador de instrumentação com entrada e saída *rail-to-rail*. Um circuito integrado é projetado e prototipado, apresentando um baixo CMRR e uma alta V_{OS} . Tal resultado faz com que estas duas características do AI sejam estudadas e modeladas no capítulo 4. Baseado nisto apresenta-se no capítulo 5 a metodologia de projeto adequada para esta topologia, assim como o re-projeto do AI. O capítulo 6 apresenta os resultados finais e as discussões, e o capítulo 7 apresenta as conclusões desta dissertação.

2. TÉCNICAS DE CIRCUITOS DE BAIXA TENSÃO

A crescente demanda por circuitos de baixa tensão (*LV – Low Voltage*), acarretada pela crescente necessidade de circuitos com baixo consumo de potência (*LP – Low Power*), tem sido uma necessidade cada vez maior do mercado de circuitos integrados (CI), principalmente em equipamentos portáteis.

Ao diminuir o consumo de potência de um circuito analógico qualquer, aborda-se principalmente a sua tensão de alimentação e a sua corrente de polarização. Entretanto, a diminuição destas duas grandezas tem um forte impacto no desempenho de todas as características do circuito. No caso de amplificadores, por exemplo, a corrente de polarização tem influência direta na sua faixa de frequência e no seu ruído. Já o efeito da diminuição da tensão de alimentação implica principalmente na excursão de tensão dos sinais e afeta de maneira mais drástica a faixa de entrada em modo comum. Para minimizar estas restrições é necessário ampliar a faixa de excursão dos sinais relativa aos *rails* (V_{DD} e V_{SS}), tanto na entrada como na saída. As topologias estudadas para minimizar esse comportamento são chamadas na literatura como circuitos com faixa de excursão *rail-to-rail*.

Neste trabalho desenvolve-se a implementação de um CMIA de baixa tensão, objetivando-se uma ampla faixa de entrada em modo comum. Tais características tornam indispensáveis os estudos de espelhos de corrente de baixa tensão, assim como os estágios diferenciais de entrada *rail-to-rail*, os quais são abordados a seguir.

2.1. Topologias de espelhos de corrente de baixa tensão

No projeto de um amplificador de instrumentação em modo corrente, a escolha da topologia do espelho corrente é um fator muito importante. Sua topologia, assim como seu dimensionamento afetam diretamente o desempenho do AI, já que ele será conectado em série com o estágio de saída de cada ampop. Os principais requisitos necessários para a escolha do espelho de corrente em um CMIA são: baixa impedância de entrada, alta impedância de saída e queda de tensão mínima na entrada do espelho de corrente ($V_{IN,MIN}$). Considerando que a demanda atual de circuitos exige uma robustez em baixas tensões de alimentação e, sendo os espelhos de corrente blocos tão importantes no condicionamento de sinais analógicos, projetá-los em baixas tensões tem sido uma preocupação muito grande (RAJPUT, 2002) (RAMIRES-ÂNGULO, 2004).

Na Figura 2.1 são apresentados alguns dos espelhos de corrente mais conhecidos na literatura. Na análise que segue, considera-se que os transistores dos espelhos de corrente operam na região de saturação, onde $V_{DS,SAT}$ é a mínima tensão dreno-fonte (V_{DS}) necessária para o transistor operar em saturação, e V_{TH} é a tensão de threshold dos transistores.

A Figura 2.1 (a) mostra o mais simples e rudimentar espelho de corrente. Esta topologia possui uma alta impedância de entrada e tensão mínima de operação dada por $V_{IN,MIN}=V_{DS,SAT}+V_{TH}$, sendo pouco adequada para AIs.

A Figura 2.1 (b) é um espelho de corrente do tipo *cascode* (BRUNN, 1995), o qual apresenta boas características de impedância de entrada e saída, porém apresentando uma alta queda de tensão ($V_{IN,MIN} = 2.V_{DS,SAT} + V_{TH}$).

No circuito da Figura 2.1 (c) as tensões de dreno-fonte dos transistores do espelho são comparadas e forçadas a serem iguais, aumentando desta forma, a precisão da cópia da corrente (YOU, 1997). Em Ramirez-Angulo (2004), este circuito é analisado e comparado com outros espelhos de corrente de baixa tensão, onde todos são considerados bons candidatos na implementação de um CMIA, em termos de impedância de entrada e saída. Sua queda de tensão é baixa, $V_{IN,MIN}=V_{DS,SAT}$. O circuito extra, necessário para controlar o espelho, pode ser considerado como uma pequena desvantagem desta topologia.

A Figura 2.1 (d) apresenta um espelho de corrente *bulk-driven* (BLALOCK, 1995), o qual apresenta boa impedância de entrada e saída. Entretanto, a transcondutância do substrato dos transistores (g_{m_b}) é muito menor que a transcondutância padrão (g_m), sendo este mais efetivo em sinas DC.

A Figura 2.1 (e) apresenta um espelho de corrente de baixa tensão (RAMIREZ-ANGULO, 1994) que utiliza um *level-shifter* entre a porta e o dreno do transistor de entrada, resultando em $V_{IN,MIN}=V_{DS,SAT}$. Neste caso, o *level shifter* é implementado utilizando um estágio seguidor de fonte.

O espelho de corrente da Figura 2.1 (b) foi utilizado em implementações de CMIA apresentadas em Harb (1999), Harb (2004) e Prior (2008). A conexão série entre o espelho de corrente com um estágio de saída *common-source* (RAZAVI, 2001) causa uma redução na excursão da tensão do estágio de saída, e desta forma limitando a CMIR.

A implementação de AI descrita em Douglas (2004) utiliza um espelho de corrente de baixa tensão como mostrado na Figura 2.1 (e). O espelho é ligado em série com o estágio de saída, um seguidor de tensão implementado com transistores FETs “naturais” ou “nativos”. Um transistor FET “natural” ou “nativo” é um transistor obtido através de uma etapa

adicional no processo de fabricação para o aumento da dopagem no canal destes transistores. O objetivo é a redução das suas tensões de threshold.

Considerando os espelhos de corrente analisados na Figura 2.1, pode-se concluir, baseado principalmente na queda de tensão do espelho, que as topologias mais adequadas na implementação de um AI são os espelhos da Figura 2.1 (c) e da Figura 2.1 (e). Além disto, os espelhos analisados em Ramirez-Angulo (2004), os quais têm o mesmo princípio de funcionamento da Figura 2.1 (c), também podem ser considerados bons candidatos.

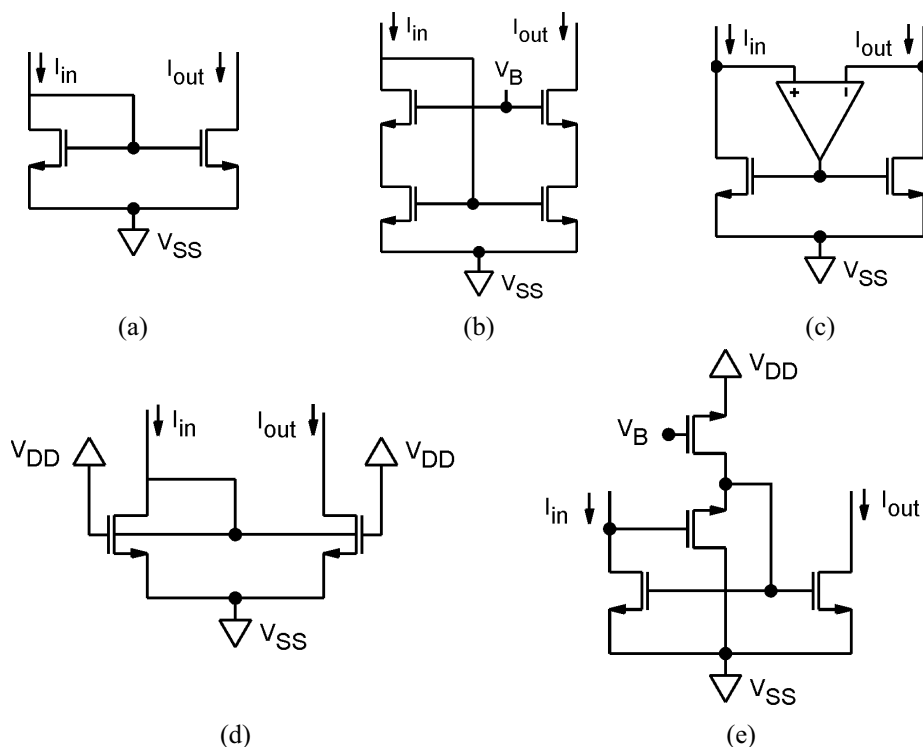


Figura 2.1 – Topologias de espelhos de corrente de baixa tensão.

2.2. Estágios de entrada *rail-to-rail*

A crescente redução da tensão de alimentação dos circuitos CMOS faz com que a faixa admissível de tensão de entrada em modo comum seja também diminuída, o que tem suscitado o desenvolvimento de topologias com estágios de entrada *rail-to-rail*. No projeto de amplificadores em baixa tensão, existem soluções satisfatórias de estágios de saída que suprem com facilidade um bom aproveitamento da faixa de excursão do sinal. Entretanto, o desenvolvimento de ampops capazes de manter um funcionamento robusto para uma ampla faixa de tensão em modo comum tem demandado diferentes tipos de soluções entre pesquisadores e projetistas, como Ahmadi (2003), Duque-Carrilo (2003) e Yan (2005).

O funcionamento do estágio de entrada para tensões de modo comum abrangendo toda a faixa compreendida entre os limites da alimentação (*rail-to-rail*) é obtido com a ligação em

paralelo de dois pares diferenciais: um com transistores de canal n e outro com transistores de canal p. Enquanto o par diferencial de canal n funciona para uma faixa de tensões em modo comum de um patamar mínimo ($V_{CM,MIN,N}$) até o limite superior da alimentação (V_{DD}), o par diferencial de canal p funciona adequadamente desde o limite inferior da alimentação (V_{SS}) até o limite superior de modo comum máximo do sinal de entrada ($V_{CM,MAX,P}$).

O principal problema da ligação dos dois pares diferenciais em paralelo decorre principalmente das variações do ganho do estágio (YAN, 2005). A Figura 2.2 (a) apresenta um estágio de entrada simples com dois pares diferenciais complementares, um de canal n e outro de canal p. Na região II da Figura 2.2 (b), correspondente à faixa intermediária da entrada em modo comum, a transcondutância total é aproximadamente igual a duas vezes o valor de um único par na região I ou III, pois existe sobreposição entre a faixa de modo comum do par diferencial n e do par diferencial p, como ilustrado na Figura 2.2 (c). Este fato resulta na variação de algumas características do estágio: ganho DC, largura de banda de frequência unitária, *slew-rate*, e compensação de frequência não-ótima (YAN, 2005).

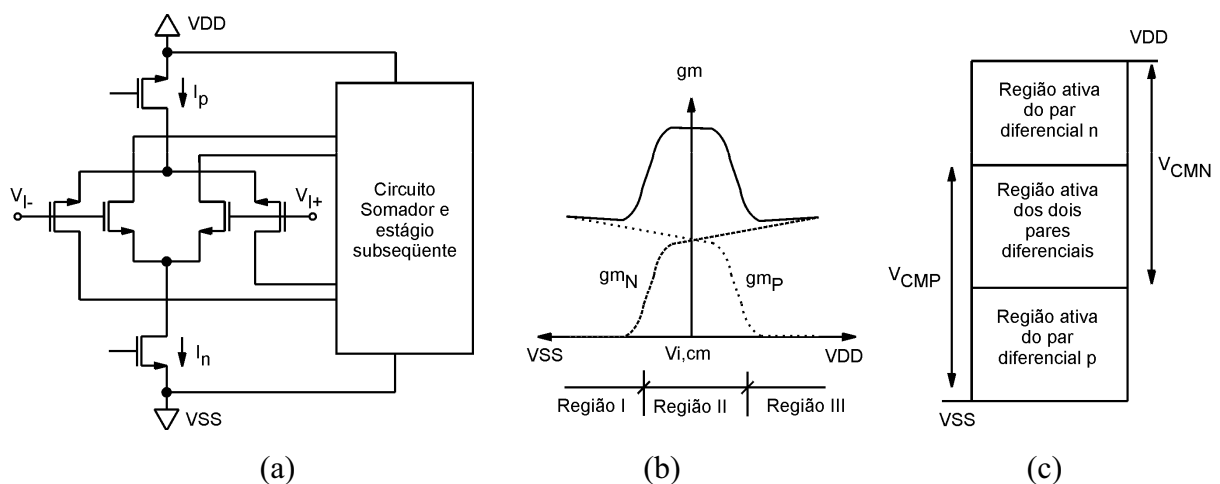


Figura 2.2 – Estágio de entrada *rail-to-rail* com pares diferenciais complementares, (a) circuito básico, (b) g_m vs. $V_{i,cm}$, e (c) faixa de modo comum de um par diferencial n e p (V_{CMN} e V_{CMP}).

Algumas das mais conhecidas técnicas de controle de g_m utilizadas em estágios diferenciais de entrada *rail-to-rail* são analisadas e comparadas em Yan (2000) e Yan (2005). A técnica reportada por Duque-Carrilo (2002), a qual foi utilizada neste trabalho, é descrita a seguir e é composta pelo estágio diferencial de entrada *rail-to-rail* e o seu respectivo circuito de controle de g_m .

2.2.1. Circuito de controle de gm

Para manter o ganho do estágio constante ao longo da faixa de tensão de entrada em modo comum ($V_{i,cm}$), algumas soluções são propostas (AHMADI, 2003) (DUQUE-CARRILO, 2002) (YAN, 2005). Mantendo-se inalterada a fonte de corrente de um dos pares diferenciais e monitorando-se a entrada em modo comum do circuito, controla-se a fonte de corrente do outro par diferencial. Desta forma, a soma das transcondutâncias dos dois pares diferenciais será mantida praticamente constante.

A Figura 2.3 ilustra o princípio de funcionamento de um estágio de entrada *rail-to-rail*, onde os pares diferenciais de canal p e de canal n são dispostos em paralelo e conectados por um circuito somador de correntes.

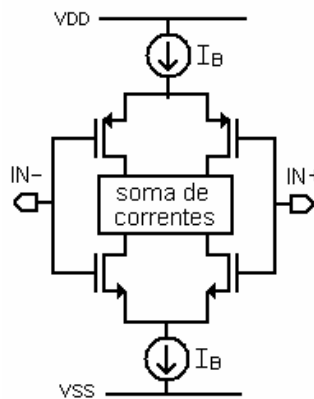


Figura 2.3 - Princípio de funcionamento de um estágio de entrada *rail-to-rail*.

O controle do ganho total do estágio mostrado na Figura 2.4 é baseado no laço de realimentação negativa imposta por:

$$gm_{REF} = gm_P + gm_N \quad (2.1)$$

Onde gm_{REF} é a transcondutância de um par diferencial operando sob polarização constante ($T_{P,REF}$), independente da entrada em modo comum, e gm_P e gm_N são as transcondutâncias dos pares diferenciais p e n da entrada (T_P e T_N).

O princípio de realimentação negativa é ilustrado na Figura 2.4. O par diferencial $T_{P,REF}$ e T_P são idênticos ao par diferencial de entrada de canal p, enquanto que T_N é idêntico ao par de entrada de canal n. Todos estes pares são desbalanceados pela tensão V , pequena o suficiente para assegurar a operação dos transistores na região linear.

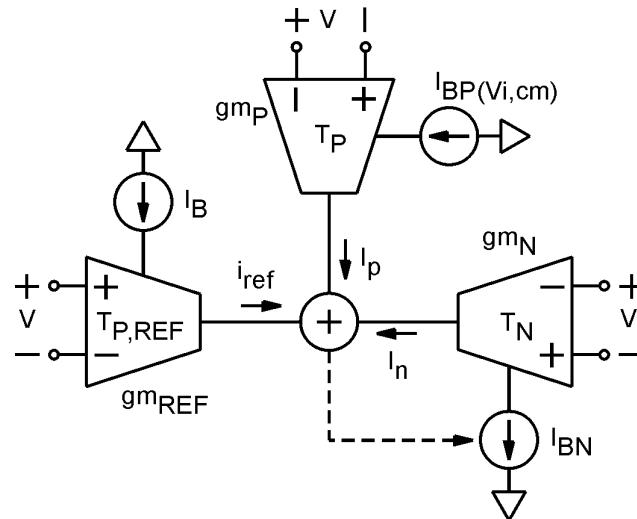


Figura 2.4 – Princípio de operação do circuito de controle de gm (DUQUE-CARRILO, 2002).

O par diferencial T_P é polarizado com uma réplica da corrente de polarização (I_{BP}) do par diferencial de canal p, os quais têm sua operação dependente da tensão de entrada em modo comum. $T_{P,REF}$ é polarizado com uma réplica da corrente nominal de polarização (I_B) do par de canal p, e portanto a entrada em modo comum não afeta seu gm . Com as polarizações mostradas na Figura 2.4, as correntes dos pares diferenciais são somadas, gerando uma tensão no nó da soma, a qual irá controlar a corrente (I_{BN}), como indicado na linha tracejada. Desta forma, a soma (i_N e i_P) é sempre constante (i_{REF}), pois i_N é manipulada pelo circuito somador, conforme a variação da corrente i_P .

Utilizando uma réplica da corrente I_{BN} para polarizar o par diferencial de canal n do estágio de entrada consegue-se manter a transcondutância gm_{REF} constante.

Na Figura 2.5, apresenta-se o circuito de controle de gm proposto por Duque-Carrilo (2002). Pode-se observar o par diferencial $T_{P,REF}$ composto pelos transistores M9 e M10, o par diferencial T_P composto pelos transistores M12 e M13, e o par diferencial T_N composto pelos transistores M24 e M25. A entrada em modo comum do circuito é sentida pelo par diferencial de canal p, formados pelos transistores M3 e M4.

Neste trabalho, uma pequena modificação foi feita, inserindo-se uma fonte de corrente flutuante, composta pelos transistores M18 e M19, para uma maior estabilidade da polarização (AHMADI, 2003).

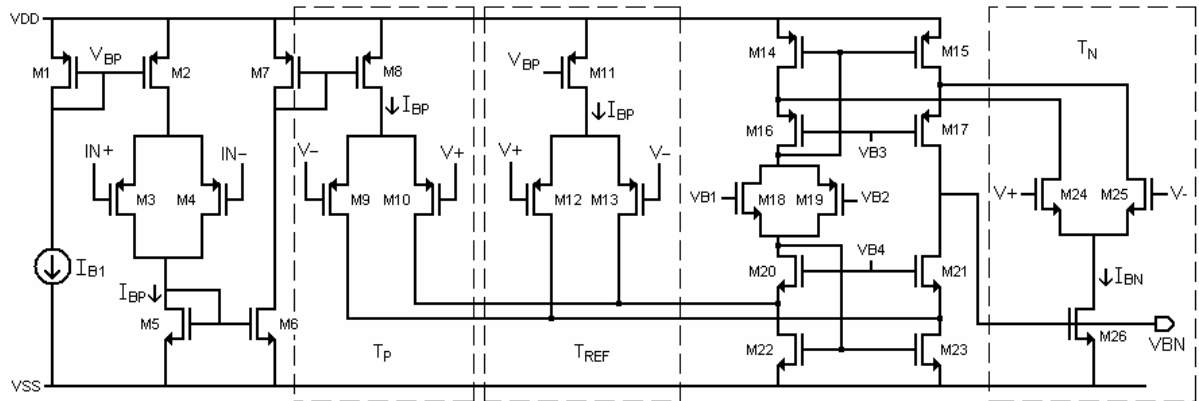


Figura 2.5 - Circuito de Controle de gm .

A operação do circuito de controle de gm apresentado na Figura 2.5 pode ser mais facilmente compreendida da maneira que segue: este circuito é naturalmente um circuito amplificador, onde o sinal de saída é a tensão V_{BN} , que irá controlar a fonte de corrente de um par diferencial do estágio de entrada do ampop. Como qualquer outro amplificador, a sua tensão de saída (V_{BN}) é igual ao produto de uma tensão de entrada diferencial (V), da transcondutância do par diferencial (gm_{PAR}) e de um fator de ganho, o qual pode ser representado por uma resistência equivalente do circuito (R_{EQ}):

$$V_{BN} = V \cdot gm_{PAR} \cdot R_{EQ} \quad (2.2)$$

Aplicando o princípio da superposição, pode-se observar a influência em V_{BN} devido a cada par diferencial, ou seja:

$$V_{BN,P} = -V \cdot gm_P \cdot R_{EQ} \quad (2.3)$$

$$V_{BN,REF} = V \cdot gm_{REF} \cdot R_{EQ} \quad (2.4)$$

$$V_{BN,N} = -V \cdot gm_N \cdot R_{EQ} \quad (2.5)$$

Observa-se que a tensão V para o par diferencial N é invertida com relação aos outros dois.

Calculando a soma dos três termos de V_{BN} , tem-se que:

$$V_{BN} = V \cdot R_{EQ} \cdot (gm_{REF} - gm_N - gm_P) \quad (2.6)$$

A relação entre a transcondutância gm_N do transistor com a tensão de polarização V_{BN} (RAZAVI, 2001) pode ser aproximada por:

$$gm_N = \mu \cdot C_{ox} \cdot \frac{W}{L} \cdot (V_{BN} - V_{TH}) = \beta \cdot (V_{BN} - V_{TH}) \quad (2.7)$$

Para valores V_{BN} acima de V_{TH} , gm_N é proporcional à V_{BN} :

$$gm_N \approx \beta V_{BN} \quad (2.8)$$

Substituindo a equação (2.8) em (2.6) tem-se que:

$$\frac{gm_N}{\beta} = V.R_{EQ} \cdot (gm_{REF} - gm_N - gm_P) \quad (2.9)$$

$$gm_N = V.R_{EQ} \cdot \beta \cdot (gm_{REF} - gm_N - gm_P) \quad (2.10)$$

$$gm_N = \frac{V.R_{EQ} \cdot \beta}{1 + V.R_{EQ} \cdot \beta} \cdot (gm_{REF} - gm_P) \quad (2.11)$$

Considerando $V.R_{EQ} \cdot \beta \gg 1$, conclui-se de uma maneira mais simples, o que apresentou a equação (2.1), reportada por Duque-Carrilo (2002):

$$gm_N = gm_{REF} - gm_P \quad (2.12)$$

2.2.2. Estágio de entrada do amplificador *rail-to-rail*

A Figura 2.6 apresenta o amplificador diferencial *rail-to-rail* usado como estágio de entrada de amplificadores operacionais. Trata-se de um estágio amplificador *folded-cascode* largamente conhecido na literatura (RAZAVI, 2001), dotado de dois pares diferenciais de entrada (M33 a M36). Estes pares diferenciais são conectados a um somador de corrente (M38 a M41, M44 a M47), com uma fonte de corrente flutuante (M42 e M43). Esta fonte de corrente flutuante, de acordo com Ahmadi (2003), reduz a variação do ponto de polarização dos transistores do estágio *folded-cascode*, minimizando as variações dos pólos e dos zeros do circuito.

Por inspeção da Figura 2.6 pode-se perceber que a fonte de corrente do par diferencial de canal p (M32) sai naturalmente da região de saturação com o aumento da entrada em modo comum. Neste ponto, o circuito de controle de gm começa a atuar, polarizando a fonte de corrente do par diferencial de canal n (M37) e mantendo a soma das transcondutâncias dos pares diferenciais constante.

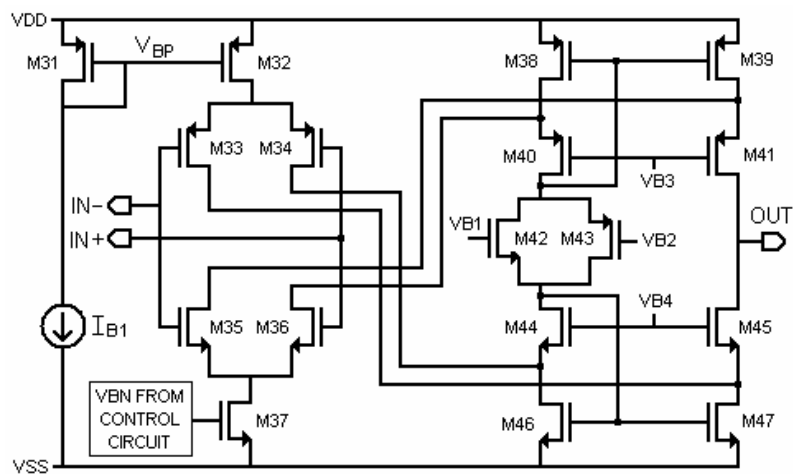


Figura 2.6 - Circuito do Amplificador Diferencial de entrada.

3. AMPLIFICADOR DE INSTRUMENTAÇÃO EM MODO CORRENTE

Um amplificador de instrumentação é um bloco com ganho em malha fechada que possui uma entrada diferencial, balanceada e com alta impedância. Diferentemente de um ampop, onde o ganho de malha fechada é determinado por resistores externos conectados entre suas entradas e sua saída, um AI emprega um mecanismo de realimentação interno. Com o sinal de entrada aplicado nas duas entradas diferenciais, o ganho pode ser configurado interna ou externamente através de um resistor de ganho, o qual é isolado dos sinais de entrada (KITCHIN, 2006).

Em sua função mais importante, um AI tem uma alta rejeição a sinais de modo comum, amplificando apenas o sinal diferencial aplicado, ao longo da banda de interesse. Esta é a principal razão pela qual se utilizam AIs ao invés de simples ampops. Devido a esta característica, mesmo os melhores ampops ficam longe de serem efetivos na extração de sinais fracos (KITCHIN, 2006). Assim, o termo Razão de Rejeição de Modo Comum ou simplesmente CMRR (*Common Mode Rejection Ratio*), descreve quantitativamente esta característica do amplificador. O CMRR é normalmente expresso em decibels (dB) e é dado pela razão entre o ganho do amplificador para sinais diferenciais (A_D) e o ganho para sinais de modo comum (A_C), como expresso a seguir:

$$CMRR = \frac{A_D}{A_C} \quad (3.1)$$

$$CMRR_{dB} = 20 \cdot \log \left(\frac{A_D}{A_C} \right) \quad (3.2)$$

O mecanismo de realimentação interno dos AIs podem ser realizado de duas formas: a primeira e mais difundida emprega uma rede de resistores e a segunda emprega circuitos que operam em modo corrente.

No caso da utilização de uma rede de resistores para a construção de um AI, um bom CMRR depende diretamente do casamento entre os resistores utilizados, o que torna este tipo de amplificador pouco atrativo para uma implementação monolítica, pois os ajustes necessários (ajustes a laser em filmes finos) aumentam os custos de fabricação. Além disso, em processos CMOS comumente utilizados, estes mecanismos eficientes de ajuste de resistores são raramente disponíveis.

Com o objetivo da adequação aos processos CMOS e com o intuito da redução do custo de ajuste de resistores, uma segunda classe de AIs foi apresentada, onde os circuitos

operam em modo corrente. O fato de se utilizar circuitos que operam em modo corrente ao invés da rede resistiva como a outra topologia, faz com que o casamento entre partes simétricas seja atingido sem a exigência de ajustes após a fabricação (KITCHIN, 2006).

No âmbito dos AIs que operam em modo corrente, vários trabalhos foram apresentados ao longo dos últimos anos. Duas técnicas foram propostas inicialmente por Toumazou (1989), utilizando a técnica de *current-sensing*, e por Wilson (1989), utilizando *current conveyors* de segunda geração. Esta última topologia, por se tratar de circuitos simples, alcança bons resultados de CMRR com uma boa faixa de frequência relativamente ao seu consumo de potência.

Entretanto, a diminuição de tensão de alimentação dos últimos tempos tornou indispensável à excursão *rail-to-rail* de sinais de entrada e saída em algumas aplicações de AI (KITCHIN, 2006). Neste requisito, a técnica baseada em *current-sensing* (TOUMAZOU, 1989) é bastante adequada, pois é baseada em ampops, nos quais podem ser aplicadas técnicas bastante difundidas para aumentar sua CMIR.

Os CMIRs baseados em Toumazou (1989) usualmente utilizam dois ampops configurados como seguidores de tensão como estágio de entrada. Se os ampops são construídos com apenas um par diferencial, evidencia-se sua operação limitada em termos de CMIR. Além disto, a utilização de espelhos de corrente em série com os ampops degrada ainda mais o CMIR (HARB, 1999) (HARB, 2004) (PRIOR, 2008).

A Figura 3.1 apresenta o circuito implementado em Prior (2004) e Prior (2008) na implementação de um AI. Trata-se de um ampop formado pelos transistores MX0 à MX7 e de um espelho de corrente *cascode* formado por MX8 e MX9. Observa-se que a limitação superior da entrada em modo comum do ampop, devido à limitação do par diferencial de par p é dada por $V_{GS,MX2} + V_{DS,MX5}$. Já a limitação inferior da excursão de saída do ampop é devido ao estágio de saída do ampop em série com o espelho de corrente e é dada por $V_{DS,MX7} + V_{GS,MX9}$. Considerando tensões médias de V_{GS} iguais a 0.6V, e $V_{DS}=0.15V$, temos que o limite superior da entrada em modo comum do ampop resulta em $0.6+0.15=0.75V$. Já a limitação inferior da excursão de saída se dá por $0.15+0.6=0.75V$. Como os ampops do AI devem ser ligados como configuração de ganho unitário, considerando que o circuito seja alimentado por $V_{DD}=1.5V$ e $V_{SS}=-1.5V$, a faixa de entrada em modo comum fica restrita a $V_{DD}-0.75V$ a $V_{SS}+0.75V$, ou seja, 0.75 a -0.75V, o que representa apenas 50% da tensão de alimentação (3V).

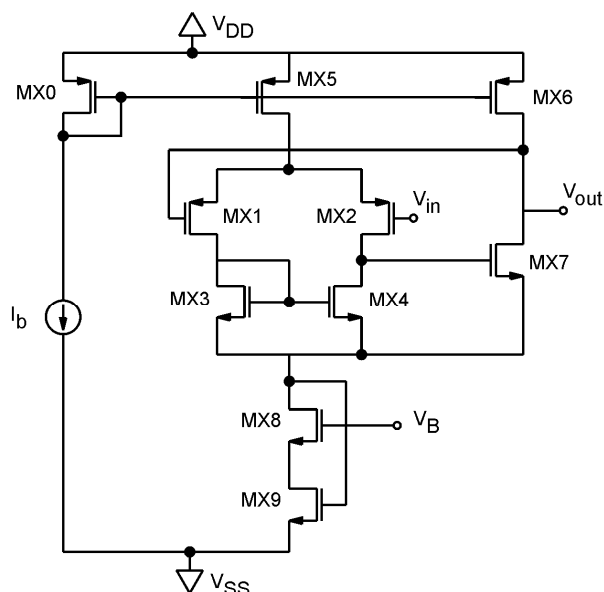


Figura 3.1 - Ampop com espelho de corrente em série (PRIOR, 2004).

Abaixo é propõe-se uma solução para aumentar a faixa de entrada em modo comum de um CMIA.

3.1. Descrição do circuito

Objetivando uma maior CMIR, os esforços devem se concentrar em dois pontos principais: aumentar a entrada em modo comum dos ampops e diminuir a queda de tensão de entrada dos espelhos de corrente.

Um ampop tem sua entrada em modo comum melhorada através da utilização de dois pares diferenciais complementares conectados em paralelo. Estes estágios são utilizados com circuitos que mantêm constante o g_m total do estágio, a fim de diminuir problemas dinâmicos do ampop. A topologia de estágio de entrada *rail-to-rail* descrita no capítulo anterior será utilizada no desenvolvimento deste AI.

Na implementação de CMIAs, os espelhos de corrente são utilizados em série com os ampops. Espelhos de corrente largamente conhecidos como o espelho *cascode* (BRUNN, 1995) são utilizados nestes casos, pela simplicidade, bom desempenho e boa linearidade na cópia da corrente. Entretanto, a queda de tensão na entrada dos espelhos degrada a entrada em modo comum dos AIs.

Desta forma, em Prior (2006) propôs-se uma nova abordagem em termos de amplificadores de instrumentação em modo corrente. A idéia principal é diminuir ao máximo a queda de tensão do espelho de corrente, associado ao aumento da entrada em modo comum

dos ampops. Surgiu então, a proposta de utilizar como estágio de saída dos ampops um estágio de saída baseado em circuitos *cascode*, que naturalmente pode operar como um bom espelho de corrente.

3.1.1. Estágio de saída dos ampops

Como a corrente de saída dos ampops deve ser copiada e o estágio de saída deve ter uma excursão *rail-to-rail*, o estágio de saída baseado em espelhos *cascode* foi adotado e é apresentado na Figura 3.2. Conectando-se M51 e M52 à M61 e M62 respectivamente, a corrente I_A é copiada do estágio de saída sem a queda de tensão observada quando há um espelho de corrente em série com o ampop (HARB, 1999) (HARB, 2004) (PRIOR, 2008). A excursão de saída limitada deste estágio, a qual é igual a $2 \cdot V_{DS,SAT}$ irá determinar a CMIR do AI.

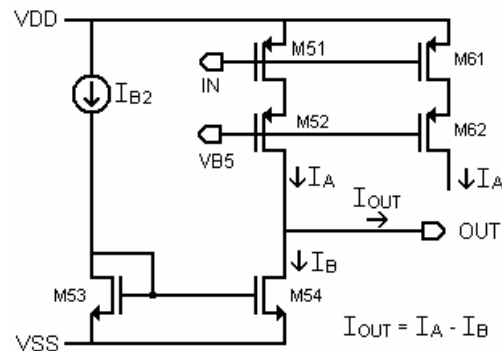


Figura 3.2 – Estágio de saída dos ampops e seu espelhamento de corrente.

3.1.2. Ampop

O ampop utilizado na implementação do CMIA é apresentado na Figura 3.3. O estágio de entrada é formado por dois pares diferenciais complementares, onde o par diferencial n é polarizado por um circuito de controle de g_m . As topologias de estágio diferencial de entrada *rail-to-rail* e circuito de controle de g_m utilizadas nesta dissertação são as descritas nas seções 2.2.1 e 2.2.2. Após o estágio de entrada, utiliza-se o estágio de saída baseado em circuitos *cascode* apresentado na seção 3.1.1. Na compensação do ampop é adotada a abordagem clássica de Miller para amplificadores de dois estágios, através da adição de um capacitor entre o nó de saída e o nó da entrada do estágio de saída (ALLEN, 2002).

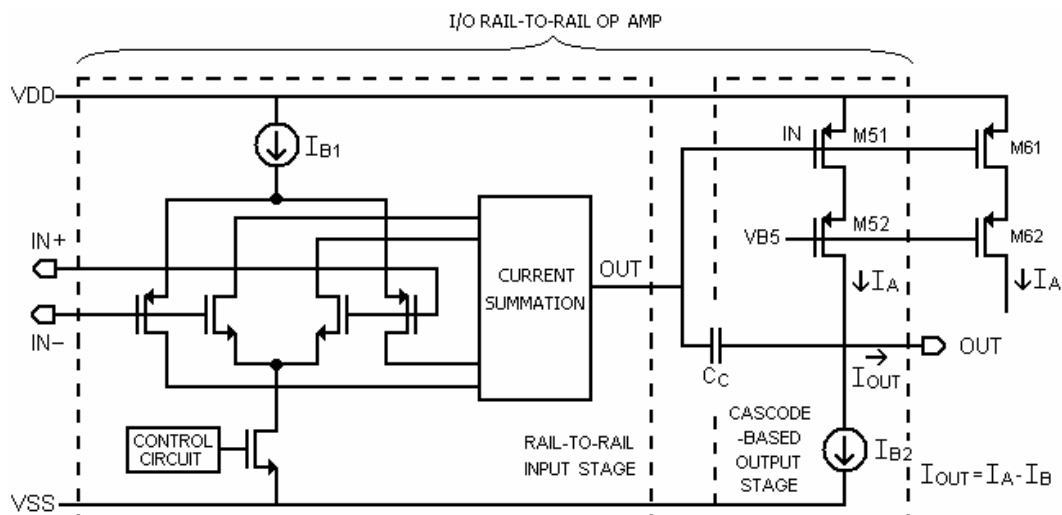


Figura 3.3 - Estrutura do ampop.

3.1.3. Amplificador de instrumentação

O amplificador de instrumentação é apresentado na Figura 3.4 e é implementado conectando-se os estágios de saída dos dois ampos de entrada do AI a um somador de corrente. A corrente resultante desta operação irá fluir através do resistor R_G , convertendo corrente em tensão no nó de saída do AI.

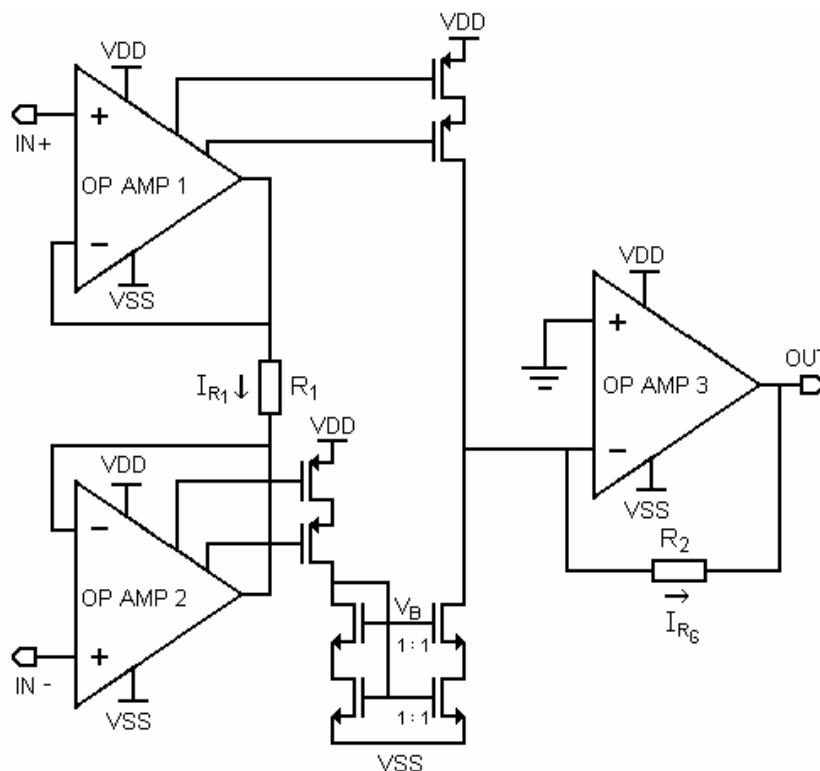


Figura 3.4 - Amplificador de Instrumentação.

Para solucionar o problema da excursão de saída limitada do AI reportado por Prior (2004) e Prior (2006), devido a baixa capacidade dos espelhos de corrente em excursionar tensões, o ampop 3 foi configurado como amplificador de transcondutância. Desta forma, um nó de “terra virtual” é criado na saída dos dois espelhos de corrente.

O ganho de tensão do amplificador de instrumentação é dado pela razão de dois resistores que podem ser externos ou internos ao AI:

$$A_v = \frac{R_G}{R_I} \quad (3.3)$$

O circuito apresentado na Figura 3.4 e descrito acima foi projetado e prototipado a fim de comprovar a teoria desenvolvida. O seu projeto objetivou alcançar uma ampla CMIR, para um ganho de 2000 vezes (66dB), e para um consumo inferior a 200 μ W. A tecnologia utilizada foi a XC06 da XFAB com tamanho mínimo de transistor de 0.6 μ m. As dimensões dos transistores encontram-se nas tabelas 3.1 a 3.4.

Tabela 3.1 – Dimensões dos transistores do circuito de controle de *gm*.

Transistor	W(μ m)/L(μ m)
M1, M2, M7, M8, M11	5/40
M3, M4, M9, M10, M12, M13	20/2
M5, M6	5/30
M14-M23	20/2
M24, M25	20/2
M26	5/40

Tabela 3.2 – Dimensões dos transistores do amplificador diferencial *rail-to-rail*.

Transistor	W(μ m)/L(μ m)
M31, M32	5/40
M33, M34, M35, M36	20/2
M37	5/40
M38-M41	20/2
M42, M43	4/30
M44-M47	20/2

Tabela 3.3 – Dimensões dos transistores do estágio de saída e espelhos de corrente.

Transistor	W(μ m)/L(μ m)
M51, M52	30/5
M53, M54	20/30
M61-M64	30/5
M71-M74	30/2
M51, M52	30/5
M53, M54	20/30

Tabela 3.4 – Tensões e correntes de Polarização.

Fonte de Polarização	W(μm)/L(μm)
VB1	0.966V
VB2	0.419V
VB3, VB4	0V
IB1	1.5 μA
IB2	2.5 μA
VB1	0.966V

A partir das dimensões projetadas para os transistores, foi realizada a etapa de *layout*, o qual é apresentado na Figura 3.5. O circuito foi prototipado e a Figura 3.6 apresenta uma foto do *chip* obtida com o auxílio de um microscópio eletrônico. A área ocupada pelo *chip*, desconsiderando a área dos *pads*, é de 590 μm x 320 μm , o que representa 0.188mm². Técnicas de *layout* como centróide comum e interdigitamento de transistores foram utilizadas nos pares diferenciais e espelhos de corrente, além de uma constante preocupação com a simetria do circuito.

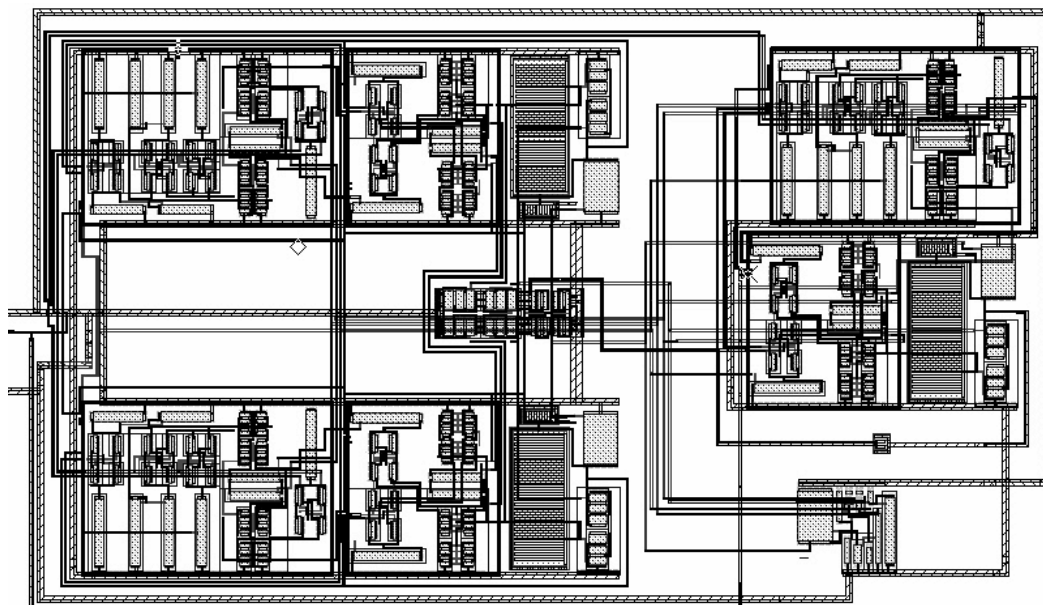


Figura 3.5 - *Layout* do Amplificador de Instrumentação.

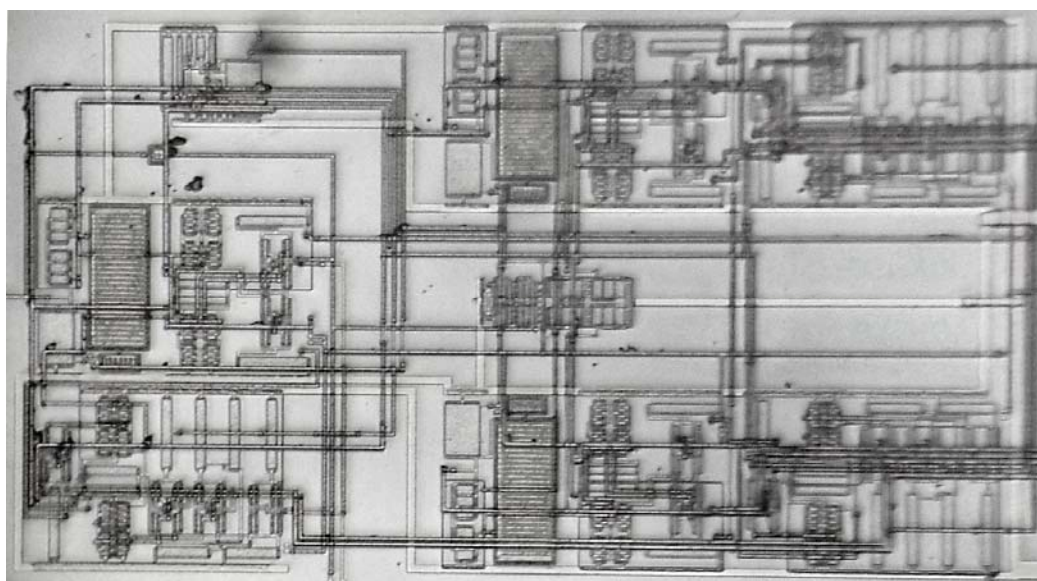


Figura 3.6 - Foto do *chip* do AI fabricado.

3.2. Resultados obtidos

O circuito foi submetido aos testes padrões necessários para se obter as características de desempenho de um amplificador qualquer. As simulações foram realizadas em nível de estágio de entrada do ampop, ampop e AI.

A Figura 3.7 apresenta uma análise do g_m do estágio de entrada do ampop. Observa-se ainda, a tensão V_{BN} , operando no controle da soma das transcondutâncias dos dois pares diferenciais e mantendo-a constante.

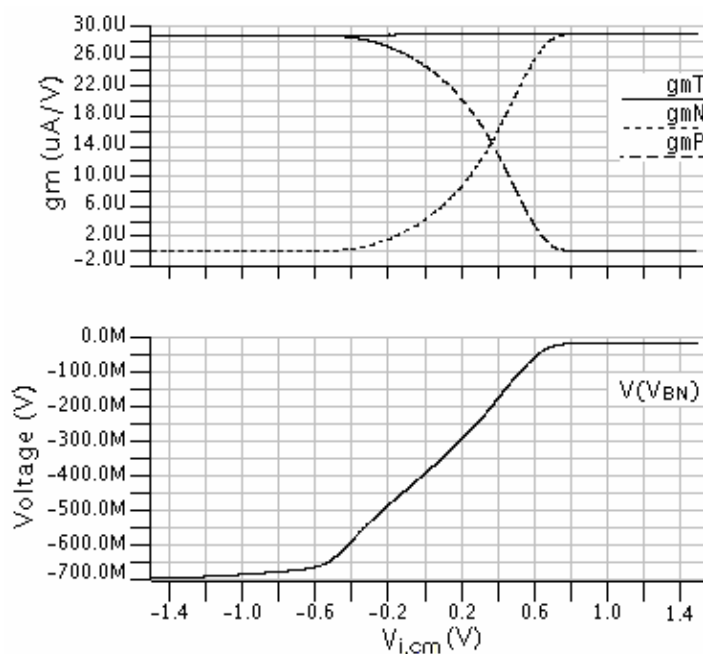


Figura 3.7 – (a) g_{mN} , g_{mP} , g_{mT} , e (b) V_{BN} vs. $V_{i,cm}$.

Na Figura 3.8 observa-se a resposta em frequência do ampop. O ganho DC é de 166dB, e o produto ganho-banda é de 625kHz, com margem de fase de 61°.

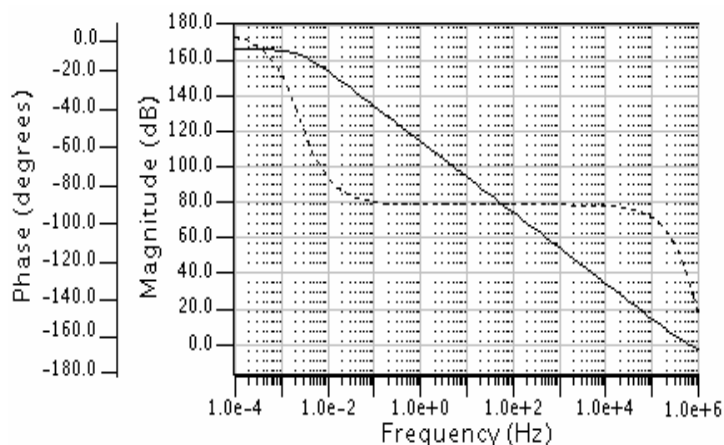


Figura 3.8 – Resposta em frequência dos ampops.

O amplificador de instrumentação foi simulado com uma configuração de resistores de $R_1=10k\Omega$ e $R_2=10M\Omega$, o que de acordo com a equação (3.3), representa um ganho de tensão de 2000 vezes ou 66dB. Nestas condições, o consumo de potência AI foi de $149 \mu W$, a excursão de saída de $V_{SS}+50mV$ a $V_{DD}-50mV$, a frequência a -3dB de 70kHz, o ruído referido a entrada de $478nV/\sqrt{Hz}$ e o PSRR (*Power Supply Rejection Ratio* – Razão de rejeição da fonte) maior que 100dB.

Assim como mostrado na Figura 3.9, o ganho DC configurado para 66dB permanece constante na faixa de entrada em modo comum de -1.3 a 1.3V e denota a funcionalidade da topologia apresentada. Tal fato foi interpretado como sendo a faixa de entrada em modo comum do AI e servirá como métrica comparativa com outros AIs.

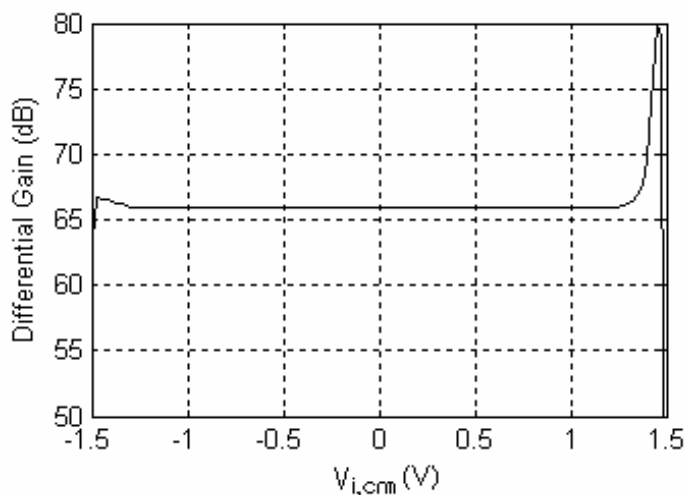


Figura 3.9 – Ganho DC do AI vs. $V_{i,cm}$.

A Figura 3.10 e a Figura 3.11 apresentam, respectivamente, os resultados de tensão de *offset* e CMRR do AI. Tais resultados foram obtidos utilizando simulações de Monte Carlo com 100 rodadas, incluindo variação de processo e de descasamento. A fim de uma visualização melhor, apresentam-se três curvas: o valor médio da medida (μ), a soma do valor médio com o desvio padrão da medida ($\mu+\sigma$) e o valor da medida subtraído do desvio padrão ($\mu-\sigma$). Para $V_{i,cm}=0V$, temos uma V_{OS} de $-0.83mV$ com desvio padrão de $8.39mV$ e um CMRR médio de $50.62dB$ com um desvio padrão de $9.96dB$.

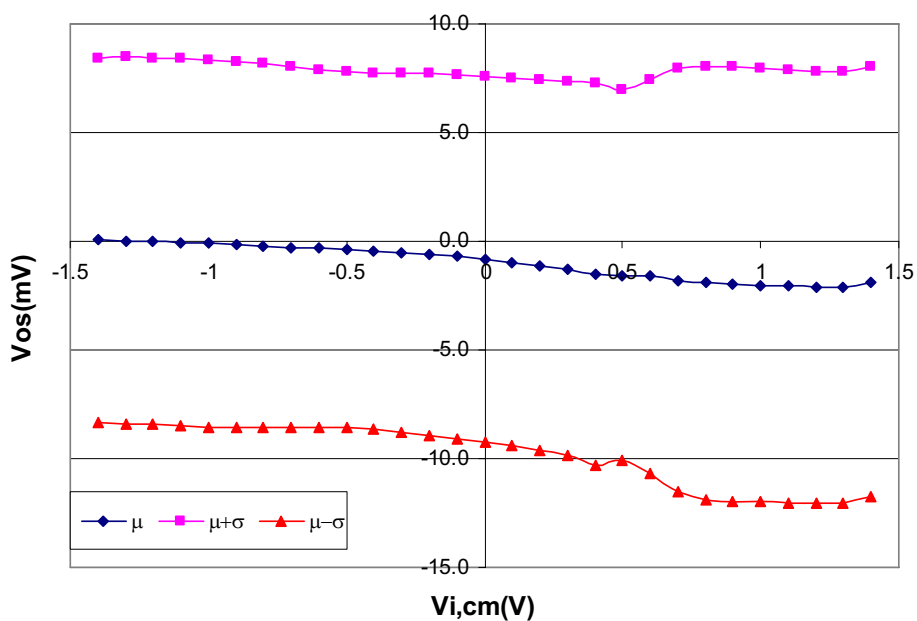


Figura 3.10 - V_{OS} simulado do AI.

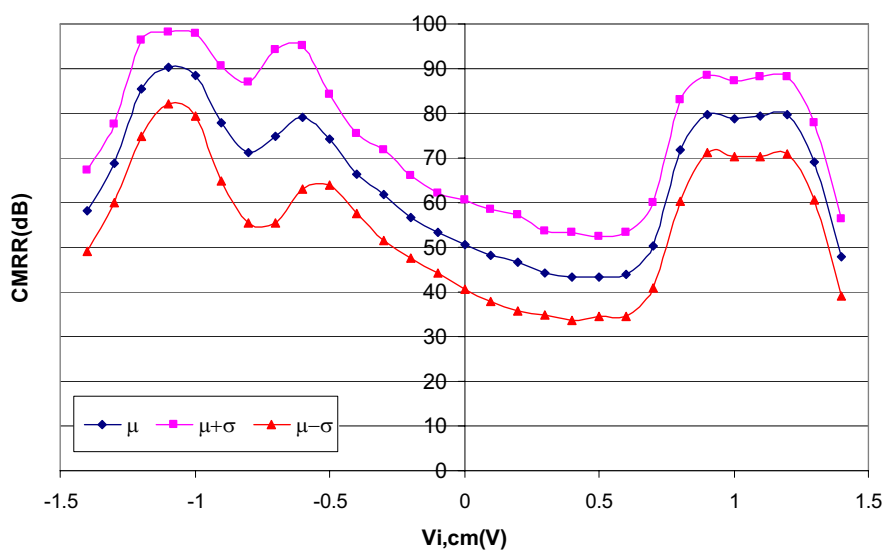


Figura 3.11 – CMRR simulado do AI.

Abaixo são apresentados alguns resultados medidos do AI. Devido a algumas dificuldades nas medições, como o nível de ruído e a tensão de *offset*, algumas medições foram realizadas com um ganho de 200 vezes.

A resposta em frequência de um dos protótipos do AI é apresentada na Figura 3.12, onde se observam a resposta em frequência para um ganho de 200 e 2000 vezes (46 e 66dB).

Para a configuração de 2000 vezes, onde havia sido encontrada uma frequência a -3dB de 70kHz em simulação, obteve-se o resultado medido de 4kHz. Tal diferença se deve ao fato do *chip* possuir uma corrente de referência interna que não é robusta com variações de processo, tensão de alimentação e temperatura, o que pode ser visto na diferença do consumo simulado (149 μ W) para o consumo medido (117 μ W). Logo, se o consumo de potência medido foi inferior ao simulado, conclui-se que a corrente de referência sofreu uma diminuição, ocasionando uma banda de frequência inferior a simulada.

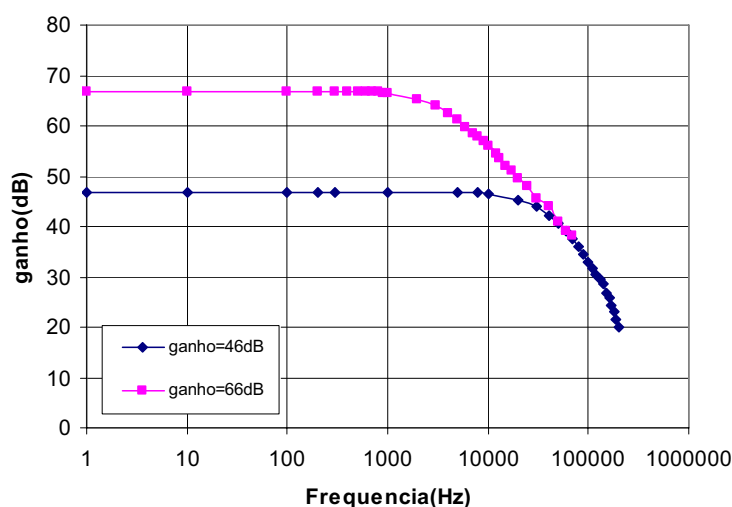


Figura 3.12 – Resposta em frequência do AI (medido).

A Figura 3.13 apresenta o resultado medido do ganho programável do AI ao longo da faixa de entrada em modo comum, fato que demonstra a funcionalidade da topologia apresentada aqui.

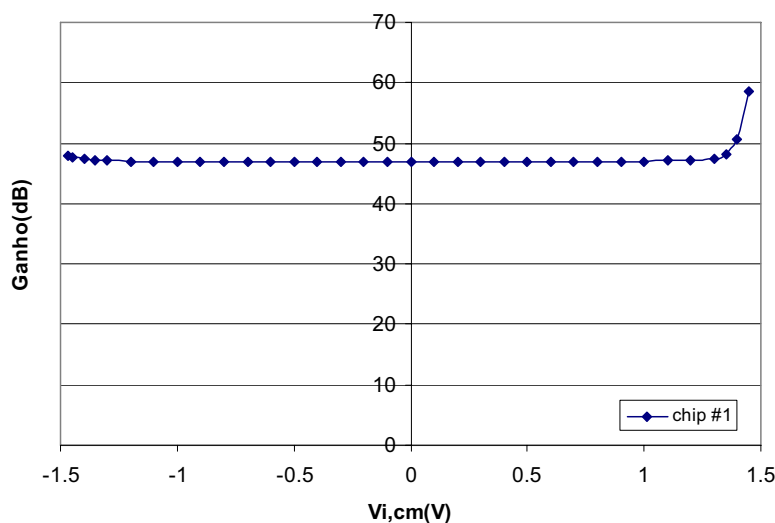


Figura 3.13 – Ganho vs. $V_{i,cm}$ (medido).

Na Figura 3.14 e na Figura 3.15 apresentam-se os resultados medidos de tensão de *offset* e CMRR de três protótipos ao longo da entrada em modo comum.

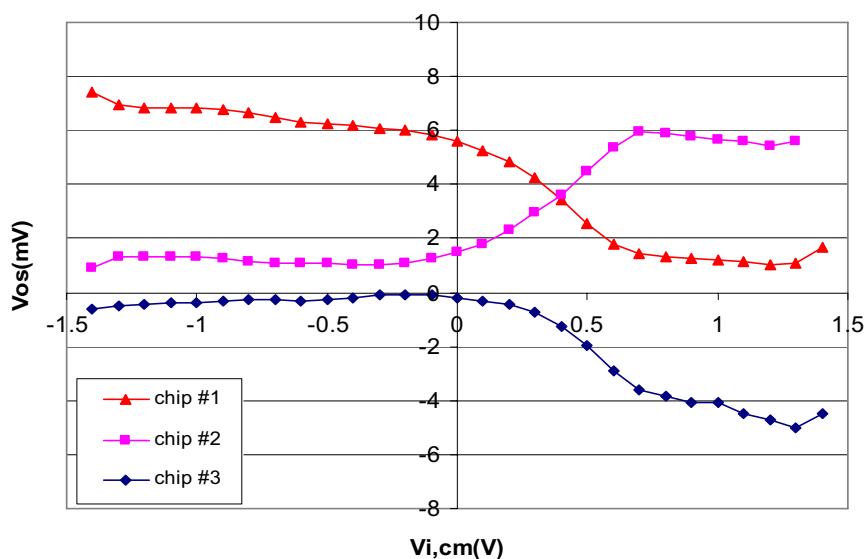


Figura 3.14 – V_{os} medido de três *chips* do AI.

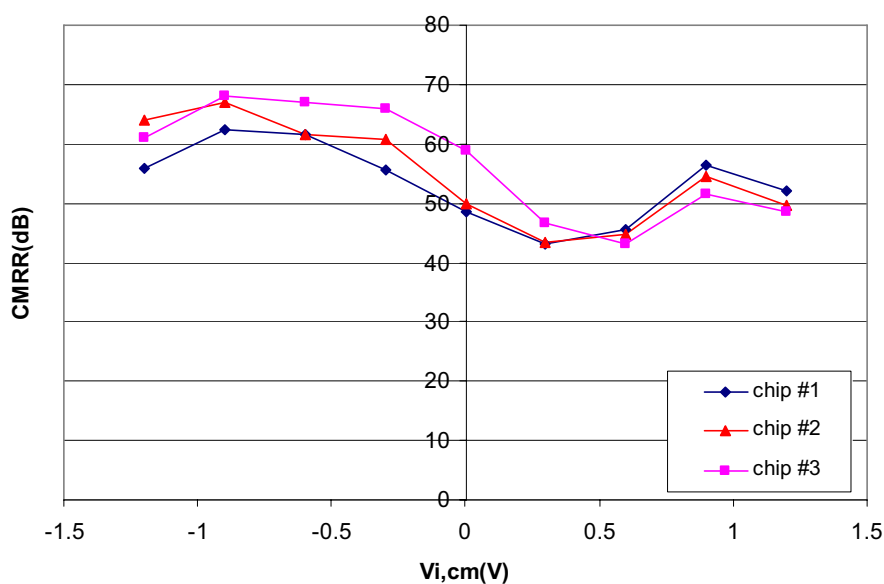


Figura 3.15 – CMRR medido de três *chips* do AI.

A fim de demonstrar a compatibilidade das simulações realizadas com os resultados medidos, a Figura 3.16 e a Figura 3.17 apresentam, ao longo da entrada em modo comum, as curvas simuladas de valor médio acrescido/decrecido de um desvio padrão e o resultados medidos de três *chips*.

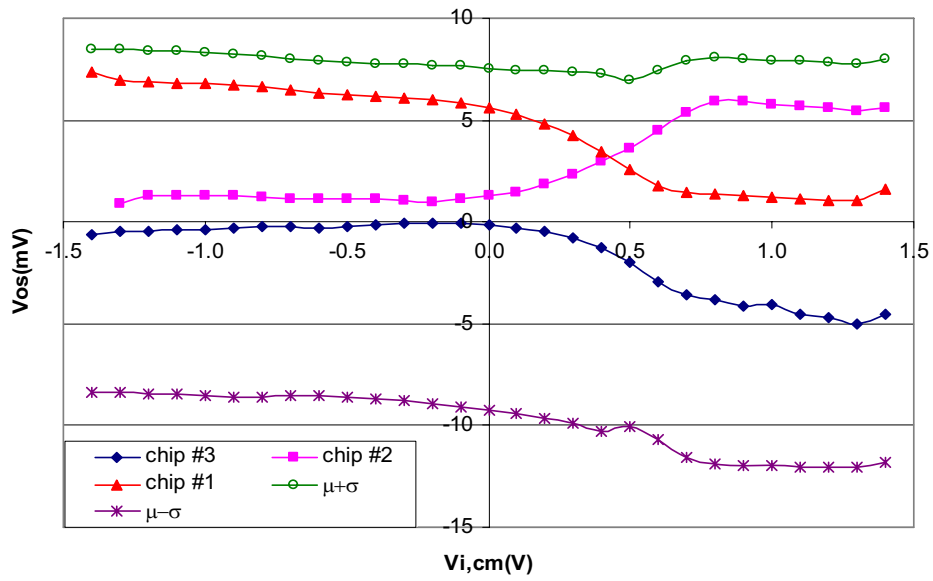


Figura 3.16 – Comparação da V_{OS} medida com a simulada.

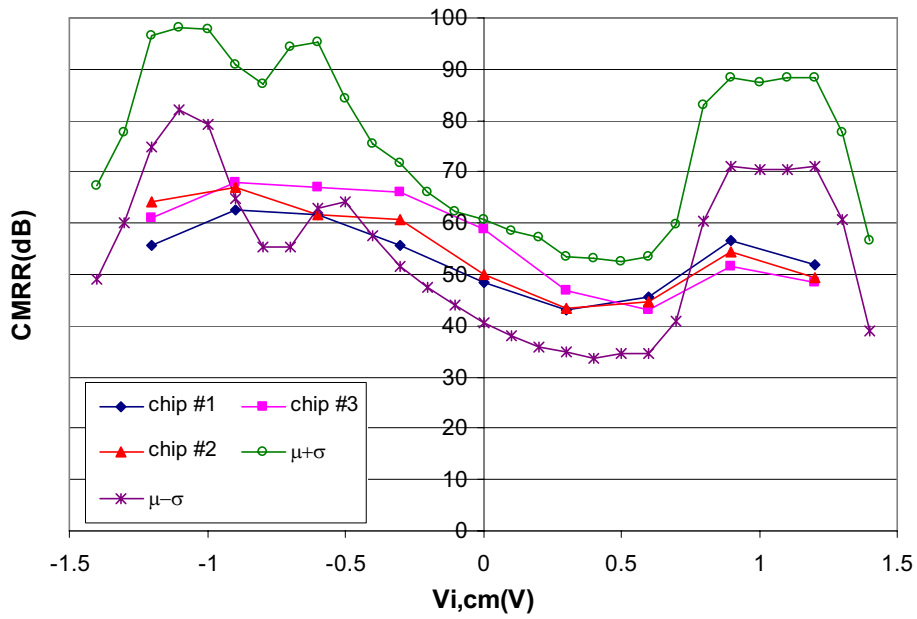


Figura 3.17 – Comparação do CMRR medido com o simulado.

Na Tabela 3.5 apresenta-se os resultados finais do amplificador de instrumentação.

Tabela 3.5 – Resultados do amplificador de instrumentação.

Característica	Valor Médio simulado	Desvio Padrão simulado	Valor Medido	Unidade
Ganho DC	66		66.8	dB
Largura de Banda (-3dB) @ 66dB	70		4	kHz
CMIR	$V_{SS}+200m$ a $V_{DD}-200m$		$V_{SS}+100m$ a $V_{DD}-100m$	V
V_{OS} @ $V_{i,cm}=0V$	-0.83	8.39	-0.18 1.48 5.61	mV
CMRR @ $V_{i,cm}=0V$	50.62	9.96	48.49 58.95 49.96	dB
PSRR @ $V_{i,cm}=0V$	100		-	dB
Output swing	$V_{SS}+9mV$ a $V_{DD}-3mV$		-	V
Ruído @ 1kHz	478		-	nV/ \sqrt{Hz}
Consumo de Potência	150		117	μW

Os resultados apresentados acima podem ser considerados satisfatórios. O primeiro protótipo do AI foi construído a fim de demonstrar sua funcionalidade, a qual é averiguada através da curva de ganho ao longo da entrada em modo comum (Figura 3.13).

Entretanto, características essenciais a um amplificador de instrumentação como tensão de *offset* e CMRR foram considerados resultados insatisfatórios. A necessidade de se projetar um AI visando um alto CMRR e um baixo V_{OS} torna-se indispensável, assim como uma modelagem de tais características. Este é o tema que será abordado no próximo capítulo.

4. ANÁLISE E MODELAGEM DO AI

Amplificadores de Instrumentação tem sua utilização necessária no tratamento de sinais em ambientes ruidosos e que exigem uma alta rejeição aos sinais de modo comum. Além disto, sinais de baixa amplitude exigem altos ganhos diferenciais e baixas tensões de *offset*.

O primeiro projeto do amplificador de instrumentação utilizando a topologia com ampop *rail-to-rail* apresentou resultados insatisfatórios de CMRR e de tensão de *offset*, tanto em resultados de simulação com descasamento, como em resultados medidos em silício.

O objetivo deste capítulo é modelar duas das principais características de um AI: o CMRR e a tensão de *offset*. Esta modelagem é necessária para o próximo capítulo, onde o AI será re-projetado.

Inicia-se a modelagem analisando-se a função de transferência e a tensão de *offset* de um ampop em configuração de ganho unitário. Após, utilizam-se estes parâmetros para modelar o CMRR e a tensão de *offset* do AI. Por fim, faz-se uma análise dos principais fatores que causam degradação de *offset* e de CMRR em um estágio par diferencial.

4.1. Ampop em configuração de ganho unitário

O que se objetiva nesta seção é a modelagem da função de transferência (α) e da tensão de *offset* referida à saída ($V_{OS,RTO,AO}$) de um amplificador operacional em configuração de ganho unitário. Estas duas características serão posteriormente utilizadas na modelagem do CMRR e na tensão de *offset* do AI.

A Figura 4.1 representa um amplificador operacional. Considera-se na análise que segue que a tensão V_1 está conectada na entrada não-inversora (+) do ampop e a tensão V_2 está conectada em sua entrada inversora (-).

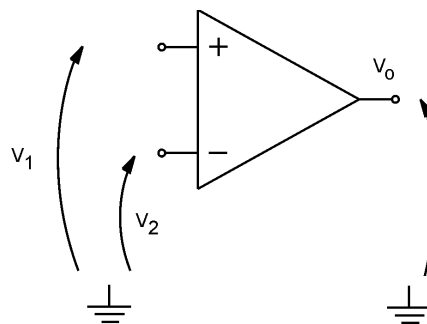


Figura 4.1 – Amplificador Operacional.

Convencionalmente, a tensão de entrada em modo diferencial (V_d) é a diferença de tensão entre as duas entradas do ampop e a tensão de entrada em modo comum (V_c) é igual ao valor médio das duas entradas (ALLEN, 2002), ou seja:

$$V_d = V_1 - V_2 \quad (4.1)$$

e

$$V_c = \frac{V_1 + V_2}{2} \quad (4.2)$$

Para um amplificador qualquer, tem-se que a tensão de saída (V_o) é dada por:

$$V_o = A_d \cdot V_d + A_c \cdot V_c \quad (4.3)$$

Onde A_d é o ganho de modo diferencial do ampop e A_c é o ganho de modo comum do ampop.

A Figura 4.2 apresenta um amplificador operacional em configuração “seguidor de tensão” ou também chamado de *buffer* de ganho unitário.

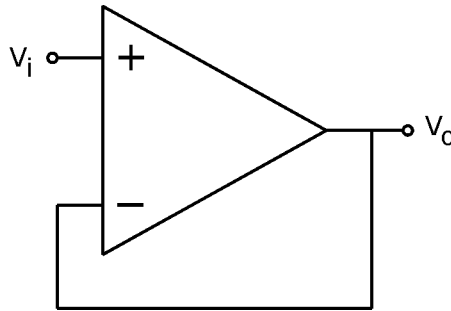


Figura 4.2 – Ampop em configuração seguidor de tensão.

Analisando-o, a partir da equação (4.3), substituindo-se a equação (4.1) e (4.2), e sendo $V_1 = V_i$ e $V_2 = V_o$, têm-se que:

$$V_o = A_d \cdot (V_i - V_o) + A_c \cdot \left(\frac{V_i + V_o}{2} \right) \quad (4.4)$$

$$V_o = V_i \cdot \left(A_d + \frac{A_c}{2} \right) + V_o \cdot \left(\frac{A_c}{2} - A_d \right) \quad (4.5)$$

$$V_o - V_o \cdot \left(\frac{A_c}{2} - A_d \right) = V_i \cdot \left(A_d + \frac{A_c}{2} \right) \quad (4.6)$$

$$V_o \cdot \left(1 - \frac{A_c}{2} + A_d \right) = V_i \cdot \left(A_d + \frac{A_c}{2} \right) \quad (4.7)$$

$$\frac{V_o}{V_i} = \frac{A_d + \frac{A_c}{2}}{1 - \frac{A_c}{2} + A_d} \quad (4.8)$$

O CMRR do ampop, chamado aqui de $CMRR_{ao}$ é dado pela razão do ganho diferencial pelo ganho de modo comum:

$$CMRR_{ao} = \frac{A_d}{A_c} \quad (4.9)$$

Isolando o termo A_c temos:

$$A_c = \frac{A_d}{CMRR_{ao}} \quad (4.10)$$

Substituindo (4.10) em (4.8), temos a função de transferência não-ideal de um ampop em configuração ganho unitário, considerando A_d e $CMRR_{ao}$ finitos, denotada neste trabalho por α :

$$\alpha = \frac{V_o}{V_i} = \frac{A_d \cdot \left(1 + \frac{1}{2 \cdot CMRR_{ao}}\right)}{1 + A_d \cdot \left(1 - \frac{1}{2 \cdot CMRR_{ao}}\right)} \quad (4.11)$$

Outro parâmetro que nos interessa neste modelamento é a tensão de *offset* referida à saída ($V_{OS,RTO,AO}$) do ampop em configuração de ganho unitário. Sendo que a tensão de *offset* referida a entrada é modelada como uma fonte de tensão em série com a tensão aplicada na entrada do ampop, temos que:

$$V_o = \alpha \cdot (V_i + V_{OS,RTI,AO}) \quad (4.12)$$

Portanto, a tensão de *offset* referida a saída é dada por:

$$V_{OS,RTO,AO} = \alpha \cdot V_{OS,RTI,AO} \quad (4.13)$$

Como α é praticamente igual a unidade, a $V_{OS,RTO,AO}$ torna-se igual a $V_{OS,RTI,AO}$.

4.2. CMRR do AI

O trabalho reportado por Su (1995) apresenta uma análise do CMRR de um amplificador de instrumentação em modo corrente (CMIA) e trata-se de uma modelagem do CMRR não detalhada em nenhuma outra referência encontrada.

Entende-se o CMRR como sendo uma das principais características de um AI. Portanto, faz-se necessário o desdobramento do equacionamento apresentado por Su (1995),

bem como a sua adaptação para a topologia de CMIA adotada neste trabalho, sendo este o objetivo desta seção.

O circuito analisado em Su (1995) é apresentado na Figura 4.3. Trata-se de um estágio de entrada que converte tensão em corrente (V_2 e V_1 nas correntes I_{O2} e I_{O1}), utilizando a técnica de *current sensing* (TOUMAZOU, 1989). Esta conversão é realizada através de um espelhamento das correntes de consumos dos *rails* positivo e negativo dos dois ampops de entrada (ampop 1 e ampop 2), configurados como *buffers* de ganho unitário. Após, as correntes I_{O2} e I_{O1} são novamente transformadas em tensão, através do ampop 3 e dos resistores R_{22} e R_2 .

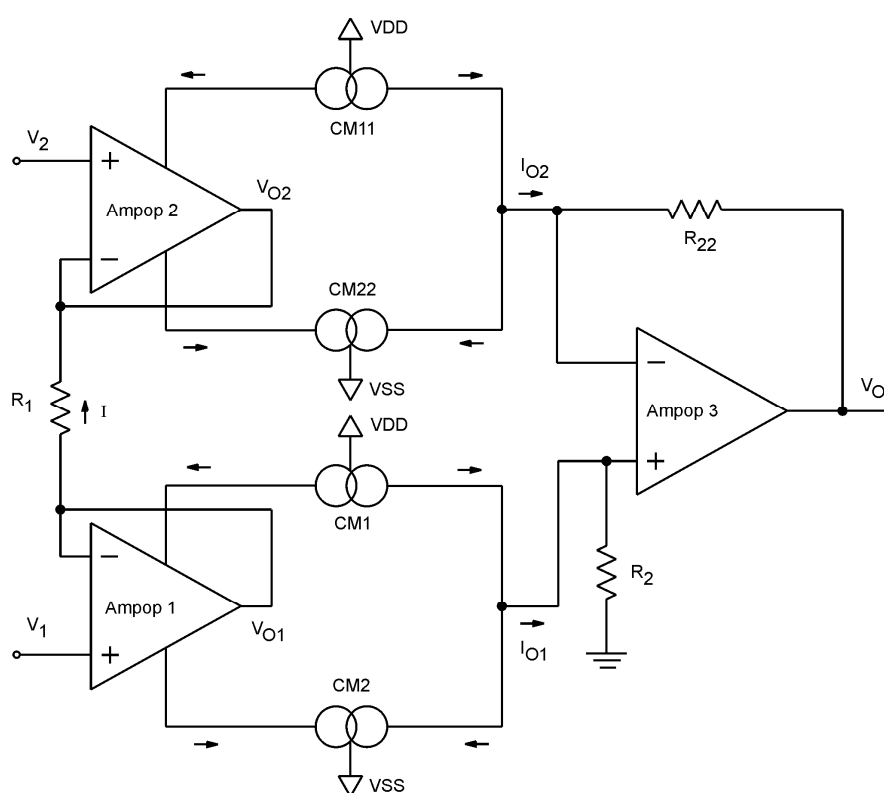


Figura 4.3 – CMIA analisado em Su (1995).

A topologia de CMIA analisada neste trabalho é apresentada na Figura 4.4 e baseia-se na mesma técnica de *current sensing*. Comparando-o com a topologia analisada por Su (1995) e mostrada na Figura 4.3, observam-se duas diferenças significativas. Na Figura 4.3 o espelhamento das correntes dos ampops se dá em seus *rails* positivo e negativo. Além disto, o estágio de conversão I-V de saída (ampop 3 e resistores R_{22} e R_2), por se tratar de um estágio diferencial com entrada em corrente para tensão *single-ended*, causa influência no ganho de modo comum do AI. Já na Figura 4.4, a cópia das correntes dos ampops se dá apenas em um

rail (positivo) e o estágio de conversão I-V, por não ser diferencial, não influencia o ganho de modo comum do AI.

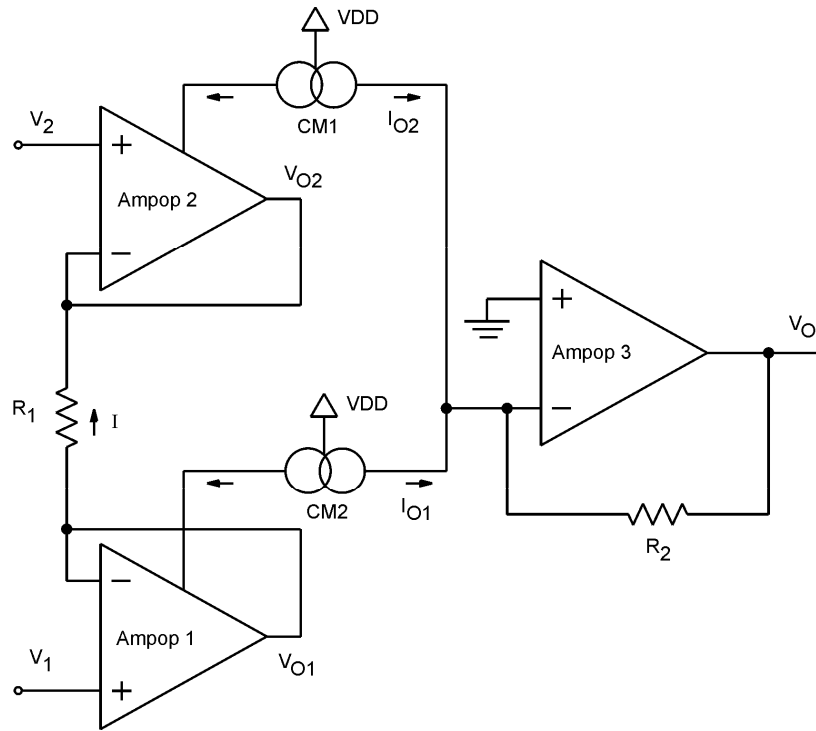


Figura 4.4 – CMIA analisado neste trabalho.

O equacionamento que segue analisa a topologia apresentada na Figura 4.4.

As tensões de entrada V_1 e V_2 , e as correntes I_{O1} e I_{O2} de cada estágio de entrada podem ser separadas em componentes de modo comum e de modo diferencial e podem ser expressas como:

$$I_{od} = I_{O1} - I_{O2} = g_{dd} \cdot V_{id} + g_{dc} \cdot V_{ic} \quad (4.14)$$

$$I_{oc} = \frac{I_{O1} + I_{O2}}{2} = g_{cd} \cdot V_{id} + g_{cc} \cdot V_{ic} \quad (4.15)$$

Onde V_{id} e V_{ic} representam a tensão de entrada diferencial e a entrada em modo comum, respectivamente, g_{dd} e g_{cc} são a transcondutância de modo diferencial e de modo comum, respectivamente, g_{cd} é a transcondutância de modo diferencial para modo-comum, e g_{dc} é a transcondutância de modo-comum para diferencial. Utilizam-se transcondutâncias nestas análises, pois representam uma conversão tensão-corrente (V-I).

A transcondutância de modo diferencial g_{dd} é definida como:

$$g_{dd} = \frac{I_{od}}{V_{id}} \Big|_{V_{ic}=0} = \frac{I_{O1} - I_{O2}}{V_{id}} \Big|_{V_{ic}=0} \quad (4.16)$$

Para $V_{ic}=0$, I_{O1} é igual a $-I_{O2}$, e igual à corrente que flui no resistor R_1 entre os ampops, chamada I_{R1} .

$$g_{dd} = \frac{I_R + I_R}{V_{id}} = \frac{2 \cdot I_{R1}}{V_{id}} \quad (4.17)$$

Substituindo I_R por $V_{id}/R_1=(V_{O1}-V_{O2})/R_1$

$$g_{dd} = \frac{V_{O1} - V_{O2}}{R_1} \cdot \frac{2}{V_{id}} \quad (4.18)$$

Substituindo V_{O1} e V_{O2} por $\alpha_1 \cdot V_1$ e $\alpha_2 \cdot V_2$, onde α é a função de transferência dos ampops em configuração ganho unitário da eq. (4.11), têm-se que:

$$g_{dd} = \frac{\alpha_1 \cdot V_1 - \alpha_2 \cdot V_2}{R_1} \cdot \frac{2}{V_{id}} \quad (4.19)$$

Como $V_{id}=V_1-V_2$, e para $V_2=-V_1$, têm-se que $V_{id}=2 \cdot V_1$

$$g_{dd} = \frac{\alpha_1 \cdot V_1 + \alpha_2 \cdot V_1}{R_1} \cdot \frac{2}{2 \cdot V_1} \quad (4.20)$$

Simplificando:

$$g_{dd} = \frac{\alpha_1 + \alpha_2}{R_1} \quad (4.21)$$

Na análise de g_{dc} assume-se uma entrada somente de modo comum, ou seja:

$$g_{dc} = \frac{I_{od}}{V_{ic}} \Big|_{V_{id}=0} = \frac{I_{O1} - I_{O2}}{V_{ic}} \Big|_{V_{id}=0} \quad (4.22)$$

As correntes de saída I_{O1} e I_{O2} são compostas de duas componentes. A primeira é I_{OC} , a qual surge devido ao descasamento entre os dois ampops e é aproximadamente igual à corrente que flui no resistor R_1

$$I_{OC} = \frac{V_{O1} - V_{O2}}{R_1} = \frac{\alpha_1 \cdot V_1 - \alpha_2 \cdot V_2}{R_1} \quad (4.23)$$

A outra componente se refere a I_{S1} e I_{S2} . Estas componentes são devido a resistência finita das fontes de corrente dos ampops:

$$I_{S1} = \frac{\alpha_1 \cdot V_1}{r_1} \quad (4.24)$$

$$I_{S2} = \frac{\alpha_2 \cdot V_2}{r_2} \quad (4.25)$$

Onde r_1 e r_2 são as resistências das fontes de correntes dos ampops ao_1 e ao_2 .

Se as correntes I_{O1} e I_{O2} são dadas por:

$$I_{O1} = I_{OC} + \lambda_1 \cdot I_{S1} \quad (4.26)$$

$$I_{O1} = -I_{OC} + \lambda_2 \cdot I_{S2} \quad (4.27)$$

Onde λ_1 e λ_2 representam, respectivamente, as funções de transferência dos espelhos de corrente 1 e 2.

Podemos substituí-las na equação (4.22), obtendo:

$$g_{dc} = \frac{I_{O1} - I_{O2}}{V_{ic}} = \frac{2 \cdot I_{OC1} + \lambda_1 \cdot I_{S1} - \lambda_2 \cdot I_{S2}}{V_{ic}} \quad (4.28)$$

$$g_{dc} = \frac{2 \cdot \left(\frac{\alpha_1 \cdot V_1 - \alpha_2 \cdot V_2}{R_1} \right) + \lambda_1 \cdot \left(\frac{\alpha_1 \cdot V_1}{r_1} \right) - \lambda_2 \cdot \left(\frac{\alpha_2 \cdot V_2}{r_2} \right)}{V_{ic}} \quad (4.29)$$

Considerando $V_2 = V_1$

$$g_{dc} = \frac{2 \cdot \left(\frac{\alpha_1 \cdot V_1 - \alpha_2 \cdot V_1}{R_1} \right) + \lambda_1 \cdot \left(\frac{\alpha_1 \cdot V_1}{r_1} \right) - \lambda_2 \cdot \left(\frac{\alpha_2 \cdot V_1}{r_2} \right)}{V_1} \quad (4.30)$$

Obtém-se a transcondutância de modo comum g_{dc} :

$$g_{dc} = 2 \cdot \left(\frac{\alpha_1 - \alpha_2}{R_1} \right) + \lambda_1 \cdot \frac{\alpha_1}{r_1} - \lambda_2 \cdot \frac{\alpha_2}{r_2} \quad (4.31)$$

Analisando-se agora apenas o estágio transconductor de saída da Figura 4.5:

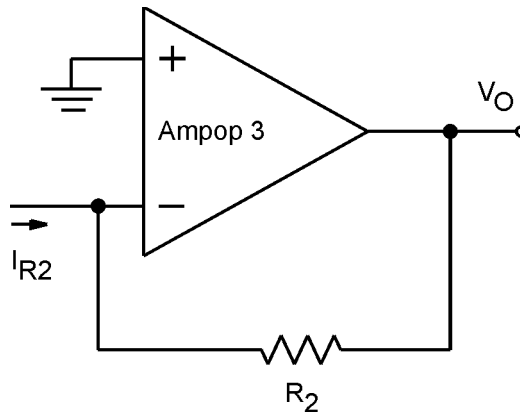


Figura 4.5 – Estágio transconductor de saída do AI.

O equacionamento do ampop é dado por:

$$V_O = (V_2 - V_1) \cdot A_d \quad (4.32)$$

A entrada não inversora do ampop está aterrada e, portanto $V_2 = 0V$. Substituindo V_1 por $V_O + I_{R2} \cdot R_2$, tem-se:

$$V_O = -A_d \cdot (I_{R2} \cdot R_2 + V_O) \quad (4.33)$$

$$V_O = -I_{R2} \cdot R_2 \cdot \frac{A_d}{A_d + 1} \quad (4.34)$$

Considerando o ganho diferencial A_d muito elevado, resulta que a tensão de saída V_O é dada por:

$$V_O = -I_{R2} \cdot R_2 \quad (4.35)$$

Como $I_{R2} = I_{od} = I_{O1} - I_{O2}$, então:

$$V_O = -(I_{O1} - I_{O2}) \cdot R_2 \quad (4.36)$$

Analisando novamente a equação de I_{od} , dada em (4.14):

$$I_{od} = I_{O1} - I_{O2} = g_{dd} \cdot V_{id} + g_{dc} \cdot V_{ic} \quad (4.37)$$

Isolando I_{O1} :

$$I_{O1} = g_{dd} \cdot V_{id} + g_{dc} \cdot V_{ic} + I_{O2} \quad (4.38)$$

Substituindo em (4.15)

$$\frac{g_{dd} \cdot V_{id} + g_{dc} \cdot V_{ic} + I_{O1} + I_{O2}}{2} = g_{cd} \cdot V_{id} + g_{cc} \cdot V_{ic} \quad (4.39)$$

Isolando I_{O1} e I_{O2} temos:

$$I_{O1} = g_{cd} \cdot V_{id} + g_{cc} \cdot V_{ic} - \frac{g_{dd} \cdot V_{id}}{2} - \frac{g_{dc} \cdot V_{ic}}{2} \quad (4.40)$$

e

$$I_{O2} = g_{cd} \cdot V_{id} + g_{cc} \cdot V_{ic} + \frac{g_{dd} \cdot V_{id}}{2} + \frac{g_{dc} \cdot V_{ic}}{2} \quad (4.41)$$

Substituindo (4.40) e (4.41) em (4.36) tem-se que:

$$V_O = -R_2 \cdot (g_{dd} \cdot V_{id} + g_{dc} \cdot V_{ic}) \quad (4.42)$$

Observa-se que as componentes g_{cc} e g_{cd} são anuladas para a topologia da Figura 4.4. Restam ainda as componentes g_{dd} e g_{dc} , que multiplicadas por R_2 representam o ganho diferencial e comum do AI. Portanto, o CMRR é dado por:

$$CMRR = \frac{g_{dd}}{g_{dc}} \quad (4.43)$$

Substituindo (4.21) e (4.31) em (4.43) obtêm-se o modelamento do CMRR do AI, em função de características dos ampops e dos espelhos de corrente:

$$CMRR = \frac{\frac{\alpha_1 + \alpha_2}{R_1}}{2 \cdot \left(\frac{\alpha_1 - \alpha_2}{R_1} \right) + \lambda_1 \cdot \frac{\alpha_1}{r_1} - \lambda_2 \cdot \frac{\alpha_2}{r_2}} \quad (4.44)$$

4.3. Tensão de *offset* do AI

Considerando os espelhos com ganhos idênticos, a corrente I_{R1} gerada no estágio de conversão V-I é dada por:

$$I_{R1} = \frac{V_{O2} - V_{O1}}{R_1} \quad (4.45)$$

Substituindo a equação (4.12), relacionando a tensão de *offset* do ampop:

$$I_{R1} = \frac{\alpha_2 \cdot (V_2 + V_{OS,RTI,AO2}) - \alpha_1 \cdot (V_1 + V_{OS,RTI,AO1})}{R_1} \quad (4.46)$$

Sendo

$$V_d = V_1 - V_2 \quad (4.47)$$

E

$$V_c = \frac{V_1 + V_2}{2} \quad (4.48)$$

Então

$$V_1 = V_c - \frac{V_d}{2} \quad (4.49)$$

E

$$V_2 = V_c + \frac{V_d}{2} \quad (4.50)$$

Logo

$$I_{R1} = \frac{\alpha_2 \cdot \left(V_c + \frac{V_d}{2} + V_{OS,RTO,AO2} \right) - \alpha_1 \cdot \left(V_c - \frac{V_d}{2} + V_{OS,RTO,AO1} \right)}{R_1} \quad (4.51)$$

Substituindo a equação (4.51) em (4.35), e sabendo que $I_{R2}=I_{R1}$

$$V_o = \frac{R_G}{R_1} \cdot \left(\frac{V_d}{2} \cdot (\alpha_2 + \alpha_1) + \frac{V_c}{2} \cdot (\alpha_2 - \alpha_1) + \alpha_2 \cdot V_{OS,RTO,AO2} - \alpha_1 \cdot V_{OS,RTO,AO1} \right) \quad (4.52)$$

Podemos escrever a equação (4.52) como:

$$V_o = V_d \cdot G_d + V_c \cdot G_c + V_{OS,RTO,AI} \quad (4.53)$$

Onde

$$G_d = \frac{R_G}{R_1} \cdot (\alpha_2 + \alpha_1) \quad (4.54)$$

$$G_c = \frac{R_G}{R_1} \cdot (\alpha_2 - \alpha_1) \quad (4.55)$$

$$V_{OS,RTO,AI} = \frac{R_G}{R_1} (\alpha_2 \cdot V_{OS,RTO,AO2} - \alpha_1 \cdot V_{OS,RTO,AO1}) \quad (4.56)$$

G_d e G_c representam o ganho de modo diferencial e de modo comum, respectivamente, e $V_{OS,RTO,AI}$ representa a tensão de *offset* do AI referida à saída.

Portanto, a tensão de *offset* do AI referida à entrada é dada por:

$$V_{OS,RTI,AI} = \frac{V_{OS,RTO,AI}}{A_V} = \frac{V_{OS,RTO,AI} \cdot R_1}{R_G} \quad (4.57)$$

$$V_{OS,RTI,AI} = \alpha_2 \cdot V_{OS,RTI,AO2} - \alpha_1 \cdot V_{OS,RTI,AO1} \quad (4.58)$$

Como α_1 e α_2 serão praticamente iguais ao ganho unitário, pode-se dizer que a tensão de *offset* do AI referida a entrada será dada por:

$$V_{OS,RTI,AI} = V_{OS,RTI,AO2} - V_{OS,RTI,AO1} \quad (4.59)$$

4.4. Análise do CMRR e da V_{OS} em um estágio diferencial de entrada

Conforme foi demonstrado no equacionamento anterior, o descasamento entre os ampops e entre os espelhos de corrente do AI geram degradação do CMRR e da V_{OS} do AI. No caso do descasamento entre os ampops, representados na análise anterior por α , leva-se em consideração dois parâmetros não ideais dos ampops: o CMRR e o A_d . A variação do A_d será demonstrada posteriormente que não resulta em grandes problemas de descasamento. Portanto, o principal fator a casar é o CMRR dos ampops. Já na análise de V_{OS} do AI, observou-se que este é gerado diretamente pelo descasamento entre as tensões de *offset* dos ampops.

Diante disto, esta seção não objetiva modelar, mas sim compreender qual a origem da variação de CMRR e V_{OS} em ampops, para que se possa modificar o dimensionamento dos transistores no projeto buscando-se melhorar estas características.

O CMRR e a V_{OS} efetivas de um ampop são gerados a partir da soma de duas componentes: uma componente sistemática ($CMRR_{sist}$ e $V_{os,sist}$) e uma componente randômica ($CMRR_{rand}$ e $V_{os,rand}$). A componente sistemática é aquela que pode ser estimada e corrigida durante a etapa de projeto, sendo de fácil obtenção através de simulação. Já a componente randômica existe devido às variações do processo de fabricação do *chip* e embora simulações

incluindo análise estatística de variação de processos possam estimar a faixa de variação da componente randômica, esta só será realmente obtida após a fabricação já ter sido concluída. O resultado é que cada *chip* terá um valor distinto de CMRR e V_{os} .

Para simplificar a análise do CMRR e da V_{os} , restringindo-se às contribuições dos elementos essenciais incluídos no estágio diferencial simples, analisam-se os circuitos da Figura 4.6 e Figura 4.7. O circuito é composto por uma fonte de corrente, um par diferencial de entrada e uma carga resistiva simétrica. A análise deste circuito pode ser interpretada como uma aproximação genérica para qualquer circuito com par diferencial como entrada polarizado por uma fonte de corrente, com uma carga qualquer (normalmente um espelho de corrente). Esta análise pode representar inclusive o estágio diferencial de entrada *folded-cascode* utilizado neste projeto.

A tensão de *offset* de um ampop é composta de duas componentes: a sistemática e a randômica. A tensão de *offset* sistemática de um ampop é resultado da topologia do amplificador e, se tratada com a devida atenção não apresenta problemas tão significativos. Já a tensão de *offset* randômica (V_{OSR}) é sempre uma característica crítica no projeto de qualquer amplificador e é resultado das variações de processo entre dispositivos simétricos, que são afetados de forma diferente no processo de fabricação e por isto já não são mais iguais.

Na Figura 4.6 a tensão de *offset* é influenciada pelo descasamento no par diferencial, representada pela variação do tamanho dos transistores ($\Delta W/L$), variação das tensões de threshold (ΔV_{TH}) e pelas variações do fator K ($\Delta K'$), onde $K = \mu_0 \cdot C_{ox}$. Além disto, o descasamento das resistências de carga R_L também influencia no aumento da V_{OSR} .

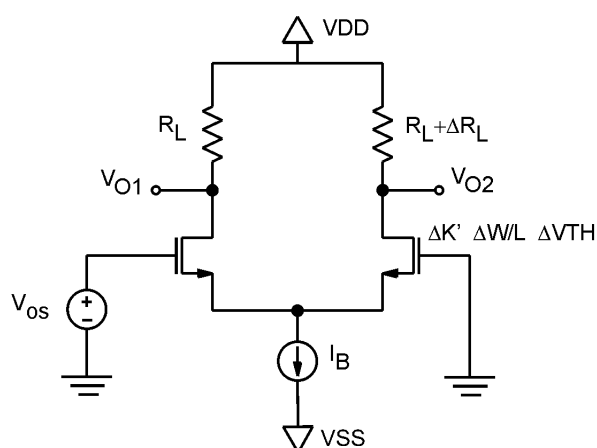


Figura 4.6 - Análise de V_{os} de um estágio diferencial de entrada simplificado.

De acordo com Sansen (2005), a tensão de *offset* do circuito da Figura 4.6 é dada na equação (4.60).

$$V_{OSR} = \Delta V_{TH} + \frac{V_{GS} - V_{TH}}{2} \left(\frac{\Delta R_L}{R_L} + \frac{\Delta K'}{K'} + \frac{\Delta W/L}{W/L} \right) \quad (4.60)$$

Observando a equação acima nota-se uma dependência forte da tensão de *offset* relativa à variação da tensão de Threshold (V_{TH}). Além disto, o fator $V_{GS}-V_{TH}$ multiplica as variações relativas de R_L , K' e W/L .

De forma bastante semelhante ao comportamento da tensão de *offset*, as variações de processo se apresentam no CMRR randômico do ampop. Na Figura 4.7 analisa-se o CMRR de um estágio diferencial de entrada. Leva-se em consideração nesta análise o descasamento no par diferencial, representado por $\Delta W/L$, ΔV_{TH} , e $\Delta K'$, o descasamento na carga, representado por ΔR , além da impedância da fonte de corrente R_B , que polariza o par diferencial.

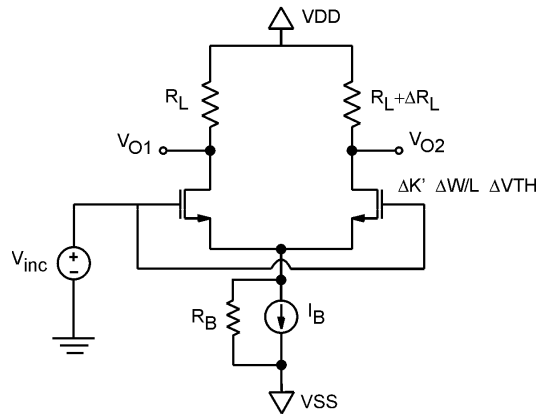


Figura 4.7 - Análise de CMRR de um estágio diferencial de entrada simplificado.

Matematicamente, de acordo com Sansen (2005), o CMRR do circuito da Figura 4.7 é dado na equação (4.61).

$$CMRR_r = \frac{2 \cdot g_m \cdot R_B}{\frac{2 \cdot \Delta V_T}{V_{GS} - V_T} + \frac{\Delta R_L}{R_L} + \frac{\Delta K'}{K'} + \frac{\Delta W/L}{W/L}} \quad (4.61)$$

Observando-se a equação anterior, percebe-se uma dependência grande do CMRR com relação à transcondutância do par diferencial (g_m) e da resistência da fonte de corrente (R_B).

Tanto no caso do CMRR quanto da V_{OS} de um ampop, os valores reais são dominados pelas componentes randômicas, resultado das variações de processo ocorridas, que se manifestam majoritariamente no estágio diferencial de entrada do ampop.

5. METODOLOGIA DE PROJETO

Uma topologia de amplificador de instrumentação em modo corrente com modificações para ampliação da faixa de modo comum da entrada é apresentada e descrita no capítulo 3. Os resultados de testes com protótipos do circuito comprovaram seu funcionamento.

O primeiro projeto do circuito foi dimensionado de maneira bastante objetiva, sendo que a intenção era apenas demonstrar a característica principal da topologia proposta: a ampliação da faixa de modo comum na entrada. A partir deste parâmetro, chegou-se ao dimensionamento dos circuitos de controle de gm , amplificador *rail-to-rail* e estágio de saída *cascode*.

Entretanto, medições de circuitos integrados prototipados mostraram resultados insatisfatórios referentes ao CMRR e a V_{OS} do circuito, que são consideradas as características principais dos AIs. Por isto, um novo estudo e um aprofundamento na modelagem do circuito é apresentado no capítulo 4.

Neste capítulo, o circuito é re-projetado buscando-se aperfeiçoamentos para o CMRR e V_{OS} e mantendo os avanços obtidos na excursão do modo comum de entrada alcançados no projeto anterior.

Tal fato torna necessário um fluxo de projeto adequado a estes requisitos. No fluxo proposto, o objetivo é dividir o AI em blocos, pois através da modelagem desenvolvida, avalia-se o efeito de algumas características de cada bloco, estimando-se as características finais de CMRR e V_{OS} do AI.

Como se utilizam no AI dois ampops compostos de dois estágios de amplificação, apresenta-se a seguir a metodologia clássica de projeto de ampops de dois estágios (ALLEN, 2002). Baseada nela, propõe-se posteriormente uma metodologia de projeto para esta topologia de AI. Por fim, apresenta-se o projeto do circuito, até a etapa de *layout* do mesmo.

5.1. Fluxo de projeto clássico de ampops de dois estágios

O objetivo de projetar um circuito analógico é transformar especificações em circuitos que satisfazem estas especificações (topologias, esquemático, *netlist* e *layout*). O projetista deve conhecer profundamente o processo de circuitos integrados para modelar, projetar, realizar o *layout* e testar os *chips*, considerando fatores como confiabilidade da metodologia de projeto, bom modelamento e caracterização da tecnologia.

A Figura 5.1 ilustra os passos realizados no processo de um projeto genérico de qualquer circuito integrado analógico, conforme Allen (2002) e Cortes (2004). A partir da concepção da idéia, onde se traçam os objetivos do circuito, efetua-se a definição do projeto. Uma topologia de circuito é escolhida, e parte-se para a implementação do mesmo. A implementação se constitui no dimensionamento dos componentes do circuito. Utilizando-se simulações, a partir de modelos e parâmetros previamente obtidos, estima-se com certo grau de certeza o desempenho do circuito. Após, parte-se para a descrição geométrica do circuito, chamada de *layout*. Simulações incluindo componentes parasitas que surgem na etapa de *layout* são necessárias. O circuito parte então para a fabricação, sendo que posteriormente é testado, até se tornar um produto.

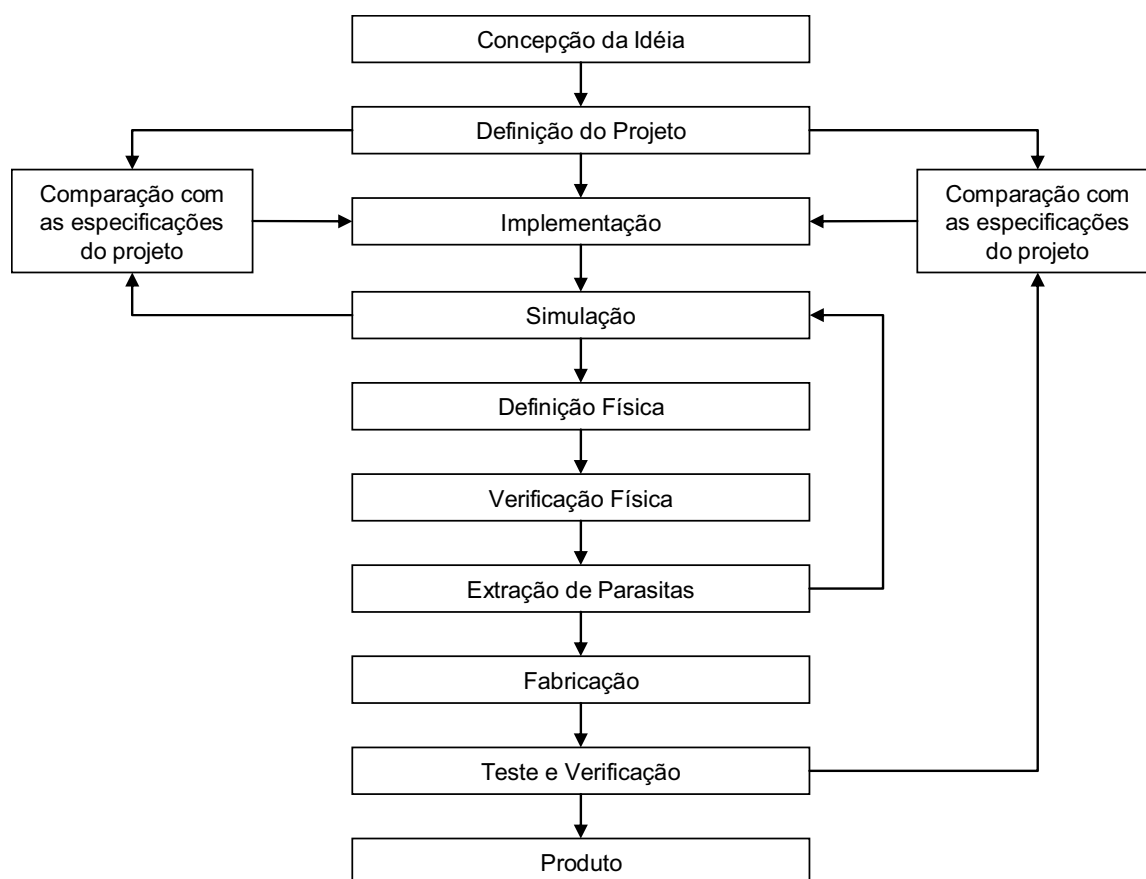


Figura 5.1 – Fluxo de projeto de circuitos integrados analógicos (ALLEN, 2002)(CORTES 2004).

Na etapa de implementação do circuito, o dimensionamento dos transistores demanda bastante tempo na concepção de um circuito integrado, e se realiza de maneira diferente para cada topologia e tipo de circuito. A etapa de dimensionamento pode ser resumida como mostrada na Figura 5.2 (PALMISIANO, 2001). A partir de parâmetros de desempenho (ruído, ganho, faixa de frequência, tensão de *offset*...), obtêm-se os parâmetros de projeto do circuito

(transcondutâncias, correntes, V_{GS} , V_{DS} , capacitâncias, resistências...), e a partir disto, faz-se o dimensionamento dos componentes (W e L dos transistores, capacitores, resistores...).

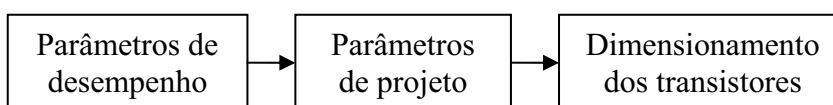


Figura 5.2 – Dimensionamento dos componentes no projeto de circuitos analógicos.

Um exemplo clássico de metodologia de projeto de dimensionamento de transistores é dado na Figura 5.3, reportada por Palmisiano (2001). Assim como cada fluxo de projeto objetiva aperfeiçoar determinada característica do circuito, o fluxo reportado por Palmisiano (2001) objetiva principalmente adequar-se as restrições de ruído.

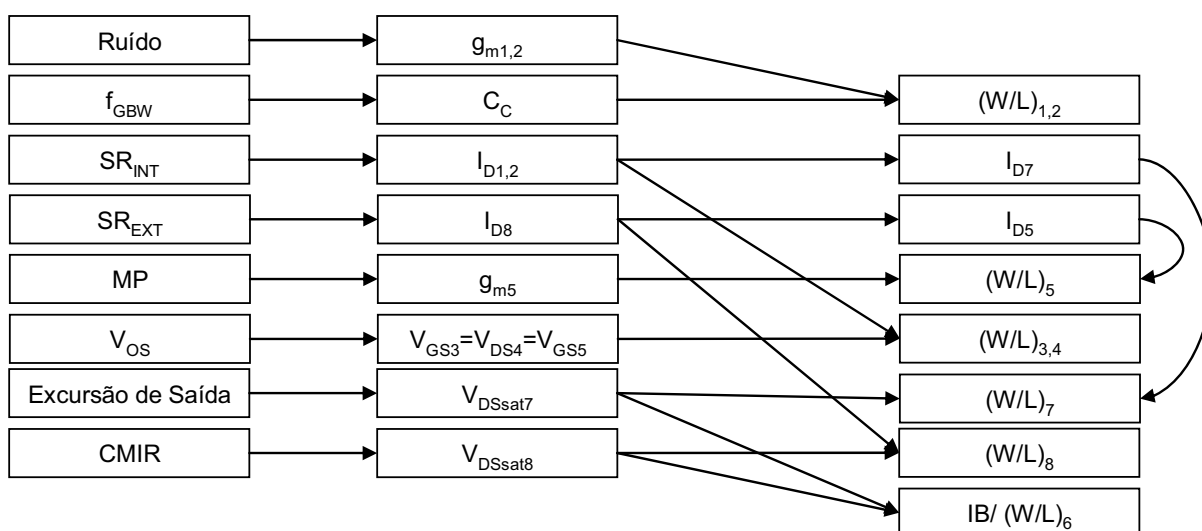


Figura 5.3 - Fluxo de projeto apresentado por Palmisiano (2001).

Uma outra metodologia de projeto bastante difundida para ampops de dois estágios é apresentada na Figura 5.4 (ALLEN, 2002), e utilizada em Cortes (2004) e Prior (2004). Trata-se de uma metodologia que objetiva atender requisitos de consumo de potência e largura de banda de frequência para uma margem de fase de 60° (o que conduz a características dinâmicas ótimas, como *Slew Rate* e *settling time*).

Através de especificações iniciais de produto ganho-banda (GBW), *Slew Rate* (SR) capacitor de carga (C_L) estimam-se alguns parâmetros do ampop como corrente de polarização do primeiro estágio (I_{B1}), capacitor de compensação (C_c), e transcondutâncias do estágio de entrada ($g_{m_{in}}$) e de saída ($g_{m_{out}}$). A margem de fase de 60° é alcançada na relação entre C_c e C_L , e entre $g_{m_{in}}$ e $g_{m_{out}}$. A partir disto, faz-se o dimensionamento dos transistores utilizando, por exemplo, equações de primeira ordem.

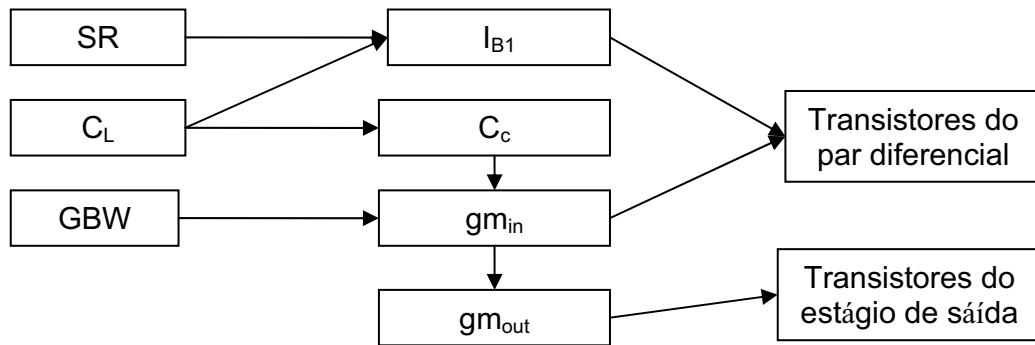


Figura 5.4 – Fluxo de projeto clássico de Allen (2002).

5.2. Fluxo de projeto do AI

Em Prior (2004) apresenta-se o projeto de um amplificador de instrumentação em modo corrente, baseado na topologia de Toumazou (1989). Os ampops utilizados no AI são dotados de um par diferencial do tipo *p*, seguido de um estágio de saída *common-source* (fonte-comum). Nesta implementação, o fluxo de projeto objetiva requisitos dinâmicos ótimos, baseado em Allen (2002), e ainda considera a região de operação dos transistores, numa metodologia baseada na relação gm/I_D (SILVEIRA, 1996).

No caso da topologia desta dissertação, objetiva-se a característica de ampla faixa de entrada em modo comum. Isto torna necessário ampops com estágio de entrada que possuem pares diferenciais complementares, seguidos por um circuito estágio de saída *cascode*, assim como descrito no capítulo 3. Além disto, o CMRR e a V_{OS} são características de suma importância ao AI, e requererem prioridade neste projeto. Propõe-se então, uma metodologia de projeto adequada para esta topologia de CMIA.

O CMIA projetado aqui é composto de dois ampops configurados em ganho unitário na entrada do AI, um circuito formado por espelhos de corrente, e um amplificador de saída em configuração de transconductor. O ponto mais crítico neste contexto é o projeto do estágio de entrada dos ampops de entrada do AI, o qual irá determinar diretamente o desempenho de CMRR e da V_{OS} do AI, e portanto, uma atenção maior se dará nesta parte do projeto.

O ampop utilizado como estágio de entrada do AI, por ser composto de um estágio de entrada *folded-cascode* e um estágio de saída *cascode*, será tratado em seu projeto como um ampop de dois estágios.

O fluxo de projeto proposto neste trabalho é apresentado na Figura 5.5, e mescla a otimização de consumo de potência pela banda de frequência, baseado em Allen (2002), Cortes (2004) e Prior (2004), porém priorizando as características de CMRR e V_{OS} , utilizando

o equacionamento apresentado no capítulo 4 deste trabalho, e parcialmente baseado em Su (1995).

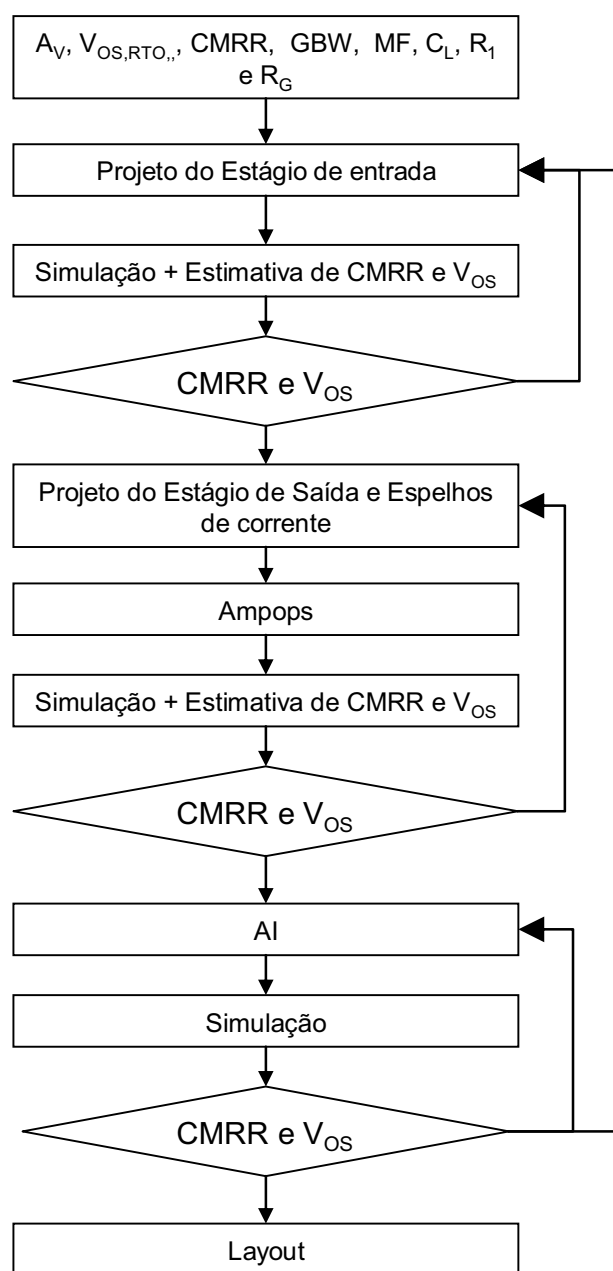


Figura 5.5 - Fluxo de projeto do AI.

A idéia principal desta metodologia é dividir o AI em blocos, de forma a simplificar o seu projeto como um todo. Após cada bloco ser projetado, simulações de Monte Carlo são efetuadas nos mesmo, e algumas importantes características são obtidas, como por exemplo, o desvio padrão do ganho e do CMRR do ampops. Estes parâmetros são utilizados com os modelos obtidos no capítulo 4, para avaliar o comportamento de CMRR e V_{OS} do AI, permitindo uma estimativa de seus mínimos teóricos. Se estes valores estimados são

considerados insatisfatórios, o bloco é re-projetado, e novamente simulado, até que a estimativa satisfaça às especificações prosseguindo-se então para o projeto do próximo bloco, até chegar ao AI completo.

Para o projeto do estágio de entrada e de saída do ampop, utilizou-se a metodologia de projeto de Allen (2002), objetivando requisitos dinâmicos ótimos através de uma margem de fase de 60° e otimizando o consumo de potência. Porém, uma modificação foi introduzida, sendo que o par diferencial de entrada é estimado a partir do parâmetro da tensão de *offset*. O fluxo de projeto mostrado na Figura 5.6.

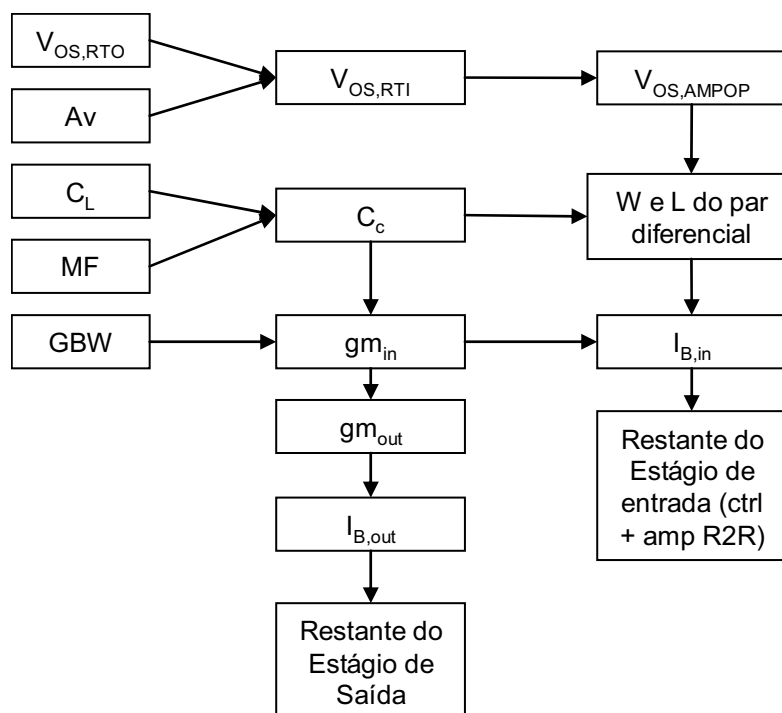


Figura 5.6 – Fluxo de projeto para dimensionamento do AI.

As requisições do projeto, chamadas de parâmetros de desempenho do AI são: ganho de tensão (A_v), produto ganho-banda (GBW), CMRR, V_{OS} , margem de fase (MF) e capacitor de carga dos ampops (C_L).

Inicialmente, a partir de uma $V_{OS,RTO}$ máxima do AI, calcula-se sua $V_{OS,RTI}$ a partir do seu ganho de tensão DC.

$$V_{OS,RTI} = \frac{V_{OS,RTO}}{A_v} \quad (5.1)$$

Como as grandezas que representam a variação da tensão de *offset* e a variação do CMRR são grandezas analisadas estatisticamente, os valores considerados satisfatórios neste trabalho serão os valores que compreendem o intervalo $[\mu+\sigma, \mu-\sigma]$, sendo que μ é o valor

médio da medida, e σ é o desvio padrão da medida. Estatisticamente, dentro deste intervalo encontram-se 68,3% das amostras, e este foi considerado o rendimento de produção do *chip*, chamado *yield*. Portanto, todas as medidas de variação serão estimadas como desvio padrão da medida:

$$\sigma(V_{OS,RTI}) = \frac{\sigma(V_{OS,RTO})}{A_V} \quad (5.2)$$

O motivo pelo qual o fluxo de projeto inicia-se a partir de V_{OS} é que num amplificador de instrumentação que opera em malha aberta possuindo um alto ganho (neste caso será de 200 vezes), um pequeno descasamento referido a entrada do circuito ($V_{OS,RTI}$) facilmente satura a saída ($V_{OS,RTO} > V_{DD}$ ou $V_{OS,RTO} < V_{SS}$). Ou seja, adota-se um valor de $V_{OS,RTO}$ máxima, fazendo com que não seja necessário um circuito de compensação de *offset* para atingir seu ponto de operação.

Assim como apresentado na equação (4.56), a $V_{OS,RTI}$ depende do casamento entre os dois ampops.

$$V_{OS,RTO} = \frac{R_G}{R_1} (\alpha_2 \cdot V_{OS,RTO,AO2} - \alpha_1 \cdot V_{OS,RTO,AO1}) \quad (5.3)$$

Portanto, a $V_{OS,RTI}$ do AI deverá ser, no mínimo, igual à diferença entre as tensões de *offset* dos ampops, que como demonstrado na seção 4.4, é influenciada principalmente pelo par diferencial de entrada e pela sua carga, e pela fonte de corrente que polariza o par.

Uma estimativa inicial da $V_{OS,RTI}$ pode ser dada pela variação da tensão de threshold (ΔV_{TH}) dos transistores do par diferencial. Através do equacionamento desenvolvido por Pelgrom (1998), utilizando os parâmetros de casamento provenientes da fábrica, temos que:

$$\sigma(\Delta V_{TH}) = \frac{AV_{TO}}{\sqrt{W \cdot L}} \quad (5.4)$$

Sendo AV_{TO} definido como o parâmetro de descasamento da tensão de Threshold relativo a área.

A partir desta primeira estimativa, obtêm-se os valores mínimos de transistores do par diferencial de entrada. Após, o fluxo de projeto parte para a interatividade do processo, onde os circuitos são dimensionados, simulados, e analisados, até que, se o circuito não alcançar os parâmetros de desempenho esperados, o projeto é modificado.

Para que o ampop tenha uma margem de fase de 60°, é preciso que o pólo de saída seja posicionado 2.2 vezes o GBW, resultando na relação entre o capacitor de carga (C_L) e o capacitor de compensação (C_C) de (ALLEN, 2002):

$$C_C > 0,22.C_L \quad (5.5)$$

A transcondutância do estágio de entrada (gm_{in}) é dada pela relação entre GBW e C_C :

$$gm_{in} = GBW \cdot 2\pi \cdot C_C \quad (5.6)$$

Com o valor de gm_{in} e das dimensões W e L dos transistores do par diferencial de entrada, calcula-se a corrente de polarização do primeiro estágio através da equação de primeira ordem abaixo (RAZAVI, 2005).

$$gm = \sqrt{2 \cdot \mu \cdot C_{ox} \cdot \frac{W}{L} \cdot I_D} \quad (5.7)$$

Até aqui temos as dimensões mínimas estimadas para o par diferencial, sua corrente, e sua transcondutância. Com isto, dimensiona-se o estágio diferencial *rail-to-rail* de entrada do ampop. O estágio de entrada é então submetido a simulações com descasamento, utilizando simulação de Monte Carlo. A partir disto, são obtidos os valores médios e desvios padrões para as grandezas de A_d , V_{OS} e CMRR do ampop.

Como demonstrado no capítulo 4, através da variação de CMRR e de A_d , e consequentemente da variação do CMRR e A_d do seu estágio de entrada, pode ser estimado o CMRR do AI. Da mesma forma, através da V_{OS} do ampop, ou da V_{OS} do estágio de entrada pode ser estimado a V_{OS} do AI.

Se os valores estimados de CMRR e V_{OS} do AI são considerados satisfatórios, parte-se para o dimensionamento do restante do circuito. Porém, se os resultados estimados de CMRR e V_{OS} forem inferiores aos desejados, ajustes serão necessários no estágio de entrada dos ampops.

Sabe-se, da seção 4.4, que os fatores que mais influenciam a variação de CMRR e V_{OS} dos ampops são: o par diferencial de entrada, sua carga e sua fonte de corrente. Portanto, um re-dimensionamento do estágio diferencial de entrada dos ampops consiste diretamente em incrementar as dimensões do par diferencial, aumentar a impedância da fonte de corrente, e aumentar a impedância da carga do par diferencial. Consequentemente, isto gera aumento da área efetiva de silício.

Após o redimensionamento, simula-se novamente o estágio de entrada, extrai-se $\sigma(V_{OS})$, $\sigma(\text{CMRR})$ e $\sigma(A_d)$ dos ampops, e estima-se o $\sigma(\text{CMRR})$ e o $\sigma(V_{OS})$ do AI. Após os valores terem sido atingidos, o estágio de saída dos ampops é projetado.

A relação entre as transcondutâncias do estágio de entrada e saída dos ampops é outra condição necessária para assegurar uma margem de fase de 60°, conforme Allen (2002), e é dada por:

$$gm_{OUT} = 10.gm_{IN} \quad (5.8)$$

A partir de gm_{OUT} , projeta-se o estágio de saída dos ampops. Para isto, tem-se uma relação de W/L do transistor ativo de saída e a sua corrente de polarização, conforme equação (5.7).

Após o dimensionamento do estágio de saída dos ampops, simula-se o ampop completo, e estima-se novamente o CMRR e a V_{OS} do AI. Se os valores não são satisfatórios redimensiona-se o circuito de maneira a aperfeiçoar os parâmetros apresentados nas equações (4.60) e (4.61). Caso contrário, parte-se para a implementação do AI completo, adicionando os espelhos de corrente e estágio transconductor de saída. Com o circuito completo do AI, efetuam-se simulações e obtêm-se os valores de todas as características desejadas.

5.3. Projeto do AI

Apresentado o fluxo de projeto proposto, parte-se para a sua aplicação prática no dimensionamento do AI. Algumas pequenas modificações na estrutura do circuito apresentados no capítulo 3 foram realizadas neste re-projeto, e serão apresentadas nesta seção.

Atribui-se neste momento as especificações de projeto, e deseja-se atingir os seguintes requisitos: ganho DC de 200 vezes ou 46dB, tensões de alimentação de $\pm 1.5V$, banda de frequência de 1MHz, desvio padrão da $V_{OS,RTO}$ de 1V, e um CMRR maior que 80dB.

Para esta configuração de ganho de 200 vezes, os resistores R_1 e R_2 utilizados serão de 10k Ω e 1M Ω , e serão conectados externamente ao *chip*.

Para $\sigma(V_{OS,RTO})=1V$, estando o AI com um ganho programado de 46dB, ou seja, 200 vezes, calcula-se a tensão de *offset* referida a entrada:

$$\sigma(V_{OS,RTI}) = \frac{\sigma(V_{OS,RTO})}{A_V} \quad (5.9)$$

$$\sigma(V_{OS,RTI}) = \frac{1V}{200} = 5mV \quad (5.10)$$

A partir da tensão de *offset* do AI faz-se uma estimativa da tensão de *offset* dos ampops, sendo:

$$\sigma(V_{OS,RTI}) = 2.\sigma(V_{OS,RTI,AO}) \quad (5.11)$$

Ou seja:

$$\sigma(V_{OS,RTI,AO}) = 2.5mV \quad (5.12)$$

O estágio de entrada dos ampops constitui-se de um amplificador diferencial *rail-to-rail*, sendo a fonte de corrente do par diferencial n polarizada por um circuito de controle de

g_m . Para simplificar o projeto, considera-se uma tensão de entrada em modo comum igual a 0V, e com isso tem-se apenas o par diferencial de canal p operando. Desta forma, realiza-se primeiramente a otimização do circuito apresentado na Figura 5.7.

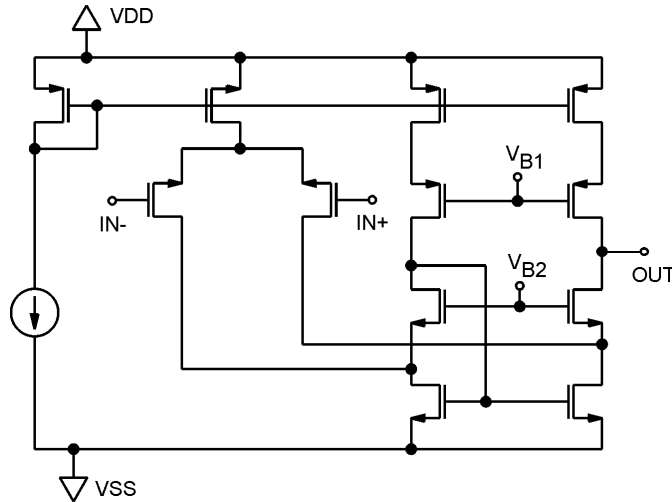


Figura 5.7 – Estágio de entrada *folded-cascode* otimizado para o par diferencial p.

O dimensionamento inicial do par diferencial de entrada é realizado a partir da $V_{OS,RTI}$ calculada. Em uma primeira estimativa, considera-se apenas o efeito da variação da tensão de threshold $\sigma(\Delta V_{TH})$ no par diferencial de entrada, utilizando o equacionamento de Pelgrom (1989) e os parâmetros de descasamento provenientes da *foundry* (XFAB, 2005).

$$\sigma(\Delta V_{TH}) = \frac{AVTO}{\sqrt{W.L}} \quad (5.13)$$

O parâmetro de casamento AVTO é de 13,5mV μ m para um transistor de canal p (e 12,9mV μ m para um transistor de canal n). Desta forma:

$$2,5mV = \frac{13,4mV\mu m}{\sqrt{W.L}} \quad (5.14)$$

Assumindo um comprimento mínimo de canal de transistor (L) igual a 2 μ m, o que representa cerca de 3 vezes o comprimento mínimo da tecnologia, calcula-se a largura do transistor (W), considerando apenas a variação da tensão de Threshold como V_{OS} resultante:

$$W = \frac{(13,4mV\mu m)^2}{(2,5mV)^2 . L} = \frac{(13,4mV\mu m)^2}{(2,5mV)^2 . 2\mu m} = 29\mu m \quad (5.15)$$

A partir desta dimensão mínima dos transistores, efetuou-se o projeto do restante do circuito. Entretanto, sucessivos resultados obtidos em simulação de Monte Carlo levaram a um tamanho de transistor para os pares diferenciais de entrada de $W/L=160\mu m/2\mu m$. Observa-se uma discrepância bastante grande do valor estimado (29 $\mu m/2\mu m$) do valor

calculado, devido ao fato de ter sido considerado na estimativa da V_{OS} apenas o efeito da variação da tensão de Threshold.

O resistor R_1 do AI, conectado entre a saída de dois ampops, será utilizado externamente ao *chip* neste projeto. Eventualmente, com o objetivo de medição de sinal, pode-se conectar uma ponteira do osciloscópio (10pF//1M Ω) neste nó. Além disto, por utilizar um pino externo, há uma adição de capacitâncias parasitas do encapsulamento, da placa de circuito impresso, do resistor conectado e do *pad* utilizado. Portanto, projeta-se o ampop para uma capacitância de carga de 15pF. A fim de atingir critérios dinâmicos, temos que:

$$C_C = 0,22.C_L = 0,22.15pF = 3,3pF \quad (5.16)$$

A partir do produto ganho-banda requerido dos ampops e do capacitor de compensação calcula-se a transcondutância do par diferencial de entrada (gm_{in}):

$$gm_{in} = GBW.2.\pi.C_C = 1MHz.2.\pi.3,3pF = 20,7\mu A/V \quad (5.17)$$

A fonte de corrente do par diferencial é um fator que influencia diretamente o CMRR do ampop. Da mesma maneira que as dimensões do par diferencial foram obtidas após sucessivos resultados em simulações de Monte Carlo, optou-se por um L da fonte de corrente de 10 μm , o que representa um valor de 16,6 vezes o comprimento mínimo aceito na tecnologia. Com L=10 μm , tem-se uma modulação do comprimento de canal de 0.010748.V⁻¹, e para uma corrente de 2.5 μA , temos uma resistência de 26.87M Ω em saturação.

Para calcular a corrente de polarização do par diferencial temos que:

$$I_{B1} = \frac{gm^2}{2.\mu.C_{ox}.\frac{W}{L}} = \frac{20,7\mu A/V^2}{2.\mu.C_{ox}.\frac{200\mu m}{2\mu m}} = 0,76\mu A \quad (5.18)$$

A polarização dos transistores M38 e M39 do circuito *folded-cascode* é realizada conforme a abordagem clássica de Sansen (2005), onde a corrente destes transistores é 1,3 a 2 vezes a corrente de polarização dos pares diferenciais. Neste caso optou-se pelo valor de 1,5 vezes a corrente I_{B1} .

A partir do circuito amplificador de entrada *folded-cascode*, parte-se para o projeto do circuito de controle de gm , pois este é formado por estruturas idênticas ao amplificador de entrada.

A Figura 5.8 apresenta o estágio de entrada *rail-to-rail*, e as dimensões dos transistores são apresentados na Tabela 5.1.

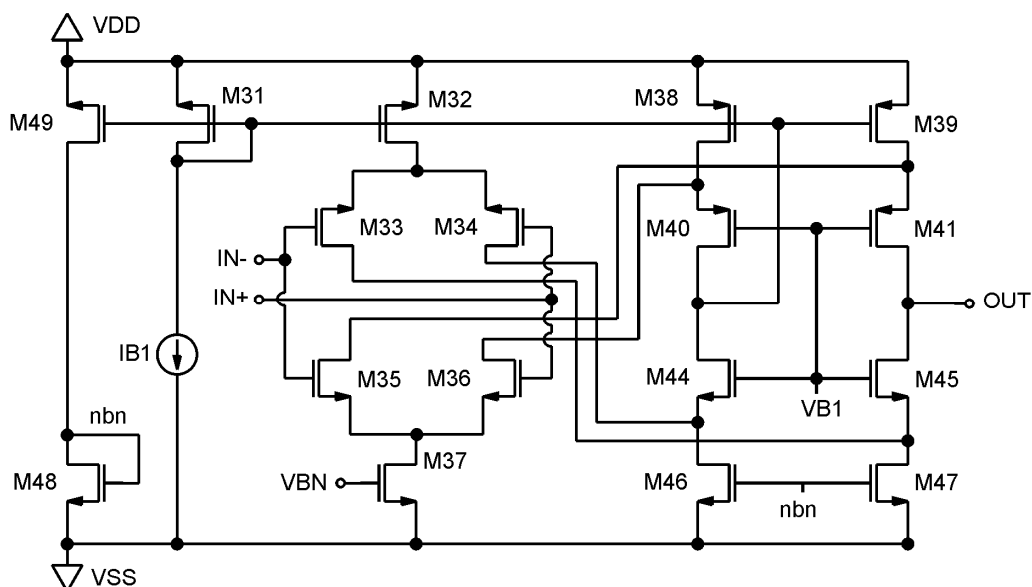


Figura 5.8 – Estágio de entrada dos ampops.

Tabela 5.1 – Dimensões dos transistores do amplificador diferencial *rail-to-rail*.

Transistor	Multiplicidade (M)	W(μ m)/L(μ m) Parcial	W(μ m)/L(μ m) Equivalente
M31, 32	3	20/10	60/10
M33, 34, 35, 36	8	20/2	160/2
M37	6	25/10	150/10
M38,39	6	15/3	90/3
M40, 41, 44, 45	3	8/2	24/2
M46, 47	6	15/3	90/3
M48	6	15/3	60/3
M49	4	20/10	80/10

As tensões V_+ e V_- do circuito de controle foram projetadas a partir de simulações de Monte Carlo, levando em consideração a variação do g_m controlado. Observou-se uma dependência grande do controle do g_m com a tensão V_+ e V_- , e obteve-se um valor ótimo de $V_+ = -(V_-) = 50\text{mV}$. A Figura 5.9 apresenta o circuito de controle de g_m , e a Tabela 5.2 apresenta as dimensões dos seus transistores.

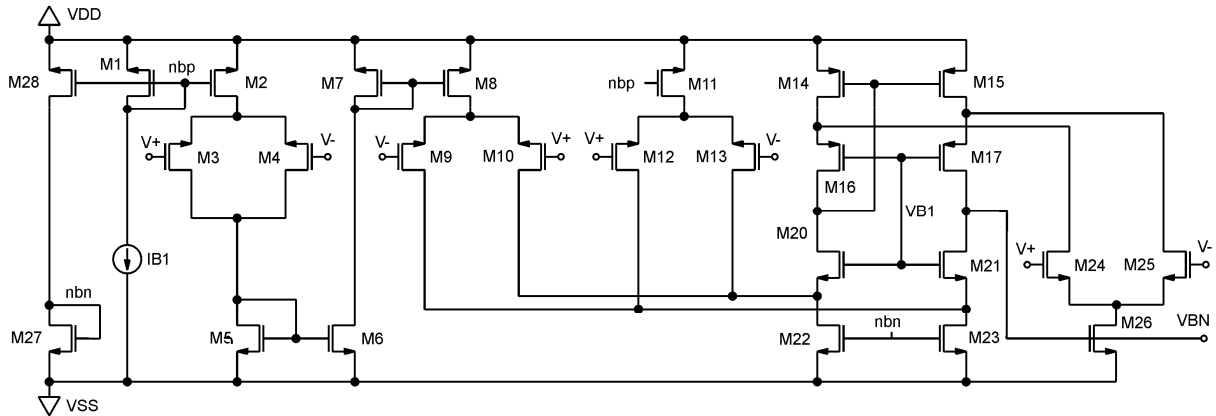


Figura 5.9 – Circuito de Controle de g_m .

Tabela 5.2 – Dimensões dos transistores do circuito de controle de g_m .

Transistor	Multiplicidade (M)	W(μm)/L(μm) Parcial	W(μm)/L(μm) Equivalente
M1, 2	3	20/10	60/10
M3, 4	8	20/2	160/2
M5, 6	2	25/10	50/10
M7, 8	3	20/10	60/10
M9, 10	8	20/2	160/2
M11	3	20/10	60/10
M12, 13	8	20/2	160/2
M14, 15	6	15/3	90/3
M16, 17, 20, 21	3	8/2	24/3
M22, 23	6	15/3	90/3
M24, 25	8	20/2	160/2
M26	6	25/10	150/10
M27	6	15/3	90/3
M28	4	20/10	80/10

Após o estágio de entrada e o circuito de controle de g_m ter sido projetado, parte-se para o projeto do estágio de saída. A transcondutância do estágio de saída do ampop é calculada através da relação entre $g_{m_{IN}}$ e $g_{m_{OUT}}$, objetivando atingir uma margem de fase de 60° :

$$g_{m_{OUT}} = 10 \cdot g_{m_{IN}} = 10 \cdot 20,7 \mu\text{A}/V = 207 \mu\text{A}/V \quad (5.19)$$

Para o projeto do estágio de saída dos ampops, devemos considerar que um ramo idêntico a ele será conectado através de seus *gates*, para o espelhamento da corrente dos ampops. Como requisitos necessários a este circuito, devemos ter uma área de gate grande a fim de ter um bom casamento, e um L grande, pois trata-se de um espelho de corrente. Optou-se então, por um W/L de $120\mu\text{m}/5\mu\text{m}$. A fonte de corrente do estágio de saída é de $10\mu\text{A}$.

5.3.1. Projeto do espelho de corrente

O espelhamento da corrente de consumo dos ampops é realizado apenas inserindo-se um ramo idêntico ao estágio de saída dos ampops sem a fonte de corrente, e conectando-se os seus *gates*. O dimensionamento destes transistores já foi realizado na etapa do estágio de saída dos ampops. Resta ainda, uma segunda parte do espelho de corrente, responsável pela conexão entre os espelhos de corrente dos dois estágios de saída dos ampops. Da mesma forma que no estágio de saída, o dimensionamento deste espelho se dá na escolha de área de transistores grandes, a fim de evitar descasamentos, e um L grande, objetivando tornar alta a impedância de saída do espelho.

5.3.2. Projeto do ampop *buffer* de saída

O amplificador *buffer* de saída utilizado juntamente com o resistor R_2 forma um estágio de saída transconductor. Os requisitos necessários para o projeto deste ampop são bastante simples, visto que ele não tem influência alguma no CMRR do AI (pois é um estágio de entrada *single-ended*), e uma influência considerada desprezível na V_{OS} do AI.

A faixa de entrada em modo comum também não é crítica, visto que a excursão dos sinais na saída dos espelhos de corrente não se dá em tensão, e sim em corrente. Por isto, o ampop pode ser construído utilizando apenas um par diferencial de entrada. Já a excursão de saída do ampop determina a excursão de saída do AI, e faz-se a opção pelo estágio de saída *common-source*.

Com estes requisitos, opta-se por um amplificador de dois estágios, conhecidos na literatura como amplificador Miller (ALLEN, 2002).

Como requisitos necessários ao ampop têm-se uma banda de frequência condizente com o AI (1MHz), além de um baixo consumo, e uma margem de fase de 60° , e uma carga de saída de 15pF. O fluxo de projeto clássico de ampops de dois estágios apresentado na seção 5.1 será utilizado neste projeto.

A margem de fase de 60° nos leva ao dimensionamento do capacitor de compensação:

$$C_C = 0,22.C_L = 0,22.15\text{pF} = 3,3\text{pF} \quad (5.20)$$

A transcondutância do par diferencial de entrada é dada por:

$$gm_{in} = 2.\pi.C_C.GBW = 2.\pi.3,3\text{pF}.1\text{MHz} = 20,7\mu\text{A}/\text{V} \quad (5.21)$$

Também pelo critério da margem de fase calcula-se a transcondutância do estágio de saída:

$$gm_{OUT} = 10.gm_{IN} = 10.20,7\mu\text{A}/\text{V} = 207\mu\text{A}/\text{V} \quad (5.22)$$

A partir destes parâmetros chega-se ao dimensionamento dos transistores deste ampop.

A Figura 5.10 apresenta o ampop *buffer* de saída, e a Tabela 5.3 apresenta as dimensões dos seus transistores.

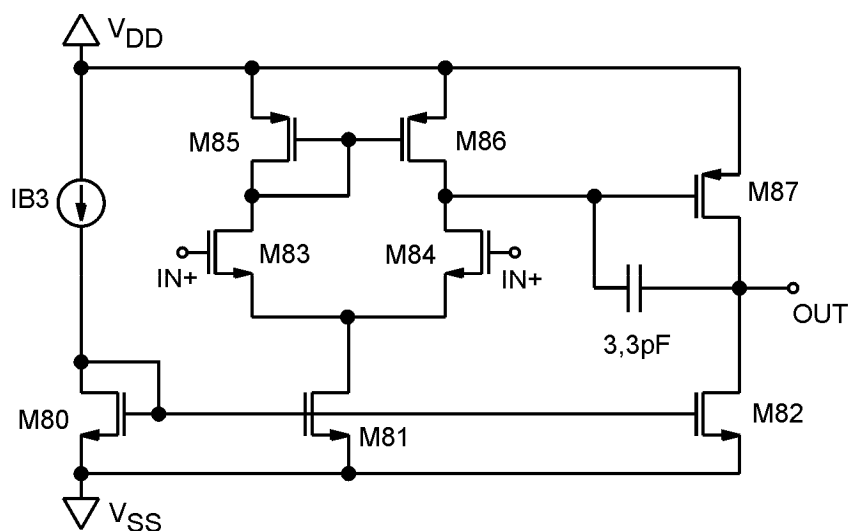


Figura 5.10 – Ampop *buffer* de saída.

Tabela 5.3 – Dimensões do ampop *buffer* de saída.

Transistor	Multiplicidade (M)	W(μm)/L(μm) Parcial	W(μm)/L(μm) Equivalente
M80, 81	2	10/5	20/5
M82	12	10/5	120/5
M83, 84	6	10/2	60/2
M85,86	3	10/2	30/2
M87	10	22/2	220/2

5.3.3. Amplificador de instrumentação

A construção do AI é obtida através da conexão entre os blocos projetados. A Figura 5.11 apresenta a topologia implementada. Observam-se algumas modificações relativas ao primeiro projeto apresentado no capítulo 3:

Os estágios de entrada dos ampops de entrada (Figura 5.8) possuem apenas um circuito de controle de g_m (Figura 5.9), diminuindo o consumo de potência e a área ocupada do AI, e assegurando um casamento maior entre os dois ampops, pois agora são polarizados de forma igual.

Outra diferença encontra-se no estágio transcondutor de saída (Figura 5.10). No projeto do capítulo 3, o ampop de saída era idêntico aos ampops de entrada. Entretanto, analisou-se o circuito e concluiu-se que seus requisitos eram mínimos, e foi implementado um ampop simples de dois estágios. Isto também reduz o consumo de potência e a área ocupada.

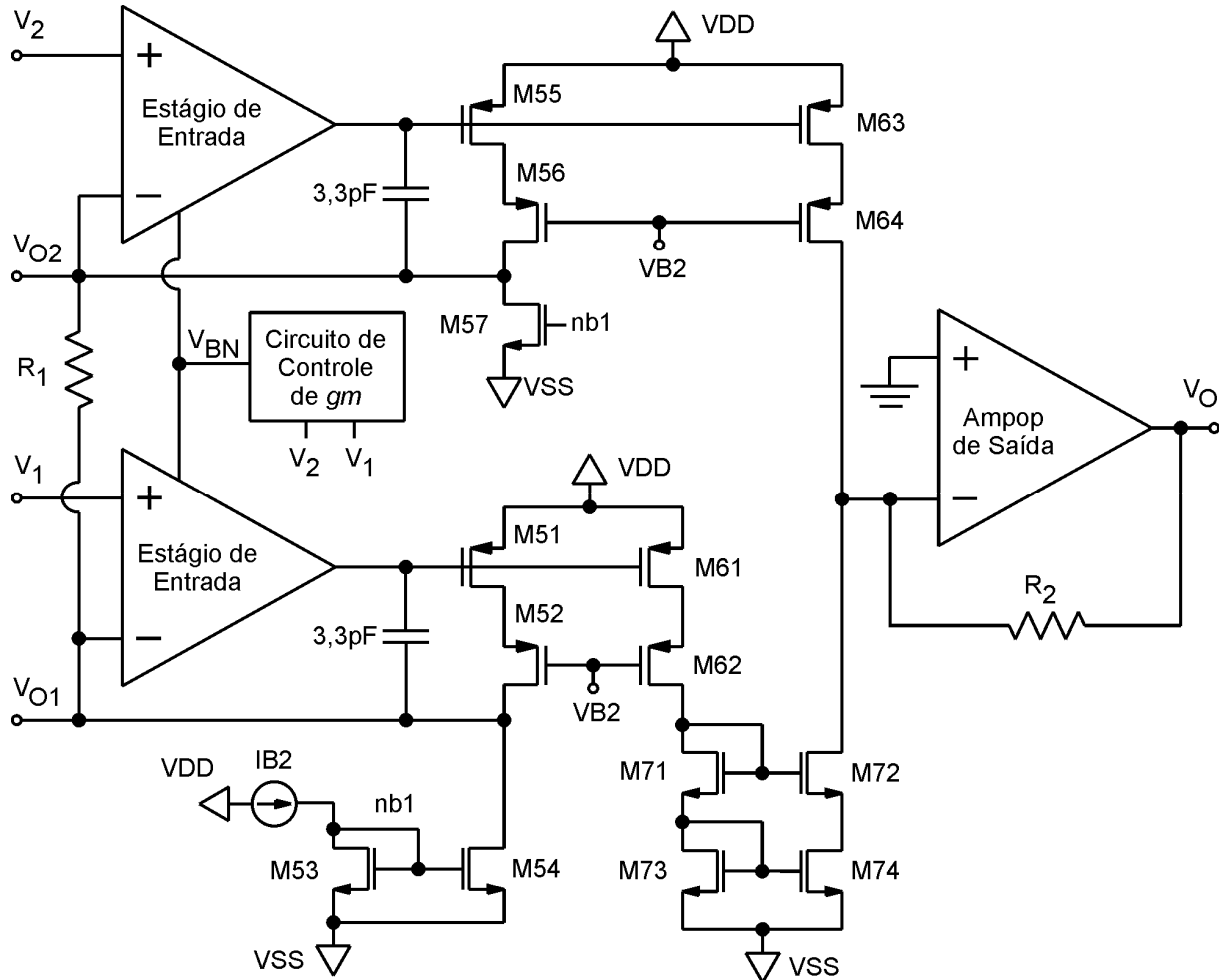


Figura 5.11 – Amplificador de Instrumentação.

A Tabela 5.4 apresenta as dimensões do estágio de saída dos ampops e dos espelhos de corrente, e a Tabela 5.5 apresenta as correntes e as tensões de polarização utilizadas em todo o AI. O *netlist* contendo o circuito final é apresentado no anexo A.

Tabela 5.4 – Dimensões do estágio de saída e espelhos de corrente.

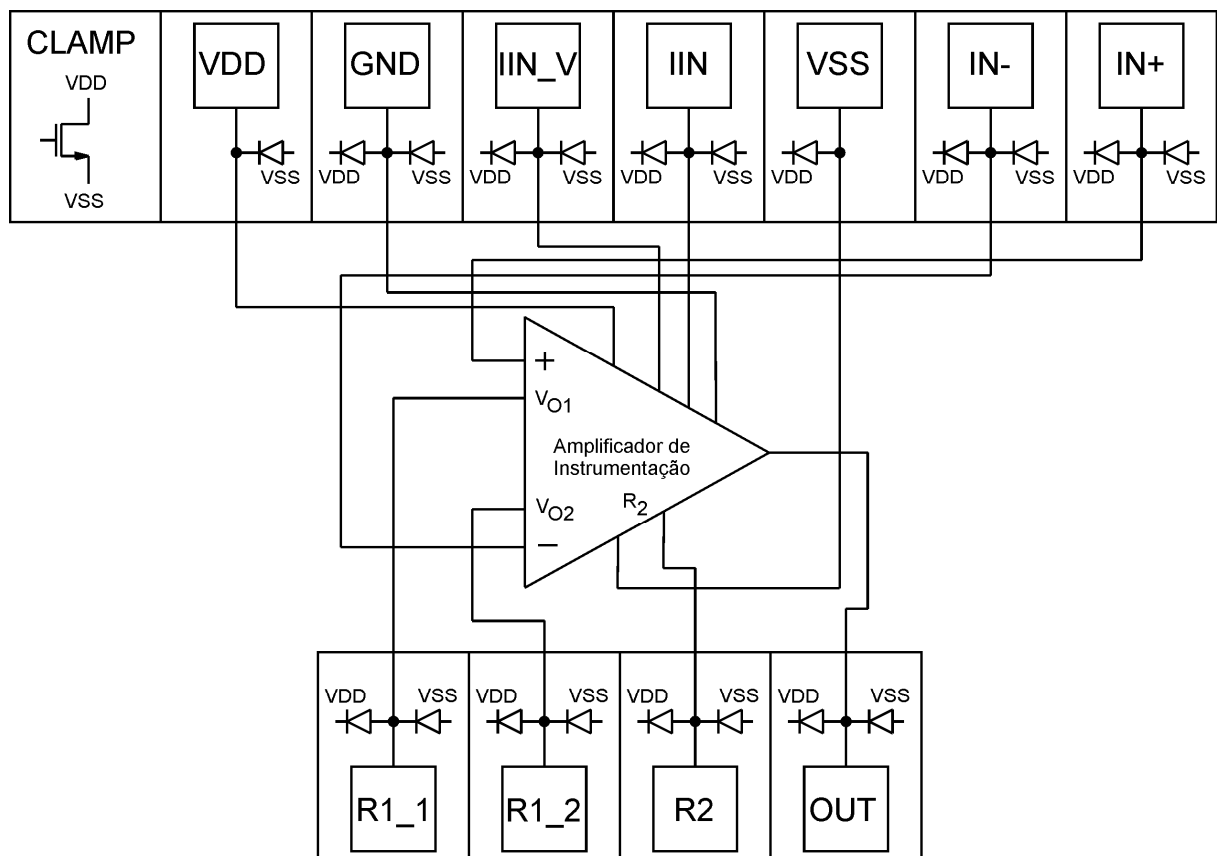
Transistor	Multiplicidade (M)	W(μ m)/L(μ m) Parcial	W(μ m)/L(μ m) Equivalente
M51, 52	6	20/5	120/5
M53, 54	3	10/5	30/5
M61, 62	6	20/5	120/5
M63, 64	3	10/5	30/5
M71, 72	3	30/5	90/5
M73, 74	6	20/5	120/5
M75, 76, 77	6	15/5	90/5

Tabela 5.5 – Tensões e correntes de Polarização.

Fonte de Polarização	W(μm)/L(μm)
IB1	1 μA
IB2	10 μA
IB3	2 μA
VB1, VB2	0V

A Figura 5.12 mostra o diagrama de *pads* utilizado para a conexão do amplificador de instrumentação com o encapsulamento. Os *pads* utilizados são do tipo *pad limited* (onde o tamanho do *die* é dependente da quantidade de *pads*), e são utilizados *pads* analógicos, de alimentação, e de *clamp*.

Os *pads* dos pinos IIN e IIN_V são utilizados, respectivamente, para fornecer a corrente dos blocos utilizados e fornecer a corrente que irá gerar as tensões de referencia V+ e V- de $\pm 50\text{mV}$.

Figura 5.12 – Amplificador de Instrumentação e sua conexão com os *pads*.

5.4. *Layout*

A etapa de *layout* compreende a disposição geométrica dos dispositivos do circuito a ser fabricado. Um arquivo contendo todas as informações destas geometrias (arquivo em formato *GDS – Graphic Data System*) em diferentes camadas de materiais é enviado para a fabricação.

Neste projeto, as características que dependem do casamento de partes simétricas no AI (CMRR e V_{OS}) foram abordadas, e seu desempenho foi avaliado utilizando simulações de Monte Carlo. Estas simulações utilizam parâmetros provindos da fábrica, de acordo com a tecnologia utilizada, baseado em análise estatística de medições de *chips* já fabricados. Estas medições foram realizadas, conforme a fábrica, utilizando estruturas de teste com *layout* desenhado perfeitamente, o que significa que estes parâmetros podem ser alcançados somente com uma otimização especial do *layout* (XFAB, 2005). Diante disto, o projetista tem a obrigação de realizar um bom *layout* a fim de conseguir no máximo o desempenho reportado nas simulações de Monte Carlo.

As técnicas de *layout* comumente conhecidas (SAINT, 2002) são padrões que a literatura sugere para diminuição das variações do processo e de descasamento. Uma técnica bastante difundida é a técnica do centróide comum, onde os dispositivos a serem casados são intercalados em uma estrutura planar simétrica, e desta forma supõe-se que serão afetados simetricamente pelas variações de processo. Outra técnica bastante utilizada consiste em adicionar estruturas chamadas *dummies*, a fim de evitar o efeito de borda. Além destes, sugere-se ainda que os dispositivos tenham a mesma orientação, tenham seus elementos parasitas casados, assim como suas interconexões (roteamento), e que sejam simétricos.

A Figura 5.13 apresenta o *layout* de um dos pares diferenciais do circuito, chamados aqui de transistores A e B, de dimensões iguais. Os transistores possuem uma multiplicidade de 8, o que facilita propositalmente o *layout* dos transistores. O *layout* possui uma estrutura de centróide comum, com interdigitamentos, além da inserção de transistores *dummies* (representados pela letra D) nas extremidades do *layout*.

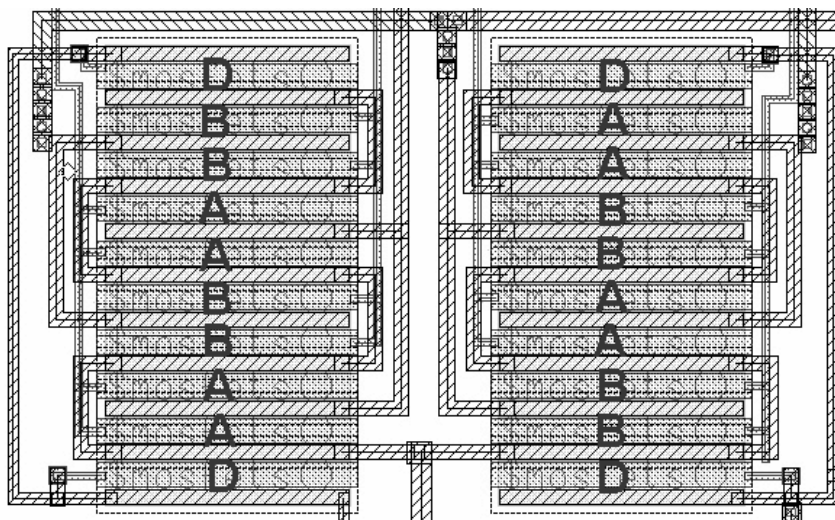


Figura 5.13 – *Layout* de um par diferencial n de um ampop.

Na Figura 5.14 apresenta-se o *layout* do amplificador de instrumentação completo, cuja área ocupada é de $515\mu\text{m} \times 386\mu\text{m}$, ou 0.198mm^2 . Na Figura 5.15 apresenta-se o *layout* do *chip* enviado para a fabricação juntamente com outros circuitos, incluindo os anéis de *pads*.

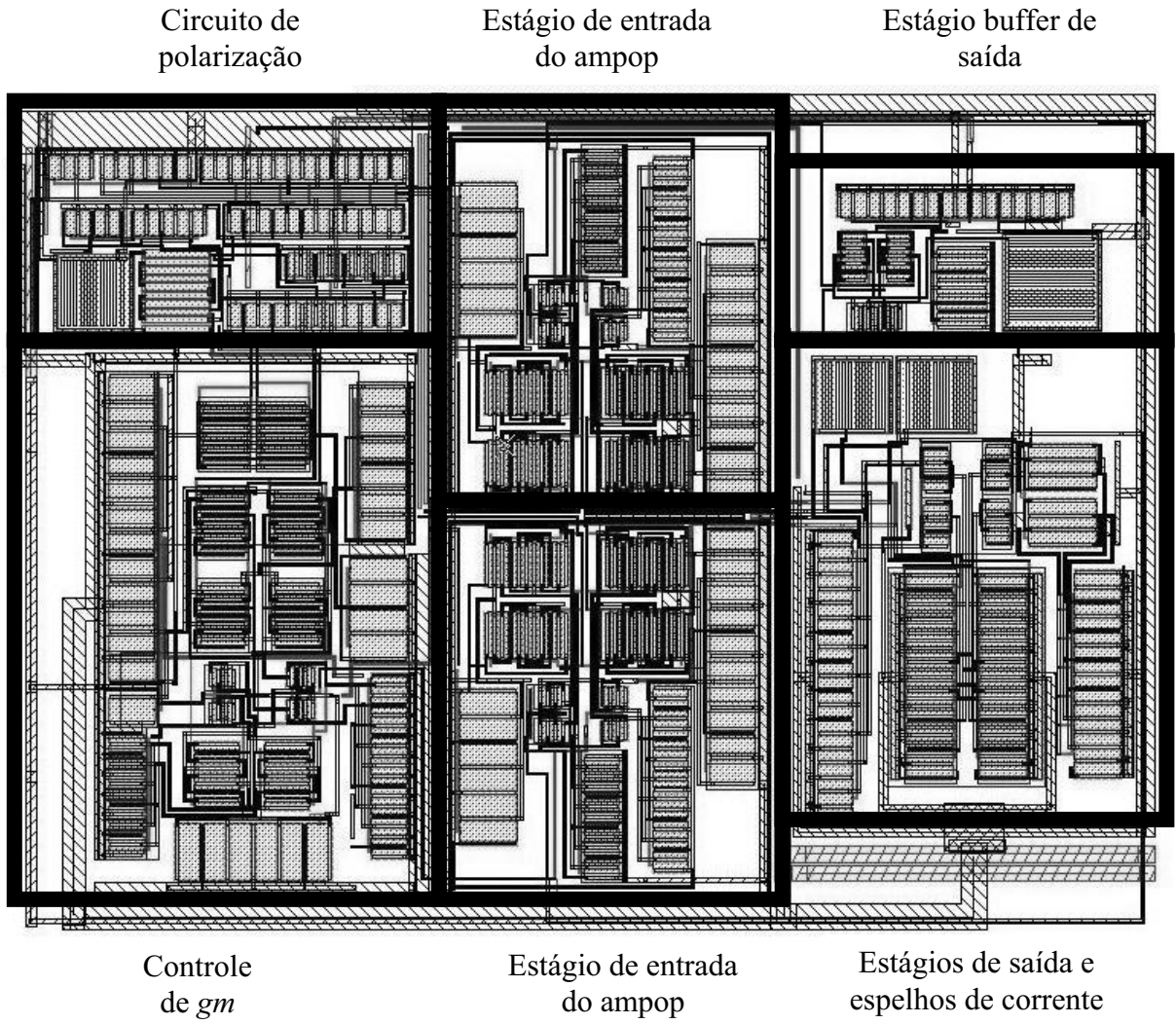


Figura 5.14 – Layout Final do AI.

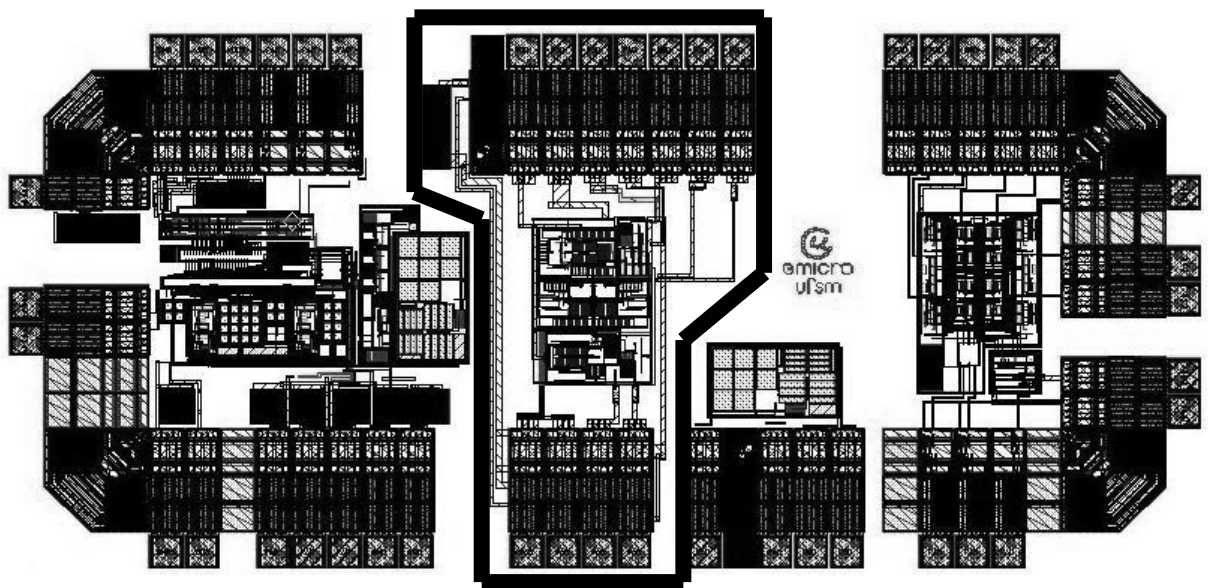


Figura 5.15 – Layout com Pads do AI.

6. RESULTADOS OBTIDOS E DISCUSSÕES

Neste capítulo os resultados finais deste projeto serão apresentados, assim como as discussões dos resultados.

Como as características finais do circuito dependem das características dos blocos que o compõe, também são apresentados os resultados dos blocos. A apresentação dos resultados subdivide-se da mesma forma pelo qual o sistema foi projetado: estágio de entrada, estágio de saída e espelhos de corrente, amplificador operacional, amplificador *buffer* de saída e amplificador de instrumentação.

Todo o fluxo de projeto apresentado, assim como as simulações, foi realizado utilizando as ferramentas de projeto da *Mentor Graphics* (MENTOR, 2008). Todas as simulações foram feitas utilizando o modelo BSIM3V3 no simulador Eldo.

A alimentação dos circuitos são todas realizadas com fontes simétricas, sendo $V_{DD} = 1.5V$ e $V_{SS} = -1.5V$.

Em todas as simulações de Monte Carlo apresentadas foram realizadas 100 rodadas, as quais incluem variação de processo entre os dispositivos e variação de processo entre diferentes lotes, representando desta maneira o pior caso.

Como neste trabalho exploram-se a característica de CMRR e V_{OS} do AI ao longo de uma ampla faixa de entrada em modo comum, estes serão enfatizados nos resultados de simulação.

6.1. Estágio de entrada dos ampops

O estágio de entrada dos ampops deve ter uma transcondutância constante ao longo da faixa de entrada em modo comum, onde a fonte de corrente do par diferencial n é polarizada por um circuito de controle de gm . Além disto, o casamento entre os dois estágios de entrada dos ampops do AI determina as características de CMRR e V_{OS} do AI. Desta forma, o teste do estágio de entrada dos ampops explora estas características.

A Figura 6.1 apresenta o circuito de teste para verificar a transcondutância deste estágio ao longo da entrada em modo comum. Para uma simulação com parâmetros típicos têm-se um valor mínimo e máximo de gm ao longo de $V_{i,cm}$, respectivamente, de 24.96 e 26.29 $\mu A/V$, sendo para $V_{i,cm}=0V$ tem-se o valor nominal de 25.04 $\mu A/V$.

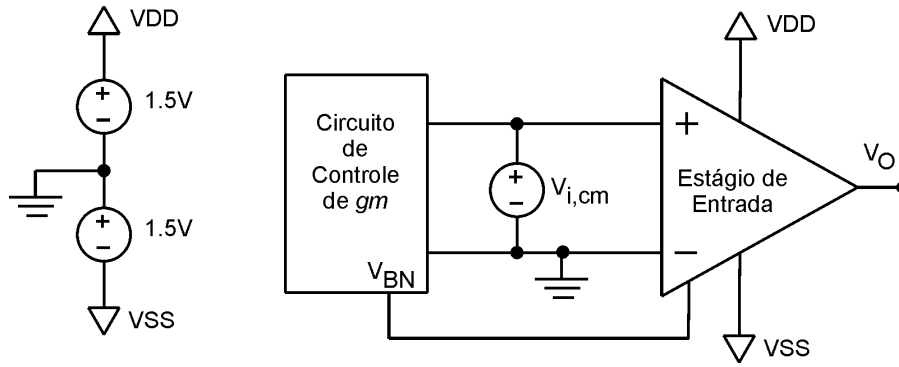


Figura 6.1 – Circuito de teste de transcondutância do estágio de entrada dos amps.

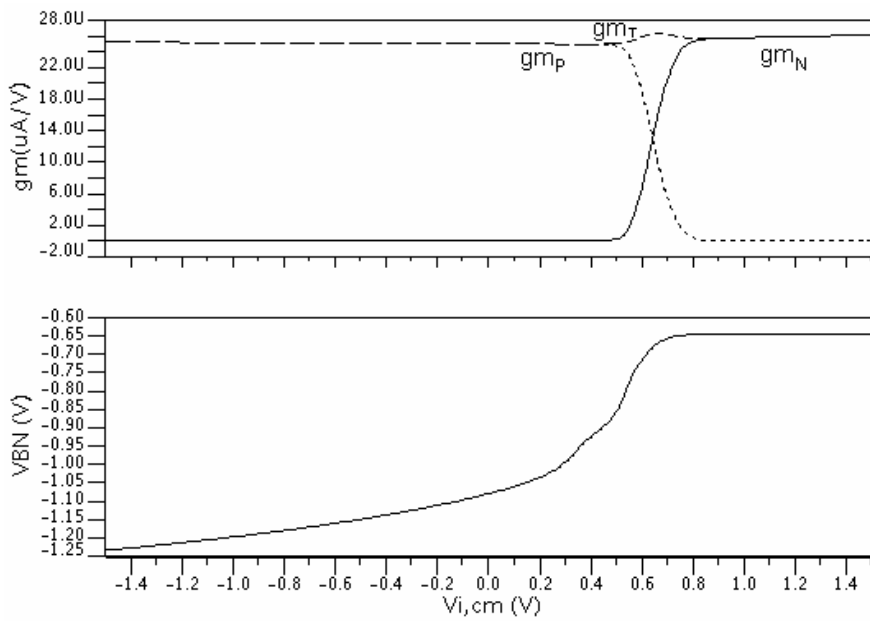


Figura 6.2 - gm e V_{BN} vs. $V_{i,cm}$ do estágio de entrada dos amps.

Para simular o ganho de malha aberta do estágio de entrada dos amps, utilizou-se a configuração apresentada na Figura 6.3. Já a configuração para testar CMRR e V_{OS} é apresentada na Figura 6.4

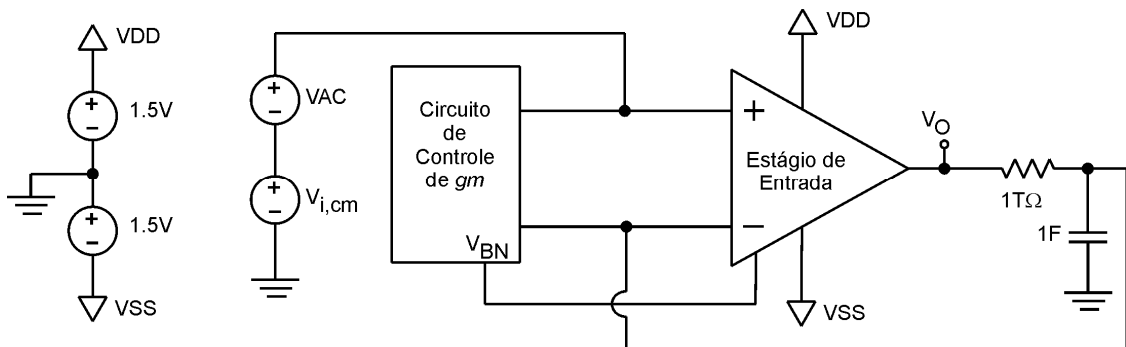


Figura 6.3 – Circuito de teste de ganho de malha aberta do estágio de entrada dos amps.

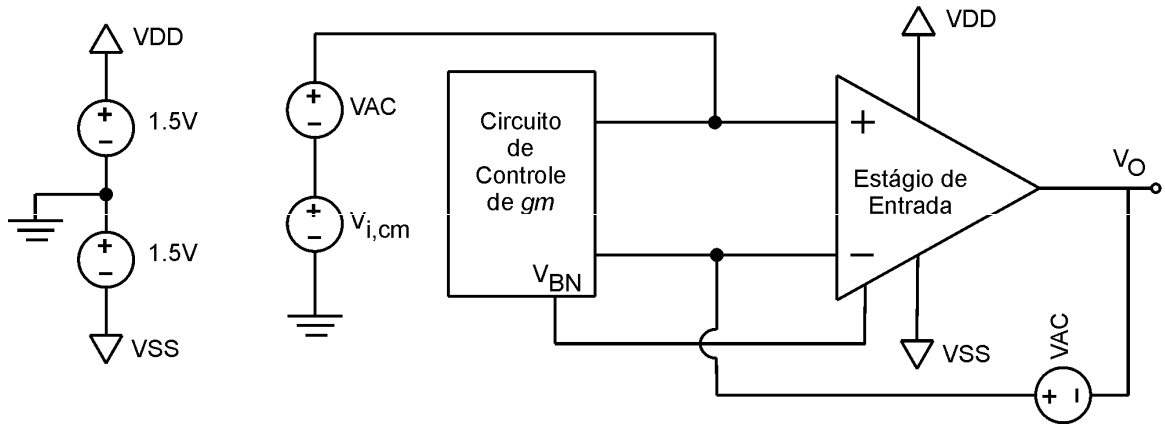


Figura 6.4 – Circuito de teste de CMRR e V_{OS} do estágio de entrada dos ampops.

Através de simulações de Monte Carlo obtém-se, para V_{i,cm}=0V, a distribuição gaussiana da transcondutância (Figura 6.5), ganho diferencial (Figura 6.6), CMRR (Figura 6.7) e V_{OS} (Figura 6.8) do estágio de entrada dos ampops.

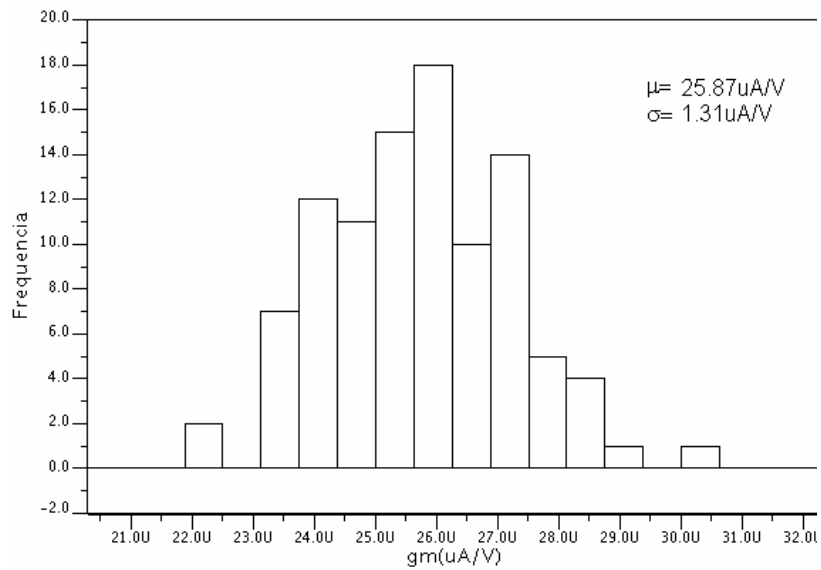


Figura 6.5 – g_m do estágio de entrada dos ampops @ V_{i,cm}=0V.

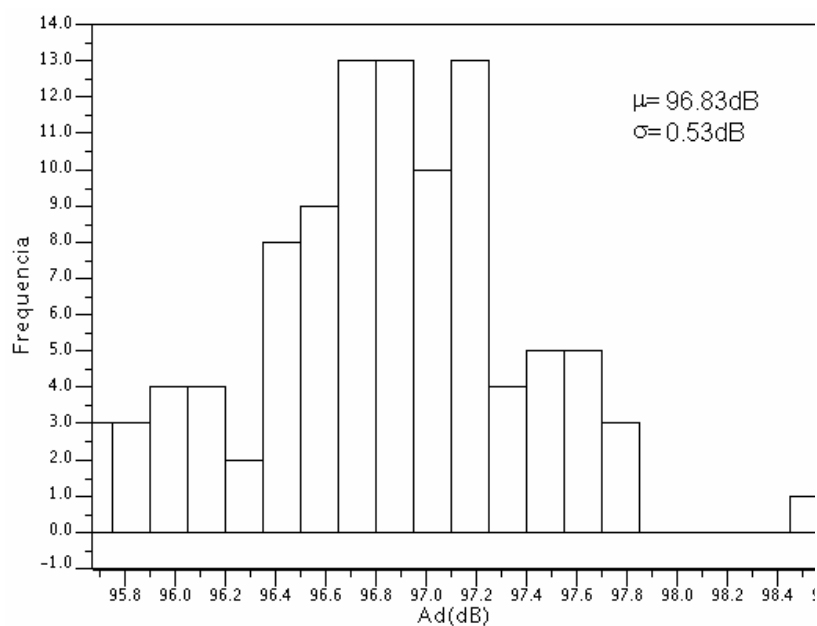


Figura 6.6 – Ganho diferencial do estágio de entrada dos ampops @ $V_{i,cm}=0V$.

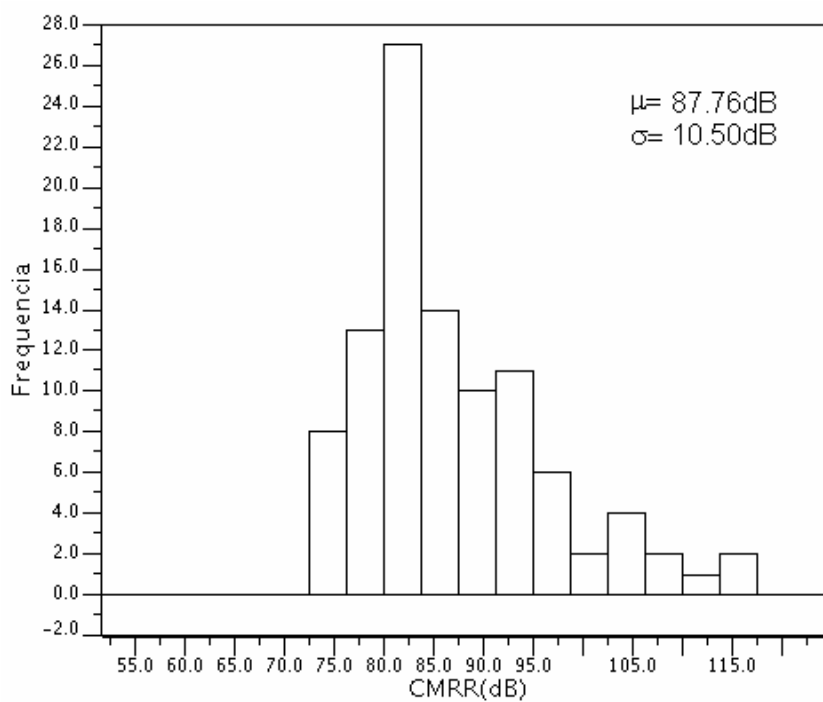


Figura 6.7 – CMRR do estágio de entrada dos ampops @ $V_{i,cm}=0V$.

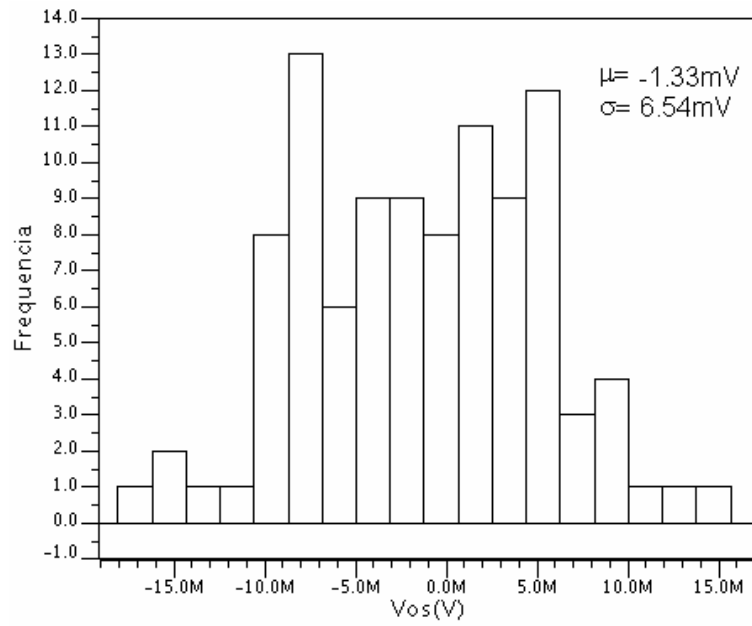


Figura 6.8 – V_{OS} do estágio de entrada dos ampops @ $V_{i,cm}=0V$.

Fazendo uma análise variando a faixa de entrada de modo comum, obtemos a variação de ganho diferencial (Figura 6.9), CMRR (Figura 6.10) e V_{OS} (Figura 2.1) do estágio de entrada.

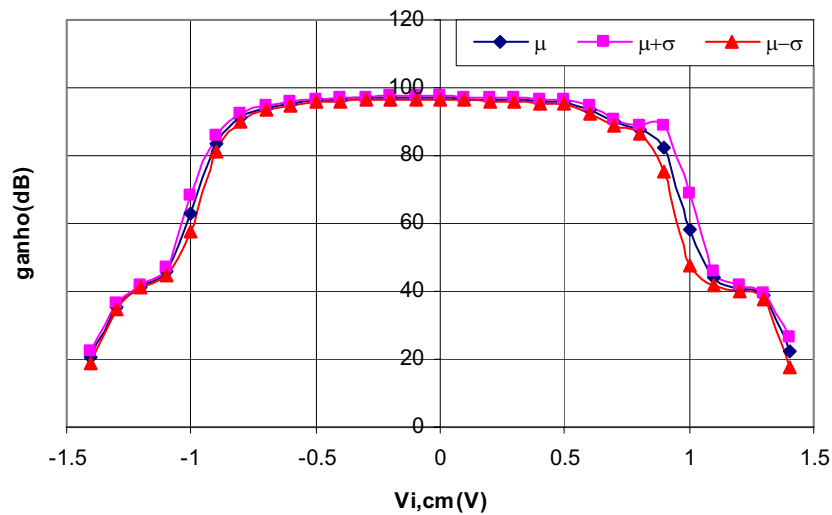


Figura 6.9 – Variação do ganho vs. $V_{i,cm}$ do estágio de entrada dos ampops.

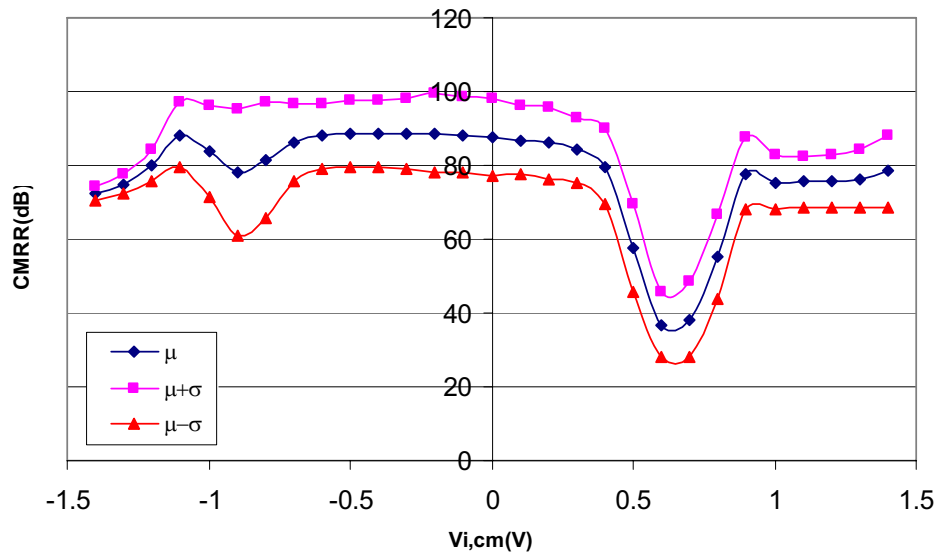


Figura 6.10 – Variação de CMRR vs. $V_{i,cm}$ do estágio de entrada dos ampops.

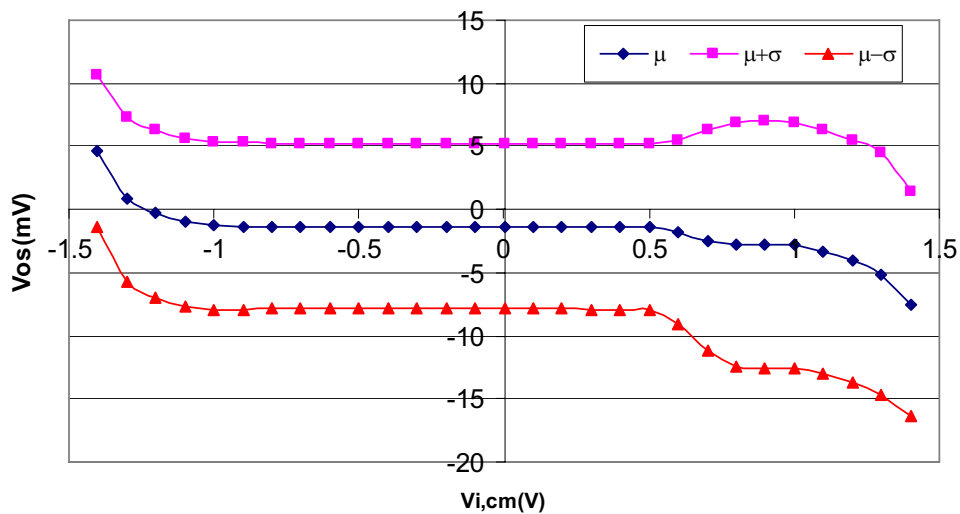


Figura 6.11 – Variação de V_{OS} vs. $V_{i,cm}$ do estágio de entrada dos ampops.

6.2. Estágio de saída dos ampops e espelhos de corrente

Como principal característica do estágio de saída dos ampops e dos espelhos de corrente tem-se o parâmetro de ganho dos espelhos de corrente (λ). Este parâmetro é testado utilizando o esquema da Figura 6.12 (onde testa-se λ_1). Como o espelho de corrente não é

totalmente simétrico, estimulou-se separadamente os espelhos a fim de obter os resultados. O resultado estatístico é apresentado na Figura 6.13 (λ_1) e Figura 6.14 (λ_2).

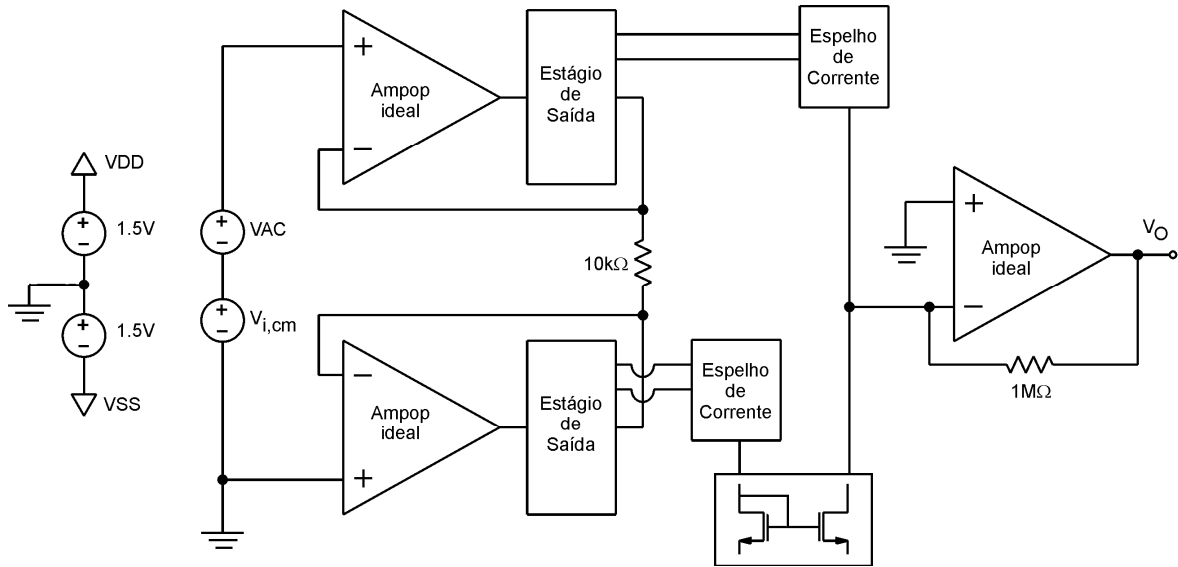


Figura 6.12 – Circuito de teste de λ do estágio de saída dos ampops e espelhos de corrente.

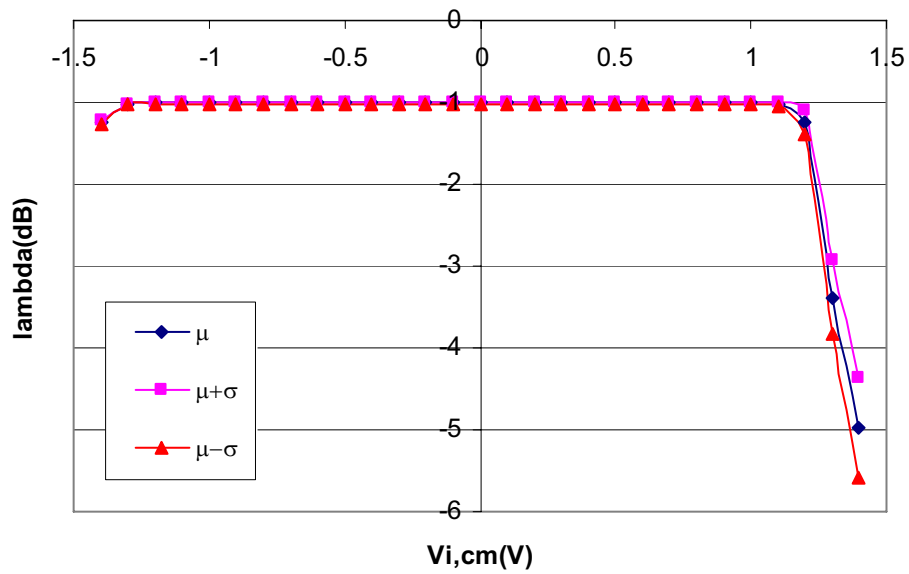


Figura 6.13 – Variação de λ_1 vs. $V_{i,cm}$ do ampop.

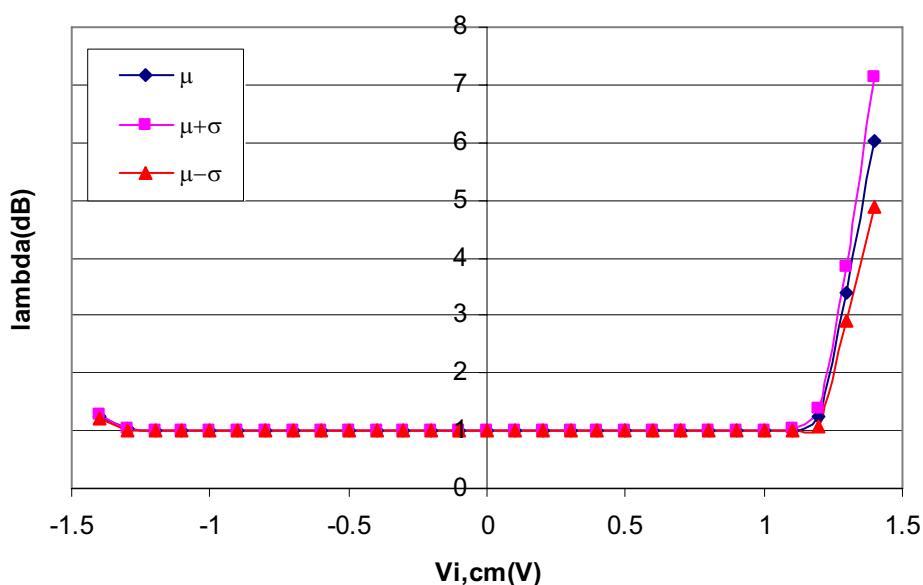


Figura 6.14 – Variação de λ_2 vs. $V_{i,cm}$ do ampop.

6.3. Amplificador operacional

Da mesma forma que seu estágio de entrada, o ampop será explorado principalmente no quesito de casamento, além da resposta em frequência e entrada em modo comum.

O circuito de teste apresentado na Figura 6.15 é utilizado para simular a faixa de entrada em modo comum do ampop, assim como sua resposta em frequência e ganho diferencial DC.

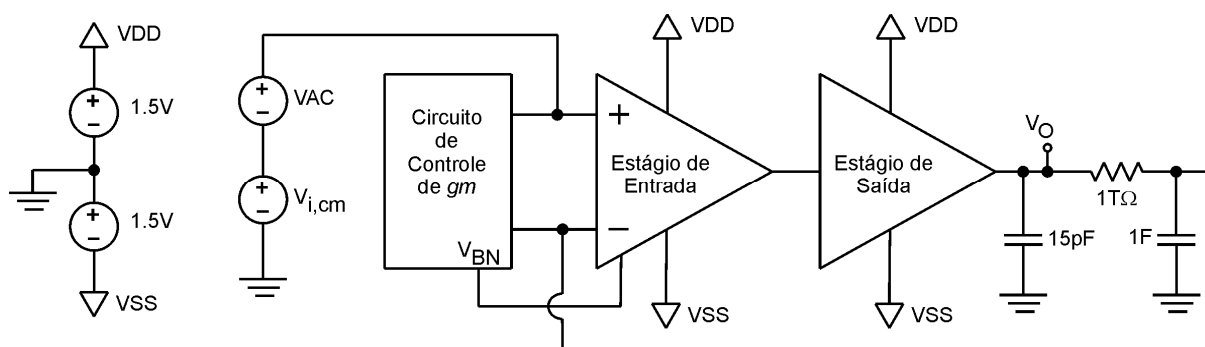


Figura 6.15 – Circuito de teste de CMIR, ganho DC e resposta em frequência do ampop.

A faixa de entrada em modo comum do ampop, que corresponde a faixa de V_{SS} a $V_{DD}-70mV$, é apresentada na Figura 6.16, enquanto que a sua resposta em frequência é apresentada na Figura 6.17. A largura de banda corresponde a 995MHz com uma margem de fase de 71.4° e um ganho DC de 159.62dB.

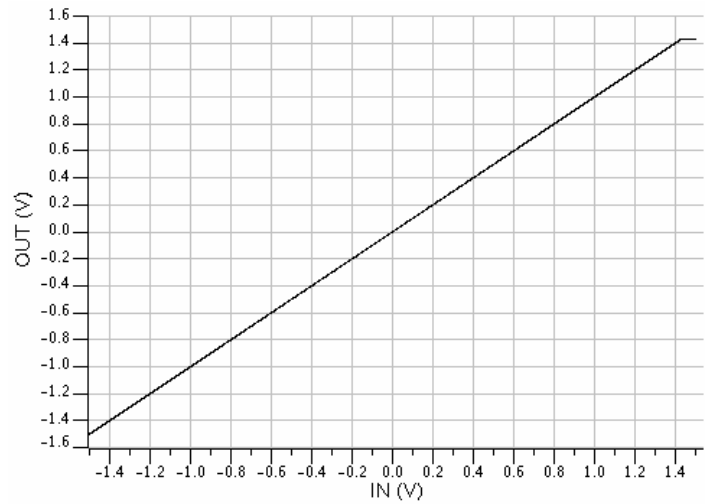


Figura 6.16 – Faixa de entrada em modo comum do ampop.

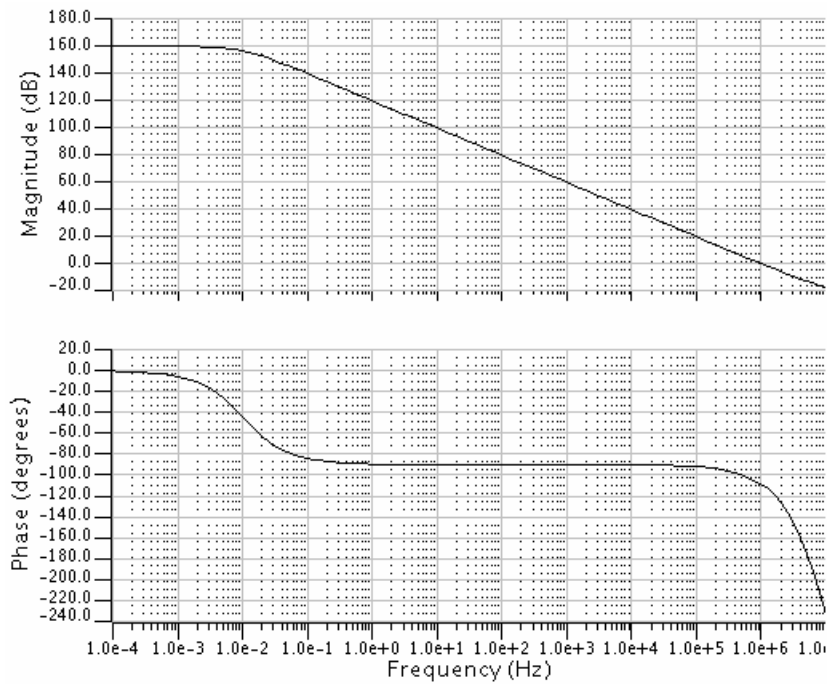


Figura 6.17 – Resposta em frequência do ampop @ $V_{i,cm}=0V$.

Para simular o CMRR e a V_{OS} do ampop, utiliza-se a configuração apresentada na Figura 6.18.

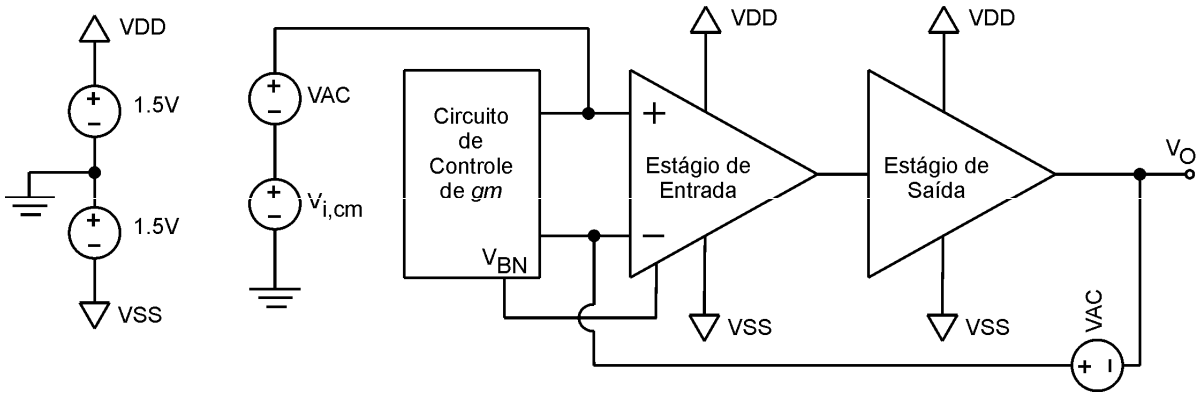


Figura 6.18 – Circuito de teste de CMRR e V_{OS} do ampop.

Para $V_{i,cm}=0V$, obteve-se a variação de ganho diferencial (Figura 6.19), CMRR (Figura 6.20) e V_{OS} (Figura 6.21) do ampop.

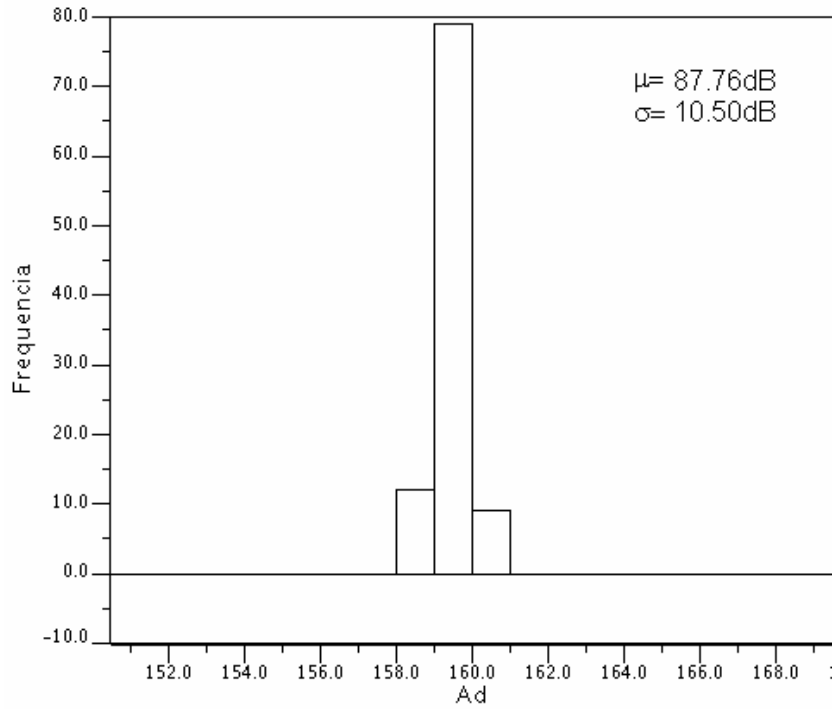


Figura 6.19 – Ganho diferencial do ampop @ $V_{i,cm}=0V$.

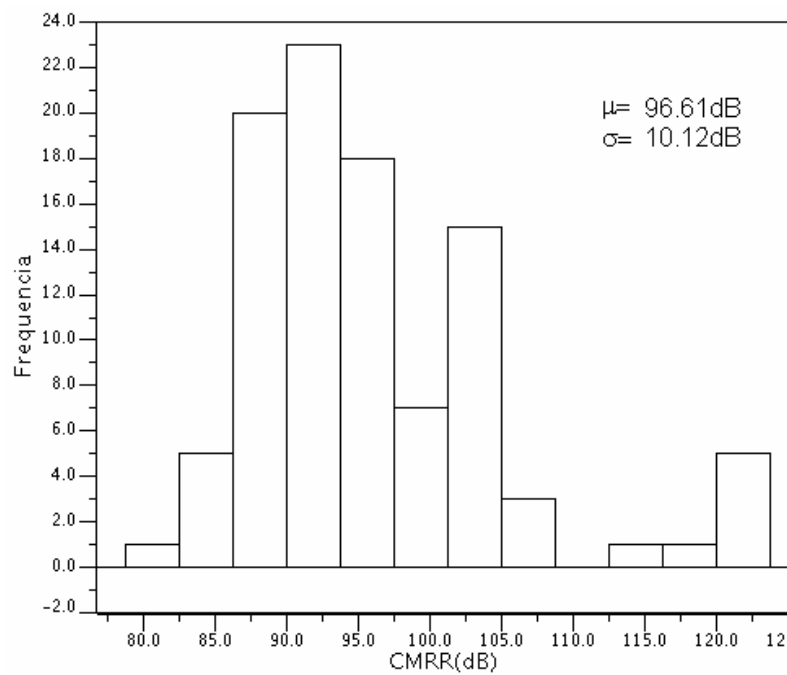


Figura 6.20 – CMRR do ampop @ $V_{i,cm}=0V$.

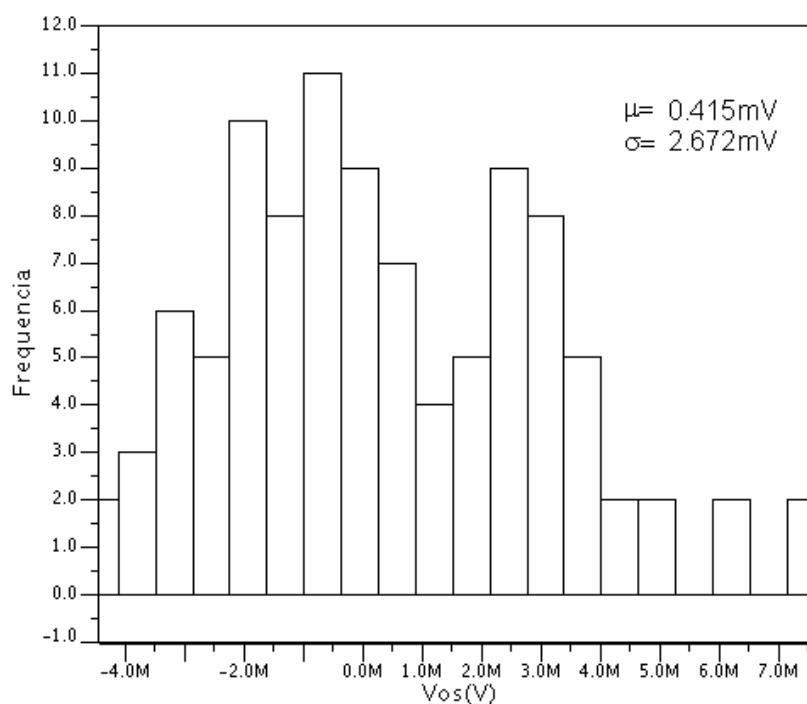


Figura 6.21 – V_{0s} do ampop @ $V_{i,cm}=0V$.

A resposta em frequência do CMRR para $V_{i,cm}=0V$ dos ampops é apresentada na Figura 6.22. Este gráfico é um caso intermediário dentre as 100 rodadas de simulação de Monte Carlo.

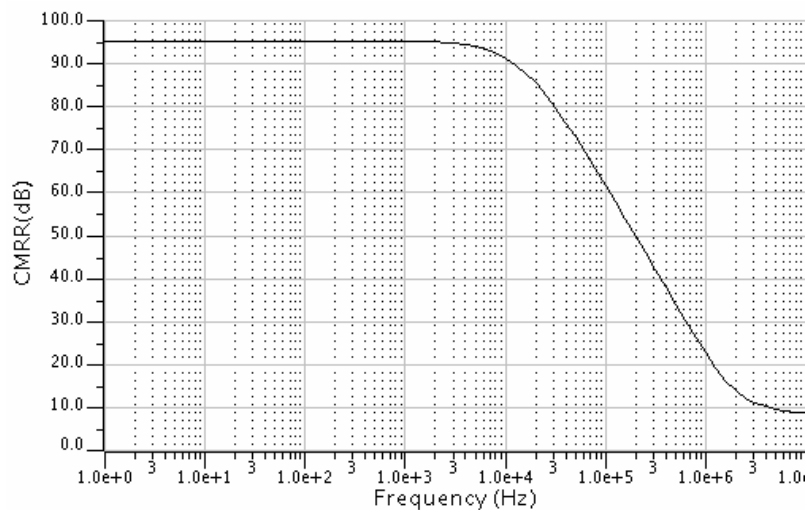


Figura 6.22 – CMRR dos ampops.

Ao longo da entrada em modo comum, apresenta-se a variação do ganho diferencial (Figura 6.23), CMRR (Figura 6.24) e V_{OS} (Figura 6.25) do ampop.

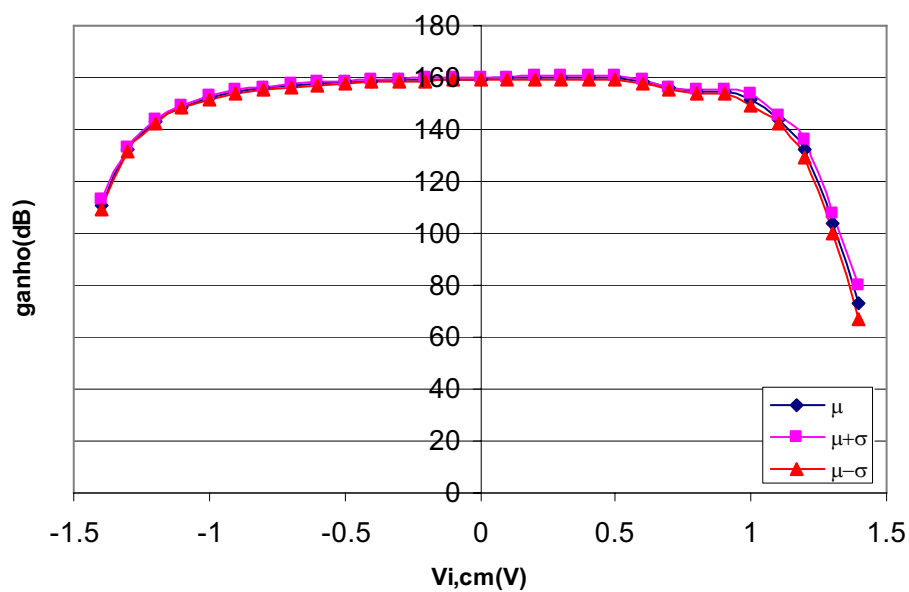


Figura 6.23 – Variação do ganho diferencial vs. $V_{i,cm}$ do ampop.

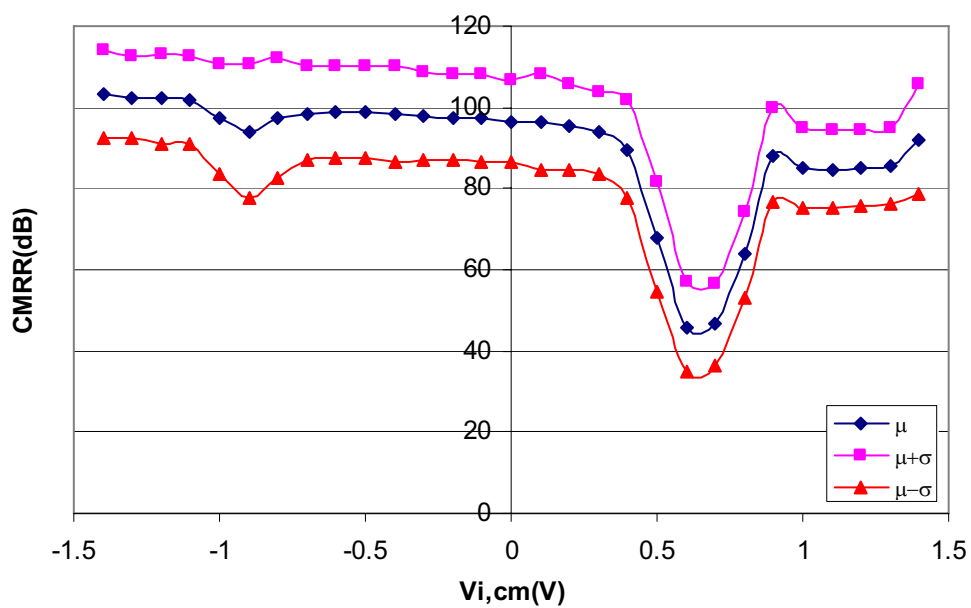


Figura 6.24 – Variação de CMRR vs. $V_{i,cm}$ do ampop.

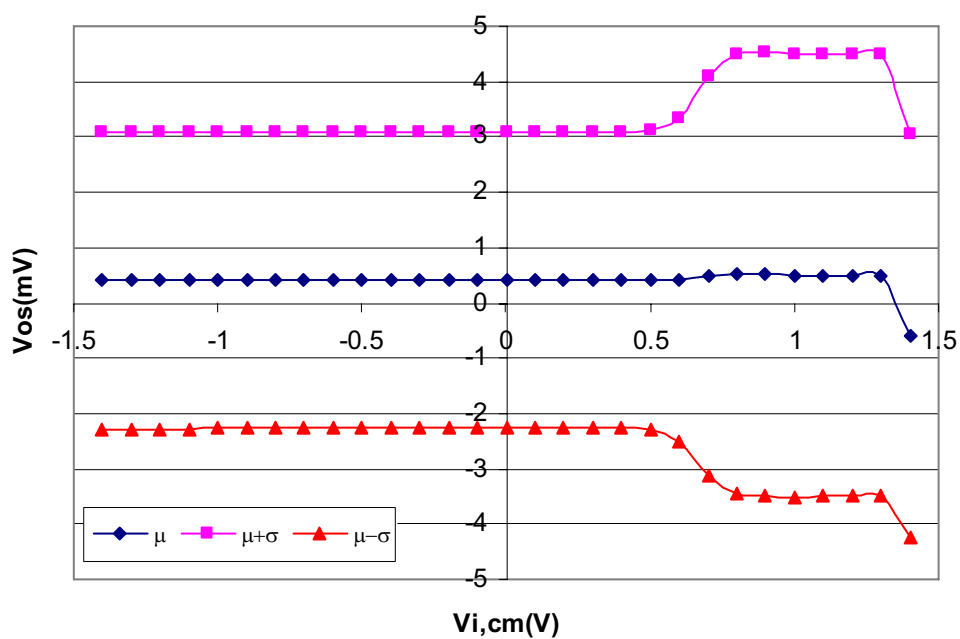


Figura 6.25 – Variação de V_{OS} vs. $V_{i,cm}$ do ampop.

Na Figura 6.26 apresenta-se o resultado do ampop na configuração de ganho unitário (α) ao longo da entrada em modo comum.

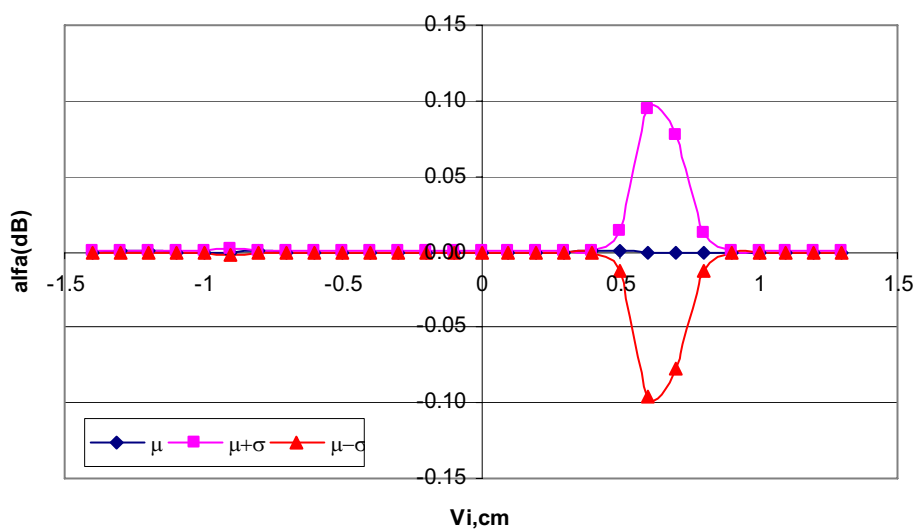


Figura 6.26 – Variação de α vs. $V_{i,cm}$ do ampop.

6.4. Ampop de saída

O ampop que compõe o estágio *buffer* de saída, por não ser considerado um bloco crítico no projeto do AI, tem requisitos mínimos de casamento. A configuração de teste do ganho de malha aberta do ampop é apresentada na Figura 6.28. Na Figura 6.28 apresenta-se a resposta em frequência obtida, onde o ganho DC é de 100.3dB, a margem de fase de 63.4° e uma largura de banda de 951kHz.

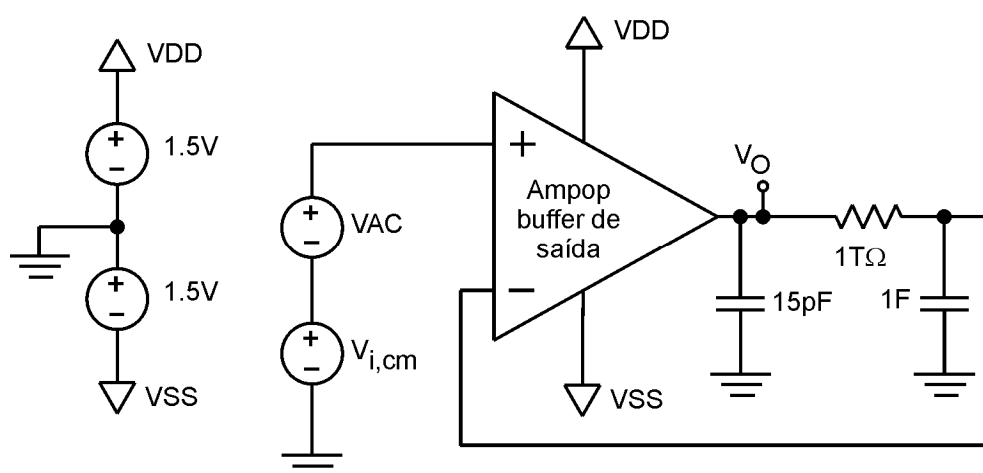


Figura 6.27 - Teste de ganho de malha aberta do ampop *buffer* de saída.

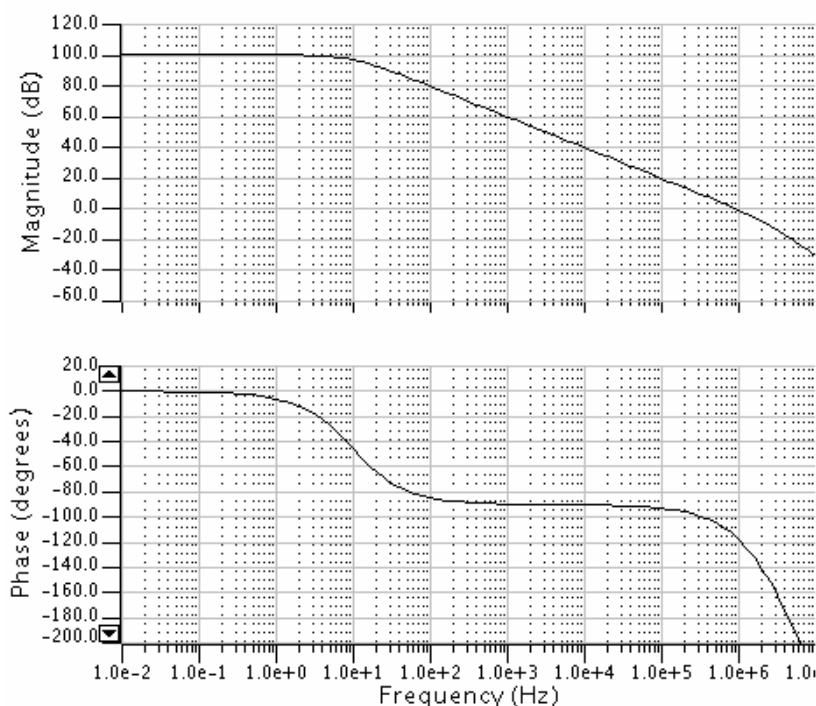


Figura 6.28 – Resposta em frequência do estágio *buffer* de saída @ $V_{i,cm}=0V$.

6.5. Amplificador de instrumentação

Os resultados de simulação do amplificador de instrumentação que seguem são todos relativos ao circuito completo, incluindo os *pads*, sendo simulado com *netlist* extraído pós-*layout*, incluindo os componentes parasitas (resistência e capacitância parasitas e capacitância de *cross-over*).

A Figura 6.29 apresenta uma configuração típica de operação do AI, utilizado para testar o ganho diferencial, excursão de saída, consumo de potência, THD (*Total harmonic distortion*) e ruído.

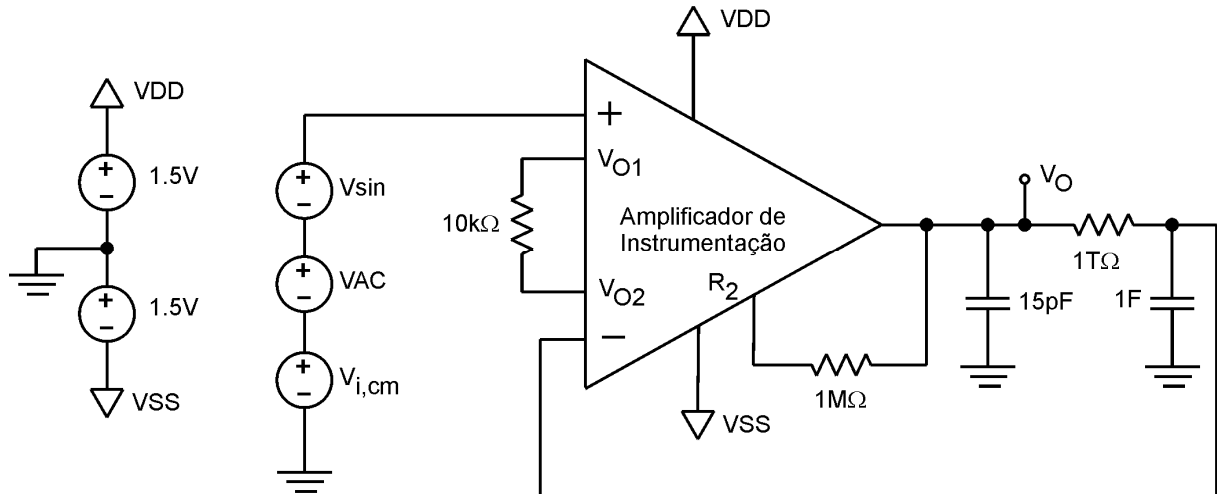


Figura 6.29 – Configuração do AI para testar ganho diferencial, resposta em freqüência, excursão de saída, consumo de potência, THD e ruído.

A Figura 6.30 apresenta uma resposta transiente do AI, onde um sinal senoidal de 5mV de pico, com freqüência de 1kHz é aplicado na entrada, e amplificado em 200 vezes. Nesta situação, consideramos o consumo nominal do AI, sendo igual a $273.93\mu W$. Ainda, para estas condições, temos uma distorção harmônica total (THD) de -96.4dB (simulação com parâmetros típicos).

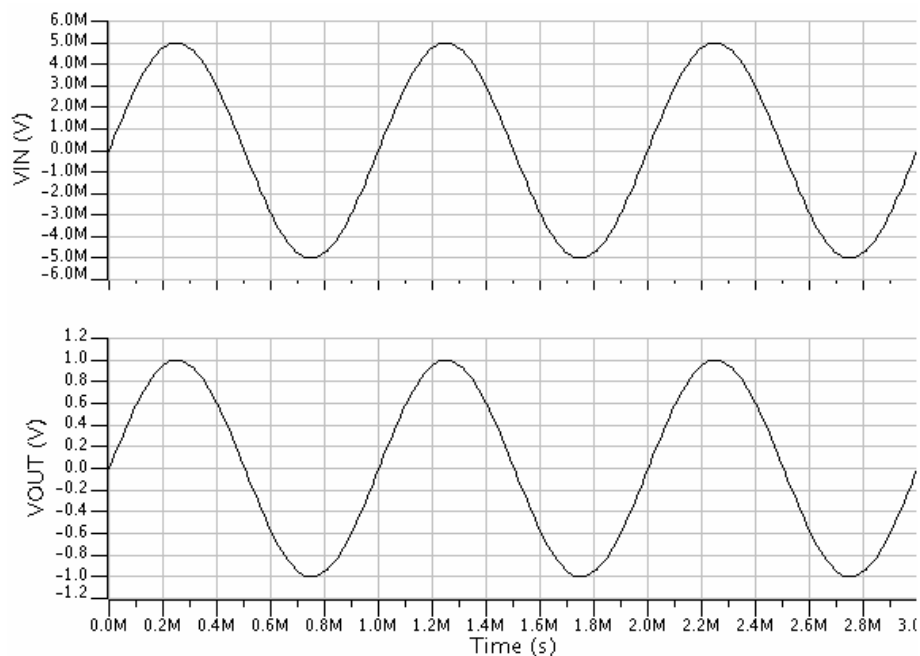


Figura 6.30 - Análise Transiente do AI @ $V_{i,cm}=0V$.

A Figura 6.31 apresenta a excursão de saída do AI, sendo *rail-to-rail*.

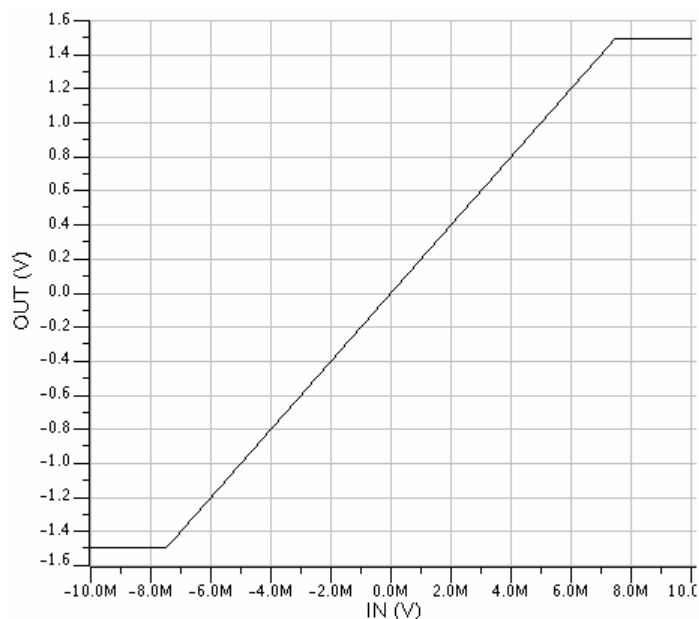


Figura 6.31 – Excursão de Saída do AI @ $V_{i,cm}=0V$.

A Figura 6.32 apresenta a resposta em frequência do AI, para uma carga de 15pF. Ainda nestas condições, faz-se análise de ruído, resultando em $85nV/\sqrt{Hz}$ em 10kHz.

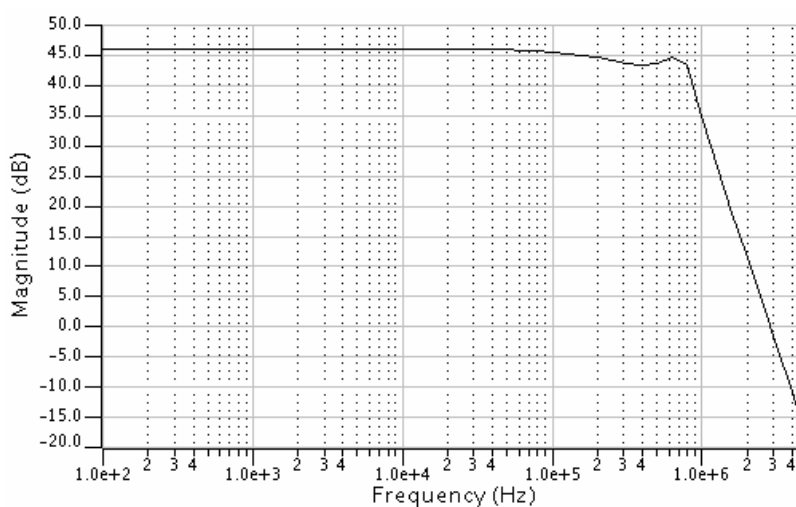


Figura 6.32 – Resposta em frequência do AI @ $V_{i,cm}=0V$.

Uma análise do ganho de tensão do AI ao longo da entrada em modo comum é apresentada na Figura 6.33. A fim de definir a faixa de entrada em modo comum do AI, considerou-se uma variação de $\pm 10\%$ no ganho ao longo de $V_{i,cm}$. Para esta figura, temos uma faixa entre -1.38V e 1.16V (ou $V_{SS}+120mV$ e $V_{DD}-340mV$).

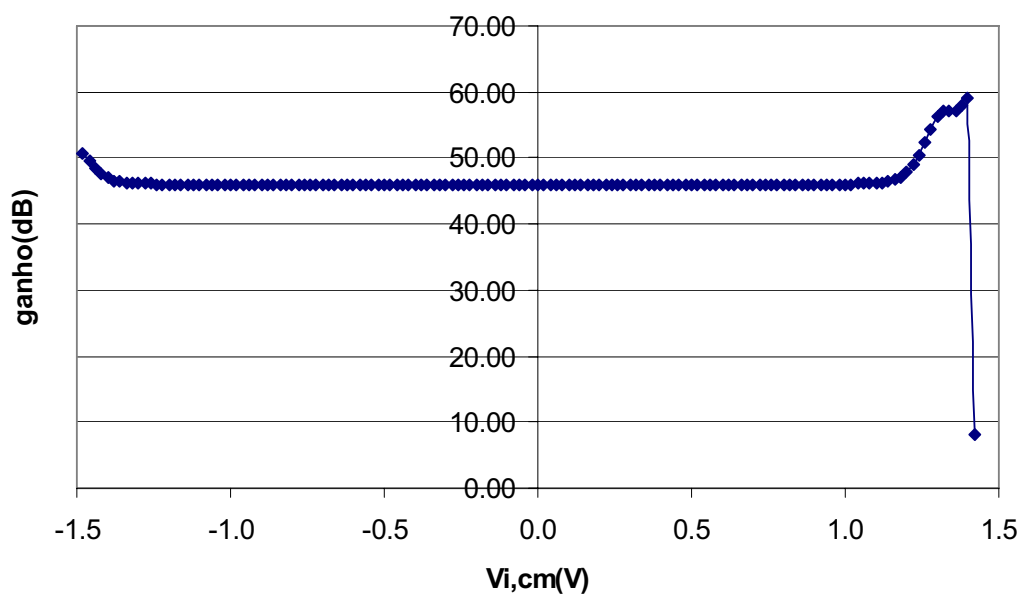


Figura 6.33 – Ganho do AI vs. $V_{i,cm}$.

A Figura 6.34 apresenta o diagrama de teste para obtenção das características de CMRR e V_{OS} do AI.

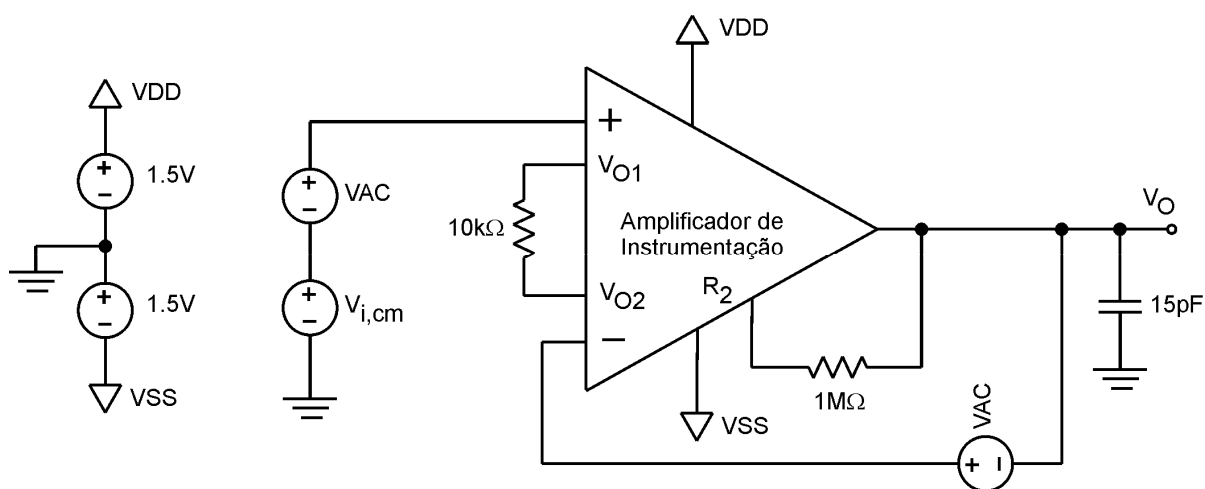


Figura 6.34 – Configuração para obter o CMRR e a V_{OS} do AI.

Para $V_{i,cm}=0V$, obtêm-se as características de CMRR (Figura 6.35) e V_{OS} (Figura 6.36) do AI.

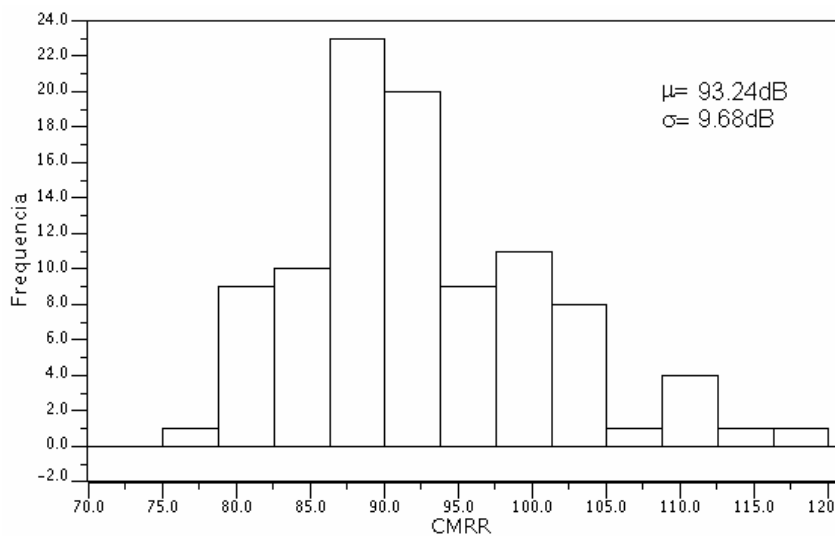


Figura 6.35 – CMRR do AI @ $V_{i,cm}=0V$.

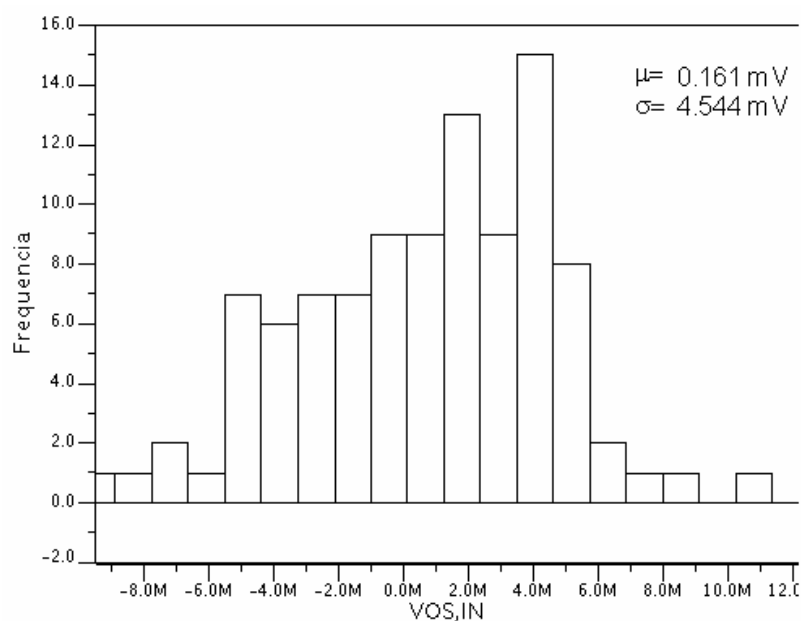


Figura 6.36 – V_{OS} do AI @ $V_{i,cm}=0V$.

A Figura 6.37 apresenta a resposta em frequência do CMRR do AI para um dos casos obtidos nas 100 simulações com descasamento, para $V_{i,cm}=0V$.

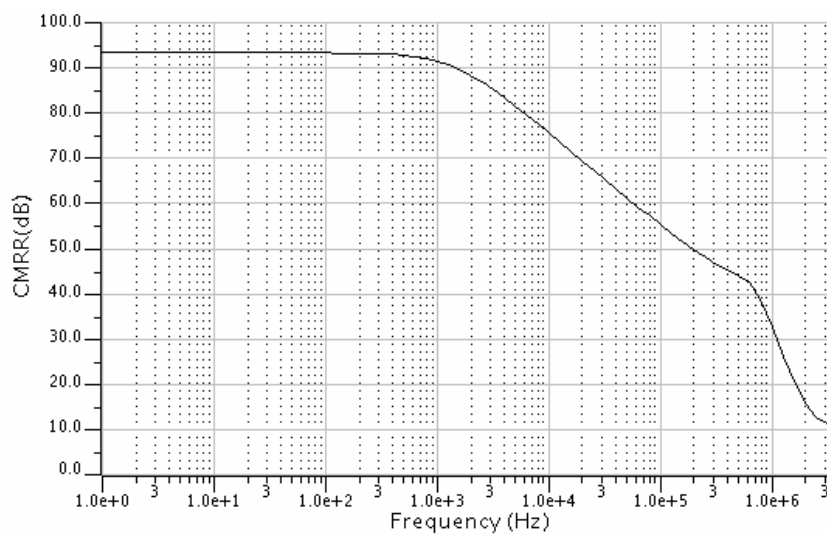


Figura 6.37 – Resposta em frequência do CMRR do AI.

A resposta do CMRR e da V_{OS} do AI ao longo de $V_{i,cm}$ são apresentados, respectivamente, na Figura 6.38 e na Figura 6.39.

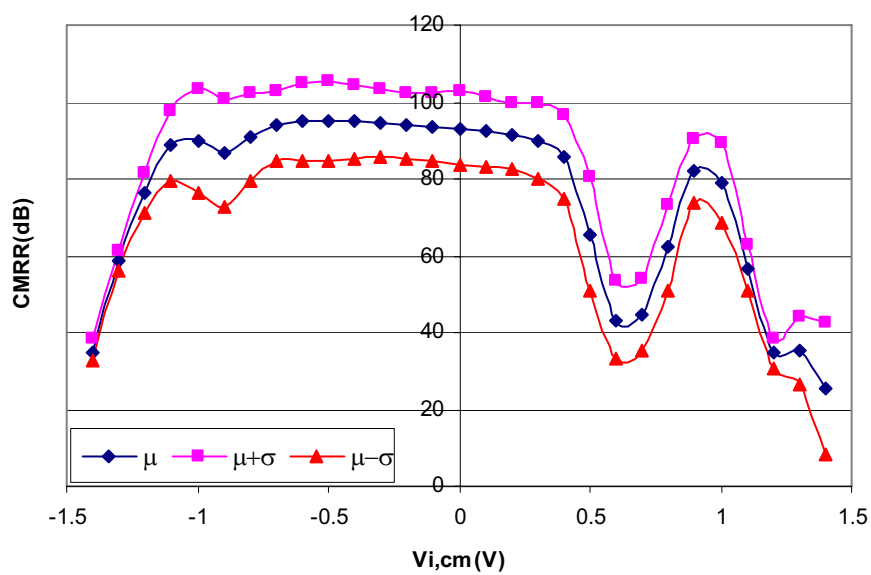


Figura 6.38 - Variação de CMRR vs. $V_{i,cm}$ do AI.

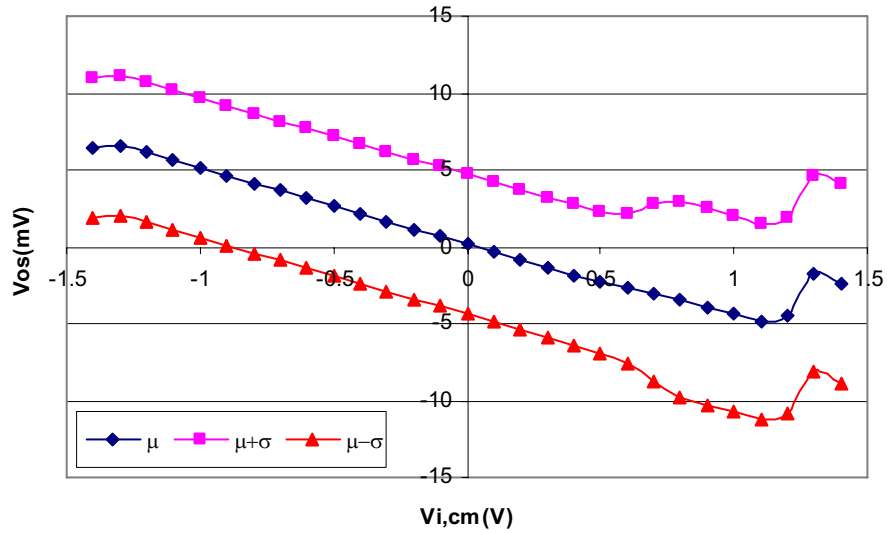


Figura 6.39 - Variação de V_{OS} vs. $V_{i,cm}$ do AI.

A Figura 6.40 apresenta o esquema de teste para obtenção da característica de PSRR do AI. A Figura 6.41 apresenta a resposta em frequência, enquanto a Figura 6.42 apresenta a variação de PSRR para $V_{i,cm}=0V$.

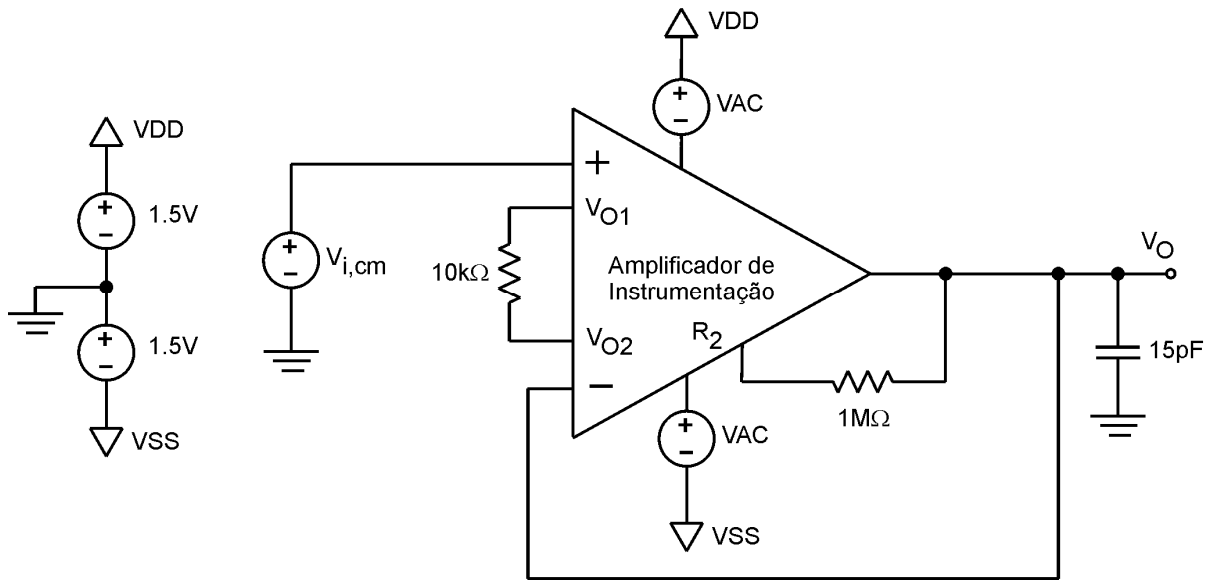


Figura 6.40 – Circuito de Teste para obter o PSRR do AI.

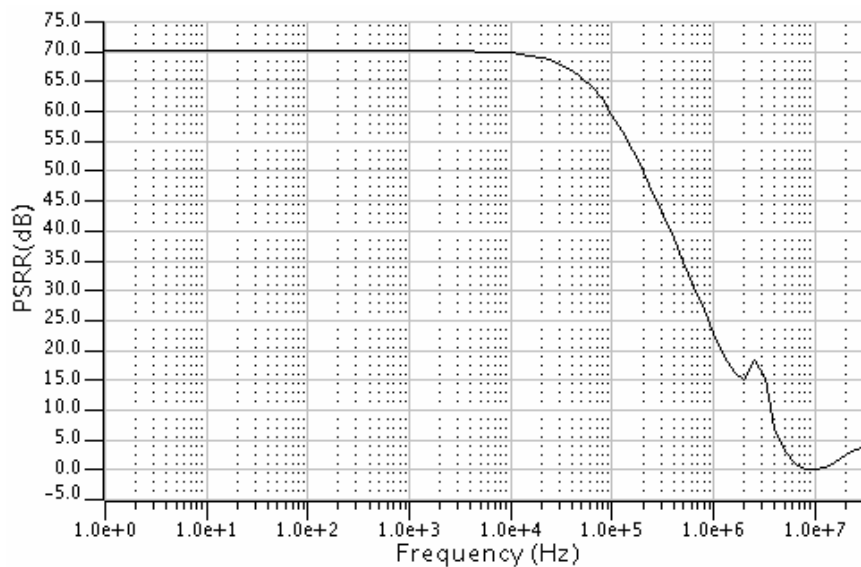


Figura 6.41 – Resposta em frequência do PSRR do AI.

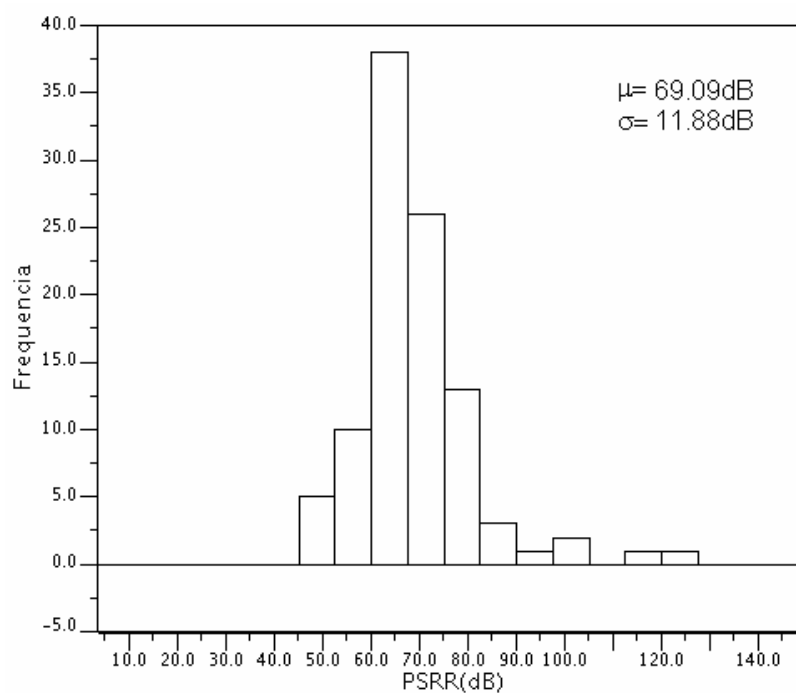


Figura 6.42 – PSRR do AI @ $V_{i,cm} = 0V$.

6.6. Discussões

Os resultados finais do AI são apresentados abaixo. São apresentados os resultados dos ampops de entrada do AI (Tabela 6.1), ampop utilizado como *buffer* de saída (Tabela 6.2) e amplificador de instrumentação (Tabela 6.3).

Tabela 6.1 – Resumo das Características do ampop.

Característica	Condições	Valor Nominal	Valor médio	Desvio Padrão	Unidade
Ganho DC		159.62	159.52	0.552	dB
GBW		995			kHz
CMIR		V_{SS} a $V_{DD}-70m$			V
V_{OS}		0.415	-0.002	2.672	mV
CMRR		150.96	96.61	10.12	dB
PSRR		118.00	82.40	8.89	dB
Margem de Fase		71.4			°
$g_{m_{in}}$		25.03	25.87	1.31	$\mu A/V$
Consumo de Potência		15.39			μW
Slew Rate +	0.8V em 1.92 μs	0.416			V/ μs
Slew Rate -	0.8V em 1.50 μs	0.533			V/ μs
Setling Time +	0.1%	3.70			μs
Setling Time -	0.1%	3.33			μs

Tabela 6.2 – Resumo das Características do ampop *buffer* de saída.

Característica	Condições	Valor Nominal	Valor médio	Desvio Padrão	Unidade
Ganho DC		100.33			dB
GBW		951			kHz
Margem de Fase		63.4			°
PSRR		96.70	83.54	9.31	dB
Consumo de Potência		14.41			μW
Slew Rate +	0.8V/1.33 μs	0.601			V/ μs
Slew Rate -	0.8V/1.44 μs	0.555			V/ μs
Setling Time +	0.1%	1.72 μs			μs
Setling Time -	0.1%	2.30 μs			μs

Tabela 6.3 – Resumo das Características do AI.

Característica	Condições	Valor Nominal	Valor Médio	Desvio Padrão	Unidade
Ganho DC		46			dB
Largura de Banda (-dB)		805			kHz
CMIR		$V_{SS}+120m$ a $V_{DD}-340m$			V
V_{OS}		0.003	0.161	4.544	mV
CMRR		139.92	93.24	9.68	dB
PSRR+		86.58	72.05	12.47	dB
PSRR-		106.46	75.11	9.38	dB
PSRR		87.51	69.09	11.88	dB
Output swing		$V_{SS}+9mV$ a $V_{DD}-3mV$			V
Ruído	10kHz	85			nV/ \sqrt{Hz}
THD	$V_{out,pico}=1V@1kHz$	-96.4			dB
Consumo de Potência	Incluindo 18.39 μ W do circuito de polarização	274			μ W
Slew Rate +	0.8V/1.33 μ s	0.601			V/ μ s
Slew Rate -	0.8V/1.36 μ s	0.588			V/ μ s
Setling Time +	0.1%	4.39			μ s
Setling Time -	0.1%	4.52			μ s

Os resultados referentes ao consumo de potência de cada bloco são apresentados na Tabela 6.4.

Tabela 6.4 – Consumo de potência de cada bloco.

Bloco	Consumo (μ W)	Quantidade	Consumo(μ W)
Estágio de entrada do ampop	15.24	2	30.48
Estágio de saída do ampop	30.93	2	61.86
Circuito de controle de gm	21.33	1	21.33
Espelhos de corrente	61.86	1	61.86
Opamp <i>buffer</i>	43.23	1	43.23
Correntes de referência	55.17	1	55.17
Total			273.93

A análise dos resultados apresentados acima leva-nos a algumas conclusões que seguem:

Analisando-se o amplificador de instrumentação para $V_{i,cm}=0V$, pode-se considerar que este possui um bom desempenho em termos de ganho programável, banda de frequência, consumo de potência, CMRR, V_{OS} , ruído, THD, e PSRR. Da mesma forma, o ampop de entrada e o ampop de saída do AI alcançaram os requisitos necessários ao bom desempenho do AI.

O resultado de CMRR para $V_{i,cm}=0V$ pode ser considerado bastante interessante, sendo o seu valor médio igual a 93.24dB com desvio padrão de 9.78dB. Isto significa, estatisticamente, que um processo de fabricação deverá ter 84.1% dos CIs com CMRR acima de 83.46dB e 95% acima de 77.15dB.

A Figura 6.33 mostra claramente que o objetivo de estender a faixa de entrada em modo comum foi atingido. Utilizou-se como métrica para o CMIR uma variação de ganho de $\pm 10\%$, e obtiveram-se os valores de $V_{SS}+120mV$ a $V_{DD}-340mV$, resultando em 84.6% da tensão de alimentação. Observa-se que a tecnologia XC06 utilizada (XFAB, 2005) tem como tensão nominal de alimentação $\pm 2.5V$, e que se esta fosse utilizada, poderíamos estimar uma CMIR de 90.8% ($-2.5V+120mV$ a $2.5V-320mV$). Esta estimativa percentual seria o valor esperado se esta topologia fosse utilizada em outras tecnologias.

Observa-se na resposta em frequência do AI que foi apresentado apenas o seu ganho, sendo que a fase não foi apresentada. Isto ocorre porque este projeto foi realizado objetivando uma ampla faixa de frequência, considerando a operação sem realimentação, e por isto, sem a preocupação com a margem de fase. Também se observa na resposta em frequência do ganho do AI uma não conformidade na frequência em torno de 600kHz, o qual caracteriza claramente um zero do sistema, gerado a partir da associação da resistência R_2 ($1M\Omega$) com capacitâncias do AI (a frequência de 600kHz associada a um resistor de $1M\Omega$ leva a uma capacitância de 0.26pF).

Observando as características de CMRR e V_{OS} ao longo de $V_{i,cm}$, observa-se uma degradação bastante significativa na região de transição dos dois pares diferenciais dos ampops de entrada. Tal fato verifica-se também no CMRR e na V_{OS} dos ampops, assim como no desempenho do seu estágio de entrada. Portanto, evidencia-se com muita clareza, que o principal fator que degrada o CMRR do AI é a variação de CMRR dos dois estágios de entrada dos ampops do AI.

Visto que estágios de entrada *rail-to-rail* com controle de gm são amplamente utilizados na literatura, devido ao seu comportamento de ganho constante ao longo de $V_{i,cm}$, encarou-se como surpresa o fato do CMRR do ampop sofrer tamanha degradação na faixa de transição dos pares diferenciais. Após uma procura na literatura a respeito deste problema encontraram-se alguns poucos trabalhos relatando o problema e a dificuldade de se obter bons resultados de CMRR na faixa de transição dos pares diferenciais (YOU 1996) (YOU 1997b) (FISHER 2005).

Observando novamente a equação (4.61), apresentada no capítulo 4, observa-se que o CMRR do ampop é diretamente proporcional a resistência da fonte que polariza o par

diferencial. Tal fato foi explorado no projeto, incrementando-se sua resistência (através do aumento do L do transistor), até atingir o CMRR desejado. Pecou-se neste ponto, ao otimizar todo o projeto para $V_{i,cm}=0V$, e desconhecendo-se a degradação do CMRR na região de transição dos pares diferenciais. A Figura 6.43 apresenta o g_{ds} (condutância dreno-fonte) do transistor da fonte de corrente do par diferencial p em uma análise DC do estágio de entrada dos ampops, sendo que a resistência da fonte de corrente é dada por $1/g_{ds}$. Observa-se que, pelo fato da fonte de corrente deixar de operar na região de saturação e começar a operar na região de corte, o seu g_{ds} aumenta drasticamente. Como na região de transição (entre $V_{i,cm}$ igual 0.5 a 0.8V) os dois pares diferenciais estão operando, o CMRR sofre uma forte degradação.

Quantitativamente, o CMRR é diretamente proporcional a R_B . Para $V_{i,cm}=0V$ e $V_{i,cm}=0.6V$ tem-se respectivamente, um g_{ds} de $14nA/V$ e $8.6\mu A/V$, o que representa um decréscimo de R_B de 618 vezes, ou 55dB. Verificando o valor médio de CMRR do ampop para estes valores de $V_{i,cm}$, temos 96.6dB e 45.8dB, resultando numa diferença de 50.8dB, o que explica a variação.

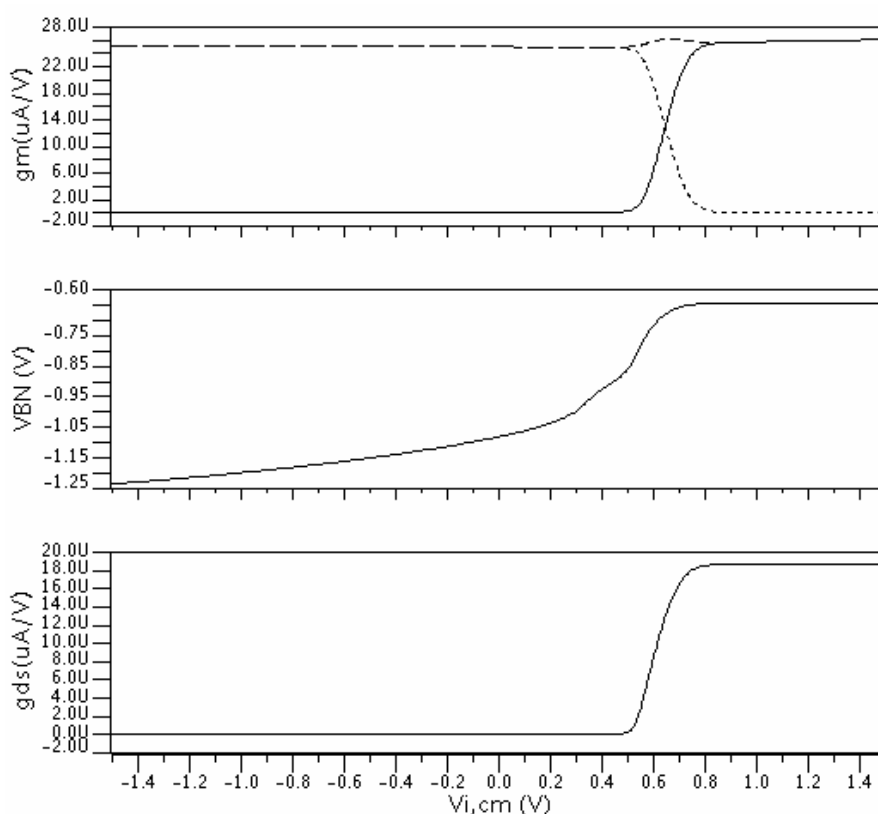


Figura 6.43 – g_m , V_{BN} e g_{ds} da fonte de corrente do par diferencial p vs. $V_{i,cm}$.

Um detalhe importante a ser acrescentado é com respeito ao *slew rate* dos ampops de entrada do AI (os resultados apresentados anteriormente são para uma amplitude de $0.5V_{\text{pico}}$, onde apenas o par diferencial p está operando). A Figura 6.44 apresenta uma resposta a um degrau unitário de $2.4V_{\text{pico-a-pico}}$ utilizando a configuração para medição de *slew rate*. Observando-se a tensão de saída dos ampops no ponto em torno de $0.7V$, onde ocorre a transição dos pares diferenciais de entrada, nota-se uma taxa de subida não linear, provocada pela resposta lenta da tensão V_{BN} que polariza o par diferencial n. Ou seja, para que um determinado valor de *slew rate* seja alcançado, deveria ter sido tomado o cuidado de avaliar o *slew rate* do circuito de controle de *gm*.

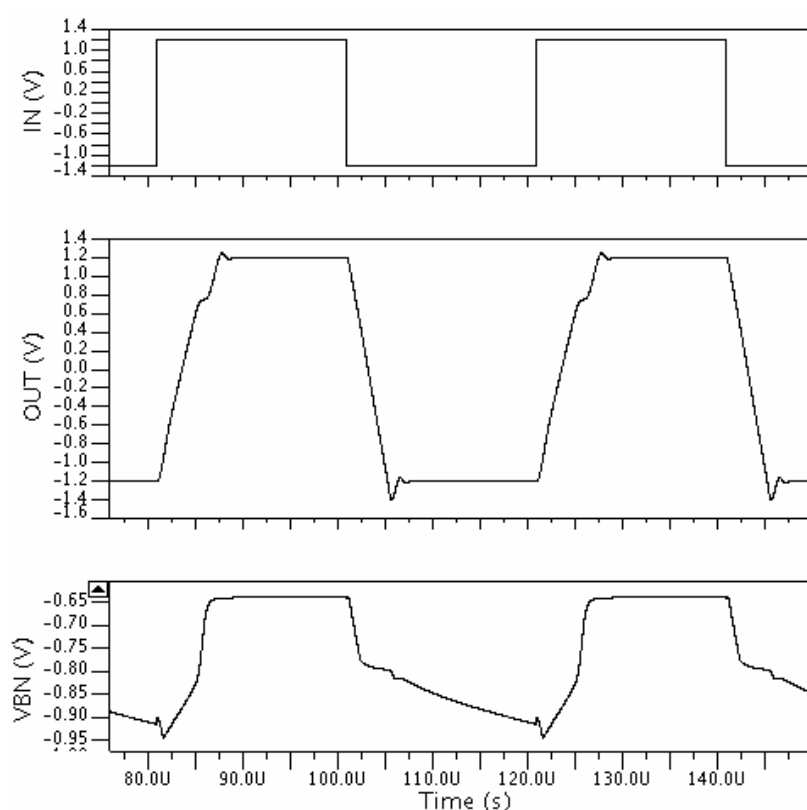


Figura 6.44 – *Slew rate* do ampop de entrada do AI.

Ao fim desta discussão acerca dos resultados desta dissertação, apresenta-se na Tabela 6.5 uma análise comparativa com outros AIs.

As referências Harb (2004) e Prior (2008) são implementações monolíticas baseadas em Toumazou (1989), e não visam o funcionamento *rail-to-rail*. A referência Ghallab (2005) aborda uma topologia baseada em transferidores de corrente (*current-conveyors*), implementada com componentes discretos, e não apresenta a característica de CMIR. A referência INA326 (2004) é a folha de dados (*datasheet*) de um CMIA comercial que utiliza

um circuito de *charge pump* para gerar uma tensão interna maior que a alimentação do CI, possibilitando ampliar a faixa de excursão de sinais.

Na tabela são resumidas as principais características dos dois projetos desenvolvidos neste trabalho. O primeiro protótipo apresenta um acréscimo significativo de CMIR, porém apresentando um CMRR baixo. No segundo projeto foram priorizadas as características de V_{OS} e CMRR no fluxo de projeto. Os resultados simulados alcançam um melhor desempenho ao longo da CMIR, com melhorias na relação consumo de potência por banda de frequência.

Tabela 6.5 – Comparação entre algumas características de amplificadores de instrumentação.

	V_S (V)	P_C (W)	CMRR (dB)	$V_{i,cm}$	Output Swing (V)	F_T (Hz)	A_V
Harb (2004)	2.2	160 μ	72	-	-	150kHz	120
Prior (2008)	± 2.5	102 μ	120	-	-2 to 1.2	105	2000
Ghallab (2005)	-	-	76	-	<i>Rail-to-rail</i>	1.2M	10
INA326 (2004)	2.7	6.5m	100	Acima dos <i>Rails</i>	Acima dos <i>Rails</i>	1k	2000
Este Trabalho ^a	3.0	117 μ	58.9	86%	<i>Rail-to-rail</i>	4k	2000
Este trabalho ^b	3.0	274 μ	93.2	84%	<i>Rail-to-rail</i>	805k	200

^a Resultados medidos do primeiro projeto

^b Simulação de Monte Carlo do re-projeto objetivando melhorar o CMRR

7. CONCLUSÕES

Uma nova topologia de amplificador de instrumentação em modo corrente foi desenvolvida nesta dissertação. A abordagem adotada objetiva uma ampla faixa de entrada em modo comum, utilizando para isto topologias de circuitos de baixa tensão. Assim, propôs-se uma nova topologia de amplificador operacional, formada por um estágio de entrada *rail-to-rail*, composto por dois pares diferenciais complementares, associado a um estágio de saída *cascode*. O fato de existir um estágio *cascode* na saída do ampop torna possível a cópia da sua corrente de maneira simples e sem uma queda de tensão significativa, sendo este um requisito necessário a um amplificador de instrumentação em modo corrente que opera em baixa tensão.

Para avaliar a topologia proposta dois CIs foram projetados. O primeiro protótipo demonstrou que a topologia apresentada é funcional, obtendo resultados medidos bastante próximos dos resultados simulados. Salientam-se aqui alguns resultados medidos de três amostras de CIs, como o CMRR de 48.5, 58.9 e 50.0dB e a V_{OS} de -0.18, 1.48 e 5.61mV. Como foram obtidos resultados de CMRR e V_{OS} considerados insatisfatórios para um amplificador de instrumentação, o circuito foi re-projetado.

O segundo protótipo foi projetado objetivando uma ampla faixa de entrada em modo comum com bons valores de CMRR e de V_{OS} . Para alcançar o objetivo, uma modelagem foi necessária, onde chegou-se a conclusão que o CMRR e a V_{OS} do AI, assim como em qualquer bloco analógico, é resultado do bom casamento entre duas partes simétricas. Especificamente para o projeto de amplificadores de instrumentação em modo corrente como a topologia apresentada nesta dissertação, estas características dependem da variação do CMRR e da V_{OS} dos estágios de entrada dos ampops do AI. Os resultados obtidos em simulação do re-projeto do AI podem ser considerados bons, para uma determinada faixa de entrada em modo comum, em termos de ganho programável, banda de frequência, consumo de potência, CMRR, V_{OS} , ruído, THD e PSRR. Dentre os resultados mais significativos, podem ser citados para $V_{i,cm}=0V$ o CMRR médio de 93.2dB, o desvio padrão da V_{OS} de 4.54mV, o consumo de potência de 274 μ W, a banda de frequência de 805kHz e uma faixa de entrada em modo comum de 84%.

Entretanto, na faixa de transição entre os dois pares diferenciais de entrada dos ampops encontraram-se valores bastante insatisfatórios com relação ao CMRR do AI. Tais fatos foram demonstrados serem provenientes da variação do CMRR entre os estágios diferenciais de entrada dos ampops, o que valida a modelagem realizada destes parâmetros.

7.1. Trabalhos futuros

Como trabalhos futuros, sugerem-se:

- A otimização da topologia de amplificação *rail-to-rail* utilizada, a fim de melhorar a característica de CMRR do mesmo e conseqüentemente melhorar o CMRR do AI. Esta otimização se daria no dimensionamento dos transistores, além da substituição do transistor simples da fonte de corrente por um espelho de alta impedância, como por exemplo, um espelho cascode.
- O estudo de outras topologias de amplificação *rail-to-rail*, visando uma menor variação da característica de CMRR vs. $V_{i,cm}$ desta topologia, a fim de melhorar o CMRR do AI.
- A implementação de um amplificador com topologia clássica *folded-cascode* no estágio *buffer* de saída do AI. A topologia de *buffer* utilizada (OTA de dois estágios com estágio de saída *common-source*) torna-se instável com a adição de capacitâncias na saída do mesmo, fato que não ocorre com a topologia *folded-cascode*.
- A implementação dos resistores do AI no *chip*, objetivando desta forma, a programabilidade do ganho do AI de maneira simples e integrada. Para isto, pode-se utilizar, por exemplo, resistores de polisilício, de alta resistividade, acionados por chaves CMOS. Mesmo podendo apresentar variações de processo de $\pm 30\%$, eles terão um bom casamento e um ganho fixo do AI assegurado.
- A implementação de uma saída de tensão *fully differential*, a fim de torná-lo adequado a uma entrada de conversor A/D (a utilização de entrada diferencial no conversor A/D incrementa naturalmente a característica da faixa dinâmica em 6dB).
- A implementação monolítica do estágio de entrada do AI apresentado, por se tratar de um conversor V-I, com um conversor A/D $\Sigma\Delta$ que opera no modo *switched-current*. Através da união destes dois blocos, obter-se-ia um módulo *front-end* analógico de baixo custo e de baixa tensão, com ampla faixa de entrada em modo comum;

- A implementação de espelhos de corrente programáveis digitalmente a fim de ter o ganho do AI controlado por eles.
- Estudar e abordar técnicas de correção da tensão de *offset* através de técnicas conhecidas (*chopper*, por exemplo).
- Um estudo aprofundado no amplificador de instrumentação considerando a característica de ruído.

BIBLIOGRAFIA

ALLEN, P.E.; HOLBER, D.R. **CMOS Analog Circuit Design**, Oxford, New-York, 2002.

AHMADI, M.M.; LOFTI, R.; SHARIF-BAKHTIAR, M. A new architecture for rail-to-rail input constant- gm CMOS operational transconductance amplifiers. In: INTERNATIONAL SYMPOSIUM ON LOW POWER ELECTRONICS AND DESIGN - ISLPED '03, Seoul. **Proceedings...** [S.l.:s.n.], 2003, p. 353-358.

BLALOCK, B.J.; ALLEN, P.E. A low-voltage, bulk-driven MOSFET current mirror for CMOS technology. In: INTERNATIONAL SYMPOSIUM ON CIRCUITS AND SYSTEMS – ISCAS'95, 1995, Atlanta. **Proceedings...** [S.l.:s.n.], 1995, v. 3, p.1972-1975.

BRUNN, E.; SHAH, P. Dynamic range of low-voltage cascode current mirrors. In: INTERNATIONAL SYMPOSIUM ON CIRCUITS AND SYSTEMS - ISCAS '95, 1995, Seattle. **Proceedings...** [S.l.:s.n.], 1995, v. 2, p. 1328-1331.

CORTES, F. P.; FABRIS, E.; BAMPI, S. Analysis and design of amplifiers and comparators in CMOS 0.35 μ m technology. **Microelectronics Reliability**, v. 44, p.657 – 664, 2004.

DOUGLAS, E. L; LOVELY, D. F. A low voltage current-mode instrumentation amplifier designed in a 0.18 μ m CMOS technology. In: CANADIAN CONFERENCE ON ELECTRICAL AND COMPUTER ENGINEERING. **Proceedings...** [S.l.:s.n.], 2004, v. 3, p. 1777-1790.

DUQUE-CARRILO, J. F., et al. Robust and universal constant- gm circuit technique. **Electronics Letters**, v. 38, n .9, p. 396-397, 2002.

FISHER, T. W.; KARSILAYAN, A. I.; SANCHEZ-SINENCIO, E. A Rail-to-Rail Amplifier Input Stage With 0.35% gm Fluctuation. **IEEE Transactions on Circuits and Systems I: Regular Papers**, v. 52, n. 2, p. 271-282, 2005.

FRANCA, E.; TSIVIDIS, Y. **Design of Analog-Digital VLSI Circuits for Telecommunications and Signal Processing**. New Jersey: Prentice Hall, 1994.

GHALLAB, Y. H., et. al. A novel current-mode instrumentation amplifier based on operational floating current conveyor. **IEEE Transactions on Instrumentation and Measurements**, v. 54, n. 5, p. 1941-1949, 2005.

HARB, A.; SAWAN, M. New low-power low-voltage high-CMRR CMOS instrumentation amplifier. In: INTERNATIONAL SYMPOSIUM ON CIRCUITS AND SYSTEMS – ISCAS'99, 1999, Orlando. **Proceedings...** [S.l.: s.n.], 1999, v. 6, p. 97-100.

HARB, A., et al. Low-power CMOS interface for recording and processing very low amplitude signals. **Analog Integrated Circuits and Signal Processing**, v. 39, p. 39-54, 2004.

KITCHIN, C.; COUNTS. L. **A designer's Guide to Instrumentation Amplifier**. UAS: Analog Devices, Inc., 3th edition, 2006.

KOLI, K.; HALONEN, K. **CMOS Current Amplifiers: Speed Versus Nonlinearity**. Boston: Kluwer Academic Publishers, 2002.

INA326, Precision, Rail-to-rail I/O Instrumentation Amplifier, Texas Instruments, Datasheet.

INA326. **Precision, Rail-to rail I/O Instrumentation Amplifier**. Texas Instruments, 2004, Datasheet, Available on: <http://focus.ti.com/lit/ds/sbos222d/sbos222d.pdf>, Accessed April/2008.

MENTOR GRAPHICS, Mentor Graphics Corporation, 2008. Disponível em www.mentor.com. Acesso em: 1 out 2008.

PALMISIANO, G.; PALUMBO, G.; PENNISI, S. Design Procedure for Two-Stage CMOS Transconductance Operational Amplifiers: A Tutorial. **Analog Integrated Circuits and Signal Processing**, v. 27, p. 177-187, 2001.

PELGROM, M.J.M.; DUINMAIJER, A.C.J.; WELBERS, A.P.G. Matching Properties of MOS transistors. **IEEE Journal of Solid-State Circuits**, v. 24, n. 5, p. 1433-1439, 1989.

PRIOR, C. A. **Projeto de um Circuito Integrado Amplificador de Instrumentação para Sinais Biomédicos**. 2004. 191p. Dissertação de Mestrado. Universidade Federal de Santa Maria, Santa Maria, 2004.

PRIOR, C. A.; VIEIRA, F. C. B.; RODRIGUES, C. R. Instrumentation amplifier using robust rail-to-rail operational amplifiers with *gm* control. In: INTERNATIONAL MIDWEST SYMPOSIUM ON CIRCUITS AND SYSTEMS – MWSCAS'06, 2006, San Juan. **Proceedings...** [S.l.: s.n.], 2006, v. 2, p. 144-152.

PRIOR, C. A., et. al. Design of an integrated low power high CMRR instrumentation amplifier for biomedical applications. **Analog Integrated Circuits and Signal Processing**, v. 57, n. 1, p 11-17, 2008.

RAJPUT, S. S.; JAMUAR, S. S. Low voltage analog circuit design techniques. **IEEE Circuits and Systems Magazine**, v. 2, n. 1, p. 24-42, 2002.

RAMIREZ-ANGULO, J. Current mirrors with low input and low output voltage requirements. In: INTERNATIONAL MIDWEST SYMPOSIUM ON CIRCUITS AND SYSTEMS – MWSCAS'94, 1994, Salt Lake City. **Proceedings...** [S.l.: s.n.], 1994, v. 1, p. 107-110.

RAMIREZ-ANGULO, J.; CARVAJAL, R. G.; TORRALBA, A. Low supply voltage high-performance CMOS current mirror with low input and output voltage requirements. **IEEE Transactions on Circuits and Systems II: Express Briefs**, v.51, n. 3, p. 124-129, 2004.

RAZAVI, B. **Design of Analog CMOS Integrated Circuits**. New York: McGraw-Hill, 2001.

SAINT, C.; SAINT, J. **IC Mask Design: Essential Layout Techniques**. New York: McGraw-Hill, 2002.

SANSEN, W. M. C. **Analog Design Essentials**. Dordrecht: Springer, 2005.

SILVEIRA, F.; FLANDRE, D.; JESPERS, P. G. A. A *gm*/ID Based Methodology for the Design of CMOS Analog Circuits and Its Application to the Synthesis of a Silicon-on-

Insulator Micropower OTA. **IEEE Journal of Solid-State Circuits**, New York, 1996. v. 31, p. 1314–319.

SMITH, K. C.; SEDRA, A. The current conveyor: A new circuit building block. **IEEE Proceedings**, v. 56, n. 8, p. 1368-1369, 1968.

SU, W. J.; LIDGEY, F. J. Common-mode rejection ratio in current-mode instrumentation amplifiers. **Analog Integrated Circuits and Signal Processing**, v. 7, n. 3, p. 257-260, 1995.

TOUMAZOU, C.; LIDGEY, F. J. Novel current-mode instrumentation amplifier. **Electronics Letters**, v. 25, n. 3, p. 228-230, 1989.

YAN, S.; SANCHEZ-SINENCIO, E. Low Voltage Analog Circuit Design Techniques: A Tutorial. **Transactions on Analog Integrated Circuits and Systems**, v. E00-A, n. 2, 2000.

YAN, S., et al. Constant- g_m techniques for rail-to-rail CMOS amplifiers input stages: a comparative study. In: INTERNATIONAL SYMPOSIUM ON CIRCUITS AND SYSTEMS – ISCAS'05, 2005, Kobe. **Proceedings...** [S.l.:s.n.], 2005, v. 3, p. 23-26, 2005.

YOU, F.; EMBABI, S. H. K.; SANCHEZ-SINENCIO, E. The Limitation of CMRR in Low Voltage Operational Amplifiers with N-P Input pairs. In: INTERNATIONAL SYMPOSIUM ON CIRCUITS AND SYSTEMS – ISCAS'96, 1996, Salt Lake City. **Proceedings...** [S.l.:s.n.], 1995, v. 1, p. 175-178, 1996.

YOU, F.; EMBABI, S. H. K.; SANCHEZ-SINENCIO, E. An Improved tail current source for low voltage applications. **IEEE Journal of Solid-State Circuits**, v. 32, n. 8, p. 1173-1180, 1997.

YOU, F.; EMBABI, S. H. K.; SANCHEZ-SINENCIO, E. On the Common Mode Rejection Ratio in Low Voltage Operational Amplifiers with Complementary N-P Input Pairs. **IEEE Transactions on Circuits and Systems II: Analog and Digital Signal Processing**, v. 44, n. 8, p. 678-683, 1997.

WILSON, B. Universal conveyor instrumentation amplifier. **Electronics Letters**, v. 25, n. 7, p. 470-471, 1989.

XFAB, **XC06 Process Specification**, Release 3.0, 2005. www.xfab.com.

ANEXOS

Anexo A: Netlist do amplificador de instrumentação

* Component pathname : \$MGC_WD/AI/AMP

*

.subckt AMP OUT GND IN+ IN- VB_AMP_FN VB_AMP_FP VB_CS_P VDD VN VSS

```
X_MD3 N01 VDD VDD VDD PMOS4 w=20u l=2u m=4
X_MD2 VSS VSS N06 VSS NMOS4 w=20u l=2u m=4
X_M31 VB_CS_P VB_CS_P VDD VDD PMOS4 w=20u l=10u m=3
X_M33 N02 IN- N01 VDD PMOS4 w=20u l=2u m=8
X_M46 N03 N12 VSS VSS NMOS4 w=15u l=3u m=6
X_M44 OUT VB_AMP_FN N03 VSS NMOS4 w=8u l=2u m=3
X_M49 N12 VB_CS_P VDD VDD PMOS4 w=20u l=10u m=4
X_M47 N02 N12 VSS VSS NMOS4 w=15u l=3u m=6
X_M45 N07 VB_AMP_FN N02 VSS NMOS4 w=8u l=2u m=3
X_M38 N05 N07 VDD VDD PMOS4 w=15u l=3u m=6
X_M40 OUT VB_AMP_FP N05 VDD PMOS4 w=8u l=2u m=3
X_M41 N07 VB_AMP_FP N04 VDD PMOS4 w=8u l=2u m=3
X_M39 N04 N07 VDD VDD PMOS4 w=15u l=3u m=6
X_M37 N06 VN VSS VSS NMOS4 w=25u l=10u m=6
X_M48 N12 N12 VSS VSS NMOS4 w=15u l=3u m=6
X_M32 N01 VB_CS_P VDD VDD PMOS4 w=20u l=10u m=3
X_M34 N03 IN+ N01 VDD PMOS4 w=20u l=2u m=8
X_M36 N05 IN+ N06 VSS NMOS4 w=20u l=2u m=8
X_M35 N04 IN- N06 VSS NMOS4 w=20u l=2u m=8
```

.ends AMP

*

* Component pathname : \$MGC_WD/AI/BUFFER

*

.subckt BUFFER OUT IB_BUF IN+ IN- VDD VSS

```
X_C2 N02 OUT CPOLY area=1.75n peri=167.4u m=1
X_M80 IB_BUF IB_BUF VSS VSS NMOS4 w=10u l=5u m=2
X_M87 OUT N02 VDD VDD PMOS4 w=22u l=2u m=10
X_M82 OUT IB_BUF VSS VSS NMOS4 w=10u l=5u m=12
X_M84 N02 IN+ N03 VSS NMOS4 w=10u l=2u m=6
X_M83 N01 IN- N03 VSS NMOS4 w=10u l=2u m=6
X_M85 N01 N01 VDD VDD PMOS4 w=10u l=2u m=3
X_M86 N02 N01 VDD VDD PMOS4 w=10u l=2u m=3
X_M81 N03 IB_BUF VSS VSS NMOS4 w=10u l=5u m=2
```

.ends BUFFER

*

* Component pathname : \$MGC_WD/AI/CTRL

*

.subckt CTRL VN GND IN+ IN- V+ V- VB_AMP_FN VB_AMP_FP VB_CS_P VDD VSS

```
X_M16 N10 VB_AMP_FP N08 VDD PMOS4 w=8u l=2u m=3
X_M3 N02 IN+ N01 VDD PMOS4 w=20u l=2u m=8
X_M13 N07 V- N05 VDD PMOS4 w=20u l=2u m=8
X_M12 N06 V+ N05 VDD PMOS4 w=20u l=2u m=8
X_M11 N05 VB_CS_P VDD VDD PMOS4 w=20u l=10u m=3
```

```

X_M17 VN VB_AMP_FP N09 VDD PMOS4 w=8u l=2u m=3
X_M20 N10 VB_AMP_FN N06 VSS NMOS4 w=8u l=2u m=3
X_M10 N07 V+ N04 VDD PMOS4 w=20u l=2u m=8
X_M9 N06 V- N04 VDD PMOS4 w=20u l=2u m=8
X_M8 N04 N03 VDD VDD PMOS4 w=20u l=10u m=3
X_M4 N02 IN- N01 VDD PMOS4 w=20u l=2u m=8
X_M21 VN VB_AMP_FN N07 VSS NMOS4 w=8u l=2u m=3
X_M24 N08 V- N11 VSS NMOS4 w=20u l=2u m=8
X_M22 N06 N12 VSS VSS NMOS4 w=15u l=3u m=6
X_M23 N07 N12 VSS VSS NMOS4 w=15u l=3u m=6
X_M15 N09 N10 VDD VDD PMOS4 w=15u l=3u m=6
X_M2 N01 VB_CS_P VDD VDD PMOS4 w=20u l=10u m=3
X_M14 N08 N10 VDD VDD PMOS4 w=15u l=3u m=6
X_M7 N03 N03 VDD VDD PMOS4 w=20u l=10u m=3
X_M5 N02 N02 VSS VSS NMOS4 w=25u l=10u m=2
X_M6 N03 N02 VSS VSS NMOS4 w=25u l=10u m=2
X_M26 N11 VN VSS VSS NMOS4 w=25u l=10u m=6
X_M27 N12 N12 VSS VSS NMOS4 w=15u l=3u m=6
X_M1 VB_CS_P VB_CS_P VDD VDD PMOS4 w=20u l=10u m=3
X_M28 N12 VB_CS_P VDD VDD PMOS4 w=20u l=10u m=4
X_M25 N09 V+ N11 VSS NMOS4 w=20u l=2u m=8
.ends CTRL

*
* Component pathname : $MGC_WD/AI/OUT
*
.subckt OUT OUT IN VB_OUT_1 VB_OUT_2 VDD VSS

    X_C2 IN OUT CPOLY area=1.06n peri=130.2u m=1
    X_M54 OUT VB_OUT_2 VSS VSS NMOS4 w=15u l=5u m=6
    X_M52 OUT VB_OUT_1 N01 VDD PMOS4 w=10u l=5u m=3
    X_M51 N01 IN VDD VDD PMOS4 w=20u l=5u m=6
.ends OUT

*
* Component pathname : $MGC_WD/AI/CM
*
.subckt CM OUT1 OUT2 RG IB_CM IN1 IN2 N05 VB_CM_1 VB_OUT_1 VDD VSS

    X_MD4 VSS VSS VSS VSS NMOS4 w=20u l=5u m=2
    X_MD3 VSS VSS VSS VSS NMOS4 w=15u l=5u m=2
    X_MD1 VDD VDD VDD VDD PMOS4 w=20u l=5u m=4
    X_M64 RG VB_OUT_1 N04 VDD PMOS4 w=10u l=5u m=3
    X_M63 N04 IN2 VDD VDD PMOS4 w=20u l=5u m=6
    X_M62 N05 VB_OUT_1 N03 VDD PMOS4 w=10u l=5u m=3
    X_M61 N03 IN1 VDD VDD PMOS4 w=20u l=5u m=6
    X_M72 RG VB_CM_1 N07 VSS NMOS4 w=30u l=5u m=3
    X_OUT2 OUT2 IN2 VB_OUT_1 IB_CM VDD VSS OUT
    X_M74 N07 N05 VSS VSS NMOS4 w=20u l=5u m=6
    X_M73 N06 N05 VSS VSS NMOS4 w=20u l=5u m=6
    X_M71 N05 VB_CM_1 N06 VSS NMOS4 w=30u l=5u m=3
    X_M53 IB_CM IB_CM VSS VSS NMOS4 w=15u l=5u m=6
    X_OUT1 OUT1 IN1 VB_OUT_1 IB_CM VDD VSS OUT
.ends CM

* Component pathname : $MGC_WD/AI/IREF
*
.subckt IREF IB_BUF IB_CM IB_CTRL IB_IN1 IB_IN2 V+ V- GND IIN IIN_V VDD
+ VSS

```

```

X_MN_V V- IIN_V VSS VSS NMOS4 w=10u l=5u m=3
X_M8 N01 N01 VDD VDD PMOS4 w=10u l=5u m=2
X_MP_V V+ N$5927 VDD VDD PMOS4 w=10u l=5u m=3
X_R6 N$7764 GND RPOLY0 W=3u L=29.2u m=1
X_M4 N$5927 N$5927 VDD VDD PMOS4 w=10u l=5u m=3
X_R3 VSS VSS RPOLY0 W=3u L=29.2u m=1
X_R1 VSS VSS RPOLY0 W=3u L=29.2u m=1
X_R10 N$7769 GND RPOLY0 W=3u L=29.2u m=1
X_R9 N$7768 N$7769 RPOLY0 W=3u L=29.2u m=1
X_R8 N$7767 N$7768 RPOLY0 W=3u L=29.2u m=1
X_R5 N$7763 N$7764 RPOLY0 W=3u L=29.2u m=1
X_C1 IIN VSS CPOLY area=1.06n peri=130.2u m=1
X_R4 N$7762 N$7763 RPOLY0 W=3u L=29.2u m=1
X_R2 V+ N$7762 RPOLY0 W=3u L=29.2u m=1
X_M9 IB_CM N01 VDD VDD PMOS4 w=10u l=5u m=10
X_M2 IIN IIN VSS VSS NMOS4 w=10u l=5u m=10
X_M1 N01 IIN VSS VSS NMOS4 w=10u l=5u m=10
X_M3 N$5927 IIN_V VSS VSS NMOS4 w=10u l=5u m=3
X_R7 V- N$7767 RPOLY0 W=3u L=29.2u m=1
X_M11 IIN_V IIN_V VSS VSS NMOS4 w=10u l=5u m=3
X_M5 IB_IN1 IIN VSS VSS NMOS4 w=10u l=5u m=5
X_M10 IB_BUF N01 VDD VDD PMOS4 w=10u l=5u m=2
X_M6 IB_IN2 IIN VSS VSS NMOS4 w=10u l=5u m=5
X_M7 IB_CTRL IIN VSS VSS NMOS4 w=10u l=5u m=5
.ends IREF

*
* Component pathname : $MGC_WD/AI/AI
*
.subckt AI N5 OUT RG GND IB_BUF IB_CM IB_IN1 IB_IN2 IIN IIN_V IN+ IN- R1_1
+ R1_2 V+ V- VDD VN VSS

    X_IREF1 IB_BUF IB_CM IB_CTRL IB_IN1 IB_IN2 V+ V- GND IIN IIN_V VDD
+ VSS IREF
    X_AMP1 N01 N$647 IN+ R1_1 GND GND IB_IN2 VDD VN VSS AMP
    X_AMP2 N02 N$7885 IN- R1_2 GND GND IB_IN1 VDD VN VSS AMP
    X_BUFFER1 OUT IB_BUF GND RG VDD VSS BUFFER
    X_CTRL1 VN N$6853 IN+ IN- V+ V- GND GND IB_CTRL VDD VSS CTRL
    X_CM1 R1_1 R1_2 RG IB_CM N01 N02 N5 GND GND VDD VSS CM
.ends AI

```

Anexo B: Ponto de operação dos transistores do AI para $V_{i,cm}=0V$

	MOS 1	MOS 2	MOS 3	MOS 4	MOS 5	MOS 6	MOS 7	MOS 8
MODEL	NMOS4.NMOS4M	NMOS4.NMOS4M	NMOS4.NMOS4M	NMOS4.NMOS4M	NMOS4.NMOS4M	NMOS4.NMOS4M	NMOS4.NMOS4M	NMOS4.NMOS4M
	NMOS4.NMOS4M	NMOS4.NMOS4M						
ID	2.0099U	2.0000U	2.0269U	2.0191U	2.0000U	1.0145U	1.0145U	1.0145U
IG	0.0000	0.0000	0.0000	0.0000	0.0000	0.0000	0.0000	0.0000
IS	-2.0099U	-2.0000U	-2.0269U	-2.0191U	-2.0000U	-1.0145U	-1.0145U	-1.0145U
IB	4.3723P	8.9192P	21.6158P	8.5015P	2.8890P	12.3368P	12.3368P	12.3368P
VGS	961.2014M	890.1060M	890.1060M	961.2014M	961.2014M	890.1060M	890.1060M	890.1060M
VDS	1.4498	890.1060M	1.9086	1.9417	961.2014M	1.9943	1.9943	1.9943
VBS	0.0000	0.0000	0.0000	0.0000	0.0000	0.0000	0.0000	0.0000
VTH	916.9818M	916.9807M	916.9807M	916.9818M	916.9818M	916.9807M	916.9807M	916.9807M
VDSAT	77.3602M	52.7002M	52.7002M	77.3602M	77.3602M	52.7002M	52.7002M	52.7002M
GM	30.6993U	36.7888U	37.1814U	30.7984U	30.5866U	18.6061U	18.6061U	18.6061U
GDS	19.1720N	29.1755N	25.1350N	18.2379N	22.0807N	12.5249N	12.5249N	12.5249N
GMB	15.4153U	18.6564U	18.8544U	15.4644U	15.3593U	9.4350U	9.4350U	9.4350U
Cdd	29.7263F	113.0939F	92.6819F	27.7380F	33.5821F	45.8898F	45.8898F	45.8898F
Cdg	-8.0813F	-33.0412F	-25.1231F	-7.5743F	-9.9776F	-12.4884F	-12.4884F	-12.4884F
Cds	70.9464A	238.6033A	54.6501A	39.7865A	159.4102A	25.0754A	25.0754A	25.0754A
Cdb	-21.7159F	-80.2913F	-67.6134F	-20.2035F	-23.7640F	-33.4264F	-33.4264F	-33.4264F
Cgd	-8.0336F	-32.8814F	-25.0869F	-7.5477F	-9.8690F	-12.4719F	-12.4719F	-12.4719F
Cgg	248.8893F	635.1499F	627.3056F	248.3949F	250.7483F	313.5805F	313.5805F	313.5805F
Cgs	-166.0204F	-242.2688F	-242.1899F	-166.0071F	-166.0582F	-121.0940F	-121.0940F	-121.0940F
Cgb	-74.8353F	-359.9998F	-360.0287F	-74.8401F	-74.8211F	-180.0147F	-180.0147F	-180.0147F
Csd	-1.5017A	-5.2849A	-0.5576A	-0.6254A	-5.1461A	-0.2447A	-0.2447A	-0.2447A
Csg	-178.0905F	-263.2562F	-263.2994F	-178.0979F	-178.0687F	-131.6502F	-131.6502F	-131.6502F
Css	296.3994F	488.0250F	488.0862F	296.4098F	296.3700F	244.0439F	244.0439F	244.0439F
Csb	-118.3074F	-224.7636F	-224.7863F	-118.3112F	-118.2961F	-112.3934F	-112.3934F	-112.3934F
Cbd	-21.6912F	-80.2073F	-67.5944F	-20.1897F	-23.7080F	-33.4177F	-33.4177F	-33.4177F
Cbg	-62.7175F	-338.8525F	-338.8831F	-62.7227F	-62.7020F	-169.4419F	-169.4419F	-169.4419F
Cbs	-130.4499F	-245.9949F	-245.9510F	-130.4425F	-130.4712F	-122.9750F	-122.9750F	-122.9750F
Cbb	214.8586F	665.0547F	652.4285F	213.3548F	216.8812F	325.8346F	325.8346F	325.8346F
PHI	847.1145M	847.1145M	847.1145M	847.1145M	847.1145M	847.1145M	847.1145M	847.1145M
VBI	1.0095	1.0095	1.0095	1.0095	1.0095	1.0095	1.0095	1.0095
Region	saturation	subthreshold	subthreshold	saturation	saturation	subthreshold	subthreshold	subthreshold
VTH_D	44.2196M	-26.8747M	-26.8747M	44.2196M	44.2196M	-26.8747M	-26.8747M	-26.8747M

MOS: 1 X_A11.X_IREF1.X_MN.V.M1
 MOS: 2 X_A11.X_IREF1.X_M2.M1
 MOS: 3 X_A11.X_IREF1.X_M1.M1
 MOS: 4 X_A11.X_IREF1.X_M3.M1
 MOS: 5 X_A11.X_IREF1.X_M11.M1
 MOS: 6 X_A11.X_IREF1.X_M5.M1
 MOS: 7 X_A11.X_IREF1.X_M6.M1
 MOS: 8 X_A11.X_IREF1.X_M7.M1

	MOS 1	MOS 2	MOS 3	MOS 4	MOS 5	MOS 6	MOS 7	MOS 8
MODEL	PMOS4.PMOS4M	PMOS4.PMOS4M	PMOS4.PMOS4M	PMOS4.PMOS4M	PMOS4.PMOS4M	PMOS4.PMOS4M	PMOS4.PMOS4M	PMOS4.PMOS4M
	PMOS4.PMOS4M	PMOS4.PMOS4M						
ID	-2.0269U	-2.0320U	-2.0191U	-10.2667U	-2.0534U	-2.2168P	-1.0145U	-504.4804N
IG	0.0000	0.0000	0.0000	0.0000	0.0000	0.0000	0.0000	0.0000
IS	2.0269U	2.0320U	2.0191U	10.2666U	2.0534U	0.1454A	1.0145U	504.4554N
IB	-2.1848P	-4.3508P	-3.1781P	-20.2063P	-4.0433P	-2.2168P	-3.0227P	-24.9920P
VGS	-1.0914	-1.0583	-1.0583	-1.0914	-1.0914	0.0000	-1.0057	-947.6994M
VDS	-1.0914	-1.4492	-1.0583	-2.0082	-2.0092	-552.3031M	-1.0057	-2.0134
VBS	0.0000	0.0000	0.0000	0.0000	0.0000	0.0000	0.0000	552.3031M
VTH	-958.1226M	-958.1220M	-958.1220M	-958.1227M	-958.1227M	-960.0362M	-952.4900M	-1.0560
VDSAT	-164.2609M	-138.4063M	-138.4063M	-164.2608M	-164.2608M	-46.2273M	-104.5445M	-52.4787M
GM	23.1917U	27.1036U	26.9416U	117.3616U	23.4726U	4.9566A	16.7662U	12.4920U
GDS	35.1303N	30.3668N	36.1193N	122.4372N	24.4811N	0.0096A	11.3403N	17.5520N
GMB	4.6935U	5.4912U	5.4581U	23.7536U	4.7508U	1.0759A	3.3848U	1.9365U
Cdd	22.3736F	30.5771F	33.7238F	93.5745F	18.7126F	91.8244F	66.3580F	137.7829F
Cdg	-5.3703F	-6.6281F	-8.0462F	-19.9953F	-3.9986F	-17.1605F	-16.6370F	-32.0716F
Cds	94.4548A	72.8024A	137.6961A	134.8595A	26.9456A	-0.0000A	487.8751A	1.4652A
Cdb	-17.0977F	-24.0218F	-25.8153F	-73.7140F	-14.7409F	-74.6639F	-50.2088F	-105.7128F

Cgd	-5.2867F	-6.5654F	-7.9261F	-19.8795F	-3.9755F	-17.1605F	-16.2178F	-32.0691F
Cgg	166.5091F	238.3930F	239.7836F	825.8365F	165.1669F	270.6352F	816.4621F	179.9451F
Cgs	-151.3973F	-214.7463F	-214.7837F	-756.7927F	-151.3585F	-21.5835F	-708.6812F	-55.1138F
Cgb	-9.8251F	-17.0812F	-17.0739F	-49.1643F	-9.8329F	-231.8912F	-91.5632F	-92.7622F
Csd	-6.4720A	-2.8062A	-7.3949A	-4.8296A	-0.9645A	-0.0000A	-17.4856A	-1.5963A
Csg	-150.0009F	-214.6363F	-214.6145F	-750.1210F	-150.0242F	-21.5835F	-718.2280F	-55.9275F
Css	203.0695F	292.1612F	292.1396F	1.0155P	203.0920F	113.3435F	929.1005F	206.6555F
Csb	-53.0621F	-77.5221F	-77.5177F	-265.3339F	-53.0668F	-91.7600F	-210.8550F	-150.7264F
Cbd	-17.0804F	-24.0089F	-25.7903F	-73.6902F	-14.7362F	-74.6639F	-50.1227F	-105.7122F
Cbg	-11.1380F	-17.1286F	-17.1229F	-55.7201F	-11.1440F	-231.8912F	-81.5971F	-91.9459F
Cbs	-51.7667F	-77.4877F	-77.4936F	-258.8019F	-51.7604F	-91.7600F	-220.9072F	-151.5432F
Cbb	79.9850F	118.6251F	120.4068F	388.2122F	77.6406F	398.3151F	352.6270F	349.2014F
PHI	720.2287M	720.2287M	720.2287M	720.2287M	720.2287M	720.2287M	720.2287M	720.2287M
VBI	946.0491M	946.0491M	946.0491M	946.0491M	946.0491M	946.0491M	946.0491M	946.0491M
Region	saturation	saturation	saturation	saturation	saturation	subthreshold	saturation	subthreshold
VTH_D	133.2696M	100.2175M	100.2175M	133.2695M	133.2695M	-960.0362M	53.1913M	-108.3216M

MOS: 1 X_A11.X_IREF1.X_M8.M1
MOS: 2 X_A11.X_IREF1.X_MP_V.M1
MOS: 3 X_A11.X_IREF1.X_M4.M1
MOS: 4 X_A11.X_IREF1.X_M9.M1
MOS: 5 X_A11.X_IREF1.X_M10.M1
MOS: 6 X_A11.X_AMP1.X_MD3.M1
MOS: 7 X_A11.X_AMP1.X_M31.M1
MOS: 8 X_A11.X_AMP1.X_M33.M1

	MOS 1	MOS 2	MOS 3	MOS 4	MOS 5	MOS 6	MOS 7	MOS 8
MODEL	NMOS4.NMOS4M	NMOS4.NMOS4M	NMOS4.NMOS4M	NMOS4.NMOS4M	NMOS4.NMOS4M	NMOS4.NMOS4M	NMOS4.NMOS4M	NMOS4.NMOS4M
NMOS4.NMOS4M	NMOS4.NMOS4M	NMOS4.NMOS4M	NMOS4.NMOS4M	NMOS4.NMOS4M	NMOS4.NMOS4M	NMOS4.NMOS4M	NMOS4.NMOS4M	NMOS4.NMOS4M
ID	-644.7028A	1.3519U	847.4747N	1.3519U	847.4590N	22.1817P	1.3683U	39.4251P
IG	0.0000	0.0000	0.0000	0.0000	0.0000	0.0000	0.0000	0.0000
IS	3.1599P	-1.3519U	-847.4676N	-1.3519U	-847.4513N	-17.4386P	-1.3683U	-12.6713P
IB	3.1592P	2.6198P	7.1102P	2.6211P	7.6689P	4.7431P	5.0608P	26.7538P
VGS	-786.5510M	840.9325M	1.0659	840.9325M	1.0657	412.6910M	840.9325M	713.4490M
VDS	-786.5510M	434.1099M	1.4923	434.3243M	1.6472	786.5510M	840.9325M	1.7646
VBS	-786.5510M	0.0000	-434.1099M	0.0000	-434.3243M	0.0000	0.0000	-786.5510M
VTH	909.0573M	911.7254M	1.1185	911.7254M	1.1186	907.3969M	911.7254M	1.2380
VDSAT	35.1061M	44.2939M	51.6053M	44.2939M	51.5410M	33.2159M	44.2939M	39.5761M
GM	17.5392F	27.0099U	16.6515U	27.0101U	16.6441U	471.9465P	27.3061U	560.7050P
GDS	35.0509A	51.8906N	32.5402N	51.8653N	32.1175N	283.7373F	34.5712N	898.1477F
GMB	11.2189F	13.7339U	6.7800U	13.7340U	6.7765U	267.4668P	13.8840U	212.2682P
Cdd	105.6160F	110.0211F	23.1922F	110.0158F	22.6590F	155.7235F	99.7622F	134.0204F
Cdg	-27.0160F	-32.8481F	-6.4349F	-32.8476F	-6.2314F	-42.6938F	-30.1600F	-41.1379F
Cds	-0.0000A	183.3637A	3.8927A	183.2028A	3.1912A	0.0044A	54.4717A	0.0000A
Cdb	-78.6000F	-77.3564F	-16.7613F	-77.3514F	-16.4308F	-113.0297F	-69.6567F	-92.8825F
Cgd	-26.9733F	-32.7236F	-6.4321F	-32.7233F	-6.2291F	-42.6938F	-30.1237F	-41.1379F
Cgg	223.8181F	324.3574F	55.4442F	324.3570F	55.1914F	1.6344P	321.7232F	330.6121F
Cgs	-21.0351F	-74.2668F	-18.0144F	-74.2667F	-17.9439F	-52.1785F	-74.2102F	-58.2830F
Cgb	-175.8097F	-217.3669F	-30.9977F	-217.3670F	-31.0184F	-1.5395P	-217.3893F	-231.1912F
Csd	0.0000A	-7.5484A	-0.0479A	-7.5379A	-0.0356A	-0.0001A	-1.1327A	-0.0000A
Csg	-21.0351F	-80.0463F	-19.3847F	-80.0463F	-19.3063F	-55.3254F	-80.0785F	-59.0469F
Css	82.2122F	195.5731F	46.2243F	195.5731F	46.1116F	200.6773F	195.6160F	181.4011F
Csb	-61.1771F	-115.5192F	-26.8396F	-115.5192F	-26.8052F	-145.3519F	-115.5364F	-122.3542F
Cbd	-78.6427F	-77.2899F	-16.7601F	-77.2850F	-16.4299F	-113.0297F	-69.6373F	-92.8825F
Cbg	-175.7670F	-211.4630F	-29.6246F	-211.4630F	-29.6537F	-1.5364P	-211.4847F	-230.4273F
Cbs	-61.1771F	-121.4896F	-28.2138F	-121.4896F	-28.1709F	-148.4988F	-121.4603F	-123.1181F
Cbb	315.5868F	410.2425F	74.5986F	410.2376F	74.2545F	1.7979P	402.5824F	446.4278F
PHI	847.1145M	847.1145M	847.1145M	847.1145M	847.1145M	847.1145M	847.1145M	847.1145M
VBI	1.0095	1.0095	1.0095	1.0095	1.0095	1.0095	1.0095	1.0095
Region	subthreshold	subthreshold	subthreshold	subthreshold	subthreshold	subthreshold	subthreshold	subthreshold
VTH_D	-1.6956	-70.7929M	-52.6059M	-70.7929M	-52.9077M	-494.7059M	-70.7929M	-524.5826M

MOS: 1 X_A11.X_AMP1.X_MD2.M1
MOS: 2 X_A11.X_AMP1.X_M46.M1
MOS: 3 X_A11.X_AMP1.X_M44.M1
MOS: 4 X_A11.X_AMP1.X_M47.M1
MOS: 5 X_A11.X_AMP1.X_M45.M1
MOS: 6 X_A11.X_AMP1.X_M37.M1
MOS: 7 X_A11.X_AMP1.X_M48.M1
MOS: 8 X_A11.X_AMP1.X_M36.M1

MOS 1 MOS 2 MOS 3 MOS 4 MOS 5 MOS 6 MOS 7 MOS 8

MODEL	PMOS4.PMOS4M	PMOS4.PMOS4M	PMOS4.PMOS4M	PMOS4.PMOS4M	PMOS4.PMOS4M	PMOS4.PMOS4M	PMOS4.PMOS4M	PMOS4.PMOS4M
ID	-1.3683U	-847.5096N	-847.4747N	-847.4590N	-847.4943N	-1.0089U	-504.4530N	-2.2168P
IG	0.0000	0.0000	0.0000	0.0000	0.0000	0.0000	0.0000	0.0000
IS	1.3683U	847.5069N	847.4702N	847.4549N	847.4916N	1.0089U	504.4280N	0.1454A
IB	-8.6998P	-2.7018P	-4.5724P	-4.1059P	-2.6993P	-1.6626P	-24.9938P	-2.2168P
VGS	-1.0057	-918.5118M	-1.0512	-1.0516	-918.5118M	-1.0057	-947.6969M	0.0000
VDS	-2.1591	-448.8341M	-624.7529M	-470.0867M	-448.4251M	-552.3031M	-2.0136	-552.3031M
VBS	0.0000	0.0000	448.8341M	448.4251M	0.0000	0.0000	552.3031M	0.0000
VTH	-952.4900M	-958.3919M	-1.0459	-1.0459	-958.3919M	-952.4900M	-1.0560	-960.0362M
VDSAT	-104.5445M	-62.7847M	-83.2874M	-83.5069M	-62.7847M	-104.5445M	-52.4785M	-46.2273M
GM	22.5817U	18.4507U	16.3691U	16.3463U	18.4504U	16.6775U	12.4914U	4.9566A
GDS	12.5751N	37.3736N	47.1819N	53.9429N	37.3871N	13.9396N	17.5504N	0.0096A
GMB	4.5594U	3.7488U	2.6608U	2.6573U	3.7487U	3.3666U	1.9364U	1.0759A
Cdd	71.3903F	113.8227F	27.7336F	28.4537F	113.8341F	73.8123F	137.7798F	91.8244F
Cdg	-16.0493F	-26.2349F	-6.8101F	-6.8712F	-26.2355F	-19.0724F	-32.0710F	-17.1605F
Cds	143.1267A	190.7455A	52.0768A	89.1516A	191.0565A	1.5767F	1.4647A	-0.0000A
Cdb	-55.4841F	-87.7785F	-20.9755F	-21.6717F	-87.7897F	-56.3166F	-105.7103F	-74.6639F
Cgd	-15.9284F	-26.0705F	-6.7599F	-6.7871F	-26.0708F	-17.6787F	-32.0685F	-17.1605F
Cgg	1.0827P	200.9445F	54.6945F	54.9587F	200.9449F	818.4184F	179.9440F	270.6352F
Cgs	-944.6179F	-86.9899F	-38.0785F	-38.3543F	-86.9901F	-709.3038F	-55.1131F	-21.5835F
Cgb	-122.1377F	-87.8840F	-9.8561F	-9.8173F	-87.8840F	-91.4359F	-92.7624F	-231.8912F
Csd	-2.3394A	-8.2473A	-6.7030A	-9.3857A	-8.2679A	-106.4037A	-1.5961A	-0.0000A
Csg	-957.7953F	-92.0936F	-39.6019F	-39.8475F	-92.0935F	-717.8520F	-55.9268F	-21.5835F
Css	1.2390P	210.0514F	69.3415F	69.6333F	210.0513F	928.7376F	206.6547F	113.3435F
Csb	-281.1720F	-117.9496F	-29.7329F	-29.7765F	-117.9496F	-210.7791F	-150.7263F	-91.7600F
Cbd	-55.4595F	-87.7439F	-20.9669F	-21.6573F	-87.7550F	-56.0271F	-105.7097F	-74.6639F
Cbg	-108.8395F	-82.6160F	-8.2825F	-8.2400F	-82.6159F	-81.4940F	-91.9461F	-231.8912F
Cbs	-294.4948F	-123.2523F	-31.3151F	-31.3681F	-123.2523F	-221.0105F	-151.5431F	-91.7600F
Cbb	458.7939F	293.6121F	60.5645F	61.2654F	293.6232F	358.5316F	349.1989F	398.3151F
PHI	720.2287M	720.2287M	720.2287M	720.2287M	720.2287M	720.2287M	720.2287M	720.2287M
VBI	946.0491M	946.0491M	946.0491M	946.0491M	946.0491M	946.0491M	946.0491M	946.0491M
Region	saturation	subthreshold	saturation	saturation	subthreshold	saturation	subthreshold	subthreshold
VTH_D	53.1913M	-39.8801M	5.2406M	5.6948M	-39.8801M	53.1913M	-108.3240M	-960.0362M

MOS: 1 X_A11.X_AMP1.X_M49.M1
MOS: 2 X_A11.X_AMP1.X_M38.M1
MOS: 3 X_A11.X_AMP1.X_M40.M1
MOS: 4 X_A11.X_AMP1.X_M41.M1
MOS: 5 X_A11.X_AMP1.X_M39.M1
MOS: 6 X_A11.X_AMP1.X_M32.M1
MOS: 7 X_A11.X_AMP1.X_M34.M1
MOS: 8 X_A11.X_AMP2.X_MD3.M1

	MOS 1	MOS 2	MOS 3	MOS 4	MOS 5	MOS 6	MOS 7	MOS 8
MODEL	PMOS4.PMOS4M	PMOS4.PMOS4M	PMOS4.PMOS4M	PMOS4.PMOS4M	PMOS4.PMOS4M	PMOS4.PMOS4M	PMOS4.PMOS4M	PMOS4.PMOS4M
ID	-1.0145U	-504.4804N	-1.3683U	-847.5096N	-847.4747N	-847.4590N	-847.4943N	-1.0089U
IG	0.0000	0.0000	0.0000	0.0000	0.0000	0.0000	0.0000	0.0000
IS	1.0145U	504.4554N	1.3683U	847.5069N	847.4702N	847.4549N	847.4916N	1.0089U
IB	-3.0227P	-24.9920P	-8.6998P	-2.7018P	-4.5724P	-4.1059P	-2.6993P	-1.6626P
VGS	-1.0057	-947.6994M	-1.0057	-918.5118M	-1.0512	-1.0516	-918.5118M	-1.0057
VDS	-1.0057	-2.0134	-2.1591	-448.8341M	-624.7529M	-470.0867M	-448.4251M	-552.3031M
VBS	0.0000	552.3031M	0.0000	0.0000	448.8341M	448.4251M	0.0000	0.0000
VTH	-952.4900M	-1.0560	-952.4900M	-958.3919M	-1.0459	-1.0459	-958.3919M	-952.4900M
VDSAT	-104.5445M	-52.4787M	-104.5445M	-62.7847M	-83.2874M	-83.5069M	-62.7847M	-104.5445M
GM	16.7662U	12.4920U	22.5817U	18.4507U	16.3691U	16.3463U	18.4504U	16.6775U
GDS	11.3403N	17.5520N	12.5751N	37.3736N	47.1819N	53.9429N	37.3871N	13.9396N
GMB	3.3848U	1.9365U	4.5594U	3.7488U	2.6608U	2.6573U	3.7487U	3.3666U
Cdd	66.3580F	137.7829F	71.3903F	113.8227F	27.7336F	28.4537F	113.8341F	73.8123F
Cdg	-16.6370F	-32.0716F	-16.0493F	-26.2349F	-6.8101F	-6.8712F	-26.2355F	-19.0724F
Cds	487.8751A	1.4652A	143.1267A	190.7455A	52.0768A	89.1516A	191.0565A	1.5767F
Cdb	-50.2088F	-105.7128F	-55.4841F	-87.7785F	-20.9755F	-21.6717F	-87.7897F	-56.3166F
Cgd	-16.2178F	-32.0691F	-15.9284F	-26.0705F	-6.7599F	-6.7871F	-26.0708F	-17.6787F
Cgg	816.4621F	179.9451F	1.0827P	200.9445F	54.6945F	54.9587F	200.9449F	818.4184F
Cgs	-708.6812F	-55.1138F	-944.6179F	-86.9899F	-38.0785F	-38.3543F	-86.9901F	-709.3038F
Cgb	-91.5632F	-92.7622F	-122.1377F	-87.8840F	-9.8561F	-9.8173F	-87.8840F	-91.4359F
Csd	-17.4856A	-1.5963A	-2.3394A	-8.2473A	-6.7030A	-9.3857A	-8.2679A	-106.4037A
Csg	-718.2280F	-55.9275F	-957.7953F	-39.6019F	-39.8475F	-92.0935F	-717.8520F	-55.9268F
Css	929.1005F	206.6555F	1.2390P	210.0514F	69.3415F	69.6333F	210.0513F	928.7376F
Csb	-210.8550F	-150.7264F	-281.1720F	-117.9496F	-29.7329F	-29.7765F	-117.9496F	-210.7791F
Cbd	-50.1227F	-105.7122F	-55.4595F	-87.7439F	-20.9669F	-21.6573F	-87.7550F	-56.0271F
Cbg	-81.5971F	-91.9459F	-108.8395F	-82.6160F	-8.2825F	-8.2400F	-82.6159F	-81.4940F
Cbs	-220.9072F	-151.5432F	-294.4948F	-123.2523F	-31.3151F	-31.3681F	-123.2523F	-221.0105F

Cbb	352.6270F	349.2014F	458.7939F	293.6121F	60.5645F	61.2654F	293.6232F	358.5316F
PHI	720.2287M	720.2287M	720.2287M	720.2287M	720.2287M	720.2287M	720.2287M	720.2287M
VBI	946.0491M	946.0491M	946.0491M	946.0491M	946.0491M	946.0491M	946.0491M	946.0491M
Region	saturation	subthreshold	saturation	subthreshold	saturation	subthreshold	saturation	subthreshold
VTH_D	53.1913M	-108.3216M	53.1913M	-39.8801M	5.2406M	5.6948M	-39.8801M	53.1913M

MOS: 1 X_A11.X_AMP2.X_M31.M1
MOS: 2 X_A11.X_AMP2.X_M33.M1
MOS: 3 X_A11.X_AMP2.X_M49.M1
MOS: 4 X_A11.X_AMP2.X_M38.M1
MOS: 5 X_A11.X_AMP2.X_M40.M1
MOS: 6 X_A11.X_AMP2.X_M41.M1
MOS: 7 X_A11.X_AMP2.X_M39.M1
MOS: 8 X_A11.X_AMP2.X_M32.M1

	MOS 1	MOS 2	MOS 3	MOS 4	MOS 5	MOS 6	MOS 7	MOS 8
MODEL	NMOS4.NMOS4M	NMOS4.NMOS4M	NMOS4.NMOS4M	NMOS4.NMOS4M	NMOS4.NMOS4M	NMOS4.NMOS4M	NMOS4.NMOS4M	NMOS4.NMOS4M
ID	39.4274P	-644.7028A	1.3519U	847.4747N	1.3519U	847.4590N	22.1817P	1.3683U
IG	0.0000	0.0000	0.0000	0.0000	0.0000	0.0000	0.0000	0.0000
IS	-12.6703P	3.1599P	-1.3519U	-847.4676N	-1.3519U	-847.4513N	-17.4386P	-1.3683U
IB	26.7571P	3.1592P	2.6198P	7.1102P	2.6211P	7.6689P	4.7431P	5.0608P
VGS	713.4465M	-786.5510M	840.9325M	1.0659	840.9325M	1.0657	412.6910M	840.9325M
VDS	1.7650	-786.5510M	434.1099M	1.4923	434.3243M	1.6472	786.5510M	840.9325M
VBS	-786.5510M	-786.5510M	0.0000	-434.1099M	0.0000	-434.3243M	0.0000	0.0000
VTH	1.2380	909.0573M	911.7254M	1.1185	911.7254M	1.1186	907.3969M	911.7254M
VDSAT	39.5761M	35.1061M	44.2939M	51.6053M	44.2939M	51.5410M	33.2159M	44.2939M
GM	560.6745P	17.5392F	27.0099U	16.6515U	27.0101U	16.6441U	471.9465P	27.3061U
GDS	898.0724F	35.0509A	51.8906N	32.5402N	51.8653N	32.1175N	283.7373F	34.5712N
GMB	212.2568P	11.2189F	13.7339U	6.7800U	13.7340U	6.7765U	267.4668P	13.8840U
Cdd	134.0151F	105.6160F	110.0211F	23.1922F	110.0158F	22.6590F	155.7235F	99.7622F
Cdg	-41.1368F	-27.0160F	-32.8481F	-6.4349F	-32.8476F	-6.2314F	-42.6938F	-30.1600F
Cds	0.0000A	-0.0000A	183.3637A	3.8927A	183.2028A	3.1912A	0.0044A	54.4717A
Cdb	-92.8783F	-78.6000F	-77.3564F	-16.7613F	-77.3514F	-16.4308F	-113.0297F	-69.6567F
Cgd	-41.1368F	-26.9733F	-32.7236F	-6.4321F	-32.7233F	-6.2291F	-42.6938F	-30.1237F
Cgg	330.6111F	223.8181F	324.3574F	55.4442F	324.3570F	55.1914F	1.6344P	321.7232F
Cgs	-58.2830F	-21.0351F	-74.2668F	-18.0144F	-74.2667F	-17.9439F	-52.1785F	-74.2102F
Cgb	-231.1913F	-175.8097F	-217.3669F	-30.9977F	-217.3670F	-31.0184F	-1.5395P	-217.3893F
Csd	-0.0000A	0.0000A	-7.5484A	-0.0479A	-7.5379A	-0.0356A	-0.0001A	-1.1327A
Csg	-59.0469F	-21.0351F	-80.0463F	-19.3847F	-80.0463F	-19.3063F	-55.3254F	-80.0785F
Css	181.4011F	82.2122F	195.5731F	46.2243F	195.5731F	46.1116F	200.6773F	195.6160F
Csb	-122.3542F	-61.1771F	-115.5192F	-26.8396F	-115.5192F	-26.8052F	-145.3519F	-115.5364F
Cbd	-92.8783F	-78.6427F	-77.2899F	-16.7601F	-77.2850F	-16.4299F	-113.0297F	-69.6373F
Cbg	-230.4274F	-175.7670F	-211.4630F	-29.6246F	-211.4630F	-29.6537F	-1.5364P	-211.4847F
Cbs	-123.1181F	-61.1771F	-121.4896F	-28.2138F	-121.4896F	-28.1709F	-148.4988F	-121.4603F
Cbb	446.4238F	315.5868F	410.2425F	74.5986F	410.2376F	74.2545F	1.7979P	402.5824F
PHI	847.1145M	847.1145M	847.1145M	847.1145M	847.1145M	847.1145M	847.1145M	847.1145M
VBI	1.0095	1.0095	1.0095	1.0095	1.0095	1.0095	1.0095	1.0095
Region	subthreshold	subthreshold	subthreshold	subthreshold	subthreshold	subthreshold	subthreshold	subthreshold
VTH_D	-524.5851M	-1.6956	-70.7929M	-52.6059M	-70.7929M	-52.9077M	-494.7059M	-70.7929M

MOS: 1 X_A11.X_AMP1.X_M35.M1
MOS: 2 X_A11.X_AMP2.X_MD2.M1
MOS: 3 X_A11.X_AMP2.X_M46.M1
MOS: 4 X_A11.X_AMP2.X_M44.M1
MOS: 5 X_A11.X_AMP2.X_M47.M1
MOS: 6 X_A11.X_AMP2.X_M45.M1
MOS: 7 X_A11.X_AMP2.X_M37.M1
MOS: 8 X_A11.X_AMP2.X_M48.M1

	MOS 1	MOS 2	MOS 3	MOS 4	MOS 5	MOS 6	MOS 7	MOS 8
MODEL	PMOS4.PMOS4M	PMOS4.PMOS4M	PMOS4.PMOS4M	PMOS4.PMOS4M	PMOS4.PMOS4M	PMOS4.PMOS4M	PMOS4.PMOS4M	PMOS4.PMOS4M
ID	-504.4530N	-12.3772U	-1.0189U	-1.0199U	-340.4182N	-504.4573N	-942.9150N	-66.3077N
IG	0.0000	0.0000	0.0000	0.0000	0.0000	0.0000	0.0000	0.0000
IS	504.4280N	12.3772U	1.0189U	1.0199U	340.4141N	504.4362N	942.8896N	66.2828N
IB	-24.9938P	-15.0162P	-2.8972P	-2.9582P	-4.0996P	-21.0801P	-25.4161P	-24.8896P
VGS	-947.6969M	-985.0270M	-964.6945M	-964.6945M	-1.0134	-948.3200M	-976.9099M	-875.8622M
VDS	-2.0136	-1.4993	-964.6945M	-985.0270M	-391.6243M	-1.5278	-2.0222	-1.9605
VBS	552.3031M	0.0000	0.0000	0.0000	486.6090M	551.6800M	573.3382M	573.3382M
VTH	-1.0560	-959.5968M	-963.5493M	-963.5466M	-1.0520	-1.0560	-1.0592	-1.0592
VDSAT	-52.4785M	-91.7494M	-79.2088M	-79.2100M	-65.9586M	-52.5464M	-56.0553M	-48.5156M

GM	12.4914U	223.3434U	19.8757U	19.8931U	7.3258U	12.4793U	22.0927U	1.9403U
GDS	17.5504N	416.1605N	45.5240N	45.0287N	23.3270N	19.5787N	31.8650N	2.4491N
GMB	1.9364U	45.1607U	4.0349U	4.0385U	1.1727U	1.9350U	3.3994U	298.4066N
Cdd	137.7798F	214.7370F	34.2107F	34.0183F	28.6432F	146.1861F	137.4907F	138.1074F
Cdg	-32.0710F	-47.8009F	-7.9378F	-7.8579F	-6.8275F	-34.1332F	-32.1288F	-32.0201F
Cds	1.4647A	129.4595A	27.6764A	26.5903A	42.1361A	2.5556A	3.4360A	0.1199A
Cdb	-105.7103F	-167.0656F	-26.3006F	-26.1870F	-21.8579F	-112.0554F	-105.3653F	-106.0874F
Cgd	-32.0685F	-47.6468F	-7.9102F	-7.8312F	-6.7881F	-34.1297F	-32.1230F	-32.0199F
Cgg	179.9440F	601.5351F	68.3238F	68.2458F	37.3674F	182.1627F	188.5355F	174.7639F
Cgs	-55.1131F	-461.3531F	-44.7527F	-44.7539F	-17.9616F	-55.2950F	-66.5919F	-47.4328F
Cgb	-92.7624F	-92.5351F	-15.6608F	-15.6606F	-12.6177F	-92.7380F	-89.8207F	-95.3112F
Csd	-1.5961A	-59.0756A	-5.9414A	-5.9034A	-3.9331A	-1.6446A	-3.6346A	-0.1415A
Csg	-55.9268F	-482.2798F	-47.1715F	-47.1737F	-18.7063F	-56.1225F	-68.2935F	-47.5731F
Css	206.6547F	818.1836F	90.6799F	90.6826F	44.7694F	206.9079F	220.0172F	196.1216F
Csb	-150.7263F	-335.8448F	-43.5025F	-43.5029F	-26.0591F	-150.7837F	-151.7200F	-148.5483F
Cbd	-105.7097F	-167.0311F	-26.2945F	-26.1812F	-21.8512F	-112.0547F	-105.3641F	-106.0874F
Cbg	-91.9461F	-71.4544F	-13.2145F	-13.2142F	-11.8335F	-91.9069F	-88.1132F	-95.1706F
Cbs	-151.5431F	-356.9600F	-45.9548F	-45.9552F	-26.8499F	-151.6154F	-153.4287F	-148.6889F
Cbb	349.1989F	595.4455F	85.4639F	85.3506F	60.5347F	355.5771F	346.9060F	349.9469F
PHI	720.2287M	720.2287M	720.2287M	720.2287M	720.2287M	720.2287M	720.2287M	720.2287M
VBI	946.0491M	946.0491M	946.0491M	946.0491M	946.0491M	946.0491M	946.0491M	946.0491M
Region	subthreshold	saturation	saturation	saturation	subthreshold	subthreshold	subthreshold	subthreshold
VTH_D	-108.3240M	25.4302M	1.1452M	1.1479M	-38.5990M	-107.6700M	-82.3265M	-183.3824M

MOS: 1 X_A11.X_AMP2.X_M34.M1
MOS: 2 X_A11.X_BUFFER1.X_M87.M1
MOS: 3 X_A11.X_BUFFER1.X_M85.M1
MOS: 4 X_A11.X_BUFFER1.X_M86.M1
MOS: 5 X_A11.X_CTRL1.X_M16.M1
MOS: 6 X_A11.X_CTRL1.X_M3.M1
MOS: 7 X_A11.X_CTRL1.X_M13.M1
MOS: 8 X_A11.X_CTRL1.X_M12.M1

	MOS 1	MOS 2	MOS 3	MOS 4	MOS 5	MOS 6	MOS 7	MOS 8
MODEL	NMOS4.NMOS4M	NMOS4.NMOS4M	NMOS4.NMOS4M	NMOS4.NMOS4M	NMOS4.NMOS4M	NMOS4.NMOS4M	NMOS4.NMOS4M	NMOS4.NMOS4M
NMOS4.NMOS4M	NMOS4.NMOS4M	NMOS4.NMOS4M	NMOS4.NMOS4M	NMOS4.NMOS4M	NMOS4.NMOS4M	NMOS4.NMOS4M	NMOS4.NMOS4M	NMOS4.NMOS4M
ID	39.4251P	39.4274P	2.0534U	12.3764U	1.0199U	1.0189U	2.0388U	340.4182N
IG	0.0000	0.0000	0.0000	0.0000	0.0000	0.0000	0.0000	0.0000
IS	-12.6713P	-12.6703P	-2.0534U	-12.3764U	-1.0198U	-1.0189U	-2.0388U	-340.4104N
IB	26.7538P	26.7571P	1.9853P	18.2094P	14.9423P	15.0775P	930.1091F	7.8258P
VGS	713.4490M	713.4465M	990.8411M	990.8411M	1.0368	1.0367	990.8411M	1.0339
VDS	1.7646	1.7650	990.8411M	1.5007	1.5517	1.5721	463.2418M	1.6556
VBS	-786.5510M	-786.5510M	0.0000	0.0000	-463.2418M	-463.2418M	0.0000	-466.1467M
VTH	1.2380	1.2380	916.9826M	916.9826M	1.1259	1.1259	916.9826M	1.1315
VDSAT	39.5761M	39.5761M	91.0276M	91.0276M	45.4029M	45.3914M	91.0276M	44.2948M
GM	560.7050P	560.6745P	28.3810U	170.8543U	21.3674U	21.3491U	28.2005U	7.2080U
GDS	898.1477F	898.0724F	20.2268N	103.3107N	43.0567N	42.9502N	46.2247N	14.4879N
GMB	212.2682P	212.2568P	14.1833U	85.3798U	8.5966U	8.5893U	14.0941U	2.9063U
Cdd	134.0204F	134.0151F	22.2969F	118.0680F	55.9703F	55.8032F	25.1362F	22.5373F
Cdg	-41.1379F	-41.1368F	-6.6636F	-32.2083F	-15.9787F	-15.9156F	-7.6209F	-6.1899F
Cds	0.0000A	0.0000A	119.9007A	314.1839A	3.5425A	3.4466A	540.9640A	0.9798A
Cdb	-92.8825F	-92.8783F	-15.7532F	-86.1738F	-39.9952F	-39.8910F	-18.0563F	-16.3484F
Cgd	-41.1379F	-41.1368F	-6.5811F	-31.9954F	-15.9761F	-15.9132F	-7.2299F	-6.1892F
Cgg	330.6121F	330.6111F	178.7047F	1.0646P	129.1538F	129.0769F	179.4543F	50.4823F
Cgs	-58.2830F	-58.2830F	-128.5403F	-771.0693F	-30.6737F	-30.6522F	-128.7193F	-11.3390F
Cgb	-231.1912F	-231.1913F	-43.5833F	-261.5659F	-82.5039F	-82.5115F	-43.5051F	-32.9542F
Csd	-0.0000A	-0.0000A	-4.8053A	-8.1927A	-0.0396A	-0.0381A	-48.7903A	-0.0102A
Csg	-59.0469F	-59.0469F	-136.8305F	-821.0857F	-32.3256F	-32.3014F	-136.7087F	-11.8853F
Css	181.4011F	181.4011F	224.8483F	1.3492P	90.2588F	90.2246F	224.7080F	35.3731F
Csb	-122.3542F	-122.3542F	-88.0130F	-528.1307F	-57.9332F	-57.9232F	-87.9505F	-23.4877F
Cbd	-92.8825F	-92.8783F	-15.7109F	-86.0644F	-39.9942F	-39.8900F	-17.8575F	-16.3481F
Cbg	-230.4273F	-230.4274F	-35.2107F	-211.3367F	-80.8495F	-80.8598F	-35.1247F	-32.4071F
Cbs	-123.1181F	-123.1181F	-96.4279F	-578.4695F	-59.5886F	-59.5758F	-96.5296F	-24.0351F
Cbb	446.4278F	446.4238F	147.3495F	875.8705F	180.4323F	180.3256F	149.5118F	72.7903F
PHI	847.1145M	847.1145M	847.1145M	847.1145M	847.1145M	847.1145M	847.1145M	847.1145M
VBI	1.0095	1.0095	1.0095	1.0095	1.0095	1.0095	1.0095	1.0095
Region	subthreshold	subthreshold	saturation	saturation	subthreshold	subthreshold	saturation	subthreshold
VTH_D	-524.5826M	-524.5851M	73.8585M	73.8585M	-89.1599M	-89.2439M	73.8586M	-97.6138M

MOS: 1 X_A11.X_AMP2.X_M36.M1
MOS: 2 X_A11.X_AMP2.X_M35.M1
MOS: 3 X_A11.X_BUFFER1.X_M80.M1
MOS: 4 X_A11.X_BUFFER1.X_M82.M1
MOS: 5 X_A11.X_BUFFER1.X_M84.M1

MOS: 6 X_A11.X_BUFFER1.X_M83.M1
MOS: 7 X_A11.X_BUFFER1.X_M81.M1
MOS: 8 X_A11.X_CTRL1.X_M20.M1

	MOS 1	MOS 2	MOS 3	MOS 4	MOS 5	MOS 6	MOS 7	MOS 8
MODEL	PMOS4.PMOS4M	PMOS4.PMOS4M	PMOS4.PMOS4M	PMOS4.PMOS4M	PMOS4.PMOS4M	PMOS4.PMOS4M	PMOS4.PMOS4M	PMOS4.PMOS4M
PMOS4.PMOS4M	PMOS4.PMOS4M	PMOS4.PMOS4M	PMOS4.PMOS4M	PMOS4.PMOS4M	PMOS4.PMOS4M	PMOS4.PMOS4M	PMOS4.PMOS4M	PMOS4.PMOS4M
ID	-1.0092U	-340.4341N	-66.9768N	-946.8091N	-1.0137U	-504.4573N	-340.4786N	-1.0089U
IG	0.0000	0.0000	0.0000	0.0000	0.0000	0.0000	0.0000	0.0000
IS	1.0092U	340.4249N	66.9515N	946.7842N	1.0137U	504.4362N	340.4757N	1.0089U
IB	-1.7257P	-9.2548P	-25.3825P	-24.9087P	-1.7250P	-21.0801P	-2.9460P	-1.6607P
VGS	-1.0057	-1.0105	-876.0920M	-977.1397M	-1.0060	-948.3200M	-878.2334M	-1.0057
VDS	-573.3382M	-2.0978	-2.0225	-1.9607	-573.1083M	-1.5278	-489.5404M	-551.6800M
VBS	0.0000	489.5404M	573.1083M	573.1083M	0.0000	551.6800M	0.0000	0.0000
VTH	-952.4900M	-1.0522	-1.0592	-1.0592	-952.4900M	-1.0560	-958.3916M	-952.4900M
VDSAT	-104.5445M	-65.0055M	-48.5204M	-56.0979M	-104.7185M	-52.5464M	-53.6403M	-104.5445M
GM	16.6823U	7.3571U	1.9587U	22.1744U	16.7386U	12.4793U	8.0393U	16.6774U
GDS	13.7439N	10.6727N	2.4468N	32.3811N	13.8070N	19.5787N	14.5396N	13.9456N
GMB	3.3675U	1.1767U	301.2725N	3.4123U	3.3789U	1.9350U	1.6342U	3.3665U
Cdd	73.4346F	21.4872F	137.2304F	138.3924F	73.4403F	146.1861F	112.6556F	73.8236F
Cdg	-18.9416F	-4.6439F	-31.8656F	-32.3082F	-18.9471F	-34.1332F	-26.0322F	-19.0765F
Cds	1.4665F	1.6436A	0.1139A	3.6795A	1.4709F	2.5556A	47.0949A	1.5802F
Cdb	-55.9595F	-16.8449F	-105.3648F	-106.0879F	-55.9641F	-112.0554F	-86.6704F	-56.3273F
Cgd	-17.6484F	-4.6411F	-31.8654F	-32.3020F	-17.6497F	-34.1297F	-25.9919F	-17.6797F
Cgg	818.3386F	34.3703F	174.6146F	188.8591F	819.3896F	182.1627F	166.6973F	818.4209F
Cgs	-709.2408F	-16.9760F	-47.4389F	-66.7585F	-710.5157F	-55.2950F	-43.6111F	-709.3058F
Cgb	-91.4495F	-12.7532F	-95.3104F	-89.7987F	-91.2242F	-92.7380F	-97.0943F	-91.4355F
Csd	-95.0692A	-1.6923A	-0.1427A	-3.6659A	-95.6755A	-1.6446A	-1.7566A	-106.7663A
Csg	-717.8920F	-17.7041F	-47.5798F	-68.4725F	-719.0872F	-56.1225F	-45.4462F	-717.8508F
Css	928.7743F	43.5819F	196.1389F	220.2335F	930.2106F	206.9079F	153.8883F	928.7364F
Csb	-210.7872F	-25.8762F	-148.5590F	-151.7574F	-211.0278F	-150.7837F	-108.4404F	-210.7789F
Cbd	-55.6911F	-16.8444F	-105.3648F	-106.0867F	-55.6949F	-112.0547F	-86.6619F	-56.0372F
Cbg	-81.5050F	-12.0224F	-95.1692F	-88.0785F	-81.3553F	-91.9069F	-95.2189F	-81.4937F
Cbs	-221.0000F	-26.6075F	-148.7002F	-153.4787F	-221.1659F	-151.6154F	-110.3243F	-221.0108F
Cbb	358.1961F	55.4743F	349.2342F	347.6439F	358.2161F	355.5771F	292.2052F	358.5417F
PHI	720.2287M	720.2287M	720.2287M	720.2287M	720.2287M	720.2287M	720.2287M	720.2287M
VBI	946.0491M	946.0491M	946.0491M	946.0491M	946.0491M	946.0491M	946.0491M	946.0491M
Region	saturation	subthreshold	subthreshold	subthreshold	saturation	subthreshold	subthreshold	saturation
VTH_D	53.1913M	-41.7676M	-183.1093M	-82.0699M	53.4646M	-107.6700M	-80.1582M	53.1913M

MOS: 1 X_A11.X_CTRL1.X_M11.M1
MOS: 2 X_A11.X_CTRL1.X_M17.M1
MOS: 3 X_A11.X_CTRL1.X_M10.M1
MOS: 4 X_A11.X_CTRL1.X_M9.M1
MOS: 5 X_A11.X_CTRL1.X_M8.M1
MOS: 6 X_A11.X_CTRL1.X_M4.M1
MOS: 7 X_A11.X_CTRL1.X_M15.M1
MOS: 8 X_A11.X_CTRL1.X_M2.M1

	MOS 1	MOS 2	MOS 3	MOS 4	MOS 5	MOS 6	MOS 7	MOS 8
MODEL	NMOS4.NMOS4M	NMOS4.NMOS4M	NMOS4.NMOS4M	NMOS4.NMOS4M	NMOS4.NMOS4M	NMOS4.NMOS4M	NMOS4.NMOS4M	NMOS4.NMOS4M
NMOS4.NMOS4M	NMOS4.NMOS4M	NMOS4.NMOS4M	NMOS4.NMOS4M	NMOS4.NMOS4M	NMOS4.NMOS4M	NMOS4.NMOS4M	NMOS4.NMOS4M	NMOS4.NMOS4M
ID	340.4341N	21.8247P	1.3535U	1.3503U	1.0089U	1.0191U	22.3249P	1.3683U
IG	0.0000	0.0000	0.0000	0.0000	0.0000	0.0000	0.0000	0.0000
IS	-340.4317N	4.8092P	-1.3535U	-1.3503U	-1.0089U	-1.0191U	-17.4451P	-1.3683U
IB	2.4605P	26.6338P	2.8121P	2.4417P	1.8490P	6.1198P	4.8798P	5.0608P
VGS	1.0956	640.4238M	840.9325M	840.9325M	920.5070M	920.5070M	412.6910M	840.9325M
VDS	8.2678M	1.7041	466.1467M	404.4232M	920.5070M	1.9940	809.3281M	840.9325M
VBS	-404.4232M	-809.3281M	0.0000	0.0000	0.0000	0.0000	0.0000	0.0000
VTH	1.1063	1.2460	911.7254M	911.7254M	907.3974M	907.3974M	907.3969M	911.7254M
VDSAT	62.8159M	39.6724M	44.2939M	44.2939M	64.6975M	64.6975M	33.2159M	44.2939M
GM	4.8950U	50.0934P	27.0401U	26.9795U	16.9722U	17.1020U	472.1208P	27.3061U
GDS	38.0173U	80.3421F	48.5350N	55.8587N	10.3302N	9.1495N	281.7986F	34.5712N
GMB	2.0372U	19.0754P	13.7492U	13.7186U	8.5171U	8.5818U	267.5568P	13.8840U
Cdd	57.7276F	134.3742F	109.2482F	110.7535F	53.5754F	43.4677F	154.8502F	99.7622F
Cdg	-23.3998F	-41.1035F	-32.7820F	-32.9050F	-17.2921F	-12.9726F	-42.4146F	-30.1600F
Cds	-5.6439F	0.0000A	161.4820A	207.8485A	444.7744A	98.3187A	0.0041A	54.4717A
Cdb	-28.6839F	-93.2706F	-76.6277F	-78.0563F	-36.7281F	-30.5935F	-112.4356F	-69.6567F
Cgd	-21.5300F	-41.1035F	-32.6727F	-32.7636F	-16.9911F	-12.9070F	-42.4146F	-30.1237F
Cgg	74.4220F	332.8128F	324.3007F	324.4036F	750.8441F	746.6670F	1.6341P	321.7232F
Cgs	-28.9111F	-58.3054F	-74.2572F	-74.2776F	-425.9934F	-425.8462F	-52.2296F	-74.2102F
Cgb	-23.9809F	-233.4039F	-217.3709F	-217.3625F	-307.8597F	-307.9137F	-1.5395P	-217.3893F

Csd	-8.9261F	-0.0000A	-6.1714A	-9.2153A	-11.8773A	-1.1946A	-0.0001A	-1.1327A
Csg	-29.6589F	-59.0030F	-80.0520F	-80.0399F	-460.6845F	-460.7675F	-55.3254F	-80.0785F
Css	69.9727F	180.7164F	195.5804F	195.5649F	738.7227F	738.8381F	200.6773F	195.6160F
Csb	-31.3877F	-121.7134F	-115.5222F	-115.5158F	-278.0264F	-278.0694F	-145.3519F	-115.5364F
Cbd	-27.2715F	-93.2706F	-76.5693F	-77.9807F	-36.5725F	-30.5595F	-112.4356F	-69.6373F
Cbg	-21.3634F	-232.7063F	-211.4668F	-211.4587F	-272.8675F	-272.9269F	-1.5364P	-211.4847F
Cbs	-35.4176F	-122.4109F	-121.4847F	-121.4952F	-313.1741F	-313.0902F	-148.4477F	-121.4603F
Cbb	84.0525F	448.3879F	409.5208F	410.9346F	622.6142F	616.5767F	1.7972P	402.5824F
PHI	847.1145M	847.1145M	847.1145M	847.1145M	847.1145M	847.1145M	847.1145M	847.1145M
VBI	1.0095	1.0095	1.0095	1.0095	1.0095	1.0095	1.0095	1.0095
Region	subthreshold	subthreshold	subthreshold	subthreshold	saturation	saturation	subthreshold	subthreshold
VTH_D	-10.7350M	-605.5955M	-70.7929M	-70.7929M	13.1097M	13.1097M	-494.7059M	-70.7929M

MOS: 1 X_A11.X_CTRL1.X_M21.M1
MOS: 2 X_A11.X_CTRL1.X_M24.M1
MOS: 3 X_A11.X_CTRL1.X_M22.M1
MOS: 4 X_A11.X_CTRL1.X_M23.M1
MOS: 5 X_A11.X_CTRL1.X_M5.M1
MOS: 6 X_A11.X_CTRL1.X_M6.M1
MOS: 7 X_A11.X_CTRL1.X_M26.M1
MOS: 8 X_A11.X_CTRL1.X_M27.M1

	MOS 1	MOS 2	MOS 3	MOS 4	MOS 5	MOS 6	MOS 7	MOS 8
MODEL	PMOS4.PMOS4M	PMOS4.PMOS4M	PMOS4.PMOS4M	PMOS4.PMOS4M	PMOS4.PMOS4M	PMOS4.PMOS4M	PMOS4.PMOS4M	PMOS4.PMOS4M
PMOS4.PMOS4M	PMOS4.PMOS4M	PMOS4.PMOS4M						
ID	-340.4359N	-1.0191U	-1.0145U	-1.3683U	-10.3124U	-10.3123U	-10.3130U	-10.3130U
IG	0.0000	0.0000	0.0000	0.0000	0.0000	0.0000	0.0000	0.0000
IS	340.4330N	1.0191U	1.0145U	1.3683U	10.3123U	10.3123U	10.3130U	10.3130U
IB	-2.9284P	-3.0236P	-3.0227P	-8.6998P	-5.1784P	-1.3554P	-6.7796P	-1.3609P
VGS	-878.2334M	-1.0060	-1.0057	-1.0057	-1.2760	-1.0736	-1.2751	-1.0736
VDS	-486.6090M	-1.0060	-1.0057	-2.1591	-1.2761	-224.0001M	-1.8061	-224.9139M
VBS	0.0000	0.0000	0.0000	0.0000	224.0001M	0.0000	224.9139M	0.0000
VTH	-958.3916M	-952.4900M	-952.4900M	-952.4900M	-1.0007	-954.5614M	-1.0009	-954.5614M
VDSAT	-53.6403M	-104.7185M	-104.5445M	-104.5445M	-290.0097M	-153.3052M	-289.0744M	-153.3052M
GM	8.0383U	16.8230U	16.7662U	22.5817U	66.6648U	125.6973U	66.9084U	125.7139U
GDS	47.6044A	11.3867N	11.3403N	12.5751N	158.7106N	740.0896N	119.6616N	728.8582N
GMB	1.6340U	3.3962U	3.3848U	4.5594U	12.0098U	25.3630U	12.0488U	25.3662U
Cdd	112.7349F	66.3553F	66.3580F	71.3903F	31.7734F	177.9872F	28.3773F	177.6978F
Cdg	-26.0358F	-16.6378F	-16.6370F	-16.0493F	-8.0668F	-62.0332F	-6.3852F	-61.7395F
Cds	47.6044A	488.6061A	487.8751A	143.1267A	128.8565A	14.1730F	59.8470A	14.0671F
Cdb	-86.7467F	-50.2061F	-50.2088F	-55.4841F	-23.8354F	-130.1270F	-22.0519F	-130.0254F
Cgd	-25.9950F	-16.2179F	-16.2178F	-15.9284F	-7.9436F	-45.6314F	-6.3301F	-45.4885F
Cgg	166.7007F	817.5102F	816.4621F	1.0827P	264.9355F	1.0200P	263.2097F	1.0198P
Cgs	-43.6114F	-709.9540F	-708.6812F	-944.6179F	-247.7956F	-916.7698F	-247.6566F	-916.7092F
Cgb	-97.0943F	-91.3383F	-91.5632F	-122.1377F	-9.1964F	-57.6082F	-9.2230F	-57.6408F
Csd	-1.7853A	-17.5557A	-17.4856A	-2.3394A	-17.2417A	-6.0093F	-5.3328A	-5.9275F
Csg	-45.4460F	-719.4245F	-718.2280F	-957.7953F	-241.6572F	-896.5290F	-241.6169F	-896.6268F
Css	153.8882F	930.5380F	929.1005F	1.2390P	315.6366F	1.2145P	315.5477F	1.2145P
Csb	-108.4404F	-211.0959F	-210.8550F	-281.1720F	-73.9621F	-311.9371F	-73.9255F	-311.9564F
Cbd	-86.7381F	-50.1198F	-50.1227F	-55.4595F	-23.8126F	-126.3464F	-22.0418F	-126.2818F
Cbg	-95.2189F	-81.4479F	-81.5971F	-108.8395F	-15.2115F	-61.4472F	-15.2076F	-61.4722F
Cbs	-110.3244F	-221.0726F	-220.9072F	-294.4948F	-67.9698F	-311.8786F	-67.9509F	-311.8686F
Cbb	292.2813F	352.6404F	352.6270F	458.7939F	106.9939F	499.6722F	105.2003F	499.6226F
PHI	720.2287M	720.2287M	720.2287M	720.2287M	720.2287M	720.2287M	720.2287M	720.2287M
VBI	946.0491M	946.0491M	946.0491M	946.0491M	946.0491M	946.0491M	946.0491M	946.0491M
Region	subthreshold	saturation	saturation	saturation	saturation	saturation	saturation	saturation
VTH_D	-80.1582M	53.4646M	53.1913M	53.1913M	275.2573M	119.0256M	274.1801M	119.0256M

MOS: 1 X_A11.X_CTRL1.X_M14.M1
MOS: 2 X_A11.X_CTRL1.X_M7.M1
MOS: 3 X_A11.X_CTRL1.X_M1.M1
MOS: 4 X_A11.X_CTRL1.X_M28.M1
MOS: 5 X_A11.X_CM1.X_M64.M1
MOS: 6 X_A11.X_CM1.X_M63.M1
MOS: 7 X_A11.X_CM1.X_M62.M1
MOS: 8 X_A11.X_CM1.X_M61.M1

	MOS 1	MOS 2	MOS 3	MOS 4	MOS 5	MOS 6	MOS 7	MOS 8
MODEL	NMOS4.NMOS4M	NMOS4.NMOS4M	NMOS4.NMOS4M	NMOS4.NMOS4M	NMOS4.NMOS4M	NMOS4.NMOS4M	NMOS4.NMOS4M	NMOS4.NMOS4M
NMOS4.NMOS4M	NMOS4.NMOS4M	NMOS4.NMOS4M						
ID	53.7444P	10.3131U	10.3124U	10.3131U	10.3130U	10.3130U	10.2667U	10.3124U

IG	0.0000	0.0000	0.0000	0.0000	0.0000	0.0000	0.0000	0.0000
IS	-27.1340P	-10.3131U	-10.3123U	-10.3131U	-10.3130U	-10.3130U	-10.2667U	-10.3123U
IB	26.6104P	5.5929P	9.1567P	2.1490P	2.1472P	3.9990P	5.9660P	9.1567P
VGS	741.4716M	1.1451	991.7999M	968.9936M	968.9936M	1.1454	991.7999M	991.7999M
VDS	1.7011	1.1450	1.5000	354.9199M	354.6203M	614.3732M	991.7999M	1.5000
VBS	-809.3281M	-354.9199M	0.0000	0.0000	0.0000	-354.6203M	0.0000	0.0000
VTH	1.2460	1.0696	911.7100M	909.0290M	909.0290M	1.0695	911.7100M	911.7100M
VDSAT	39.6725M	98.1448M	94.4647M	84.8512M	84.8512M	98.3678M	94.4647M	94.4647M
GM	994.0843P	143.9801U	139.4661U	150.2703U	150.2683U	143.8985U	139.0141U	139.4661U
GDS	1.5979P	94.9385N	83.9976N	393.0289N	393.7735N	156.0889N	99.2033N	83.9976N
GMB	371.7089P	59.2887U	69.4241U	74.9553U	74.9543U	59.2625U	69.2024U	69.4241U
Cdd	134.7135F	89.2186F	85.9801F	148.9985F	149.0127F	98.2156F	97.6216F	85.9801F
Cdg	-41.4125F	-30.9808F	-24.6068F	-48.6878F	-48.6962F	-34.6209F	-30.5419F	-24.6068F
Cds	0.0000A	401.8599A	246.2337A	5.0973F	5.1055F	1.3978F	563.5968A	246.2337A
Cdb	-93.3010F	-58.6398F	-61.6195F	-105.4081F	-105.4221F	-64.9926F	-67.6433F	-61.6195F
Cgd	-41.4125F	-30.6876F	-24.4395F	-44.9474F	-44.9494F	-33.5665F	-30.1532F	-24.4395F
Cgg	328.7000F	813.6815F	818.3816F	1.0720P	1.0720P	817.4737F	824.1787F	818.3816F
Cgs	-58.2759F	-600.6219F	-599.7780F	-745.2265F	-745.2300F	-601.9621F	-599.9136F	-599.7780F
Cgb	-229.0116F	-182.3721F	-194.1640F	-281.7792F	-281.7775F	-181.9450F	-194.1119F	-194.1640F
Csd	-0.0000A	-14.6255A	-6.7682A	-544.8121A	-546.2015A	-98.5337A	-23.7965A	-6.7682A
Csg	-59.0603F	-647.3587F	-639.6788F	-796.4488F	-796.4460F	-647.9557F	-639.5977F	-639.6788F
Css	180.7737F	982.0579F	1.0427P	1.3027P	1.3027P	983.0274F	1.0426P	1.0427P
Csb	-121.7134F	-334.6846F	-403.0410F	-505.7126F	-505.7112F	-334.9733F	-402.9994F	-403.0410F
Cbd	-93.3010F	-58.5164F	-61.5338F	-103.5063F	-103.5171F	-64.5505F	-67.4446F	-61.5338F
Cbg	-228.2273F	-135.3421F	-154.0960F	-226.8165F	-226.8146F	-134.8971F	-154.0391F	-154.0960F
Cbs	-122.4977F	-381.8379F	-443.1948F	-562.5771F	-562.5790F	-382.4632F	-443.2709F	-443.1948F
Cbb	444.0261F	575.6965F	658.8245F	892.8999F	892.9108F	581.9108F	664.7546F	658.8245F
PHI	847.1145M	847.1145M	847.1145M	847.1145M	847.1145M	847.1145M	847.1145M	847.1145M
VBI	1.0095	1.0095	1.0095	1.0095	1.0095	1.0095	1.0095	1.0095
Region	subthreshold	saturation	saturation	saturation	saturation	saturation	saturation	saturation
VTH_D	-504.5478M	75.4486M	80.0899M	59.9646M	59.9646M	75.8736M	80.0899M	80.0899M

MOS: 1 X_A11.X_CTRL1.X_M25.M1

MOS: 2 X_A11.X_CM1.X_M72.M1

MOS: 3 X_A11.X_CM1.X_OUT2.X_M54.M1

MOS: 4 X_A11.X_CM1.X_M74.M1

MOS: 5 X_A11.X_CM1.X_M73.M1

MOS: 6 X_A11.X_CM1.X_M71.M1

MOS: 7 X_A11.X_CM1.X_M53.M1

MOS: 8 X_A11.X_CM1.X_OUT1.X_M54.M1

	MOS 1	MOS 2	MOS 3	MOS 4
MODEL	PMOS4.PMOS4M	PMOS4.PMOS4M	PMOS4.PMOS4M	PMOS4.PMOS4M
ID	-10.3124U	-10.3123U	-10.3124U	-10.3123U
IG	0.0000	0.0000	0.0000	0.0000
IS	10.3123U	10.3123U	10.3123U	10.3123U
IB	-5.1782P	-1.3554P	-5.1782P	-1.3554P
VGS	-1.2760	-1.0736	-1.2760	-1.0736
VDS	-1.2760	-224.0000M	-1.2760	-224.0000M
VBS	224.0000M	0.0000	224.0000M	0.0000
VTH	-1.0007	-954.5614M	-1.0007	-954.5614M
VDSAT	-290.0099M	-153.3052M	-290.0099M	-153.3052M
GM	66.6647U	125.6973U	66.6647U	125.6973U
GDS	158.7188N	740.0916N	158.7188N	740.0916N
GMB	12.0098U	25.3630U	12.0098U	25.3630U
Cdd	31.7740F	177.9872F	31.7740F	177.9872F
Cdg	-8.0671F	-62.0332F	-8.0671F	-62.0332F
Cds	128.8749A	14.1730F	128.8749A	14.1730F
Cdb	-23.8358F	-130.1270F	-23.8358F	-130.1270F
Cgd	-7.9439F	-45.6314F	-7.9439F	-45.6314F
Cgg	264.9358F	1.0200P	264.9358F	1.0200P
Cgs	-247.7956F	-916.7698F	-247.7956F	-916.7698F
Cgb	-9.1964F	-57.6082F	-9.1964F	-57.6082F
Csd	-17.2455A	-6.0094F	-17.2455A	-6.0094F
Csg	-241.6572F	-896.5290F	-241.6572F	-896.5290F
Css	315.6366F	1.2145P	315.6366F	1.2145P
Csb	-73.9622F	-311.9371F	-73.9622F	-311.9371F
Cbd	-23.8129F	-126.3464F	-23.8129F	-126.3464F
Cbg	-15.2115F	-61.4472F	-15.2115F	-61.4472F
Cbs	-67.9698F	-311.8786F	-67.9698F	-311.8786F
Cbb	106.9943F	499.6722F	106.9943F	499.6722F
PHI	720.2287M	720.2287M	720.2287M	720.2287M
VBI	946.0491M	946.0491M	946.0491M	946.0491M
Region	saturation	saturation	saturation	saturation

VTH_D 275.2575M 119.0256M 275.2575M 119.0256M

MOS: 1 X_AI1.X_CM1.X_OUT2.X_M52.M1

MOS: 2 X_AI1.X_CM1.X_OUT2.X_M51.M1

MOS: 3 X_AI1.X_CM1.X_OUT1.X_M52.M1

MOS: 4 X_AI1.X_CM1.X_OUT1.X_M51.M1