



UFSM

Dissertação de Mestrado

**MODELAGEM, PROJETO E IMPLEMENTAÇÃO DE UM
CONVERTOR ISOLADO COM UM ÚNICO ESTÁGIO E
CORREÇÃO DO FATOR DE POTÊNCIA**

Paulo Canuto dos Santos Ficagna

PPGEE

Santa Maria, RS, Brasil

2008

**MODELAGEM, PROJETO E IMPLEMENTAÇÃO DE UM
CONVERTOR ISOLADO COM UM ÚNICO ESTÁGIO E
CORREÇÃO DO FATOR DE POTÊNCIA**

por

Paulo Canuto dos Santos Ficagna

Dissertação apresentada ao Curso de Mestrado do Programa de Pós-Graduação em Engenharia Elétrica, Área de Concentração em Processamento de Energia, da Universidade Federal de Santa Maria (UFSM, RS) como requisito parcial para a obtenção do grau de **Mestre em Engenharia Elétrica.**

PPGEE

Santa Maria, RS, Brasil

2008

© 2008

Todos os direitos autorais reservados a Paulo Canuto dos Santos Ficagna. A reprodução de partes ou do todo deste trabalho só poderá ser com autorização por escrito do autor.

Endereço: Rua Otávio Binato, 43, apto. 103, Centro, Santa Maria, RS, 97010-360

Fone (0xx)55 3026.5752; Endereço eletrônico: pauloficagna@gmail.com

UNIVERSIDADE FEDERAL DE SANTA MARIA
CENTRO DE TECNOLOGIA
PROGRAMA DE PÓS-GRADUAÇÃO EM ENGENHARIA ELÉTRICA

A Comissão Examinadora, abaixo assinada, aprova a Dissertação de Mestrado

**MODELAGEM, PROJETO E IMPLEMENTAÇÃO DE UM
CONVERSOR ISOLADO COM UM ÚNICO ESTÁGIO E
CORREÇÃO DO FATOR DE POTÊNCIA**

Elaborada por
PAULO CANUTO DOS SANTOS FICAGNA

como requisito parcial para obtenção do grau de
MESTRE EM ENGENHARIA ELÉTRICA

COMISSÃO EXAMINADORA:

José Renes Pinheiro, Dr. (UFSM)
(Presidente/Orientador)

Samir Ahmad Mussa, Dr. (UFSC)

José Eduardo Baggio, Dr. (UNIFRA)

Santa Maria, 16 de Abril de 2008.

*Para meus pais,
para Virgínia, minha irmã,
e Francisca, minha namorada.*

Agradecimentos

Ao professor José Renes Pinheiro, por sua amizade, colaboração e por me conceder a oportunidade de realizar este trabalho sob sua orientação.

Aos professores co-orientadores, pela amizade, conhecimento e experiência transmitidos no decorrer do Mestrado, contribuindo de forma relevante na elaboração deste trabalho.

Aos colegas do GEPOC, Cleber Zanatta, Diorge Zambra, Flávio A. S. Gonçalves, Johninon Imhoff, Jumar Russi, José Baggio, Mario Martins, Adriano Toniolo, Fernando Beltrame, Hamilton Sartori, Alexandre Bülow, Vanessa Colpo que de alguma forma colaboraram com o desenvolvimento deste trabalho e pelos laços de amizade criados entre nós.

Aos amigos do NUPEDDE e da PPGEE, em especial aos funcionários Luiz Fernando e Cleonice, que colaboraram na realização desse trabalho.

À Universidade Federal de Santa Maria e a CAPES pelo apoio financeiro indispensável para a realização de uma pesquisa de qualidade.

A Deus.

RESUMO

Dissertação de Mestrado
Programa de Pós-Graduação em Engenharia Elétrica
Universidade Federal de Santa Maria

MODELAGEM, PROJETO E IMPLEMENTAÇÃO DE UM CONVERTOR ISOLADO COM UM ÚNICO ESTÁGIO E CORREÇÃO DO FATOR DE POTÊNCIA.

AUTOR: ENG. PAULO CANUTO DOS SANTOS FICAGNA
ORIENTADOR: DR. ENG. JOSÉ RENES PINHEIRO
Santa Maria, 16 de Abril de 2008.

Esta Dissertação de Mestrado apresenta uma nova análise, modelagem e metodologia de projeto de um conversor CA-CC isolado com um único estágio e correção do fator de potência. Inicialmente, é apresentado o princípio de operação do conversor em estudo propiciando um melhor entendimento do funcionamento do mesmo. Assim, baseada na nova análise, são apresentados os dois modos de operação do conversor e o novo ganho estático resultante. Também é proposta uma nova estratégia de controle para a corrente de entrada do conversor proporcionando uma redução na distorção harmônica total (DHT). Também serão estabelecidas as condições necessárias para a desmagnetização do núcleo do transformador de alta frequência (TAF) em um período de chaveamento e a minimização de reativos circulantes. Posteriormente, são obtidas as funções de transferências que descrevem o comportamento dinâmico da tensão de saída e da corrente de entrada para perturbações na variável de controle ou na tensão de entrada. Esses modelos dinâmicos serão derivados do circuito médio equivalente (CME) obtido através da modelagem do conversor em estudo operando como um conversor CC-CC equivalente. Por fim, são apresentadas uma metodologia de projeto e os resultados experimentais para a validação da análise matemática e confirmação dos resultados obtidos através de simulações numéricas.

Palavras-chaves: Eletrônica de Potência, correção do fator de potência, conversores CA-CC em estágio único, conversores isolados, transformador de alta frequência.

ABSTRACT

Master Thesis
Programa de Pós-Graduação em Engenharia Elétrica
Universidade Federal de Santa Maria

MODELING, DESIGN AND IMPLEMENTATION OF AN INSULATED POWER FACTOR CORRECTED SINGLE-STAGE CONVERTER

AUTHOR: ENG. PAULO CANUTO DOS SANTOS FICAGNA
RESEARCH SUPERVISOR: DR. ENG. JOSÉ RENES PINHEIRO
April 16th, 2008 - Santa Maria.

This Master Thesis presents a new analysis, modeling and design guideline for an Insulated Power Factor Corrected Single-Stage Converter. First, the operating principle is presented which provides a better understanding of the converter. So, based on this new analysis, the two operation modes description and the new steady-state gain of the converter are provided. A new control strategy for the input current control-loop is also proposed which provides an improvement of the total harmonic distortion (THD). The conditions to reset the magnetic flux for the high frequency transformer (HFT) into a switching period and the mitigation of the reactive energy are provided. At the sequence, the transfer functions that describe the dynamic behavior of the output voltage and the input current due to perturbations on duty-cycle and input voltage are derived. These dynamic models are derived based on the averaged equivalent circuit (AEC) obtained by modeling an equivalent DC-DC converter. Finally, the design guideline and experimental results for validation of the mathematical analysis and numerical simulation confirmation are provided.

Keywords: Power Electronics, power factor correction, AC-DC single-stage converter, insulated converter, high frequency transformer.

LISTA DE FIGURAS

Figura 1 – Retificador não controlado com filtro capacitivo com FP=0,55.....	14
Figura 2 – Exemplo da solução passiva de correção do fator de potência (FP=0,96): indutor CC.....	16
Figura 3 – Conversão CA-CC em dois estágios com isolamento galvânica.....	17
Figura 4 – Conversão CA-CC em estágio único.....	18
Figura 5 – Conversor em estudo proposto em [9].....	22
Figura 6 – Sinais de comando das chaves semicondutoras S_1 , S_2 , S_3 e S_4	23
Figura 7 – Primeira etapa de funcionamento.....	24
Figura 8 – Segunda etapa de funcionamento.....	24
Figura 9 – Terceira etapa de funcionamento.....	25
Figura 10 – Quarta etapa de funcionamento.....	25
Figura 11 – Quinta etapa de funcionamento.....	26
Figura 12 – Demais etapas de operação.....	27
Figura 13 – Principais formas de onda do conversor em regime permanente incluindo o efeito da perda de razão cíclica.....	28
Figura 14 – Variável de controle do estágio de entrada para um período da rede conforme a equação (A4).....	29
Figura 15 – Formas de onda para $D_{Boostmin} \leq d_{Boost}(t) < 0,5$ para o conversor ideal. De cima para baixo: sinais de comando das chaves S_1 e S_3 ; Tensão aplicada no TAF; tensão e corrente no indutor de entrada L_1 e tensão aplicada no filtro de saída.....	30
Figura 16 – Formas de onda para $0,5 \leq d_{Boost} \leq 1$ para o conversor ideal. De cima para baixo: sinais de comando das chaves S_1 e S_3 ; Tensão aplicada no TAF e tensão aplicada no filtro de saída.....	31
Figura 17 – Variável de controle do estágio de entrada para um período da rede conforme as equações (6) e (11).....	32
Figura 18 – Ganho estático do conversor para toda a faixa de variação de $D_{Boostmin}(t)$ conforme equação (13).....	33
Figura 19 – Representação em blocos do conversor em estudo.....	34
Figura 20 – Efeito da energia reativa circulante na corrente de entrada devido a uma diferença de 5% entre os tempos de comutação de cada célula.....	35
Figura 21 – Resultado de simulação utilizando a estratégia de controle proposta com uma diferença de 5% entre os tempos de comutação de cada célula.....	36
Figura 22 – Esquemático do circuito simulado.....	38
Figura 23 – Principais formas de onda obtidas na simulação numérica.....	38
Figura 24 – Formas de onda para o conversor CC-CC ideal.....	41
Figura 25 – Circuito CC-CC equivalente.....	42
Figura 26 – Circuito médio equivalente.....	43
Figura 27 – Redução do valor da tensão entregue ao filtro de saída devido à resistência série equivalente dos capacitores de barramento.....	44
Figura 28 – Corrente em um dos capacitores de barramento em um período de chaveamento.....	44
Figura 29 – Circuito médio equivalente incluindo o elemento \bar{r}_x	45

Figura 30 – CME para o estágio de entrada com a dinâmica da tensão de barramento desprezada.	46
Figura 31 – Comparação entre as respostas em frequência da tensão de saída devido a uma perturbação na tensão de saída da função de transferência $G_{\bar{v}_o \bar{v}_m}(s)$ e do CME.	50
Figura 32 – Comparação entre as respostas em frequência da tensão de saída devido a uma perturbação na variável de controle da função de transferência $G_{\bar{v}_o \bar{d}}(s)$ e do CME.	51
Figura 33 – Comparação entre as respostas em frequência da corrente no indutor <i>Boost</i> devido a uma perturbação na variável de controle da função de transferência $G_{\bar{i}_L \bar{d}}(s)$ e do CME.	51
Figura 34 – Comparação entre as respostas no tempo da tensão de saída dos circuitos chaveados CA-CC e CC-CC equivalente dado uma perturbação: (a) na razão cíclica e (b) na tensão de entrada.	52
Figura 35 – Aproximação da equação (54) por uma reta para $0 \leq D_{Boost \min. ef} \leq 0,5$	56
Figura 36 – Primeira Etapa ($0 \leq t < t_1$): Carga de C_2 e descarga de C_1 de forma ressonante com L_d	58
Figura 37 – Segunda Etapa ($t_1 \leq t < t_2$): Descarga Linear de L_d	59
Figura 38 – Comutação ZVS de S_1 e inversão da corrente em L_d	59
Figura 39 – Terceira Etapa ($t_3 \leq t < t_4$): Carga de C_1 e descarga de C_2 de forma ressonante com L_d	60
Figura 40 – Quarta Etapa ($t_4 \leq t < t_5$): Etapa de “roda-livre”.	60
Figura 41 – Quinta Etapa ($t_5 \leq t < t_6$): Descarga linear de L_d	61
Figura 42 – Sexta Etapa ($t_6 \leq t < t_7$): Comutação ZVS de S_2	61
Figura 43 – Sétima Etapa ($t_7 \leq t < t_8$): restabelecimento das condições iniciais para a comutação de S_1	62
Figura 44 – Plano de fase para a comutação da chave S_1	62
Figura 45 – Plano de fase para a comutação da chave S_2	63
Figura 46 – Tensão da Rede e Corrente de Entrada multiplicada por 20.	70
Figura 47 – Razão cíclica da etapa <i>Boost</i> , tensão no barramento, corrente no indutor do filtro de saída e tensão na carga.	70
Figura 48 – Corrente de magnetização de T_1	71
Figura 49 – Detalhe da comutação ZVS para a chave S_1	71
Figura 50 – Detalhe da comutação ZVS para a chave S_2	72
Figura 51 – Esquemático do circuito de potência implementado.	75
Figura 52 – Configuração utilizada no protótipo.	78
Figura 53 – Esquemático do circuito de acionamento das chaves.	79
Figura 54 – Tensão e corrente de entrada.	80
Figura 55 – Detalhe da comutação na chave S_1 com entrada em condução com tensão nula (ZVT).	81
Figura 56 – Detalhe da comutação na chave S_2 com entrada em condução com tensão nula (ZVT).	81
Figura 57 – Detalhe da comutação na chave S_3 com entrada em condução com tensão nula (ZVT).	82
Figura 58 – Detalhe da comutação na chave S_4 com entrada em condução com tensão nula (ZVT).	82
Figura 59 – Corrente nos indutores <i>Boost</i> , L_1 e L_2	83
Figura 60 – Tensão na carga e corrente no indutor de saída (L_o).	83
Figura 61 – Lei de controle da etapa <i>Boost</i> , $d_{boost}(t)$	84
Figura 62 – Lei de controle da etapa <i>Buck</i> , $d_{buck}(t)$	84
Figura A. 1 – Representação simplificada do estágio de saída do conversor.	90
Figura A. 2 – Gráfico da função $f_1(t)$	90

Figura C. 1 – Diagrama de blocos da malha de corrente do conversor	102
Figura C. 2– Relação linear entre a amostra atual e a anterior para estimar o valor futuro $e(k+1)$	104

LISTA DE TABELAS

Tabela 1 – Valores utilizados na simulação numérica.	37
Tabela 2 – Valores obtidos através das equações de projeto propostas.	72
Tabela 3 – Comparativo entre os valores calculados e os valores simulados.	73
Tabela 4 – Principais características do MOSFET IRFP460A.....	75
Tabela 5 – Principais características do diodo ultra rápido 15ETH06.	76
Tabela 6 – Principais características do conversor analógico-digital ADS8364Y.....	77
Tabela 7 – Principais características do sensor de efeito Hall FHS49-P.....	78
Tabela 8 – Principais características do CI HCPL316J.....	79
Tabela 9 – Valores nominais dos elementos passivos do circuito de potência do protótipo implementado.	80
Tabela B. 1 – Principais características do núcleo E42/15 IP6.	95
Tabela B. 2 – Resumo dos resultados do projeto dos indutores Boost.....	97
Tabela B. 3 – Principais características do núcleo E65/26 IP6.	98
Tabela B. 4 – Resumo dos resultados do projeto do transformador de alta frequência.	100

SIMBOLOGIA UTILIZADA

CA.....	Corrente alternada
CC.....	Corrente contínua
C_o	Capacitor do filtro de saída
CFP.....	Correção do fator de potência
C_1, C_2	Capacitores de barramento
CME.....	Circuito médio equivalente
C_B	Capacitância para os capacitores de barramento
C_s	Capacitância intrínseca da chave
D_1, D_2	Diodos retificadores da etapa de saída
$D_{S1}, D_{S2}, D_{S3}, D_{S4}$	Diodos intrínsecos das chaves
d_{Boost}	Variável de controle do estágio de entrada
$D_{Boostmin}$	Valor mínimo da variável de controle da estágio de entrada
$D_{Boostminef}$	Valor efetivo do valor da variável de controle do estágio de entrada
d_{Buck}	Variável de controle do estágio de saída
D_{Buck}	Valor em um período de chaveamento da variável de controle do estágio de saída
FP.....	Fator de potência
EE.....	Estágio de entrada
ES.....	Estágio de saída
<i>fondulação</i>	Frequência de ondulação da corrente ou da tensão
f_{ch}	Frequência de chaveamento
f_{rede}	Frequência da rede elétrica
$I_{n_entrada}$	Amplitude da enésima harmônica da corrente de entrada

$I_{1_entrada}$	Amplitude da fundamental da corrente de entrada
$i_{S_1}, i_{S_2}, i_{S_3}, i_{S_4}$	Corrente nas chaves semicondutoras
i_1, i_2, i_3, i_4	Corrente total em cada chave
i_{L_1}, i_{L_2}	Corrente nos indutores de entrada
i_{L_o}	Corrente no indutor do filtro de saída
IGBT	<i>Insulated gate bipolar transistor</i>
J	Densidade de corrente
L_1, L_2	Indutores de entrada
L_o	Indutor do filtro de saída
L_B	Indutância para os indutores de entrada
L_d	Indutância de dispersão do primário do transformador de alta frequência
MCC	Modo de condução contínua
MCD	Modo de condução descontínua
MOSFET	<i>metal-oxide-semiconductor field effect transistor</i>
n	Relação de transformação
N_p	Número de espiras do primário
N_s	Número de espiras do secundário
P_{ativa}	Potência ativa
$P_{aparente}$	Potência aparente
R_o	Resistência de carga
r_{Co}	Resistência série equivalente de C_o
r_C	Resistência série equivalente de C_1 e C_2
THD _i	<i>Total Harmonic Distortion</i> . Distorção Harmônica total da corrente
TSCs	Two-Stage Converters. Conversores CA-CC com dois estágios de potência
SSCs	Single-Stage Converters. Conversores CA-CC com um único estágio de potência

TAF.....	Transformador de alta frequência
V_{rede}	Tensão de pico da rede elétrica
$V_{redemax}$	Tensão de pico da rede elétrica máxima de projeto
v_s	Tensão aplicada no filtro de saída
V_{C1}, V_{C2}	Tensão nos capacitores de barramento
$V_{gS1}, V_{gS2}, V_{gS3}, V_{gS4}$	Sinais de comando das chaves
ω_r	Frequência de ressonância
\bar{x}	Valor médio instantâneo para uma variável x qualquer
Z_{eq}	Impedância característica equivalente do circuito ressonante
η	Rendimento do conversor
$\Delta i_{entrada}$	Ondulação máxima da corrente de entrada
Δv_o	Ondulação máxima da tensão de saída
ΔD	Perda de razão cíclica

SUMÁRIO

Capítulo 1	14
Introdução	14
1.1. Conceitos Básicos	14
1.1.1. Fator de Potência (FP).....	14
1.1.2. Correção passiva do FP.....	16
1.1.3. Correção ativa do FP.....	16
1.2. Revisão Bibliográfica	18
1.3. Motivação e Objetivos	20
1.4. Organização do Trabalho	20
Capítulo 2	22
Análise do Conversor em Regime Permanente	22
2.1. Introdução	22
2.2. Princípio de Operação do Conversor	23
2.3. Ganho Estático	28
2.3.1. Ganho Estático Para $D_{Boostmin} \leq d_{Boost}(t) < 0,5$	29
2.3.2. Ganho Estático Para $0,5 \leq d_{Boost} \leq 1$	31
2.3.3. Ganho Estático Para $D_{Boostmin} \leq d_{Boost} \leq 1$	32
2.4. Condições para Mínima Energia Reativa Circulante e Desmagnetização de T_1 Em Um Período de Chaveamento	34
2.4.1. Condições Para a Mínima Energia Reativa Circulante.....	34
2.4.2. Condições Para a Desmagnetização de T_1 Em Um Período de Chaveamento.....	36
2.5. Simulação Numérica	37
2.6. Conclusões	39
Capítulo 3	40
3.1. Introdução	40
3.2. Circuito Médio Equivalente	40
3.2.1. Efeito da Resistência Série Equivalente dos Capacitores C_1 e C_2	43
3.3. Função de Transferência Corrente de Entrada-Control	45
3.4. Função de Transferência Saída-Entrada	46
3.5. Função de Transferência Saída-Control	48
3.6. Simulações Numéricas	50
3.6.1. Simulação Numérica.....	50
3.7. Conclusões	53
Capítulo 4	54
Equações de Projeto	54
4.1. Introdução	54

4.2. Relação de Transformação de T_1 (n)	54
4.2.1. Relação Entre a Faixa de Variação da Tensão de Entrada e a Relação de Transformação n	55
4.2.2. Estudo da Comutação	57
4.2.3. Definição do valor n	64
4.3. Filtro de Saída	66
4.3.1. Indutor de Saída (L_o).....	66
4.3.2. Capacitor de Saída (C_o)	67
4.3.3. Indutância de Entrada ($L_1=L_2=L_B$) e Capacitor de Barramento ($C_1=C_2=C_B$).....	67
4.3.4. Validação das Equações de Projeto	69
4.4. Conclusões	73
Capítulo 5	74
Resultados Experimentais	74
5.1. Introdução	74
5.2. Circuito de Potência	74
5.3. Circuito de Controle	76
5.4. Sensores	77
5.5. Circuito de Acionamento das Chaves Semicondutoras	78
5.6. Resultados Experimentais	79
Capítulo 6	85
Considerações Finais	85
Bibliografia	87
Apêndice A	90
Cálculo da Ondulação de Tensão e de Corrente no Filtro de Saída	90
Apêndice B	94
Projeto dos Magnéticos	94
Apêndice C	101
Projeto do Controlador da Malha de Corrente	101
Apêndice D	106
Códigos em VHDL e Arquivos Matlab®	106

Capítulo 1

INTRODUÇÃO

1.1. Conceitos Básicos

1.1.1. Fator de Potência (FP)

Em um sistema elétrico típico uma grande parte da energia é consumida por cargas não-lineares como, por exemplo, retificadores com filtro capacitivo, como o exemplar apresentado na Figura 1. A utilização dessas cargas traz inúmeros problemas associados ao baixo fator de potência (FP) dentre os quais podem ser citados: baixa utilização da potência instalada, aumento das perdas nos transformadores de distribuição, redução da qualidade da energia e interferências eletromagnéticas.

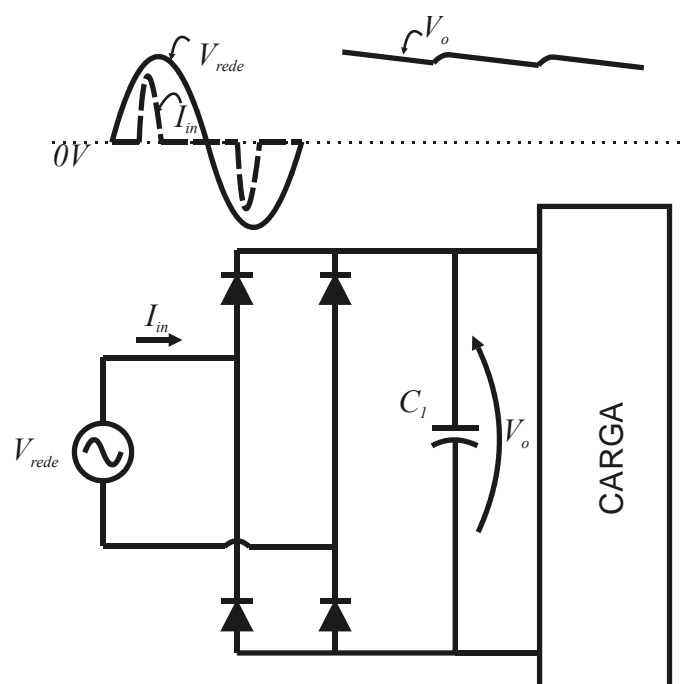


Figura 1 – Retificador não controlado com filtro capacitivo com FP=0,55.

Por definição, o FP é determinado pela razão entre a potência ativa e a potência aparente consumida pelo dispositivo, equipamento ou instalação elétrica. Sua representação matemática genérica pode ser descrita através da equação (1). Para tensões senoidais esta pode ser reescrita, conforme apresentado em [1], resultando na equação (2).

$$FP = \frac{P_{ativa}}{P_{aparente}} = \frac{f_{rede} \int_0^{1/f_{rede}} v_{rede}(t) i_{entrada}(t) dt}{V_{rede_rms} I_{entrada_rms}} \quad (1)$$

$$FP = \frac{\cos \theta}{\sqrt{1 + THD_i^2}} \quad (2)$$

Onde:

$\cos \theta$: Ângulo de defasagem entre a tensão e a corrente;

THD_i : Distorção harmônica total (*Total Harmonic Distortion*) da corrente definida pela equação (3).

$$THD_i = \frac{\sqrt{\sum_{n=2}^{\infty} I_{n_entrada}^2}}{I_{1_entrada}} \quad (3)$$

Onde:

$I_{n_entrada}$: Amplitude da n ésima harmônica da corrente de entrada;

$I_{1_entrada}$: Amplitude da fundamental da corrente de entrada.

Com o objetivo de limitar tais efeitos associados ao baixo FP há diversas normas que impõem limites ao FP regulamentando o conteúdo harmônico da corrente de entrada do dispositivo alimentado pela rede elétrica (IEC 61000-3-2). Para atender tais especificações normativas, diversas soluções foram propostas pela comunidade científica [1-10, 17-34]. Essas podem ser divididas em dois grandes grupos:

- Correção passiva do FP;
- Correção ativa do FP.

1.1.2. Correção passiva do FP

As soluções passivas [1] têm como principais vantagens uma elevada robustez e ausência de elementos controlados. No entanto, possuem:

- Elevado peso e volume (quando comparados às soluções ativas) devido, principalmente, aos elementos magnéticos, como indutores e transformadores, quando é necessária a isolamento elétrica entre a rede e a carga, operando em baixa frequência (frequência da ordem da frequência da rede elétrica);
- Não possibilitam regulação da tensão na carga.

Um exemplo de solução passiva para a correção do fator de potência para um retificador não-controlado resultando em um FP de 0,96 é apresentado na Figura 2.

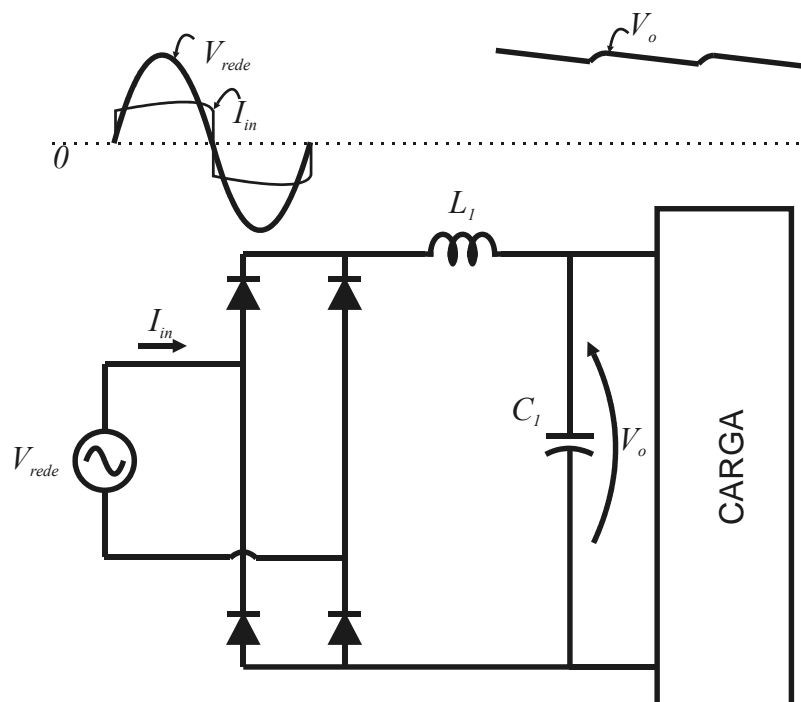


Figura 2 – Exemplo da solução passiva de correção do fator de potência (FP=0,96): indutor CC.

1.1.3. Correção ativa do FP

As soluções ativas [1-10, 17-34] – conversores chaveados em alta frequência – propiciam a conversão CA-CC com:

- Correção do Fator de Potência (CFP), normalmente atingindo valores praticamente unitários;
- Regulação da tensão na carga mesmo para aplicações com grande variação na tensão de entrada (entrada universal);
- Opção de isolamento entre a rede e a carga através de transformadores em alta frequência através da escolha adequada da topologia possibilitando, assim, redução do peso e do volume dos magnéticos.

Uma das formas mais exploradas em estudos acadêmicos e largamente utilizadas pela indústria é a conversão CA-CC em dois estágios de potência (TSCs do termo em inglês: *Two-Stage Converters*) através da conexão em série de dois conversores: o primeiro responsável pela pré-regulação com CFP (conversão CA-CC) e o segundo, pela regulação e adequação da tensão na carga (conversão CC-CC), ver Figura 3. Tais sistemas têm como principais características:

- ✓ Uso de topologias consolidadas em cada estágio de potência;
- ✓ Cada estágio pode ser otimizado individualmente – fator favorável para aplicações com entrada universal;
- ✗ Devido à necessidade de dois conversores, tem-se o aumento das perdas visto que a potência entregue à carga é processada duas vezes;
- ✗ Um circuito de controle para cada conversor: possível impacto na confiabilidade e custo do sistema.

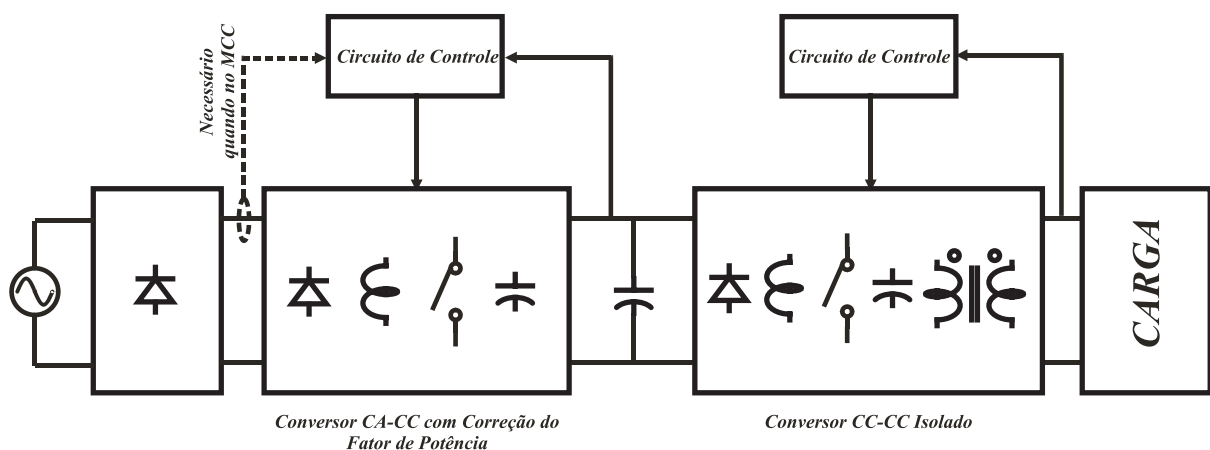


Figura 3 – Conversão CA-CC em dois estágios com isolamento galvânica.

No sentido de contornar as desvantagens anteriormente citadas, diversos trabalhos apresentaram conversores que propiciam regulação da tensão na carga com CFP em um único estágio de potência [2, 3, 5-10, 12, 15-19, 21-33] (SSCs do termo em inglês: *Single-Stage Converters*), ver Figura 4. Os SSCs apresentam como principais características:

- ✓ Apenas um estágio de potência e um único circuito de controle;
- ✓ Potencial ganho em eficiência, confiabilidade e volume quando comparado ao sistema de conversão em dois estágios;
- ✗ Possui uma significativa componente de baixa frequência na tensão de saída, devido à modulação, quando operando no Modo de Condução Contínua (MCC).

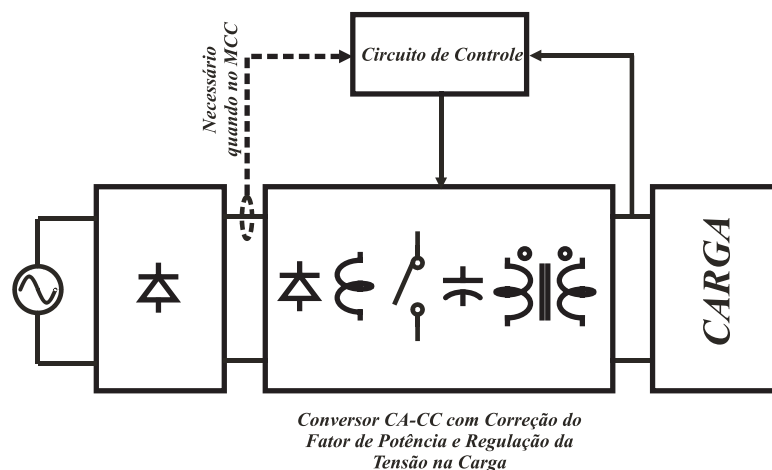


Figura 4 – Conversão CA-CC em estágio único.

1.2. Revisão Bibliográfica

Foi apresentada em [7] uma nova família de SSCs isolados com CFP operando no Modo de Condução Descontínua (MCD) obtida através da integração de conversores básicos apresentando uma análise destes conversores em regime permanente bem como considerações de projeto. No entanto, tais conversores estão limitados a aplicações para pequenas potências (abaixo de 200W).

Em [5] foi apresentada uma análise em regime permanente para uma topologia resultante da integração entre um conversor *Boost* e um conversor em Ponte Completa também operando no MCD. Em [2] foi proposta uma topologia semelhante operando no

mesmo modo de condução. Esse conversor, com circuito de auxílio à comutação, obteve uma ondulação da corrente de entrada reduzida devido à defasagem entre os comandos das chaves propiciando o intercalamento das correntes dos indutores de entrada.

Tamioka et al. apresentou em [9] uma nova topologia bastante semelhante à apresentada em [2] porém, operando em MCC tanto para o estágio de entrada quanto para o estágio de saída. Esse conversor tem como principais características:

- ✓ Ausência de circuitos adicionais de auxílio à comutação;
- ✓ Redução nos esforços de corrente e de elementos dissipativos;
- ✗ Malhas de controle adicionais (quatro malhas no total);
- ✗ Ângulo de condução reduzido devido à limitação de razão cíclica imposta pela solução apresentada pelos autores;
- ✗ Elevadas componentes de baixas frequências (120Hz) no estágio de saída;
- ✗ Apresenta um filtro de saída volumoso;
- ✗ Malha de tensão com uma resposta dinâmica pobre – baixa frequência de corte;

Por fim, para que possam ser atendidas especificações de desempenho, baixa sensibilidade às variações paramétricas e distúrbios ou mesmo estabilizar um sistema controlável, faz-se o uso de técnicas de controle através de malhas realimentadas. Para tanto, a obtenção do modelo da planta em estudo é de suma importância.

Em circuitos não lineares, como por exemplo, fontes chaveadas com modulação PWM, a obtenção de um modelo médio equivalente [1, 11-16] se faz necessário para o uso de técnicas de controle consagradas e largamente utilizadas como controle por valores médios.

Em [15], foi apresentado uma modelagem para um SSC utilizando a técnica de modelagem por valores médios instantâneos. Com isso, obteve-se as funções de transferências que descrevem o comportamento dinâmico do conversor. Em [14] e [16], é apresentada a modelagem para pequenos sinais de um conversor Boost monofásico utilizando um circuito CC-CC equivalente.

1.3. Motivação e Objetivos

Os SSCs são o estado da arte na conversão CA-CC e serão objeto de estudo nessa dissertação de Mestrado. Foi escolhido como caso de estudo o Conversor CA-CC Isolado em Ponte Completa com Entrada Tipo *Boost* Intercalado proposta por Tamioka et al. devido ao fato de apresentar vários pontos a serem melhorados, conforme citado anteriormente.

Esse trabalho de Dissertação de Mestrado tem como principais objetivos:

- Redução do número de malhas de controle;
- Aumentar o ângulo de condução da corrente de entrada;
- Melhorar a confiabilidade e o rendimento do conversor;
- Propor uma metodologia de projeto.

1.4. Organização do Trabalho

Essa dissertação de Mestrado será dividida em seis Capítulos. No Capítulo 2 será apresentada uma nova análise em regime permanente. Com base nessa análise será proposta uma estratégia de controle propiciando a regulação da tensão na carga e o controle da corrente de entrada durante todo o período da rede além de atender as condições de desmagnetização do transformador de alta frequência e de minimização de reativos circulante, também propostas nessa dissertação.

No Capítulo 3 será obtida a modelagem do conversor incluindo os seus dois modos de operação utilizando a técnica de valores médios instantâneos [1] para a obtenção do circuito médio equivalente. Para simplificar a análise será utilizada uma técnica apresentada em [14]. Esta tem por finalidade transformar a análise CA-CC em CC-CC utilizando-se da condição de balanço de potência. Assim, após a obtenção do circuito médio equivalente e consequentemente das funções de transferência saída-entrada e saída-controle, tais modelos serão validados através de comparações das respostas tanto no domínio da frequência quanto no tempo.

No Capítulo 4 será proposta uma metodologia de projeto para os principais elementos do conversor.

Por fim, serão apresentados nos Capítulos 5 e 6 os resultados experimentais e as considerações finais, respectivamente.

Capítulo 2

ANÁLISE DO CONVERSOR EM REGIME PERMANENTE

2.1. Introdução

Nesse capítulo, serão apresentadas as etapas de operação do conversor proposto em [9], aqui representado na Figura 5, propiciando um melhor entendimento da forma que o conversor transfere energia para a carga. Assim, serão obtidas: uma nova estratégia de controle para a corrente de entrada do conversor, levando a um novo ganho em regime permanente; e condições necessárias para a desmagnetização do núcleo do transformador de alta frequência (TAF) e minimização de reativos circulantes.

A comprovação da análise é feita através de simulações numéricas e resultados experimentais apresentados no capítulo 5.

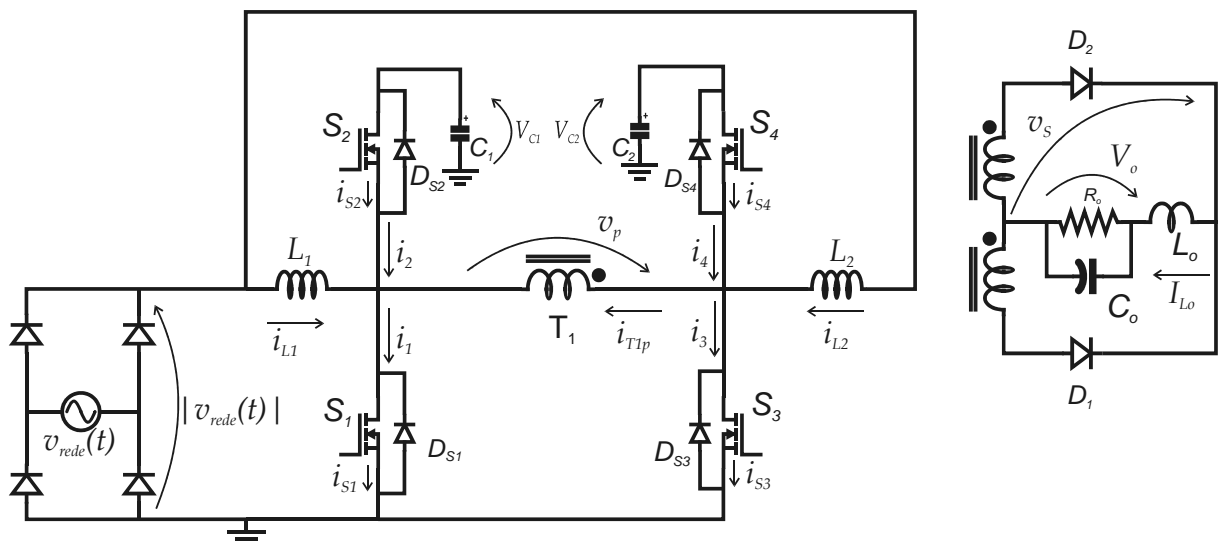


Figura 5 – Conversor em estudo proposto em [9].

2.2. Princípio de Operação do Conversor

Algumas premissas devem ser observadas para as análises subsequentes. São elas:

- Tensão de entrada: $v_{rede}(t) = V_{rede} \sin(2\pi f_{rede} t)$;
- Corrente constante no indutor do filtro de saída: $I_{L_o} = \frac{V_o}{R_o}$;
- Relação de transformação do TAF é definida por: $n = \frac{N_p}{N_{s1}} = \frac{N_p}{N_{s2}}$;
- i_{L_1} e $i_{L_2} < \frac{L_{L_o}}{n}$;
- A frequência de chaveamento é muito maior que a frequência da rede: $f_{ch} \gg f_{rede}$;
- As tensões nos barramentos, ou seja, nos capacitores C_1 e C_2 , são constantes de modo que: $V_{rede} < V_{C_1} = V_{C_2} = V_C$.

A análise das etapas de operação do conversor será realizada em um período de chaveamento no instante em que $v_{rede}(t) = V_{rede}$. Os sinais de comando das chaves S_1 , S_2 , S_3 e S_4 para este ponto de operação estão apresentados na Figura 6.

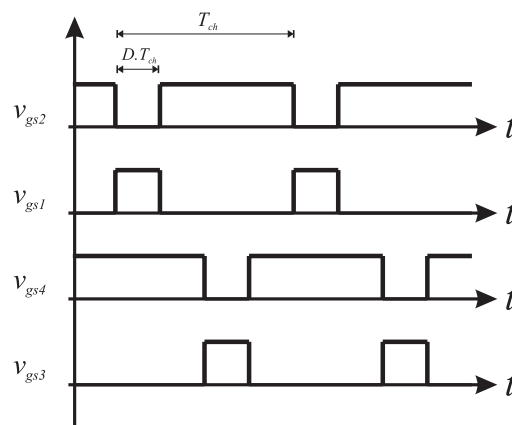


Figura 6 – Sinais de comando das chaves semicondutoras S_1 , S_2 , S_3 e S_4 .

Primeira etapa ($i_{L_1} < -i_{T_1}$ e $i_{L_2} > i_{T_1}$): Com D_{S1} e D_{S4} em condução, ver Figura 7, L_1 é linearmente carregada, através da fonte de entrada V_{rede} , e a tensão V_C é aplicada no primário

de T_1 . Nesse instante os diodos D_1 e D_2 conduzem, idealmente, parcelas iguais da corrente I_{L_o} . Assim, a indutância de dispersão do primário de T_1 , L_d , assume toda a tensão aplicada no primário (V_C). C_2 absorve parte da energia anteriormente acumulada no indutor L_2 e na dispersão L_d . Nessa etapa não há transferência de energia da entrada para a carga (R_o) sendo esta suprida pelo filtro de saída (L_o e C_o).

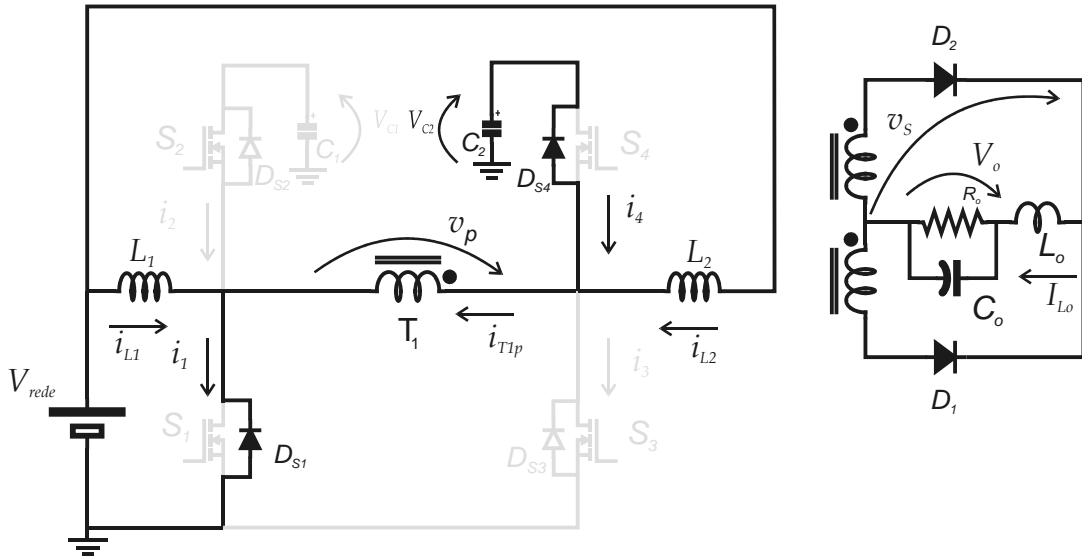


Figura 7 – Primeira etapa de funcionamento.

Segunda etapa ($i_{L_1} \geq -i_{T_1}$ e $i_{L_2} > i_{T_1}$): Essa etapa é semelhante à anterior. Ela difere apenas pela comutação sob zero de tensão (ZVS) da chave S_1 , ver Figura 8.

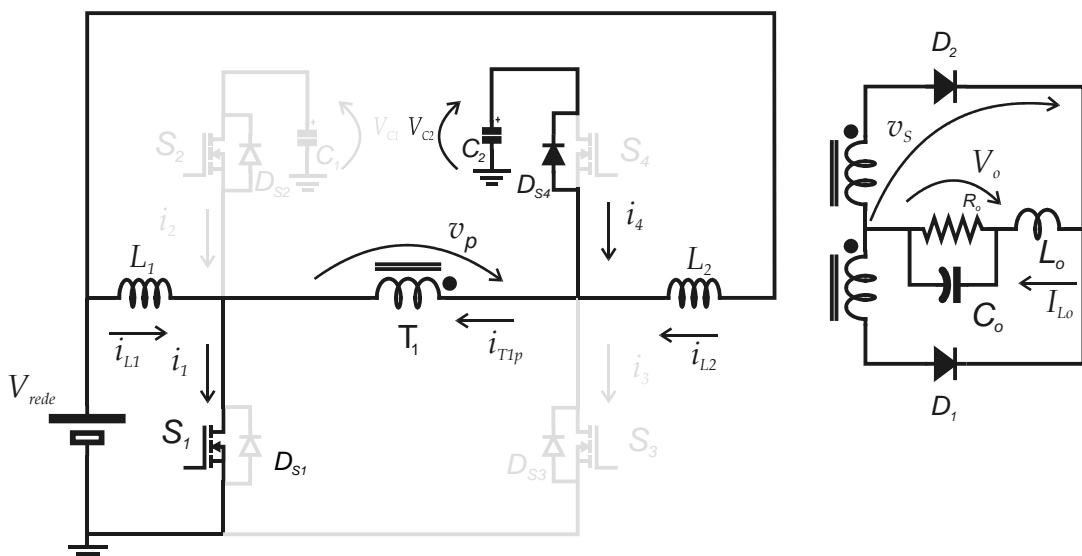


Figura 8 – Segunda etapa de funcionamento.

Terceira etapa ($i_{T1} \geq i_{L2}$): Essa etapa é semelhante à anterior. Ela difere pela comutação sob zero de tensão (ZVS) da chave S_4 , ver Figura 9.

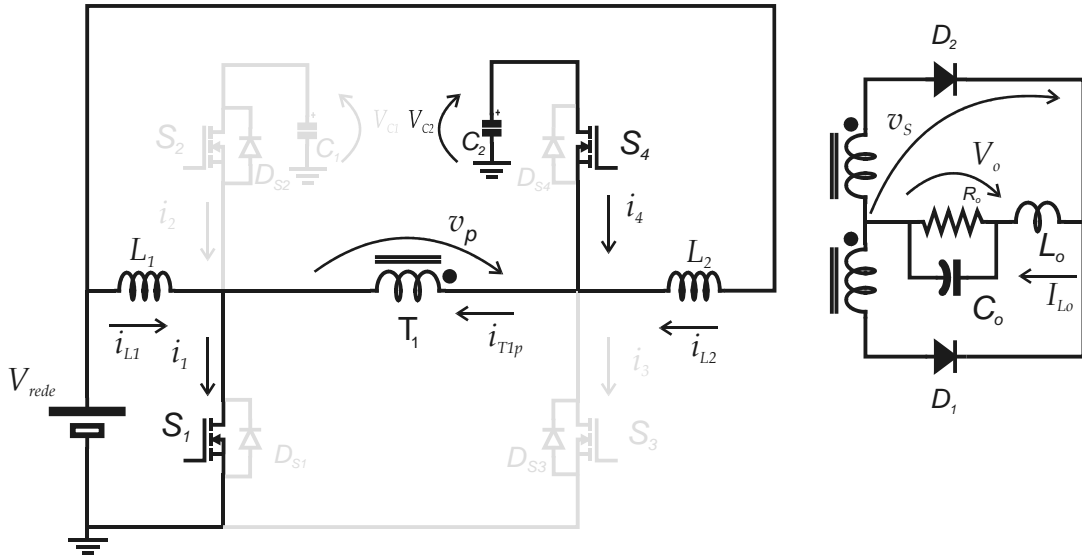


Figura 9 – Terceira etapa de funcionamento.

Quarta etapa ($i_{T1} = I_{Lo}/n$): Com S_1 e S_4 em condução, há transferência de potência da entrada para a carga, ver Figura 10. A carga e descarga de L_1 e L_2 , respectivamente, ocorrem de forma semelhante às etapas anteriores. A próxima etapa se inicia quando a chave S_2 é habilitada a conduzir.

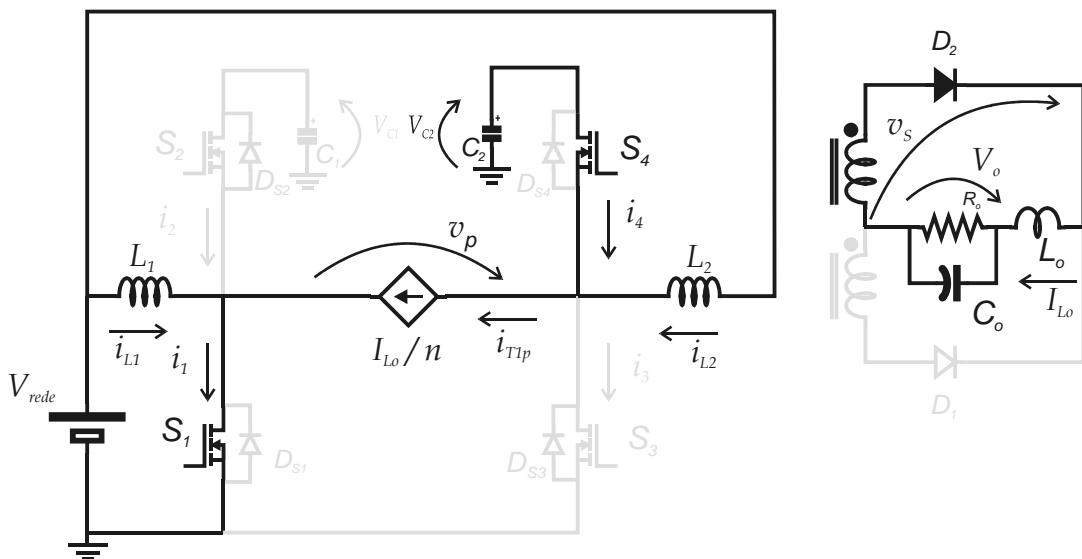


Figura 10 – Quarta etapa de funcionamento.

Quinta etapa ($i_{T1} = I_{Lo}/n$ e $v_p = V_{C2} - V_{C1} = 0$): Com S_4 e D_{S2} em condução, ver Figura 11, é aplicado, idealmente, uma tensão nula no primário de T_1 . L_1 e L_2 se descarregam em C_1 e C_2 . Nessa etapa a energia entregue à carga é fornecida exclusivamente pelo filtro de saída.

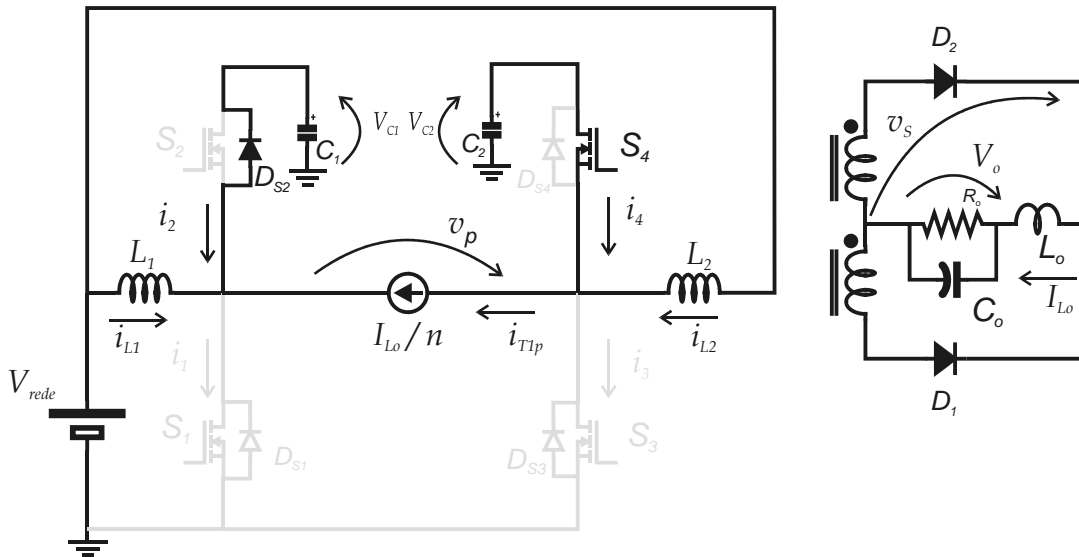
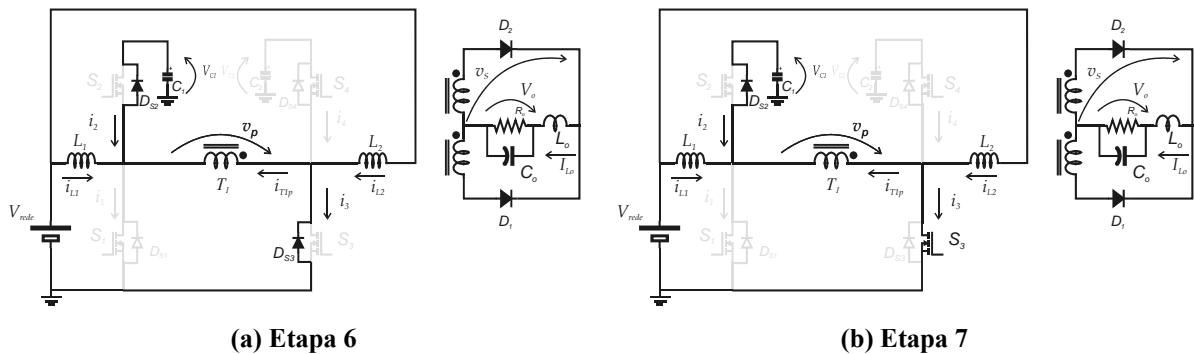


Figura 11 – Quinta etapa de funcionamento.

As etapas restantes são similares às anteriormente descritas, ver Figura 12. Particularmente, para $DT_{ch} > T_{ch}/2$, na quinta (e décima) etapa, as chaves e seus respectivos diodos intrínsecos que estão em condução são $S_{1(3)}$ e $D_{3(1)}$ ao em vez de $S_{2(4)}$ e $D_{4(2)}$.



(a) Etapa 6

(b) Etapa 7

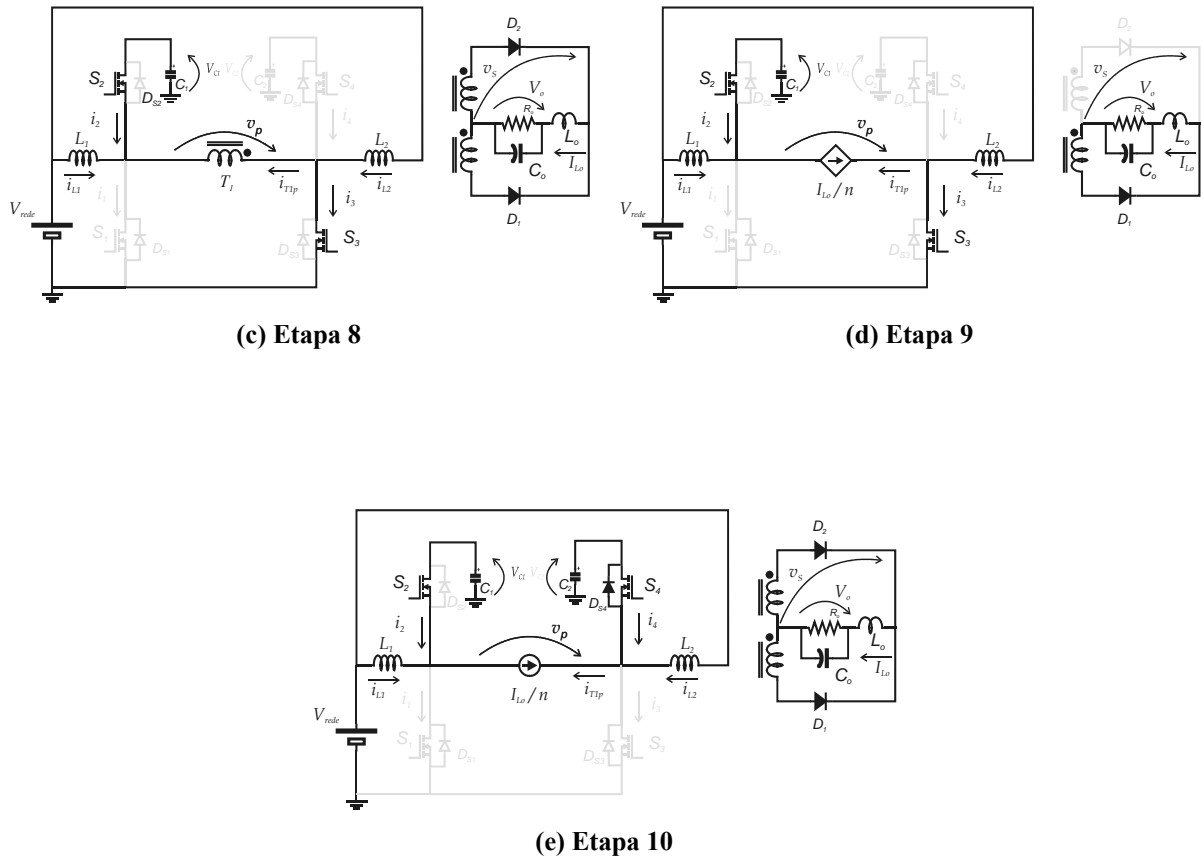


Figura 12 – Demais etapas de operação.

A partir das etapas de operação anteriormente apresentadas obtêm-se as formas de onda da Figura 13.

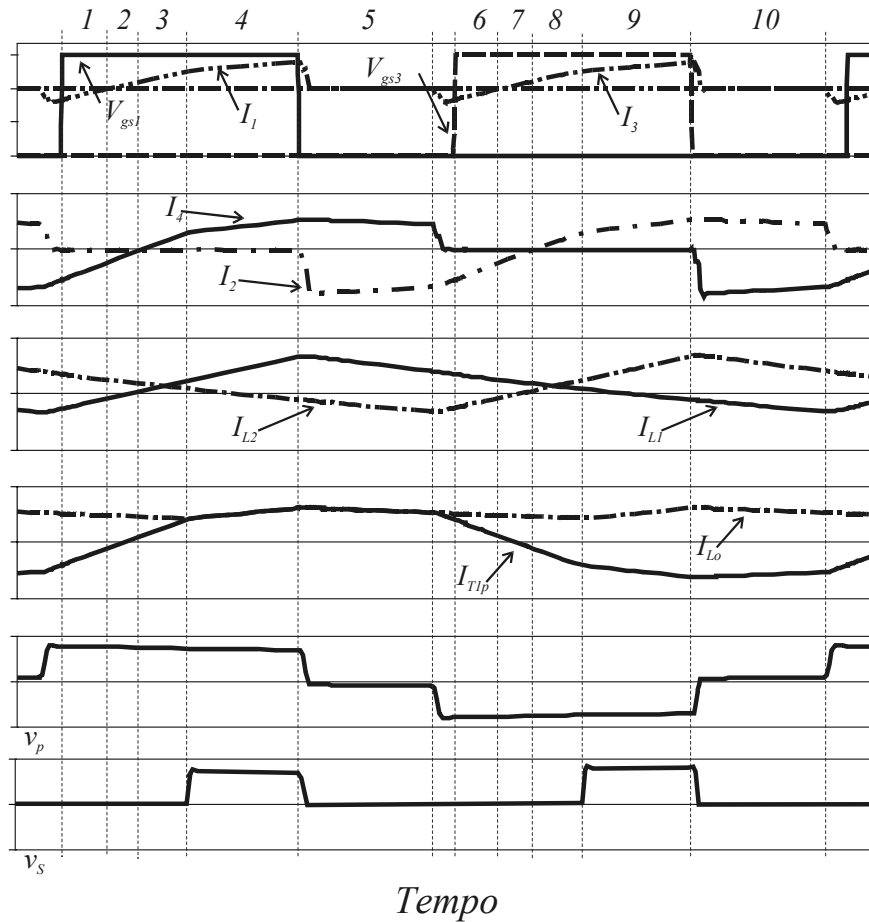


Figura 13 – Principais formas de onda do conversor em regime permanente incluindo o efeito da perda de razão cíclica.

2.3. Ganho Estático

Desprezando-se as não idealidades e dividindo a análise teórica do conversor em duas partes, são elas: estágio de entrada (EE), equivalente a dois conversores *Boost* típicos compartilhando a mesma carga de forma semelhante ao conversor *Boost* Intercalado com duas células; e o estágio de saída (ES), equivalente a um conversor *Buck*.

Sendo assim, o ganho estático será obtido assumindo que a variável de controle do EE, definida pela equação (A4), tem o comportamento mostrado na Figura 14.

$$d_{Boost}(t) = 1 - \frac{V_{rede}}{V_c} \cdot \sin(2 \cdot \pi \cdot f_{rede} \cdot t) \quad (A4)$$

$$D_{Boost \min} = 1 - \frac{V_{rede}}{V_c} \quad (A5)$$

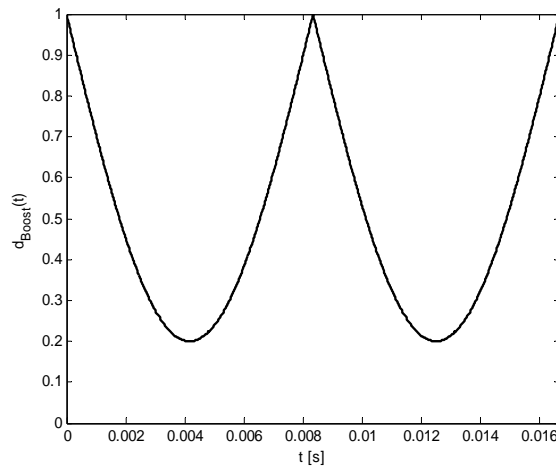


Figura 14 – Variável de controle do estágio de entrada para um período da rede conforme a equação (A4).

2.3.1. Ganho Estático Para $D_{Boostmin} \leq d_{Boost}(t) < 0,5$

Baseando-se na Figura 15, tem-se, para a variável de controle do ES, $d_{Buck}(t)$:

$$D_{Buck} = \frac{2 \cdot t_c}{T_s} \rightarrow D_{Buck} = 2 \cdot D_{Boost} \quad (6)$$

$$\bar{v}_o = \frac{1}{T_s} \int_0^{T_s} v_o(t) dt \Rightarrow \bar{v}_o = 2 \cdot \frac{V_c}{n} \cdot D_{Boost} \quad (7)$$

$$V_c(D_{Boostmin}) = \frac{V_{rede}}{1 - D_{Boostmin}} \quad (8)$$

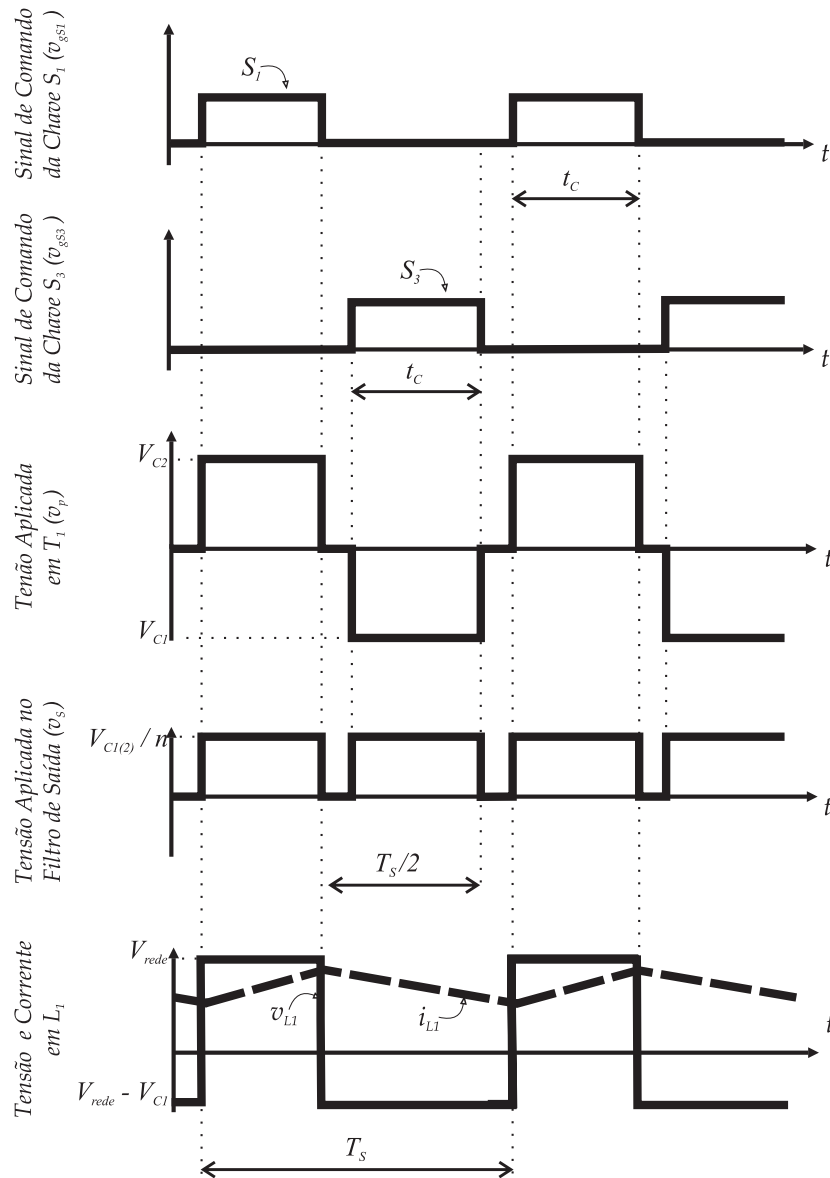


Figura 15 – Formas de onda para $D_{Boostmin} \leq d_{Boost}(t) < 0,5$ para o conversor ideal. De cima para baixo: sinais de comando das chaves S_1 e S_3 ; Tensão aplicada no TAF; tensão e corrente no indutor de entrada L_1 e tensão aplicada no filtro de saída.

Substituindo (8) em (7) o ganho estático, para $D_{Boostmin} \leq d_{Boost}(t) < 0,5$, será definido pela equação (9).

$$\frac{\bar{v}_o}{V_{rede}} = \frac{2 \cdot d_{Boost}(t)}{n \cdot (1 - D_{Boostmin})} \quad (9)$$

2.3.2. Ganho Estático Para $0,5 \leq d_{Boost} \leq 1$

Analisando as formas de onda da Figura 16, o ganho estático para $0,5 \leq d_{Boost} \leq 1$ pode ser obtido da seguinte forma:

$$\bar{v}_o = \frac{1}{T_{ch}} \int_0^{T_s} v_o(t) dt = \frac{V_c}{n} \cdot D_{Buck} \quad (10)$$

$$D_{Buck} = \frac{2 \cdot t_c}{T_{ch}} = \frac{2 \cdot (T_{ch} - t_c)}{T_{ch}} = 2 \cdot (1 - D_{Boost}) \quad (11)$$

Portanto, substituindo (11) e (8) em (10) resulta na equação (12).

$$\frac{\bar{v}_o}{V_{rede}} = \frac{2 \cdot (1 - d_{Boost}(t))}{n \cdot (1 - D_{Boost \min})} \quad (12)$$

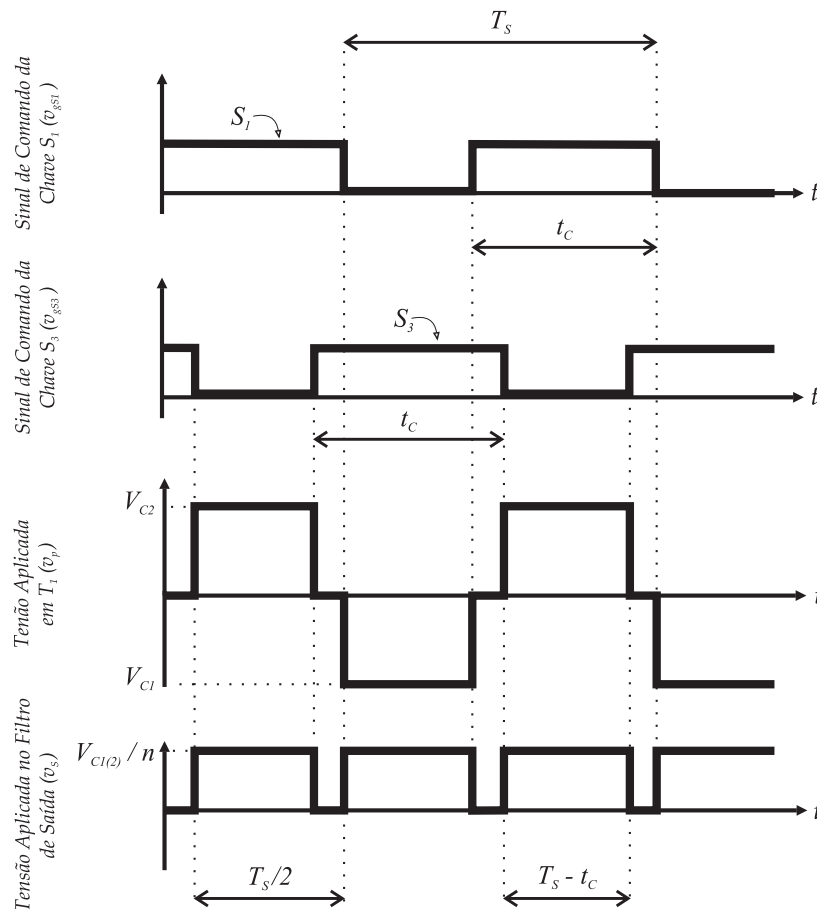


Figura 16 – Formas de onda para $0,5 \leq d_{Boost} \leq 1$ para o conversor ideal. De cima para baixo: sinais de comando das chaves S_1 e S_3 ; Tensão aplicada no TAF e tensão aplicada no filtro de saída.

Usando as equações (6) e (11) o comportamento da variável $d_{Buck}(t)$ pode ser mostrado na Figura 17.

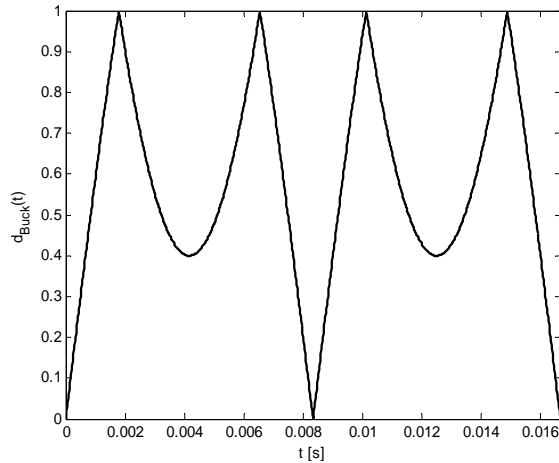


Figura 17 – Variável de controle do estágio de entrada para um período da rede conforme as equações (6) e (11).

2.3.3. Ganho Estático Para $D_{Boost\min} \leq d_{Boost} \leq 1$

Analisando as equações (9) e (12), fica clara a existência de duas equações distintas que descrevem o ganho estático do conversor para toda a faixa de variação de $d_{Boost}(t)$. Portanto, para um período da rede, esse ganho pode ser obtido da seguinte forma:

Com $V_o(D_{Boost\min}) = \frac{1}{T_{rede}} \int_0^{T_{rede}} \bar{v}_o(t, D_{Boost\min}) \cdot dt$ a equação (13) é obtida.

$$\frac{n \cdot V_o(D_{Boost\min})}{2 \cdot V_{rede}} = \frac{f(D_{Boost\min})}{1 - D_{Boost\min}} \quad (13)$$

Onde $f(D_{Boost\min})$ é definida por (14) para $D_{Boost\min} \leq 0,5$ e por (15) para $0,5 < D_{Boost\min} \leq 1$.

$$f(D_{Boost\min}) = \frac{2 \cdot (1 - D_{Boost\min})}{\pi} - \frac{4}{\pi} \left\{ \begin{array}{l} (1 - D_{Boost\min}) \cdot \sqrt{1 - \left(\frac{0,5}{1 - D_{Boost\min}} \right)^2} \\ - \frac{1}{2} \cdot \left[\frac{\pi}{2} - \sin^{-1} \left(\frac{0,5}{1 - D_{Boost\min}} \right) \right] \end{array} \right\} \quad (14)$$

$$f(D_{Boost\ min}) = \frac{2}{\pi} \cdot (1 - D_{Boost\ min}) \quad (15)$$

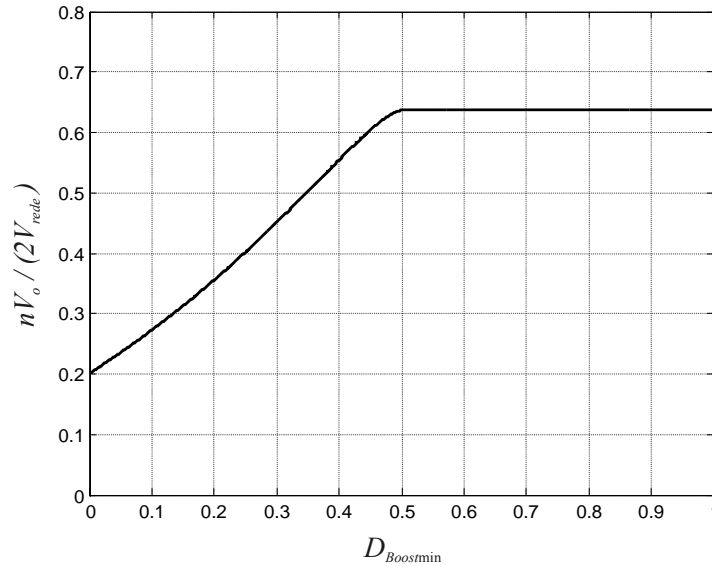


Figura 18 – Ganho estático do conversor para toda a faixa de variação de $D_{Boost\ min}(t)$ conforme equação (13).

Analisando o gráfico da equação (13), mostrado na Figura 18, fica evidente que a regulação da tensão de saída através da variável de controle $d_{Boost}(t)$ não é possível para $0,5 < D_{Boost\ min} \leq 1$, uma vez que para esse caso a tensão de saída depende apenas da tensão de entrada e da relação de transformação n .

O controle da forma de onda da corrente de entrada depende do valor instantâneo de $d_{Boost}(t)$ e a tensão de saída pode ser regulada através do valor de $D_{Boost\ min}$. Assim, é possível transferir energia da entrada para a carga durante todo o período da rede e ao mesmo tempo regular a tensão na carga para $0 \leq D_{Boost\ min} < 0,5$.

Note que, baseado na equação (13), pode-se verificar que para $0 \leq D_{Boost\ min} < 0,5$ é possível, sem a inclusão de não idealidades como a perda de razão cíclica, aplicações com entrada universal uma vez que:

$$\frac{V_{rede\ max}}{V_{rede\ min}} = \frac{10}{\pi} \cong \frac{265}{85} \quad (16)$$

2.4. Condições para Mínima Energia Reativa Circulante e Desmagnetização de T_1 Em Um Período de Chaveamento

O conversor mostrado na Figura 5, está representado por blocos funcionais na Figura 19(a). A célula *Boost A* é formada pelos elementos C_1, S_1, S_2 e L_1 e a célula *Boost B* é formada pelos elementos C_2, S_3, S_4 e L_2 . O TAF T_1 e todo o circuito dos secundários do mesmo estão representados pelo bloco “Carga”. Com base nessa representação simplificada do conversor pode-se obter um circuito equivalente para a porta de entrada do mesmo, Figura 19(b).

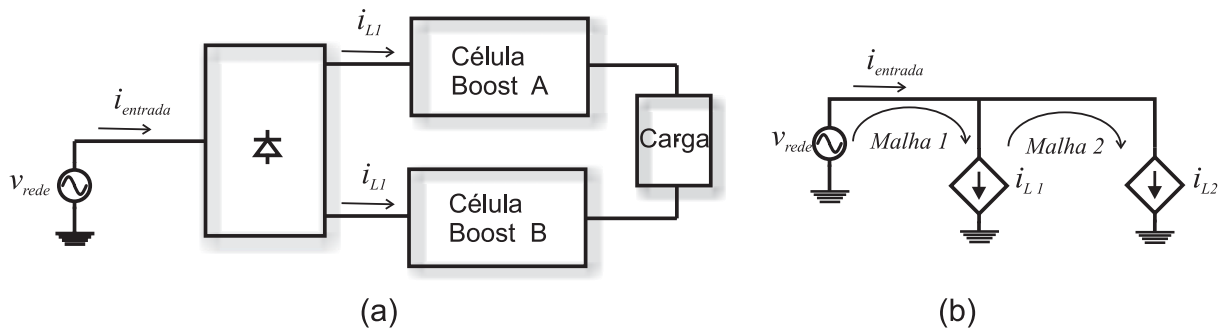


Figura 19 – Representação em blocos do conversor em estudo.

2.4.1. Condições Para a Mínima Energia Reativa Circulante

Observando a Figura 19(b), assumindo que, para um caso ideal, $i_{entrada}$ está em fase e tem a mesma forma de onda da tensão de entrada v_{rede} , a energia reativa circulante na malha 1 é nula uma vez que o FP associado à fonte v_{rede} é unitário. No entanto, para garantir que não haja energia reativa circulante na malha 2, ou seja, entre as células *Boost A* e *B*, é necessário que i_{L1} e i_{L2} sejam forçadas a seguir, em fase, a forma de onda de v_{rede} .

O circuito ideal atende naturalmente essa condição. No entanto, pequenas diferenças entre as células *Boost* podem promover a circulação de reativos. Na Figura 20, está ilustrado o efeito dessa energia reativa circulante entre na corrente de entrada devido a uma diferença de 5% entre os tempos de comutação de cada célula.

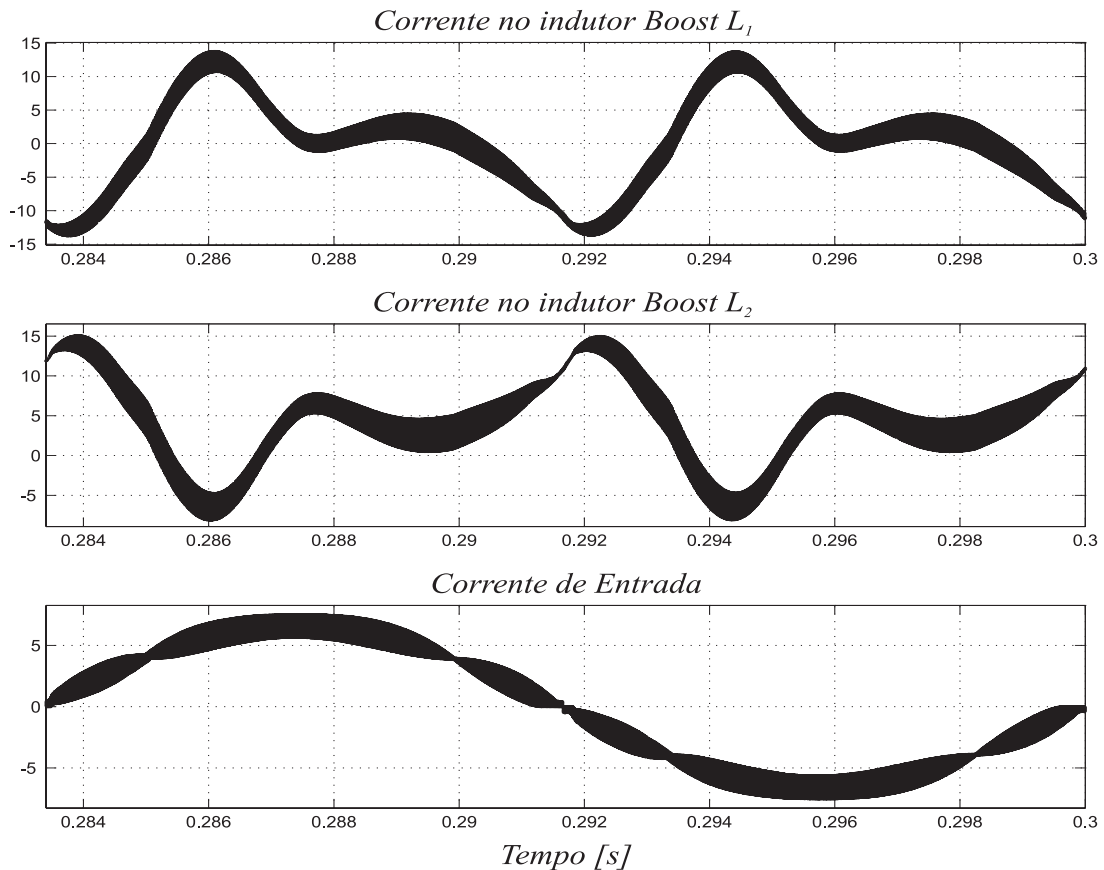


Figura 20 – Efeito da energia reativa circulante na corrente de entrada devido a uma diferença de 5% entre os tempos de comutação de cada célula.

Essa ressonância que ocorre entre os capacitores de barramento, indutores *Boost* e a indutância magnetizante de T_1 traz perdas de condução adicionais ao conversor.

Uma das soluções possíveis é a utilização da estratégia de controle proposta nesse trabalho mostrada na Figura 22. Através de duas malhas de controle, uma para cada corrente de cada célula *Boost*, faz-se com que as correntes i_{L1} e i_{L2} sigam, em fase, a forma de onda de $|v_{rede}|$, atendendo, assim, a condição proposta para a minimização de reativos circulante.

Na Figura 21, está apresentado o resultado de simulação utilizando a estratégia de controle proposta sob as mesmas condições de desequilíbrio entre as células *Boost* anteriormente impostas, ou seja, diferença de 5% entre os tempos de comutação de cada célula. Verifica-se que o resultado é bastante satisfatório mitigando a ressonância e, conseqüentemente, os reativos circulantes.

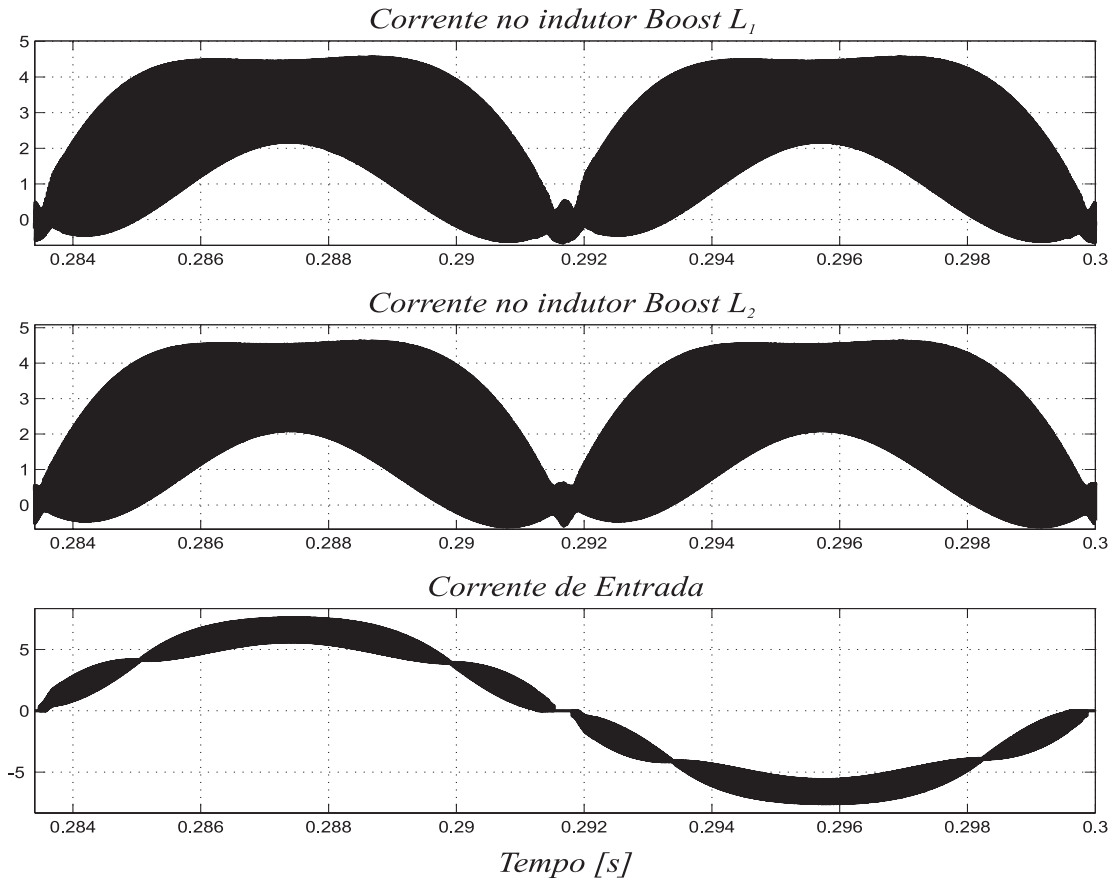


Figura 21 – Resultado de simulação utilizando a estratégia de controle proposta com uma diferença de 5% entre os tempos de comutação de cada célula.

2.4.2. Condições Para a Desmagnetização de T_1 Em Um Período de Chaveamento

Para que se possa garantir a completa desmagnetização de T_1 ao fim de cada período de chaveamento, o produto tensão-segundo para o primeiro semi-período deve ser igual, em módulo, ao segundo semi-período. Portanto, baseado na Figura 19(b) tem-se:

$$V_{C_1} \cdot D_B = V_{C_2} \cdot D_A \quad (17)$$

Onde, D_A e D_B são as razões cíclicas para as células *Boost A* e *B*, respectivamente. As potências médias em um período de chaveamento (\bar{p}) fornecidas por cada célula *Boost* são definidas por:

$$\bar{p}_1 = V_{C_1} \cdot D_B \cdot I_{T_p} \quad (18)$$

$$\bar{p}_2 = V_{C_2} \cdot D_A \cdot I_{T_p} \quad (19)$$

Com $\bar{p}_1 = \bar{p}_2$ tem-se a equação (17). Portanto, a desmagnetização do núcleo de T_l em um período de chaveamento é obtida através do balanço de carga entre cada célula *Boost*. Assumindo que as perdas em cada célula e que as duas malhas de controle das correntes de entrada sejam iguais, a mesma solução anteriormente proposta para a minimização de reativos garante o balanço de carga e conseqüentemente a desmagnetização do núcleo de T_l em um período de chaveamento. No entanto, um capacitor deve ser utilizado em série com o primário de T_l de modo a evitar a saturação de T_l caso, por exemplo, haja diferenças entre os ganhos dos sensores de corrente.

2.5. Simulação Numérica

O circuito simulado está apresentado na Figura 22. Os valores dos componentes utilizados estão apresentados na Tabela 1. As principais formas de onda obtidas na simulação numérica estão apresentadas na Figura 23. Observa-se que os resultados obtidos validam a análise teórica apresentada.

Componente	Valor
L_1, L_2	$289\mu H$
C_1, C_2	$600\mu F$
L_o	$13mH$
C_o	$1,9mF$
T_l	$n=1,58; L_m=2.45mH$ and $L_d=25\mu H$

Tabela 1 – Valores utilizados na simulação numérica.

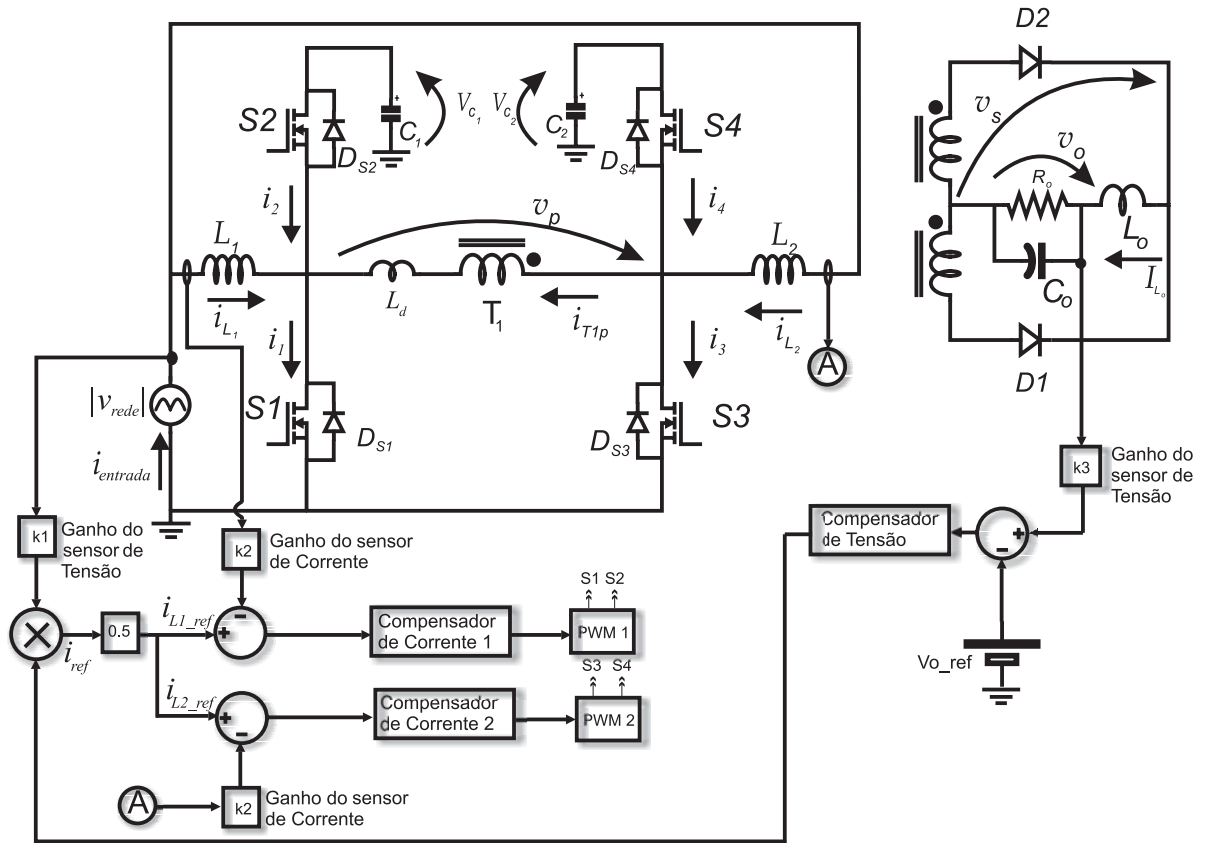


Figura 22 – Esquemático do circuito simulado.

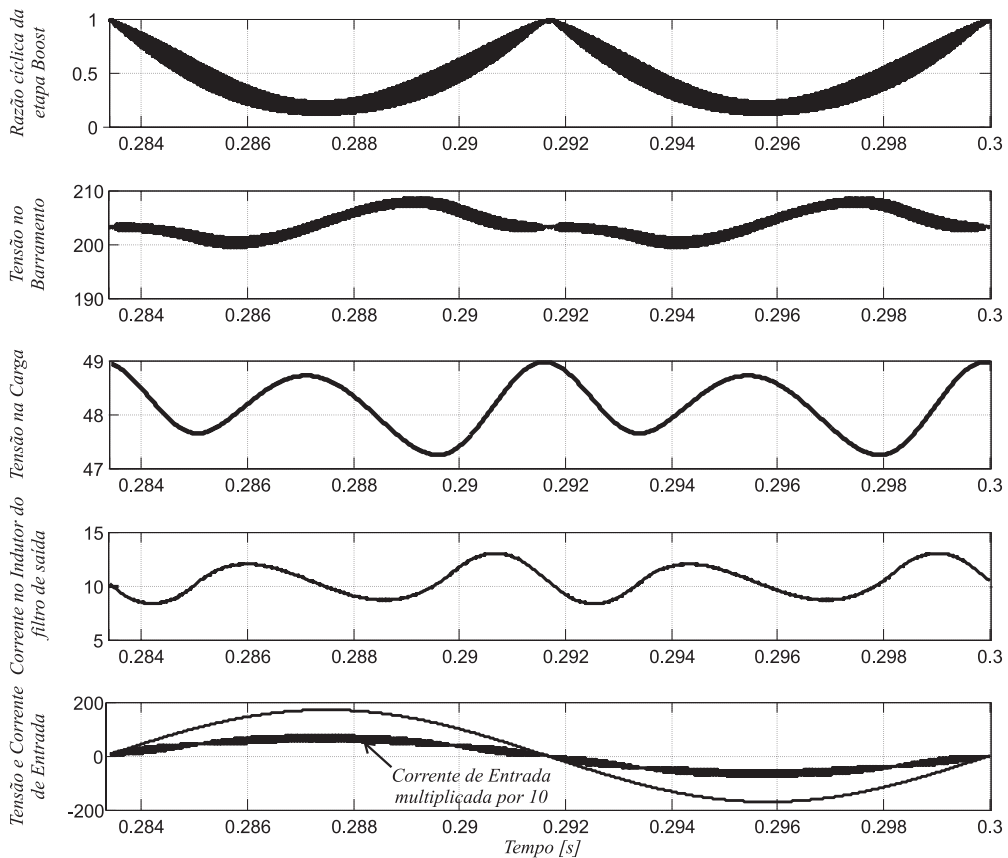


Figura 23 – Principais formas de onda obtidas na simulação numérica.

2.6. Conclusões

Nesse capítulo, com uma nova análise em regime permanente de um Conversor Isolado com um Único Estágio e Correção do Fator de Potência, foi demonstrado que é perfeitamente possível realizar o controle da corrente de entrada durante todo o período da rede e manter a tensão regulada na carga.

Pode-se destacar ainda como contribuições resultantes da análise apresentada:

- Condições necessárias para minimizar a energia reativa circulante;
- Condições necessárias para garantir a completa desmagnetização do transformador de alta frequência em um período de chaveamento;
- Proposta de uma estratégia de controle que atende as condições anteriormente citadas.

Capítulo 3

MODELO DINÂMICO

3.1. Introdução

Neste capítulo serão obtidas as funções de transferências que descrevem o comportamento dinâmico da tensão de saída e da corrente de entrada para perturbações na variável de controle ou na tensão de entrada. Esses modelos dinâmicos serão derivados do circuito médio equivalente (CME) obtido através da modelagem do conversor em estudo operando como um conversor CC-CC equivalente [14, 16].

3.2. Circuito Médio Equivalente

O circuito CC-CC equivalente do conversor em estudo está mostrado na Figura 25. As formas de onda mais relevantes para a modelagem foram obtidas no estudo apresentado no Capítulo 2 e estão mostradas na Figura 24. Para a análise descrita neste capítulo é assumido que o comportamento dinâmico do conversor CA-CC é equivalente ao mesmo operando como CC-CC para uma mesma potência com a fonte CC de entrada cuja tensão corresponde ao valor RMS da fonte CA de entrada [14, 16] e foram desprezados as ondulações tanto nas correntes dos indutores $L_{1,2}$ e L_o quanto nas tensões dos capacitores $C_{1,2}$ e C_o .

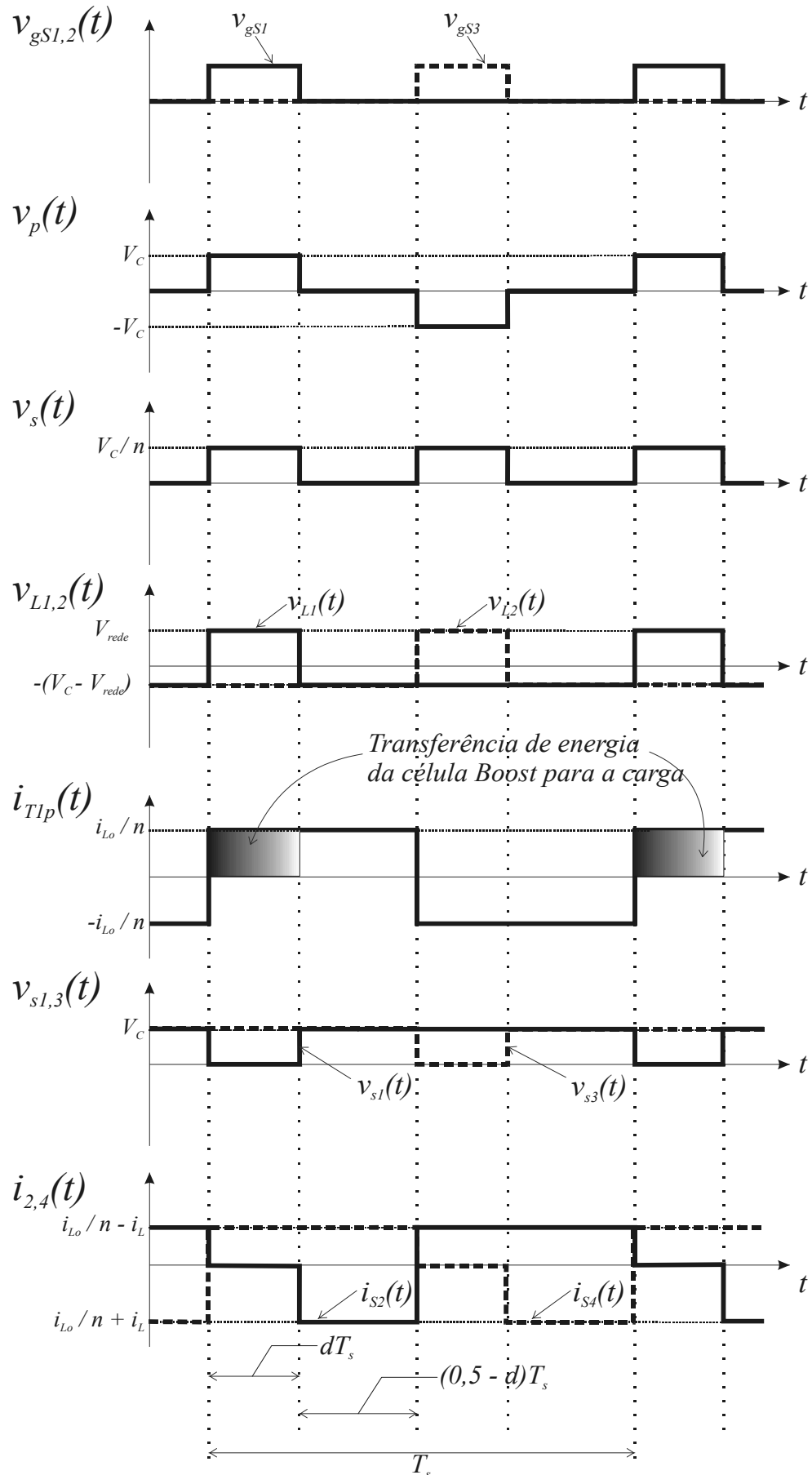


Figura 24 – Formas de onda para o conversor CC-CC ideal.

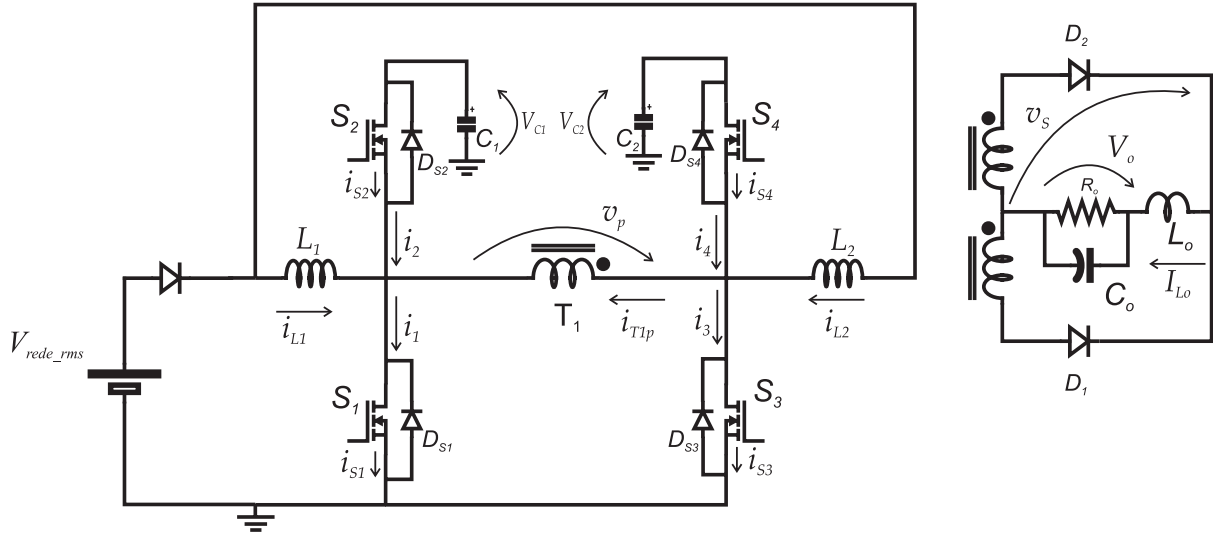


Figura 25 – Circuito CC-CC equivalente.

Com base nas formas de onda restantes da Figura 24, tem-se:

$$\bar{v}_{L_1} = \bar{v}_{rede} - d' \bar{v}_{C_1} \quad (20)$$

$$\bar{v}_{L_2} = \bar{v}_{rede} - d' \bar{v}_{C_2} \quad (21)$$

$$\bar{i}_2 = \frac{d}{n} \bar{i}_{L_o} - d' \bar{i}_{L_1} \quad (22)$$

$$\bar{i}_4 = \frac{d}{n} \bar{i}_{L_o} - d' \bar{i}_{L_2} \quad (23)$$

Com $\bar{v}_{C_1} = \bar{v}_{C_2} = \bar{v}_C$,

$$\bar{v}_s = \frac{2d\bar{v}_c}{n} \quad (24)$$

$$\bar{v}_{s1} = \bar{v}_{s3} = (1-d)\bar{v}_C = d' \bar{v}_C \quad (25)$$

$$\bar{v}_{L_1} = \bar{v}_{rede} - d' \bar{v}_C \quad (26)$$

Considerando apenas os instantes em que há transferência de energia de cada célula *Boost* para a carga, áreas sombreadas da Figura 24, a corrente média fornecida por cada célula à carga, \bar{i}_{T1p} , será dada pela equação (27).

$$\bar{i}_{T1p} = \frac{d}{n} \bar{i}_{L_o} \quad (27)$$

Assumindo que cada célula *Boost* fornece metade da potência entregue à carga tem-se:

$$\bar{i}_{L_1} = \bar{i}_{L_2} = \frac{\bar{i}_{\text{entrada}}}{2} \quad (28)$$

Assim, pode-se afirmar que:

$$\bar{i}_2 = \bar{i}_4 = -\bar{i}_{C_1} = -\bar{i}_{C_2} = -\bar{i}_C \quad (29)$$

Portanto, baseando-se nas equações (20), (21), (22), (23), (24), (25), (26), (27), (28) e (29) tem-se o circuito médio equivalente mostrado na Figura 26.

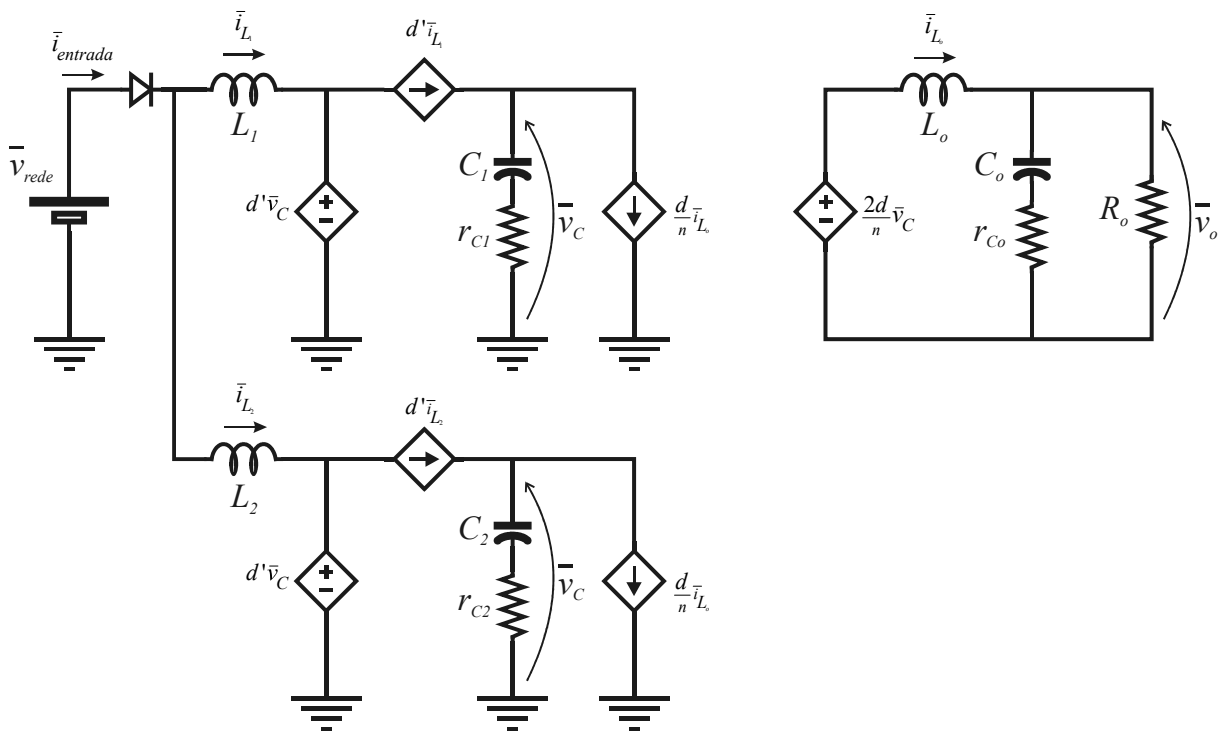


Figura 26 – Circuito médio equivalente.

3.2.1. Efeito da Resistência Série Equivalente dos Capacitores C_1 e C_2

Devido o fato da energia previamente armazenada nos capacitores C_1 e C_2 serem transferidas à carga de forma intercalada, a queda de tensão nas resistências série equivalentes dos capacitores reduzem o valor da tensão v_s , conforme ilustrado na Figura 27. Para uma análise qualitativa, será analisada a forma de onda da corrente de um dos capacitores em um ciclo completo de carga e descarga do mesmo, ver Figura 28.

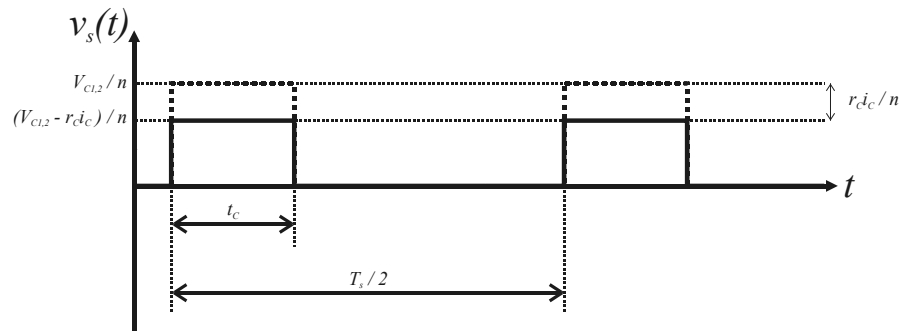


Figura 27 – Redução do valor da tensão entregue ao filtro de saída devido à resistência série equivalente dos capacitores de barramento.

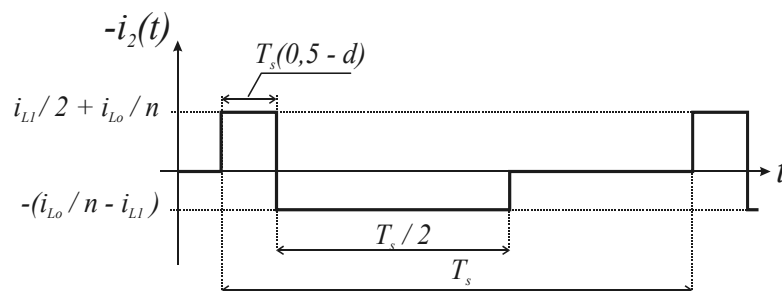


Figura 28 – Corrente em um dos capacitores de barramento em um período de chaveamento.

Baseando-se na Figura 28, a equação (30) é obtida.

$$\Delta v_c = r_c \left(\frac{i_{Lo}}{n} - i_{L1} \right) \quad (30)$$

Logo, baseando-se na Figura 27:

$$\Delta \bar{v}_s = \frac{\Delta \bar{v}_c}{n} = 2d \frac{\Delta v_c}{n} \quad (31)$$

Do circuito da Figura 26, a equação (31) pode ser rescrita, em regime permanente, obtendo-se a equação (32).

$$\Delta \bar{v}_s = \frac{2dr_c i_{Lo}}{n^2 d'} (1 - 2d) \quad (32)$$

Assim,

$$\bar{r}_x = \frac{\Delta \bar{v}_s}{\bar{i}_{Lo}} = \frac{2d(1-2d)}{n^2 d'} r_c \quad (33)$$

Redesenhando o circuito da Figura 26, incluindo o elemento \bar{r}_x , resulta no circuito da Figura 29.

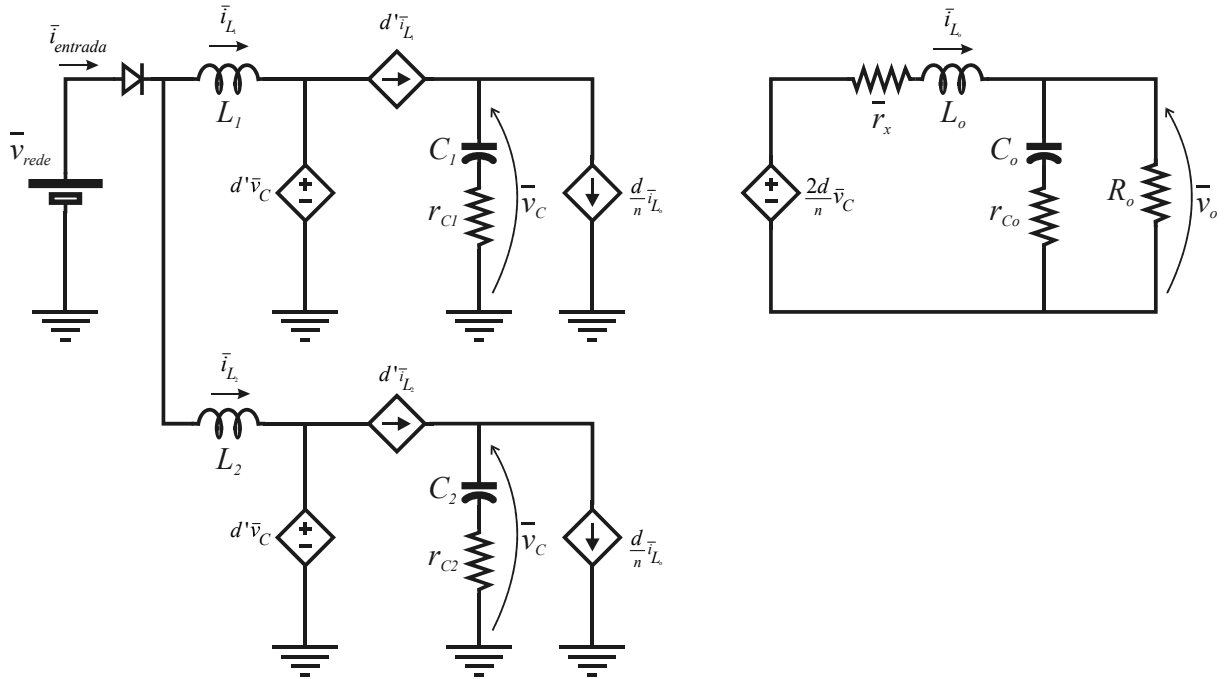


Figura 29 – Circuito médio equivalente incluindo o elemento \bar{r}_x .

3.3. Função de Transferência Corrente de Entrada-Controle

Quando comparado com a dinâmica da corrente de entrada, a dinâmica das tensões nos capacitores C_1 e C_2 podem ser desprezadas para pequenas perturbações. Portanto, suas tensões podem ser consideradas constantes. Isso desacopla a porta de entrada do restante do CME resultando na equação (34), ver Figura 30. Aplicando a transformada de Laplace em (34) com $d = \bar{d} = D + \hat{d}$; $d' = \bar{d}' = D' - \hat{d}$; $\bar{v}_{rede} = V_{redeRMS}$; $\bar{v}_c = V_c = V_{redeRMS}/D'$ e $\bar{i}_L = I_L + \hat{i}_L$ resulta na função de transferência (35), válida apenas para altas frequências, próximas à de chaveamento.

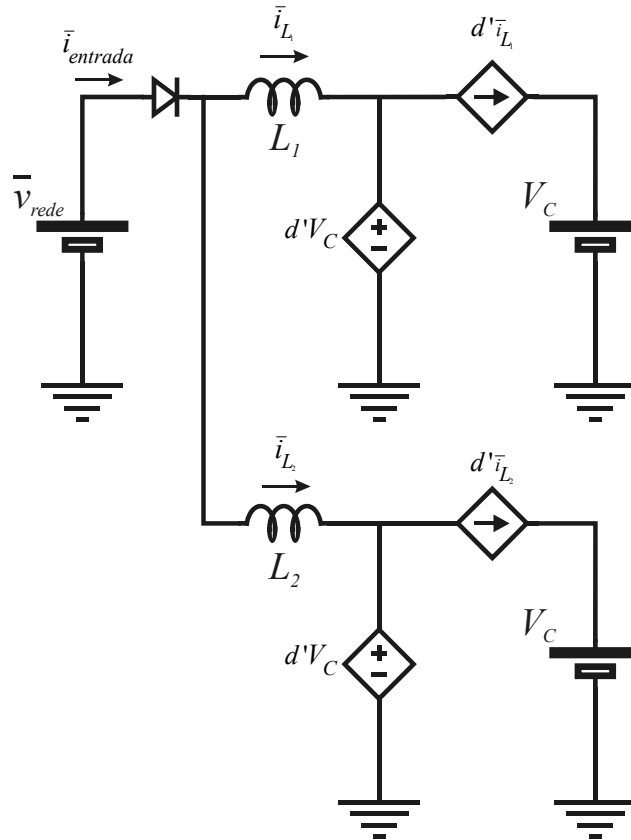


Figura 30 – CME para o estágio de entrada com a dinâmica da tensão de barramento desprezada.

$$L \dot{\hat{i}}_L = \bar{v}_{rede} - \bar{d}' \bar{v}_c \quad (34)$$

$$G_{\hat{i}_L \bar{d}}(s) = \frac{\hat{i}_L}{\hat{d}} = \frac{V_c}{sL} \quad (35)$$

3.4. Função de Transferência Saída-Entrada

Baseada no circuito médio equivalente da Figura 29, a função de transferência Saída-Entrada, $G_{\bar{v}_o \bar{v}_{rede}}(s)$, pode ser calculada como segue:

Sendo $d = \bar{d}$ e $d' = \bar{d}'$:

$$-\bar{v}_{rede} + \frac{L}{2} \dot{\hat{i}}_{entrada} + \bar{d}' \bar{v}_c = 0 \quad (36)$$

$$\frac{2C_1}{\bar{d}'} \dot{\hat{v}}_{C1} + \frac{2\bar{d}}{n\bar{d}'} \bar{i}_{Lo} - \bar{i}_{entrada} = 0 \quad (37)$$

$$\bar{v}_c = \bar{v}_{C1} + r_C C_1 \dot{\hat{v}}_{C1} \quad (38)$$

Isolando-se $\bar{i}_{entrada}$ em (37) e substituindo em (36) resulta em

$$-\bar{v}_{rede} + \frac{LC_1}{\bar{d}'} \ddot{v}_{C1} + \frac{L\bar{d}}{n\bar{d}'} \dot{i}_{Lo} + \bar{d}' \bar{v}_C = 0 \quad (39)$$

Do estágio de saída têm-se as equações (40), (41) e (42). Substituindo (40) em (39) resulta na equação (43).

$$\bar{i}_{Lo} = C_o \left(\frac{R_o + r_{Co}}{R_o} \right) \dot{v}_{Co} + \frac{\bar{v}_{Co}}{R_o} \quad (40)$$

$$-\frac{2\bar{d}}{n} \bar{v}_C + L_o \dot{i}_{Lo} + \bar{v}_o + \bar{r}_x \bar{i}_{Lo} = 0 \quad (41)$$

$$\bar{v}_o = \bar{v}_{Co} + r_{Co} C_o \dot{v}_{Co} \quad (42)$$

$$-\bar{v}_{in} + \frac{LC_1}{\bar{d}'} \ddot{v}_{C1} + \frac{L\bar{d}}{n\bar{d}'} \left[C_o \left(\frac{R_o + r_{Co}}{R_o} \right) \ddot{v}_{Co} + \frac{1}{R_o} \dot{v}_{Co} \right] + \bar{d}' \bar{v}_{C1} + \bar{d}' r_{C1} C_1 \dot{v}_{C1} = 0 \quad (43)$$

Substituindo as equações (38), (40) e (42) em (41) resulta em (44).

$$\bar{v}_{C1} = \frac{nL_o C_o (R_o + r_{Co})}{2R_o \bar{d}} \ddot{v}_{Co} + \frac{n[L_o + R_o C_o r_{Co} + C_o \bar{r}_x (R_o + r_{Co})]}{2R_o \bar{d}} \dot{v}_{Co} + \frac{(R_o + \bar{r}_x)n}{2R_o \bar{d}} \bar{v}_{Co} - C_1 r_{C1} \dot{v}_{C1} \quad (44)$$

Aplicando a transformada de Laplace nas equações (42), (43) e (44) com $\bar{d} = D$, $\bar{d}' = D'$ e $\bar{r}_x = R_x$ resulta em:

$$\bar{v}_{Co}(s) = \frac{\bar{v}_o(s)}{(r_{Co} C_o s + 1)} \quad (45)$$

$$\bar{v}_{rede}(s) = \left(\frac{LC_1}{D'} s^2 + D' C_1 r_{C1} s + D' \right) \bar{v}_{C1}(s) + \left[\frac{LDC_o (R_o + r_{Co})}{nR_o D'} s^2 + \frac{LD}{nR_o D'} s \right] \bar{v}_{Co}(s) \quad (46)$$

$$\bar{v}_{C1}(s) = \frac{1}{C_1 r_{C1} s + 1} \left\{ \begin{array}{l} \frac{nL_o C_o (R_o + r_{Co})}{2R_o D} s^2 + \frac{n[L_o + R_o C_o r_{Co} + C_o R_x (R_o + r_{Co})]}{2R_o D} s + \\ + \frac{n(R_o + R_x)}{2R_o D} \end{array} \right\} \bar{v}_{Co}(s) \quad (47)$$

Utilizando-se das equações (45), (46) e (47) a função de transferência $G_{\bar{v}_o \bar{v}_{rede}}(s)$ é dada pela equação (48) com $r_{C1} = r_{C2} = r_C$.

$$G_{\bar{v}_o \bar{v}_{rede}}(s) = \frac{a_2 s^2 + a_1 s + a_0}{b_4 s^4 + b_3 s^3 + b_2 s^2 + b_1 s + b_0} \quad (48)$$

Onde:

$$a_0 = 2$$

$$a_1 = 2(C_1 r_c + C_o r_{co})$$

$$a_2 = 2C_1 C_o r_c r_{co}$$

$$b_0 = nD'(R_o + R_x)/(R_o D)$$

$$b_1 = \frac{2LD^2 + n^2 D'^2 L_o + n^2 D'^2 C_1 R_o r_c + n^2 D'^2 C_1 R_x r_c + n^2 D'^2 C_o R_x R_o}{nR_o DD'} + \frac{n^2 D'^2 R_x C_o r_{co} + n^2 D'^2 R_o C_o r_{co}}{nR_o DD'}$$

$$b_2 = C_1 \left(\frac{2LD^2 C_o r_{co} r_c + D'^2 n^2 L_o C_o r_{co} r_c + D'^2 n^2 L_o C_o R_o r_c + n^2 L R_x R_o C_o + n^2 L C_o R_x r_{co}}{nR_o DD'} + \frac{2LD^2 R_o C_o r_c + n^2 L R_o C_o r_{co} + n^2 L L_o}{nR_o DD'} \right)$$

$$b_3 = C_1 \left(\frac{2LD^2 C_o r_{co} r_c + n^2 D'^2 L_o C_o r_{co} r_c + n^2 D'^2 L_o C_o R_o r_c + L n^2 R_x R_o C_o + n^2 L L_o}{nR_o DD'} + \frac{n^2 L R_o C_o r_{co} + 2D^2 L C_o R_o r_c}{nR_o DD'} \right)$$

$$b_4 = \frac{nLC_1 L_o C_o (R_o + r_{co})}{R_o DD'}$$

3.5. Função de Transferência Saída-Controle

A função de transferência Saída-Controle, $G_{\bar{v}_o \bar{d}}(s)$, pode ser determinada através das equações (43) e (44). No entanto, para que se possa aplicar a transformada de Laplace, essas equações devem ser linearizadas. Introduzindo uma perturbação entorno do ponto de operação ($\bar{x} = X + \hat{x}$ com $X \gg \hat{x}$) a linearização pode ser obtida desprezando-se os termos de segunda ordem ou superiores. Com $\bar{v}_{rede} = V_{redeRMS}$, $\bar{d} = D + \hat{d}$, $\bar{v}_{c1} = V_1 + \hat{v}_{c1}$, $\bar{v}_{co} = V_{co} + \hat{v}_{co}$ e $\hat{d} \ll 1$ as equações (43) e (44), após simplificações e aplicando a transformada de Laplace, resultam em:

$$(LC_1 s^2 + C_1 r_{c1} D'^2 s + D'^2) \hat{v}_{c1}(s) + \left(\frac{DLC_o (R_o + r_{co})}{nR_o} s^2 + \frac{LD}{nR_o} s \right) \hat{v}_{co}(s) + (V_{redeRMS} - 2D'V_{c1}) \hat{d}(s) = 0 \quad (49)$$

$$\hat{v}_{c_1}(s) = \frac{1}{1 + C_1 r_{c_1} s} \left\{ \left[\frac{nL_o C_o (R_o + r_{co})}{2DR_o} s^2 + \frac{n[L_o + C_o R_o r_{co} + C_o R_x (R_o + r_{co})]}{2DR_o} s + \frac{n(R_o + R_x)}{2DR_o} \right] \hat{v}_{co}(s) + \left[\frac{r_c V_{co} (1 - 4D + n^2 R_x)}{nR_o DD'} - \frac{V_{c_1}}{D} \right] \hat{d}(s) \right\} \quad (50)$$

Usando as equações (45), (49) e (50) a função de transferência $G_{\hat{v}_o \hat{d}}(s)$ é dada pela equação (51) com $r_{c_1} = r_{c_2} = r_c$.

$$G_{\hat{v}_o \hat{d}}(s) = \frac{a_3 s^3 + a_2 s^2 + a_1 s + a_0}{b_4 s^4 + b_3 s^3 + b_2 s^2 + b_1 s + b_0} \quad (51)$$

Onde:

$$a_0 = 2D^3 V_{c_1} n R_o + 8D^2 r_c V_{co} D - 2nR_o DD' V_{redeRMS} + 4nR_o DD'^2 V_{c_1} - 2D^2 r_c V_{co}$$

$$a_1 = 2D'(-nR_o DV_{redeRMS} r_c C_1 + 2nR_o DD' V_{c_1} r_c C_1 + 4D' V_{co} r_c D r_{co} C_o - D' V_{co} r_c r_{co} C_o - nR_o DV_{redeRMS} r_{co} C_o - r_c^2 C_1 D' V_{co} + 4r_c^2 C_1 D' V_{co} D - r_c^2 C_1 D' V_{co} n^2 R_x + r_c C_1 D'^2 V_{c_1} n R_o + D'^2 V_{c_1} n R_o r_{co} C_o + 2nR_o DD' V_{c_1} r_{co} C_o - D' V_{co} r_c n^2 R_x r_{co} C_o)$$

$$a_2 = 2C_1(-r_c^2 D'^2 V_{co} r_{co} C_o - LV_{co} r_c + 4LV_{co} r_c D + 2nR_o DD'^2 V_{c_1} r_c r_{co} C_o - nR_o DD' V_{redeRMS} r_c r_{co} C_o + 4r_c^2 D'^2 V_{co} D r_{co} C_o - r_c^2 D'^2 V_{co} n^2 R_x r_{co} C_o + r_c D'^3 V_{c_1} n R_o r_{co} C_o - LV_{co} r_c n^2 R_x + LV_{c_1} n R_o D')$$

$$a_3 = 2LC_1 r_{co} C_o (-V_{co} r_c + 4V_{co} r_c D - V_{co} r_c n^2 R_x + V_{c_1} n R_o D')$$

$$b_0 = D^3 n^2 R_o + D^3 n^2 R_x$$

$$b_1 = D'(r_c C_1 D'^2 n^2 R_o + D'^2 n^2 r_{co} C_o R_o + D'^2 n^2 R_x C_o R_o + D'^2 n^2 R_x^2 C_o + r_c C_1 D'^2 n^2 R_x + D'^2 n^2 L_o + 2D^2 L)$$

$$b_2 = D'(D'^2 n^2 L_o C_o r_{co} + LC_1 n^2 R_o + LC_1 n^2 R_x + r_c C_1 D'^2 n^2 L_o + 2D^2 LC_o r_{co} + 2D^2 L r_c C_1 + r_c C_1 D'^2 n^2 r_{co} C_o R_o + r_c C_1 D'^2 n^2 R_x C_o R_o + r_c C_1 D'^2 n^2 R_x^2 C_o + D'^2 n^2 L_o C_o R_o + 2R_o D^2 LC_o)$$

$$b_3 = C_1 D'(Ln^2 L_o + Ln^2 r_{co} C_o R_o + r_c D'^2 n^2 L_o C_o r_{co} + Ln^2 R_x^2 C_o + 2R_o D^2 LC_o r_c + Ln^2 R_x C_o R_o + 2D^2 LC_o r_c r_c + r_c D'^2 n^2 L_o C_o R_o)$$

$$b_4 = LC_1 n^2 D' L_o C_o (R_o + r_{co})$$

3.6. Simulações Numéricas

3.6.1. Simulação Numérica

Nas figuras 31, 32 e 33, estão os resultados das simulações numéricas que apresentam os comparativos entre o CME e as funções de transferências $G_{\bar{v}_o\bar{v}_m}(s)$, $G_{\bar{v}_o\bar{d}}(s)$ e $G_{\bar{i}_L\bar{d}}(s)$, respectivamente. O comparativo do comportamento dinâmico entre a tensão obtida no CME e o circuito chaveado devido a uma perturbação na variável de controle está apresentado na Figura 34.

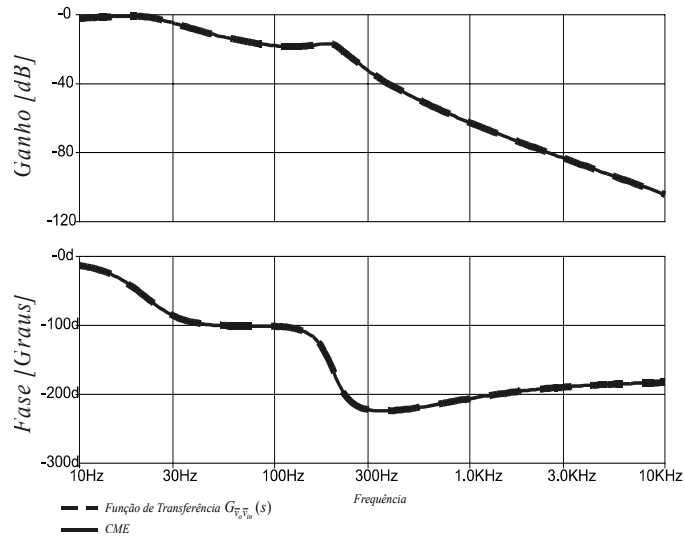


Figura 31 – Comparação entre as respostas em frequência da tensão de saída devido a uma perturbação na tensão de saída da função de transferência $G_{\bar{v}_o\bar{v}_m}(s)$ e do CME.

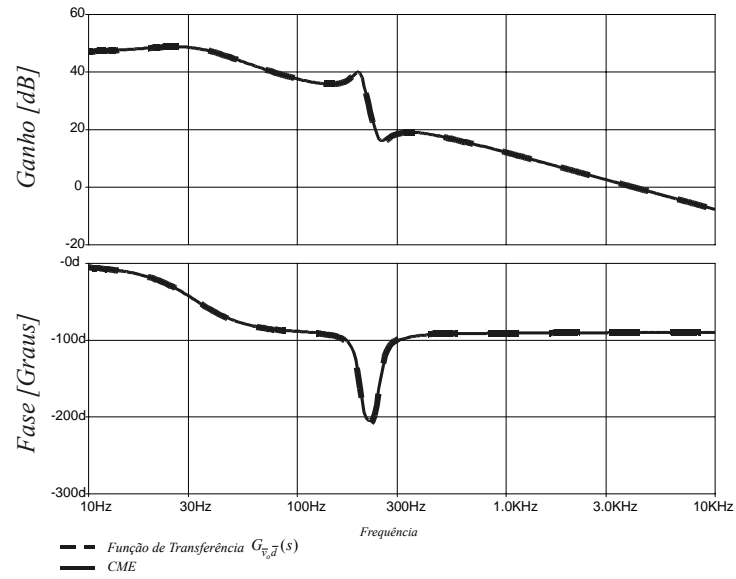


Figura 32 – Comparação entre as respostas em frequência da tensão de saída devido a uma perturbação na variável de controle da função de transferência $G_{v_o,d}(s)$ e do CME.

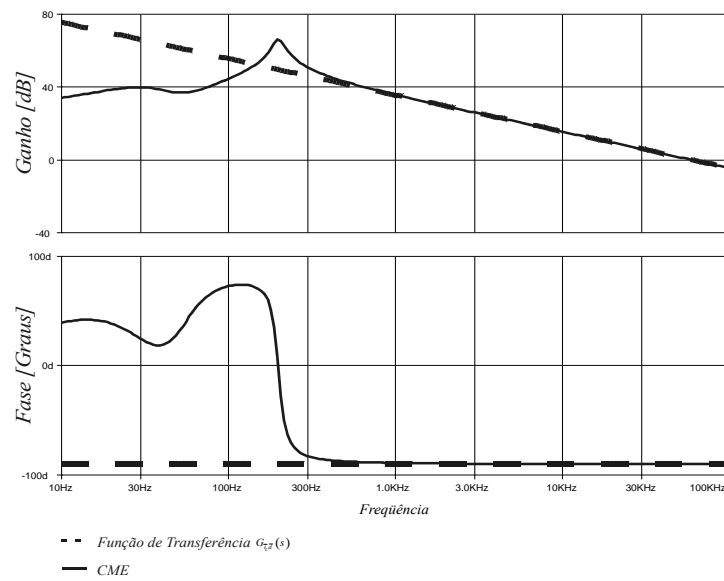
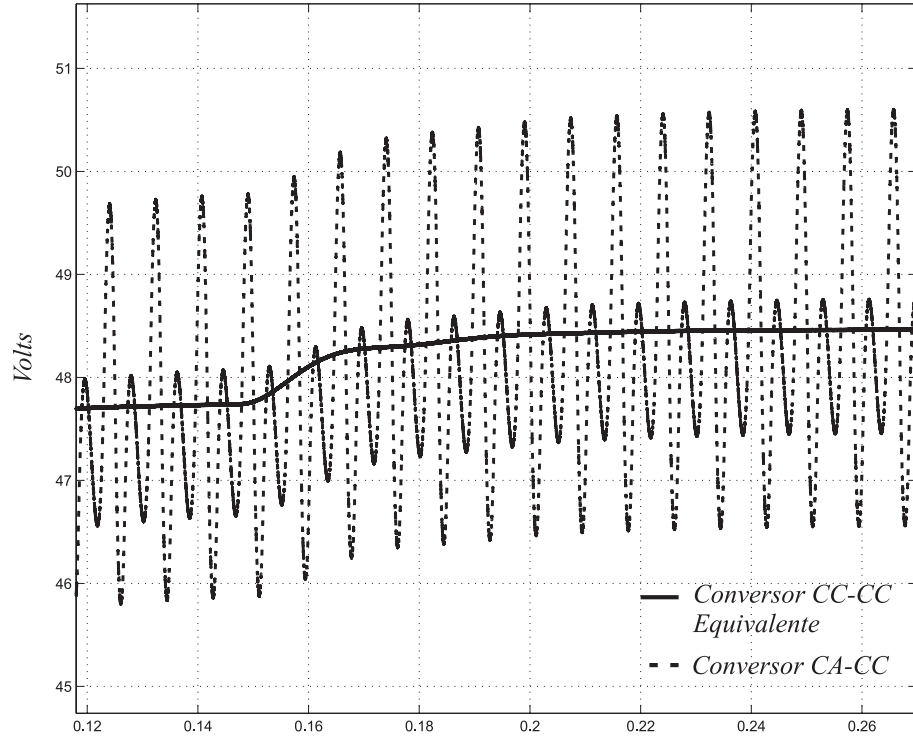


Figura 33 – Comparação entre as respostas em frequência da corrente no indutor *Boost* devido a uma perturbação na variável de controle da função de transferência $G_{i_L,d}(s)$ e do CME

Comparativo Entre o Conversor CA-CC e o CC-CC Equivalente para uma Perturbação na variável de Controle



Comparativo Entre o Conversor CA-CC e o CC-CC Equivalente para uma Perturbação na Tensão de Entrada

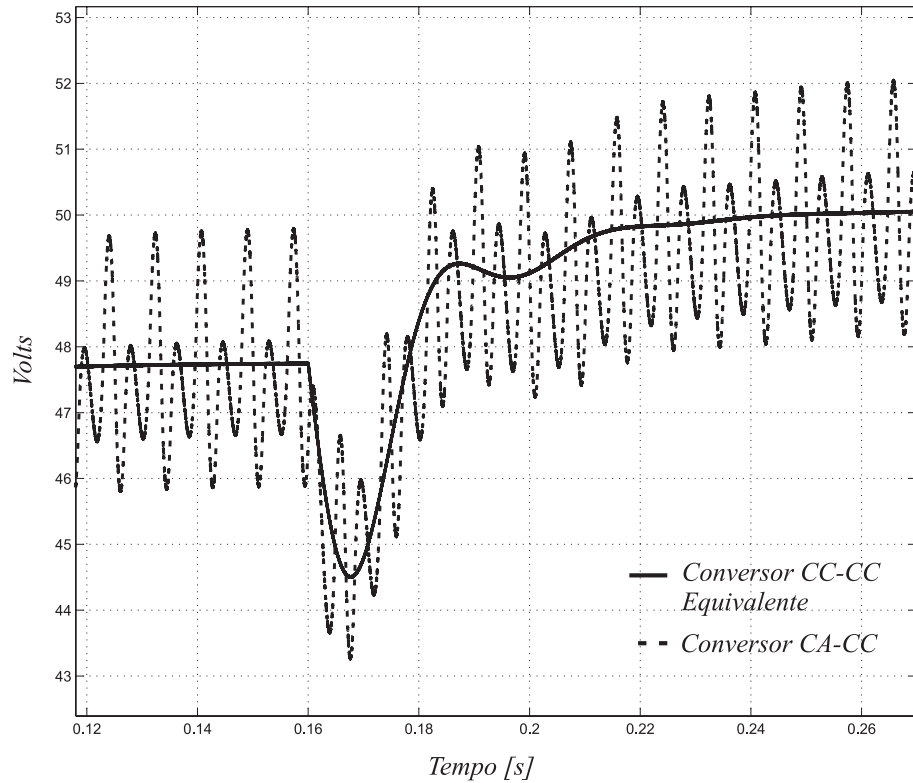


Figura 34 – Comparação entre as respostas no tempo da tensão de saída dos circuitos chaveados CA-CC e CC-CC equivalente dado uma perturbação: (a) na razão cíclica e (b) na tensão de entrada.

3.7. Conclusões

Neste capítulo observou-se, através de simulações numéricas, que o conversor CA-CC tem um comportamento dinâmico semelhante ao do CC-CC equivalente. Assim, foram obtidas as funções de transferência para a corrente de entrada-controle, a tensão de saída-entrada e a tensão de saída-controle. Essas funções foram obtidas baseando-se no CME derivado do conversor CC-CC equivalente utilizando-se a técnica de modelagem por valores médios instantâneos.

Através de simulações numéricas, validou-se a análise teórica, tanto no domínio da frequência quanto no domínio do tempo, visto que os resultados obtidos foram bastante satisfatórios tendo uma excelente conformidade entre o Conversor CA-CC, o CME e as funções de transferências.

Capítulo 4

EQUAÇÕES DE PROJETO

4.1. Introdução

A influência da indutância de dispersão (L_d) será considerada nesse capítulo. Tal influência pode ser representada, ou modelada, pela redução da razão cíclica efetiva (ΔD), definida pela equação (52).

$$\Delta D(D_{Boost\ min}) = \frac{2I_{L_o} L_d f_{ch} (1 - D_{Boost\ min})}{nV_{rede}} \quad (52)$$

A razão cíclica mínima efetiva para o EE é definida pela equação (53).

$$D_{Boost\ min_ef} = D_{Boost\ min} - \Delta D \quad (53)$$

A seguir serão dadas as principais equações para o cálculo dos valores nominais dos magnéticos e dos capacitores do barramento CC e do filtro de saída.

4.2. Relação de Transformação de T_1 (n)

A escolha adequada da relação de transformação (n) de T_1 é de suma importância para que o conversor opere da forma esperada visto que o valor de n está direta ou indiretamente relacionado aos seguintes fatores:

- Perda de razão cíclica: como visto na equação (52) a relação de transformação tem influência no valor de ΔD .
- Faixa de variação da tensão de entrada: para uma dada tensão na carga desejada, a escolha do valor de n , associado à perda de razão cíclica, determina

os valores máximos e mínimos da tensão de entrada para que o conversor opere de forma adequada;

- Faixa de variação de carga com comutação sob zero de tensão (*Zero Voltage Switching - ZVS*): os níveis de corrente das condições iniciais no indutor ressonante (no caso a própria indutância de dispersão de T_l) estão diretamente ligados tanto à corrente de carga quanto ao valor do parâmetro n ;
- Perdas de Condução: quanto menor o valor de n melhores são as condições para que haja uma comutação do tipo ZVS em todas as chaves, porém maiores serão as perdas de condução devido aos níveis de corrente no circuito do primário.

Portanto, há um compromisso entre esses quatro fatores mencionados para a escolha adequada da relação de transformação. Em virtude disso, serão definidas na seqüência:

- A relação entre a faixa de variação da tensão de entrada e o valor de n associado à perda de razão cíclica tendo como base a análise em regime permanente apresentada no Capítulo 2.
- As condições necessárias para que haja comutação ZVS através de uma análise detalhada da comutação das chaves da Ponte Completa.

4.2.1. Relação Entre a Faixa de Variação da Tensão de Entrada e a Relação de Transformação n

Utilizando-se da análise apresentada no Capítulo 2, a tensão de pico de entrada (V_{rede}) pode ser encontrada pela equação (13), aqui reapresentada na equação (54) com

$$D_{Boostmin} = D_{Boostmin_ef} \cdot$$

$$\frac{n \cdot V_o(D_{Boostmin_ef})}{2 \cdot V_{rede}} = \frac{f(D_{Boostmin_ef})}{1 - D_{Boostmin_ef}} \quad (54)$$

Onde $f(D_{Boostmin_ef})$ é definida por (55) para $D_{Boostmin_ef} \leq 0,5$ e por (56) para $0,5 < D_{Boostmin_ef} \leq 1$.

$$f(D_{Boost\ min_ef}) = \frac{2 \cdot (1 - D_{Boost\ min_ef})}{\pi} - \frac{4}{\pi} \left\{ \begin{aligned} &(1 - D_{Boost\ min_ef}) \cdot \sqrt{1 - \left(\frac{0.5}{1 - D_{Boost\ min_ef}} \right)^2} \\ &-\frac{1}{2} \cdot \left[\frac{\pi}{2} - \sin^{-1} \left(\frac{0.5}{1 - D_{Boost\ min_ef}} \right) \right] \end{aligned} \right\} \quad (55)$$

$$f(D_{Boost\ min_ef}) = \frac{2}{\pi} \cdot (1 - D_{Boost\ min_ef}) \quad (56)$$

Com $D_{Boost\ min_ef} = 0$, a partir de (54) a máxima tensão de pico de entrada ($V_{rede\ max}$) será dada pela equação (57).

$$V_{rede\ max} = \frac{n}{0,4012} V_o \quad (57)$$

Aproximando a equação (54) por uma reta para $0 \leq D_{Boost\ min_ef} \leq 0,5$, como mostrado na Figura 35, tem-se a equação (58).

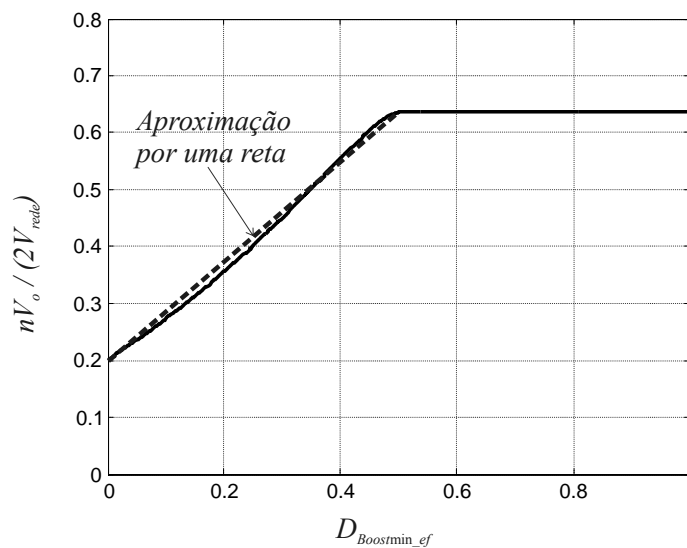


Figura 35 – Aproximação da equação (54) por uma reta para $0 \leq D_{Boost\ min_ef} \leq 0,5$.

$$nV_o = 2V_{rede} \left(a_1 D_{Boost\ min_ef} + a_o \right) \quad (58)$$

Onde:

$$a_1 = 0,436$$

$$a_o = 0,2006$$

Substituindo as equações (52) e (53) na equação (58):

$$nV_o = 2V_{rede} (a_1 D_{Boost\ min} + a_o) - \frac{4a_1 I_{L_o} L_d f_{ch} (1 - D_{Boost\ min})}{n} \quad (59)$$

Isolando V_{rede} na equação (59) resulta na equação (60).

$$V_{rede} = \frac{n^2 V_o + 4a_1 I_{L_o} L_d f_{ch} (1 - D_{Boost\ min})}{2n(a_1 D_{Boost\ min} + a_o)} \quad (60)$$

A tensão de pico de entrada será mínima para $D_{Boost\ min} = 0,5$. Logo, a equação (60) pode ser reescrita obtendo-se (61).

$$V_{rede\ min} = \frac{n^2 V_o + 2a_1 I_{L_o} L_d f_{ch}}{n(a_1 + 2a_o)} \quad (61)$$

4.2.2. Estudo da Comutação

Para que as condições necessárias para que haja comutação ZVS nos quatro MOSFET's (chaves S_1 , S_2 , S_3 e S_4) possam ser estabelecidas, será feito um estudo detalhado da comutação de um dos braços – visto que as análises das comutações dos dois braços são semelhantes. Para essa análise, têm-se como premissas:

- O capacitor intrínseco de S_1 está inicialmente carregado com a tensão de barramento V_C e S_2 está em condução;
- Durante o intervalo de comutação as tensões nos capacitores de barramento e as correntes nos indutores *Boost* são constantes e iguais a V_C e $I_{entrada}/2$, respectivamente;
- O indutor L_d possui uma corrente inicial maior que $I_{entrada}/2$ e igual à corrente de carga dividida pela relação de transformação n ;
- Os capacitores intrínsecos possuem a mesma capacitância e o conversor está operando nos instantes em que $0,5 \leq d_{Boost} \leq 1$.

Primeira Etapa ($0 \leq t < t_1$): No instante $t = 0$, ocorre a abertura da chave S_2 , ver Figura 36. C_1 , C_2 e L_d começam a ressonar até que a tensão em C_1 chegue a zero e o diodo intrínseco de S_1 entre em condução conforme mostrado na Figura 37 dando início à próxima etapa.

Segunda Etapa ($t_1 \leq t < t_2$): No instante t_1 , L_d começa a se descarregar linearmente. S_1 começa a conduzir sob zero de tensão quando a corrente em L_d se torna menor que a corrente $I_{entrada}/2$ no instante t_2 , Figura 38.

Terceira Etapa ($t_3 \leq t < t_4$): No instante $t = t_3$, S_1 é aberta, Figura 39, dando início a ressonância entre C_1 , C_2 e L_d até que a tensão em C_2 chegue a zero em $t = t_4$.

Quarta Etapa ($t_4 \leq t < t_5$): Em $t = t_4$ o diodo intrínseco de S_2 assume o somatório das correntes em L_d e $I_{entrada}/2$ dando início ao estágio de “roda-livre”, ver circuito mostrado na Figura 40, até o instante t_5 quando se dá início a próxima etapa.

Quinta Etapa ($t_5 \leq t < t_6$): Em $t = t_5$, o outro braço, aqui omitido por simplicidade, comuta de modo a formar a configuração mostrada na Figura 41, L_d começa a se descarregar linearmente.

Sexta Etapa ($t_6 \leq t < t_7$): A chave S_2 começa a conduzir sob zero de tensão quando a corrente em L_d se torna maior que $I_{entrada}/2$ no instante t_6 , ver Figura 42, mantendo-se nesse estado até o instante t_7 .

Sétima Etapa ($t_7 \leq t < t_8$): No instante $t = t_7$ o segundo braço comuta, formando o circuito mostrado na Figura 43, dando início novamente ao estágio de “roda-livre” restabelecendo as condições iniciais para a comutação de S_1 .

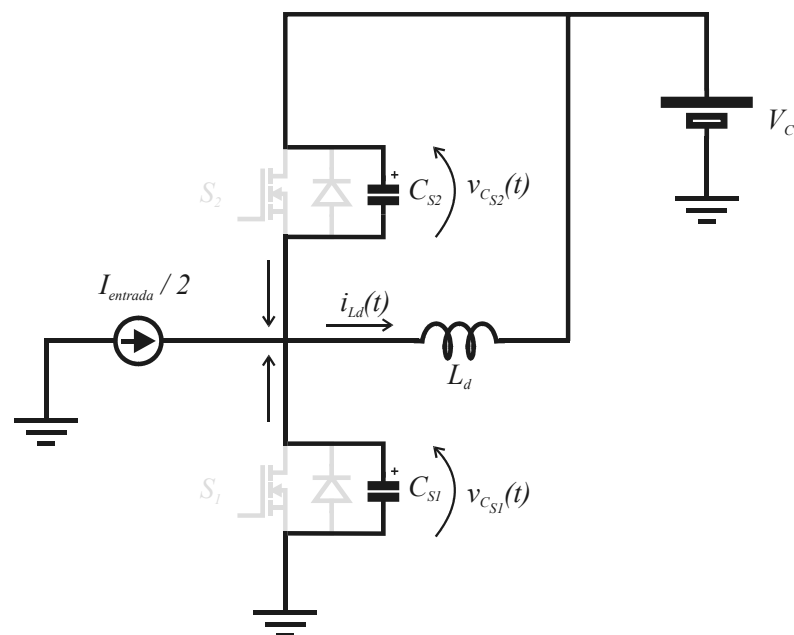


Figura 36 – Primeira Etapa ($0 \leq t < t_1$): Carga de C_2 e descarga de C_1 de forma ressonante com L_d .

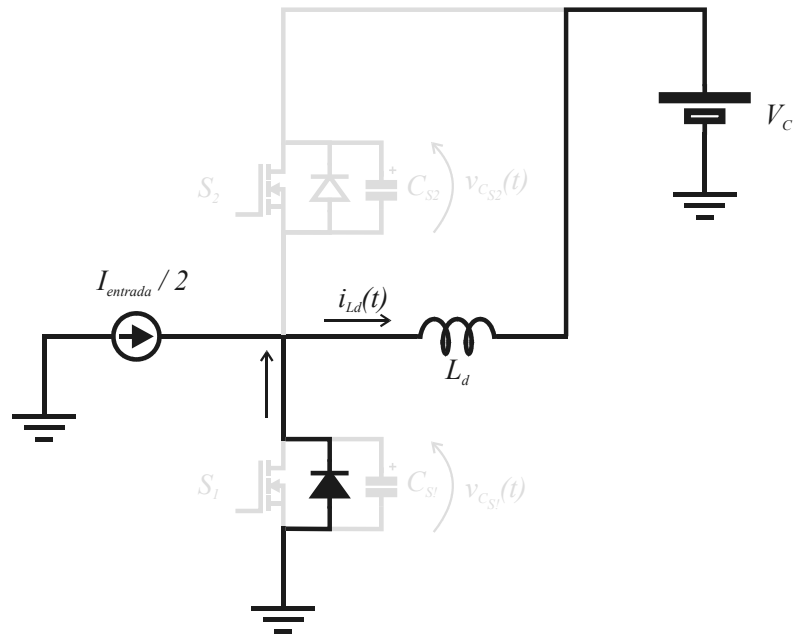


Figura 37 – Segunda Etapa ($t_1 \leq t < t_2$): Descarga Linear de L_d .

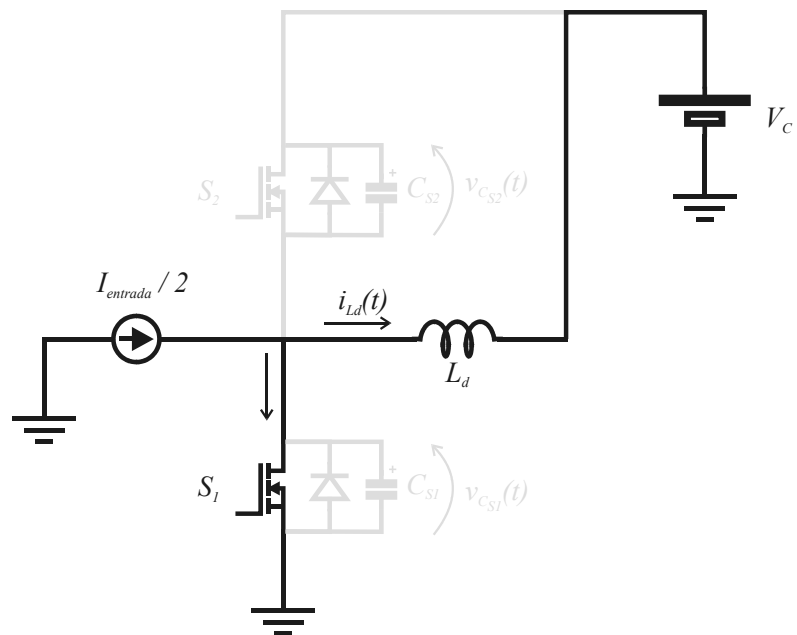


Figura 38 – Comutação ZVS de S_1 e inversão da corrente em L_d .

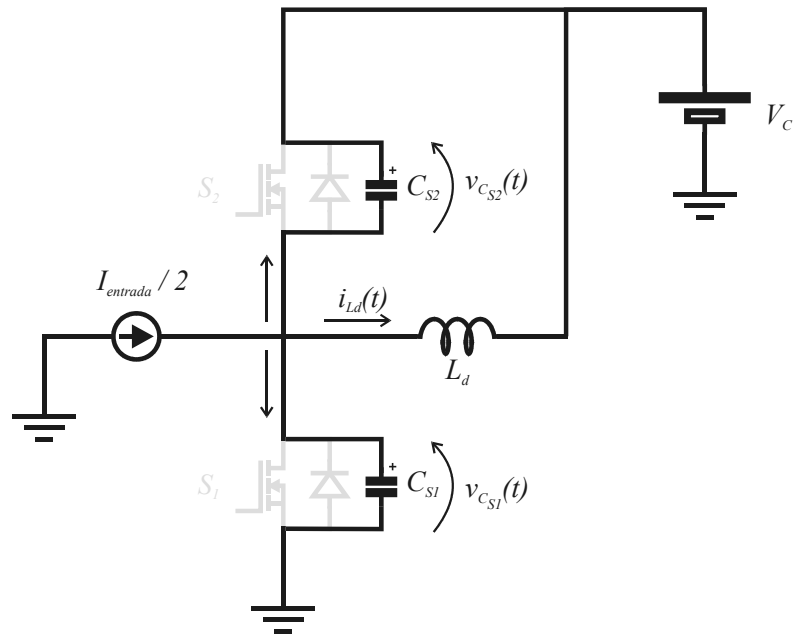


Figura 39 – Terceira Etapa ($t_3 \leq t < t_4$): Carga de C_1 e descarga de C_2 de forma ressonante com L_d .

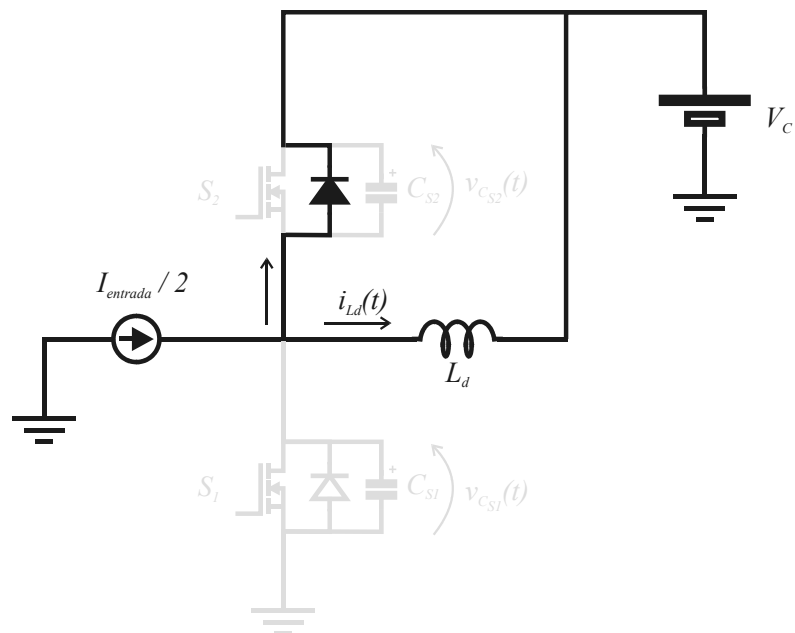


Figura 40 – Quarta Etapa ($t_4 \leq t < t_5$): Etapa de “roda-livre”.

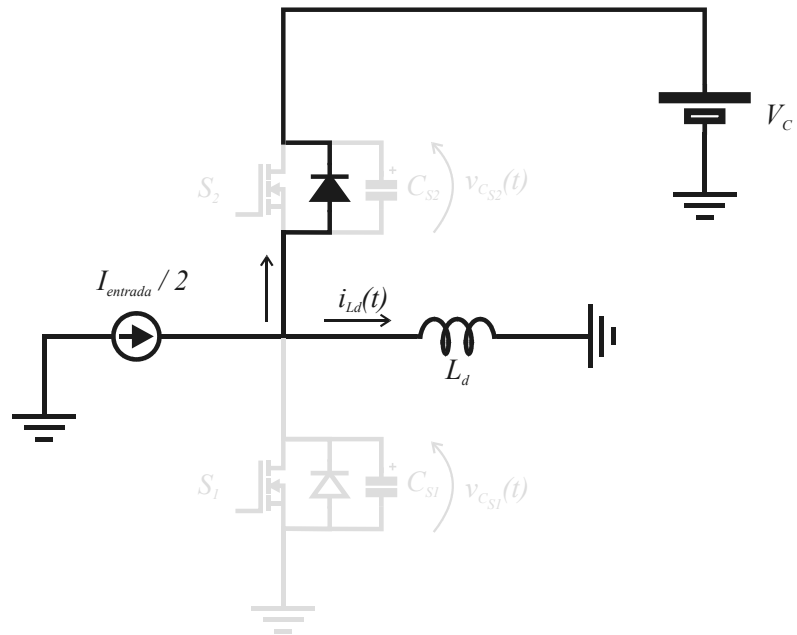


Figura 41 – Quinta Etapa ($t_5 \leq t < t_6$): Descarga linear de L_d .

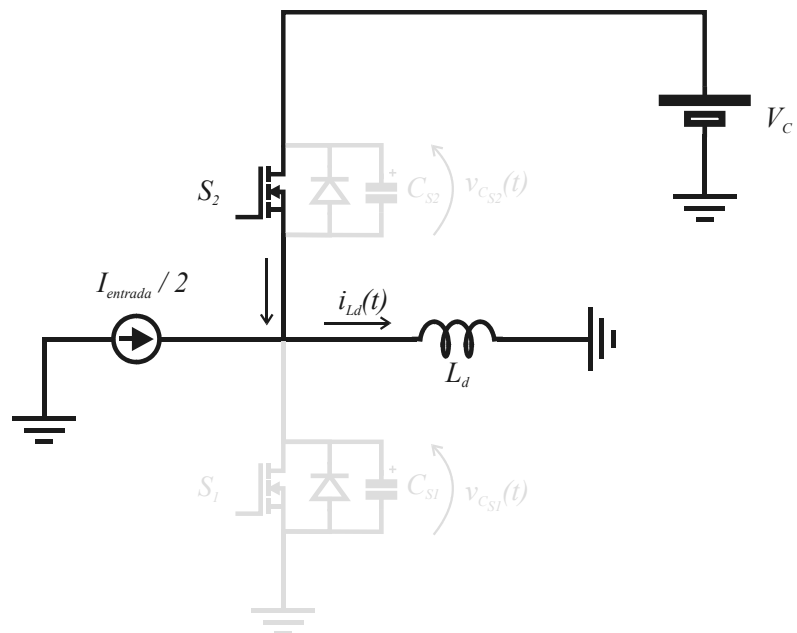


Figura 42 – Sexta Etapa ($t_6 \leq t < t_7$): Comutação ZVS de S_2 .

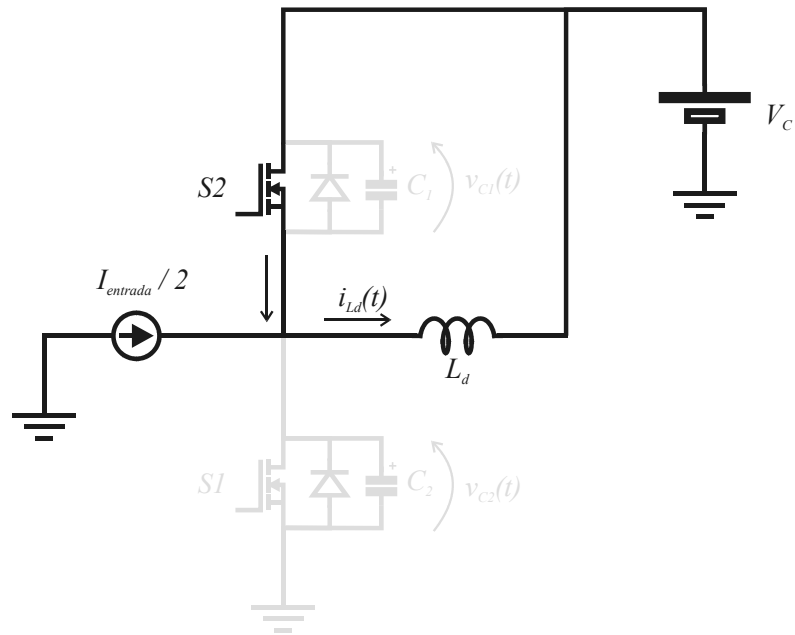


Figura 43 – Sétima Etapa ($t_7 \leq t < t_8$): restabelecimento das condições iniciais para a comutação de S_1 .

Com base na descrição das etapas dentro do tempo de comutação que foi apresentada e nos circuitos da Figura 36 ao da Figura 43, os planos de fase para a comutação de S_1 e S_2 são obtidos conforme mostrado na Figura 44 e na Figura 45, respectivamente.

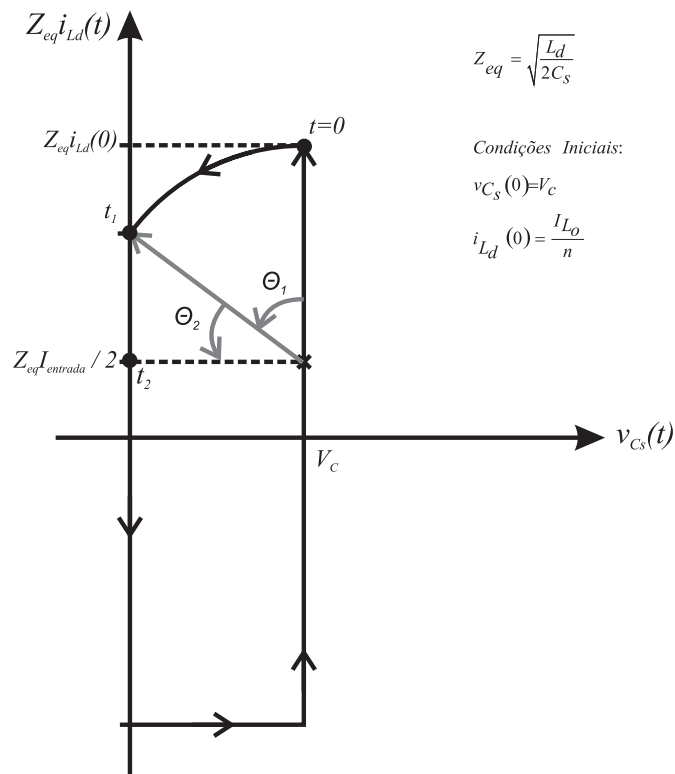


Figura 44 – Plano de fase para a comutação da chave S_1 .

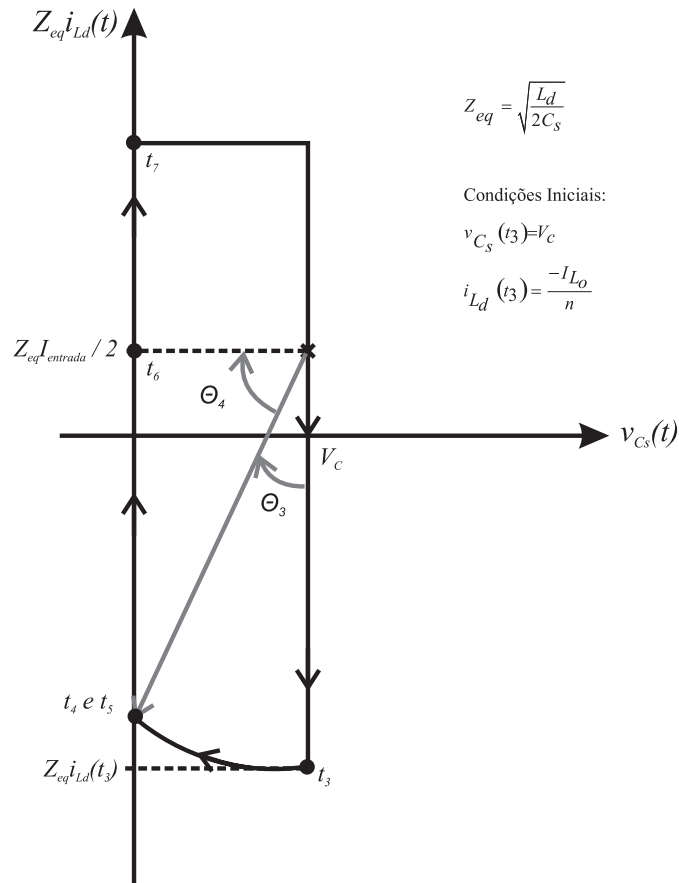


Figura 45 – Plano de fase para a comutação da chave S_2 .

Do plano de fase da Figura 44, para que a tensão na capacitância intrínseca chegue a zero de forma ressonante a inequação (62) deve ser satisfeita.

$$Z_{eq} \left(i_{L_d}(0) - \frac{I_{entrada}}{2} \right) \geq V_C \quad (62)$$

Durante o intervalo de tempo $t_1 \leq t < t_2$, a chave S_1 deve ser habilitada a conduzir. Para isso o tempo morto deve ser maior que t_1 e menor t_2 , definidos respectivamente pelas equações (65) e (67).

$$\theta_2 = \cos^{-1} \left(\frac{V_C}{Z_{eq} \left(i_{L_d}(0) - \frac{I_{entrada}}{2} \right)} \right) \quad (63)$$

$$\theta_1 = 90^\circ - \theta_2 \quad (64)$$

$$t_1 = \frac{\theta_1}{\omega_r} = \theta_1 \sqrt{L_d C_{eq}} \quad (65)$$

$$\Delta i = \frac{V_C}{Z_{eq}} \tan(\theta_2) \quad (66)$$

$$t_2 = t_1 + \frac{L_d \Delta i}{V_C} \quad (67)$$

Do plano de fase da Figura 45, para que a tensão na capacitância intrínseca chegue a zero de forma ressonante a inequação (68) deve ser satisfeita.

$$Z_{eq} \left(\frac{I_{entrada}}{2} - i_{L_d}(t_3) \right) \geq V_C \quad (68)$$

Durante o intervalo de tempo $t_3 \leq t < t_6$, a chave S_2 deve ser habilitada a conduzir. Para isso o tempo morto deve ser maior que $t_4 - t_3$ e menor $t_6 - t_5$. Ambos os intervalos de tempo estão definidos respectivamente pelas equações (71) e (73).

$$\theta_4 = \cos^{-1} \left(\frac{V_C}{Z_{eq} \left(\frac{I_{entrada}}{2} - i_{L_d}(t_3) \right)} \right) \quad (69)$$

$$\theta_3 = 90^\circ - \theta_4 \quad (70)$$

$$t_4 - t_3 = \frac{\theta_3}{\omega_r} = \theta_3 \sqrt{L_d C_{eq}} \quad (71)$$

$$\Delta i = \frac{V_C}{Z_{eq}} \tan(\theta_4) \quad (72)$$

$$t_6 - t_5 = \frac{L_d \Delta i}{V_C} \quad (73)$$

Note que se as condições para que a comutação da chave S_1 seja do tipo ZVS sejam atendidas, as condições para a chave S_2 também são satisfeitas, equações (68) e (62).

4.2.3. Definição do valor n

Sendo os dados de entrada:

- Rendimento mínimo esperado dentro da faixa de comutação ZVS: η_{min} ;
- Tensão nominal de saída: V_o ;
- Potência nominal de saída: P_o ;

- Potência mínima com comutação ZVS: P_{omin} ;
- Tensão nominal de entrada: V_{rede} ;
- Tensão de entrada máxima: V_{redemax} ;
- Tensão de entrada mínima: V_{redemin} ;
- Perda de razão cíclica máxima: ΔD_{max} ;
- Frequência de chaveamento: f_{ch} ;
- Capacitância intrínseca do MOSFET: C_s ;

Da equação (57) pode-se obter a equação (74) que define a mínima relação de transformação (n_{min}) para que o conversor opere dentro da faixa de variação da tensão de entrada.

$$n_{\text{min}} = 0,4012 \frac{V_{\text{redemax}}}{V_o} \quad (74)$$

Considerando que a etapa linear da comutação é a principal responsável pela perda de razão cíclica, a indutância de dispersão máxima pode ser determinada através de (75).

$$L_{d\text{max}} = \frac{\Delta D_{\text{max}} n_{\text{min}} V_o V_{\text{redemax}}}{2 P_o f_{ch}} \quad (75)$$

Da equação (62), pode-se obter a equação (76) que define a máxima relação de transformação (n_{max}) considerando o pior caso sob o ponto de vista da comutação suave, ou seja, $V_{\text{rede}} = V_{\text{redemin}}$ e, conseqüentemente, $D_{\text{Boostmin}} = 0,5$ resultando em $V_C = 2V_{\text{redemin}}$.

$$n_{\text{max}} = \frac{Z_{eq} P_{o\text{min}} V_{\text{redemin}} \eta_{\text{min}}}{V_o (2V_{\text{redemin}}^2 \eta_{\text{min}} + P_{o\text{min}} Z_{eq})} \quad (76)$$

Onde:

$$Z_{eq} = \sqrt{\frac{L_d}{2C_s}} \quad (77)$$

$$L_d \leq L_{d\text{max}} \quad (78)$$

Portanto, a relação de transformação n pode ser escolhida respeitando a inequação (79). Quanto mais próximo do valor máximo, menores serão os esforços de corrente no circuito do primário do conversor, porém, menor será a margem de segurança para compensar efeitos não considerados para simplificar a análise, como por exemplo, perdas nas etapas de “roda-

livre” que ocasionam a redução dos valores das condições iniciais do indutor ressonante. Portanto, caso se deseje otimizar o projeto do conversor, valor ideal para o parâmetro n pode ser encontrado através de simulações numéricas tendo como ponto de partida a faixa de variação definida pelas equações de projeto apresentadas.

$$n_{\min} \leq n \leq n_{\max} \quad (79)$$

4.3. Filtro de Saída

4.3.1. Indutor de Saída (L_o)

Considerando o pior caso, $V_{rede} = V_{redemax}$, o valor nominal de L_o pode ser estimado pela equação (80), para maiores detalhes vide apêndice A.

$$L_o \geq \frac{V_{rede \max}}{4 \cdot n \cdot (1 - \Delta D(0)) \cdot \pi \cdot f_{rede} \cdot \Delta i_{Lo}} \cdot k \quad (80)$$

Onde:

$$k = \left| \frac{a}{2} \cdot \left(\sin(8 \cdot \pi \cdot f_{rede} \cdot t_1) - \sin(8 \cdot \pi \cdot f_{rede} \cdot t_2) \right) + b \cdot \left(\sin(4 \cdot \pi \cdot f_{rede} \cdot t_2) - \sin(4 \cdot \pi \cdot f_{rede} \cdot t_1) \right) \right| \quad (81)$$

$$a = \frac{2}{\pi} \cdot \sin(4 \cdot \theta) - \frac{16}{15\pi} \cdot \gamma \cdot \begin{pmatrix} 0.5 + 4 \cdot \cos \theta \cdot \sin(4 \cdot \theta) \\ -\sin \theta \cdot \cos(4 \cdot \theta) \end{pmatrix} \quad (82)$$

$$b = \frac{4}{\pi} \cdot \sin(2 \cdot \theta) - \frac{16}{3\pi} \cdot \gamma \cdot \begin{pmatrix} 2 \cdot \cos \theta \cdot \sin(2 \cdot \theta) \\ -\sin \theta \cdot \cos(2 \cdot \theta) - 0.5 \end{pmatrix} \quad (83)$$

$$\gamma = 1 - \frac{2 \cdot V_o \cdot L_d \cdot f_s}{n \cdot R_o \cdot V_{redemax} + 2 \cdot V_o \cdot L_d \cdot f_s} \quad (84)$$

$$\theta = \frac{\pi}{2} - \sin^{-1} \left(\frac{0.5}{\gamma} \right) \quad (85)$$

$$t_1 = \frac{1}{4 \cdot \pi \cdot f_{rede}} \cdot \left[\pi + \cos \left(-\frac{b}{a} - \frac{\sqrt{4 \cdot b^2 + 2 \cdot a^2}}{2 \cdot a} \right) \right] \quad (86)$$

$$t_2 = \frac{1}{4 \cdot \pi \cdot f_{rede}} \cdot \left[\pi - \cos \left(-\frac{b}{a} - \frac{\sqrt{4 \cdot b^2 + 2 \cdot a^2}}{2 \cdot a} \right) \right] \quad (87)$$

4.3.2. Capacitor de Saída (C_o)

Desprezando-se a influencia da resistência série equivalente, a capacitância de C_o pode ser determinada através da equação (88). Com b definido pela equação (83), para maiores detalhes vide apêndice A.

$$C_o \geq \frac{V_{rede \max}}{8 \cdot n \cdot (1 - \Delta D(0)) \cdot \pi^2 \cdot f_{rede}^2 \cdot L_o \cdot \Delta v_o} \cdot b \quad (88)$$

4.3.3. Indutância de Entrada ($L_1=L_2=L_B$) e Capacitor de Barramento ($C_1=C_2=C_B$)

Em [4] foi demonstrado que a ondulação da corrente para um conversor *Boost* pode ser determinada através da equação (90).

$$d(\theta) = 1 - \frac{V_{rede}}{V_C} \sin(\theta) \quad (89)$$

$$\Delta i_{entrada}(\theta) = \frac{V_{rede}}{L_{Boost} f_{ondulação}} \sin(\theta) - \frac{V_{rede}^2}{L_{Boost} f_{ondulação} V_C} \sin^2(\theta) \quad (90)$$

Onde:

$$\theta = 2\pi f_{rede} t ;$$

$f_{ondulação}$: frequência de ondulação da corrente.

A equação (90) pode ser reescrita resultando na equação (91). Logo, substituindo a equação (89) em (91) resulta na equação (92).

$$\Delta i_{entrada}(\theta) = \frac{V_{rede}}{L_{Boost} f_{ondulação}} \sin(\theta) \left(1 - \frac{V_{rede}}{V_C} \sin(\theta) \right) \quad (91)$$

$$\Delta i_{entrada}(\theta) = \frac{V_C}{L_{Boost} f_{ondulação}} (1-d(\theta)) d(\theta)$$

ou

$$\Delta i_{entrada}(d) = \frac{V_C}{L_{Boost} f_{ondulação}} (1-d) d$$
(92)

Para o ponto de máxima ondulação de corrente, tem-se:

$$\Delta i_{entrada\ max} = \Delta i_{entrada}(d_1)$$
(93)

Onde:

$$\frac{\partial}{\partial d}(d-d^2) = 0 \xrightarrow{d=d_1} d_1 = 0,5$$
(94)

Logo, com $d = d_1$ e $V_C = V_{C_B}$, da equação (92) tem-se:

$$L_{Boost} = \frac{V_{C_B}}{4 f_{ondulação} \Delta i_{entrada\ max}}$$
(95)

Como a ondulação da corrente em cada indutor *Boost* para o EE (equivalente a um conversor *Boost* Intercalado) em estudo terá o dobro da ondulação resultante desejada [4] e a frequência de ondulação da corrente total ($i_{entrada}$) é o dobro da frequência de chaveamento a indutância nominal mínima de L_B será dada pela equação (96).

$$L_B = \frac{1}{4} L_{Boost} = \frac{V_{C_B\ max}}{16 f_{ch} \Delta i_{entrada\ max}}$$
(96)

Sendo $\Delta i_{entrada\ max} = \frac{V_o^2 \Delta i_{entrada\%}}{100 R_o \eta V_{rede}}$, a equação (96) pode ser reescrita resultando na equação (97).

$$L_B \geq \frac{25 \eta R_o V_{C_B\ max} V_{rede\ max}}{4 f_{ch} V_o^2 \Delta i_{entrada\%}}$$
(97)

Para o cálculo da capacitância de barramento ($C_1 = C_2 = C_B$), será adotado o critério do tempo mínimo de *hold-up* ($t_{hold-up}$). Portanto, para que seja possível manter a potência entregue a carga constante durante o tempo $t_{hold-up}$ com uma queda na tensão dos barramentos V_{C_B} de $\Delta V_{B\%}$, têm-se:

$$\Delta E_{C_1} + \Delta E_{C_2} \geq P_o t_{hold-up}$$
(98)

Como cada barramento deve fornecer metade da energia transferida, a partir da equação (98) pode-

se escrever:

$$\Delta E_{C_1} = \Delta E_{C_2} = \Delta E_{C_B} \geq \frac{1}{2} P_o t_{hold-up} \quad (99)$$

Logo,

$$\left\{ V_{C_s}^2 - [(1 - \Delta V_{C_s}) V_{C_s}]^2 \right\} C_B \geq \frac{V_o^2}{R_o} t_{hold-up} \quad (100)$$

Reescrevendo a equação (100) para o pior caso ($V_{C_B} = V_{C_B \max}$) o valor da capacitância de barramento mínima pode ser obtido pela equação (101).

$$C_B \geq \frac{V_o^2 t_{hold-up}}{R_o V_{C_B \max}^2 [1 - (1 - \Delta V_{C_s})^2]} \quad (101)$$

A máxima tensão média aplicada nos capacitores de barramento pode ser estimada através da equação (102) obtida utilizando as equações (52), (53) e (8) com $V_{rede} = V_{redemax}$,

$$D_{Boostmin_ef} = 0 \text{ e } I_{Lo} = \frac{P_o}{V_o}.$$

$$V_{C_B \max} = \frac{V_{rede \max}^2}{V_{rede \max} - \frac{2 \cdot P_o \cdot L_d \cdot f_{ch}}{n V_o}} \quad (102)$$

4.3.4. Validação das Equações de Projeto

Os valores dos componentes calculados utilizando as equações anteriormente apresentadas para $\eta_{\min} = 0,73$, $P_{o\min} = 300W$, $R_o = 4,6 \Omega$, $\Delta D_{\max} = 0,1$, $V_o = 48V$, $V_{rede} = 110\sqrt{2} V$, $V_{redemax} = 121\sqrt{2} V$, $V_{redemin} = 99\sqrt{2} V$, $\Delta i_{Lo\%} \leq 60\%$, $\Delta v_{o\%} \leq 5\%$, $\Delta i_{entrada\%} \leq 30\%$, $t_{hold-up} = 16.667ms$, $C_s = 150 pF$ e $f_{ch} = 47kHz$ estão apresentados na Tabela 2. Os resultados obtidos através de simulação numérica para a tensão máxima da rede estão dispostos da Figura 46 à Figura 50 e resumidos na Tabela 3. Nota-se uma boa conformidade com os valores esperados validando, assim, as equações de projeto propostas.

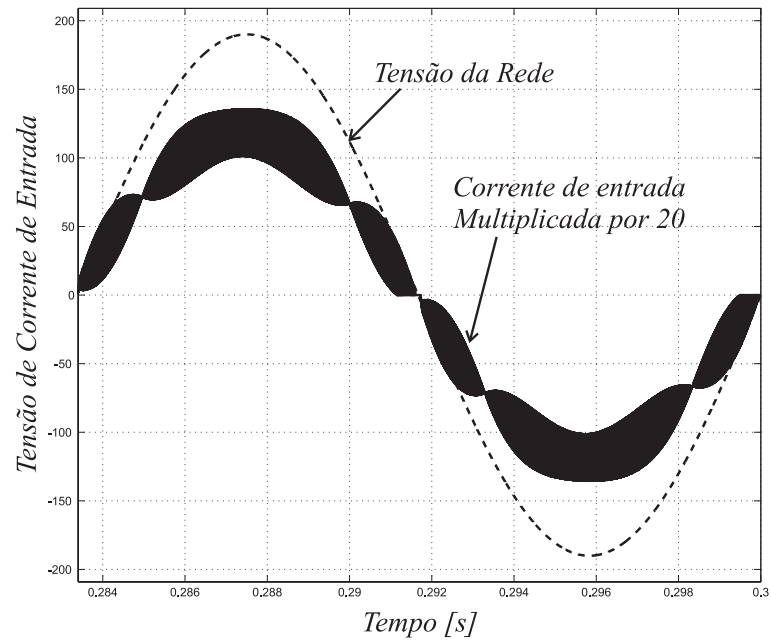


Figura 46 – Tensão da Rede e Corrente de Entrada multiplicada por 20.

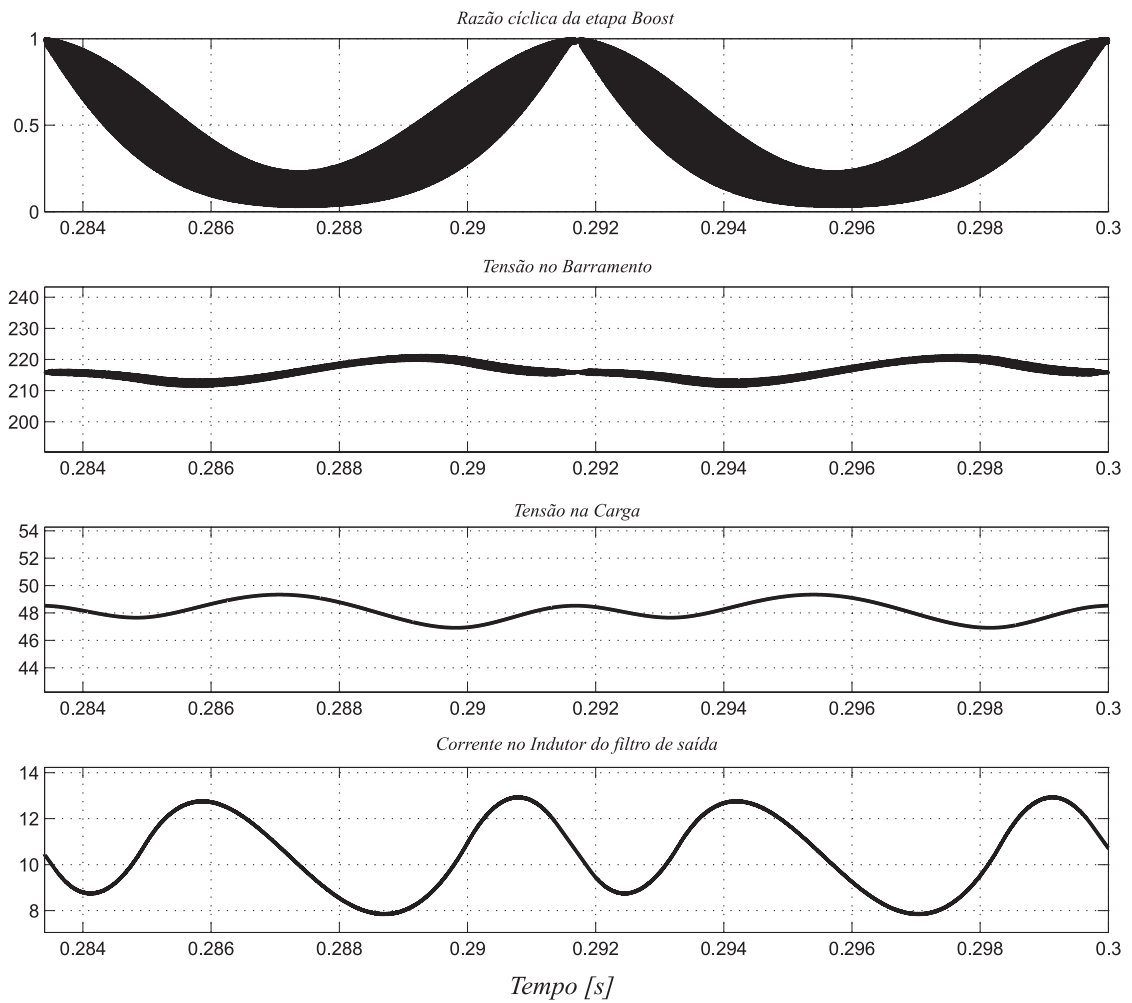


Figura 47 – Razão cíclica da etapa *Boost*, tensão no barramento, corrente no indutor do filtro de saída e tensão na carga.

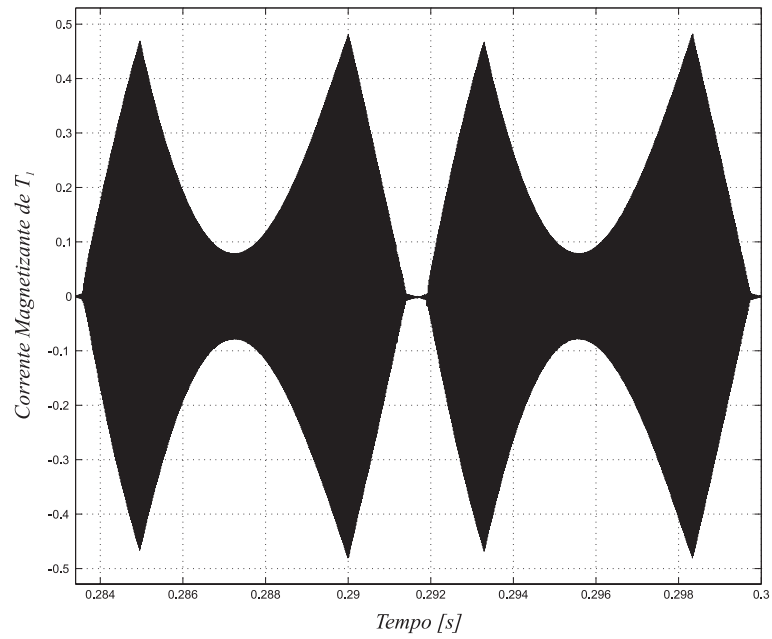


Figura 48 – Corrente de magnetização de T_1 .

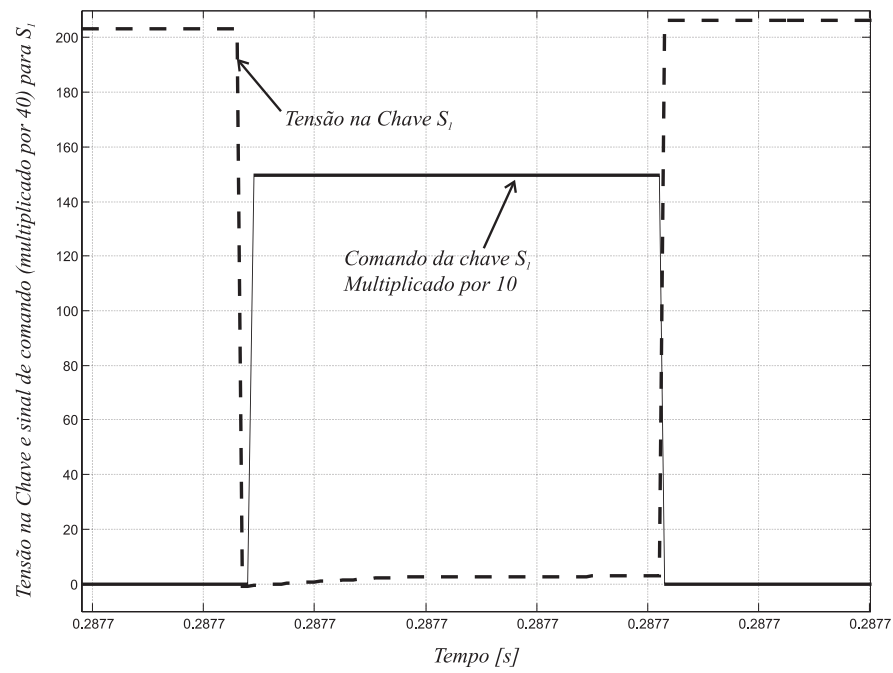


Figura 49 – Detalhe da comutação ZVS para a chave S_1 .

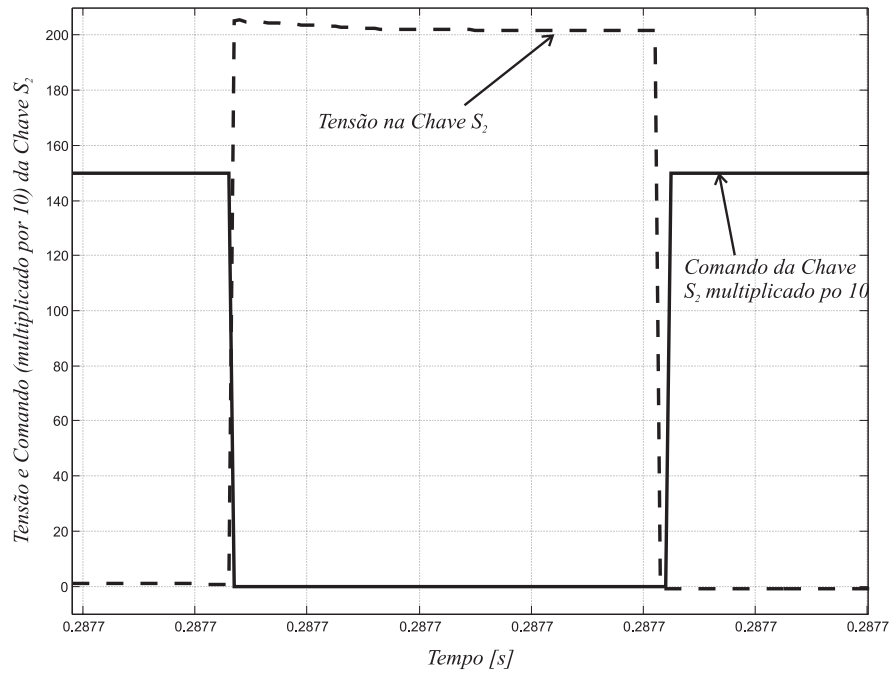


Figura 50 – Detalhe da comutação ZVS para a chave S_2 .

Elemento do Circuito	Valor
L_1, L_2	$260\mu H$
C_1, C_2	$600\mu F$
L_o	$13mH$
C_o	$1,9mF$
T_1	$n=1,58; L_m=2 mH$ e $L_d=25\mu H$

Tabela 2 – Valores obtidos através das equações de projeto propostas.

Parâmetro	Calculado	Simulado
Δi_{L_o}	6,26 (A)	5,10 (A)
Δv_o	2.4 (V)	2,42 (V)
$\Delta i_{entrada}$	1,97 (A)	2,00 (A)
$V_{C_B \max}$	211 (V)	216 (V)

Tabela 3 – Comparativo entre os valores calculados e os valores simulados.

4.4. Conclusões

Neste capítulo foram apresentadas as principais equações para o projeto dos principais elementos do conversor em estudo. Obteve-se boa conformidade entre os resultados de simulação e os calculados através das equações propostas.

Capítulo 5

RESULTADOS EXPERIMENTAIS

5.1. Introdução

Nesse Capítulo são apresentados resultados experimentais do protótipo implementado utilizando a estratégia de controle proposta, bem como uma descrição dos semicondutores, elementos magnéticos e circuitos auxiliares de controle e medição.

5.2. Circuito de Potência

Na Figura 51, está apresentado o esquemático do circuito de potência implementado. Para os diodos da ponte retificadora foi utilizado o diodo retificador 6A100 (corrente média máxima: 6A, tensão máxima reversa: 1000V). Para as chaves S_1 , S_2 , S_3 e S_4 , foi utilizado o MOSFET IRFP460A da *International Rectifier*. Suas principais características estão dispostas na Tabela 4. Para os retificadores ultra rápidos utilizados no estágio de saída (D_6 e D_7) foi utilizado o diodo 15ETH06 também da *International Rectifier*. Suas principais características estão dispostas na Tabela 5.

Parâmetros	Descrição	Valor
t_{rr}	Tempo de recuperação reversa	22 ns
$I_{F(av)}$	Corrente de condução direta média máxima	15 A
V_R	Máxima tensão de pico reversa	600 V
C_T	Capacitância de junção	20 pF

Tabela 5 – Principais características do diodo ultra rápido 15ETH06.

Os indutores *Boost* foram construídos utilizando o núcleo de ferrite EE42/15 da *Thornton*. Para o Transformador de alta frequência, foi utilizado o núcleo de ferrite da *Thornton* EE65/26 IP6. No apêndice B pode-se encontrar maiores detalhes tanto do projeto quanto das características dos materiais utilizados no transformador e nos indutores *Boost*.

5.3. Circuito de Controle

Para o controle do conversor optou-se por utilizar o controle digital. Foi o Kit da DIGILENT[®], cujo controlador lógico programável utilizado é o XC3S200-6FT256 da Xilinx, para implementar um PI preditivo, detalhado no apêndice C, para as malhas de corrente. A malha de tensão não foi implementada, visto que não é necessária para a comprovação da análise matemática apresentada nesse trabalho. Podem-se citar como principais características do controlador lógico programável utilizado:

- ❖ Interface de sinais de entrada e saída (E/S) selecionáveis
 - Até 173 pinos de E/S disponíveis;
 - Taxa de transferência de dados por pino de E/S de 622 Mb/s;
 - 18 padrões de sinais de E/S;
 - 8 padrões de sinais diferenciais de E/S;
 - Terminação por impedância digitalmente controlada;
 - Suporta DDR, DDR2 e SDRAM até 333 Mbps.

- ❖ Recursos Lógicos
 - Células lógicas abundantes com “*shift register*”;
 - Multiplexadores;
 - 12 Multiplicadores 18x18 bits dedicados;
- ❖ Memória RAM
 - Memória RAM distribuída: 30K bits
 - Memória RAM dedicada: 256K bits
- ❖ Gerenciador digital de clock (*Digital Clock Manager*)
- ❖ Células Lógicas: 4.320

Para a aquisição de dados, foi utilizado o conversor analógico-digital ADS8364Y da *Texas Instruments*. Esse conversor analógico-digital de 16 bits pode efetuar até seis conversões simultâneas e transmiti-las de forma paralela em 4 μ s. Suas principais características estão apresentadas na Tabela 6.

Característica
Tempo de conversão de 4 μ s para uma frequência de clock de 5 MHz.
Resolução de 16 bits
Máxima Frequência de Clock: 5 MHz externo.
Seis canais com conversores individuais e amostragem simultânea.
Máxima Frequência de Amostragem 250 mil amostras por segundo.

Tabela 6 – Principais características do conversor analógico-digital ADS8364Y.

5.4. Sensores

Para os sensores de corrente foi utilizado o sensor FHS49-P. Trata-se de um sensor de efeito Hall de baixo custo da LEM. Suas principais características estão apresentadas na Tabela 7. Na Figura 52, está apresentada a configuração utilizada no protótipo.

 Características

Transdutor de efeito Hall para medição isolada de corrente programável até $\pm 100A$

Tensão de alimentação de $5V$

Faixa de medição do campo magnético: $\pm 3,3mT$

Banda passante (-3dB): 105kHz (saída normal) ou 120kHz (saída rápida)

Sensibilidade máxima de $200mV/A$

Tabela 7 – Principais características do sensor de efeito Hall FHS49-P.

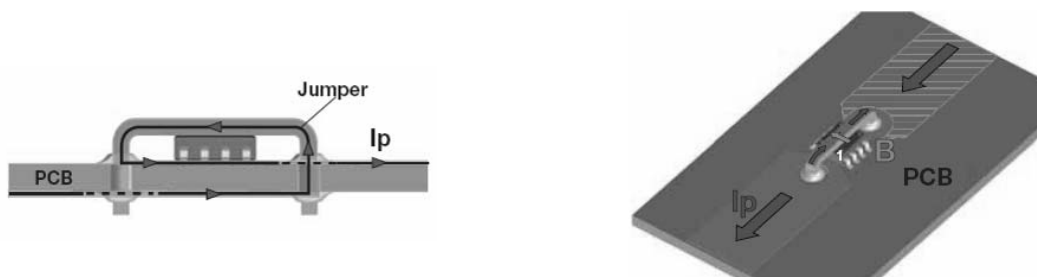


Figura 52 – Configuração utilizada no protótipo.

Para gerar a referência de corrente utilizou-se a tensão de entrada retificada. Como sensor foi utilizado um simples divisor resistivo.

Todas as medições passaram por filtros *anti-aliasing* para garantir a integridade das informações dos sinais após a amostragem.

5.5. Circuito de Acionamento das Chaves Semicondutoras

Para o acionamento das chaves semicondutoras foi utilizado o circuito da Figura 53. Trata-se de um *driver* para o acionamento das chaves em um braço com sinal de comando negativo. Esse circuito está baseado no CI HCPL316J da *AVAGO Technologies*. Na Tabela 8, estão suas principais características.

Parâmetros	Descrição	Valor
V_{offset}	Máxima tensão aplicada no braço	600 V
I_o	Corrente máxima de acionamento	2 A
DT	Tempo morto	330 ns

Tabela 8 – Principais características do CI HCPL316J.

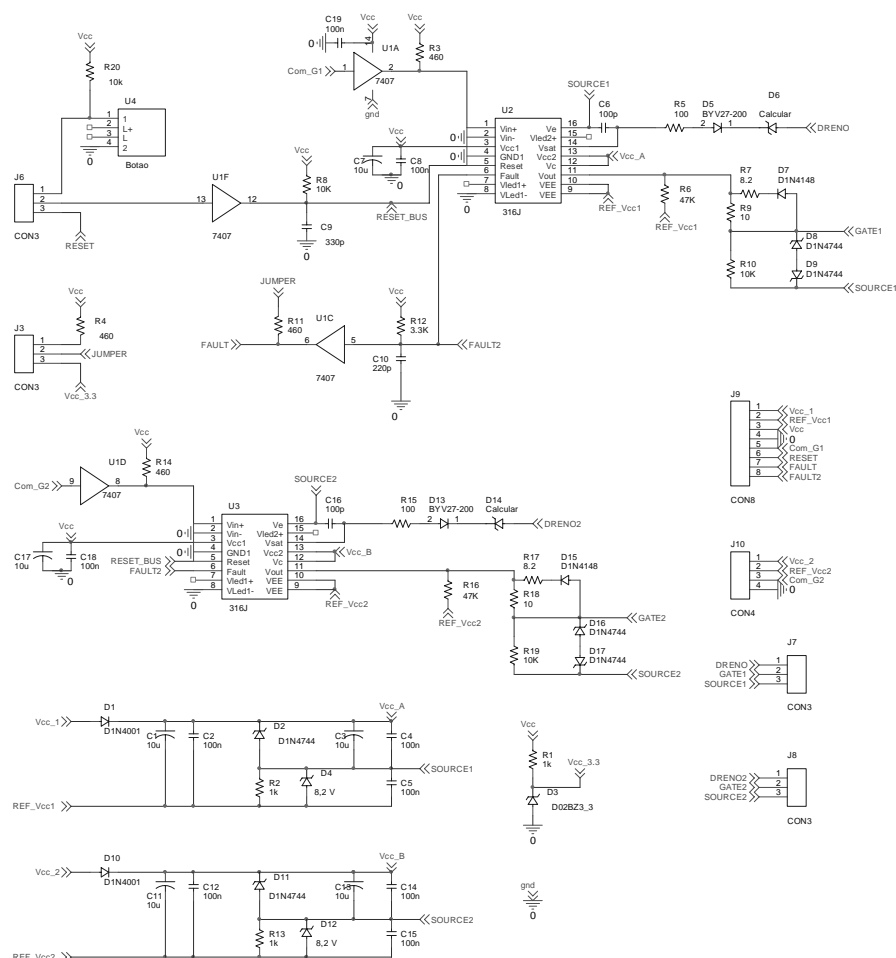


Figura 53 – Esquemático do circuito de acionamento das chaves.

5.6. Resultados Experimentais

Na seqüência estão apresentados os resultados experimentais obtidos. Na Tabela 9, estão os valores nominais dos componentes passivos utilizados no protótipo.

Elemento do Circuito	Valor
L_1, L_2	$260\mu H$
C_1, C_2	$940\mu F$
L_o	$14mH$
C_o	$4,4mF$
T_1	$n=1,58; L_m=2 mH$ e $L_d=20\mu H$

Tabela 9 – Valores nominais dos elementos passivos do circuito de potência do protótipo implementado.

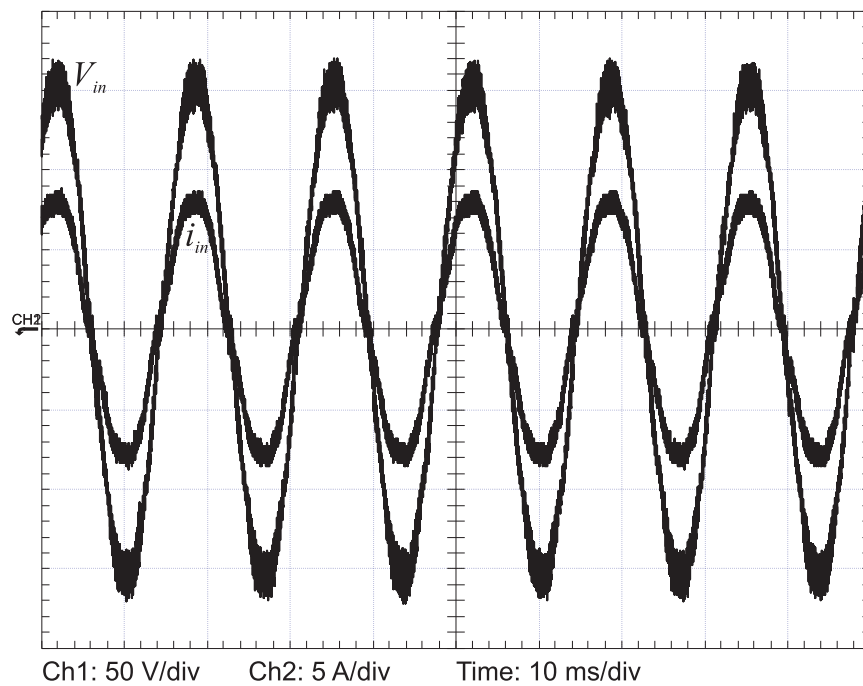


Figura 54 – Tensão e corrente de entrada.

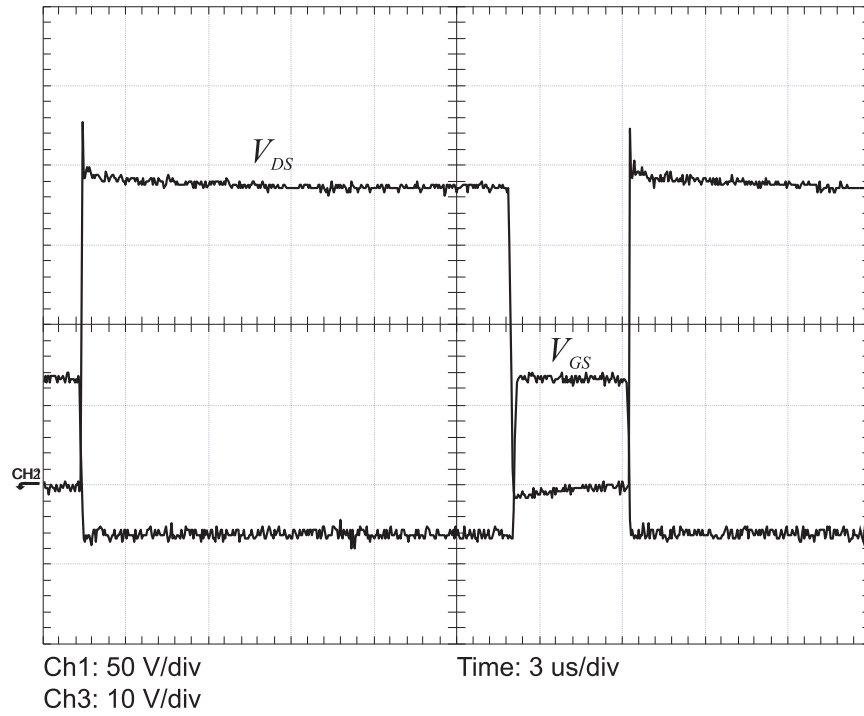


Figura 55 – Detalhe da comutação na chave S_1 com entrada em condução com tensão nula (ZVT).

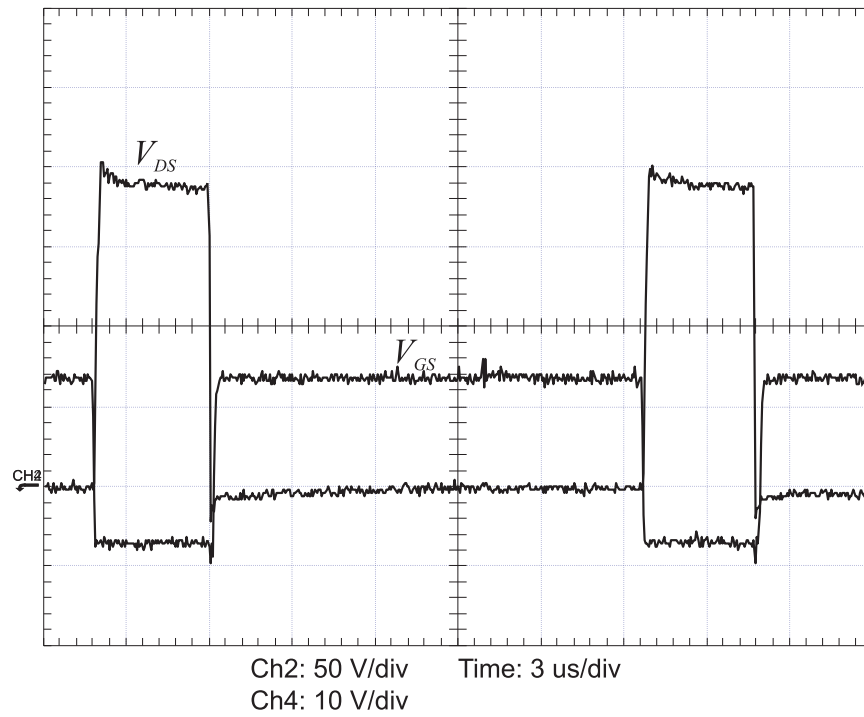


Figura 56 – Detalhe da comutação na chave S_2 com entrada em condução com tensão nula (ZVT).

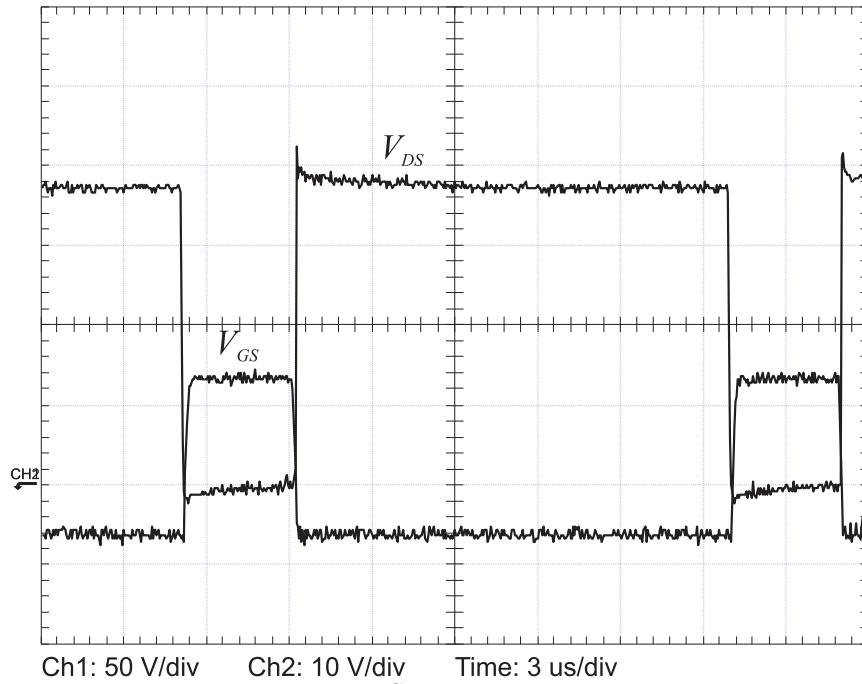


Figura 57 – Detalhe da comutação na chave S_3 com entrada em condução com tensão nula (ZVT).

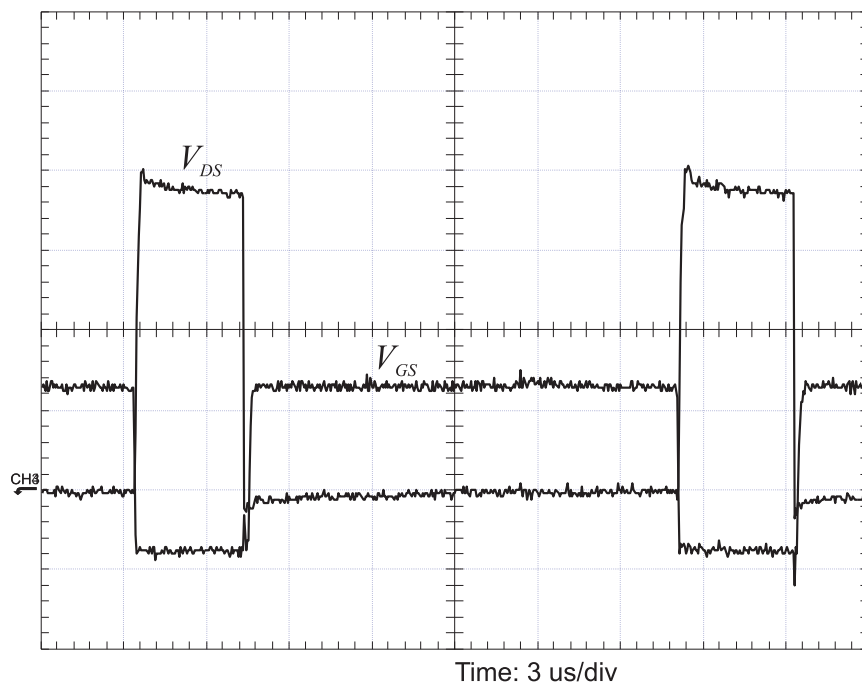


Figura 58 – Detalhe da comutação na chave S_4 com entrada em condução com tensão nula (ZVT).

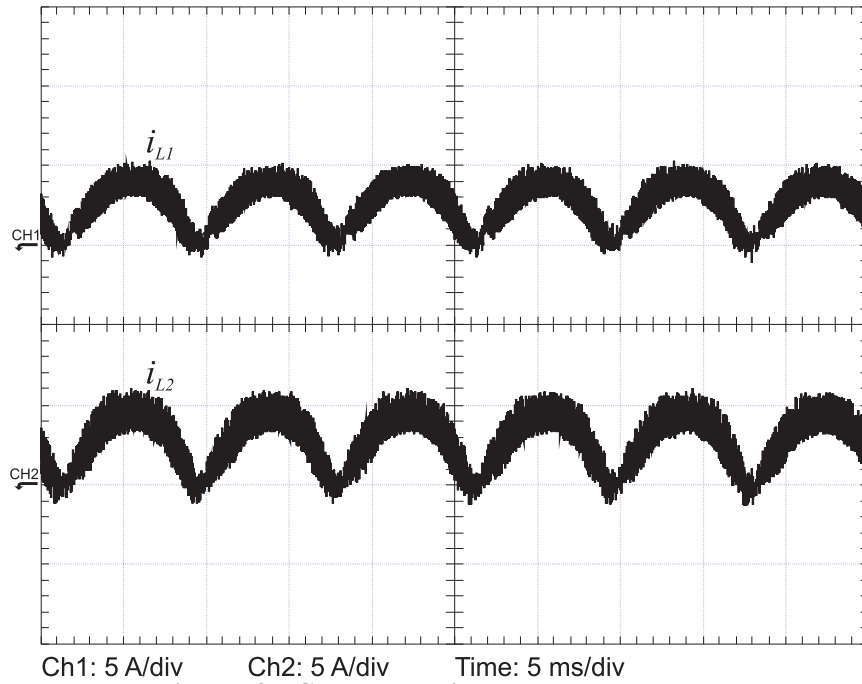


Figura 59 – Corrente nos indutores Boost, L_1 e L_2 .

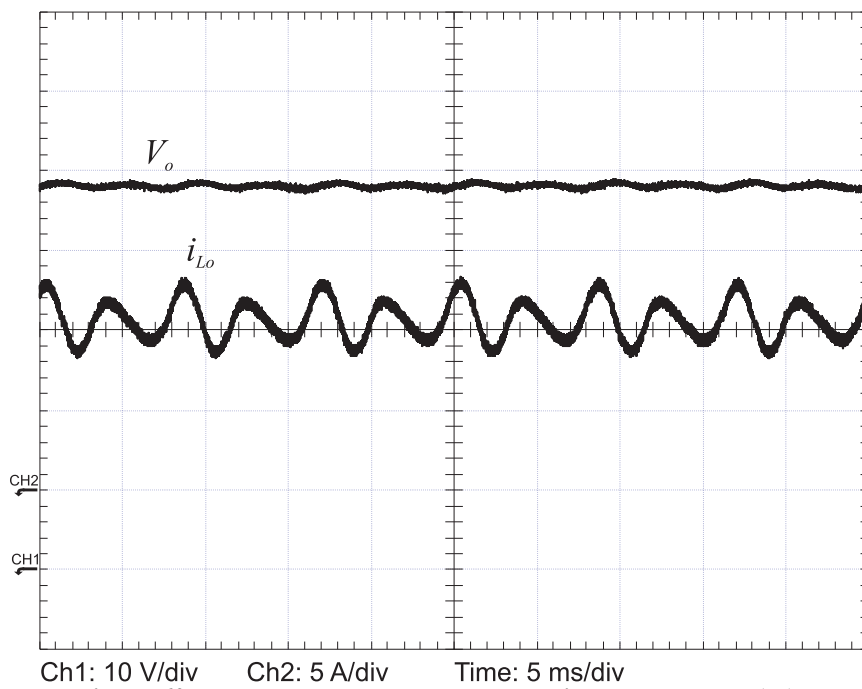


Figura 60 – Tensão na carga e corrente no indutor de saída (L_o).

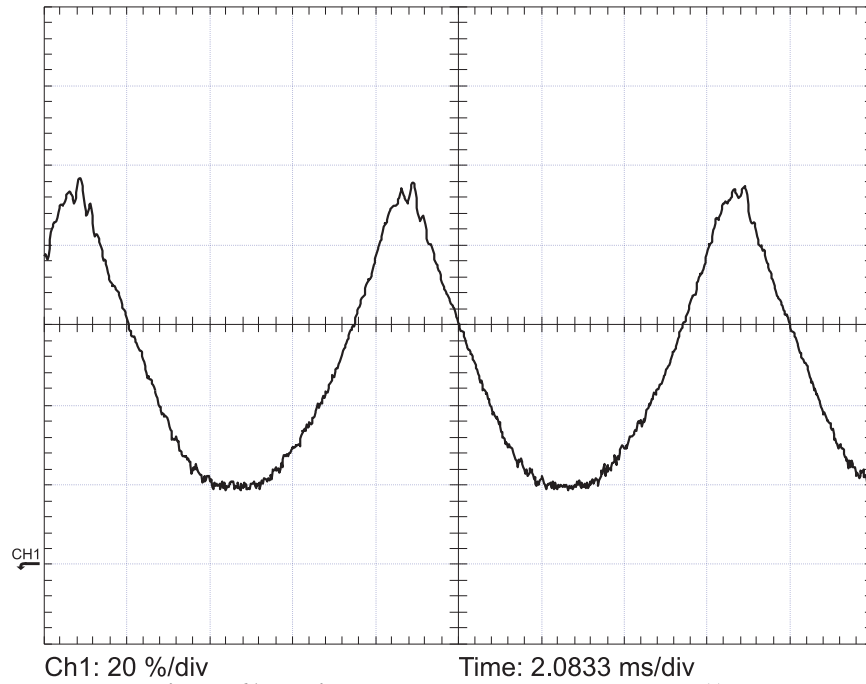


Figura 61 – Lei de controle da etapa Boost, $d_{\text{boost}}(t)$.

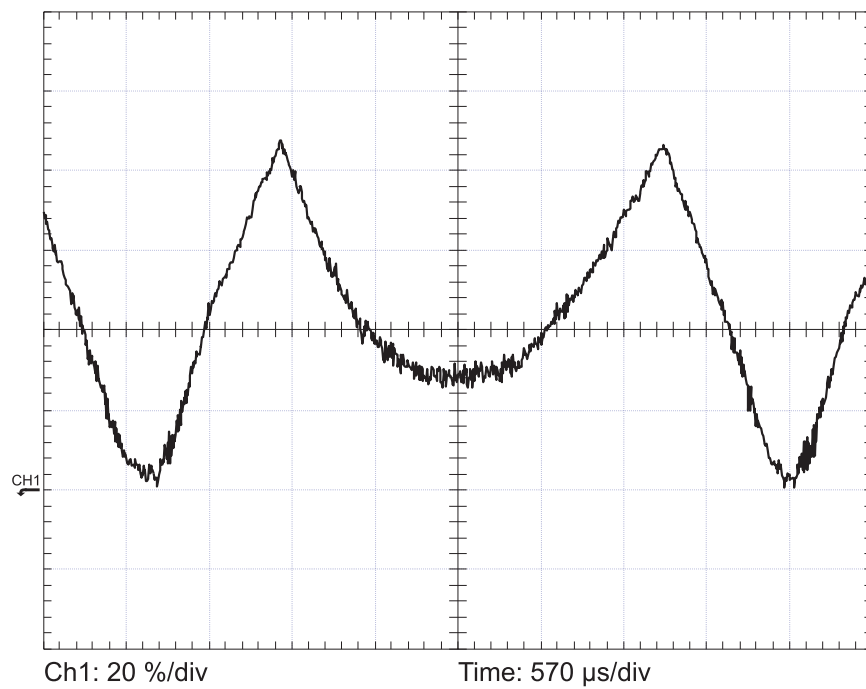


Figura 62 – Lei de controle da etapa Buck, $d_{\text{buck}}(t)$.

Capítulo 6

CONSIDERAÇÕES FINAIS

O presente trabalho contribui ao estudo de conversores CA-CC com um único estágio de potência (SSCs) apresentando a modelagem, o projeto e a implementação de um Conversor Isolado com um Único Estágio e Correção do Fator de Potência.

No Capítulo 2, foi demonstrado através de uma nova análise em regime permanente que, ao contrário do que é afirmado em [9], é possível controlar a corrente de entrada durante todo o período da rede. Foram estabelecidas as condições para que ocorra a desmagnetização do transformador de alta frequência T_l em um período de chaveamento bem como a minimização na energia reativa circulante no conversor. Por fim, foi proposta uma estratégia de controle que possibilitou o conversor operar nas condições anteriormente citadas, utilizando uma malha de controle amenos em comparação com a solução proposta em [9], fazendo com que o conversor opere em dois modos distintos dependendo do valor instantâneo da razão cíclica.

No Capítulo 3, foram obtidas as funções de transferências que descrevem o comportamento dinâmico do conversor operando nos dois modos. A análise matemática foi feita baseando-se no circuito médio equivalente derivado do conversor CC-CC equivalente. As análises teóricas foram validadas através de simulações numéricas tanto no domínio da frequência quanto no domínio do tempo.

No Capítulo 4 foram apresentadas as equações de projeto que garantem especificações como ondulação da corrente de entrada e da tensão de saída garantindo comutação suave (ZVS) para os MOSFETs utilizados dentro de uma faixa de variação de carga.

No Capítulo 5 foram apresentados os resultados experimentais à plena carga. Tais resultados ratificaram as análises teóricas apresentadas no Capítulo 2 reforçando os resultados obtidos em simulação.

Devido à componente de baixa frequência – resultante do controle da forma de onda da corrente de entrada, cuja fundamental tem uma frequência de 120Hz – o filtro de saída do conversor se tornou volumoso. Com isso, para que fosse viável a implementação do protótipo, foi limitada a potência de saída (500W) e a tensão de entrada ($110V_{rms}$). Com isso, verifica-se que a utilização do conversor analisado fica limitada às aplicações cujas especificações de ondulação na tensão de saída não sejam tão restritivas como, por exemplo, em sistemas distribuídos onde a ondulação máxima na carga é de 5%. Um exemplo de tal aplicação pode ser encontrado em [3].

Como sugestões para trabalhos futuros:

- Analisar e projetar o conversor com a utilização de n células *Boost* tanto no modo de condução contínuo quanto no modo de condução descontínuo;
- Analisar e projetar o conversor operando com o estágio de entrada no modo de condução descontínuo e o estágio de saída no modo de condução contínua buscando minimizar a tensão de barramento;
- Aplicar outras técnicas de comutação suave como ZCS e ZCZVS utilizando outras tecnologias de semicondutores como, por exemplo, IGBT's;
- Aperfeiçoar os modelos dinâmicos obtidos nesse trabalho através da inclusão de outras não-idealidades e/ou da utilização de outras técnicas de modelagem.

BIBLIOGRAFIA

- [1] Erickson, R. W., *Fundamentals of Power Electronics*, Second Edition ed. Secaucus, NJ, USA: Kluwer Academic Publishers, 2000.
- [2] Bhat, A. K. S. e Venkatraman, R., "A Soft-Switched Full-Bridge Single-Stage AC-to-DC Converter With Low-Line-Current Harmonic Distortion," *IEEE Transaction on Industrial Electronics*, vol. 52, pp. 1109-1116, 2005.
- [3] Yang, E. X., F. C. Lee et al., "Isolated Boost Circuit for Power Factor Correction," *presented at Applied Power Electronics Conference and Exposition*, 1993.
- [4] Andrade, M. A. P., "Conversor Boost Intercalado Aplicado à Correção do Fator de Potência," vol. Dissertação de Mestrado: Universidade Federal de Santa Maria, 2004.
- [5] Qiu, M., Moschopoulos, G., Pinheiro, H., e Jain, P., "A PWM full-bridge converter with natural input power factor correction," *IEEE PESC*, 1998.
- [6] Shumin, L., Moschopoulos, G., "A simple AC-DC PWM Full-Bridge Converter With Auxiliary Transformer Winding," *IEEE INTELEC '03*, pp. 216-223, 2003.
- [7] Redl, R., Balogh, L., e Sokal, N. O., "A new family of single-stage isolated power-factor correctors with fast regulation of the output voltage," *IEEE Power Electronics Specialists Conference*, 1994.
- [8] Li, S. e Moschopoulos, G., "Design Considerations for a Novel Single-Stage AC-DC PWM Full-Bridge Converter," *Applied Power Electronics Conference and Exposition*, 2004.
- [9] Tamioka, S., Terashi, H. e Ninomiya, T., "Interleaved-Boost-Input Type Isolated Full Bridge PFC Converter," *IEEE Power Electronics and Drives Systems International Conference on*, vol. 1, pp. 146-151, 2006.
- [10] Kim, T., Koo, G. et al., "A Single-Stage Power Factor Correction AC/DC Converter Based on Zero Voltage Switching Full Bridge Topology With Two Series-Connected Transformers," *IEEE Transaction on Industrial Electronics*, vol. 21, 2006, pp. 89-97.
- [11] Lu, Y.W., Zhang, W. e Liu, Y., "A large signal dynamic model for single-phase AC-to-DC converters with power factor correction," *IEEE Power Electronics Specialists Conference*, 2004.
- [12] Jung, Y. S., "Small-signal model-based design of digital current-mode control," *IEE Proceedings on Electric Power Applications*, 2005.
- [13] Hulielhel, F. A., Lee, F. C. e Cho, B. H., "Small-signal modeling of the single-phase boost high power factor converter with constant frequency control," *IEEE Power Electronics Specialists Conference*, 1992.
- [14] Hong, S, Park, H. e Choi, B, "Modeling and Small-Signal Analysis of Controlled On-Time Boost Power-Factor-Correction Circuit," in *IEEE Transactions on Industrial Electronics*, vol. 48, 2001.

- [15] Lin, J.L., Hsieh, J.C. e Tsai, T.H., “Dynamics Analysis of a Single-Stage Isolated High Power Factor Converter With a Magnetic Switch,” *IEE Proceedings on Electric Power Applications*, vol. 152, pp. 643-652, 2005.
- [16] Huliehel, F.A., Lee, F.C. e Cho, B.H., “Small-Signal Modeling of the Single-Phase Boost High Power Factor Converter With Constant Frequency Control,” *Power Electronics Specialists Conference*, vol. 1, pp.475-482, 1992.
- [17] Pan, J., Xie X; Zhang J.M. e Zhaoming Q., “A Novel Single-Stage DAB Power-Factor-Correction AC/DC Converter With Voltage Feedback,” *Power Electronics and Drive Systems*, vol. 2, pp. 1115 – 1119, 2003.
- [18] Xinke, W, Zhang, J.M, Xie, X.G, Zhaoming, Q, “A novel single-stage ZVSZCS PFC half-bridge AC-DC converter with reduced voltage stress,” *Power Electronics and Drive Systems*, vol. 1, pp. 97 – 101, 2003.
- [19] Tsai-Fu, W., Jin-Chyuan, H. et al., “A Single-Stage Fast Regulator With PFC Based on an Asymmetrical Half-Bridge Topology,” *IEEE Transactions on industrial Electronics*, vol. 52, n. 1, pp. 139-150, 2005.
- [20] Barbosa, P.M., Canales, F., Burdio, J.M. e Lee, F.C., “A three-level isolated power factor correction circuit with zero voltage switching,” *Power Electronics Specialists Conference. PESC 00*, vol. 1, pp. 347 – 352, 2000.
- [21] Qiao, C., Smedley, K.M., “A topology survey of single-stage power factor corrector with a boost type input-current-shaper,” *IEEE Transactions on Power Electronics*, vol. 16, n. 3, pp. 360 - 368, 2001.
- [22] Moschopoulos, G., Huang, W., “A ZVS current-fed AC-DC PWM full bridge converter,” *IEEE Canadian Conference on Electrical and Computer Engineering*, vol. 1, pp. 579 – 582, 2004.
- [23] Deng, W., Zhang, Bo, Hu, Z., “Analysis of a novel boundary conduction mode (BCM) and voltage control of buck capacitor in single-stage PFC circuit”, *IEEE Power Electronics and Motion Control Conference*, vol. 1, pp. 126 – 131, 2004.
- [24] Wennan, G., Jain, P.K., “Design optimization for steady state and dynamic performance of a single-stage power factor corrected AC-DC converter,” *IEEE Applied Power Electronics Conference and Exposition*, vol. 2, pp. 1206 – 1212, 2004.
- [25] Jinjun, L., Lee, F.C. et al., “Evaluation of power losses in different CCM mode single-phase boost PFC converters via a simulation tool,” *IEEE Industry Applications Conference*, vol. 4, pp. 2455 – 2459, 2001.
- [26] Bento, A.A., Jacobina, C.B. et al., “Improved Power Factor Interleaved Boost Converters Operating in Discontinuous-Inductor-Current Mode,” *IEEE Power Electronics Specialists Conference*, pp. 2642 – 2647, 2005.
- [27] Jung-Goo, C., Chang-Yong, J. et al., “Novel zero-voltage-transition current-fed full-bridge PWM converter for single-stage power factor correction,” *IEEE Transactions on Power Electronics*, vol. 13, n. 6, pp. 1005 – 1012, 1998.
- [28] Mollov, S.V., Forsyth, A.J., Nuttall, D.R., “Performance/Cost Comparison between Single-Stage and Conventional High Power Factor Correction Rectifiers,” *IEEE Power Electronics and Drives Systems*, vol. 2, pp. 876 – 881, 2005.
- [29] Luo, L.F., “Single-stage power factor correction AC/DC converter,” *IEEE Power Engineering Conference*, vol. 2, pp. 974 – 979, 2005.

- [30] Chow, M.H.L., Yim-Shu Lee, Tse, C.K., “Single-stage single-switch isolated PFC regulator with unity power factor, fast transient response, and low-voltage stress,” *IEEE Transactions on Power Electronics*, vol. 15, n. 1, pp. 156 – 163, 2000.
- [31] Venkatraman, R., Bhat, A.K.S., Edmunds, M., “ Soft-Switching Single-Stage AC-to-DC Converter With Low Harmonic Distortion,” *IEEE Transaction on Aerospace and Electronics Systems*, vol. 36, n. 4, pp. 1190 – 1203, 2000.
- [32] Wu, T., Yu, T., “Unified Approach to Developing Single-Stage Power Converters,” *IEEE Transaction on Aerospace and Electronics Systems*, vol. 34, n. 1, pp. 211 – 223, 1998.
- [33] Kang, F., Park, S., Kim, C., “ZVZCS Single-Stage PFC AC-to-DC Half-Bridge Converter,” *IEEE Transaction on Industrial Electronics*, vol. 49, n. 1, pp. 206 – 216, 2002.
- [34] Ficagna, P. C. S., Pinheiro, J. R., “An Isolated PFC Single-Stage Interleaved Full-Bridge Converter”, *IEEE Power Electronics Specialists Conference*, pp 2934-2940, June 2008.
- [35] McLyman, C.W.T., *Transformer and Inductor Design Handbook*, Third Edition, Revised and Expanded, California, USA: Marcel Dekker, 2004.
- [36] C. T. Chen, *Analog & Digital Control System Design: Transfer-Function, State-Space, and Algebraic Methods*, Oxford University Press, USA, 1993.

Apêndice A

CÁLCULO DA ONDULAÇÃO DE TENSÃO E DE CORRENTE NO FILTRO DE SAÍDA

Para o cálculo do filtro de saída, o estágio de saída será representado pelo circuito da Figura A. 1. Como o objetivo do filtro é atenuar a componente de baixa frequência tanto da tensão de saída quanto da corrente no indutor L_o , as componentes de frequência da ordem da frequência de chaveamento podem ser desprezadas, pois $f_{ch} \gg 2f_{rede}$.

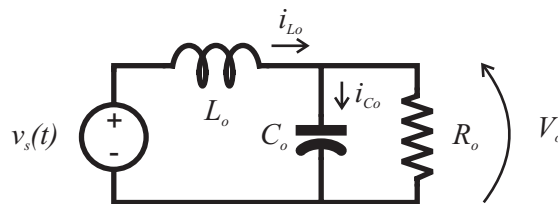


Figura A. 1 – Representação simplificada do estágio de saída do conversor.

A fonte de tensão $v_s(t)$ é definida pela equação (A.1). Na Figura A. 2, está apresentada o gráfico da função $f_1(t)$. Representando a função $f_1(t)$ através da série trigonométrica de Fourier compacta, tem-se a equação (A.2).

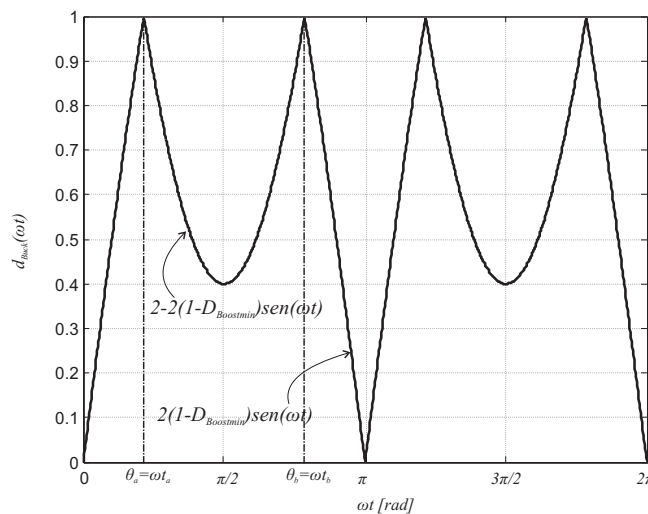


Figura A. 2 – Gráfico da função $f_1(t)$.

$$v_s(t) = \frac{V_C}{n} f_1(t) \quad (\text{A.1})$$

$$f_1(t) = a_o + \sum_{m=1}^{\infty} c_m \cos(4m\pi f_{rede} t + \varphi_m) \quad (\text{A.2})$$

Onde:

$$c_m = \sqrt{\delta_m^2 + \alpha_m^2} \quad (\text{A.3})$$

$$\varphi_m = -\tan^{-1}\left(\frac{\alpha_m}{\delta_m}\right) \quad (\text{A.4})$$

$$\delta_m = 4f_{rede} \int_0^{0,5f_{rede}} g(t) \cos(4m\pi f_{rede} t) dt \quad (\text{A.5})$$

$$\alpha_m = 4f_{rede} \int_0^{0,5f_{rede}} g(t) \text{sen}(4m\pi f_{rede} t) dt \quad (\text{A.6})$$

$$\begin{aligned} g(t) = & 2(1 - D_{Boost\ min}) \text{sen}(2\pi f_{rede} t) [u(t) - u(t - t_a)] + \\ & + [2 - 2(1 - D_{Boost\ min}) \text{sen}(2\pi f_{rede} t)] [u(t - t_a) - u(t - t_b)] + \\ & + 2(1 - D_{Boost\ min}) \text{sen}(2\pi f_{rede} t) \left[u(t - t_b) - u\left(t - \frac{0,5}{f_{rede}}\right) \right] \end{aligned} \quad (\text{A.7})$$

$$\begin{aligned} u(t) = & 0, \text{ para } t < 0 \\ & e \\ u(t) = & 1, \text{ para } t \geq 0 \end{aligned} \quad (\text{A.8})$$

O termo a_o é o valor médio da função $f_1(t)$ e está definido no capítulo 2 pela equação (14).

Substituindo as equações (A.5) e (A.6) em (A.3) e (A.4) resulta nas equações (A.9) e (A.10).

$$\begin{aligned} c_m = & \frac{4}{m\pi} \text{sen}(4m\pi f_{rede} t_x) - \frac{16(1 - D_{Boost\ min})}{\pi(4m^2 - 1)} 0,5 \cos(m\pi) - \\ & - \frac{16(1 - D_{Boost\ min})}{\pi(4m^2 - 1)} \left\{ 2m \text{sen}\left(2\pi f_{rede} \left(\frac{0,5}{f_{rede}} - t_a\right)\right) \text{sen}(4m\pi f_{rede} t_x) \cos(4m\pi f_{rede} t_x) \right\} \end{aligned} \quad (\text{A.9})$$

$$\varphi_m = -m\pi \quad (\text{A.10})$$

$$t_x = \frac{1}{4f_{rede}} - t_a \quad (\text{A.11})$$

$$t_a = \frac{1}{2\pi f_{rede}} \text{sen}^{-1}\left(\frac{0,5}{1 - D_{Boost\ min} e f}\right) \quad (\text{A.12})$$

Do circuito da Figura A. 1, desprezando-se a ondulação na tensão de saída:

$$L_o \frac{d}{dt} i_{L_o}(t) = \frac{V_C}{n} f_1(t) - V_o \quad (\text{A.13})$$

Como, do Capítulo 2, $\frac{V_C}{n} a_o = V_o$, a equação (A.13) pode ser reescrita conforme (A.14)

:

$$i_{L_o}(t) = \left[\frac{V_C}{nL_o} \sum_{m=1}^{\infty} \frac{c_m}{4m\pi f_{rede}} \text{sen}(4m\pi f_{rede}t + \varphi_m) \right] + \frac{V_o}{R_o} \quad (\text{A.14})$$

Sendo $i_{C_o}(t) = i_{L_o}(t) - \frac{V_o}{R_o}$, tem-se a equação (A.15).

$$i_{C_o}(t) = \frac{V_C}{nL_o} \sum_{m=1}^{\infty} \frac{c_m}{4m\pi f_{rede}} \text{sen}(4m\pi f_{rede}t + \varphi_m) \quad (\text{A.15})$$

Logo:

$$v_{C_o}(t) = \left\{ \frac{V_C}{nL_o C_o} \sum_{m=1}^{\infty} \frac{c_m}{16m^2 \pi^2 f_{rede}^2} [\cos(m\pi) - \cos(4m\pi f_{rede}t + \varphi_m)] \right\} + V_o \quad (\text{A.16})$$

Aproximando as equações (A.15) e (A.16) pelas equações (A.17) e (A.18), L_o será dada pela equação (A.19) e C_o por (A.20), ambas considerando o pior caso, ou seja, $V_{rede} = V_{redemax}$ e $D_{Boostmin} = 0$.

$$\tilde{i}_{L_o}(t) = \left[\frac{V_C}{nL_o} \sum_{m=1}^2 \frac{c_m}{4m\pi f_{rede}} \text{sen}(4m\pi f_{rede}t - m\pi) \right] + \frac{V_o}{R_o} \quad (\text{A.17})$$

$$\tilde{v}_{C_o}(t) = \left[\frac{V_C}{16n\pi^2 f_{rede}^2 C_o L_o} \sum_{m=1}^2 \frac{c_m}{m^2} [\cos(m\pi) - \cos(4m\pi f_{rede}t - m\pi)] \right] + V_o \quad (\text{A.18})$$

$$L_o = \frac{V_C}{4n\pi f_{rede} \Delta i_{L_o}} k \quad (\text{A.19})$$

$$C_o = \frac{V_C}{8n\pi^2 f_{rede}^2 L_o \Delta v_{C_o}} b \quad (\text{A.20})$$

Onde:

$$k = \left| \frac{a}{2} (\sin(8\pi f_{rede} t_1) - \sin(8\pi f_{rede} t_2)) + b (\sin(4\pi f_{rede} t_2) - \sin(4\pi f_{rede} t_1)) \right| \quad (\text{A.21})$$

$$a = \frac{2}{\pi} \sin(4\theta) - \frac{16}{15\pi} \gamma \begin{pmatrix} 0,5 + 4 \cos \theta \sin(4\theta) \\ -\sin \theta \cos(4\theta) \end{pmatrix} \quad (\text{A.22})$$

$$b = \frac{4}{\pi} \sin(2\theta) - \frac{16}{3\pi} \gamma \begin{pmatrix} 2 \cos \theta \sin(2\theta) \\ -\sin \theta \cos(2\theta) - 0,5 \end{pmatrix} \quad (\text{A.23})$$

$$\gamma = 1 - \frac{2V_o L_d f_s}{nR_o V_{rede \max} + 2V_o L_d f_s} \quad (\text{A.24})$$

$$\theta = \frac{\pi}{2} - \sin^{-1} \left(\frac{0,5}{\gamma} \right) \quad (\text{A.25})$$

$$t_1 = \frac{1}{4\pi f_{rede}} \left[\pi + \cos \left(-\frac{b}{a} - \frac{\sqrt{4b^2 + 2a^2}}{2a} \right) \right] \quad (\text{A.26})$$

$$t_2 = \frac{1}{4\pi f_{rede}} \left[\pi - \cos \left(-\frac{b}{a} - \frac{\sqrt{4b^2 + 2a^2}}{2a} \right) \right] \quad (\text{A.27})$$

Os tempos t_1 e t_2 foram calculados considerando os pontos de máximos e mínimos da equação (A.17). De forma semelhante, a equação (A.20) é obtida considerando os pontos de máximo e mínimo da equação (A.18).

Utilizando a (A.30), as equações (A.19) e (A.20) podem ser reescritas obtendo-se (A.28) e (A.29).

$$L_o = \frac{V_{rede \max}}{4n\pi f_{rede} (1 - \Delta D(0)) \Delta i_{L_o}} k \quad (\text{A.28})$$

$$C_o = \frac{V_{rede \max}}{8n\pi^2 f_{rede}^2 (1 - \Delta D(0)) L_o \Delta v_{C_o}} b \quad (\text{A.29})$$

$$V_{C_{\max}} = \frac{V_{rede \max}}{1 - \Delta D(0)} \quad (\text{A.30})$$

Apêndice B

PROJETO DOS MAGNÉTICOS

B.1. Projeto dos Indutores Boost

Utilizando o método $AeAw$ [35] com os dados de entrada:

- Indutância nominal (L_l): $290 \mu H$;
- Frequência de chaveamento (f_{ch}): $47 kHz$;
- Tensão de pico mínima de entrada ($V_{redemin}$): $95 V$;
- Rendimento estimado (η): $0,9$;
- Potência Nominal de Saída (P_o): $500 W$;
- Ondulação máxima de corrente (Δi_{Lmax}): $0,6$;
- Densidade de fluxo magnético máximo (B_{max}): $0,3 T$ para o ferrite IP6 da Thornton;
- Fator de utilização da área da janela (K_u): $0,4$;
- Densidade de corrente (J): $420 A/cm^2$.

O projeto dos indutores *Boost* será dado como apresentado na seqüência.

Dada a potência de entrada, o rendimento estimado do conversor e a mínima tensão de pico de operação, a máxima corrente média em um período de chaveamento para cada indutor Boost será dada pela equação (B.1).

$$I_{L, \max} = \frac{P_o}{\eta V_{redemin}} \quad (B.1)$$

Assim, a máxima corrente de pico no indutor será dada pela equação (B.2).

$$I_{L_1pk\max} = I_{L_1\max} \left(1 + \frac{\Delta i_{L\max}}{2} \right) \quad (\text{B.2})$$

A corrente eficaz no enrolamento do indutor pode ser estimada pela equação (B.3).

$$I_{L_1rms} = I_{L_1\max} \sqrt{1 + \Delta i_{L\max}^2} \quad (\text{B.3})$$

Através de (B.4), escolhe-se o núcleo que atenda a inequação (B.5).

$$AeAw_{\min} = \frac{L_1 I_{L_1\max} I_{L_1rms}}{K_u B_{\max} J} 10^4 \quad [cm^4] \quad (\text{B.4})$$

$$AeAw_{\text{núcleo}} \geq AeAw_{\min} \quad (\text{B.5})$$

Portanto optou-se por utilizar o núcleo da Thornton E42/15 IP6 cujo produto $AeAw$ é de 2,842 cm⁴ atendendo, assim, a inequação (B.5). Na Tabela B. 1, estão apresentadas as principais características do núcleo escolhido.

Parâmetro	Valor
$Ae_{\text{núcleo}}$	1,81 cm ²
$Aw_{\text{núcleo}}$	1,57 cm ²
$AeAw_{\text{núcleo}}$	2,84 cm ⁴
$l_{\text{núcleo}}$	8,7 cm
$l_{e\text{núcleo}}$	9,7 cm
B_{\max}	0,3 T

Tabela B. 1 – Principais características do núcleo E42/15 IP6.

Escolhido o núcleo, o número de espiras será calculado utilizando a equação (B.6).

$$N_{\text{esp}L_1} = \frac{L_1 I_{L_1\max}}{Ae_{\text{núcleo}} B_{\max}} 10^4 \quad (\text{B.6})$$

O entreferro necessário pode ser dado por (B.7).

$$l_g = 4\pi 10^{-7} \frac{N_{\text{espl}_1}^2 A e_{\text{núcleo}}}{L_1} \quad [cm] \quad (\text{B.7})$$

Considerando o efeito *Skin*, a bitola do fio escolhido de ser tal que atenda a inequação (B.8). Onde $S_{w_{\text{Skin}}}$ é dado por (B.9).

$$S_{w_{\text{AWG}}} \leq S_{w_{\text{Skin}}} \quad (\text{B.8})$$

$$S_{w_{\text{Skin}}} = \pi \left(\frac{7,5}{\sqrt{f_{\text{ch}}}} \right)^2 \quad [cm^2] \quad (\text{B.9})$$

Escolhido a bitola do fio, calcula-se o número de fios em paralelo através de (B.10) deforma que a densidade de corrente não ultrapasse o parâmetro de projeto J .

$$N_{w_{\text{AWG}}} \geq \frac{I_{L_1 \text{rms}}}{JS_{w_{\text{AWG}}}} \quad (\text{B.10})$$

A verificação da possibilidade de montagem do indutor pode ser realizada utilizando-se (B.11).

$$K_u \geq \frac{N_{\text{espl}_1} S_{w_{\text{AWG}}} N_{w_{\text{AWG}}}}{Aw_{\text{núcleo}}} \quad (\text{B.11})$$

Para o cálculo das perdas e da elevação de temperatura será utilizada a resistividade do cobre para a temperatura de 100°C, ou seja:

$$\rho = 0,000353 \quad [\Omega / cm @ 100^\circ C] \quad (\text{B.12})$$

Assim, as perdas no enrolamento serão dadas por (B.13) e as perdas no núcleo por (B.14).

$$P_w = \frac{\rho l_{\text{núcleo}} N_{\text{espl}_1}}{N_{w_{\text{AWG}}}} I_{L_1 \text{rms}}^2 \quad [W] \quad (\text{B.13})$$

$$P_{\text{núcleo}} = \Delta B^{2,4} (k_h f_{\text{ch}} + k_f f_{\text{ch}}^2) A e_{\text{núcleo}} l_{e_{\text{núcleo}}} \quad [W] \quad (\text{B.14})$$

Onde:

$$\Delta B = \frac{\Delta i_{L \text{max}}}{2} B_{\text{max}} \quad [T] \quad (\text{B.15})$$

Logo, a elevação de temperatura pode ser estimada por (B.16).

$$\Delta T_{L_1} = 23 (P_w + P_{\text{núcleo}}) (A e A w_{\text{núcleo}})^{-0,37} \quad [^\circ C] \quad (\text{B.16})$$

Na Tabela B. 2, está apresentado o resumo do projeto dos indutores *Boost* L_1 e L_2 .

Parâmetro	Valor
Núcleo utilizado	E45/15 IP6
Enrolamento	39 espiras construídas com 6 fios AWG20 em paralelo
Indutância nominal (L_1 e L_2)	290 μH
Resistência do enrolamento	20 $m\Omega$
Entreferro	0,12 cm

Tabela B. 2 – Resumo dos resultados do projeto dos indutores Boost.

Para todas as equações as correntes são dadas em Ampere, as tensões em Volts, a indutância em Henry, as distâncias em centímetros e as áreas em centímetros quadrados.

B.2. Projeto do Transformador de Alta Freqüência

Utilizando o método *AeAw* [35] com os dados de entrada:

- Freqüência de chaveamento (f_{ch}): 47 kHz ;
- Tensão máxima de barramento mais margem de segurança ($1,2V_{C_B \max}$): 250 V ;
- Rendimento estimado (η): 0,9;
- Relação de transformação (n): 1.58;
- Potência Nominal de Saída (P_o): 500 W ;
- Perdas máximas (P_{\max}): 5 W ;
- Corrente eficaz no primário ($I_{p_{rms}}$): 6,2 A ;
- Corrente eficaz em cada secundário ($I_{s_{rms}}$): 5,2 A ;
- Densidade de fluxo magnético máximo (ΔB_{\max}): 0,25 T para o ferrite IP6 da Thornton;

- Fator de utilização da área da janela (K_u): 0,4;
- Fator de ocupação do primário (K_p): 0,415;
- Densidade de corrente (J): 280 A/cm^2 .

O projeto do Transformador de alta frequência será dado como apresentado na seqüência.

Através de (B.17), escolhe-se o núcleo que a tenda a inequação (B.18).

$$AeAw_{\min} = \frac{V_{C_b \max} I_{p, rms}}{2\eta K_u K_p \Delta B_{\max} f_{ch}} 10^4 \quad [\text{cm}^4] \quad (\text{B.17})$$

$$AeAw_{\text{núcleo}} \geq AeAw_{\min} \quad (\text{B.18})$$

Portanto optou-se por utilizar o núcleo da Thornton E65/26 IP6 cujo produto $AeAw$ é de $22,842 \text{ cm}^4$ atendendo, assim, a inequação (B.18). As principais características do núcleo escolhido estão apresentadas na Tabela B. 3.

Parâmetro	Valor
$Ae_{\text{núcleo}}$	$5,32 \text{ cm}^2$
$Aw_{\text{núcleo}}$	$4,3 \text{ cm}^2$
$AeAw_{\text{núcleo}}$	$22,87 \text{ cm}^4$
$l_{\text{núcleo}}$	$14,3 \text{ cm}$
$l_{e \text{ núcleo}}$	$17,7 \text{ cm}$
ΔB_{\max}	$0,25 \text{ T}$

Tabela B. 3 – Principais características do núcleo E65/26 IP6.

Escolhido o núcleo, o número de espiras será calculado utilizando a equação (B.19).

$$N_p = \frac{V_{C_b \max}}{2Ae_{\text{núcleo}} B_{\max} f_{ch}} 10^4 \quad (\text{B.19})$$

O número de espiras de cada secundário será dado por (B.20).

$$N_s = \frac{N_p}{n} \quad [cm] \quad (B.20)$$

Considerando o efeito Skin, a bitola do fio escolhido deve ser tal que atenda a inequação (B.21), onde $S_{w_{Skin}}$ é dado por (B.22).

$$S_{w_{AWG}} \leq S_{w_{Skin}} \quad (B.21)$$

$$S_{w_{Skin}} = \pi \left(\frac{7,5}{\sqrt{f_{ch}}} \right)^2 \quad [cm^2] \quad (B.22)$$

Escolhido a bitola do fio, AWG24, calcula-se o número de fios em paralelo para o enrolamento do primário, através de (B.23), e para os enrolamentos dos secundários, através de (B.24).

$$N_{w_{AWGP}} \geq \frac{I_{p_{rms}}}{JS_{w_{AWG}}} \quad (B.23)$$

$$N_{w_{AWGS}} \geq \frac{I_{s_{rms}}}{JS_{w_{AWG}}} \quad (B.24)$$

A verificação da possibilidade de montagem do transformador pode ser realizada utilizando-se (B.25).

$$K_u \geq \frac{(N_p N_{w_{AWGP}} + 2N_s N_{w_{AWGS}}) S_{w_{AWG}}}{Aw_{nucleo}} \quad (B.25)$$

Para o cálculo das perdas e da elevação de temperatura será utilizada a resistividade do fio escolhido (AWG24) para a temperatura de 100°C, ou seja:

$$\rho = 0,000353 \quad [\Omega / cm @ 100^\circ C] \quad (B.26)$$

Assim, as perdas no enrolamento serão dadas por (B.27) e as perdas no núcleo por (B.28).

$$P_w = \frac{\rho l_{nucleo} N_p}{N_{w_{AWGP}}} I_{p_{rms}}^2 + 2 \frac{\rho l_{nucleo} N_s}{N_{w_{AWGS}}} I_{s_{rms}}^2 \quad [W] \quad (B.27)$$

$$P_{nucleo} = \Delta B_{max}^{2,4} (k_h f_{ch} + k_f f_{ch}^2) A e_{nucleo} l_{e_{nucleo}} \quad [W] \quad (B.28)$$

Logo, a elevação de temperatura pode ser estimada por (B.29).

$$\Delta T_{T_1} = 23 (P_w + P_{nucleo}) (A e A w_{nucleo})^{-0,37} \quad (B.29)$$

Na Tabela B. 4, está apresentado o resumo do projeto do transformador de alta frequência.

Parâmetro	Valor
Núcleo utilizado	E65/26 IP6
Enrolamentos	Primário: 20 espiras construídas com 11 fios AWG24 em paralelo Secundários: 13 espiras construídas com 9 fios AWG24 em paralelo
Indutância magnetizante	2 mH
Indutância de dispersão	$25\ \mu\text{H}$
Resistência dos enrolamentos	Primário: $29\text{ m}\Omega$ Secundários: $23\text{ m}\Omega$
Relação de transformação (N_p/N_s)	1,54

Tabela B. 4 – Resumo dos resultados do projeto do transformador de alta frequência.

Para todas as equações as correntes são dadas em Ampere, as tensões em Volts, a indutância em Henry, as distâncias em centímetros e as áreas em centímetros quadrados.

Apêndice C

PROJETO DO CONTROLADOR DA MALHA DE CORRENTE

C.1. Introdução

Para o projeto do controlador digital da malha de corrente, foi utilizada a metodologia apresentada em [36]. A lei de controle PI é largamente utilizada na literatura para este propósito e será a adotada.

A metodologia consiste em obter o controlador analógico e posteriormente discretizá-lo utilizando uma das seguintes técnicas de transformação no domínio da frequência:

- Método de Eüler;
- Transformação Bilinear;
- Mapeamento de Pólos e Zeros.

O controlador deve garantir:

- ✓ Margem de fase entre 45 e 90 graus e margem de ganho positiva;
- ✓ O sistema em malha fechada possua uma frequência de corte, f_o , pelo menos dez vezes menor que a frequência de amostragem, f_a .

C.2. Projeto do Controlador Analógico

O diagrama de blocos da malha de corrente a ser projetada está apresentado na Figura C. 1. Para a planta de corrente, será utilizada a equação (C.1) obtida da modelagem apresentada no capítulo 3 equação (35). Na equação (C.2) tem-se o controlador adotado.

$$G_{i\bar{d}}(s) = \frac{V_C}{sL} \quad (C.1)$$

$$C_i(s) = k_p + \frac{k_i}{s} \quad (C.2)$$

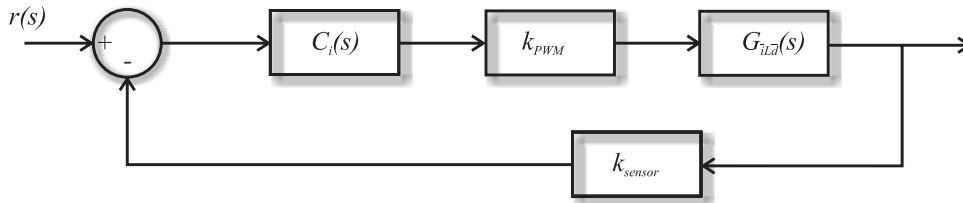


Figura C. 1 – Diagrama de blocos da malha de corrente do conversor.

Os ganhos do modulador PWM e do sensor de corrente serão considerados apenas no processo de quantização quando for obtida a equação que será implementada no FPGA. Para o projeto analógico, ambos os ganhos serão considerados unitários.

Fechando-se a malha tem-se:

$$G_{io}(s) = \frac{C_i G_{i\bar{d}}}{1 + C_i G_{i\bar{d}}} = \frac{\frac{V_C k_p}{L} s + \frac{V_C k_i}{L}}{s^2 + \frac{V_C k_p}{L} s + \frac{V_C k_i}{L}} \quad (C.3)$$

Os ganhos do controlador serão calculados de forma a obter a função de transferência de malha fechada desejada, $G_o(s)$, escrita na forma apresentada na equação (C.4). Sendo $G_o(s) = G_{io}(s)$, tem-se:

$$G_o(s) = \frac{a_1 s + a_o}{s^2 + \frac{\omega_o}{Q} s + \omega_o^2} \quad (C.4)$$

$$k_i = \frac{\omega_o^2 L}{V_C} \quad (C.5)$$

$$k_p = \frac{\omega_o L}{Q V_C} \quad (C.6)$$

Onde:

$$\omega_o = 2\pi f_o$$

O parâmetro Q deve ser obtido de forma a se obter o desempenho dinâmico desejado e uma margem de fase, MF , entre 45 e 90 graus para garantir estabilidade. Através da faixa de variação de MF defini-se a faixa de variação de Q . Para tanto, deve-se obter a relação entre Q e MF .

Assim, sendo a margem de fase definida pela equação (C.7), a equação (C.8) pode-se obtida através de manipulações algébricas.

$$MF = 180^\circ + \angle C_i(j\omega_c)G_{\bar{i},\bar{d}}(j\omega_c) \quad (C.7)$$

$$MF = \frac{180^\circ}{\pi} \tan^{-1} \left(\frac{\omega_c}{Q\omega_o} \right) \quad (C.8)$$

Onde:

ω_c : Frequência de cruzamento por zero dB da função de transferência de malha aberta em radianos por segundo.

Fazendo-se $|C_i(j\omega_c)G_{\bar{i},\bar{d}}(j\omega_c)|=1$ ω_c pode ser obtido através da equação (C.9). Dessa forma, a escolha do parâmetro Q pode ser delimitada em função da margem de fase para um dado valor de ω_o com o auxílio das equações (C.9) e (C.8).

$$\omega_c = \sqrt{\frac{\omega_o^2/Q^2 + \sqrt{\omega_o^4/Q^4 + 4\omega_o^4}}{2}} \quad (C.9)$$

C.3. Obtenção do Controlador Digital Preditivo

Seguindo a metodologia apresentada em [36], Será utilizada a técnica de discretização no domínio da frequência denominada por Transformação Bilinear para obter o PI discreto $C_{iD}(z)$. Ela consiste na substituição da equação (C.10) em (C.2) obtendo-se (C.11).

$$s = \frac{2}{T_a} \frac{z-1}{z+1} \quad (C.10)$$

$$C_{iD}(z) = \frac{u(z)}{e(z)} = \frac{(2k_p + k_i T_a)z + k_i T_a - 2k_p}{2(z-1)} \quad (C.11)$$

Assim, utilizando (C.11), pode-se obter a equação das diferenças mostrada na equação (C.12). Para tornar a lei de controle preditiva, considera-se que a variação do erro entre a amostra anterior e a futura pode ser aproximada por uma relação linear visto que a largura de banda do sinal de erro, f_m , é bem menor que a frequência de amostragem, ver Figura C. 2. Dessa forma, pode-se obter (C.13). Substituindo (C.13) em (C.12) resulta em (C.14).

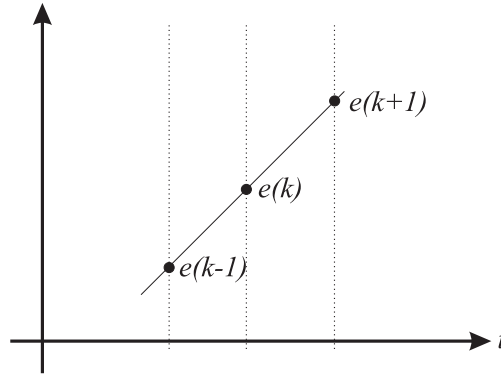


Figura C. 2– Relação linear entre a amostra atual e a anterior para estimar o valor futuro $e(k+1)$.

$$u(k+1) = u(k) + a_1 e(k+1) + a_o e(k) \quad (C.12)$$

Onde:

$$a_1 = k_p + \frac{k_i T_a}{2}$$

$$a_o = \frac{k_i T_a}{2} - k_p$$

$$e(k+1) = 2e(k) - e(k-1) \quad (C.13)$$

$$u(k+1) = u(k) + (2a_1 + a_o)e(k) - a_1 e(k-1) \quad (C.14)$$

Como mencionado anteriormente, serão introduzidos tanto os ganhos do sensor de corrente, k_{sensor} , e do ganho do modulador PWM, k_{PWM} , quanto o ganho do conversor analógico-digital, k_{ADC} . Assim, a equação (C.14) pode ser reescrita obtendo-se (C.15).

$$u(k+1) = u(k) + \frac{K_1 e(k) - K_2 e(k-1)}{k_x} \quad (C.15)$$

Onde:

$$K_1 = \frac{(2a_1 + a_o) k_{PWM} k_x}{K_3}$$

$$K_2 = \frac{a_1 k_{PWM} k_x}{K_3}$$

$$K_3 = k_{ADC} k_{sensor}$$

$$k_{ADC} = \frac{2^{N_{bits_ADC}}}{V_{ADC_max}}$$

Note que o ganho k_x , valores múltiplos de dois para facilitar a compensação, deve ser utilizado para se obter valores inteiros para as constantes K_1 e K_2 empregadas na lei de controle quando as mesmas forem menores que um e/ou minimizar problemas de arredondamento. Maiores detalhes da implementação da lei de controle podem ser obtidos no apêndice D.

Apêndice D

CÓDIGOS EM VHDL E ARQUIVOS MATLAB[®]

D.1. Código em VHDL implementado no FPGA da Xilinx

```

-----
--# Program          : ibitfb_ac_v1.vhdl
-----
--# Program Version   : 1.1
--# Engineer         : Paulo C. S. Ficagna
--# E-mail           : pauloficagna@gmail.com
--# Language         : VHDL
--# Created          : 12/03/2008
--# Last Modified    : 09/04/2008
--# Target Device    : SPARTAN3 and MAX7000S
--# Tool versions    : ISE6.3 or MAXII Plus 9.02
--# Description:
--#                  Interligação entre os blocos funcionais criados.
-----

library IEEE;
use IEEE.STD_LOGIC_1164.ALL;
--use IEEE.NUMERIC_STD.ALL;
use IEEE.STD_LOGIC_ARITH.ALL;
use IEEE.STD_LOGIC_UNSIGNED.ALL;

-- Uncomment the following lines to use the declarations that are
-- provided for instantiating Xilinx primitive components.
--library UNISIM;
--use UNISIM.VComponents.all;

entity ibitfb_ac_v1 is
    port( clk,reset,eoc : in std_logic;
          holdx,ch : out std_logic_vector(2 downto 0);
          input : in std_logic_vector(15 downto 0);
          rd,ads_clk,reset_ads : out std_logic;
          eoc_out,rd_out : out std_logic;

```

```

    signal_adc_out,signal_adc_out1 : out std_logic;
    signal_adc_out2,signal_adc_out3 : out std_logic;
    signal_adc_out4 : out std_logic;
    catodes : out std_logic_vector(7 downto 0);
    pwm1,pwm2,pwm3,pwm4 : out std_logic;
    anodes : out std_logic_vector(3 downto 0));
end ibitfb_ac_v1;

```

architecture structure of ibitfb_ac_v1 is

```

signal w1,w2,w3,w4,w5 : std_logic_vector(15 downto 0);
signal w6,w7,w9,w9_delay,w10,w13,w14,w14_delay : std_logic;
signal w8 : std_logic_vector(2 downto 0);
signal w11 : std_logic_vector(7 downto 0);
signal w12 : std_logic_vector(3 downto 0);
signal d1,d2 : std_logic_vector(10 downto 0);

```

```

component ads8364y_clk is
  Port ( clk,reset : in std_logic;
        ads_clk : out std_logic);
end component;

```

```

component demux_1x5x16b is
  Port ( clk : in std_logic;
        reset : in std_logic;
        enable : in std_logic;
        reed_en : in std_logic;
        ch : in std_logic_vector(2 downto 0);
        input : in std_logic_vector(15 downto 0);
        out1 : out std_logic_vector(15 downto 0);
        out2 : out std_logic_vector(15 downto 0);
        out3 : out std_logic_vector(15 downto 0);
        out4 : out std_logic_vector(15 downto 0);
        out5 : out std_logic_vector(15 downto 0));
end component;

```

```

component ads8364y_control is
  port ( sinc,clk,reset : in std_logic;
        holdx,ch : out std_logic_vector(2 downto 0);
        rd_signal,rd_mask : out std_logic);
end component;

```

```

component pwm is
  port(clk,reset,enable,sinc : in std_logic;
        output : out std_logic;
        input : in std_logic_vector(15 downto 0));
end component;

```

```

component teste_sseg is
  Port ( clk : in std_logic;

```

```

        switches : in std_logic_vector(15 downto 0);
        catodes : out std_logic_vector(7 downto 0);
        anodes : out std_logic_vector(3 downto 0));
end component;

component fbpwm is
    port(clk : in std_logic;
        reset : in std_logic;
        input1 : in std_logic_vector(10 downto 0);
        input2 : in std_logic_vector(10 downto 0);
        output1 : out std_logic;
        output2 : out std_logic;
        output3 : out std_logic;
        output4 : out std_logic;
        up_down : out std_logic;
        up_down_barrado : out std_logic);
end component;

component pi_preditivo_m1 is
    port(clk,reset,enable : in std_logic;
        I_ref_ADC,I_ADC,V_in_ADC : in std_logic_vector(15 downto 0);
        output : out std_logic_vector(10 downto 0));
end component;

component pi_preditivo_m2 is
    port(clk,reset,enable : in std_logic;
        I_ref_ADC,I_ADC,V_in_ADC : in std_logic_vector(15 downto 0);
        output : out std_logic_vector(10 downto 0));
end component;

component delay is
    Port ( clk : in std_logic;
        reset : in std_logic;
        signal_in : in std_logic;
        signal_out : out std_logic);
end component;

begin

    c1 : ads8364y_control
        port map(w9_delay,clk,reset,holdx,w8,w6,w7);
    c7 : ads8364y_clk
        port map(clk,reset,ads_clk);
    c8 : demux_1x5x16b
        port map(clk,reset,w7,w6,w8,input,w1,w2,w3,w4,w5);
    c10 : teste_sseg
        port map(clk,w1,w11,w12);
    c11 : fbpwm
        port map(clk,reset,d1,d2,pwm1,pwm2,pwm3,pwm4,w9,w14);
    c12 : pi_preditivo_m1

```



```

        port map(clk,reset,w9_delay,w1,w4,w2,d1);
c13 : pi_preditivo_m2
        port map(clk,reset,w14_delay,w1,w3,w2,d2);
c14 : delay
        port map(clk,reset,w9,w9_delay);
c15 : delay
        port map(clk,reset,w14,w14_delay);

w13 <= eoc;
eoc_out <= w13;
catodes <= w11;
anodes <= w12;
rd <= w6;
rd_out <= w6;
ch <= w8;
w10 <= reset;
reset_ads <= not w10;

end structure;

-----
--# Program          : ads8364y_clk.vhdl
-----
--# Program Version   : 1.1
--# Engineer         : Paulo C. S. Ficagna
--# E-mail           : pauloficagna@gmail.com
--# Language         : VHDL
--# Created          : 12/03/2008
--# Last Modified    : 09/04/2008
--# Target Device    : SPARTAN3 and MAX7000S
--# Tool versions    : ISE6.3 or MAXII Plus 9.02
--# Description:
--#                  Gerador do sinal de clock do ads8364y.
-----

library IEEE;
use IEEE.STD_LOGIC_1164.ALL;
--use IEEE.NUMERIC_STD.ALL;
use IEEE.STD_LOGIC_ARITH.ALL;
use IEEE.STD_LOGIC_UNSIGNED.ALL;

-- Uncomment the following lines to use the declarations that are
-- provided for instantiating Xilinx primitive components.
--library UNISIM;
--use UNISIM.VComponents.all;

entity ads8364y_clk is
    Port ( clk,reset : in std_logic;
          ads_clk : out std_logic);
end ads8364y_clk;

```

architecture Behavioral of ads8364y_clk is

begin

 process(clk)

 variable counter1 : std_logic_vector(6 downto 0) := (others => '0');
 variable ads_clk_temp : std_logic := '0';
 constant k1 : std_logic_vector(6 downto 0) := conv_std_logic_vector(5,7);
 constant k2 : std_logic_vector(6 downto 0) := conv_std_logic_vector(10,7);

 begin

 if clk'event and clk = '1' then
 if reset = '1' then
 counter1 := (others => '0');
 ads_clk_temp := '0';
 else
 if counter1 = k2 then
 counter1 := (others => '0');
 else
 counter1 := counter1 + '1';
 end if;

 if counter1 <= k1 then
 ads_clk_temp := '1';
 else
 ads_clk_temp := '0';
 end if;
 ads_clk <= ads_clk_temp;
 end if;
 end if;
 end process;

end Behavioral;

```
--#####
--# Program      : ads8364_control.vhdl
--#####
--# Program Version      : 1.1
--# Engineer            : Paulo C. S. Ficagna
--# E-mail              : pauloficagna@gmail.com
--# Language            : VHDL
--# Created              : 12/03/2008
--# Last Modified       : 09/04/2008
--# Target Device       : SPARTAN3 and MAX7000S
--# Tool versions       : ISE6.3 or MAXII Plus 9.02
--# Description:
--#                    Controlador do conversor analógico-digital da TI ads8364y.
```

```
--#####
```

```
library IEEE;
use IEEE.STD_LOGIC_1164.ALL;
--use IEEE.NUMERIC_STD.ALL;
use IEEE.STD_LOGIC_ARITH.ALL;
use IEEE.STD_LOGIC_UNSIGNED.ALL;

-- Uncomment the following lines to use the declarations that are
-- provided for instantiating Xilinx primitive components.
--library UNISIM;
--use UNISIM.VComponents.all;

entity ads8364y_control is
  Port ( sinc,clk,reset : in std_logic;
        holdx,ch : out std_logic_vector(2 downto 0);
        rd_signal,rd_mask : out std_logic);
end ads8364y_control;

architecture Behavioral of ads8364y_control is

  signal rd,hold,rd_signal_interno,counter_ch_en : std_logic := '0';
  signal ch_temp : std_logic_vector(2 downto 0) := (others => '0');
  constant k1 : std_logic_vector(9 downto 0) := conv_std_logic_vector(250,10);
  constant k2 : std_logic_vector(9 downto 0) := conv_std_logic_vector(286,10);
  constant k3 : std_logic_vector(9 downto 0) := conv_std_logic_vector(4,10);
  constant k4 : std_logic_vector(9 downto 0) := conv_std_logic_vector(1,10);
  begin

    process(clk,sinc,reset)

      variable counter_5us : std_logic_vector(9 downto 0) := (others => '0');
      variable stop_counter : std_logic := '0';

      begin

        if clk'event and clk = '1' then
          if reset = '1' or sinc = '0' then
            counter_5us := (others => '0');
            rd <= '0';
            hold <= '0';
            stop_counter := '0';
          else
            if sinc = '1' then
              counter_5us := counter_5us + 1;
            end if;
            if counter_5us >= k1 and counter_5us <= k2 then
              rd <= '1';
            else

```

```

        rd <= '0';
        stop_counter := '1';
    end if;
    if counter_5us >= k4 and counter_5us <= k3 then
        hold <= '1';
    else
        hold <= '0';
    end if;
end if;
rd_mask <= rd;
end if;
end process;

process(clk,reset)

variable counter_80ns : std_logic_vector(4 downto 0) := (others => '0');

begin

    if clk'event and clk = '1' then
        if reset = '1' or sinc = '0' then
            counter_80ns := (others => '0');
        else
            counter_80ns := counter_80ns + 1;
        end if;
        rd_signal <= not(rd and counter_80ns(2));
        rd_signal_interno <= not(rd and counter_80ns(2));
    end if;

end process;

process(clk,reset,hold)

constant holdx_low : std_logic_vector(2 downto 0) := (others => '0');
constant holdx_high : std_logic_vector(2 downto 0) := (others => '1');
variable holdx_temp : std_logic_vector(2 downto 0) := (others => '1');

begin

    if clk'event and clk = '1' then
        if reset = '1' then
            holdx_temp := holdx_high;
        else
            if hold = '1' then
                holdx_temp := holdx_low;
            else
                holdx_temp := holdx_high;
            end if;
        end if;
        holdx <= holdx_temp;
    end if;
end process;

```

```

        end if;
    end process;

    process(clk,reset,rd_signal_interno,sinc)

    variable counter_ch : std_logic_vector(2 downto 0) := (others => '0');

    begin
        if clk'event and clk = '0' then
            if reset = '1' or sinc = '0' then
                counter_ch := (others => '0');
            else
                if rd_signal_interno = '1' and counter_ch_en = '1' then
                    counter_ch := counter_ch + 1;
                    counter_ch_en <= '0';
                elsif rd_signal_interno = '0' then
                    counter_ch_en <= '1';
                end if;
                ch_temp <= counter_ch;
            end if;
        end if;
    end process;

    process(clk)

    begin
        if clk'event and clk = '1' then
            ch <= ch_temp;
        end if;
    end process;

end Behavioral;

-----
--# Program          : delay.vhdl
-----
--# Program Version   : 1.1
--# Engineer          : Paulo C. S. Ficagna
--# E-mail            : pauloficagna@gmail.com
--# Language          : VHDL
--# Created           : 12/03/2008
--# Last Modified     : 09/04/2008
--# Target Device     : SPARTAN3 and MAX7000S
--# Tool versions     : ISE6.3 or MAXII Plus 9.02
--# Description:
--#                  Delay utilizado para gerar o sinal que habilita
--#                  a atualização da lei de controle das malhas de corrente.
-----

```

```

library IEEE;
use IEEE.STD_LOGIC_1164.ALL;
use IEEE.STD_LOGIC_ARITH.ALL;
use IEEE.STD_LOGIC_UNSIGNED.ALL;

-- Uncomment the following lines to use the declarations that are
-- provided for instantiating Xilinx primitive components.
--library UNISIM;
--use UNISIM.VComponents.all;

entity delay is
    Port ( clk : in std_logic;
          reset : in std_logic;
          signal_in : in std_logic;
          signal_out : out std_logic);
end delay;

architecture Behavioral of delay is

begin

    process(clk,signal_in)

        variable signal_out_temp : std_logic := '0';
        variable signal_in_temp : std_logic := '0';
        variable enable : std_logic := '0';
        variable counter : std_logic_vector(5 downto 0) := (others => '0');
        constant k1 : std_logic_vector(5 downto 0) := conv_std_logic_vector(10,6);

    begin
        if clk'event and clk = '1' then

            signal_in_temp := signal_in;

            if reset = '1' then
                counter := (others => '0');
            else
                if signal_in_temp = '1' and enable = '1' then
                    counter := counter + 1;
                    if counter = k1 then
                        signal_out_temp := '1';
                        counter := (others => '0');
                        enable := '0';
                    end if;
                end if;
            end if;

            if signal_in_temp = '0' and enable = '0' then
                counter := counter + 1;
                if counter = k1 then
                    signal_out_temp := '0';
                end if;
            end if;
        end if;
    end process;
end architecture Behavioral;

```

```

        counter := (others => '0');
        enable := '1';
    end if;
end if;
end if;

signal_out <= signal_out_temp;

end if;

end process;

end Behavioral;

#####
--# Program          : demux.vhdl
#####
--# Program Version   : 1.0
--# Engineer          : Paulo C. S. Ficagna
--#                   : Dr. Flávio A. S. Gonçalves
--# E-mail            : pauloficagna@gmail.com
--# Language          : VHDL
--# Created           : 22/02/2008
--# Last Modified     : 22/02/2008
--# Target Device     : SPARTAN3 and MAX7000S
--# Tool versions     : ISE6.3 or MAXII Plus 9.02
--# Description:
--#                   Demux: one input with 16 bits and 5 outputs with
--#                   16 bits.
#####

library IEEE;
use IEEE.STD_LOGIC_1164.ALL;
--use IEEE.NUMERIC_STD.ALL;
use IEEE.STD_LOGIC_ARITH.ALL;
use IEEE.STD_LOGIC_UNSIGNED.ALL;

-- Uncomment the following lines to use the declarations that are
-- provided for instantiating Xilinx primitive components.
--library UNISIM;
--use UNISIM.VComponents.all;

entity demux_1x5x16b is
    Port ( clk : in std_logic;
          reset : in std_logic;
          enable : in std_logic;
          reed_en : in std_logic;
          ch : in std_logic_vector(2 downto 0);
          input : in std_logic_vector(15 downto 0);

```

```

    out1 : out std_logic_vector(15 downto 0);
    out2 : out std_logic_vector(15 downto 0);
    out3 : out std_logic_vector(15 downto 0);
    out4 : out std_logic_vector(15 downto 0);
    out5 : out std_logic_vector(15 downto 0));
end demux_1x5x16b;

```

architecture behaviour of demux_1x5x16b is

```
begin
```

```
    process (clk,enable)
```

```

        variable ch_temp : std_logic_vector(2 downto 0) := (others => '0');
        variable out1_temp : std_logic_vector(15 downto 0):= (others => '0');
        variable out2_temp : std_logic_vector(15 downto 0):= (others => '0');
        variable out3_temp : std_logic_vector(15 downto 0):= (others => '0');
        variable out4_temp : std_logic_vector(15 downto 0):= (others => '0');
        variable out5_temp : std_logic_vector(15 downto 0):= (others => '0');
        variable counter : std_logic_vector(3 downto 0):= (others => '0');
        constant k1 : std_logic_vector(3 downto 0):= conv_std_logic_vector(3,4);

```

```
begin
```

```
    if (clk'event and clk='1') then
        ch_temp := ch;
```

```
        if enable = '1' and reed_en = '0' then
```

```
            if ch_temp = "000" then
                counter := counter + 1;
                if counter = k1 then
                    out1_temp:=input;
                    counter := (others => '0');
                end if;

```

```
            else
                out1_temp:=out1_temp;
            end if;
```

```
            if ch_temp = "001" then
                counter := counter + 1;
                if counter = k1 then
                    out2_temp:=input;
                    counter := (others => '0');
                end if;

```

```
            else
                out2_temp:=out2_temp;
            end if;
```

```
            if ch_temp = "010" then
                counter := counter + 1;
```



```

        if counter = k1 then
            out3_temp:=input;
            counter := (others => '0');
        end if;
    else
        out3_temp:=out3_temp;
    end if;

    if ch_temp = "011" then
        counter := counter + 1;
        if counter = k1 then
            out4_temp:=input;
            counter := (others => '0');
        end if;
    else
        out4_temp:=out4_temp;
    end if;

    if ch_temp = "100" then
        counter := counter + 1;
        if counter = k1 then
            out5_temp:=input;
            counter := (others => '0');
        end if;
    else
        out5_temp:=out5_temp;
    end if;

    else
        counter := (others => '0');
    end if;

end if;

out1<=out1_temp;
out2<=out2_temp;
out3<=out3_temp;
out4<=out4_temp;
out5<=out5_temp;

end process;

end behaviour;

```

```

-----
--# Program          : fbpwm.vhdl
-----
--# Program Version  : 1.1
--# Engineer         : Paulo C. S. Ficagna
--# E-mail           : pauloficagna@gmail.com
--# Language         : VHDL
--# Created          : 12/03/2008
--# Last Modified    : 09/04/2008
--# Target Device    : SPARTAN3 and MAX7000S
--# Tool versions    : ISE6.3 or MAXII Plus 9.02
--# Description:
--#                  Modulador PWM centrado no pulso para o conversor FB.
-----

```

```

library IEEE;
use IEEE.STD_LOGIC_1164.ALL;
use IEEE.STD_LOGIC_ARITH.ALL;
use IEEE.STD_LOGIC_UNSIGNED.ALL;

```

```

-- Uncomment the following lines to use the declarations that are
-- provided for instantiating Xilinx primitive components.
--library UNISIM;
--use UNISIM.VComponents.all;

```

```

entity fbpwm is
    port(clk : in std_logic;
         reset : in std_logic;
         input1 : in std_logic_vector(10 downto 0);
         input2 : in std_logic_vector(10 downto 0);
         output1 : out std_logic;
         output2 : out std_logic;
         output3 : out std_logic;
         output4 : out std_logic;
         up_down : out std_logic;
         up_down_barrado : out std_logic);
end fbpwm;

```

```

architecture Behavioral of fbpwm is

```

```

begin

```

```

    process(reset,clk)

```

```

        variable pwm_out1_temp : std_logic := '0';
        variable pwm_out2_temp : std_logic := '0';
        variable pwm_out3_temp : std_logic := '0';
        variable pwm_out4_temp : std_logic := '0';

```

```

variable up_down_temp : std_logic := '1';
variable counter_clk : std_logic_vector(10 downto 0) := conv_std_logic_vector(0,11);
variable comp1 : std_logic_vector(10 downto 0) := conv_std_logic_vector(0,11);
variable comp2 : std_logic_vector(10 downto 0) := conv_std_logic_vector(0,11);
constant counter_max : std_logic_vector(10 downto 0) :=
conv_std_logic_vector(532,11);
constant dead_time : std_logic_vector(3 downto 0) := conv_std_logic_vector(12,4);

begin

    if rising_edge(clk) then
        if reset'event and reset='1' then
            counter_clk := conv_std_logic_vector(0,11);
        end if;
        if reset='1' then
            comp1 := conv_std_logic_vector(0,11);
            comp2 := conv_std_logic_vector(0,11);
        else
            comp1 := input1;
            comp2 := input2;
        end if;

        if(counter_clk <= comp1) then
            pwm_out1_temp := '1';
        else
            pwm_out1_temp := '0';
        end if;

        if(counter_clk <= (comp1 + dead_time)) then
            pwm_out2_temp := '1';
        else
            pwm_out2_temp := '0';
        end if;

        if(counter_clk <= (counter_max - comp2)) then
            pwm_out3_temp := '1';
        else
            pwm_out3_temp := '0';
        end if;

        if(counter_clk <= (counter_max - comp2 - dead_time)) then
            pwm_out4_temp := '1';
        else
            pwm_out4_temp := '0';
        end if;

        if counter_clk = counter_max and up_down_temp = '1' then
            up_down_temp := '0';
        end if;
    end if;
end if;

```

```

then
    if counter_clk = conv_std_logic_vector(0,11) and up_down_temp = '0'
        up_down_temp := '1';
    end if;

    if up_down_temp = '1' then
        counter_clk := counter_clk + 1;
    else
        counter_clk := counter_clk - 1;
    end if;

end if;

output1 <= pwm_out1_temp;
output2 <= not pwm_out2_temp;
output3 <= not pwm_out3_temp;
output4 <= pwm_out4_temp;
up_down <= up_down_temp;
up_down_barrado <= not up_down_temp;

end process;

end Behavioral;

```

```

-----
--# Program          : pi_preditivo.vhdl
-----
--# Program Version   : 1.1
--# Engineer         : Paulo C. S. Ficagna
--# E-mail           : pauloficagna@gmail.com
--# Language         : VHDL
--# Created          : 12/03/2008
--# Last Modified    : 09/04/2008
--# Target Device    : SPARTAN3 and MAX7000S
--# Tool versions    : ISE6.3 or MAXII Plus 9.02
--# Description:
--#                  Controlador PI preditivo da malha de corrente.
-----

```

```

library IEEE;
use IEEE.STD_LOGIC_1164.ALL;
use IEEE.NUMERIC_STD.ALL;
use IEEE.STD_LOGIC_UNSIGNED.ALL;

entity pi_preditivo_m1 is
    port(
        clk,reset,enable : in std_logic;
        I_ref_ADC,I_ADC,V_in_ADC : in std_logic_vector(15 downto 0);
        output : out std_logic_vector(10 downto 0));
end pi_preditivo_m1;

```

architecture Behavioral of pi_preditivo_m1 is

begin

process (clk,reset,enable)

```
variable erro_atual : signed(15 downto 0) := to_signed(0,16);
variable erro_anterior : signed(15 downto 0) := to_signed(0,16);
variable I_ref : signed(15 downto 0) := to_signed(0,16);
variable I_ref_aux : signed(31 downto 0) := to_signed(0,32);
variable aux1 : signed(27 downto 0) := to_signed(0,28);
variable aux2 : signed(27 downto 0) := to_signed(0,28);
variable aux3 : signed(27 downto 0) := to_signed(0,28);
variable u_futuro : signed(12 downto 0) := to_signed(0,13);
variable u_atual : signed(12 downto 0) := to_signed(0,13);
variable output_aux : signed(10 downto 0) := to_signed(0,11);
variable calculo_en : std_logic := '0';
```

```
constant k1 : signed(11 downto 0) := to_signed(957,12);
constant k2 : signed(11 downto 0) := to_signed(752,12);
constant u_max : signed(12 downto 0) := to_signed(516,13);
constant u_min : signed(12 downto 0) := to_signed(16,13);
constant offset : signed(15 downto 0) := to_signed(16384,16);
```

begin

if clk'event and clk = '1' then

if(reset='1') then

```
u_futuro := to_signed(0,13);
u_atual := to_signed(0,13);
erro_atual := to_signed(0,16);
erro_anterior := to_signed(0,16);
```

else

if enable = '1' then

calculo_en := '1';

end if;

if calculo_en = '1' and enable = '0' then

calculo_en := '0';

```
I_ref_aux := signed(I_ref_ADC) * signed(V_in_ADC);
I_ref := I_ref_aux(31 downto 16);
```

```
erro_atual := I_ref - signed(I_ADC) + offset;
aux1 := erro_atual*k1;
aux2 := erro_anterior*k2;
aux3 := aux1 - aux2;
```

```
u_futuro := u_atual + aux3(27 downto 15);
```

--

--

|
divide aux3 por 2¹⁵.

--erredondamento

```

        if aux3(14)='1' then
            u_futuro := u_futuro + 1;
        end if;
        -----

        --Saturação--
        if u_futuro > u_max then
            u_futuro := u_max;
        else
            u_futuro := u_futuro;
        end if;

        if u_futuro < u_min then
            u_futuro := u_min;
        else
            u_futuro := u_futuro;
        end if;
        -----

        --atualização da variável--
        u_atual := u_futuro;
        erro_anterior := erro_atual;
        --O fato de atualizar após a saturação equivale a um
        --sistema anti-windup com ganho unitário.
        -----
    end if;

    --redimensiona para 11 bits. Valor máximo: 516
    output_aux := resize(u_futuro,11);
    -----
end if;

output <= std_logic_vector(unsigned(output_aux));

end if;

end process;
end Behavioral;

#####
--# Program          : pi_preditivo_m2.vhdl
#####
--# Program Version  : 1.1
--# Engineer         : Paulo C. S. Ficagna
--# E-mail           : pauloficagna@gmail.com
--# Language         : VHDL
--# Created          : 12/03/2008
--# Last Modified    : 09/04/2008
--# Target Device    : SPARTAN3 and MAX7000S

```

```
--# Tool versions           : ISE6.3 or MAXII Plus 9.02
--# Description:
--#                         Controlador PI preditivo da malha de corrente.
--#####
```

```
library IEEE;
use IEEE.STD_LOGIC_1164.ALL;
use IEEE.NUMERIC_STD.ALL;
use IEEE.STD_LOGIC_UNSIGNED.ALL;

entity pi_preditivo_m2 is
    port( clk,reset,enable : in std_logic;
          I_ref_ADC,I_ADC,V_in_ADC : in std_logic_vector(15 downto 0);
          output : out std_logic_vector(10 downto 0));
end pi_preditivo_m2;
```

```
architecture Behavioral of pi_preditivo_m2 is
```

```
begin
    process (clk,reset,enable)

        variable erro_atual : signed(15 downto 0) := to_signed(0,16);
        variable erro_anterior : signed(15 downto 0) := to_signed(0,16);
        variable I_ref : signed(15 downto 0) := to_signed(0,16);
        variable I_ref_aux : signed(31 downto 0) := to_signed(0,32);
        variable aux1 : signed(27 downto 0) := to_signed(0,28);
        variable aux2 : signed(27 downto 0) := to_signed(0,28);
        variable aux3 : signed(27 downto 0) := to_signed(0,28);
        variable u_futuro : signed(12 downto 0) := to_signed(0,13);
        variable u_atual : signed(12 downto 0) := to_signed(0,13);
        variable output_aux : signed(10 downto 0) := to_signed(0,11);
        variable calculo_en : std_logic := '0';

        constant k1 : signed(11 downto 0) := to_signed(957,12);
        constant k2 : signed(11 downto 0) := to_signed(752,12);
        constant u_max : signed(12 downto 0) := to_signed(516,13);
        constant u_min : signed(12 downto 0) := to_signed(16,13);
        constant offset : signed(15 downto 0) := to_signed(16351,16);

    begin
        if clk'event and clk = '1' then
            if(reset='1') then
                u_futuro := to_signed(0,13);
                u_atual := to_signed(0,13);
                erro_atual := to_signed(0,16);
                erro_anterior := to_signed(0,16);
            else
                if enable = '1' then
                    calculo_en := '1';
                end if;
            end if;
        end if;
    end process;
end Behavioral;
```



```

    end process;
end Behavioral;

```

```

-----
--# Program          : teste_sseg.vhdl
-----
--# Program Version   : 1.1
--# Engineer          : Paulo C. S. Ficagna
--# E-mail            : pauloficagna@gmail.com
--# Language          : VHDL
--# Created           : 12/03/2008
--# Last Modified     : 09/04/2008
--# Target Device     : SPARTAN3 and MAX7000S
--# Tool versions     : ISE6.3 or MAXII Plus 9.02
--# Description:
--#                  Conversão de binário para decimal de forma a poder
--#                  mostrar o valor de uma variável interna em um display
--#                  de sete segmentos.
-----

```

```

library IEEE;
use IEEE.STD_LOGIC_1164.ALL;
use IEEE.NUMERIC_STD.ALL;
use IEEE.STD_LOGIC_UNSIGNED.ALL;

```

```

-- Uncomment the following lines to use the declarations that are
-- provided for instantiating Xilinx primitive components.
--library UNISIM;
--use UNISIM.VComponents.all;

```

```

entity teste_sseg is
    Port ( clk : in std_logic;
          switches : in std_logic_vector(15 downto 0);
          catodes : out std_logic_vector(7 downto 0);
          anodes : out std_logic_vector(3 downto 0));
end teste_sseg;

```

```

architecture Behavioral of teste_sseg is

```

```

    signal cnet_visu,des_visu,uni_visu : std_logic_vector(3 downto 0) := (others => '0');

```

```

begin

```

```

    process(clk)

```

```

        variable anodes_temp : std_logic_vector(3 downto 0) := "1110";
        variable catodes_temp : std_logic_vector(7 downto 0) := (others => '0');
        variable switches_temp : std_logic_vector(7 downto 0) := (others => '0');

```

```

variable input_temp : signed(9 downto 0) := to_signed(0,10);
variable input_temp_aux : unsigned(8 downto 0) := to_unsigned(0,9);
variable anodes_temp2 : std_logic_vector(3 downto 0) := "1110";
variable catodes_temp2 : std_logic_vector(7 downto 0) := (others => '0');
variable input_temp2 : unsigned(15 downto 0) := to_unsigned(0,16);
variable counter : std_logic_vector(15 downto 0) := (others => '0');
variable uni,des,cent : std_logic_vector(3 downto 0) := (others => '0');
variable ax,enable,clk2_temp,uni_flag,des_flag,cent_flag : std_logic := '1';
constant zero : signed(9 downto 0) := to_signed(0,10);
constant k1 : unsigned(7 downto 0) := to_unsigned(251,8);

```

```
begin
```

```

    if clk'event and clk = '1' then
        counter := counter + 1;
        clk2_temp := counter(10);
        if cent_flag = '1' then
            input_temp := input_temp - 100;
            if input_temp >= zero then
                cent := cent + 1;
            else
                input_temp := input_temp + 100;
                cent_flag := '0';
                des_flag := '1';
                uni_flag := '0';
            end if;
            cnet_visu <= cent;
            des_visu <= des;
            uni_visu <= uni;
        elsif des_flag = '1' then
            input_temp := input_temp - 10;
            if input_temp >= zero then
                des := des + 1;
            else
                input_temp := input_temp + 10;
                cent_flag := '0';
                des_flag := '0';
                uni_flag := '1';
            end if;
            cnet_visu <= (cent);
            des_visu <= (des);
            uni_visu <= (uni);
        elsif uni_flag = '1' then
            input_temp := input_temp - 1;
            if input_temp >= zero then
                uni := uni + 1;
            else
                input_temp := input_temp + 1;
                cent_flag := '0';
                des_flag := '0';
                uni_flag := '0';
            end if;
        end if;
    end if;

```

```

        ax := '1';
    end if;
    cnet_visu <= (cent);
    des_visu <= (des);
    uni_visu <= (uni);
end if;

if (clk2_temp = '1' and enable = '1') and ax = '1' then
    enable := '0';
    anodes_temp := '1' & anodes_temp(1 downto 0) &
anodes_temp(2);

    if anodes_temp = "1101" then
        if uni = "0000" then
            catodes_temp := "10000001";
        elsif uni = "0001" then
            catodes_temp := "11001111";
        elsif uni = "0010" then
            catodes_temp := "10010010";
        elsif uni = "0011" then
            catodes_temp := "10000110";
        elsif uni = "0100" then
            catodes_temp := "11001100";
        elsif uni = "0101" then
            catodes_temp := "10100100";
        elsif uni = "0110" then
            catodes_temp := "10100000";
        elsif uni = "0111" then
            catodes_temp := "10001111";
        elsif uni = "1000" then
            catodes_temp := "10000000";
        elsif uni = "1001" then
            catodes_temp := "10000100";
        else
            catodes_temp := "10110000";
        end if;
    elsif anodes_temp = "1011" then
        if des = "0000" then
            catodes_temp := "10000001";
        elsif des = "0001" then
            catodes_temp := "11001111";
        elsif des = "0010" then
            catodes_temp := "10010010";
        elsif des = "0011" then
            catodes_temp := "10000110";
        elsif des = "0100" then
            catodes_temp := "11001100";
        elsif des = "0101" then
            catodes_temp := "10100100";
        elsif des = "0110" then
            catodes_temp := "10100000";

```

```

    elsif des = "0111" then
        catodes_temp := "10001111";
    elsif des = "1000" then
        catodes_temp := "10000000";
    elsif des = "1001" then
        catodes_temp := "10000100";
    else
        catodes_temp := "10110000";
    end if;
elsif anodes_temp = "1110" then
    if cent = "0000" then
        catodes_temp := "00000001";
    elsif cent = "0001" then
        catodes_temp := "01001111";
    elsif cent = "0010" then
        catodes_temp := "00010010";
    elsif cent = "0011" then
        catodes_temp := "00000110";
    elsif cent = "0100" then
        catodes_temp := "01001100";
    elsif cent = "0101" then
        catodes_temp := "00100100";
    elsif cent = "0110" then
        catodes_temp := "00100000";
    elsif cent = "0111" then
        catodes_temp := "00001111";
    elsif cent = "1000" then
        catodes_temp := "00000000";
    elsif cent = "1001" then
        catodes_temp := "00000100";
    else
        catodes_temp := "00110000";
    end if;
end if;
if ax = '1' then
    cent := (others => '0');
    des := (others => '0');
    uni := (others => '0');
    ax := '0';
    cent_flag := '1';
    --Escalonamento para mostrar no display o número
    --5.00 quanto a entrada é 255 em binário.
    switches_temp := switches(14 downto 7);
    input_temp2 := unsigned(switches_temp) * k1;
    input_temp_aux := input_temp2(15 downto 7);
    input_temp := signed('0' & input_temp_aux);
    _*****
end if;
catodes_temp2 := catodes_temp;
anodes_temp2 := anodes_temp;

```



```

%Indutância nominal
L_nominal=290e-6;
%_____

%Indutância máxima
L_H_dc_0=540e-6;
%_____
L_est=L_nominal;
% L_est=L_H_dc_0;

%dados do núcleo toroidal utilizado
u_i=60;
AL=81;
MPL=0.101;
%_____

%Sensores
  %Sensor de Corrente - malha 2
  k_ADC=2^Nbits/5
  k_sensor=0.223137;
  K_AD_i=k_ADC*k_sensor;

  %Sensor de tensão - tensão de entrada
  K_AD_Vin=2^Nbits/220;
%_____

%Cálculo dos ganhos proporcional e integral CT Chen - cap.9 e 13
  %Tempo contínuo
fo=1/12/Ta;

Wo=2*pi*fo;
Q=[0.22 0.3 0.4 0.45 0.5 0.58 0.6 0.7071 1];
q=7;

ki=L_est*Wo^2/Vc
kp=L_est*Wo/Vc/Q(q)

WoMA=sqrt((Wo^2/Q(q)^2+sqrt(Wo^4/Q(q)^4+4*Wo^4))/2)

MF=180/pi*atan(WoMA/Q(q)/Wo)

Ti=kp/ki

num=[kp ki];
den=[1 0];
sys=tf(num,den)

  %Discretização do Controlador
sysD=c2d(sys,Ta,'tustin')

```

```

[numD,denD]=tfdata(sysD,'v')

% u(n)=u(n-1)+(2*a1-a2)*e(n-1)-a1*e(n-2) --> PI preditivo
a1=numD(1)
a2=-numD(2)

%Quantização
%u(n)=u(n-1)+K1*e(n-1)/Kx-K2*e(n-2)/Kx
Kpwm=Triangular_digital;          %CONSTANTE DE 11 BITS
Kx=2^15
K1_=((2*a1-a2)*Kpwm/K_AD_i*Kx);
K2_=(a1*Kpwm/K_AD_i*Kx);

K1=round((2*a1-a2)*Kpwm/K_AD_i*Kx)  %CONSTANTE DE 11 BITS
K2=round(a1*Kpwm/K_AD_i*Kx)        %CONSTANTE DE 11 BITS
%_____

%Discretização do filtro antialiasing
Wc=2*pi/Ta;
sysF=tf([0 Wc],[1 Wc]);

sysFD=c2d(sysF,Ta,'tustin');

[numFD,denFD]=tfdata(sysFD,'v');
aF1=numFD(1);
aF0=numFD(2);
bF1=denFD(1);
bF0=denFD(2);

%_____
%Escolha do modo de conversão: cc, ca
modo_de_conversao=ca;
%_____

%Condições Iniciais
periodos=N_cilcos_fr*Nptos_fr;

if (modo_de_conversao==ca)
    u_max=0.96;
    u_min=1-u_max;
else
    u_max=0.5;
    u_min=0;
end

I_ref1=2.63*sqrt(2);
I_ref2=2.63*sqrt(2);

I_max=12;

```

```

t_s=1:periodos;
t_s=t_s.*Ts;
i=zeros(1,periodos);
i_AD=zeros(1,periodos);
L_=zeros(1,periodos);
H_dc=zeros(1,periodos);
u=zeros(1,periodos);
e=zeros(1,periodos);
e_=zeros(1,periodos);
aux1=zeros(1,periodos);
aux2=zeros(1,periodos);
aux3=zeros(1,periodos);
r=zeros(1,periodos);
r_1=zeros(1,periodos);
d=zeros(1,periodos);
V_in=zeros(1,periodos);
u_=zeros(1,periodos);
u_sat=zeros(1,periodos+1);
u_desat=zeros(1,periodos);
i_ref_vetor_dig=zeros(1,periodos);
% Vc=220;
Vin=Vin_max;

%
h = waitbar(0,'Please wait...');
for k=2:periodos
    waitbar(k/periodos,h)

%*****planta*****
H_dc(k)=0.4*10^(-2)*pi*1000*sqrt(L_H_dc_0/AL/10^(-6)*10^(-3))*abs(i(k-1))/MPL;
L_(k)=L_H_dc_0*((1-5.618*10^(-5)*u_i*H_dc(k)+1.043*10^(-
10)*u_i^2*H_dc(k)^2)/(1+6.742*10^(-5)*u_i*H_dc(k)+6.21*10^(-8)*u_i^2*H_dc(k)^2));

% L=L_est;          %INDUTÂNCIA FÍXA

L=L_(k);          %INDUTÂNCIA VARIÁVEL - NÚCLEO TOROIDAL
(MAGNETICS)

if(modulo_de_conversao==ca)
    V_in(k)=abs(Vin*sin(2*pi*60*Ts*(k)));
end

if(modulo_de_conversao==cc)
    V_in(k)=Vin;
end
d(k)=(u_sat(k)/Kpwm); %razão cíclica com saturação

```



```

i(k)=i(k-1)+V_in(k-1)*d(k-1)*Ts/(2*L)-(Vc-V_in(k-1))*(1-d(k-1))*Ts/L+V_in(k)*d(k)*Ts/(2*L);

if(i(k)>I_max)
    i(k)=I_max;
end
if(i(k)<0)
    i(k)=0;
end

i_AD(k)=(K_AD_i*i(k));

e_(k)=fix(r(k))-(i_AD(k)); %17 BITS COM SINAL

%*****LEI DE CONTROLE*****
%    u_(k+1)=u_(k)+(K1*e_(k)/Kx)-(K2*e_(k-1)/Kx);
aux1(k)=K1*e_(k); %29 BITS COM SINAL
aux1(k)=round(aux1(k)/Kx);%TRUNCADO -> 14 BITS DA PARTE ALTA COM SINAL
aux2(k)=K2*e_(k-1); %29 BITS COM SINAL
aux2(k)=round(aux2(k)/Kx);%TRUNCADO -> 14 BITS DA PARTE ALTA COM SINAL
aux3(k)=aux1(k)-aux2(k);%14 BITS COM SINAL
u_(k+1)=u_(k)+aux3(k); %TRUNCADO -> 11 BITS DA PARTE ALTA SEM SINAL
%*****

% saturação da razão cíclica
if(u_(k+1)>u_max*Kpwm)
    u_sat(k+1)=round(u_max*Kpwm);
elseif(u_(k+1)<u_min*Kpwm)
    u_sat(k+1)=round(u_min*Kpwm);
else
    u_sat(k+1)=u_(k+1);
end

u_(k+1)=u_sat(k+1); %ANTI-WINDUP

if(k<2500)
    I_ref=I_ref1;
elseif(k>=2500 & k<3300)
    I_ref=I_ref1*0.999;
else
    I_ref=I_ref1;
end

V_AD=I_ref*K_AD_i*2^16/Vin/K_AD_Vin/k_ADC;

if(modos_de_conversao==ca)
    r(k+1)=fix(V_AD*k_ADC*(Vin*K_AD_Vin)*abs(sin(2*pi*60*Ts*(k+1)))/2^16);
end

if(modos_de_conversao==cc)

```

```

        r(k)=(I_ref*K_AD_i);
    end
end
%_____

%*****
%                               FIGURAS
%*****

    close(h)
    r_1=r(1:length(t_s));
    figure(2)
    plot(t_s,i,'b')
    hold on
    plot(t_s,r_1/K_AD_i,'r')
    legend('i_L sem anti-windup','i_L com anti-windup','i_L_ref')
    title('Corrente no indutor Boost (i_L) e referencia de corrente (i_Lref)')
    if(modos_de_conversao==ca)
        axis([0.5*periodos*Ts 1*periodos*Ts 1.1*min(i) 1.3*I_ref1])
    else
        axis([0*periodos*Ts 0.71*periodos*Ts 1.1*min(i) 2.3*I_ref1])
    end

    figure(3)
    plot(t_s,d,'b')
    legend('d sem anti-windup','d com anti-windup')
    title('Razão Cíclica para o DPWM')
    if(modos_de_conversao==ca)
        axis([0.5*periodos*Ts 1*periodos*Ts 0 1.1])
    else
        axis([0*periodos*Ts 0.71*periodos*Ts 0 0.55])
    end

    figure(1)
    plot(t_s,e_*K1,'b')
    hold on
    plot(t_s,e_*K2,'r')
    legend('erro*K1','erro*K2')
    title('Erro digitalizado')

    u_=u_(1:length(t_s));
    figure(4)
    plot(t_s,u_)
    title('Lei de controle')

    figure(5)
    subplot(211),plot(t_s,H_dc)
    title('Força Magnet.')
    subplot(212),plot(t_s,L_)
    title('Indutancia CC')

```