

Capítulo 4

SELEÇÃO DA AMPLITUDE DAS FONTES CC DE UM INVERSOR COM CÉLULAS H-BRIDGE CONECTADAS EM SÉRIE

4.1. Introdução

O inversor multinível com células *H-bridge* conectadas em série recebe este nome, pois cada uma de suas fases é composta por um conjunto de inversores monofásicos em ponte completa (células *H-bridge*) ligadas em série. Este conversor apresenta duas classificações, a primeira refere-se à amplitude das fontes CC isoladas destinadas a alimentar cada célula *H-bridge*. Se todas as amplitudes das fontes forem iguais o inversor é chamado de simétrico, caso contrário, se pelo menos uma das fontes apresentar amplitude diferente das demais, então ele será denominado assimétrico. A segunda classificação rotula o inversor multinível como híbrido ou não. Se o conversor for implementado com diferentes tecnologias de dispositivos semicondutores de potência (IGBTs, SCRs, GTOs, IGCTs) e/ou apresentar uma estratégia de modulação híbrida, então é classificado como híbrido caso contrário não.

A definição do número de células *H-bridge* que são conectadas em série é realizada apenas em função da distorção harmônica da tensão que se deseja na saída do inversor, não sendo levado em consideração o custo e a eficiência do conversor. Atualmente, apenas o inversor com células *H-bridge* conectadas em série na configuração simétrica é fabricado, sendo comercializado pela empresa norte-americana Robicon. Contudo, sabe-se que a configuração na versão híbrida, pode gerar uma mesma THD empregando um menor número de células *H-bridge*, podendo minimizar volume, custo e maximizar a eficiência do sistema.

O objetivo deste capítulo é desenvolver uma metodologia que permita escolher qual a configuração das amplitudes das fontes CC é a mais adequada, quando se tem um determinado número de células conectadas em série. Nesta metodologia serão considerados

índices de desempenho como, taxa de distorção harmônica (THD), fator de distorção de primeira ordem (DF1), eficiência e um estudo a respeito do uso de diferentes tecnologias de dispositivos semicondutores.

4.2. Inversor com células H-bridge conectadas em série

O inversor multinível trifásico com células H-bridge conectadas em série é apresentado na Figura 4-1.

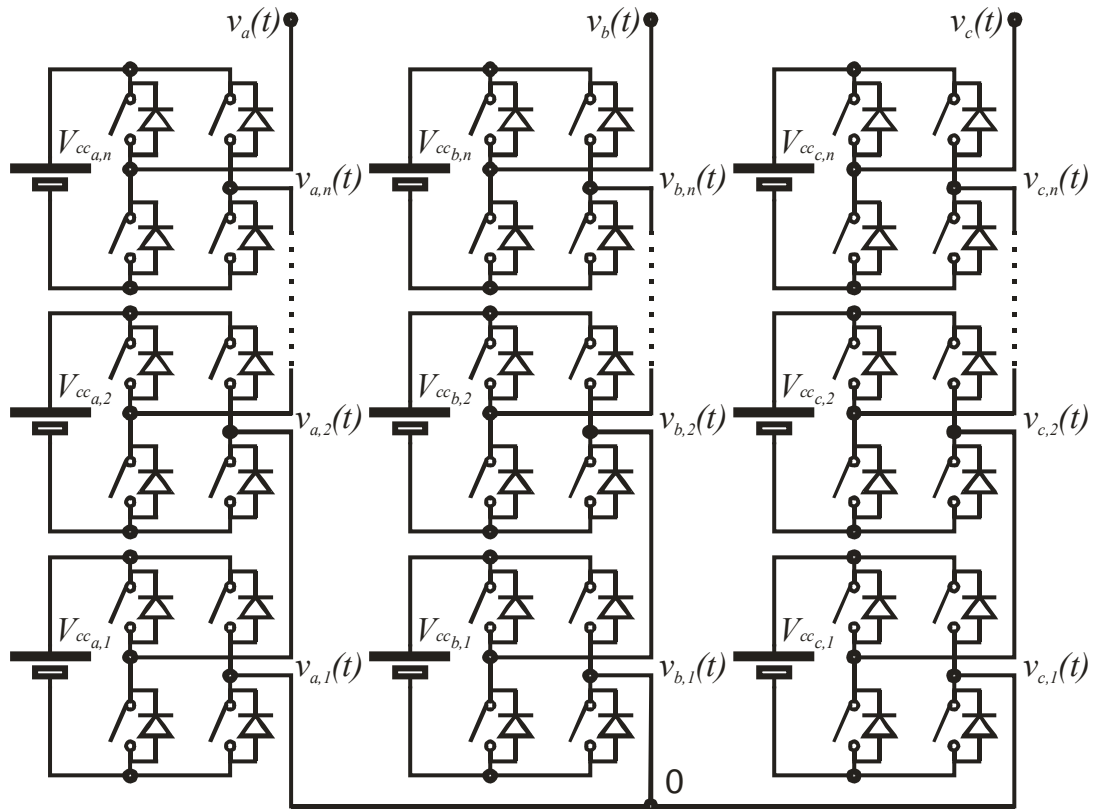


Figura 4-1. Inversor multinível com células H-bridge conectadas em série.

A função deste inversor multinível é sintetizar uma tensão desejada a partir de diferentes fontes CC, que podem ser obtidas a partir de um retificador não controlado. Cada uma destas fontes CC é conectada a um inversor monofásico (célula H-bridge, Figura 4-2), que poderá gerar três diferentes níveis de tensão, $+V_{cc,x,n}$ (acionando-se $S_{n,1}$ e $S_{n,4}$), 0 (acionando-se $S_{n,1}$ e $S_{n,3}$ ou $S_{n,2}$ e $S_{n,4}$) ou $-V_{cc,x,1}$ (acionando-se $S_{n,2}$ e $S_{n,3}$). O resultado final da tensão de uma fase do inversor ($v_x(t)$) é obtido através da soma da forma de onda gerada por cada célula H-bridge conectada em série ($v_{x,1}(t)$, $v_{x,2}(t)$, ..., $v_{x,n}(t)$), (4-1), onde $v_{x,1}(t)$ é a saída da célula com menor tensão, $v_{x,n}(t)$ é a saída de maior tensão e o subscrito x corresponde as fases a, b e c.

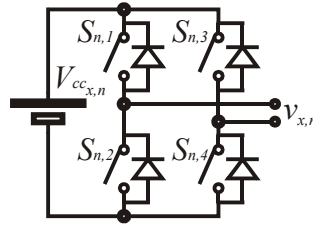


Figura 4-2. Célula H-bridge.

$$v_x(t) = v_{x,1}(t) + v_{x,2}(t) + \dots + v_{x,n}(t) \quad (4-1)$$

O número de níveis obtido na tensão de fase de saída do inversor está ligado ao número de células H-bridge conectadas em série e aos valores das amplitudes das fontes CC. Quanto maior o número de níveis gerados pelo inversor mais semelhante será a forma de onda sintetizada de uma função senoidal. Sendo a principal vantagem disto à diminuição do conteúdo harmônico, possibilitando em muitos casos eliminar-se o uso de filtros de saída. Contudo, o aumento do número de células pode conduzir a um aumento de volume, da complexidade e do custo do sistema.

4.2.a) Estratégia de modulação multinível híbrida

A estratégia de modulação multinível híbrida associa a síntese de formas de onda quase-quadradas para o inversor de maior potência em conjunto com a modulação por largura de pulso (PWM) para célula de menor potência, [41] e [42]. Nesta técnica de modulação a célula que processa maior potência é comutada na frequência fundamental da saída (60 Hz) e somente a célula de menor potência é comutada em alta frequência. O diagrama de blocos que descreve esta estratégia de modulação pode ser verificado na Figura 4-3. As tensões V_3 , V_2 e V_1 são as amplitudes das fontes CC que alimentam cada célula, Ψ_3 , Ψ_2 representam os níveis de comparação da célula 3 e 2, $r_3(t)$, $r_2(t)$, $r_1(t)$, são os sinais de referência, $v_3(t)$, $v_2(t)$, $v_1(t)$ são as tensões de saída de cada célula e $v_{out}(t)$ é a tensão de saída total de uma fase.

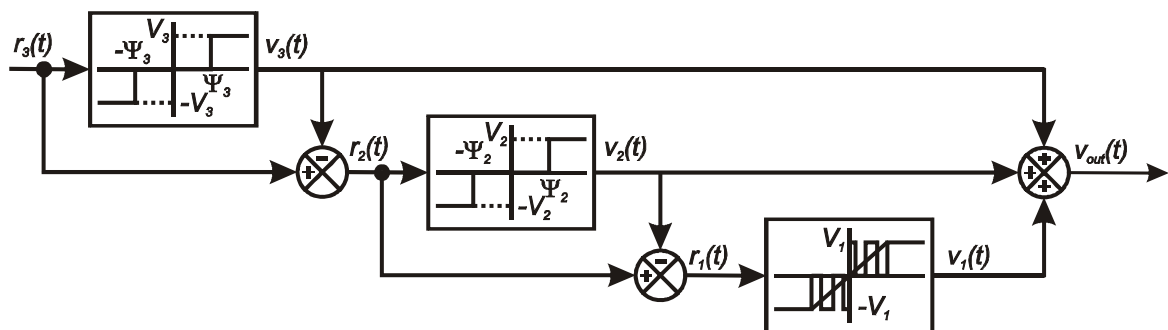


Figura 4-3. Estratégia de modulação híbrida

Os níveis de comparação podem apresentar uma variação de um valor mínimo até um valor máximo [44]. O nível de comparação 3 (Ψ_3) pode variar dentro do intervalo definido por (4-2), enquanto que o nível de comparação 2 (Ψ_2) pode variar dentro dos limites estabelecidos por (4-3). A variação de ambos os níveis, dentro dos limites estabelecidos asseguram que forma de onda da tensão de saída não seja alterada. Entretanto, a não utilização dos níveis de comparação máximos conduz a presença de energia circulante entre as células (exemplo: admitindo-se um inversor com três células *H-bridge* conectadas em série, onde todas as células apresentam fontes CC de 1 p.u.. Para gerar o nível 1 na tensão de fase bastaria gerar uma tensão positiva em apenas uma das células *H-bridge*. Caso duas células gerassem tensão positiva em suas saídas, então a terceira célula *H-bridge* teria que gerar uma tensão negativa para garantir o nível 1 na tensão de saída da fase, desta forma haveria energia circulando entre duas células *H-bridge*). Assim, visando minimizar a energia circulante entre as células são analisadas as perdas para os níveis de comparação máximos.

$$0 \leq \Psi_3 \leq 2 \text{ p.u.} \quad (4-2)$$

$$0 \leq \Psi_2 \leq 1 \text{ p.u.} \quad (4-3)$$

4.2.b) Passos para definição da amplitude das fontes CC

Para definir os valores das amplitudes das fontes de tensão CC, as seguintes restrições devem ser respeitadas para que a forma de onda de saída tenha uma melhor qualidade:

- i. As amplitudes das fontes deverão ser dispostas de forma que a segunda seja igual ou maior que a primeira e assim sucessivamente [28];
- ii. Os valores das amplitudes das fontes devem ser normalizados em função da tensão da menor fonte, e ser um número natural [30];
- iii. Todos níveis adjacentes devem ser igualmente espaçados¹ [46];
- iv. Todos níveis adjacentes devem ser modulados em alta frequência [47];
- v. A célula 3 não pode processar energia maior do que a da carga [41];
- vi. Nenhuma célula pode processar energia negativa [41];

¹ Apresentar a mesma amplitude.

4.2.c) Seleção da configuração apropriada

Para seleccionar da configuração que apresenta maiores benefícios devem-se aplicar os passos definidos na seção 4.2.b de forma a reduzir-se o número de configurações a serem empregadas. Para realizar esta operação estabeleceu-se que o inversor deveria apresentar três células H-*bridge* conectadas em série. Este número de células foi escolhido por ser o menor valor que possibilita realizar estas análises, podendo ser estendido para um número maior de células conectadas em série, contudo o número de configurações candidatas também será maior.

A restrição (i) considera que as fontes de tensão CC são dispostas de forma crescente, sendo descritas em (4-4), [28].

$$V_1 \leq V_2 \leq V_3 \quad (4-4)$$

A restrição (ii) garante que todas as fontes de tensão CC serão múltiplas de V_1 , e seus valores normalizados são dados por (4-5), [30], onde $V_{base} = V_1$.

$$V_j = \frac{V_{cc,j}}{V_{base}} \quad e \quad V_j \in \mathbb{N}, \quad j = 1, 2, \dots, n \quad (4-5)$$

A restrição (iii) é dada por (4-6). As condições (ii) e (iii) asseguram que todos os níveis da tensão de saída do inversor estarão igualmente espaçados [40].

$$V_j = 1 + 2 \sum_{k=1}^{j-1} V_k, \quad j = 2, 3, \dots, n \quad (4-6)$$

A soma dos valores normalizados das fontes CC em uma fase é σ_n , (4-7), e o número de níveis é dado por m (4-8), [46].

$$\sigma_n = \sum_{j=1}^n V_j \quad (4-7)$$

$$m = 1 + 2\sigma_n \quad (4-8)$$

Respeitando as restrições (i), (ii) e (iii), conclui-se que $V_1=1$, $V_1 \leq V_2 \leq 3$ e $V_2 \leq V_3 \leq 9$. Porém, para apresentar todas as combinações possíveis deve-se dividi-las em conjuntos, onde as fontes das células 1 e 2 apresentam um valor normalizado específico e a célula 3 apresentará uma faixa de variação, que inicia na amplitude da célula anterior (célula 2) e termina na amplitude obtida através de (4-6). Assim, obtêm-se três conjuntos, no primeiro

conjunto as amplitudes das fontes CC são: $V_1=1$, $V_2=1$ e $1 \leq V_3 \leq 5$. O segundo conjunto é $V_1=1$, $V_2=2$ e $2 \leq V_3 \leq 7$. E o terceiro conjunto é $V_1=1$, $V_2=3$ e $3 \leq V_3 \leq 9$. Existe um total de dezoito possíveis combinações das amplitudes das fontes CC para os três conjuntos apresentados, mostradas na Tabela 4-1.

A topologia simétrica apresenta o menor número de níveis, 7, onde 3 níveis são positivos, o nível zero e 3 níveis negativos. Enquanto que a configuração 1-3-9 apresentará o número máximo de níveis na tensão de saída, 27 (13 níveis positivos, o nível zero e 13 níveis negativos).

Tabela 4-1. Configurações com níveis adjacentes uniformes

Configuração Candidata	V_1	V_2	V_3	m
1	1	1	1	7
2	1	1	2	9
3	1	1	3	11
4	1	1	4	13
5	1	1	5	15
6	1	2	2	11
7	1	2	3	13
8	1	2	4	15
9	1	2	5	17
10	1	2	6	19
11	1	2	7	21
12	1	3	3	15
13	1	3	4	17
14	1	3	5	19
15	1	3	6	21
16	1	3	7	23
17	1	3	8	25
18	1	3	9	27

A restrição (iv) é empregada para garantir que todos os níveis serão modulados em alta frequência mesmo que somente a célula de menor potência opere com PWM, (4-9). Com

isto, o conteúdo harmônico das tensões de saída estará concentrado em torno da frequência de comutação da célula *H-bridge* com menor fonte de tensão [47].

$$V_j = 2 \sum_{k=1}^{j-1} V_k, \quad j = 2, 3, \dots, n \quad (4-9)$$

Com esta restrição o número de possíveis configurações candidatas diminui de dezoito para nove candidatas, que estarão dispostas em dois conjuntos: no primeiro $V_1=1$, $V_2=1$ e $1 \leq V_3 \leq 4$, e no segundo, $V_1=1$, $V_2=2$ e $1 \leq V_3 \leq 6$, Tabela 4-2. Fornecendo um máximo de 19 níveis com a configuração 1-2-6.

Tabela 4-2. Configurações para níveis adjacentes uniformes e modulados em alta frequência.

Configuração Candidata	V_1	V_2	V_3	m
1	1	1	1	7
2	1	1	2	9
3	1	1	3	11
4	1	1	4	13
5	1	2	2	11
6	1	2	3	13
7	1	2	4	15
8	1	2	5	17
9	1	2	6	19

Para as próximas análises, os índices de modulação em frequência (m_f) e em amplitude (m_a) são dados por (4-10) e (4-11), [46], respectivamente. Onde, f_s é a frequência de comutação da célula de menor potência, f_r é a frequência do sinal de referência e V_{refp} é o valor de pico normalizado da componente fundamental do sinal de referência:

$$m_f = \frac{f_s}{f_r} \quad (4-10)$$

$$m_a = \frac{V_{refp}}{\sigma_n} \quad (4-11)$$

Com base na restrição (v), será garantido que a célula de maior potência não processará uma tensão maior do que a da carga, para toda a excursão de m_a , (4-12), [41], onde V_n deve ser um número natural menor ou igual ao número que tenha sido encontrado.

$$V_n \leq \frac{\pi}{2} \cdot \sum_{k=1}^{n-1} V_k \in \mathbb{N} \quad (4-12)$$

A restrição (v) determina que o valor normalizado máximo obtido para a fonte de maior tensão é quatro, e conseqüentemente agora se tem sete configurações candidatas, Tabela 4-3.

Tabela 4-3. Configurações para níveis adjacentes uniformes, modulados em alta freqüência e V_3 não processa tensão maior que a tensão da carga

Configuração Candidata	V_1	V_2	V_3	m
1	1	1	1	7
2	1	1	2	9
3	1	1	3	11
4	1	1	4	13
5	1	2	2	11
6	1	2	3	13
7	1	2	4	15

A restrição (vi) estabelece que nenhuma célula pode sintetizar tensão fundamental negativa para toda excursão de m_a . Desta forma, será possível empregar como conversor de entrada um retificador não controlado. Atendendo a todas as restrições apresentadas resultam apenas duas possíveis configurações como candidatas, sendo apresentadas na Tabela 4-4.

Tabela 4-4. Possíveis configurações para níveis adjacentes uniformes, modulados em alta freqüência, V_3 não processa tensão maior que a da carga e utilizam-se apenas retificadores não controlados.

Configuração Candidata	V_1	V_2	V_3	m
1	1	1	1	7
2	1	1	2	9

As formas de onda de referência e de saída de cada uma das células H-bridge são apresentadas na Figura 4-4 para o inversor 1-1-1 e na Figura 4-5 para o inversor 1-1-2, onde, V_{ref3} e v_{out3} são respectivamente os sinais de referência e de saída da célula 3, V_{ref2} e v_{out2} da célula 2, V_{ref1} e v_{out1} da célula 1 e $v_o(t)$ é a tensão de fase de saída.

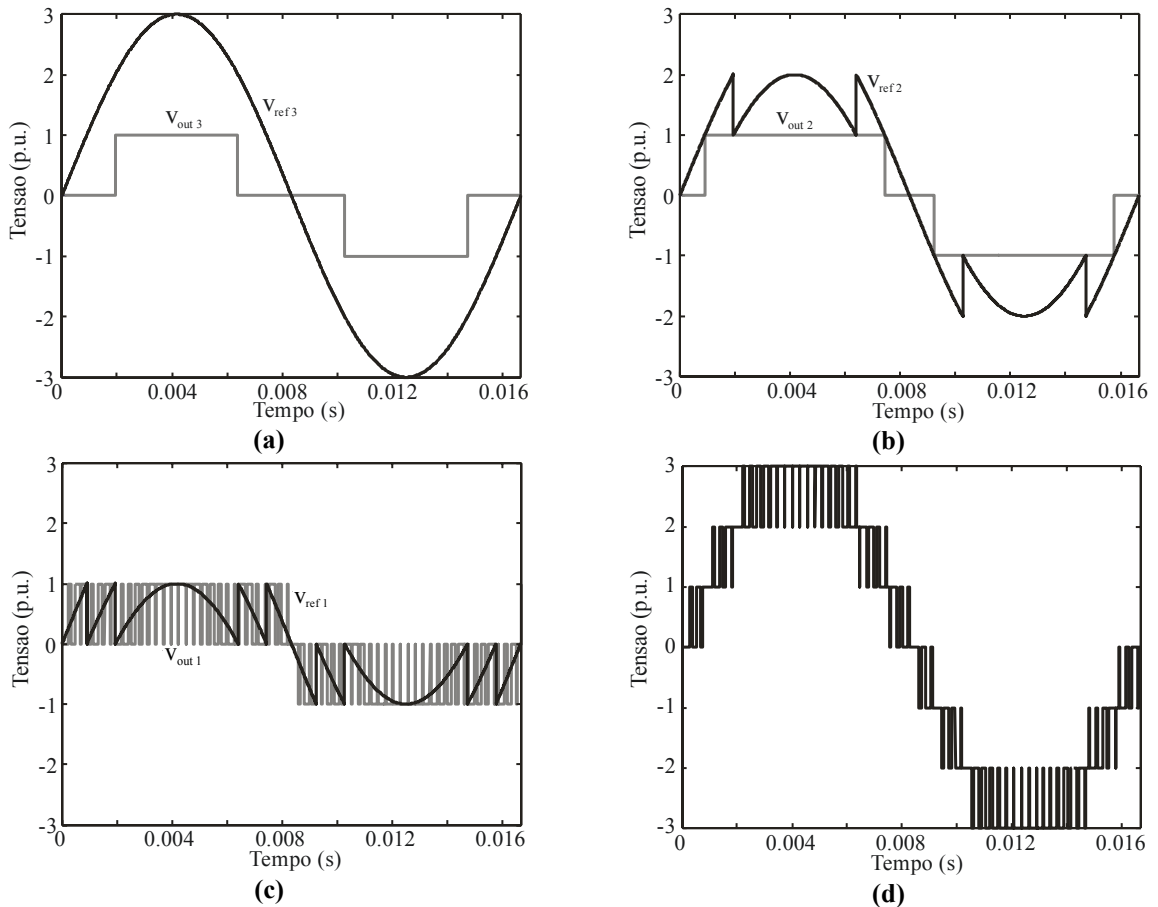


Figura 4-4. Formas de onda do inversor 1-1-1; (a) célula 3; (b) célula 2, (c) célula 1; (d) tensão de fase

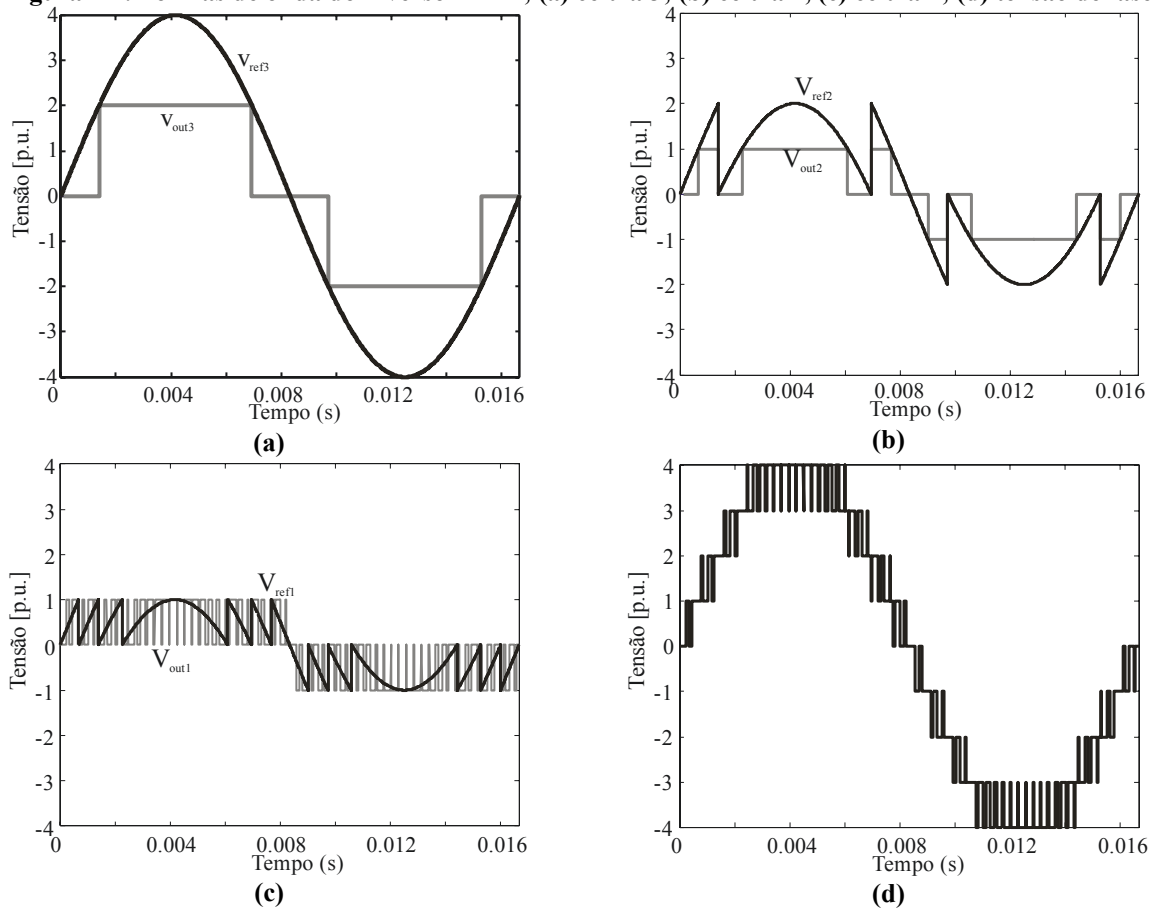


Figura 4-5. Formas de onda do inversor 1-1-2; (a) célula 3; (b) célula 2, (c) célula 1; (d) tensão de fase

4.3. Índices de desempenho

Na seção anterior foram definidas seis restrições que reduziram o número de arranjos das fontes CC para duas. A primeira emprega amplitudes simétricas, sendo denominada de Tipo 1-1-1, visto que a amplitude das fontes normalizadas são todas iguais. A configuração 1-1-2 recebe este nome, pois a amplitude normalizada, da fonte de maior potência, é igual ao dobro da amplitude das fontes CC das outras duas células.

Nesta seção serão apresentados os resultados obtidos a partir de quatro índices de desempenho, que possibilitaram definir qual das duas configurações é a mais adequada para fazer o acionamento da máquina especificada no capítulo 2. Os índices empregados nesta seção serão taxa de distorção harmônica (THD), fator de distorção de primeira ordem (DF1), perdas e custo dos dispositivos semicondutores principais.

4.3.a) Distorção da forma de onda da tensão de saída

A tensão de saída do conversor é controlada variando-se o índice de modulação em amplitude (m_a), portanto, deve-se investigar a qualidade das formas de onda da tensão de saída em toda a faixa de operação do conversor ($0 \leq m_a \leq 1$). Pela razão mencionada é efetuado o cálculo da distorção harmônica total (THD) e do fator de distorção de primeira ordem (DF1) para as tensões de fase de saída dos dois sistemas.

4.3.a.i) Distorção harmônica total (THD)

Na Figura 4-6 é apresentada a THD da tensão de fase de saída em toda faixa de variação do índice de modulação em amplitude (m_a) para as duas topologias pré-selecionadas, tipos 1-1-1 e 1-1-2. A THD obtida para configuração 1-1-1 é de 17,6%, sendo mais elevada do que a obtida para a configuração 1-1-2 que apresentou 13,8 % de distorção harmônica para um m_a igual a 1 e um índice de modulação em frequência (m_f) igual a 61. Para esta análise a configuração 1-1-2 apresentou melhor desempenho.

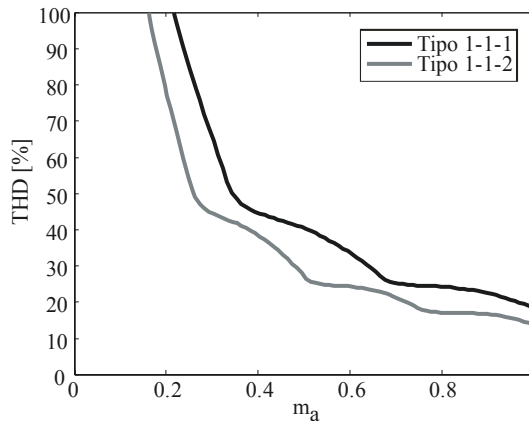


Figura 4-6. Taxa de distorção harmônica total (THD)

4.3.a.ii) Fator de distorção de primeira ordem (DF1)

O fator de distorção de primeira ordem é apresentado na Figura 4-7 para as configurações 1-1-1 e 1-1-2 para toda a faixa de operação do conversor e para um m_f igual a 61. Constata-se que a configuração 1-1-2 apresentou novamente um melhor desempenho, onde se verifica que para um $m_a=1$ a configuração 1-1-1 apresentou um $DF1=0,26\%$ enquanto a configuração 1-1-2 teve um $DF1=0,20\%$.

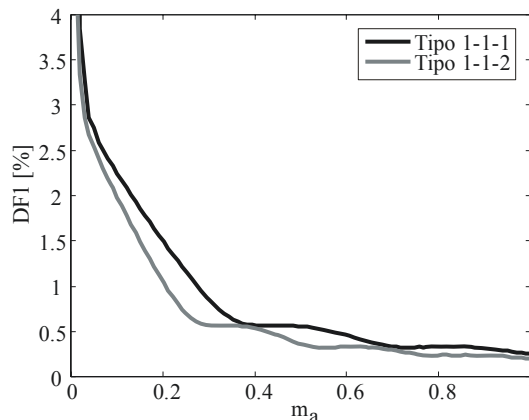


Figura 4-7. Fator de distorção de primeira ordem (DF1)

4.3.b) Perdas nos semicondutores

O primeiro passo para realizar a estimação das perdas é determinar os dispositivos semicondutores que estão conduzindo em cada etapa de funcionamento do inversor. Visando facilitar a análise das configurações pré-selecionadas do inversor com célula *H-bridge* conectadas em série, inicialmente este procedimento é realizado para apenas uma célula *H-bridge* do inversor, apresentada na Figura 4-8 (a). Posteriormente este mesmo processo é efetuado para os inversores 1-1-1 e 1-1-2.

A Figura 4-8 apresenta o diagrama esquemático da célula H-*bridge* e os caminhos da corrente para cada nível de tensão aplicado a carga, para corrente positiva e negativa (casos onde a carga apresenta fator de potência diferente de 1). Nos diagramas (b) e (c) é aplicada uma tensão positiva (1 p.u.) na carga, enquanto que nos diagramas (d) e (e) é aplicada uma tensão negativa (-1 p.u.). Em ambos os casos existe apenas uma forma de aplicar a tensão à carga para cada sentido de corrente. Porém, para gerar o nível (zero) têm-se dois modos para cada sentido de corrente, um empregando somente as chaves superiores e outro utilizando apenas as chaves inferiores, respectivamente (f), (g), (h) e (i).

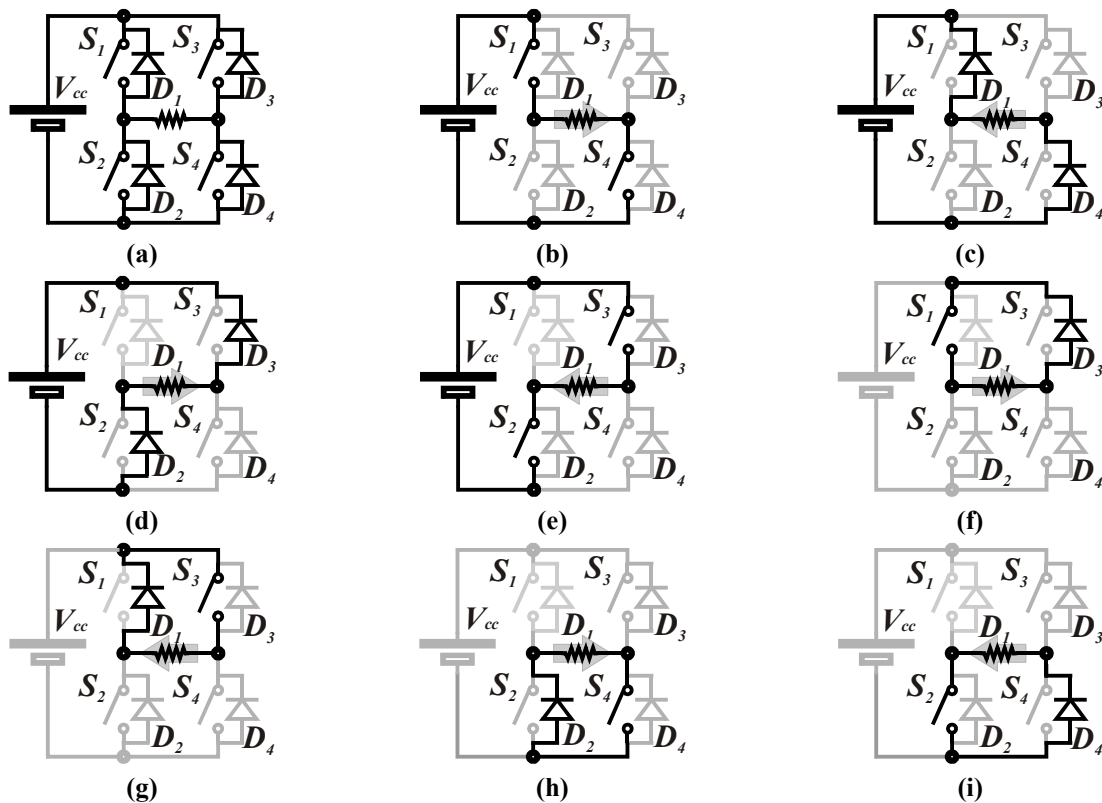


Figura 4-8. Caminhos da corrente

Os caminhos da corrente de carga na célula H-*bridge* podem ser apresentados de uma forma simplificada como na Tabela 4-5, onde os dispositivos que estão conduzindo são marcados por um (x).

Tabela 4-5. Lógica de comutação geral para a célula H-*bridge*

Nível	Corrente	Dispositivo Semicondutor							
		S1	D1	S2	D2	S3	D3	S4	D4
1	$i > 0$	x						x	
	$i < 0$		x						x
0	$i > 0$	x			x		x		
	$i < 0$		x		x		x		x
-1	$i > 0$				x		x		
	$i < 0$			x		x			

Empregando as quatro possibilidades de gerar o nível zero, Tabela 4-5, num período da forma de onda fundamental da tensão, resulta em um balanço nas perdas de condução dos dispositivos semicondutores. Contudo, visando simplificar as análises subseqüentes serão empregados somente os dispositivos inferiores para realizar a geração do nível zero, Figura 4-8 (h) e (i). Esta lógica simplificada é apresentada na Tabela 4-6.

Tabela 4-6. Lógica de comutação geral para a célula H-bridge empregada

Nível	Corrente	Dispositivo Semicondutor							
		S1	D1	S2	D2	S3	D3	S4	D4
1	$i > 0$	X						X	
	$i < 0$		X						X
0	$i > 0$				X			X	
	$i < 0$			X					X
-1	$i > 0$				X		X		
	$i < 0$			X		X			

Após a determinação dos caminhos da corrente para apenas uma célula deve-se realizar este estudo para uma fase do inversor tipo 1-1-1 e tipo 1-1-2, que conta com três células H-bridge conectadas em série, Figura 4-9.

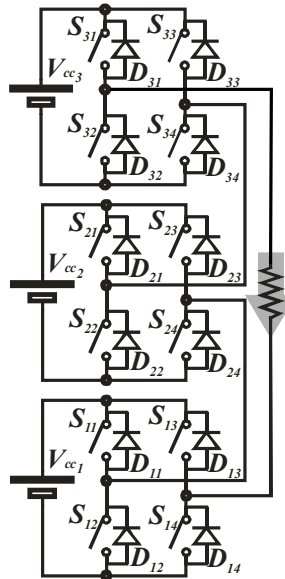


Figura 4-9. Diagrama esquemático de uma fase

Os caminhos da corrente para o inversor 1-1-1 são apresentados na Figura 4-10 para geração do nível 3, na Figura 4-11 para obter o nível 2 na tensão de saída, na Figura 4-12 para o nível 1 e para gerar o nível zero na Figura 4-13 quando a corrente de carga é positiva e na Figura 4-14 quando a corrente é negativa.

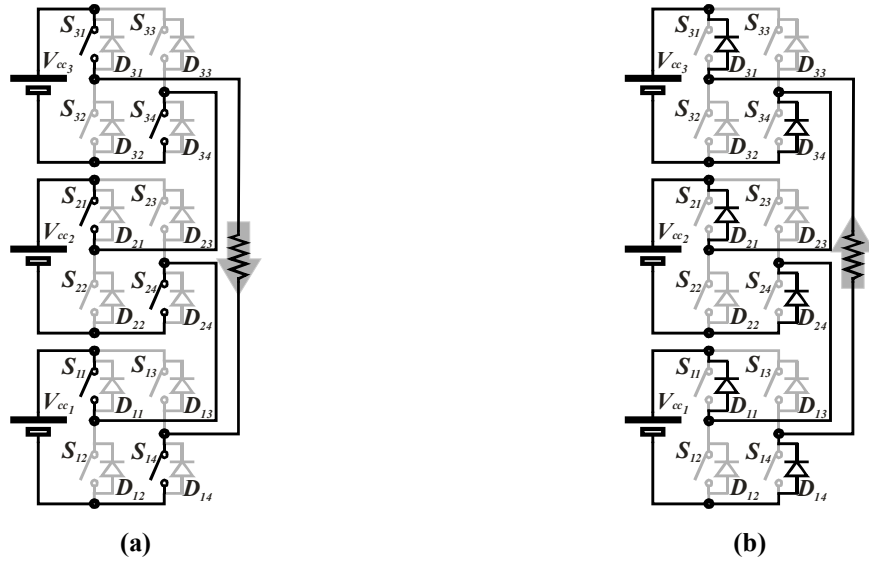


Figura 4-10. Caminhos da corrente para gerar o nível 3, configuração 1-1-1

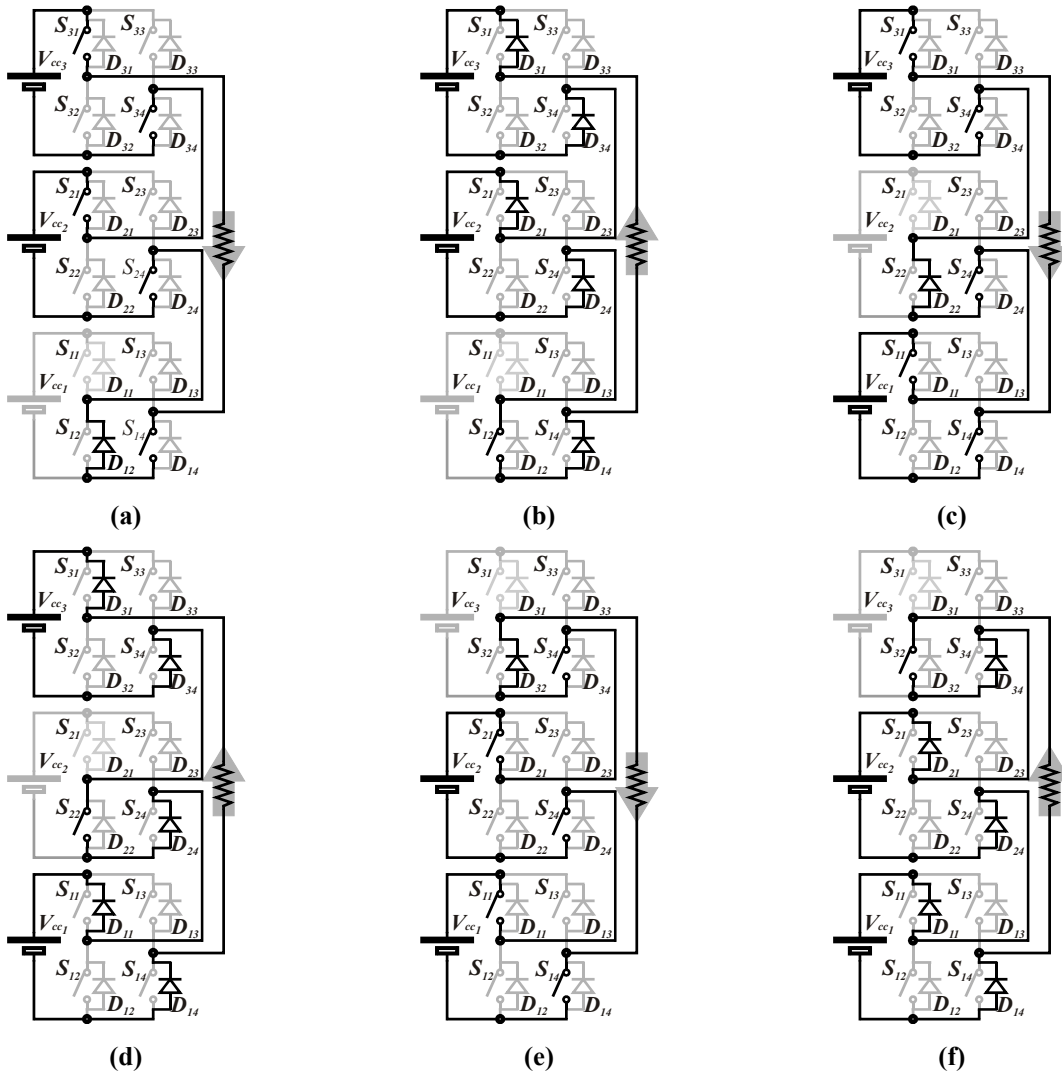


Figura 4-11. Caminhos da corrente para gerar o nível 2, configuração 1-1-1

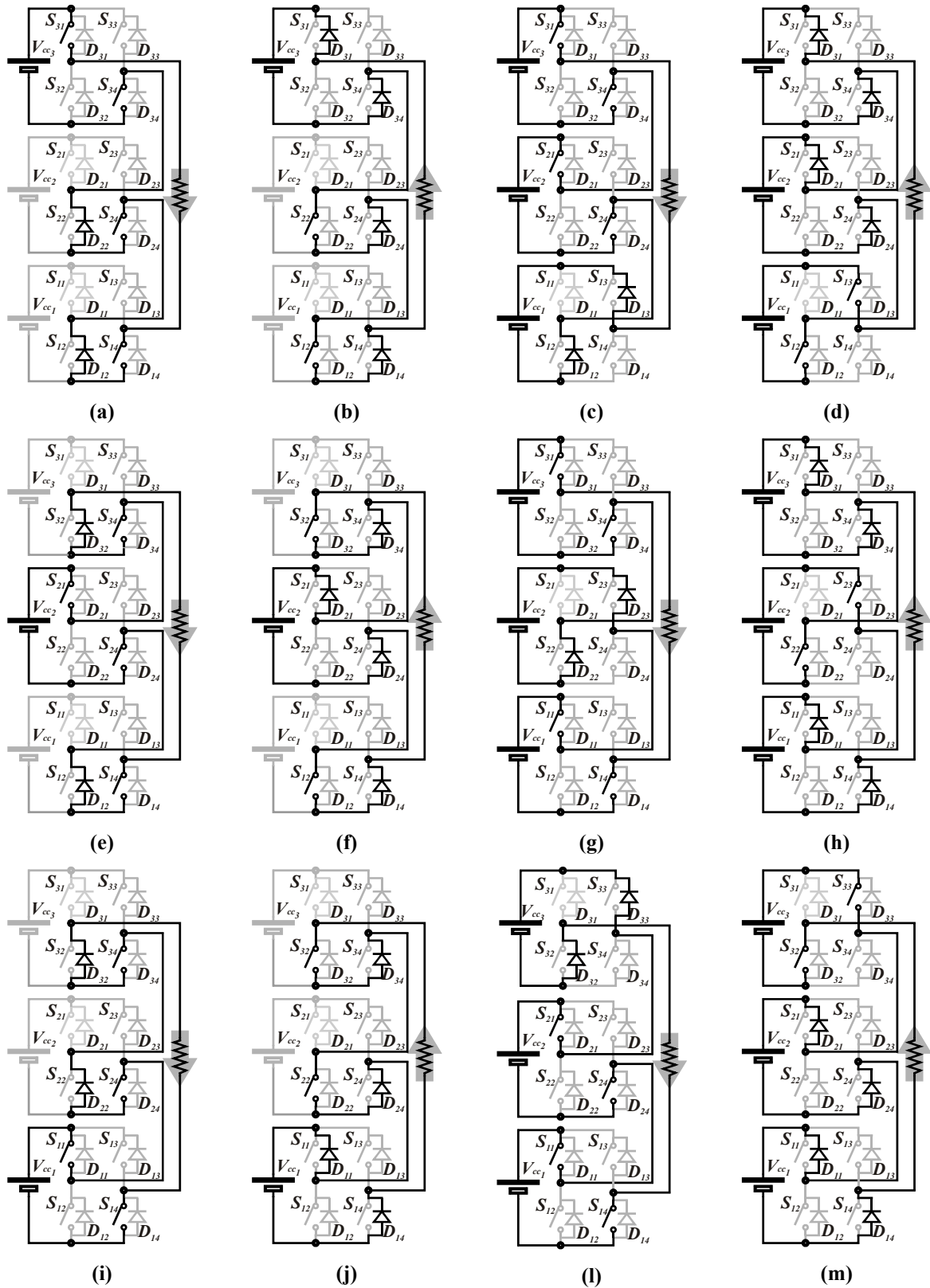


Figura 4-12. Caminhos da corrente para gerar o nível 1, configuração 1-1-1

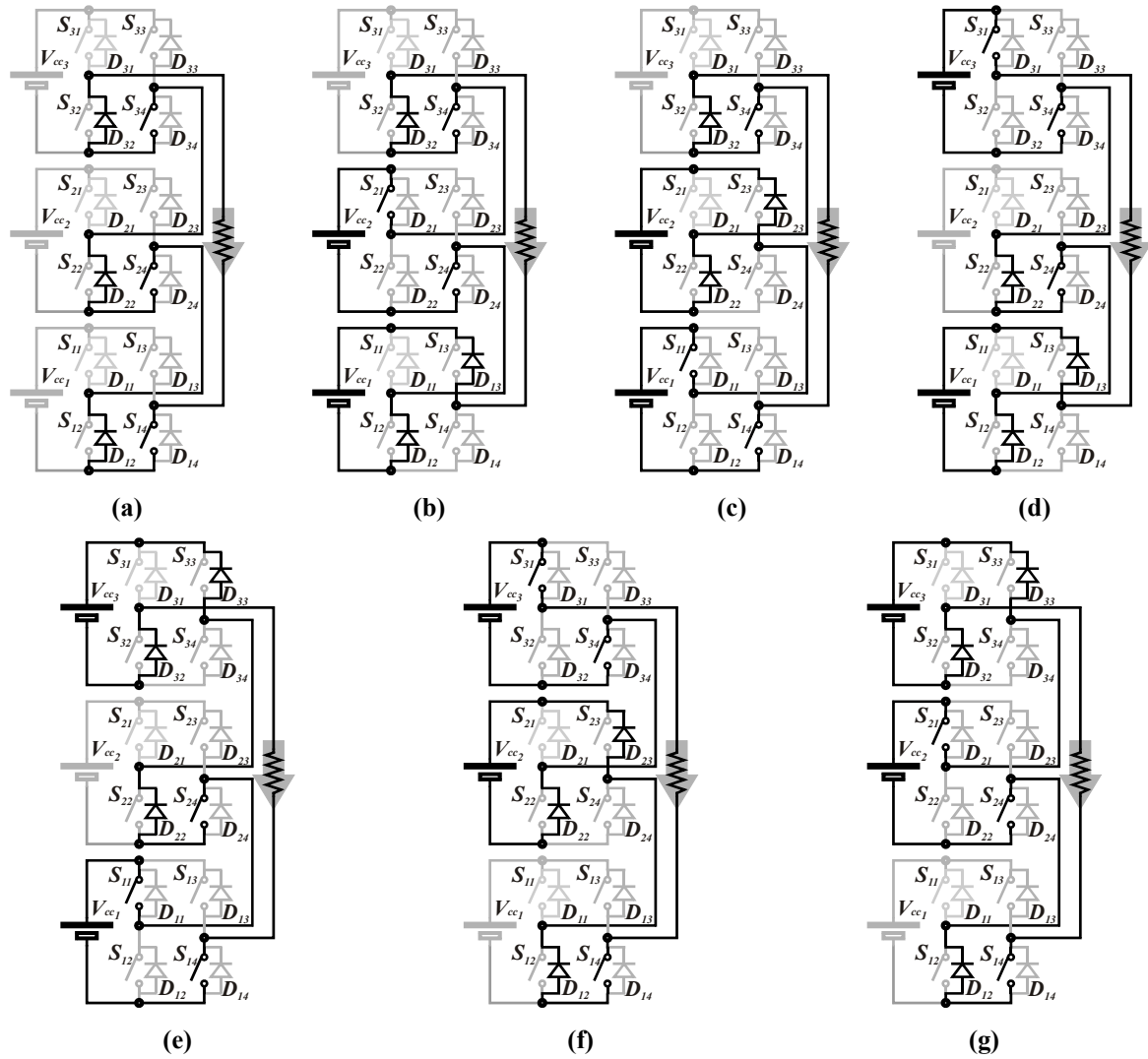


Figura 4-13. Caminhos da corrente para gerar o nível 0 e corrente positiva, inversor 1-1-1

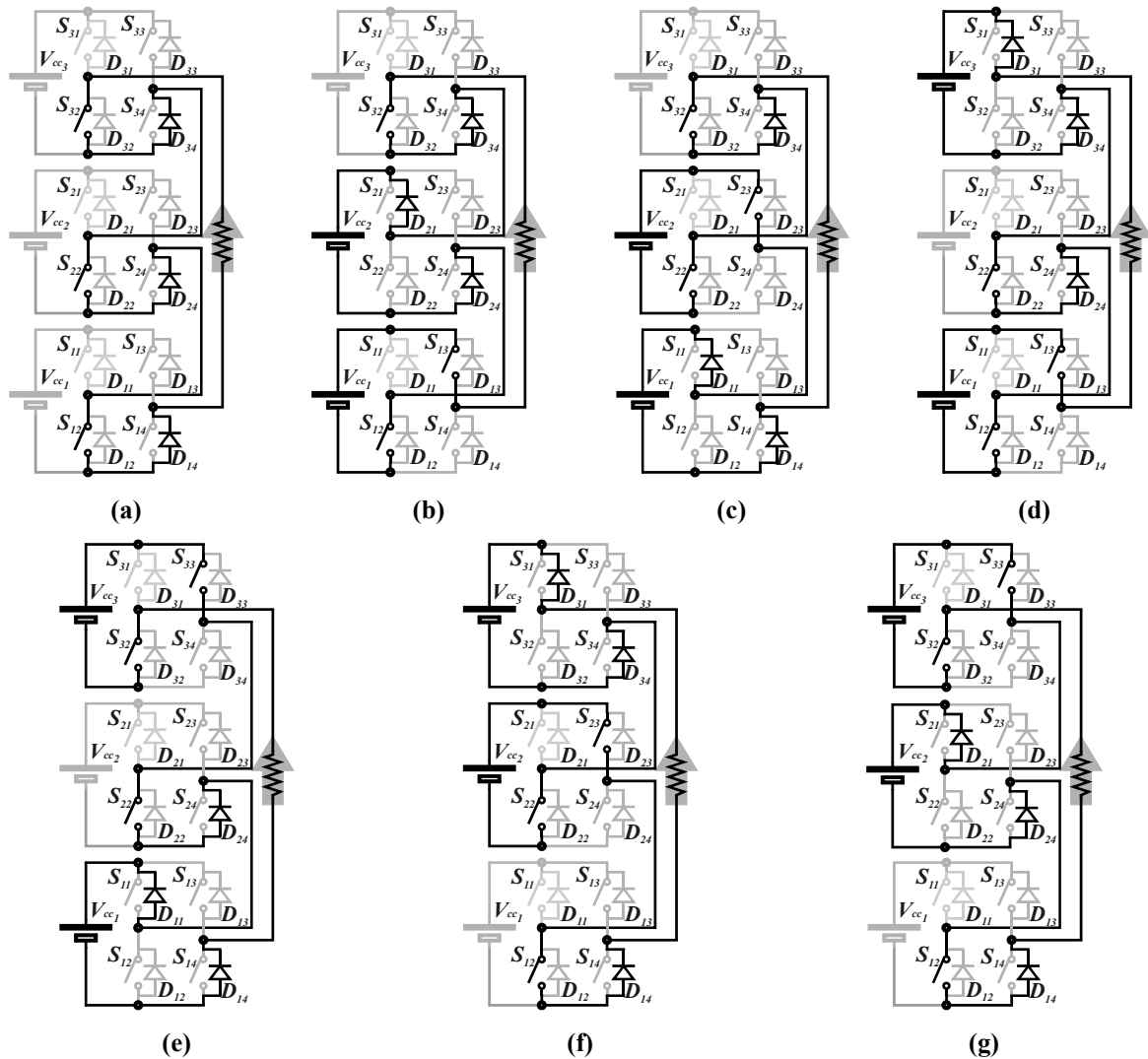


Figura 4-14. Caminhos da corrente para gerar o nível 0 e corrente negativa, inversor 1-1-1

Na Figura 4-10, Figura 4-11, Figura 4-12, Figura 4-13 e na Figura 4-14 foi possível observar que existem varias formas de sintetizar na saída do conversor um determinado nível. Para gerar o nível +3 existe uma possibilidade para cada sentido da corrente de carga. Para sintetizar o nível +2 existem três alternativas para cada sentido da corrente. Para gerar o nível +1 encontram-se seis alternativas para corrente positiva mais seis para corrente negativa. Para gerar o nível zero existem sete possibilidades para cada sentido da corrente. Os níveis negativos apresentarão o mesmo número de possibilidades que seus níveis opostos. Salienta-se que os níveis zeros foram obtidos apenas empregando os semicondutores inferiores das pontes H-*bridge*.

Na Tabela 4-7 são apresentadas de forma simplificada todas as formas redundantes de obtenção dos níveis de tensão do conversor. Enquanto na Tabela 4-8 são apresentadas apenas as possibilidades quando se empregam os níveis máximos de comparação da técnica de modulação multinível híbrida.

Tabela 4-7. Lógica de comutação para o inversor 1-1-1

		Configuração 1-1-1																							
Nível	Corrente	Dispositivo Semicondutor																							
		S31	D31	S32	D32	S33	D33	S34	D34	S21	D21	S22	D22	S23	D23	S24	D24	S11	D11	S12	D12	S13	D13	S14	D14
3	$i > 0$	X						X		X					X		X							X	
	$i < 0$		X						X		X					X		X							X
2	$i > 0$	X						X		X					X		X			X				X	
	$i < 0$		X						X		X				X		X			X					X
1	$i > 0$	X						X		X					X		X			X				X	
		X			X			X		X					X		X			X			X		X
	X			X		X		X		X				X		X			X			X		X	
	$i < 0$		X					X		X					X		X			X				X	
0	$i > 0$				X			X		X					X		X			X				X	
					X			X		X					X		X			X				X	
	X			X		X		X		X				X		X			X				X		
	$i < 0$		X					X		X					X		X			X				X	
-1	$i > 0$				X			X		X					X		X			X				X	
					X			X		X					X		X			X				X	
	X			X		X		X		X				X		X			X				X		
	$i < 0$		X					X		X					X		X			X				X	
-2	$i > 0$				X			X		X					X		X			X				X	
	$i < 0$				X			X		X					X		X			X				X	
-3	$i > 0$				X			X		X					X		X			X				X	
	$i < 0$				X			X		X					X		X			X				X	

Tabela 4-8. Lógica de comutação para o inversor 1-1-1 quando $\Psi_3=2$ e $\Psi_2=1$

Nível	Corrente	Dispositivo Semicondutor															
		S31 D31	S32 D32	S33 D33	S34 D34	S21 D21	S22 D22	S23 D23	S24 D24	S11 D11	S12 D12	S13 D13	S14 D14				
3	$i > 0$	X				X		X				X		X			X
	$i < 0$		X				X		X				X			X	
2	$i > 0$			X		X		X				X		X			X
	$i < 0$		X				X		X			X		X			X
1	$i > 0$			X		X			X		X		X			X	
	$i < 0$		X				X			X		X			X		X
0	$i > 0$			X		X			X		X		X		X		X
	$i < 0$		X				X			X		X		X		X	
-1	$i > 0$			X		X			X		X		X		X		X
	$i < 0$		X				X			X		X		X		X	
-2	$i > 0$			X		X			X		X		X		X		X
	$i < 0$		X				X			X		X		X		X	
-3	$i > 0$			X		X			X		X		X		X		X
	$i < 0$		X			X			X		X		X		X		X

Da mesma forma que o inversor simétrico (1-1-1) o inversor assimétrico (1-1-2) também apresenta formas redundantes para sintetizar uma dada tensão na saída. Para sintetizar o nível +4 existe apenas uma combinação para cada sentido da corrente Figura 4-15, pois todas as células devem estar gerando em suas saídas uma tensão positiva. Para gerar o nível +3 Figura 4-16 existem duas combinações para cada sentido da corrente. Para sintetizar o nível +2 Figura 4-17 tem-se quatro combinações para corrente positiva e quatro para a corrente negativa. Na Figura 4-18 são apresentadas as combinações para geração do nível +1, que resultam num total de quatro combinações para cada sentido da corrente de carga. Finalmente, na Figura 4-19 são expostas as combinações que levam a geração do nível zero na tensão de saída, resultando em cinco possibilidades para cada sentido da corrente.

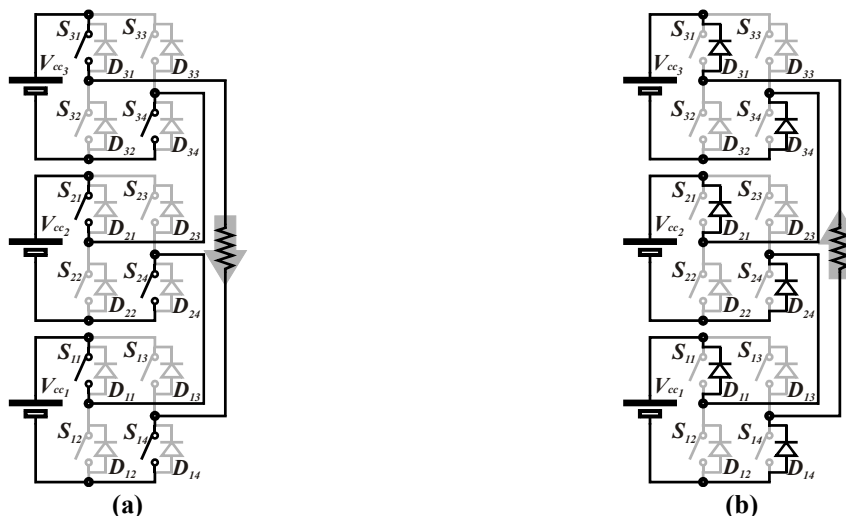


Figura 4-15. Caminhos da corrente para gerar o nível 4, inversor 1-1-2

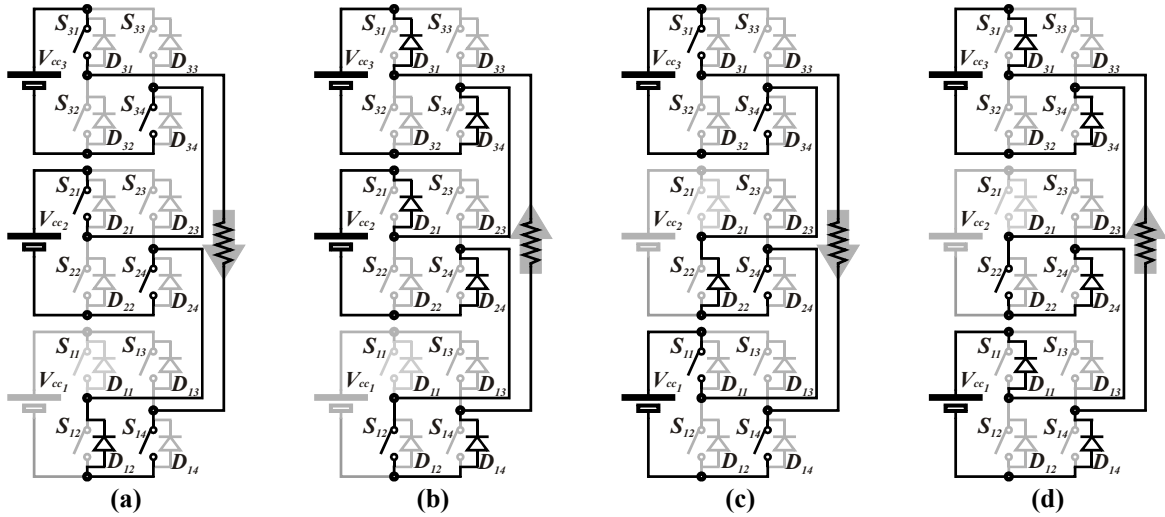


Figura 4-16. Caminhos da corrente para gerar o nível 3, inversor 1-1-2

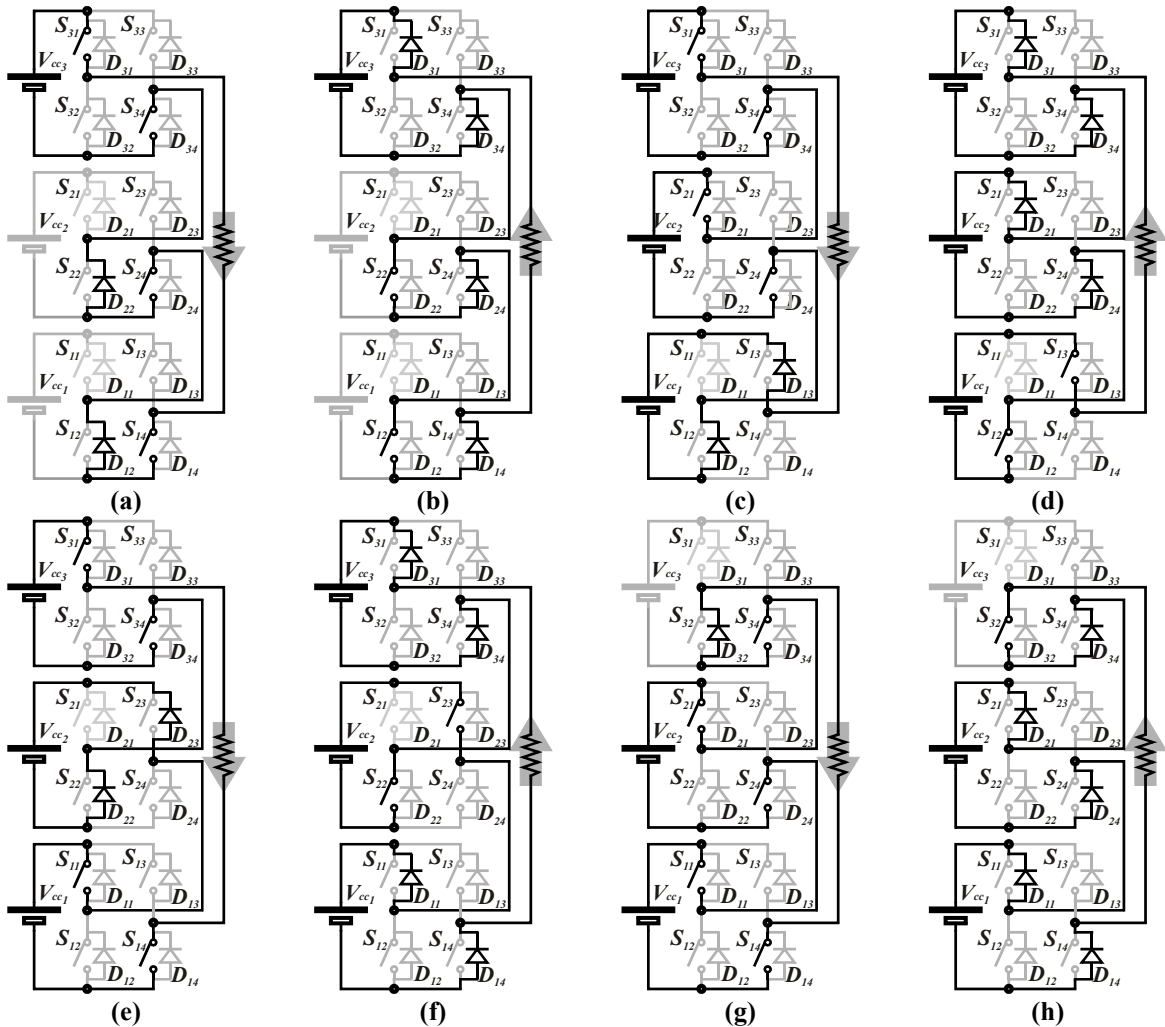


Figura 4-17. Caminhos da corrente para gerar o nível 2, inversor 1-1-2

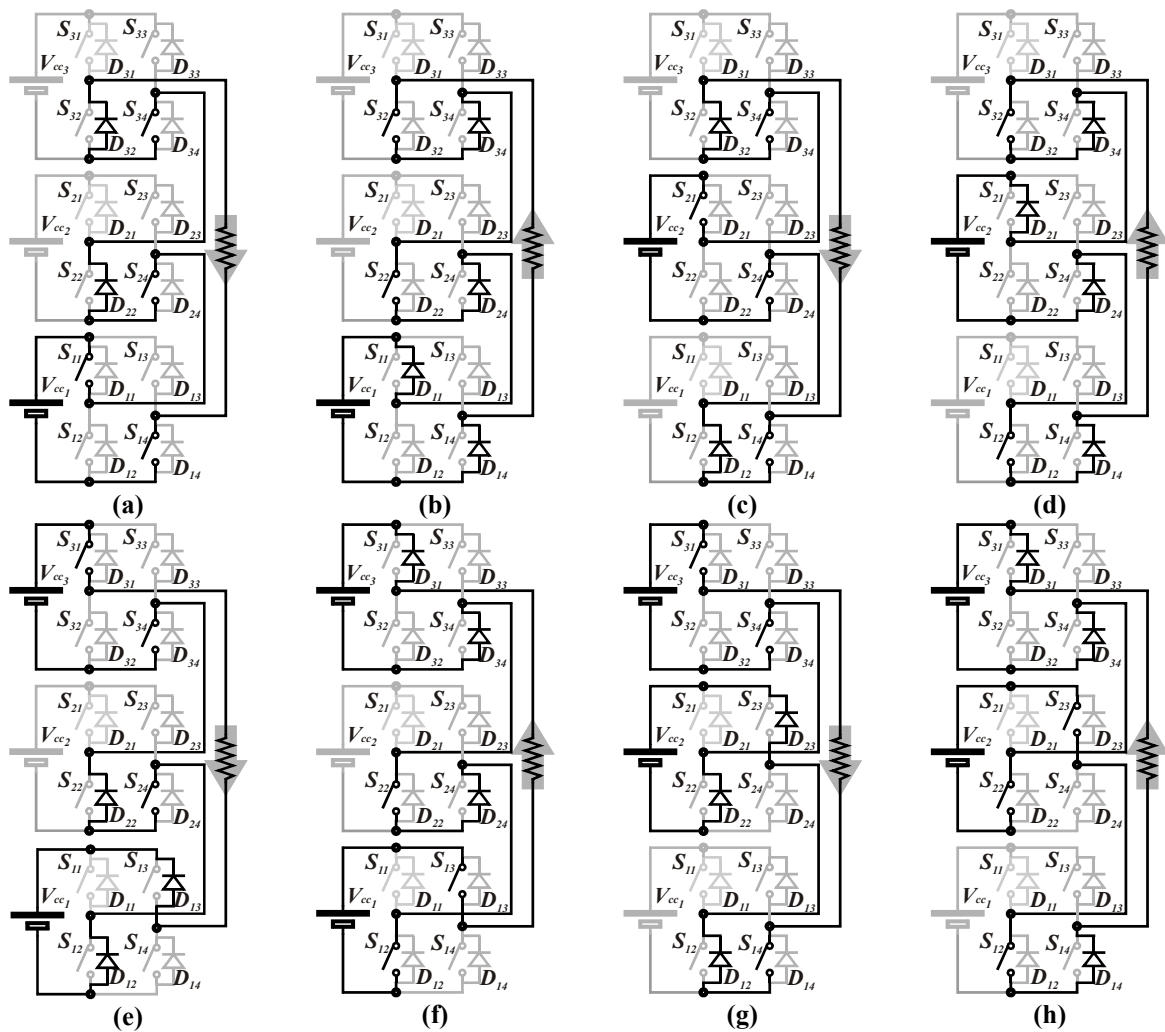


Figura 4-18. Caminhos da corrente para gerar o nível 1, inversor 1-1-2

Os caminhos da corrente para as combinações redundantes de geração de todos os níveis de tensão do inversor 1-1-2, apresentados na Figura 4-15, na Figura 4-16, na Figura 4-17, na Figura 4-18 e na Figura 4-19 são apresentados no formato simplificado Tabela 4-9. Quando se empregam os níveis de comparação máximos da técnica de modulação híbrida, resultam apenas as combinações apresentadas na Tabela 4-10 para geração de cada nível de tensão.

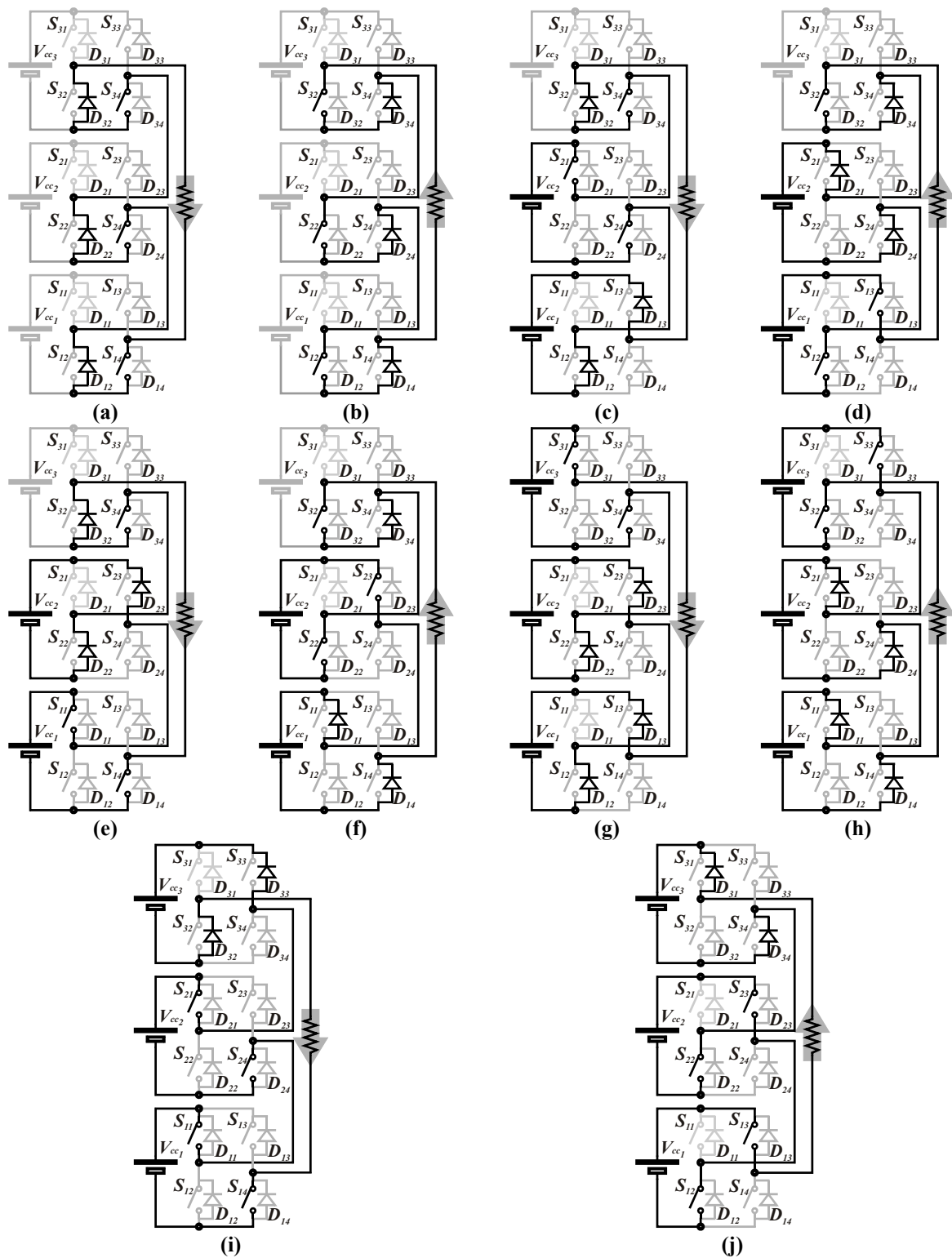


Figura 4-19. Caminhos da corrente para gerar o nível 0, inversor 1-1-2

Tabela 4-9. Lógica de comutação para o inversor 1-1-2

		Configuração 1-1-2																									
Nível	Corrente	Dispositivo Semicondutor																									
		S31	D31	S32	D32	S33	D33	S34	D34	S21	D21	S22	D22	S23	D23	S24	D24	S11	D11	S12	D12	S13	D13	S14	D14		
4	i > 0	X						X		X						X		X							X		
	i < 0		X						X		X						X			X						X	
3	i > 0	X						X		X						X					X				X		
	i < 0		X						X		X						X				X					X	
2	i > 0	X						X		X			X			X					X			X		X	
	i < 0		X						X		X			X			X				X			X		X	
1	i > 0				X			X		X			X			X		X			X			X		X	
	i < 0		X						X		X			X			X		X			X			X		X
0	i > 0				X			X		X			X			X		X			X			X		X	
	i < 0		X						X		X			X			X		X			X			X		X
-1	i > 0				X			X					X			X		X			X			X		X	
	i < 0		X						X				X				X		X			X			X		X
-2	i > 0				X			X					X			X					X			X		X	
	i < 0		X						X				X				X				X			X		X	
-3	i > 0				X			X					X			X					X			X		X	
	i < 0		X						X				X				X				X			X		X	
-4	i > 0				X			X					X			X					X			X		X	
	i < 0		X						X				X				X				X			X		X	

Tabela 4-10. Lógica de comutação para o inversor 1-1-2 quando $\Psi_3=2$ e $\Psi_2=1$

Nível	Corrente	Dispositivo Semicondutor																								
		S31	D31	S32	D32	S33	D33	S34	D34	S21	D21	S22	D22	S23	D23	S24	D24	S11	D11	S12	D12	S13	D13	S14	D14	
4	$i > 0$	X						X		X						X		X							X	
	$i < 0$		X						X		X						X		X							X
3	$i > 0$	X						X				X				X		X							X	
	$i < 0$		X						X			X					X		X							X
2	$i > 0$				X			X		X						X		X							X	
	$i < 0$			X					X		X						X		X							X
1	$i > 0$				X			X				X				X		X							X	
	$i < 0$			X					X			X					X		X							X
0	$i > 0$				X			X				X				X			X			X			X	
	$i < 0$			X					X			X					X			X			X			X
-1	$i > 0$				X			X				X				X			X			X			X	
	$i < 0$			X					X			X					X			X			X			X
-2	$i > 0$				X			X				X			X				X			X			X	
	$i < 0$			X					X			X			X					X			X			X
-3	$i > 0$				X		X					X				X			X			X			X	
	$i < 0$			X		X						X					X			X			X			X
-4	$i > 0$				X		X					X			X				X			X			X	
	$i < 0$			X		X						X			X					X			X			X

4.3.b.i) Comportamento das perdas de condução em função do fator de potência da carga

Na Tabela 4-6 foi mostrada que a geração da tensão positiva para uma corrente de carga positiva acarreta a utilização apenas de IGBTs, enquanto que para corrente negativa utilizam-se apenas diodos. O oposto ocorre para gerar a tensão negativa, onde se a corrente de carga for negativa empregam-se IGBTs, caso contrário diodos. Sabendo que a diminuição do fator de potência conduz a um defasamento da corrente em relação à tensão, conforme Figura 4-20, conclui-se que haverá uma diminuição das perdas de condução à medida que o fator de potência vai diminuindo, devido ao maior tempo de condução dos diodos. Assim sendo, para um defasamento de zero grau ocorrem às perdas de condução máximas, que irá diminuído até o mínimo quando o ângulo do fator de potência é igual a 90 graus. Na prática os motores de indução apresentam um fator de potência em torno de 0.85.

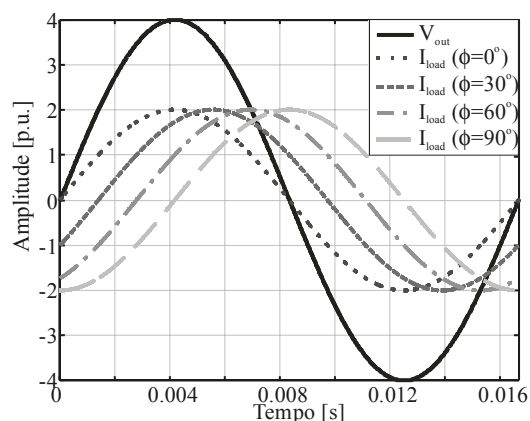


Figura 4-20. Influência do fator de potência nas perdas de condução

4.3.b.ii) Definição dos semicondutores

A análise das perdas de potência está intensamente ligada aos dispositivos semicondutores empregados, sendo essencial a sua definição. A metodologia para estimação das perdas emprega os dados fornecidos nos *datasheets* pelos fabricantes de dispositivos semicondutores.

As análises de perdas foram desenvolvidas para quatro casos específicos de utilização de semicondutores. Os dois primeiros casos são referentes ao inversor 1-1-1, onde no caso I são empregados apenas IGBTs e no caso II são empregados GTOs e IGBTs, Tabela 4-11. Os outros dois casos são alusivos ao inversor 1-1-2, onde o caso III emprega apenas IGBTs e o caso IV IGBTs e GTOs, conforme Tabela 4-12.

Tabela 4-11. Semicondutores empregados nos casos do inversor 1-1-1

Caso	I	II
Célula 3 ($V_{CC,3}=1134V$)	IGBT (T0360NA25A)	GTO (DG306AE25)
Célula 2 ($V_{CC,2}=1134V$)	IGBT (T0360NA25A)	IGBT (T0360NA25A)
Célula 1 ($V_{CC,1}=1134V$)	IGBT (T0360NA25A)	IGBT (T0360NA25A)

Tabela 4-12. Semicondutores empregados nos casos do inversor 1-1-2

Caso	III	IV
Célula 3 ($V_{CC,3}=1700V$)	IGBT (FF200R33KF2C)	GTO (DG408BP45)
Célula 2 ($V_{CC,2}=850V$)	IGBT (BSM200GB170DLC)	IGBT (BSM200GB170DLC)
Célula 1 ($V_{CC,1}=850V$)	IGBT (BSM200GB170DLC)	IGBT (BSM200GB170DLC)

As curvas características dos dispositivos semicondutores empregados podem ser verificadas no Apêndice A, assim como os modelos matemáticos das curvas $V_{ce}(I_{load}(t))$, $V_f(I_{load}(t))$, $E_{on}(I_{load}(t))$, $E_{off}(I_{load}(t))$ e $E_{rec}(I_{load}(t))$ adotados.

4.3.b.iii) Resultados

Nesta subseção são apresentados os gráficos com o comportamento das perdas de condução e comutação para os quatro casos definidos na subseção anterior em função do fator de potência da carga. Inicialmente são apresentados os resultados para os casos I e II,

referentes ao inversor 1-1-1, posteriormente para os casos III e IV, relativos ao inversor 1-1-2 e por último às perdas totais para o melhor caso de cada configuração.

As perdas de condução nos IGBTs e diodos de cada célula *H-bridge* do inversor 1-1-1 podem ser verificadas na Figura 4-21 (a) para o caso I e na Figura 4-21 (b) para o caso II. Onde SW3 representa as perdas nos IGBTs da célula *H-bridge* de maior potência e D3 nos diodos desta célula, SW2 e D2 são relativos a célula 2 e SW1 e D1 são referentes a célula 1.

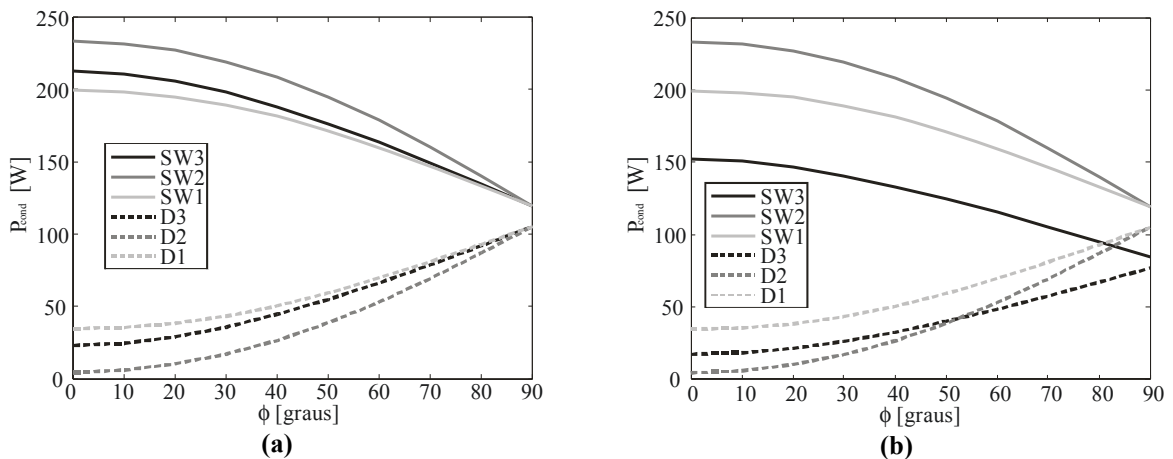


Figura 4-21. Perdas de condução inversor 1-1-1; (a) Caso I; (b) Caso II;

É constatado que as perdas nos IGBTs diminuem enquanto nos diodos aumentam com a diminuição do fator de potência. Também é observado que o uso de GTOs para implementação da célula de maior potência conduz a uma significativa diminuição nas perdas de condução nos semicondutores controlados desta célula.

Na Figura 4-22 são apresentadas as perdas totais de comutação em cada célula *H-bridge* para o caso I e na Figura 4-23 para o caso II. A célula 1 é a única que opera em alta frequência e por isso é a célula que apresenta maiores perdas de comutação, enquanto a célula 2 e 3 apresentam baixas perdas por operarem com baixa frequência de comutação.

Na Figura 4-24 (a) são apresentadas às perdas totais de condução, na Figura 4-24 (b) as perdas totais de comutação e na Figura 4-24 (c) as perdas totais do inversor 1-1-1 para os casos I e II. Para os semicondutores selecionados, as perdas de comutação foram mais significativas do que as de condução. No caso II, onde se empregou GTOs para implementação da célula de maior potência obteve-se uma significativa redução nas perdas de condução, conduzindo também a uma redução nas perdas totais deste caso, o que garantiu uma melhor eficiência a este.

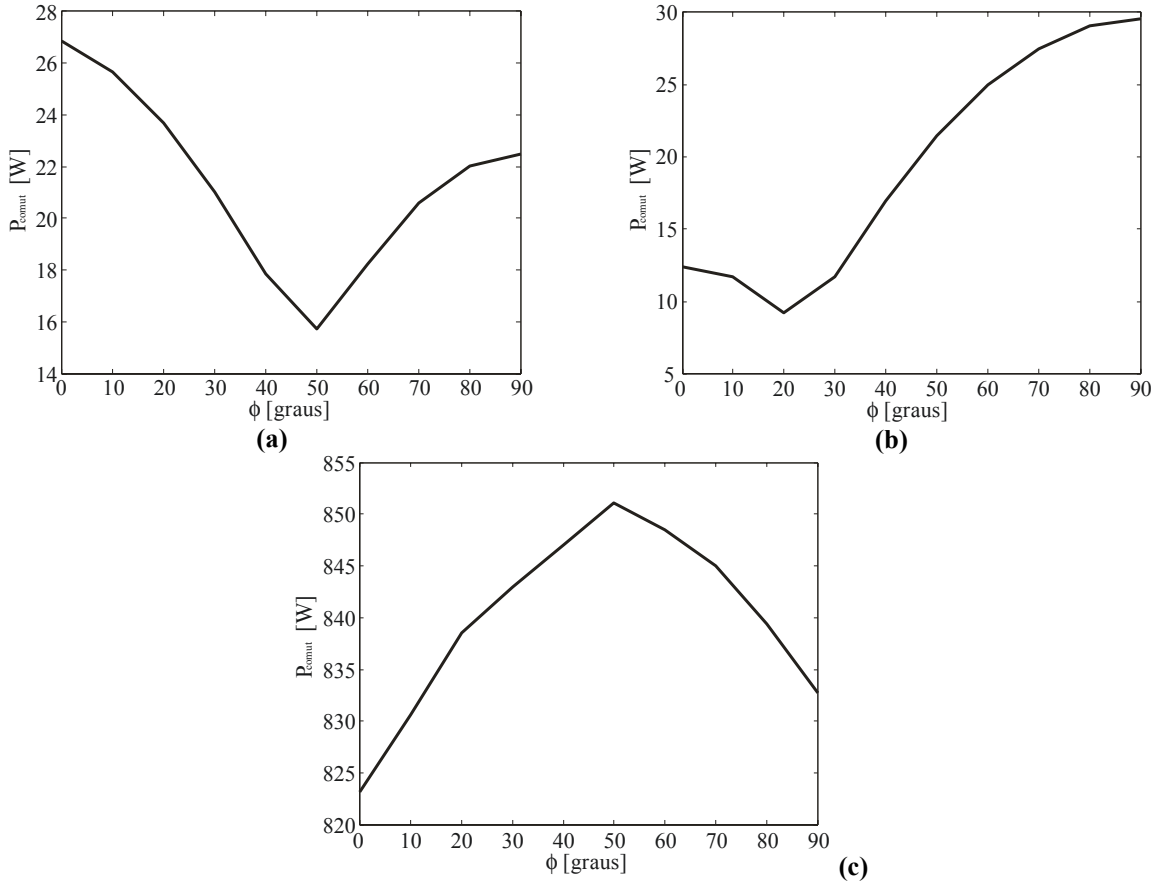


Figura 4-22. Perdas de comutação Caso I; (a) célula 3; (b) célula 2; (c) célula 1;

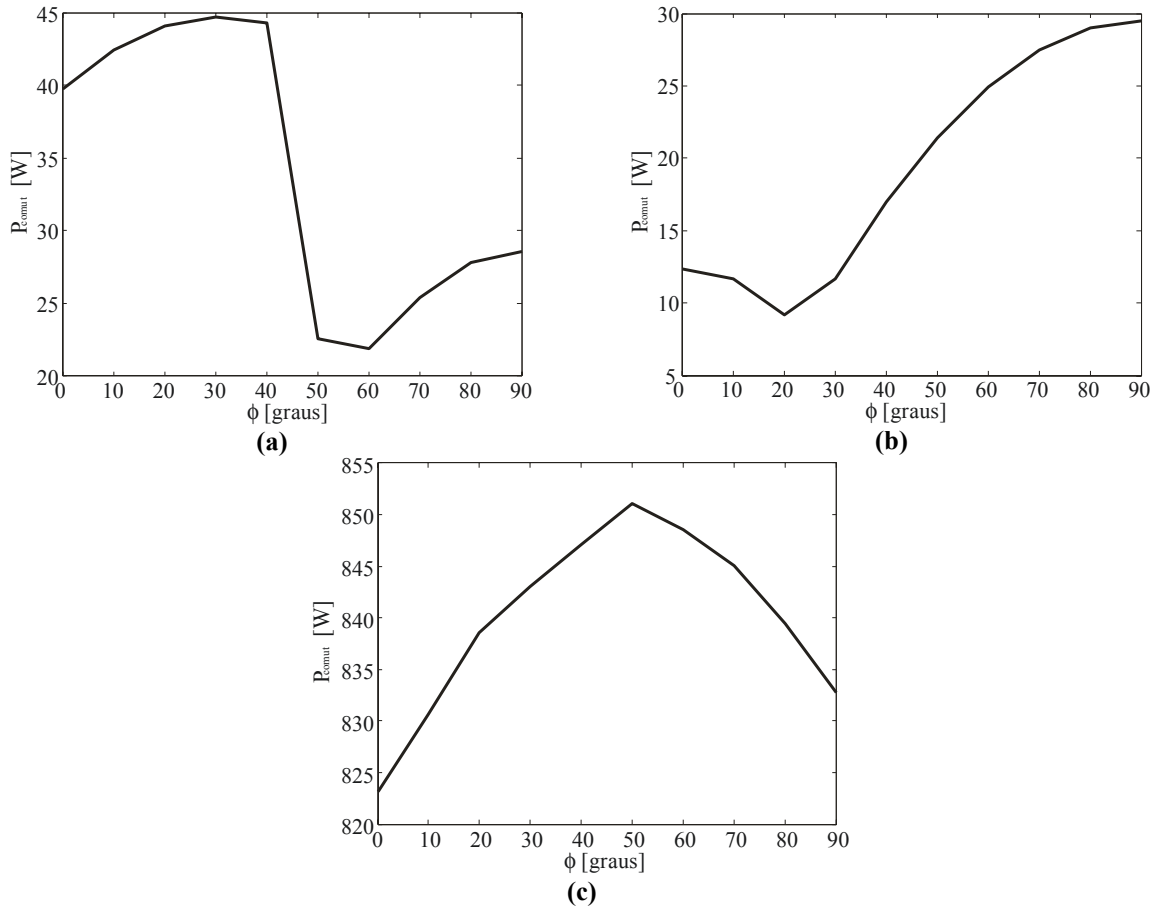


Figura 4-23. Perdas de comutação Caso II; (a) célula 3; (b) célula 2; (c) célula 1;

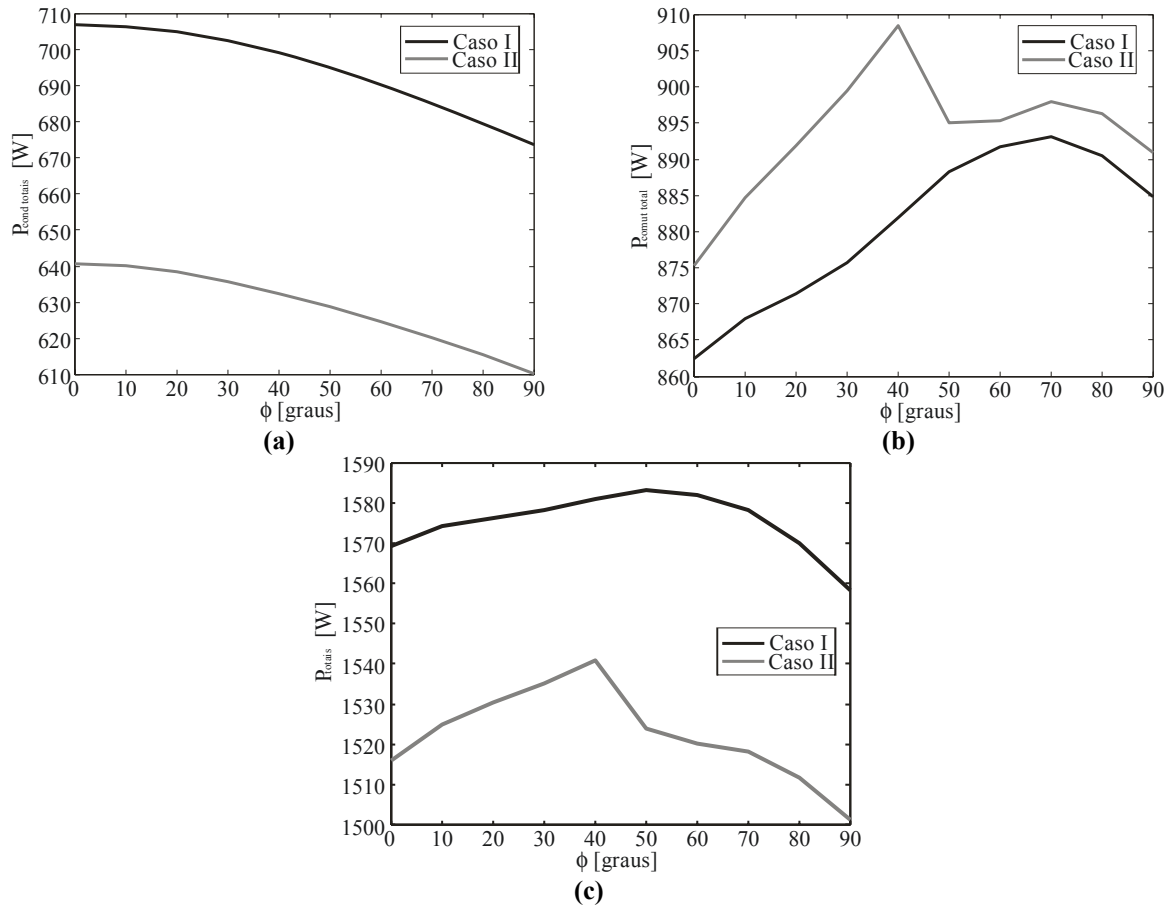


Figura 4-24. Perdas de totais inversor 1-1-1; (a) condução; (b) comutação; (c) totais;

As perdas totais de condução, para os IGBTs e diodos de cada célula, dos casos III e IV são apresentadas na Figura 4-25. Da mesma forma que na configuração 1-1-1, na configuração 1-1-2 o caso que empregou GTOs para implementação da célula *H-bridge* de maior potência apresentou uma significativa redução nas perdas de condução.

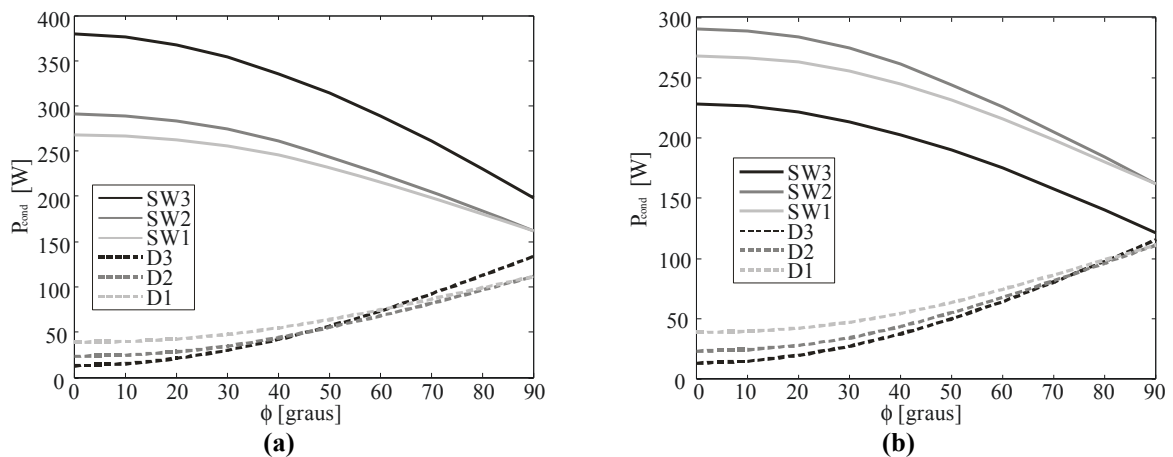


Figura 4-25. Perdas de condução inversor 1-1-2; (a) Caso III; (b) Caso IV;

As perdas de comutação de cada célula *H-bridge* são apresentadas na Figura 4-26 para o caso III e na Figura 4-27 para o caso IV.

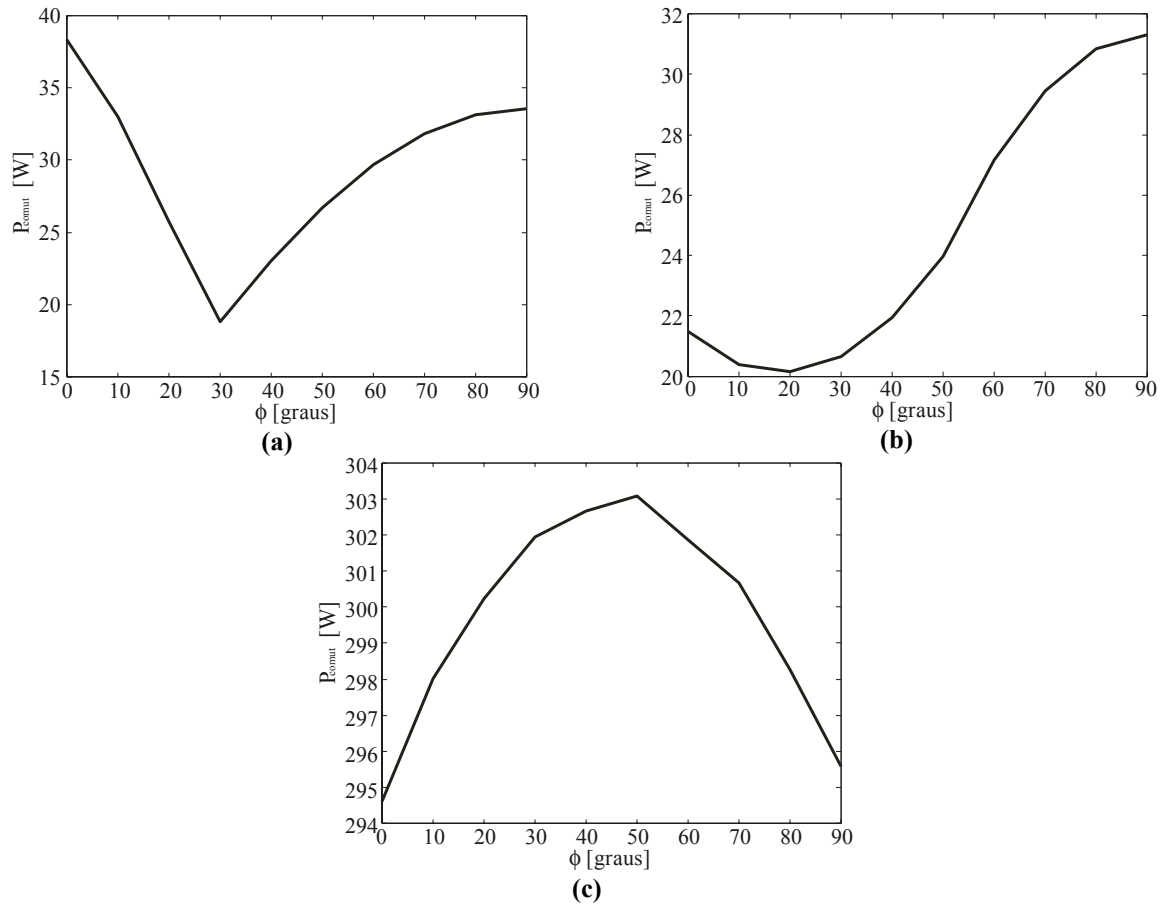


Figura 4-26. Perdas de comutação Caso III; (a) célula 3; (b) célula 2; (c) célula 1;

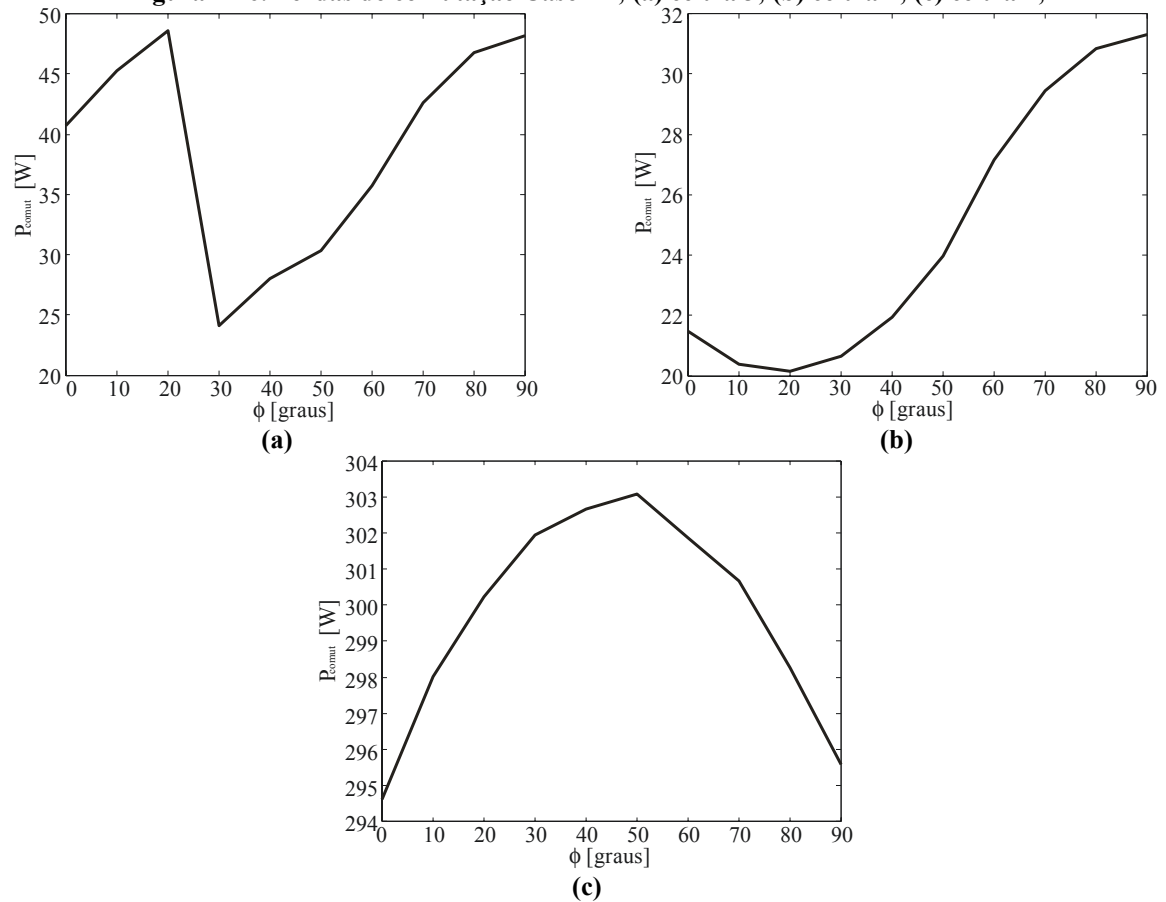


Figura 4-27. Perdas de comutação Caso IV; (a) célula 3; (b) célula 2; (c) célula 1;

As perdas finais de condução, comutação e totais são apresentadas respectivamente na Figura 4-28 (a), (b) e (c) para os casos III e IV, onde se observa que os dispositivos selecionados apresentam baixas perdas de comutação, contudo são penalizadas as perdas de condução. Nesta configuração o caso IV, que emprega GTOs, também apresentou maior rendimento, sendo a opção mais indicada.

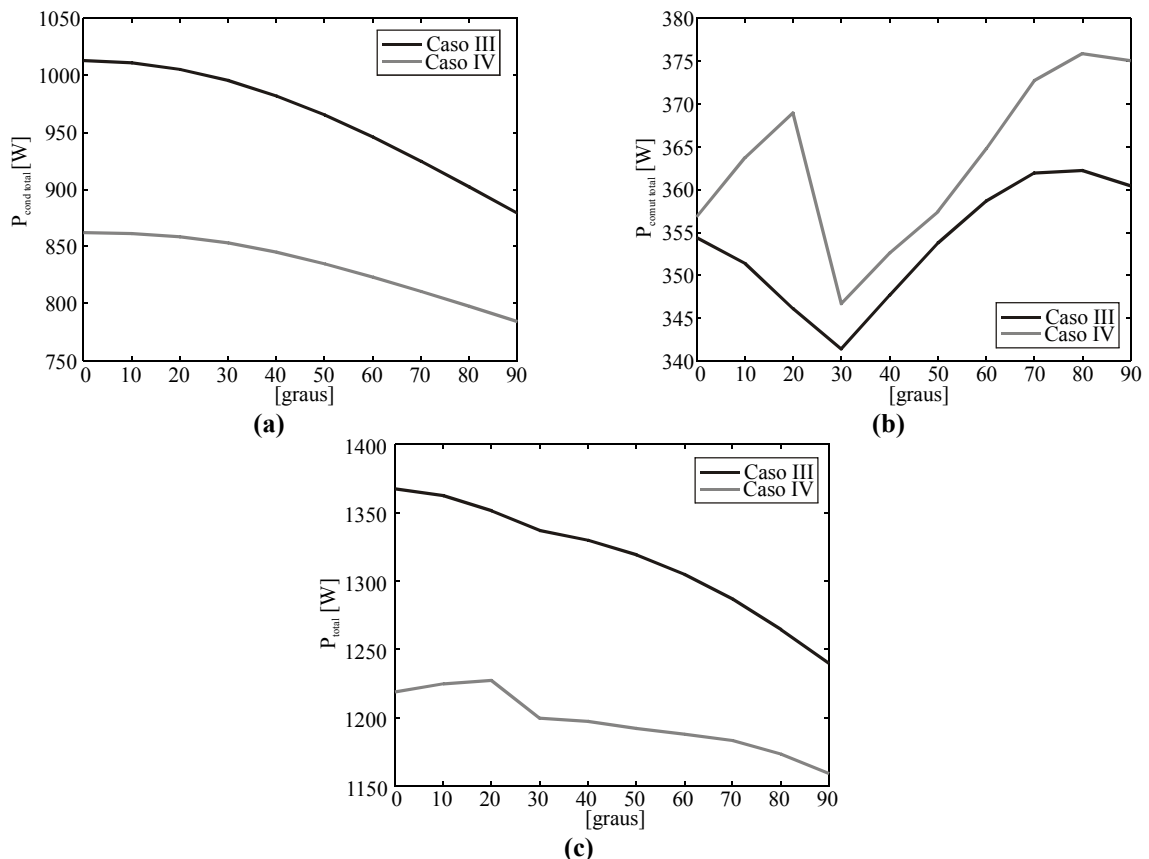


Figura 4-28. Perdas de totais inversor 1-1-2; (a) condução; (b) comutação; (c) totais;

O caso II referente à configuração 1-1-1 e o caso IV relativo à configuração 1-1-2 foram os casos que apresentaram melhor rendimento para cada uma das configurações. Ambos foram os casos que empregaram GTOs para implementação da célula de maior potência e suas perdas em função do ângulo do fator de potência são apresentadas na Figura 4-29. Através da análise deste gráfico conclui-se que a topologia híbrida assimétrica apresenta melhor desempenho. Portanto, a configuração 1-1-2 deveria ser a opção natural quando se empregam três células *H-bridge* conectadas em série.

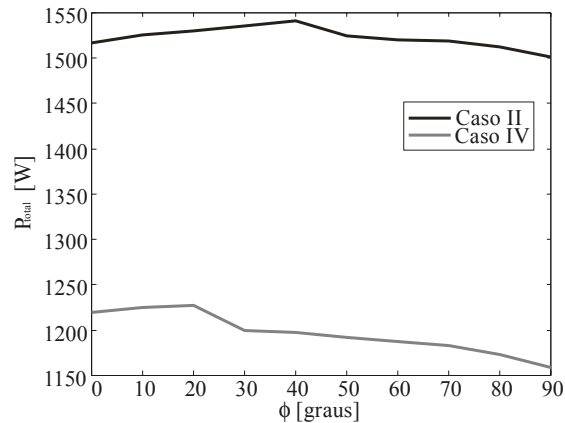


Figura 4-29. Casos mais eficientes dos inversores 1-1-1 (Caso II) e 1-1-2 (caso IV)

4.3.c) Custo dos conversores

Na Tabela 4-13 são apresentados os dispositivos semicondutores principais empregados em cada um dos casos definidos na subseção anterior com o respectivo custo.

Os preços dos dispositivos semicondutores foram fornecidos pelo representante nacional da EUPEC (Semicode em 10 de julho de 2005) e pelo representante da Westcode e Dynex (Richardson Electronics Ltd. em 28 de junho de 2005).

Tabela 4-13. Semicondutores e custo²

	Caso I	Caso II	Caso III	Caso IV
FF200R33KF2C (US\$ 2022,45)			6	
BSM200GB170DLC (US\$ 531,37)			12	12
T0360NA25A (US\$ 750)	36	24		
DG408BP45 (US\$ 760,00)				12
DG306AE25 (US\$ 390,00)		12		
DSF8045SK45 (US\$ 189,00)				12
DFS454 (US\$ 140,00)		12		
Custo (US\$)	27000,00	24360,00	18511,00	17764,00

² Os módulos FF200R33KF2C e BSM 200GB170DLC apresentam dois IGBTs e dois diodos. O módulo T0360NA25A possui apenas um IGBT e um diodo. Os módulos DG408BP45 e DG306AE25 possuem apenas um GTO. Os módulos DSF8045SK45 e DFS454 apresentam apenas um diodo.

Observa-se que tanto para a configuração 1-1-1 quanto para 1-1-2 os casos que apresentaram menor custo utilizavam GTOs para implementação da célula 3, sendo o caso IV o que apresenta menor custo.

4.4. Resumo da comparação

Para os dois arranjos de amplitude das fontes CC que alimentam um inversor com três células H-bridge conectadas em série foram estabelecidos alguns índices de desempenho, sendo eles, número total de níveis da tensão de fase, THD, DF1, perdas totais por fase e custo dos respectivos semicondutores. Esses índices são apresentados na Tabela 4-14 para os casos que apresentaram maiores vantagens para a configuração 1-1-1 e 1-1-2, respectivamente Caso II e Caso IV.

Tabela 4-14. Quadro comparativo

Configuração	1-1-1	1-1-2
Níveis da Tensão de fase	7	9
THD	17,6%	13,8%
DF1	0,26%	0,20%
Perdas totais/fase	1476 W	1117 W
Custo (U\$)	24360,00	17764,00

Pode se concluir que a configuração 1-1-2 apresenta maior número de níveis, fator que contribui para este conversor ter uma menor THD e DF1. Tendo apresentado melhor rendimento e uma significativa redução no custo em relação à configuração 1-1-1, ou seja, a configuração 1-1-2 se mostrou melhor em todos os aspectos analisados.

4.5. Conclusões

Neste capítulo, inicialmente foram definidos seis passos que permitem definir um conjunto de amplitudes das fontes CC de um inversor com célula H-*bridge* conectadas em série, com um sinal de saída modulado em alta frequência e com níveis igualmente espaçados. Estas configurações também devem garantir o funcionamento quando se empregam

retificadores não controlados para alimentar as células *H-bridge*. Destes passos resultaram duas configurações, 1-1-1 e 1-1-2.

Para se escolher qual das configurações seria a mais adequada para ser utilizada numa dada aplicação, foram definidos alguns índices de desempenho, como THD, DF1, perdas nos semicondutores principais e custo.

Nos índices relativos a forma de onda de saída dos conversores a configuração 1-1-2 apresentou melhor desempenho, tendo sido privilegiada pelo fato de apresentar maior números de níveis na tensão de saída.

Nos índices referentes os dispositivos semicondutores empregados, a configuração 1-1-2 também apresentou melhor desempenho, tendo apresentado menores perdas e menor custo.

Neste capítulo, ficou provado de forma científica que o uso do conversor com células *H-bridge* conectadas em série, em sua configuração híbrida assimétrica, com diferentes tecnologias de dispositivos semicondutores operando em sinergismo, é a candidata natural uma vez que conduz a equipamentos mais eficientes e de menor custo, para topologias com o mesmo número de dispositivos semicondutores.