

**UNIVERSIDADE FEDERAL DE SANTA MARIA
CENTRO DE TECNOLOGIA
PROGRAMA DE PÓS-GRADUAÇÃO EM ENGENHARIA ELÉTRICA**

**METODOLOGIA DE SÍNTESE DE TOPOLOGIAS ZVT
SIMPLIFICADAS APLICADAS A PÓLOS PWM
BIDIRECIONAIS**

DISSERTAÇÃO DE MESTRADO

Rafael Concatto Beltrame

Santa Maria, RS, Brasil

2009

**METODOLOGIA DE SÍNTESE DE TOPOLOGIAS ZVT
SIMPLIFICADAS APLICADAS A PÓLOS PWM
BIDIRECIONAIS**

por

Rafael Concatto Beltrame

Dissertação apresentada ao Curso de Mestrado do Programa de Pós-Graduação em Engenharia Elétrica, Área de Concentração em Processamento de Energia, da Universidade Federal de Santa Maria (UFSM, RS), como requisito parcial para obtenção do grau de **Mestre em Engenharia Elétrica.**

Orientador: Prof. Hélio Leães Hey

Santa Maria, RS, Brasil

2009

B453m Beltrame, Rafael Concatto, 1984-
Metodologia de síntese de topologias ZVT simplificadas aplicadas
a pólos PWM bidirecionais/ por Rafael Concatto Beltrame. - Santa
Maria, 2009.
181 f. il.

Orientador: Hélio Leães Hey, Dr.
Co-orientador: Mário Lúcio da Silva Martins, Dr.
Dissertação (mestrado) – Universidade Federal de Santa Maria,
Centro de Tecnologia, Programa de Pós-Graduação em Engenharia
Elétrica, RS, 2009.

1. Engenharia elétrica 2. Eletrônica de potência 3.
Comutação suave I. Hey, Hélio Leães II. Martins, Mário Lúcio
da Silva II. Título.

CDU: 621.3

Ficha catalográfica elaborada por Claudia Carmem Baggio – CRB - 10/830

© 2009

Todos os direitos autorais reservados a Rafael Concatto Beltrame. A reprodução de partes ou do todo deste trabalho só poderá ser feita com autorização por escrito do autor.

Endereço: Av. João Luiz Pozzobon, 945, Km 3, Santa Maria, RS, 97095-465

Fone: 55 32251921; Endereço Eletrônico: beltrame@mail.ufsm.br

**Universidade Federal de Santa Maria
Centro de Tecnologia
Programa de Pós-Graduação em Engenharia Elétrica**

A Comissão Examinadora, abaixo assinada,
aprova a Dissertação de Mestrado

**METODOLOGIA DE SÍNTESE DE TOPOLOGIAS ZVT
SIMPLIFICADAS APLICADAS A PÓLOS PWM
BIDIRECIONAIS**

elaborada por
Rafael Concatto Beltrame

como requisito parcial para obtenção do grau de
Mestre em Engenharia Elétrica

COMISSÃO EXAMINADORA:

Hélio Leães Hey, Dr.
(Presidente/Orientador)

Mário Lúcio da Silva Martins, Dr. (UTFPR)
(Co-orientador)

Jumar Luís Russi, Dr. (UNIPAMPA)

Samir Ahmad Mussa, Dr. (UFSC)

José Renes Pinheiro, Dr. (UFSM)

Santa Maria, 27 de novembro de 2009.

Dedico este trabalho
a meus pais, Alcione e Glaci,
e a minhas avós (*in memoriam*), Blondina e Marieta.

AGRADECIMENTOS

A Deus, pela família maravilhosa que possuo, por todas as oportunidades e por iluminar minhas decisões.

A meus pais, Alcione e Glaci, pelo cuidado, apoio e carinho.

À minha namorada, Greyce, pelo amor e por compreender minha ausência e dedicação ao trabalho.

Ao meu orientador, prof. Hélio Leães Hey, pela amizade e confiança, pelos conselhos – técnicos quando necessários ou pessoais em momentos de insegurança – e, principalmente, por conduzir-me com sabedoria na elaboração desse trabalho. Meu sincero agradecimento.

Ao meu co-orientador, prof. Mário Lúcio da Silva Martins, pela amizade, pelo conhecimento transmitido e, de forma especial, pelas notáveis contribuições na definição do tema e na solução das dificuldades que surgiram no desenvolvimento do trabalho.

Aos demais professores do Grupo de Eletrônica de Potência e Controle (GEPOC), prof. José Renes Pinheiro, prof. Humberto Pinheiro e prof. Hilton Abílio Gründling, pela atenção e ajuda sempre que necessária e pelos conhecimentos transmitidos.

Aos colegas e amigos do GEPOC, Adriano Toniollo, Cleber Zanatta, Diogo Brum, Diorge Zambra, Dreifus Costa, Felipe Grigoletto, Fernando Beltrame, Hamiltom Sartori, Hueslei Hoppen, Jonatan Zientarski, Jumar Russi, Leandro Roggia, Matheus Iensen, Paulo Ficagna e Raffael Engleitner, pelo auxílio técnico e, em especial, pelos momentos de descontração.

Ao Eng. Luiz Fernando Martins, pela grande contribuição na elaboração dos protótipos e pela paciência em lidar com nossa cobrança, bem como a Carlo Castellanelli, pelo trabalho desenvolvido na secretaria do Programa de Pós-Graduação em Engenharia Elétrica (PPGEE).

Aos alunos de iniciação científica do GEPOC, Fabricio Cazakevicius, Henrique Figueira, Karin Feistel, Leonardo Bertagnolli, Luccas Kunzler, Luigi Kozenieski, Marcelo Machline, Moisés Tancredo, Rafael Zatti, Renan Pivetta, Rodrigo Krug, Sabrina Cunha e Tiago Rampelotto, que colaboraram direta ou indiretamente na elaboração desse trabalho, realizando revisões, atividades de bancada, ou mesmo auxiliando na obtenção dos resultados experimentais.

Por fim, à Universidade Federal de Santa Maria (UFSM), por proporcionar todas as condições para o desenvolvimento desse trabalho, e à Coordenação de Aperfeiçoamento de Pessoal de Nível Superior (CAPES), pelo apoio financeiro.

“Não tenho nenhum talento especial.
Sou somente apaixonadamente curioso.”
(Albert Einstein)

RESUMO

Dissertação de Mestrado
Programa de Pós-Graduação em Engenharia Elétrica
Universidade Federal de Santa Maria

METODOLOGIA DE SÍNTESE DE TOPOLOGIAS ZVT SIMPLIFICADAS APLICADAS A PÓLOS PWM BIDIRECIONAIS

AUTOR: RAFAEL CONCATTO BELTRAME

ORIENTADOR: HÉLIO LEÃES HEY

Data e Local da Defesa: Santa Maria, 27 de novembro de 2009.

Entre as técnicas de comutação suave propostas na literatura, a técnica de comutação transição sob tensão nula (*Zero-Voltage-Transition* – ZVT) tem sido bem aceita pela indústria em função de suas características atrativas, como simplicidade, baixas perdas no circuito de auxílio à comutação (CAC), condições de comutação sob zero de tensão asseguradas para uma ampla faixa de cargas e operação próxima a do conversor equivalente dissipativo. Em aplicações com inversores trifásicos alimentados em tensão (conversores multipólos), uma grande variedade de topologias ZVT tem sido proposta no sentido de aprimorar o desempenho dos conversores, como as topologias ZVT com seis chaves semicondutoras auxiliares, as quais atendem a demanda por alta eficiência, baixos esforços de tensão e corrente sobre os dispositivos semicondutores, e operação em frequências elevadas. Buscando tornar as topologias ZVT aplicadas a conversores multipólos ainda mais atrativas a aplicações industriais, inúmeras topologias ZVT integradas, as quais proporcionam condições de comutação sob zero de tensão a todos os dispositivos semicondutores do conversor por meio de um CAC com um número reduzido de chaves semicondutoras auxiliares, têm sido propostas. Infelizmente, essas estruturas introduzem restrições à operação do conversor, resultando em estratégias de modulação complexas, com um conteúdo harmônico nas tensões sintetizadas superior ao observado nas topologias contendo seis chaves auxiliares. Com o objetivo de evitar as restrições mencionadas, CACs simplificados têm sido propostos, onde o CAC é simplificado individualmente em cada pólo PWM do conversor. Como uma importante consequência dessa abordagem, os pólos PWM podem ser modulados independentemente, permitindo a aplicação de qualquer estratégia de modulação convencional. Entretanto, diferentemente das topologias ZVT integradas, para as quais a literatura apresenta propostas de metodologias de síntese, as topologias ZVT simplificadas são obtidas sem um procedimento definido. Assim, esse trabalho propõe um novo conceito para sintetizar topologias ZVT simplificadas aplicadas a cada pólo PWM bidirecional do conversor. Com a metodologia de síntese proposta, as topologias ZVT simplificadas já publicadas são sistematizadas, assim como novas topologias podem ser obtidas. Adicionalmente, com o objetivo de identificar os benefícios e as restrições inerentes às topologias ZVT integradas e simplificadas, esse trabalho propõe uma análise comparativa entre ambas as abordagens, onde os conceitos de cada abordagem são definidos, reconhecendo suas vantagens e limitações. Ainda, as estratégias de modulação, as perdas resultantes nos circuitos principal e auxiliar do conversor, e o conteúdo harmônico das tensões sintetizadas por duas topologias selecionadas são comparados teórica e experimentalmente. Assim, demonstra-se que quando a aplicação demanda um CAC com um reduzido número de componentes auxiliares, as topologias ZVT integradas são as indicadas. Por outro lado, quando a aplicação exige um baixo conteúdo harmônico nas variáveis de interesse, as topologias ZVT simplificadas são a alternativa, já que não comprometem os graus de liberdade na modulação do conversor.

Palavras-chave: Engenharia Elétrica, Eletrônica de Potência, Comutação Suave

ABSTRACT

Master Thesis
Programa de Pós-Graduação em Engenharia Elétrica
Universidade Federal de Santa Maria

SYNTHESIS METHODOLOGY FOR SIMPLIFIED ZVT TOPOLOGIES APPLIED TO BIDIRECTIONAL PWM POLES

AUTHOR: RAFAEL CONCATTO BELTRAME

RESEARCH SUPERVISOR: HÉLIO LEÃES HEY

Santa Maria, November 27th, 2009.

Among the soft-switching techniques, the zero-voltage-transition (ZVT) technique has been accepted well by the industry due its attractive characteristics, such as simplicity, low losses in the auxiliary commutation circuit (ACC), operation with soft-switching for a wide load range, and closest operation to the PWM converter counterpart. In three-phase voltage-source inverters (multipole converters), a substantial diversity of ZVT topologies has been proposed to improve the performance of the converters, such as the ZVT circuits with six auxiliary switches, which meet the demand for high efficiency, low current and voltage stresses in semiconductor devices, and operation in high switching frequency. Aiming to make the ZVT multipole converter even more attractive to the industry, many topologies have been proposed to reduce the number of auxiliary switches and, consequently, the cost related to the ACC, by means of an integrated auxiliary circuit that provides conditions to commutate every semiconductor device of the multipole converter under zero-voltage condition. Regrettably, these structures introduce some restrictions on converter operation, such as the requirement for synchronized switching events in the PWM poles, resulting in more complex modulation techniques, with poorer power quality than the six auxiliary switch ZVT. To avoid these restrictions, simplified ACCs have been proposed, where the ACC is simplified individually per PWM pole. An important consequence of this approach is that the PWM poles can be modulated independently in multipole applications, allowing the application of any modulation strategy. However, the known simplified ZVT topologies were derived by multiple attempts due to the lack of a synthesis methodology, as had been proposed to integrated topologies. Thus, this work proposes a novel concept to generate simplified ZVT topologies to each bidirectional PWM pole. With the proposed methodology, the already known simplified ZVT topologies are systematized, as well as new topologies can be derived. Additionally, in order to address the benefits and constraints of integrated and simplified ZVT topologies, in this work a comparison is made between the concepts of integration and simplification of ZVT auxiliary circuits applied to bidirectional PWM poles, where the concepts of each approach are defined, recognizing their main advantages and limitations. So, the modulation strategies, the resulting losses in the main and auxiliary circuits and the harmonic content of the voltage synthesized by two selected topologies are theoretically and experimentally analyzed. Therefore, it is demonstrated that when the load demands a voltage with low harmonic content, the simplified ZVT topologies are indicated. However, when the number of components in the auxiliary circuit is the main concern, the integrated ZVT topologies can be employed.

Keywords: Electrical Engineering, Power Electronics, Soft-Switching

LISTA DE FIGURAS

Figura 1.1 – Consumo mundial de energia [1].	25
Figura 1.2 – Consumo de energia no Brasil. (a) Energia total por atividade no ano de 2004 [7]. Energia elétrica no setor industrial [5].	27
Figura 1.3 – Inversor alimentado em tensão empregado no acionamento de motores de indução.	28
Figura 2.1 – Entrada em condução de um semiconductor controlado. (a) Comutação dissipativa. (b) Comutação pseudo-suave. (c) Comutação verdadeiramente suave [2].	35
Figura 2.2 – Técnicas de auxílio à comutação: diagrama das principais formas de onda de tensão e corrente [24].	36
Figura 2.3 – Topologia ZCT proposta em [33].	39
Figura 2.4 – Topologia ZCZVT proposta em [37].	41
Figura 2.5 – Conversor com pólo comutado ressonante (RPI) [40] (apud [2]).	42
Figura 2.6 – Conversor com pólo de diodos ressonante auxiliar (ARDPI) [41].	42
Figura 2.7 – Conversor pólo ressonante auxiliar (ARPI) [42] (apud [2]).	43
Figura 2.8 – Topologia ZVT proposta em [43].	44
Figura 2.9 – Conversor com pólo comutado ressonante auxiliar (ARCP) [45,46].	45
Figura 2.10 – Conversor ARCP com dois pontos intermediários de tensão [49,11].	46
Figura 2.11 – Conversor com pólo ZVS assistido a transformador [12].	47
Figura 2.12 – Conversor com pólo verdadeiramente ZVS-PWM. (a) Topologia original [47,50]. (b) Topologia modificada [51].	48
Figura 2.13 – Conversor ZVT com realimentação indutiva. (a) Topologia original [52]. (b) Topologia modificada [53].	49
Figura 2.14 – Conversor ZVT proposto em [13,54,55].	50
Figura 2.15 – Conversor ZVT proposto em [31].	51
Figura 2.16 – Conversor ZVT proposto em [56].	52
Figura 2.17 – Inversores com circuito de <i>snubber</i> ressonante. (a) Conexão estrela [58]. (b) Conexão triângulo [57].	53
Figura 2.18 – Conversor ZVT proposto em [59].	54

Figura 2.19 – Conversor ZVT proposto em [14].....	55
Figura 2.20 – Conceito do circuito de <i>phase-lock</i>	55
Figura 2.21 – Implementação do circuito de <i>phase-lock</i> . (a) Indutores saturados [60-62]. (b) Tiristores [63].....	57
Figura 2.22 – Conversor ZVT <i>Single-Switch Single Leg</i> (S ³ L) [17].....	58
Figura 2.23 – Conversor ARCP simplificado [48,16].....	58
Figura 3.1 – Generalização do conceito da técnica ZVT. (a) Pólo PWM básico. (b) Circuito ZVT genérico.....	62
Figura 3.2 – Etapas de operação do circuito ZVT para $i_a(t) > 0$. (a) Previamente à comutação. (b) Magnetização. (c) Ressonância. (d) Desmagnetização – parte 1. (e) Desmagnetização – parte 2. (f) Posteriormente à comutação.....	68
Figura 3.3 – Comutação de D_2 para S_1 . (a) Formas de onda teóricas. (b) Plano de fase.....	68
Figura 3.4 – Comutação <i>snubber</i> para $i_a(t) > 0$	69
Figura 3.5 – Circuito genérico para os conversores ZVT Classe-A e Classe-B.....	71
Figura 3.6 – Estágios de operação das topologias ZVT Classe-A. (a) Magnetização para $i_a(t) > 0$. (b) Desmagnetização $i_a(t) > 0$. (c) Magnetização para $i_a(t) < 0$. (d) Desmagnetização $i_a(t) < 0$	74
Figura 3.7 – Estágios de operação das topologias ZVT Classe-B. (a) Magnetização para $i_a(t) > 0$. (b) Desmagnetização $i_a(t) > 0$. (c) Magnetização para $i_a(t) < 0$. (d) Desmagnetização $i_a(t) < 0$	77
Figura 3.8 – Estrutura genérica do CAC do tipo ZVT.....	79
Figura 3.9 – Chaves semicondutoras simplificadas.....	80
Figura 3.10 – Topologias ZVT simplificadas sintetizadas.....	87
Figura 3.11 – Topologias ZVT simplificadas sintetizadas.....	87
Figura 3.12 – Topologias ZVT simplificadas sintetizadas.....	89
Figura 4.1 – Conceito de integração de CACs.....	91
Figura 4.2 – Topologia ZVT integrada [13,54,55] analisada.....	92
Figura 4.3 – Conceito de simplificação de CACs.....	92
Figura 4.4 – Topologia ZVT simplificada [48,16] analisada.....	93
Figura 4.5 – Etapas de operação da topologia ZVT integrada. (a) Previamente à comutação. (b) e (c) Magnetização. (d) Ressonância. (e) e (f) Desmagnetização. (g) Posteriormente à comutação.....	96
Figura 4.6 – Formas de onda nos três pólos PWM assistidos pelo CAC integrado.....	97
Figura 4.7 – Etapas de operação da topologia ZVT simplificada. (a) Previamente à comutação. (b) Magnetização. (c) <i>Boosting</i> . (d) Ressonância. (e) Desmagnetização – primeira parte. (f) Desmagnetização – segunda parte. (g) Posteriormente à comutação.....	102
Figura 4.8 – Formas de onda no pólo “a” assistido pelo CAC simplificado.....	103
Figura 4.9 – Hexágono do espaço de saída da modulação <i>Space Vector</i>	109
Figura 4.10 – Seqüência de chaveamento da topologia integrada.....	110
Figura 4.11 – Seqüência de chaveamento da topologia simplificada.....	111

Figura 4.12 – Fluxograma do processo de simulação dos conversores e cálculo dos índices de desempenho.....	117
Figura 4.13 – Perdas nos circuitos principal e de auxílio à comutação. (a) Topologia ZVT integrada. (b) Topologia ZVT simplificada. (c) Perdas totais.....	120
Figura 4.14 – Qualidade da tensão sintetizada pelos conversores. (a) Fator de distorção de primeira ordem. (b) Fator de distorção de segunda ordem. (c) Distorção harmônica total.	122
Figura 5.1 – Representação da unidade inversora SKS25FB6U+(B2CI)2P10V12 empregada como circuito principal [81].....	124
Figura 5.2 – Circuito principal e estágio de saída do conversor.	124
Figura 5.3 – Topologia ZVT integrada implementada. (a) CAC. (b) Detalhe dos capacitores <i>snubber</i>	126
Figura 5.4 – Topologia ZVT simplificada implementada. (a) CAC. (b) Detalhe dos capacitores <i>snubber</i>	127
Figura 5.5 – Assistência do CAC integrado na transição de $V_{2(ppn)}$ para $V_{5(nnp)}$	128
Figura 5.6 – Implementação do SSV extra para diferentes níveis de corrente de carga.	129
Figura 5.7 – Operação em regime permanente da topologia ZVT integrada. (a) Oscilograma. (b) Definição das variáveis medidas.	130
Figura 5.8 – THD da tensão de linha da topologia ZVT integrada.	130
Figura 5.9 – Curva de rendimento da topologia ZVT integrada.	131
Figura 5.10 – Assistência do CAC simplificado ao pólo “c”. (a) Corrente de carga superior a I_{min} . (b) Corrente de carga inferior a I_{min}	132
Figura 5.11 – Assistência do CAC simplificado ao pólo “c” para diferentes níveis de corrente de carga.	133
Figura 5.12 – Assistência do CAC simplificado ao pólo “c”. (a) Detalhe da comutação <i>snubber</i> assistida pelo CAC. (b) Detalhe da comutação ZVS para corrente de carga negativa.....	133
Figura 5.13 – Operação em regime permanente da topologia ZVT simplificada. (a) Oscilograma. (b) Definição das variáveis medidas.	134
Figura 5.14 – THD da tensão de linha da topologia ZVT simplificada.	134
Figura 5.15 – Curva de rendimento da topologia ZVT simplificada.	135
Figura 5.16 – Comparativo das curvas de rendimento.	136
Figura 5.17 – Comparativo entre os rendimentos estimado e experimental para $m = 0,89$	136
Figura A.1 – Estágio ressonante. (a) CAC simplificado do pólo “a”. (b) Circuito equivalente.	149
Figura B.1 – Hexágono do espaço de saída da modulação <i>Space Vector</i>	153
Figura B.2 – Identificação dos setores das correntes de carga.	154
Figura B.3 – Definição do sentido positivo das correntes de carga.	154
Figura C.1 – <i>Set-up</i> implementado para a medição das perdas de chaveamento.	158
Figura C.2 – Formas de onda teóricas da medição das perdas de chaveamento.	159

Figura C.3 – Formas de onda da comutação de bloqueio. (a) Comutação dissipativa. (b) Comutação com <i>snubber</i> de tensão.	160
Figura C.4 – Aproximação das perdas de bloqueio medidas para o módulo SKM50GB123D.	161
Figura D.1 – Controle e acionamento da topologia ZVT integrada.	166
Figura D.2 – Controle e acionamento da topologia ZVT simplificada.	167
Figura E.1 – Inversor de tensão trifásico a três fios com filtro <i>LC</i> na saída.	168
Figura E.2 – (a) Espaço das tensões de saída da modulação SVM. Espectro de frequências normalizado de v_{ab} para as seqüências (b) $V_1-V_2-V_0-V_2-V_1$ e (c) $V_0-V_1-V_2-V_7-V_2-V_1-V_0$	170
Figura E.3 – Função não linear <i>nDF2</i> em função do índice de modulação.	171
Figura E.4 – Circuito equivalente para altas frequências.	172
Figura E.5 – Simulação da corrente de alta frequência normalizada sobre os indutores do filtro de saída.	174
Figura E.6 – Ondulação máxima de corrente normalizada em função do índice de modulação.	175
Figura E.7 – Ábaco de seleção do núcleo Kool M μ [89].	177
Figura E.8 – Variação da permeabilidade inicial em núcleos Kool M μ [89].	179

LISTA DE TABELAS

Tabela 3.1 – Condições para a operação das topologias ZVT.	70
Tabela 3.2 – Restrições para a AVS das topologias ZVT Classe-A.	75
Tabela 3.3 – Restrições para a AVS das topologias ZVT Classe-B.	78
Tabela 3.4 – Quadro resumo para o Caso 1.	81
Tabela 3.5 – Quadro resumo para o Caso 2.	82
Tabela 3.6 – Quadro resumo para o Caso 3.	84
Tabela 3.7 – Conexão entre os diagramas de blocos e as chaves simplificadas.	85
Tabela 4.1 – Número de dispositivos no CAC.	107
Tabela 4.2 – Dispositivos semicondutores empregados na análise.	112
Tabela 4.3 – Coeficientes dos modelos matemáticos de perdas.	114
Tabela 4.4 – Parâmetros de simulação para as topologias ZVT selecionadas.	118
Tabela 5.1 – Especificação do filtro de saída do conversor.	125
Tabela 5.2 – Especificação do CAC integrado.	126
Tabela 5.3 – Especificação do CAC simplificado.	127
Tabela A.1 – Exemplo de projeto da corrente de <i>boosting</i>	152
Tabela B.1 – Identificação das maiores correntes em cada setor.	154
Tabela B.2 – Vetores de tensão disponíveis em cada setor (adjacentes).	155
Tabela B.3 – Seleção do vetor nulo para V_{ref} nos setores I ou II.	155
Tabela B.4 – Seleção do vetor nulo para V_{ref} nos setores I ou II.	156
Tabela B.5 – Resumo das configurações encontradas.	157
Tabela C.1 – Perdas de bloqueio medidas para o módulo SKM50GB123D.	161
Tabela E.1 – Especificações para o filtro <i>LC</i> de saída.	176
Tabela E.2 – Fios de cobre esmaltados.	180

LISTA DE ABREVIATURAS E SIGLAS

ARCP.....	Conversor com Pólo Comutado Ressonante Auxiliar
ARDPI.....	Conversor com Pólo de Diodos Ressonante Auxiliar
ARPI.....	Inversor com Pólo Ressonante Auxiliar
ASD.....	<i>Drive</i> com Velocidade Ajustável
AVS.....	Fonte Auxiliar de Tensão
CAC.....	Circuito de Auxílio à Comutação
CC.....	Corrente Contínua
DF1.....	Fator de Distorção de Primeira Ordem
DF2.....	Fator de Distorção de Segunda Ordem
DSP.....	Processador Digital de Sinais
DUT.....	Dispositivo sob Teste
EMI.....	Interferência Eletromagnética
FFT.....	Transformação Rápida de Fourier
FPGA.....	<i>Field Programmable Gate Array</i>
IGBT.....	Transistor Bipolar de Porta Isolada
MOSFET.....	Transistor de Efeito de Campo Metal-Óxido-Semicondutor
PWM.....	Modulação por Largura de Pulso
RPI.....	Conversor com Pólo Comutado Ressonante
RSI.....	Inversor com Circuito de <i>Snubber</i> Ressonante
S ³ L.....	Única chave para cada pólo
SSV.....	Vetor de Chaveamento
SOA.....	Área de Operação Segura
SVM.....	Modulação <i>Space Vector</i>

THD	Distorção Harmônica Total
VHDL	Linguagem de Descrição de <i>Hardware</i> VHSIC
VFD	<i>Drive</i> com Frequência Variável
VSI.....	Inversor Alimentado em Tensão
ZCS.....	Comutação sob Zero de Corrente
ZCT.....	Transição sob Corrente Nula
ZVS.....	Comutação sob Zero de Tensão
ZVT	Transição sob Tensão Nula
ZCZVS	Comutação sob Zero de Corrente e Zero de Tensão
ZCZVT	Transição sob Zero de Corrente e Zero de Tensão

LISTA DE SÍMBOLOS

a, b, c			Pólos PWM
A_e	Área da seção transversal do núcleo magnético (cm ²)		
A_j	Área j		
C	Capacitor de filtro (F)		
$\cos(\phi)$	Fator de potência do conjunto filtro e carga		
$C_{s(min)}$	Valor mínimo do capacitor <i>snubber</i> (F)		
C_{sj}	Capacitor <i>snubber</i> j (F)		
C_{sx}	Capacitor do <i>snubber</i> dissipativo do CAC (F)		
C_{xj}	Capacitor auxiliar j (F)		
d, e e f	Coeficientes da equação polinomial de perdas		
D_{bst}	Diodo do <i>set-up</i> de medição de perdas de chaveamento		
di/dt	Taxa de variação da corrente (A/s)		
d_j	Posição espectral do conjunto de harmônicas j		
D_j	Diodo j		
D_{rj}	Diodo auxiliar de <i>reset</i> j		
D_{sx}	Diodo do <i>snubber</i> dissipativo do CAC		
dv/dt	Taxa de variação da tensão (V/s)		
D_{xj}	Diodo auxiliar j		
D_{zj}	Diodo zener auxiliar j		
E	Energia armazenada no indutor de filtro (mJ)		
e_j	Largura das bandas laterais do conjunto de harmônicas j		
E_{off}	Energia perdida no bloqueio de um IGBT do circuito principal (mJ)		

E_{on}	Energia perdida no acionamento de um IGBT do circuito principal (J)
f_1	Frequência da tensão de linha (Hz)
f_n	Frequência natural de corte do filtro de saída (Hz)
f_s	Frequência de chaveamento ou frequência de amostragem (Hz)
G_s	Sinal de comando do dispositivo semiconductor (V)
H	Força magnetizante CC (NA/cm)
i_{a1}, i_{b1} e i_{c1}	Corrente pelos capacitores do filtro de saída (A)
i_{a2}, i_{b2} e i_{c2}	Corrente pela carga (A)
I_{bst}	Corrente de <i>boosting</i> (A)
i_{Cs}	Corrente pelo capacitor <i>snubber</i> (A)
i_j	Corrente do pólo PWM j (A)
i_j^*	Corrente do pólo j contendo apenas harmônicas de alta frequência (A)
\bar{i}_j^*	Corrente do pólo j normalizada contendo apenas harmônicas de alta frequência
$I_{L(rms)}$	Corrente eficaz pelos indutores de filtro (A)
i_{Lbst}	Corrente pelo indutor do <i>set-up</i> de medição de perdas de chaveamento (A)
\mathbf{I}_{load}	Vetor corrente carga em coordenadas $\alpha\beta$
i_{Lxj}	Corrente pelo indutor auxiliar j (A)
$i_{Lxj(avg)}$	Corrente média pelo CAC simplificado j (A)
I_{mag}	Corrente de magnetização do CAC integrado (A)
I_{min}	Nível de corrente mínimo para comutação <i>snubber</i> (A)
I_{pk}	Pico da corrente de carga (A)
$i_{res_i(pk)}$	Pico da corrente de ressonância do CAC integrado (A)
i_s	Corrente instantânea pela chave semicondutora (A)
I_{th}	Corrente de referência (A)
$i_{x(avg)}$	Corrente média pelo CAC integrado (A)
L	Indutor de filtro (H)
L_{bst}	Indutor do <i>set-up</i> de medição de perdas de chaveamento (H)
l_e	Comprimento do caminho magnético do núcleo magnético (cm)
L_{xj}	Indutor auxiliar j (H)
m	Índice de modulação

M_j Indutor saturado j
m_s Freqüência de amostragem normalizada
n Barramento negativo
N Número de espiras do indutor de filtro
n_1 Ponto central da conexão entre os capacitores do filtro de saída
n_2 Ponto central da conexão entre as cargas
nDF_2 Função dependente do conteúdo harmônico das variáveis de interesse
p Barramento positivo
P_{cnd} Perda média de condução de um pólo PWM (W)
P_{cnd_ACC} Perda média de condução do CAC sob análise (W)
P_{cnd_i} Perda média de condução do CAC integrado (W)
P_{cnd_s} Perda média de condução dos CACs simplificados (W)
P_{off} Perda média de bloqueio de um pólo PWM (W)
P_{on} Perda média de entrada em condução de um pólo PWM (W)
P_{out} Potência de saída (W)
p_s Potência instantânea dissipada pela chave semicondutora (W)
P_{tot} Perda média total do conversor (W)
R Resistor de carga (Ω)
R_{Lx} Resistência série do indutor auxiliar (Ω)
R_{sx} Resistor do <i>snubber</i> dissipativo do CAC (Ω)
R_{xj} Resistor auxiliar j (Ω)
S_j Chave semicondutora controlada principal j
S_{xj} Chave semicondutora controlada auxiliar j
t Variável temporal (s)
T Período de simulação (s)
T_0, T_1 e T_2 Tempo de aplicação dos vetores de chaveamento adjacentes (s)
T_{bst} Duração do estágio de <i>boosting</i> de corrente (s)
t_{d_off} Tempo-morto da comutação <i>snubber</i> (s)
t_{d_on} Tempo-morto da comutação ZVS (s)
T_{des_i} Duração do estágio de desmagnetização do CAC integrado (s)

T_{des_s}	Duração do estágio de desmagnetização do CAC simplificado (s)
t_j	Instante de tempo j (s)
T_j	Tiristor de <i>phase-lock</i> j
T_{mag_i}	Duração do estágio de magnetização do CAC integrado (s)
T_{mag_s}	Duração do estágio de magnetização do CAC simplificado (s)
T_{res}	Duração do estágio ressonante (s)
T_{rxj}	Transformador ou autotransformador auxiliar j
T_s	Período de chaveamento (s)
T_{xj}	Tiristor auxiliar j
V_1	Amplitude da harmônica fundamental de tensão (V)
v_{a1}, v_{b1} e v_{c1}	Tensões sobre os capacitores do filtro de saída (V)
V_{ab}	Tensão nominal de linha (V)
v_{ab}^* e v_{bc}^*	Tensões de linha contendo apenas harmônicas de alta frequência (V)
\bar{v}_{ab}^* e \bar{v}_{bc}^*	Tensões de linha normalizadas contendo apenas harmônicas de alta frequência
$V_{ab(rms)}$	Tensão de linha eficaz (V)
v_{ab1} e v_{bc1}	Tensões de linha após o filtro de saída (V)
V_{cc}	Nível de tensão do barramento CC (V)
v_{ce}	Queda de tensão direta nos IGBTs do circuito principal (V)
v_{ce_ACC}	Queda de tensão direta nos IGBTs do CAC (V)
v_{Csj}	Tensão instantânea sobre o capacitor <i>snubber</i> j (V)
v_f	Queda de tensão direta nos diodos do circuito principal (V)
v_{f_ACC}	Queda de tensão direta nos diodos do CAC (V)
v_{GSxj}	Tensão entre <i>gate</i> e emissor da chave semicondutora auxiliar j (V)
V_h	Amplitude da h -ésima harmônica de tensão (V)
\mathbf{V}_j	Vetor de chaveamento j
v_{Lj}	Tensão instantânea sobre o indutor j (V)
v_{pn}	Nível de tensão do barramento CC (análogo a V_{cc}) (V)
\mathbf{V}_{ref}	Vetor tensão de referência em coordenadas $\alpha\beta$
v_{Rlx}	Tensão sobre a resistência série do indutor auxiliar (V)
v_s	Tensão instantânea sobre o dispositivo semicondutor (V)

V_{Sx}	Fonte de tensão que modela os semicondutores em condução (V)
V_{th}	Nível de tensão permitido no acionamento da chave semicondutora (V)
V_{xj}	Fonte de tensão CC auxiliar j (V)
v_{xn}	Tensão instantânea suprida pela fonte auxiliar de tensão (V)
x	Terminal que conecta à fonte auxiliar de tensão
Z	Impedância característica do tanque ressonante (Ω)
z_j	Terminal j das chaves semicondutoras auxiliares
Δi_j	Varição da corrente i_j (A)
Δi_{max}	Máxima ondulação da corrente pelos indutores de filtro (A)
$\Delta \bar{i}_{max}$	Máxima ondulação normalizada da corrente pelos indutores de filtro
ξ e ϕ	Constantes do CAC
μ	Permeabilidade relativa inicial do núcleo magnético
θ	Ângulo de ressonância (rad)
ω_1	Frequência da harmônica fundamental do sinal de referência (rad/s)
ω_n	Frequência natural do tanque ressonante ou de corte do filtro de saída (rad/s)

SUMÁRIO

INTRODUÇÃO	25
1.1 Definição do problema.....	30
1.2 Objetivos.....	30
1.3 Organização da dissertação.....	31
CAPÍTULO 2 REVISÃO BIBLIOGRÁFICA	33
2.1 Introdução	33
2.2 Justificativa do emprego de técnicas de comutação suave	33
2.3 Mecanismos de comutação dos semicondutores.....	34
2.4 Técnicas de auxílio à comutação aplicadas a inversores alimentados em tensão	37
2.4.1 Circuito de auxílio à comutação aplicado à carga	37
2.4.2 Circuito de auxílio à comutação aplicado ao barramento CC.....	37
2.4.3 Circuito de auxílio à comutação aplicado aos pólos PWM	38
2.5 Técnica ZVT aplicada a inversores alimentados em tensão	41
2.5.1 Evolução da técnica ZVT	42
2.5.2 Generalização da técnica transição ressonante	59
2.6 Sumário.....	59
CAPÍTULO 3 METODOLOGIA DE SÍNTESE DE TOPOLOGIAS ZVT SIMPLIFICADAS	61
3.1 Introdução	61
3.2 Generalização do conceito da técnica ZVT	61
3.2.1 Análise para $i_a(t)$ positiva.....	64
3.2.2 Análise para $i_a(t)$ negativa.....	70
3.3 Implementação da fonte auxiliar de tensão.....	70
3.3.1 Topologias ZVT Classe-A.....	72
3.3.2 Topologias ZVT Classe-B	75
3.3.3 Arranjo dos componentes do CAC	78
3.4 A metodologia de simplificação	79
3.4.1 Caso 1: $V_x = 0$	81

3.4.2	Caso 2: $0 < V_x < \frac{V_{cc}}{2}$	82
3.4.3	Caso 3: $V_x = \frac{V_{cc}}{2}$	82
3.5	Exemplos da aplicação da metodologia de síntese	86
3.5.1	Chave semicondutora simplificada Tipo-1	86
3.5.2	Chave semicondutora simplificada Tipo-2	88
3.5.3	Chave semicondutora simplificada Tipo-3	88
3.5.4	Chave semicondutora simplificada Tipo-4	88
3.6	Conclusão	89
CAPÍTULO 4 ANÁLISE COMPARATIVA ENTRE TOPOLOGIAS ZVT INTEGRADAS E SIMPLIFICADAS.....		90
4.1	Introdução	90
4.2	Conceitos iniciais.....	90
4.2.1	Integração de circuitos de auxílio à comutação do tipo ZVT	90
4.2.2	Simplificação de circuitos de auxílio à comutação do tipo ZVT.....	92
4.3	Análise das topologias selecionadas	93
4.3.1	Topologia ZVT integrada	94
4.3.2	Topologia ZVT simplificada	100
4.4	Metodologia de comparação.....	105
4.4.1	Complexidade do circuito de auxílio à comutação	106
4.4.2	Projeto dos circuitos de auxílio à comutação.....	106
4.4.3	Modulação <i>Space Vector</i>	108
4.4.4	Análise de perdas.....	112
4.4.5	Análise do conteúdo harmônico	116
4.5	Resultados comparativos	116
4.5.1	Perdas nos circuitos principal e de auxílio à comutação.....	118
4.5.2	Conteúdo harmônico.....	121
4.6	Conclusão	122
CAPÍTULO 5 RESULTADOS EXPERIMENTAIS		123
5.1	Introdução	123
5.2	<i>Hardware</i> implementado	123
5.2.1	Descrição do circuito principal	123
5.2.2	Descrição do CAC integrado	125
5.2.3	Descrição do CAC simplificado	126
5.3	Resultados para a topologia ZVT integrada.....	127
5.3.1	Operação do circuito de auxílio à comutação	127

5.3.2	Conteúdo harmônico.....	130
5.3.3	Rendimento.....	131
5.4	Resultados para a topologia ZVT simplificada.....	131
5.4.1	Operação do circuito de auxílio à comutação.....	131
5.4.2	Conteúdo harmônico.....	134
5.4.3	Rendimento.....	135
5.5	Comparativo de rendimentos.....	135
5.6	Conclusão.....	136
CONCLUSÃO		138
BIBLIOGRAFIA.....		141
APÊNDICE A – DETERMINAÇÃO DA CORRENTE DE <i>BOOSTING</i> DA TOPOLOGIA ZVT SIMPLIFICADA		148
A.1	Introdução.....	148
A.2	Análise do estágio ressonante.....	148
A.3	Determinação da corrente de <i>boosting</i> e da duração do estágio ressonante.....	151
A.4	Exemplo de projeto.....	151
A.5	Conclusão.....	152
APÊNDICE B – MODULAÇÃO SVM DE MÍNIMAS PERDAS		153
B.1	Introdução.....	153
B.2	Seleção do vetor nulo adequado.....	153
B.3	Resumo das configurações encontradas.....	156
B.4	Conclusão.....	157
APÊNDICE C – ESTIMATIVA DAS PERDAS NOS SEMICONDUTORES.....		158
C.1	Introdução.....	158
C.2	Descrição do <i>set-up</i>	158
C.3	Resultados obtidos.....	161
C.4	Conclusão.....	162
APÊNDICE D – IMPLEMENTAÇÃO DA ESTRATÉGIA DE COMANDO		163
D.1	Introdução.....	163
D.2	Descrição dos processos.....	163
D.3	Conclusão.....	165
APÊNDICE E – PROJETO DO FILTRO DE SAÍDA.....		168
E.1	Determinação da frequência de corte do filtro.....	168
E.2	Ondulação da corrente de alta frequência nos indutores.....	172
E.3	Exemplo de projeto.....	175
E.4	Projeto físico do indutor.....	176
E.4.1	Seleção do núcleo magnético.....	176

E.4.2	Seleção do condutor.....	179
-------	--------------------------	-----

INTRODUÇÃO

Atualmente, a economia global é fortemente dependente de fontes de energia não-renováveis, como o petróleo, o carvão mineral e o gás natural. Aproximadamente 87% de toda a energia utilizada no mundo provêm de fontes não-renováveis [1]. As previsões apontam que até 2030 o petróleo corresponderá a 40% da energia consumida no mundo [1], conforme Figura 1.1, onde o crescimento da demanda energética observado é decorrente do crescimento econômico.

As conseqüências do emprego de fontes de energia não-renováveis tornam-se evidentes principalmente em grandes centros urbanos, onde a excessiva exposição à poluição do ar por parte da população implica na freqüente incidência de doenças respiratórias. Além dos efeitos negativos à saúde da população, a emissão de gases poluentes na atmosfera contribui para o aumento do efeito estufa, caracterizando o aquecimento global. Dessa forma, o clima e, conseqüentemente, o ecossistema acabam afetados, podendo resultar em conseqüências catastróficas a longo prazo.

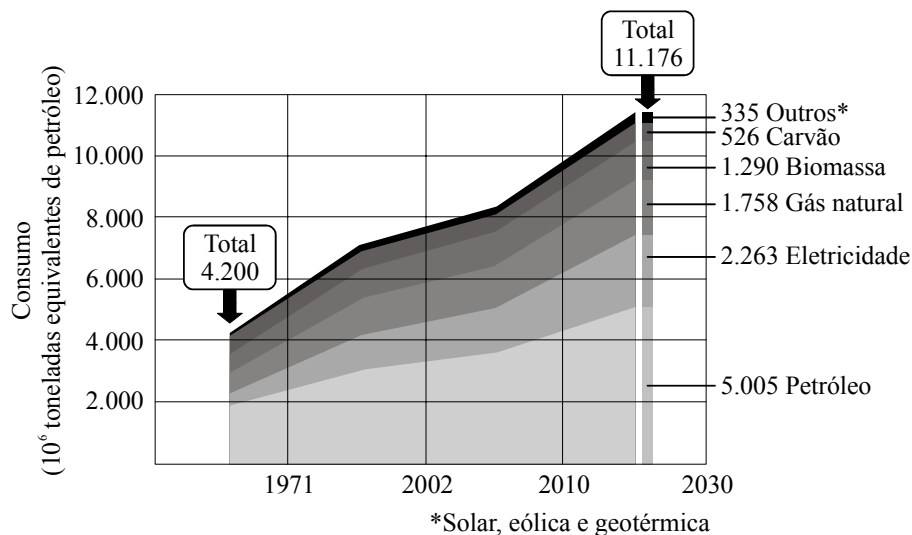


Figura 1.1 – Consumo mundial de energia [1].

Segundo [2], os níveis de emissão de gás carbônico (CO₂) nas etapas de extração, construção e operação de algumas fontes primárias de energia demonstram que as fontes primárias ligadas à geração de energia elétrica proporcionam os menores níveis de poluição, uma vez que a emissão de poluentes está limitada aos processos de construção das usinas

geradoras. Dessa forma, evidencia-se a importância da energia elétrica no desenvolvimento de uma sociedade auto-sustentável.

Conforme evidenciado na Figura 1.1, a demanda por energia elétrica também apresentará um contínuo aumento. Apesar da existência de diversos modos de geração de energia elétrica, o crescimento acelerado da demanda, juntamente com fatores climáticos, fez com que alguns países enfrentassem crises no abastecimento de energia elétrica. Assim, países como Estados Unidos, Alemanha, Japão, Holanda, Espanha, Itália, entre outros, criaram leis no sentido de normatizar o sistema de geração de energia e incentivar o emprego de fontes alternativas de energia, medida também adotada pelo Brasil [2].

Infelizmente, um dos fatores limitantes do amplo emprego de fontes de energia elétrica renováveis na matriz energética é o alto custo de geração comparado às soluções tradicionais. Como exemplo, o custo da geração solar fotovoltaica é substancialmente maior aos observados nas gerações térmica e hidroelétrica, oscilando entre 5 e 10 mil dólares por quilowatt [3]. Além disso, a competitividade e a inserção de fontes renováveis na matriz energética é grandemente condicionada a fatores naturais (sazonalidade, condições geográficas, etc.), fatores tecnológicos (eficiência de conversão de energia) e fatores econômicos (custo de capital da alternativa de geração), fazendo com que essas fontes sejam, de forma geral, soluções locais e/ou complementares ao sistema principal de oferta de energia elétrica [3]. Obviamente, as energias renováveis são as mais promissoras soluções no atendimento da crescente demanda por energia elétrica a longo prazo, uma vez que não trazem consigo os impactos inerentes ao uso de energias não-renováveis. Além disso, os altos custos envolvidos tendem a ser reduzidos com sua inserção no mercado.

Todavia, como alternativa de curto e médio prazos, pode-se citar a conservação da energia elétrica [4]. Segundo [3], o uso eficiente de energia normalmente se apresenta como uma alternativa ao aumento da oferta de eletricidade, trazendo resultados positivos para a economia, independentemente do cenário energético que se esteja vislumbrando. Entre outras medidas, o uso eficiente da energia elétrica pode ser obtido, por exemplo, através do desenvolvimento tecnológico de equipamentos mais eficientes na utilização da energia. Assim, é possível ao setor produtivo gerar maior quantidade de produtos manufaturados, postergando-se a necessidade de expansão do sistema nacional de geração de eletricidade.

Inserida nesse contexto, a Eletrônica de Potência tem um papel fundamental na pesquisa e no desenvolvimento de tecnologias que possam proporcionar a operação dos sistemas de condicionamento de energia com eficiência elevada, produzindo energia elétrica de alta qualidade e confiabilidade [2].

Com relação ao Brasil, observa-se que o setor industrial brasileiro é um importante consumidor de energia, tendo respondido pelo consumo de 44% de toda a eletricidade produzida no país e 40,5% da energia como um todo [3]. O impacto do consumo do setor industrial torna-se evidente quando comparado ao consumo observado nos demais setores da economia, conforme Figura 1.2 (a). Nesse sentido, identifica-se o setor industrial como um forte candidato a medidas que busquem a maximização da eficiência na utilização da energia elétrica.

Avaliando-se o consumo de energia elétrica dentro do setor industrial, conforme Figura 1.2 (b), observa-se que os motores elétricos são responsáveis por 55% do consumo de energia [5]. Particularmente, os motores de indução trifásicos, em função de sua simplicidade construtiva, robustez e confiabilidade, são amplamente empregados em aplicações industriais. Sendo assim, atenção especial deve ser despendida a este tipo particular de carga, uma vez que se constituem na carga mais significativa nos processos industriais. Como exemplo, pode-se citar o emprego de motores de indução em indústrias de alimentos, bebidas, celulose, papelão, cimento, automobilística, mineração, química, petroquímica, saneamento e siderúrgicas. As principais aplicações são no acionamento de prensas, compressores, desfibradores, bombas, moinhos, correias transportadoras, britadores, extrusoras, laminadoras, pontes rolantes, entre outros [6].

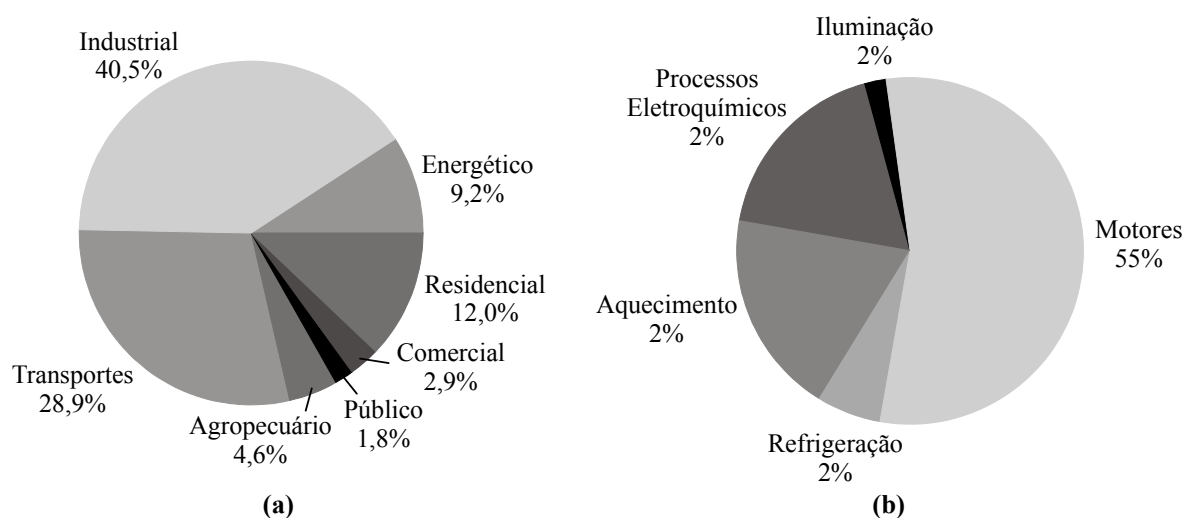


Figura 1.2 – Consumo de energia no Brasil. (a) Energia total por atividade no ano de 2004 [7]. Energia elétrica no setor industrial [5].

De maneira geral, as aplicações citadas demandam variação de velocidade, o que pode ser obtido pela inserção de um inversor entre o motor e a rede [5]. Normalmente utiliza-se um inversor alimentado em tensão trifásico três níveis, composto por seis IGBTs (*Insulated Gate Bipolar Transistor* – Transistor Bipolar de Porta Isolada), em aplicações de

baixas tensões, empregando modulação por largura de pulso (*Pulse-Width Modulation* – PWM), conforme representado na Figura 1.3. Esse sistema é denominado ASD (*Adjustable Speed Drive* – Drive com Velocidade Ajustável) ou VFD (*Variable Frequency Drive* – Drive com Frequência Variável) [5].

Assim, o desenvolvimento de sistemas de acionamento apresentando alta eficiência contribui diretamente ao uso eficiente da energia. Sob o foco da Eletrônica de Potência, existe um grande potencial de pesquisa de novos dispositivos semicondutores que apresentem menores perdas ou, ainda, soluções topológicas que aprimorem o desempenho dos conversores estáticos.

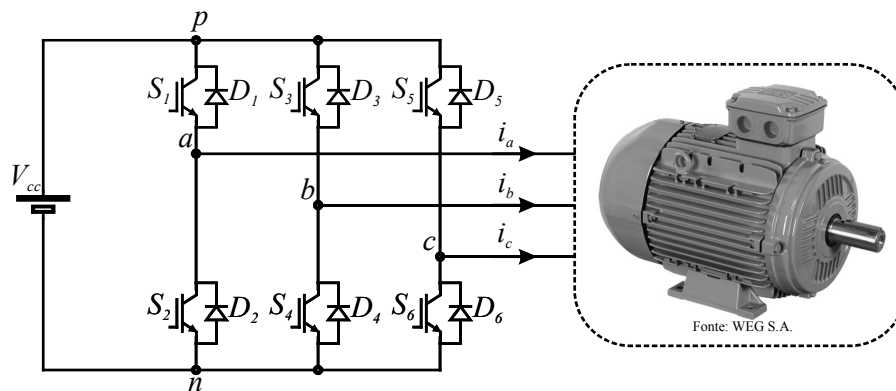


Figura 1.3 – Inversor alimentado em tensão empregado no acionamento de motores de indução.

Além da eficiência do sistema, outros parâmetros devem ser levados em consideração quando do emprego de conversores chaveados – no caso inversores de tensão empregando IGBTs – no acionamento de motores de indução, como, por exemplo, as altas taxas de variação de tensão (dv/dt) e de corrente (di/dt), que podem ocasionar conseqüências danosas e, em certos casos, até destrutivas à carga e ao próprio inversor. Uma conseqüência dos níveis elevados de dv/dt e di/dt é a elevação dos níveis de interferência eletromagnética (*Electromagnetic Interference* – EMI) gerada pelo conversor, podendo interferir na operação de outros equipamentos ou mesmo prejudicar o sistema de aquisição (sensores, instrumentação, conversores analógico-digital) e controle do próprio conversor [2]. Além disso, os níveis elevados de dv/dt e di/dt podem interagir com os cabos de alimentação das máquinas, causando transientes de tensão nos enrolamentos das mesmas, exigindo mais do seu sistema de isolamento.

Nesse sentido, para minimizar os problemas citados e contribuir para o aumento da eficiência dos inversores de tensão PWM, técnicas de comutação suave têm sido empregadas nos inversores PWM no lugar de comutações dissipativas. O princípio das técnicas de comutação suave reside na redução da sobreposição das formas de onda de tensão e corrente

no instante da comutação do dispositivo semiconductor sob assistência. Assim, as perdas de chaveamento são minimizadas. Dessa forma, as técnicas de comutação suave proporcionam condições de comutação mais próximas às ideais, aliviando as limitações térmicas de operação – já que menos energia é dissipada na comutação – e permitindo, inclusive, a operação dos dispositivos semicondutores em frequências elevadas (dezenas ou centenas de quilohertz). Adicionalmente, o controle das taxas de dv/dt e di/dt minimizam os problemas relacionados à EMI [8] e também os problemas relacionados ao acionamento de máquinas [9].

A possibilidade de elevação da frequência de operação dos conversores chaveados proporcionada pelo emprego de determinada técnica de comutação suave permite a redução no volume dos filtros passivos empregados, resultando na melhora no desempenho dinâmico e no aumento da densidade de potência dos conversores. Além disso, a elevação da frequência de operação pode reduzir o ruído audível – característica desejada na indústria, em especial a automotiva –, uma vez que o ouvido humano perde sensibilidade em frequências superiores a 20 kHz.

Entre as muitas técnicas de comutação suave propostas na literatura, a técnica de comutação sob transição nula de tensão (*Zero Voltage Transition – ZVT*) tem sido muito bem aceita pela indústria em função de suas características atrativas, como baixas perdas no circuito de auxílio à comutação (CAC), operação com comutação suave para uma ampla faixa de carga, pequeno impacto sobre a estrutura original do conversor e possibilidade de operação do conversor de modo muito semelhante à operação do conversor PWM equivalente dissipativo [10].

Além disso, em conversores multipólos, como o inversor trifásico da Figura 1.3, uma grande variedade de topologias ZVT possuindo um CAC com seis chaves semicondutoras auxiliares, como em [11,12], foram propostas com o objetivo de aprimorar o desempenho dos conversores. Essas topologias atendem os requisitos de reduzidas perdas no CAC, possibilidade de operação com alta frequência de chaveamento, baixos esforços de tensão e corrente no circuito principal do conversor, e alta eficiência. Por outro lado, essas topologias apresentam um CAC volumoso devido a um grande número de chaves semicondutoras auxiliares, resultando na redução da confiabilidade global do sistema e no aumento dos custos de produção envolvidos. Essa característica reduz o interesse no emprego desses circuitos em aplicações industriais.

1.1 Definição do problema

Buscando tornar os CACs do tipo ZVT aplicados à conversores multipólos mais compactos, com menor custo e, assim, mais atrativos à aplicações industriais, CACs com um menor número de chaves semicondutoras auxiliares foram propostos, minimizando a complexidade e o custo relacionado ao CAC. Alguns trabalhos propõe o emprego de CACs do tipo ZVT integrados, como em [13,14], buscando possibilitar a obtenção das condições de comutação sob zero de tensão (*Zero Voltage Switching – ZVS*) a todas as chaves semicondutoras do inversor. Entretanto, as topologias ZVT que empregam CACs integrados inserem limitações adicionais à operação dos inversores, como a exigência por comutações sincronizadas em diferentes pólos PWM, resultando em estratégias de modulação com restrições adicionais. Dessa forma, a adoção de estratégias de modulação que resultem em um reduzido conteúdo harmônico nas variáveis de interesse (tensões e correntes de carga, por exemplo) ou que possibilitem a redução das perdas de chaveamento, como as propostas em [15], ficam inviabilizadas às topologias ZVT que empregam CACs integrados.

Dessa forma, com o objetivo de contornar as restrições inseridas pelas topologias ZVT integradas, topologias ZVT simplificadas são propostas em [16,17], onde o CAC é simplificado individualmente em cada pólo PWM do conversor. Assim, as topologias ZVT que empregam CACs simplificados permitem a utilização de qualquer estratégia de modulação, como as que reduzem o conteúdo harmônico ou as perdas de chaveamento. Por outro lado, em função da ausência de uma metodologia de síntese, como a proposta em [10,18] para as topologias ZVT integradas, as topologias ZVT simplificadas propostas na literatura foram derivadas por múltiplas tentativas de simplificação do CAC.

1.2 Objetivos

Nesse sentido, este trabalho propõe o desenvolvimento de uma metodologia de síntese de topologias ZVT simplificadas, dando continuidade à busca por CACs cada vez mais compactos e atrativos a aplicações industriais.

Além disso, as implicações da escolha de uma técnica integrada ou simplificada no desempenho global do conversor ainda não foram analisadas detalhadamente na literatura. Assim, este trabalho também propõe uma análise comparativa detalhada entre as duas

abordagens. Dessa forma, busca-se uma sistematização da seleção da técnica ZVT a ser empregada em determinada aplicação.

1.3 Organização da dissertação

A seguir é descrito, em termos gerais, o conteúdo abordado em cada seção da dissertação.

Capítulo 2: neste capítulo é realizada uma revisão bibliográfica acerca das principais técnicas de comutação suave encontradas na literatura. Em função de suas características, as técnicas são divididas em três grandes grupos, onde as principais vantagens e limitações são identificadas. As técnicas de comutação suave do tipo transição-ressonante recebem uma maior atenção, especialmente a técnica ZVT. Salienta-se que a revisão bibliográfica é organizada, quando possível, de forma cronológica, evidenciando a evolução observada nas técnicas de comutação suave propostas e a busca por topologias cada vez mais compactas.

Capítulo 3: uma metodologia de síntese de topologias ZVT simplificadas aplicadas a pólos PWM bidirecionais em corrente é proposta neste capítulo. Nesse sentido, inicialmente é realiza uma generalização da técnica ZVT, quando as condições necessárias à operação do CAC são identificadas. Posteriormente, um conjunto de chaves semicondutoras simplificadas – que empregam apenas uma chave semicondutora controlada de alta frequência – são propostas. Por fim, a determinação das restrições à combinação entre as chaves semicondutoras simplificadas e diferentes estruturas de CACs permite a síntese de topologias ZVT simplificadas inéditas, bem como as previamente publicadas na literatura.

Capítulo 4: uma análise comparativa entre os conceitos de integração e simplificação de CACs do tipo ZVT é proposta neste capítulo com a intenção de tornar clara as principais vantagens e limitações de cada abordagem e, ainda, contribuir no sentido da seleção de qual abordagem deve ser adotada para determinada aplicação. Assim, são comparados os conceitos, a capacidade de compactação, as perdas observadas nos circuitos principal e auxiliar do conversor, as estratégias de modulação e o conteúdo harmônico presente na tensão entregue à carga.

Capítulo 5: resultados experimentais buscando a comprovação da efetividade da metodologia de síntese proposta bem como da análise comparativa entre os conceitos de integração e simplificação de CACs do tipo ZVT são apresentados neste capítulo. Assim, são

implementadas duas topologias, uma empregando o conceito de integração e outra empregando o conceito de simplificação de CACs do tipo ZVT. Dessa forma, resultados experimentais como rendimento e conteúdo harmônico da tensão sintetizada pelos conversores são confrontados.

Conclusão: neste capítulo são apresentadas as principais conclusões do trabalho, bem como as propostas para trabalhos futuros.

CAPÍTULO 2 REVISÃO BIBLIOGRÁFICA

2.1 Introdução

Neste capítulo é realizada uma revisão acerca das principais técnicas de comutação suave. Assim, a classificação quanto ao mecanismo empregado em cada técnica é discutido de maneira sucinta, quando as principais características são apresentadas. Em um segundo momento, foca-se no estudo das principais topologias de conversores ZVT empregados em inversores de tensão trifásicos. Assim, são apresentadas as topologias clássicas e, posteriormente, direciona-se a abordagem às topologias ZVT integradas e simplificadas, ou seja, ao anseio pela obtenção de circuitos de auxílio à comutação (CAC) compactos. Por fim, apresentam-se os trabalhos que buscam a generalização dos conversores ZVT.

2.2 Justificativa do emprego de técnicas de comutação suave

De maneira geral, a dissipação de energia resultante das perdas em um dispositivo semicondutor de potência normalmente implica em um aumento de sua temperatura de operação, podendo comprometer sua vida-útil e, principalmente, a eficiência do conversor. Sabe-se que a energia envolvida na comutação é função das trajetórias das formas de onda de tensão e corrente durante o chaveamento e da frequência de operação do conversor. Assim, a redução da eficiência do conversor pode implicar no aumento do volume de dissipadores ou no emprego (ou aumento) de ventilação forçada, comprometendo o custo e o volume final do sistema.

Além disso, a existência de elementos parasitas no circuito do conversor – indutâncias de trilhas e conexões, capacitâncias intrínsecas dos semicondutores, e não-idealidades dos indutores e capacitores empregados – contribui na geração de sobrecorrentes e sobretensões que podem, inclusive, exceder aos limites da área de operação segura (*Safe Operating Area* – SOA) dos dispositivos semicondutores [2], obrigando o sobredimensionamento dos mesmos. Adicionalmente, as altas taxas de variações de tensão (dv/dt) e corrente (di/dt) características da modulação PWM, podem também contribuir na geração de interferência eletromagnética [19].

Assim, com o objetivo principal de relaxar o compromisso existente entre a elevação da frequência de operação e o rendimento do conversor [20], técnicas de comutação suave podem ser empregadas. Nesse sentido, tanto a indústria quanto a academia tem despendido esforços nas últimas décadas na pesquisa e no desenvolvimento de novas técnicas de comutação suave, resultando no desenvolvimento de inúmeras topologias. Mais recentemente, alguns trabalhos têm focado na identificação dos méritos e limitações – eficiência, número de componentes e EMI – de algumas das topologias propostas [21,22,8].

2.3 Mecanismos de comutação dos semicondutores

Sob o ponto de vista do dispositivo semiconductor, as condições de comutação sob carga indutiva [23] são de três tipos: (i) comutação dissipativa (*hard switching*); (ii) comutação pseudo-suave (*pseudo soft-switching*); e (iii) comutação verdadeiramente suave (*true soft-switching*) [2]. As formas de onda teóricas relativas aos três tipos de comutação (entrada em condução) são apresentadas na Figura 2.1, onde $G_s(t)$, $v_s(t)$, $i_s(t)$ e $p_s(t)$ representam, respectivamente, o sinal de comando, a tensão, a corrente e a potência instantânea no dispositivo semiconductor.

Na comutação dissipativa, representada na Figura 2.1 (a), existe uma considerável sobreposição entre as formas de onda de tensão e corrente no intervalo $[t_0, t_2]$, resultando em um valor não nulo de energia que deve ser removida do dispositivo através do sistema de dissipação. Com o emprego de uma técnica de comutação pseudo-suave, as taxas de di/dt (entrada em condução) e/ou dv/dt (bloqueio) são reduzidas. Assim, as perdas resultantes da sobreposição entre tensão e corrente podem ser minimizadas, conforme demonstrado na Figura 2.1 (b) para o intervalo $[t_0, t_1]$. Idealmente, a eliminação completa das perdas de comutação do dispositivo pode ser obtida pelo emprego de uma técnica verdadeiramente suave, conforme representado na Figura 2.1 (c) no intervalo $[t_1, t_2]$, onde normalmente o dv/dt e o di/dt são simultaneamente limitados.

As técnicas de auxílio à comutação existentes empregam, de maneira geral, um CAC que proporciona uma comutação verdadeiramente suave (entrada em condução ou bloqueio), enquanto que a comutação complementar ocorre assistida por um elemento armazenador de energia, caracterizando uma comutação pseudo-suave. Quando a comutação verdadeiramente suave ocorre na entrada em condução do dispositivo semiconductor – a tensão sobre o dispositivo é reduzida a zero preliminarmente ao seu acionamento –, a técnica é denominada

“comutação sob zero de tensão” (*Zero Voltage Switching, ZVS, ou Zero Voltage Transition, ZVT*, dependendo da disposição do circuito auxiliar). Por outro lado, quando a comutação verdadeiramente suave ocorre no bloqueio do dispositivo semiconductor – a corrente pelo mesmo é reduzida a zero previamente ao seu bloqueio –, tem-se a técnica denominada “comutação sob zero de corrente” (*Zero Current Switching, ZCS, ou Zero Current Transition, ZCT*). As comutações pseudo-suaves são também designadas por comutações *snubber*. No caso em que ambas as comutações são verdadeiras, tem-se uma “comutação sob zero de corrente e zero de tensão” (*Zero Current and Zero Voltage Switching, ZCZVS, ou Zero Current and Zero Voltage Transition, ZCZVT*).

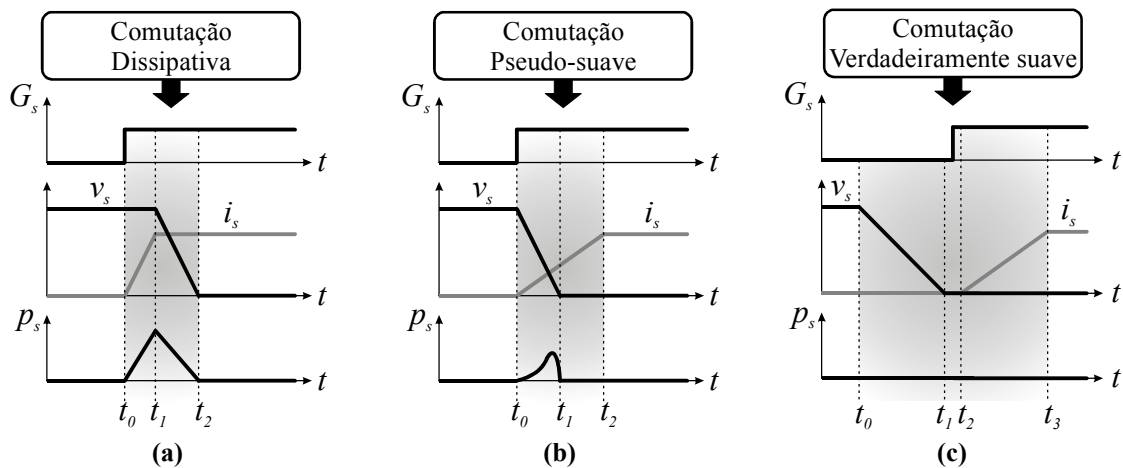


Figura 2.1 – Entrada em condução de um semiconductor controlado. (a) Comutação dissipativa. (b) Comutação pseudo-suave. (c) Comutação verdadeiramente suave [2].

Os termos ZVS e ZCS são também comumente empregados para designar o tipo de comutação observada no dispositivo semiconductor. Por exemplo, quando se tem uma comutação verdadeiramente suave no acionamento, denomina-se a comutação por “ZVS verdadeira”, enquanto que a comutação complementar de bloqueio (pseudo-suave) é designada por “pseudo ZVS” (ou *snubber*). Equivalentemente, o mesmo pode ser afirmado com relação ao termo ZCS. Um diagrama com as condições de cada tipo de comutação é apresentado na Figura 2.2.

A técnica ZCS, Figura 2.2 (b), consiste do desvio da corrente pelo semiconductor previamente ao bloqueio do mesmo. De maneira geral, emprega-se um elemento indutivo associado a outros componentes auxiliares para prover o desvio da corrente do semiconductor a ser comutado. Assim, durante o bloqueio, tem-se uma comutação verdadeiramente suave. Por sua vez, durante a entrada em condução do dispositivo semiconductor, o mesmo elemento indutivo limita a di/dt , minimizando as perdas de comutação oriundas da sobreposição das

formas de onda de tensão e corrente. Tem-se, assim, uma comutação pseudo-suave durante a entrada em condução. Conforme comentado em [2], apesar das perdas por sobreposição serem significativamente reduzidas na entrada em condução, a energia acumulada nas capacitâncias intrínsecas do semicondutor é dissipada sobre o mesmo, fenômeno denominado de “perdas capacitivas de acionamento” (*turn-on capacitive losses*).

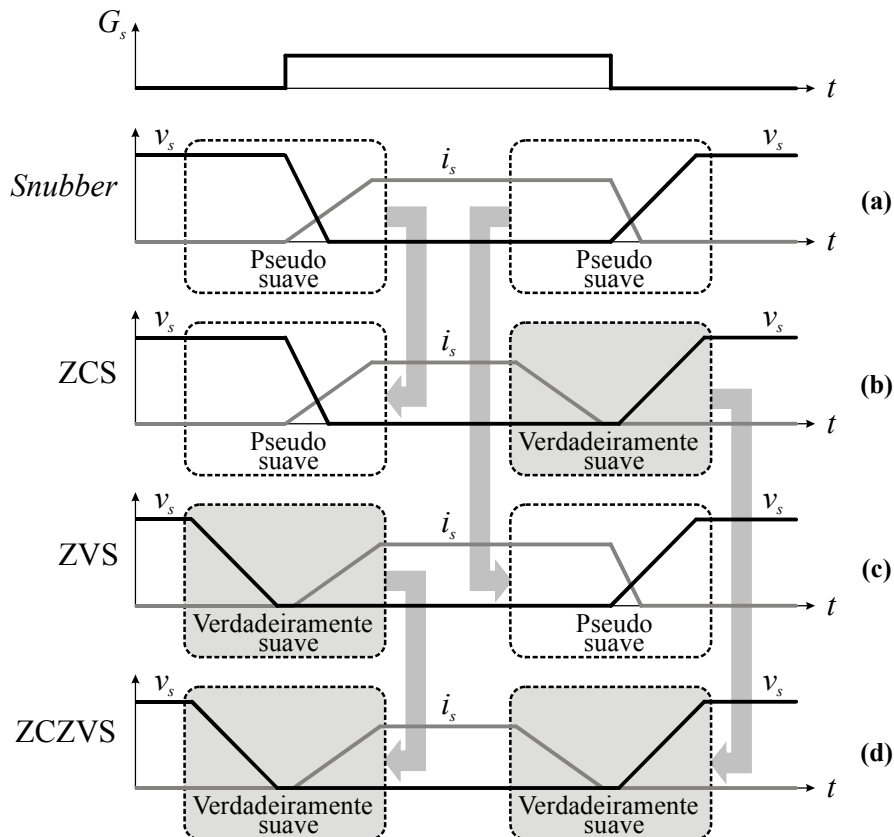


Figura 2.2 – Técnicas de auxílio à comutação: diagrama das principais formas de onda de tensão e corrente [24].

A técnica ZVS, Figura 2.2 (c), consiste da redução da tensão sobre o dispositivo semicondutor a zero previamente ao acionamento do mesmo. Normalmente um elemento capacitivo compartilhando o mesmo nó do dispositivo, associado a outros componentes auxiliares, é empregado nesse processo. Assim, durante o acionamento, tem-se uma comutação verdadeiramente suave. Por outro lado, durante o bloqueio do dispositivo semicondutor, o mesmo elemento capacitivo limita a dv/dt , minimizando as perdas de comutação oriundas da sobreposição das formas de onda de tensão e corrente. Dessa forma, tem-se uma comutação pseudo-suave no bloqueio.

Nas técnicas ZCZVS e ZCZVT – que diferem apenas na disposição dos componentes auxiliares – as comutações de entrada em condução e bloqueio ocorrem de maneira verdadeiramente suave, com di/dt e dv/dt limitados, conforme Figura 2.2 (d).

2.4 Técnicas de auxílio à comutação aplicadas a inversores alimentados em tensão

Com base na classificação originalmente proposta em [25] para circuitos de comutação forçada aplicados a tiristores e, posteriormente estendida a dispositivos com capacidade de bloqueio [26], as técnicas de comutação aplicadas a inversores alimentados em tensão (*Voltage-Source Inverters* – VSI) podem ser arranjadas de acordo com a disposição do CAC em três grandes grupos: (i) inversores com CAC junto à carga (comutação de carga); (ii) inversores com CAC junto ao barramento CC (comutação de linha); e (iii) inversores com CAC aplicado aos pólos PWM (comutação de chave).

2.4.1 Circuito de auxílio à comutação aplicado à carga

Os inversores com o circuito auxiliar aplicado à carga [27,28] empregam um tanque ressonante associado à carga de forma a prover oscilações nas formas de onda de tensão e corrente, produzindo condições favoráveis à comutação dos semicondutores sob assistência (comutações sob ZCS ou ZVS).

Como o tanque ressonante encontra-se junto à carga, a obtenção das condições de comutação sob ZCS ou ZVS torna-se dependente da corrente de carga, não sendo garantida para uma faixa muito grande de cargas. Os principais problemas relacionados a esse grupo de CACs são os esforços adicionais de tensão e/ou corrente nos semicondutores, aumentando as perdas de condução e, ainda, forçando um sobredimensionamento dos dispositivos [2].

2.4.2 Circuito de auxílio à comutação aplicado ao barramento CC

Os inversores que empregam essa técnica possuem o CAC associado ao barramento CC [29,30], proporcionando uma oscilação da tensão do barramento e, conseqüentemente, condições de zero de tensão à comutação dos semicondutores. Normalmente, as chaves semicondutoras dos pólos PWM do inversor devem apresentar sincronismo no seu acionamento, reduzindo, assim, os graus de liberdade da modulação do inversor. Como

principais problemas dessa técnica podem-se destacar a grande energia reativa circulante – que contribui às perdas de condução no CAC – e os esforços de tensão dos semicondutores sob assistência [31]. Além disso, os elementos do CAC encontram-se em série com o fluxo principal de potência e, dessa forma, devem ser dimensionados para a potência nominal do conversor [2]. Normalmente, em função da grande energia processada pelo dispositivo semiconductor em série com o caminho de potência, é necessária a associação de dispositivos em paralelo para comportar os níveis de corrente observados. Assim, a compactação do CAC – objetivo das topologias com CAC aplicado ao barramento CC – fica comprometida.

2.4.3 Circuito de auxílio à comutação aplicado aos pólos PWM

Dentro dessa classe de inversores, pode-se destacar os inversores que empregam CACs do tipo quase-ressonante, onde os indutores auxiliares encontram-se em série com o caminho de potência, bem como os do tipo transição-ressonante, onde o CAC está localizado fora do caminho de potência do conversor. No último caso, os circuitos auxiliares são acionados apenas durante o intervalo de comutação (ou “transição”) dos pólos PWM do conversor, processando, dessa forma, uma quantidade de energia muito reduzida.

Como principal vantagem, esses circuitos, em sua grande maioria, interferem muito pouco na modulação do inversor, possibilitando a utilização de técnicas de controle avançadas desenvolvidas para inversores PWM com comutação dissipativa [2].

2.4.3.1 Transição sob tensão nula (ZVT)

Os circuitos de auxílio à comutação do tipo ZVT são os que apresentaram maior desenvolvimento tecnológico nas últimas décadas, tornando-se, assim, os mais populares. Isso se deve às suas características atraentes, como baixas perdas no CAC, operação com condições ZVS para uma ampla faixa de cargas, baixo impacto sobre a estrutura original do conversor e, principalmente, operação próxima ao funcionamento do inversor equivalente com comutação dissipativa [10]. Salienta-se que uma revisão detalhada acerca das topologias de inversores ZVT é realizada na Seção 2.5.

2.4.3.2 Transição sob corrente nula (ZCT)

Nos circuitos ZCT o dispositivo semiconductor entra em condução com uma taxa controlada de variação de corrente, enquanto que a corrente através deste dispositivo anula-se antes de seu bloqueio [32], sendo este tipo de comutação benéfico aos dispositivos do tipo portadores minoritários, como, por exemplo, IGBTs – devido a estes apresentarem maiores perdas durante o bloqueio em razão da corrente de cauda. Embora atualmente existam famílias de IGBTs com correntes de cauda bastante reduzidas, a característica construtiva dos mesmos resulta no aumento da queda de tensão direta (saturação), o que tem por consequência o aumento das perdas de condução.

Entretanto, o inversor ZCT originalmente proposto em [33] e representado na Figura 2.3 não era capaz de prover auxílio para o acionamento das chaves semicondutoras do inversor. Esse processo ocorria de forma dissipativa, ou, pelo menos, o bloqueio dos diodos em antiparalelo com as chaves principais sob uma di/dt controlada, minimizando suas perdas por recuperação reversa. Alterações na estratégia de acionamento do CAC original foram propostas em [34,35], minimizando ou mesmo eliminando o problema anteriormente citado, porém sob o preço de demandar o acionamento do CAC duas vezes em um único período de chaveamento. De maneira geral, o grande problema relacionado aos conversores ZCT reside no tanque ressonante empregado para prover as condições de magnetização e desmagnetização dos indutores auxiliares. Esse tanque ressonante implica em uma grande energia reativa circulante, resultando em esforços de corrente sobre os dispositivos auxiliares [2].

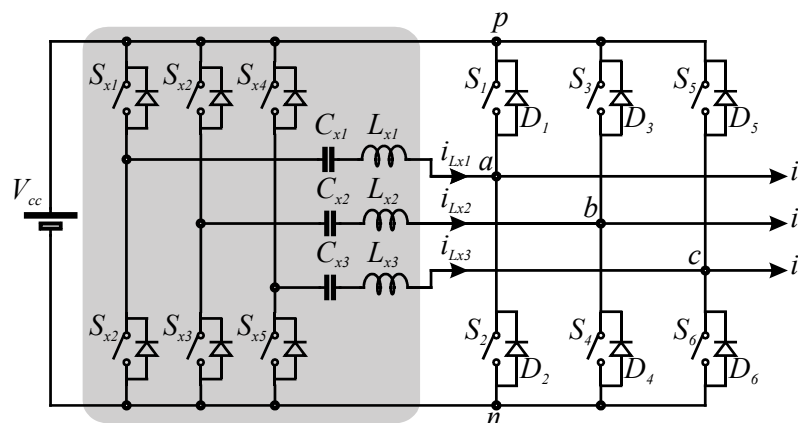


Figura 2.3 – Topologia ZCT proposta em [33].

A estrutura original dos conversores ZCT passou por poucas modificações desde sua proposta original. Apenas recentemente, em [2,36], foi proposto um novo conceito de síntese

desses conversores, onde o tanque ressonante foi substituído por uma fonte auxiliar de tensão (*Auxiliary Voltage Source – AVS*) implementada por um acoplamento magnético com o indutor do filtro de saída. Assim, os processos ressonantes observados durante as etapas de magnetização e desmagnetização dos indutores auxiliares foram substituídos por processos lineares. Dessa forma, a energia reativa circulante foi significativamente reduzida. Em contrapartida, os conversores propostos em [36] apresentam obrigatoriamente um CAC composto por duas chaves semicondutoras auxiliares para cada pólo PWM do conversor. Além disso, as chaves semicondutoras auxiliares bloqueiam obrigatoriamente sob corrente para que as condições de desmagnetização dos indutores auxiliares sejam observadas.

2.4.3.3 Transição sob corrente e tensão nula (ZCZVT)

Os circuitos ZCZVT reúnem aspectos positivos dos circuitos ZVT e ZCT, ou seja, possibilitam a entrada em condução sob tensão nula e o bloqueio sob corrente nula, sendo, portanto adequados tanto para dispositivos do tipo portadores majoritários quanto minoritários. Porém, estes conversores apresentam uma grande energia reativa circulante devido ao emprego de um tanque ressonante no CAC [2], como a estrutura proposta em [37] e representada na Figura 2.4, a qual difere do conversor ZCT representado na Figura 2.3 apenas pela inserção de capacitores *snubber* em paralelo com as chaves semicondutoras principais. Com o objetivo de melhorar o desempenho dos conversores ZCZVT, em [38] foi proposta uma célula ZCZVT também baseada em um tanque ressonante, porém conectada ao ponto médio do barramento CC. Segundo [2] essa configuração permite a redução dos esforços de tensão nas chaves semicondutoras auxiliares, porém expõe as chaves principais a esforços de corrente na ordem de até três vezes a corrente nominal.

Nesse sentido, o conversor ZCZVT proposto em [39] elimina a necessidade do emprego de uma AVS ressonante, minimizando a energia reativa circulante, e permite o emprego de temporização variável no acionamento das chaves semicondutoras auxiliares. Em contrapartida, demanda um pólo PWM adicional no CAC e apresenta comutações sob corrente (dissipativa) nas chaves semicondutoras auxiliares. Além disso, como a AVS é implementada por um acoplamento magnético com o indutor de filtro, existe a necessidade do emprego de um filtro de saída em todas as aplicações. Ainda, as condições necessárias à comutação sob zero de tensão não são obtidas para toda a faixa de cargas, especialmente quando a tensão sobre a carga

encontra-se reduzida, uma vez que a tensão refletida pelo acoplamento magnético não é suficiente para prover as condições de comutação suave.

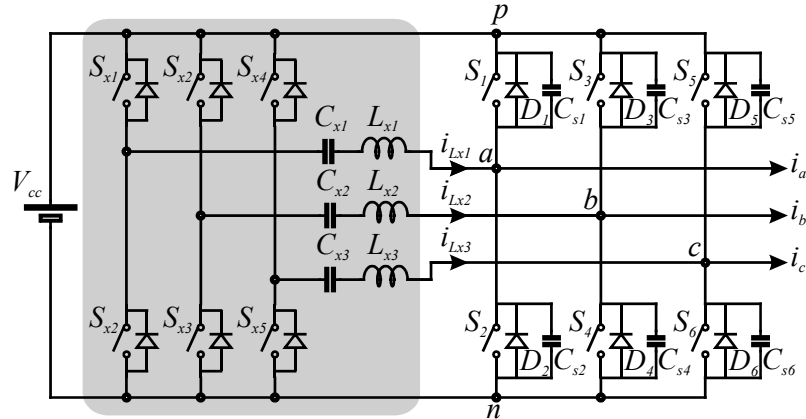


Figura 2.4 – Topologia ZCZVT proposta em [37].

De forma geral, os conversores ZCZVT apresentam uma maior complexidade no comando das chaves auxiliares, uma vez que o CAC deve ser acionado duas vezes em um único período de chaveamento (para assistir ao acionamento e ao bloqueio das chaves semicondutoras principais).

2.5 Técnica ZVT aplicada a inversores alimentados em tensão

Em função, principalmente, da grande energia reativa circulante e/ou da complexidade de acionamento observada nos conversores ZCT e ZCZVT, seus usos em aplicações industriais não se torna tão atrativo em níveis elevados de potência (dezenas ou centenas de quilowatts). Em contrapartida, o nível de desenvolvimento alcançado pela técnica ZVT possibilitou a obtenção de topologias com elevado grau de compactação e reduzidos esforços de tensão e/ou corrente nos componentes auxiliares, tornando-as mais atrativas às aplicações industriais.

Assim, a seguir é realizado um estudo detalhado da técnica de comutação “transição sob tensão nula”, identificando-se desde as primeiras topologias aplicadas a inversores alimentados em tensão às mais recentes propostas na literatura, quando o apelo pela compactação do CAC tornou-se prioritário.

2.5.1 Evolução da técnica ZVT

A topologia mais simples capaz de prover comutação sob ZVS às chaves semicondutoras do pólo PWM, proposta em [40] (apud [2]) e apresentada na Figura 2.5, é conhecida por “pólo comutado ressonante” (*Resonant Commuted Pole – RPI*). Conforme se observa na Figura 2.5, o CAC é composto por indutores e capacitores ressonantes. Ainda, conforme [2], os indutores ressonantes podem ser integrados aos indutores de filtro de saída ou implementados discretamente.

Uma modificação na estrutura original dos conversores RPI foi proposta em [41], onde são empregados diodos em paralelo com capacitores C_{x1} a C_{x6} , conforme Figura 2.6, cuja função é a de grampear a tensão sobre os mesmos. Essa estrutura é conhecida por “conversor com pólo de diodos ressonante auxiliar” (*Auxiliary Resonant Diode Pole – ARDPI*).

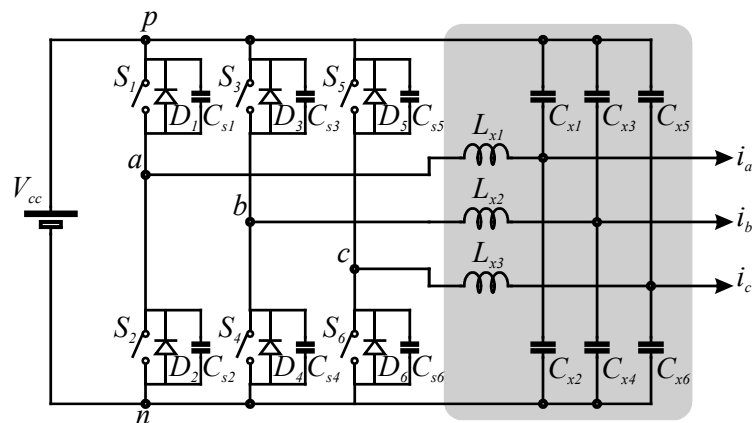


Figura 2.5 – Conversor com pólo comutado ressonante (RPI) [40] (apud [2]).

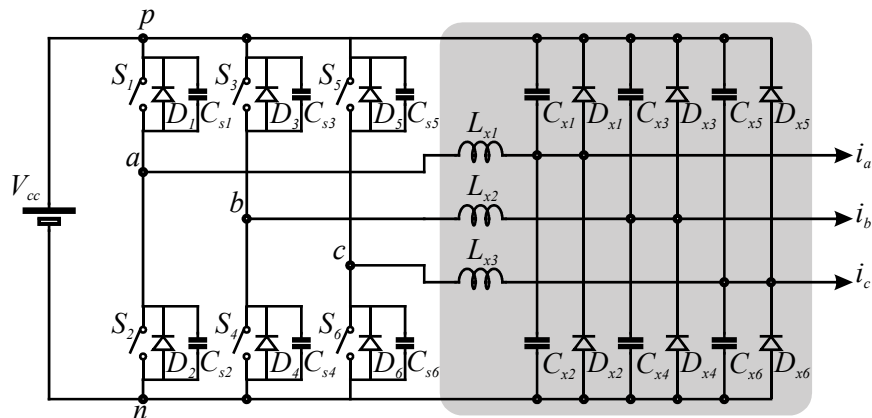


Figura 2.6 – Conversor com pólo de diodos ressonante auxiliar (ARDPI) [41].

Salienta-se que ambos os conversores RPI e ARDPI apresentam esforços de corrente superiores ao dobro da corrente de carga [2]. Como o CAC permanece constantemente ativo, as perdas de condução nas chaves são elevadas. A redução dos esforços adicionais de corrente foi obtida por [42] (apud [2]) através da inclusão de um pólo auxiliar ativo, cuja estrutura é conhecida por “pólo ressonante auxiliar” (*Auxiliary Resonant Pole Inverter – ARPI*). Esta topologia pode ser visualizada na Figura 2.7.

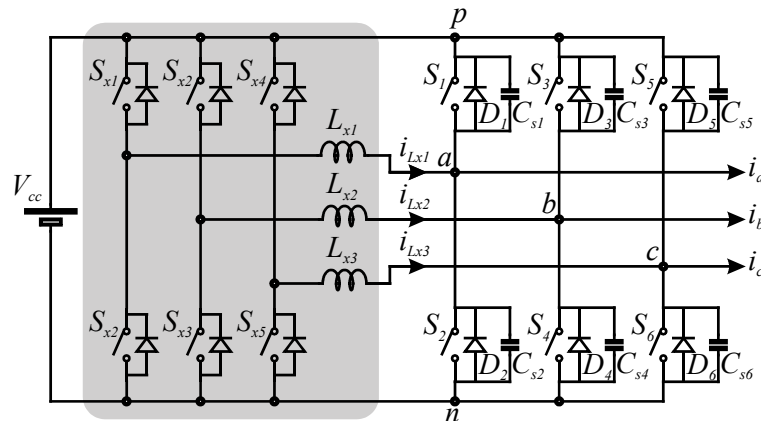


Figura 2.7 – Conversor pólo ressonante auxiliar (ARPI) [42] (apud [2]).

Uma topologia semelhante ao conversor ARPI foi proposta em [43]. Esta topologia, representada na Figura 2.8, emprega um indutor, um diodo e uma chave semicondutora auxiliar para assistir a cada chave principal. Tanto no conversor ARPI quando na estrutura representada na Figura 2.8, existe a necessidade do bloqueio das chaves auxiliares (S_{x1} a S_{x6}) logo após o processo ressonante – quando se obtém a condição de comutação sob ZVS às chaves dos pólos PWM do conversor – para que sejam criadas condições de desmagnetização dos indutores auxiliares. Dessa forma, o bloqueio sob ZCS às chaves auxiliares fica inviabilizado, comprometendo o emprego de IGBTs no CAC. De fato, em [43] é proposto o emprego de MOSFETs como chaves semicondutoras auxiliares na intenção de minimizar as suas perdas de bloqueio. Como as capacitâncias intrínsecas dos MOSFETs são maiores que as de um IGBT, a presença de MOSFETs no CAC provoca ressonâncias parasitas com os indutores auxiliares. Dessa forma, os diodos D_{x11} a D_{x32} , inseridos em série com os indutores auxiliares, têm por finalidade eliminar possíveis ressonâncias parasitas entre estes indutores e os capacitores intrínsecos dos MOSFETs empregados como chaves semicondutoras auxiliares. Cabe ressaltar que cada conjunto de chave semicondutora e indutor auxiliar conectado em cada pólo PWM do conversor assiste a comutação de apenas uma chave semicondutora principal.

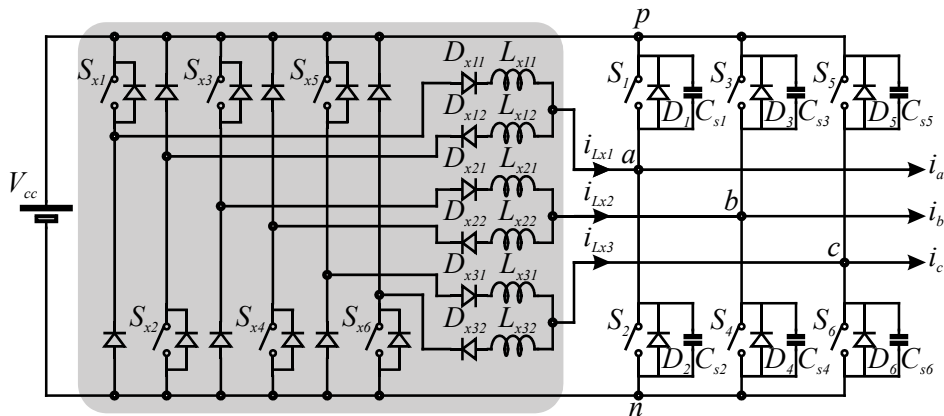


Figura 2.8 – Topologia ZVT proposta em [43].

Uma análise crítica das topologias anteriores revela que, na maioria dos casos, os CAC são obtidos a partir da adaptação dos circuitos ZVT empregados em conversores CC-CC. Dessa forma, as topologias propostas apresentam uma chave auxiliar para cada sentido de corrente no pólo PWM. Por esse motivo, na maioria das vezes o CAC é composto por seis chaves auxiliares em conversores trifásicos, duas em cada pólo PWM do conversor, sendo uma para cada sentido de corrente. Existem muitos trabalhos desenvolvidos com esta configuração, sendo que cada topologia apresenta benefícios para determinadas aplicações e níveis de potência. De forma geral, essas topologias apresentam estruturas complicadas e seus circuitos auxiliares são volumosos e com custo elevado.

A tecnologia atual de IGBTs – chaves semicondutoras normalmente empregadas em conversores destinados ao acionamento de máquinas de médias e altas potências – permitiu uma redução significativa das perdas de bloqueio (redução dos tempos de comutação e da corrente de cauda) frente às perdas de acionamento, tornando a técnica ZVT atrativa a conversores que empregam IGBTs no circuito principal. Dada a possibilidade do uso de IGBTs também como chaves auxiliares, é interessante que as topologias ZVT proporcionem condições de bloqueio sob ZCS às chaves semicondutoras do CAC, minimizando ou mesmo eliminando suas perdas de bloqueio. Dessa forma, impede-se que o ganho de eficiência obtido pelas comutações ZVS do circuito principal seja ofuscado pelas perdas de bloqueio no CAC [44].

Dentre as topologias que atendem às características mencionadas previamente, destaca-se o “conversor com pólo comutado ressonante auxiliar” (*Auxiliary Resonant Commutated Pole – ARCP*) [45,46], apresentado na Figura 2.9, onde cada pólo auxiliar é composto de duas chaves controladas e um indutor auxiliar. A conexão em anti-série entre S_{x1} e S_{x2} constitui uma chave denominada *single-pole single-throw* de quatro quadrantes [20]. Como principal característica, a AVS dessa topologia é implementada pelo ponto médio do

barramento CC através de um divisor capacitivo (C_{x1} e C_{x2}), sendo, então, possível obter-se a condição necessária à desmagnetização dos indutores auxiliares após o processo de assistência do circuito principal e, assim, proporcionar o bloqueio das chaves auxiliares sob ZCS.

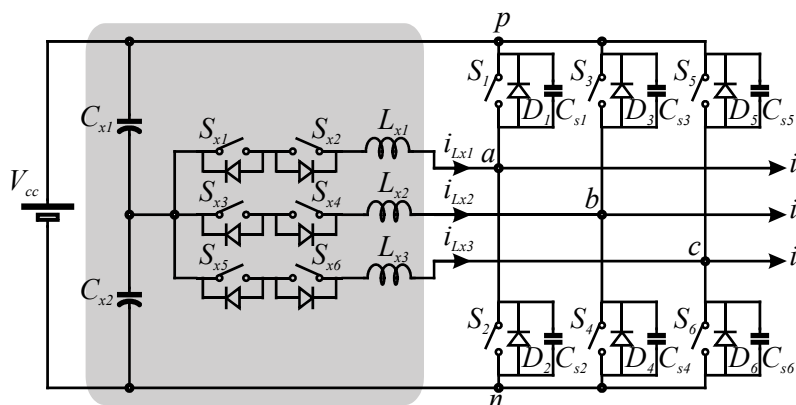


Figura 2.9 – Conversor com pólo comutado ressonante auxiliar (ARCP) [45,46].

Segundo [47], o conversor ARCP pode apresentar variação da tensão no ponto médio do barramento CC, além da necessidade de proteção dos dispositivos auxiliares contra sobretensões através do emprego de diodos de grampeamento, como proposto em [48,16], caso as chaves auxiliares sejam bloqueadas sob corrente. Conforme [44], existem três maneiras de realizar o balanço das tensões nos capacitores: (i) sensoriamento das tensões sobre os capacitores do barramento e controle adicional; (ii) modificação na seqüência de chaveamento; e (iii) capacitores volumosos no barramento CC. Apesar de um circuito adicional para o controle da tensão nos capacitores operar satisfatoriamente, acarreta em custo e complexidade adicionais. A mudança no padrão de chaveamento é uma escolha eficaz, mas implica em limitações na operação do CAC e a perda de graus de liberdade na modulação do conversor. A instalação de capacitores volumosos poderia ser economicamente inviável dependendo da aplicação a que o conversor se destina. Essa topologia poderia ser empregada em aplicações onde o barramento CC é implementado por um banco de baterias, como, por exemplo, em conversores aplicados a veículos elétricos, quando se tem facilidade de acesso ao ponto médio do barramento CC. Caso o estágio de entrada do conversor seja composto por um retificador de doze pulsos, como em aplicações de alta potência, o ponto médio do barramento CC também se encontra naturalmente disponível, não sendo significativamente vulnerável ao desbalanço das tensões ocasionadas pelo acionamento do CAC.

Em função do estágio ressonante do conversor ARCP processar-se obrigatoriamente centrado na metade da tensão do barramento CC, existe a necessidade da aplicação de uma corrente de *boosting* adicional sobre os indutores auxiliares, permitindo, assim, que a energia acumulada nos mesmos seja suficiente para garantir a operação sob ZVS às chaves principais

mesmo na presença de perdas no CAC. O emprego da corrente de *boosting* implica em perdas adicionais de bloqueio no circuito principal do conversor. Com o objetivo de solucionar esse problema, em [49,11] é proposta uma modificação no conversor ARCP, conforme evidenciado na Figura 2.10, quando se deixa de empregar o ponto médio do barramento CC e passa-se a empregar dois níveis de tensão intermediários, implementados por C_{x1} , C_{x2} e C_{x3} . Essa solução desloca o centro de ressonância de maneira a permitir a operação sob ZVS às chaves principais mesmo na presença de perdas no CAC, eliminando a necessidade da aplicação da corrente de *boosting*. Obviamente, é inserida uma complexidade adicional na implementação da AVS, principalmente devido à possibilidade de desequilíbrio nas tensões sobre os capacitores do barramento CC.

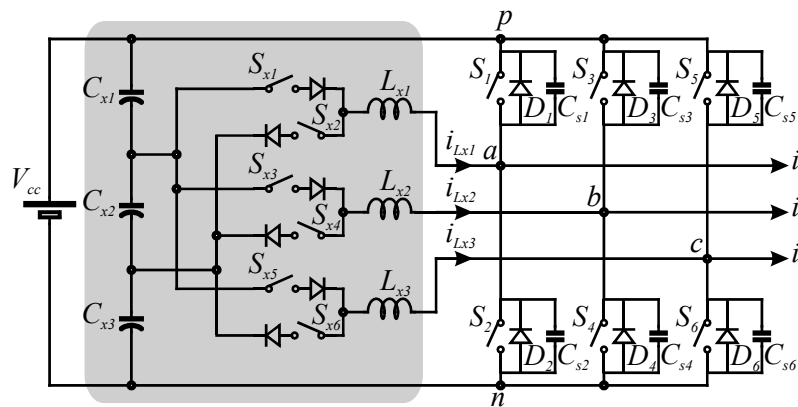


Figura 2.10 – Conversor ARCP com dois pontos intermediários de tensão [49,11].

Com o objetivo de eliminar a necessidade de um ponto médio no barramento CC são então propostos conversores ZVT com acoplamento magnético. Como característica principal, estes conversores têm a AVS implementada através de indutores acoplados, transformadores ou autotransformadores, fornecendo, assim, o nível de tensão necessário à desmagnetização dos indutores auxiliares após o processo de assistência das chaves principais, proporcionando condições ao bloqueio das chaves auxiliares sob ZCS. Normalmente quando transformadores ou autotransformadores são empregados, os indutores auxiliares são implementados a partir da indutância de dispersão dos mesmos. Na literatura são encontradas diferentes configurações de conversores ZVT com acoplamento magnético, como por exemplo, o “conversor com pólo ZVS assistido a transformador” (*Transformer-Assisted ZVS Pole*) [12], que emprega dois enrolamentos eletricamente isolados, conforme representado na Figura 2.11. Cabe ressaltar que os indutores auxiliares são implementados através da dispersão do transformador. Nesse conversor a tensão do barramento CC não pode ser integralmente empregada na magnetização e na desmagnetização do circuito auxiliar, similarmente ao

conversor ARCP, que opera com metade da tensão do barramento. Em contrapartida, a escolha adequada da relação de transformação permite a obtenção da condição de comutação sob ZVS mesmo na presença de perdas no CAC durante o estágio ressonante.

Alguns conversores que empregam uma AVS implementada por acoplamento magnético podem perder a característica de bloqueio sob ZCS das chaves semicondutoras auxiliares em função da corrente de magnetização – que circula pela indutância de magnetização – do transformador ou autotransformador empregado.

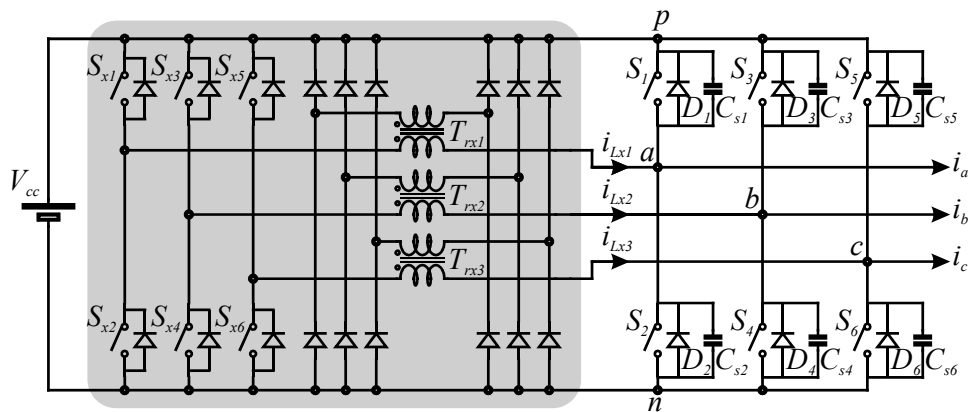


Figura 2.11 – Conversor com pólo ZVS assistido a transformador [12].

Adicionalmente, o “conversor com pólo PWM verdadeiramente ZVS” (*True PWM ZVS Pole*) [47,50] emprega um autotransformador, conforme demonstrado na Figura 2.12 (a). Essa configuração permite que apenas parte da corrente de carga circule pelas chaves auxiliares (em função da conexão elétrica e da relação de transformação). Por outro lado, a tensão do barramento CC novamente não pode ser integralmente empregada na magnetização e na desmagnetização dos indutores auxiliares. A escolha adequada da relação de transformação permite a obtenção da condição de comutação sob ZVS mesmo na presença de perdas no CAC durante o estágio ressonante. Um circuito similar ao “conversor com pólo PWM verdadeiramente ZVS” é proposto em [51] cuja principal particularidade reside na divisão do enrolamento secundário dos autotransformadores no braço dos diodos auxiliares, conforme evidenciado na Figura 2.12 (b).

De forma a proporcionar o emprego integral da tensão do barramento CC nas etapas de magnetização e desmagnetização dos indutores auxiliares, é proposto o “conversor ZVT com realimentação indutiva” (*ZVT with Inductor Feedback*) [52], no qual também é empregado um autotransformador na implementação da AVS, conforme evidenciado na Figura 2.13 (a). Caso a relação de transformação seja unitária, as chaves auxiliares irão

conduzir apenas metade da corrente de carga. Em contrapartida, existe a necessidade da aplicação de uma corrente de *boosting* para compensar as perdas no estágio ressonante e, assim, garantir a operação sob ZVS às chaves semicondutoras principais, uma vez que a ressonância se processa com metade da tensão do barramento CC. Por outro lado, a relação de transformação pode ser escolhida de forma a garantir a obtenção da condição de comutação sob ZVS mesmo na presença de perdas no CAC durante o estágio ressonante, eliminando a necessidade de uma corrente de *boosting*.

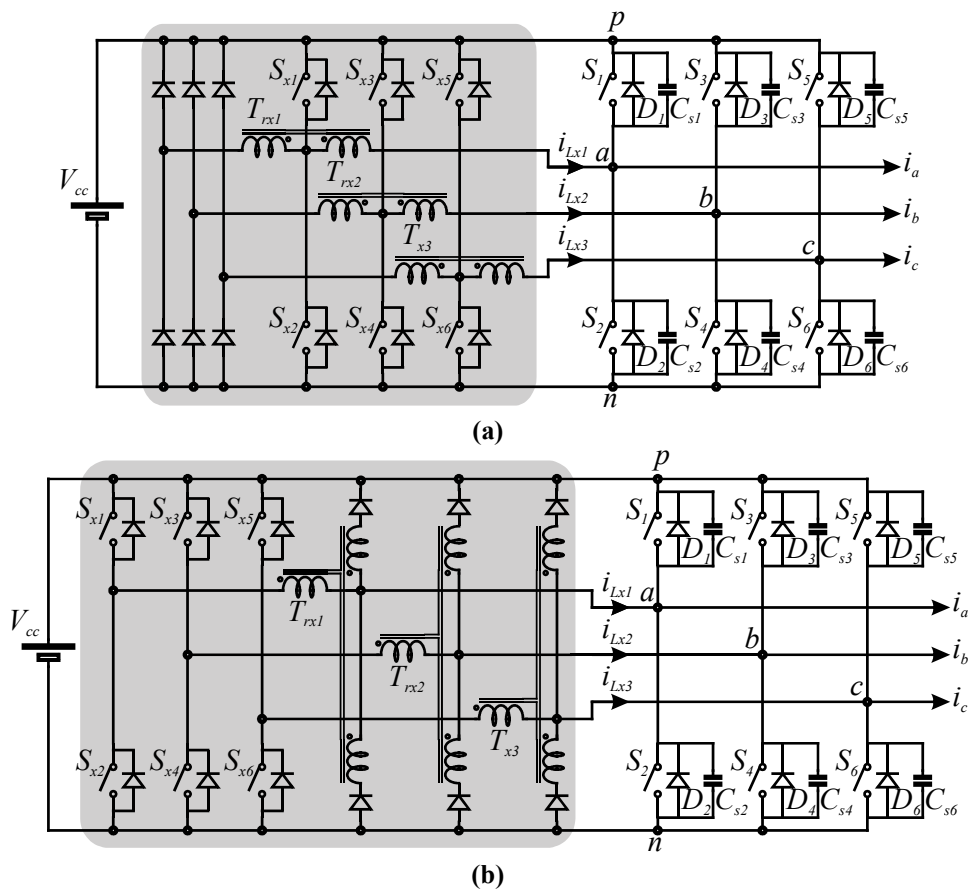


Figura 2.12 – Conversor com pólo verdadeiramente ZVS-PWM. (a) Topologia original [47,50]. (b) Topologia modificada [51].

Em [53] é proposta uma alteração na estrutura do “conversor ZVT com realimentação indutiva” com os seguintes objetivos: (i) impossibilitar a circulação de uma corrente de roda-livre no CAC enquanto um diodo principal conduz a corrente de carga (a queda de tensão direta sobre o diodo é suficiente para magnetizar os indutores auxiliares); e (ii) possibilitar o retorno às condições iniciais da corrente de magnetização do autotransformador, que fica circulando em roda-livre após o término da assistência do CAC. Assim, a estrutura proposta em [53] é apresentada na Figura 2.13 (b). O problema da corrente de roda-livre é solucionado pela permutação entre os diodos auxiliares inferiores e as chaves semicondutoras inferiores.

Essa alteração ainda permite a eliminação de um diodo auxiliar em cada pólo PWM. Já o retorno às condições iniciais da corrente de magnetização do autotransformador é forçado pela inserção dos indutores saturados M_1 , M_2 e M_3 . Como desvantagens dessa nova topologia, podem ser citadas as perdas nos indutores saturados e a necessidade de corrente de *boosting*, uma vez que, dada a simetria do circuito, não se tem mais flexibilidade na escolha da relação de transformação.

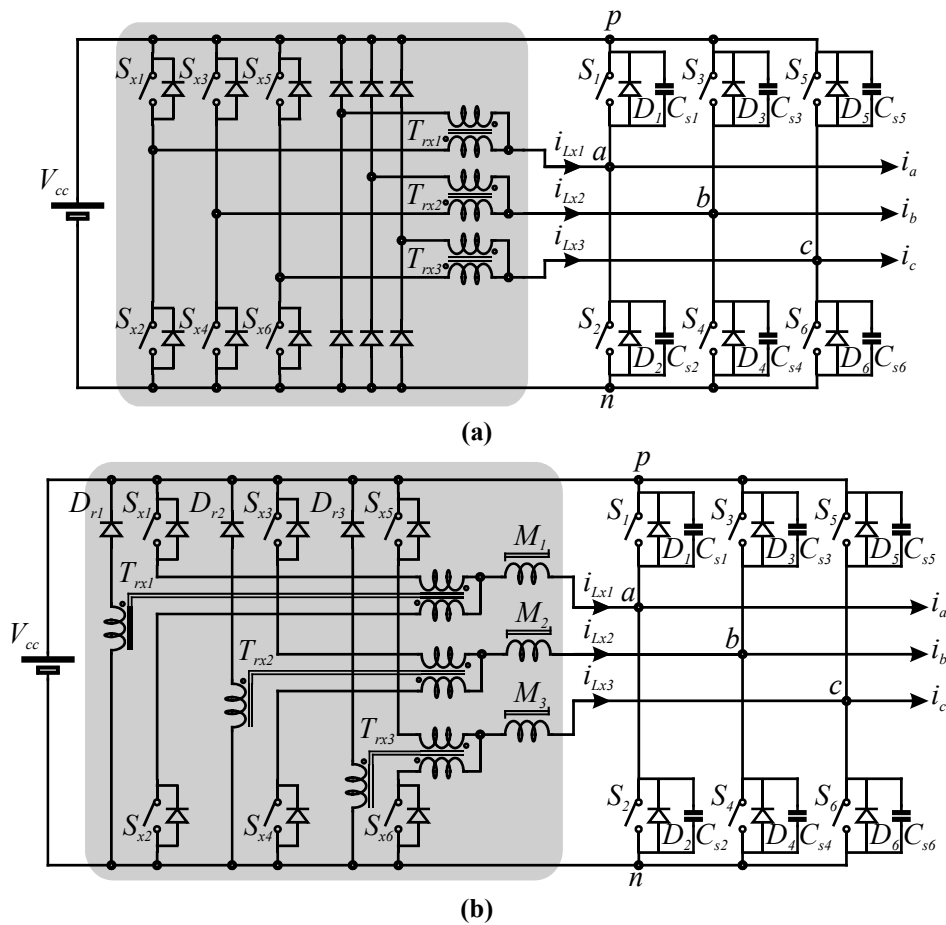


Figura 2.13 – Conversor ZVT com realimentação indutiva. (a) Topologia original [52]. (b) Topologia modificada [53].

A principal desvantagem das topologias apresentadas anteriormente reside no grande número de chaves semicondutoras controladas necessárias à operação do CAC. Nesse sentido, alguns trabalhos têm proposto topologias ZVT com CAC integrado, onde um reduzido número de chaves semicondutoras auxiliares é capaz de fornecer assistência simultaneamente a todos os pólos PWM do conversor. Nessas topologias ocorre uma redução do custo e do volume relacionados ao CAC em função do emprego de um menor número de componentes. Infelizmente, na maioria dos casos essas topologias apresentam altas perdas de condução no circuito auxiliar além de uma perda de bloqueio adicional no circuito principal, conforme

discutido a seguir. Esse fato pode inviabilizar o emprego dessas topologias em aplicações com altas potências e grandes faixas de carga. As características dos principais CACs integrados encontrados na literatura, bem como as propostas para a minimização dos problemas relacionados a estas topologias são comentadas a seguir.

Na Figura 2.14 é apresentada uma topologia ZVT integrada que emprega apenas uma chave semicondutora no circuito auxiliar [13,54,55]. Essa topologia demonstra o potencial de compactação que pode ser obtido a partir da integração de CACs. Por outro lado, como principais problemas relacionados a essa topologia, pode-se citar: (i) a corrente acumulada nos indutores auxiliares deve ser consideravelmente superior ($\sqrt{3}$ vezes) ao pico da corrente de carga para que a condição de comutação sob ZVS seja atendida, contribuindo às perdas de condução no CAC e, principalmente, às perdas de bloqueio no circuito principal; (ii) necessidade de emprego de um vetor de chaveamento adicional, não-adjacente ao vetor de referência para garantir a condição de magnetização dos indutores auxiliares, o que implica em uma comutação adicional no pólo PWM de maior corrente dentre os demais; e (iii) bloqueio sob corrente (apesar de reduzida) da chave semicondutora auxiliar. Além disso, como nas demais topologias ZVT integradas apresentadas a seguir, esse circuito demanda sincronismo no acionamento das chaves semicondutoras sob assistência, reduzindo os graus de liberdade da modulação relacionados à escolha da seqüência de chaveamento.

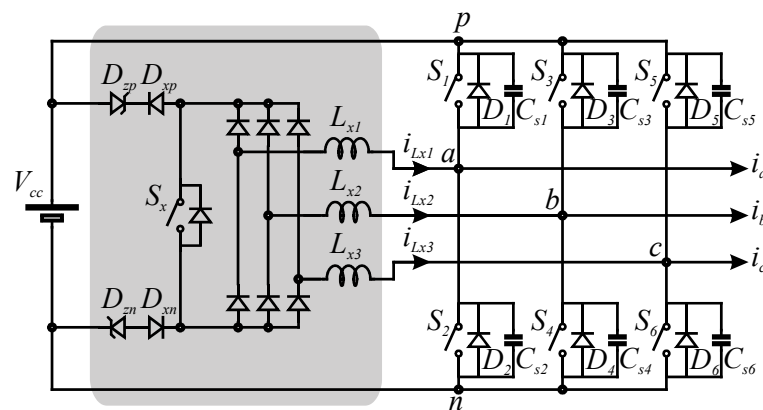


Figura 2.14 – Conversor ZVT proposto em [13,54,55].

Assim, com o apelo pela redução da corrente de magnetização necessária, bem como por uma maior liberdade na escolha da seqüência de chaveamento do conversor, em [31] é proposto um conversor ZVT empregando apenas um único indutor auxiliar e duas chaves semicondutoras, conforme representado na Figura 2.15. Todavia, este circuito também necessita de uma comutação de bloqueio adicional em um pólo PWM previamente à

intervenção do CAC quando o conversor opera como inversor de tensão. Segundo [31], o emprego deste circuito é capaz de eliminar completamente o problema de recuperação reversa nos diodos do circuito principal, pois estes bloqueiam com uma taxa de variação de corrente controlada, porém, quando o conversor opera como inversor, a tensão nos pólos PWM ao final do processo de ressonância não é nula, apesar de reduzida (aproximadamente $\frac{1}{3} V_{cc}$). Desse modo, fica impossibilitada a operação das chaves semicondutoras principais sob ZVS, o que inviabiliza o emprego de grandes capacitores *snubber* que poderiam minimizar suas perdas de bloqueio. Adicionalmente, para proporcionar a desmagnetização do indutor auxiliar, é necessário realizar-se o bloqueio das chaves semicondutoras auxiliares (S_{x1} e S_{x2}) imediatamente após o processo ressonante, quando as mesmas conduzem a soma das correntes de carga. Por esse motivo, MOSFETs são empregados como chaves auxiliares para minimizar as perdas de bloqueio. Ainda, S_{x1} e S_{x2} devem ser selecionadas para suportar a tensão do barramento CC. Assim, essa topologia não apresenta vantagens com relação à topologia da Figura 2.14.

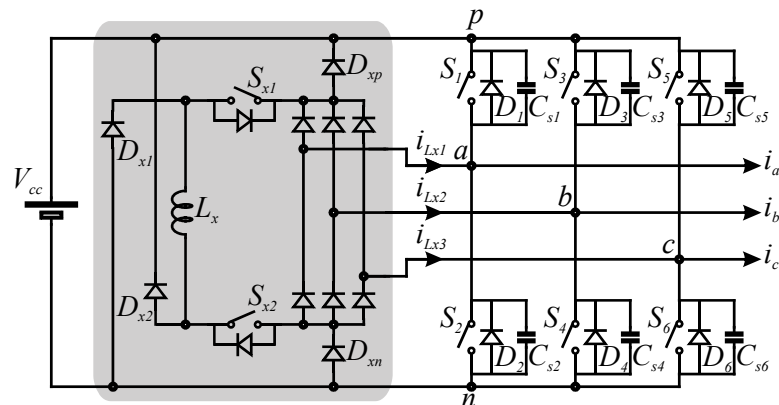


Figura 2.15 – Conversor ZVT proposto em [31].

Uma topologia muito semelhante a anterior, porém que emprega o ponto médio do barramento CC na implementação da AVS [56] pode ser vista na Figura 2.16. O princípio de operação dessa topologia é muito semelhante a da Figura 2.15, porém seu grande apelo está na redução da tensão suportada por S_{x1} e S_{x2} , que passa a ser metade da tensão do barramento CC. Logo, MOSFETs com menor tensão de bloqueio podem ser empregados. Como a resistência de condução dos MOSFETs tem relação direta com a tensão de bloqueio, um menor estresse de tensão sobre os mesmos pode resultar em menores perdas de condução, já que chaves semicondutoras para menores níveis de tensão podem ser dimensionadas [56].

Além disso, pela possibilidade de acionamento de S_{x1} e S_{x2} de forma independente, essa topologia possibilita um maior grau de liberdade que a topologia da Figura 2.15.

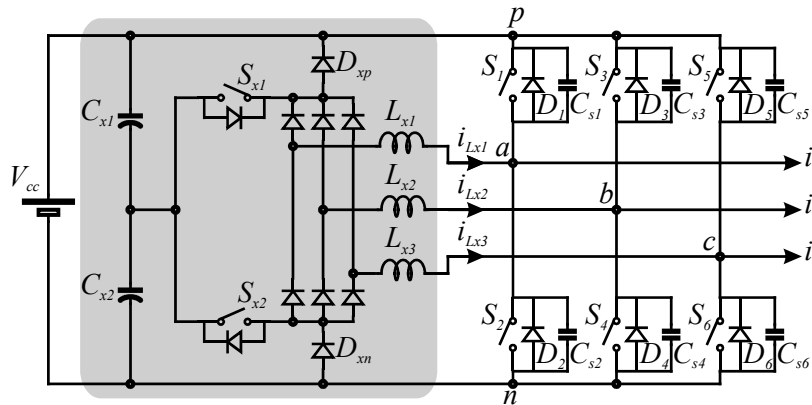


Figura 2.16 – Conversor ZVT proposto em [56].

Novamente com a intenção de eliminar a necessidade do emprego do ponto médio do barramento CC, em [57,58] são propostos os “inversores com circuito de *snubber* ressonante” (*Resonant Snubber Inverter – RSI*), representados na Figura 2.17. Estes conversores são capazes de proporcionar a entrada em condução das chaves semicondutoras principais sob ZVS bem como o bloqueio das chaves semicondutoras auxiliares sob ZCS. Conforme representado na Figura 2.17, existem duas configurações distintas de conexão do CAC: estrela e triângulo.

O inversor RSI com conexão estrela da Figura 2.17 (a) [58], apesar de semelhante ao conversor ARCP (Figura 2.9), não emprega o ponto médio do barramento CC e demanda apenas três chaves semicondutoras auxiliares. Os principais problemas dessa topologia são: (i) sobretensões nas chaves semicondutoras auxiliares; e (ii) necessidade de sincronismo no acionamento das chaves semicondutoras sob assistência, comprometendo os graus de liberdade da modulação do conversor [57]. Assim, no sentido de minimizar o problema das sobretensões nas chaves semicondutoras auxiliares, tem-se o inversor RSI com conexão triângulo da Figura 2.17 (b) [57]. Salienta-se, porém, que este conversor ainda demanda a necessidade de sincronismo na comutação das chaves semicondutoras principais bem como alterações no padrão de modulação do conversor. O impacto na modulação do conversor pode ser minimizado pela substituição das chaves bidirecionais em tensão S_{x1} , S_{x2} e S_{x3} da Figura 2.17 (b) por duas chaves semicondutoras conectadas em anti-série, semelhantemente às empregadas no conversor ARCP. Porém, essa medida compromete a compactação do CAC.

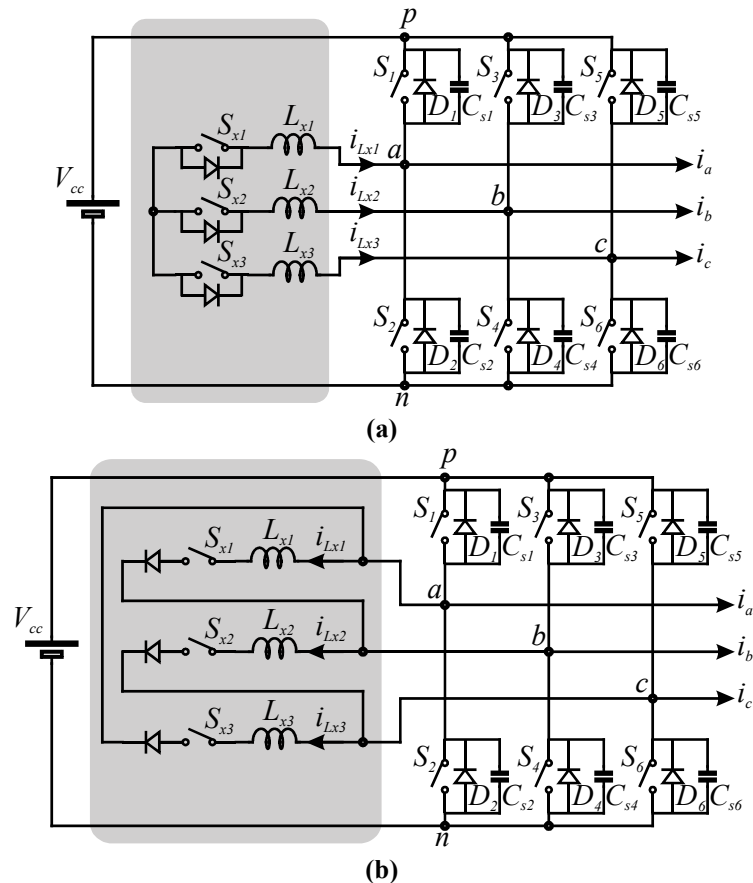


Figura 2.17 – Inversores com circuito de *snubber* ressonante. (a) Conexão estrela [58]. (b) Conexão triângulo [57].

Topologias ZVT integradas que implementam a AVS através de acoplamento magnético são igualmente propostas na literatura, conforme apresentado a seguir. O propósito desses circuitos é aliar o conceito de integração com as vantagens proporcionadas pela AVS implementada por acoplamento magnético. Logo, obtém-se CACs com grande grau de compactação e com a garantia das condições de magnetização e desmagnetização dos indutores auxiliares sem a necessidade de bloqueio sob corrente das chaves semicondutoras do CAC, como nos casos anteriores.

Nesse sentido, a topologia proposta em [59] e representada na Figura 2.18, é um aprimoramento dos circuitos apresentados na Figura 2.15 e na Figura 2.16, uma vez que elimina a necessidade do bloqueio com corrente para as chaves S_{x1} e S_{x2} . Logo, essa topologia garante o bloqueio das chaves auxiliares sob ZCS, possibilitando o emprego de IGBTs como chaves auxiliares. Além disso, o pico de corrente através das chaves auxiliares é reduzido pela divisão da corrente entre os enrolamentos do transformador. Quando o conversor opera como inversor as chaves principais são acionadas com metade da tensão do barramento CC, descaracterizando, assim, a operação sob ZVS. Ainda, nessa condição também é exigida uma

comutação adicional de bloqueio de um pólo PWM para que as condições necessárias à magnetização do circuito auxiliar sejam atendidas.

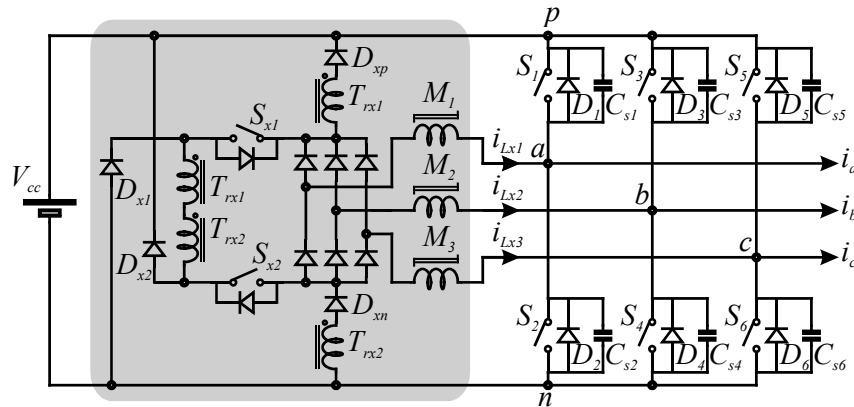


Figura 2.18 – Conversor ZVT proposto em [59].

Em contrapartida, o circuito proposto em [14] e representado na Figura 2.19 obtém a operação sob ZCS no bloqueio das chaves auxiliares e sob ZVS no acionamento das chaves principais sem a necessidade do emprego de um bloqueio adicional de um pólo PWM do conversor. Para que esta topologia possa ser empregada em inversores trifásicos é proposta uma modificação na Modulação *Space Vector* (*Space Vector Modulation* – SVM) de forma a proporcionar sincronismo no acionamento das chaves semicondutoras principais sob assistência. Adicionalmente, a escolha adequada da relação de transformação permite a obtenção da condição de comutação sob ZVS mesmo na presença de perdas no CAC durante o estágio ressonante. Além disso, há a necessidade de emprego de indutores saturados para evitar interferência do CAC no pólo PWM que não comuta no período (pólo de maior corrente). Infelizmente, apesar de [14] comentar a respeito da necessidade do emprego de um vetor de chaveamento adicional para impor a polaridade desejada aos indutores saturados em função do material magnético utilizado, os autores não apresentam maiores detalhes nem resultados experimentais específicos evidenciando a efetividade da proposta.

Dessa forma, em [60-62] essa questão volta a ser abordada, quando é proposto um circuito de controle do fluxo magnético aplicado aos indutores saturados para a topologia da Figura 2.19, chamado circuito de “travamento de fase” (*phase-lock*). Conforme discutido, as topologias ZVT apresentadas anteriormente demandam, na maioria das vezes, uma alteração na modulação empregada no sentido de proporcionar condições à operação do CAC. Além disso, quando o CAC é acionado para assistir a comutação de um pólo PWM, todos os demais acabam sofrendo interferência. Idealmente, quando alguma chave semicondutora principal positiva (conectada ao nó “p”) conduz a corrente de carga através de seu diodo em

antiparalelo, o CAC deveria apenas drenar corrente do pólo PWM em questão – proporcionando o bloqueio do diodo com di/dt controlado. O mesmo raciocínio pode ser aplicado às chaves semicondutoras negativas (conectadas ao nó “n”), quando o CAC deveria injetar corrente apenas no pólo PWM sob assistência.

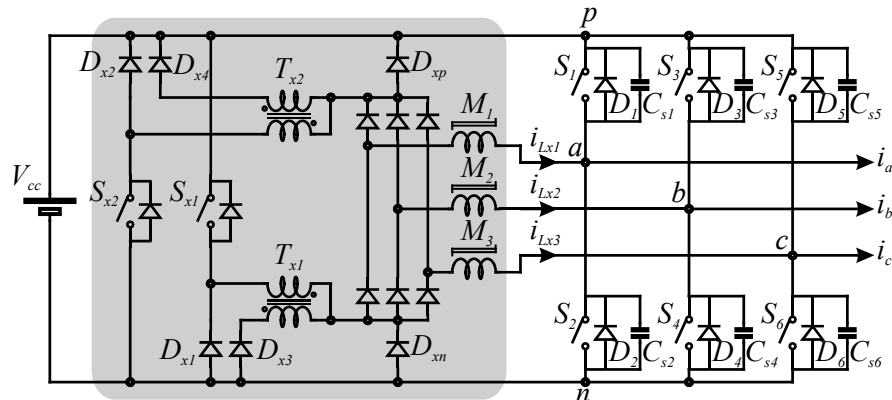


Figura 2.19 – Conversor ZVT proposto em [14].

Nesse sentido, os circuitos de *phase-lock* permitem a conexão do CAC apenas ao pólo PWM que se deseja assistir, conforme representado na Figura 2.20. Os circuitos de *phase-lock* devem ser operados com base no próximo estado de chaveamento de cada pólo PWM, ou seja, em função do próximo vetor de chaveamento a ser aplicado.

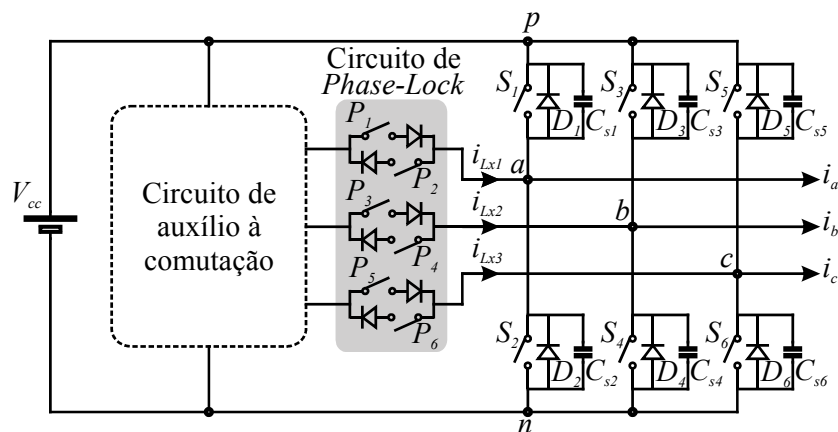


Figura 2.20 – Conceito do circuito de *phase-lock*.

Muitos dispositivos satisfazem os requerimentos do circuito de *phase-lock*, porém o emprego de indutores saturados, como em [60-62], é motivado pelo fato desses dispositivos já serem muito utilizados em conversores ZVT. Como a condição inicial de saturação dos indutores é incerta (sentido atual de saturação), existe a necessidade do emprego de controladores de fluxo para cada indutor, proporcionando as condições necessárias ao

bloqueio ou condução em uma dada situação. Estes controladores saturam os indutores na polaridade desejada – anterior ao acionamento do CAC – através da aplicação de uma tensão CC de polaridade adequada. Na Figura 2.21 (a) é ilustrado o circuito de *phase-lock* implementado com indutores saturados. Salienta-se que existe um período de tempo mínimo para que os indutores possam ser saturados nas polaridades desejadas e, portanto, o circuito auxiliar não pode ser acionado em períodos inferiores a este tempo. Além disso, em determinadas condições e topologias ocorre a circulação de uma corrente de roda-livre pelo circuito auxiliar, inviabilizando a saturação dos indutores pelo circuito controlador da densidade de fluxo. Assim, novamente, existe a necessidade de sincronismo na comutação dos pólos PWM, levando, conseqüentemente, a uma mudança no padrão de chaveamento [44]. Os principais problemas relacionados a esse circuito são a complexidade no acionamento (controle adicional), a redução da confiabilidade global do sistema pelo acréscimo de componentes, e as perdas adicionais nos indutores saturados e no circuito que provê a saturação dos mesmos.

Segundo [63], a seleção do núcleo magnético e do número de espiras dos indutores saturados é dependente da tensão CC do barramento do conversor – aplicada sobre os indutores saturados. Além disso, o controle da saturação dos indutores saturados é realizado através dos *volts-segundos* aplicados sobre o indutor. Assim, por esses dois motivos, em aplicações de alta potência, onde tensões elevadas podem ser empregadas, o uso de indutores saturados torna-se inviável. Por outro lado, tiristores também proporcionam as características desejáveis ao circuito de *phase-lock* e, assim, são uma alternativa em aplicações com altas tensões. Dessa forma, em [63] é proposto o “conversor ZVT assistido a tiristor” (*Thyristor-Assisted*). Um circuito de *phase-lock* implementado com tiristores é ilustrado na Figura 2.21 (b). As principais vantagens do emprego de tiristores são baixo custo desses dispositivos semicondutores, além da capacidade de condução de elevados picos de corrente em comparação à corrente eficaz. Um fator limitante do circuito de *phase-lock* implementado por tiristores é o tempo necessário para restabelecer a condição de bloqueio dos mesmos. Assim, restringe-se a elevação da frequência de chaveamento e, para uma dada frequência escolhida, limita-se o número de acionamentos consecutivos do CAC dentro de um período de chaveamento. Dessa forma, novamente existe a necessidade de sincronizar o acionamento das chaves principais, evitando a assistência do CAC por mais de uma vez em um único período de chaveamento. As principais desvantagens dessa topologia são a complexidade adicional de acionamento e a redução da confiabilidade global do sistema pelo acréscimo de componentes – dois tiristores por pólo PWM com seus respectivos circuitos de acionamento (*gate-driver*).

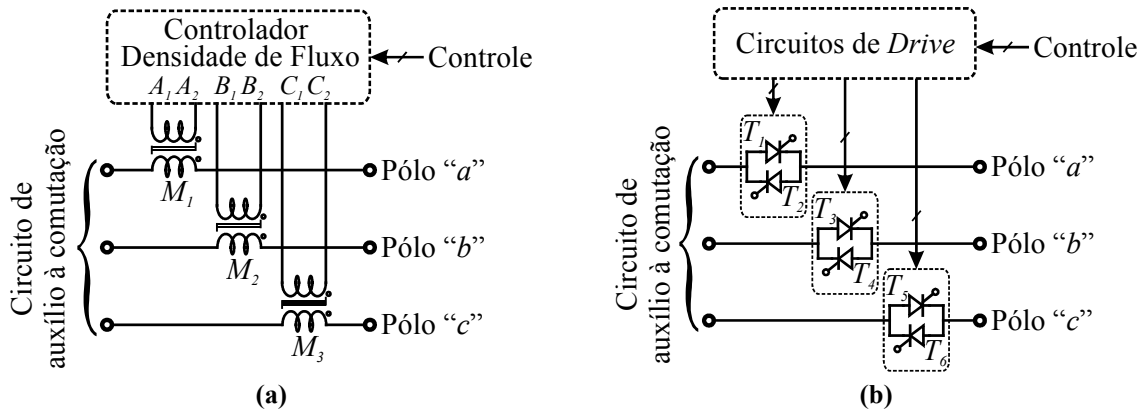


Figura 2.21 – Implementação do circuito de *phase-lock*. (a) Indutores saturados [60-62]. (b) Tiristores [63].

Com o objetivo de obter-se um CAC compacto, porém que não implique em modificações no padrão de chaveamento do conversor, em [17] é proposta a topologia conhecida por *Single-Switch Single-Leg* (S³L), a qual emprega apenas uma chave semicondutora auxiliar por pólo PWM, conforme representado na Figura 2.22. Diferentemente das topologias ZVT integradas, esse circuito foi obtido por tentativas sucessivas de simplificação do CAC de cada pólo PWM do “conversor ZVT com realimentação indutiva” [52]. É importante comentar que, por questões didáticas, a precisa distinção entre os conceitos de integração e simplificação de CACs do tipo ZVT é definida na Seção 4.2.

Deve-se destacar que cada CAC do conversor S³L opera independentemente em cada pólo PWM, sem comprometer os graus de liberdade da modulação empregada. Como observado na Figura 2.22, esse circuito não é tão compacto quanto às topologias ZVT integradas, uma vez que apresenta obrigatoriamente uma chave semicondutora auxiliar para cada pólo PWM do conversor. Além disso, caso o CAC permaneça acionado por um tempo superior às somas dos tempos de magnetização, ressonância e desmagnetização, a corrente pelos indutores auxiliares tornará a crescer em sentido contrário, comprometendo a operação sob ZCS das chaves semicondutoras auxiliares. Para contornar tal problema, deve-se obrigatoriamente ajustar o tempo de acionamento da chave semicondutora auxiliar em função da corrente de carga, técnica conhecida na literatura por “controle com temporização variável” (*variable timing control*) [64]. Adicionalmente, existe a necessidade do emprego de um indutor saturado e um circuito de *snubber* (não representado na Figura 2.22) em cada CAC de forma a contribuir, respectivamente, à desmagnetização do transformador e à proteção da chave semicondutora auxiliar contra sobretensões no caso de bloqueio sob corrente.

2.5.2 Generalização da técnica transição ressonante

O conceito envolvido nas técnicas de comutação suave com transição ressonante foi primeiramente abordado em [65], onde se demonstra que o CAC encontra-se conectado paralelamente aos pólos PWM do conversor, processando, assim, uma pequena parcela de energia. Este trabalho apenas demonstra o princípio de operação das técnicas transição ressonante sem, no entanto, contribuir substancialmente à síntese de novas topologias. Já em [36], tanto os princípios quanto os mecanismos envolvidos na operação de conversores com transição ressonante são abordados. Assim, são estabelecidas as condições de operação dos CACs do tipo ZVT, ZCT e ZCZVT. De maneira geral, as condições identificadas em [36] englobam todas as topologias já publicadas.

Especificamente com relação às topologias ZVT integradas, em [66,67] é desenvolvido um trabalho conceitual acerca dos princípios de operação de CACs do tipo ZVT integrados, quando se definem dois tipos de integração: (i) integração paralela, onde o objetivo é a redução no número de componentes empregados no CAC; e (ii) integração série, onde o objetivo é a reutilização da energia envolvida na comutação de um ou mais pólos PWM na assistência da comutação de outros pólos PWM, minimizando a energia reativa circulante, elevando o rendimento da estrutura e possibilitando a redução no número de componentes no CAC. Já em [10,18], uma metodologia criteriosa de síntese dessas topologias é abordada.

2.6 Sumário

Neste capítulo foi apresentada uma revisão bibliográfica acerca dos tipos de comutação (dissipativa, pseudo-suave e verdadeiramente suave), bem como das técnicas de comutação suave (ZCS, ZVS e ZCZVS). As técnicas de comutação suave aplicadas à carga e ao barramento CC foram abordadas de forma sucinta, uma vez que as técnicas de comutação aplicadas aos pólos PWM do conversor (transição ressonante) são as que apresentam características mais atrativas para aplicações com inversores alimentados em tensão – menores esforços de corrente e tensão nos dispositivos semicondutores e operação próxima às dos conversores equivalentes dissipativos.

Especial atenção foi dedicada aos conversores ZVT, dado seu grande avanço nos últimos anos, principalmente em função de sua simplicidade. Assim, uma síntese evolutiva da técnica foi apresentada, identificando-se a busca por circuitos mais compactos. De forma geral, observa-se

que as topologias propostas buscam um aprimoramento com relação às predecessoras, como, por exemplo, o emprego de acoplamento magnético para reduzir os esforços de corrente nos semicondutores auxiliares, eliminar a necessidade do emprego do ponto central do barramento CC e possibilitar a obtenção das condições de comutação sob ZVS às chaves semicondutoras principais e sob ZCS às chaves semicondutoras auxiliares.

CAPÍTULO 3 METODOLOGIA DE SÍNTESE DE TOPOLOGIAS ZVT SIMPLIFICADAS

3.1 Introdução

A evolução dos conversores ZVT observada no Capítulo 2 tem focado cada vez mais na redução do CAC, buscando torná-los mais atrativos para aplicações em retificadores e inversores trifásicos. Nesse sentido, as topologias integradas aparecem como uma promissora solução. Entretanto, o conceito de integração de CACs insere restrições na estratégia de modulação do conversor. Assim, com o objetivo de eliminar a necessidade de sincronismo na modulação dos conversores ZVT integrados, são propostos CACs simplificados. O grande mérito desses circuitos é proporcionar comutação ZVS a todas as chaves semicondutoras do pólo PWM assistido empregando um CAC com um reduzido número de chaves semicondutoras de alta frequência, sem, no entanto, introduzir restrições à modulação do conversor. Por questões didáticas, a precisa distinção entre os conceitos de integração e simplificação de CACs do tipo ZVT é definida na Seção 4.2.

Salienta-se que as topologias ZVT simplificadas encontradas na literatura [48,16,17] foram derivadas através de múltiplas tentativas de simplificação das topologias ZVT convencionais, em função de ausência de uma metodologia de síntese. Assim, nesse capítulo inicialmente é realizada uma generalização da técnica ZVT, onde são analisadas as etapas de operação do CAC e são identificadas suas condições de operação. Logo a seguir, propõe-se o emprego de uma estrutura genérica que representa os possíveis arranjos dos componentes do CAC. Por fim, o conceito de simplificação, baseado na proposta de “chaves semicondutoras simplificadas” é introduzido, possibilitando a síntese de topologias ZVT simplificadas inéditas, bem como as já publicadas na literatura, demonstrando-se que todos os circuitos compartilham dos mesmos princípios.

3.2 Generalização do conceito da técnica ZVT

O bloco básico que constitui os conversores com modulação por largura de pulso, chamado pólo PWM, é apresentado na Figura 3.1 (a). Durante a operação do pólo PWM, o nó

“a”, representado na Figura 3.1 (a), pode ser conectado aos terminais positivo “p” ou negativo “n” do barramento CC através do comando aplicado às chaves semicondutoras S_1 e S_2 , respectivamente. Além disso, S_1 e S_2 não podem ser acionadas simultaneamente sob pena de curto-circuitar o barramento CC.

Com o objetivo de obter-se comutação sob tensão nula para a chave S_1 (S_2) do pólo PWM da Figura 3.1 (a), a corrente saindo (entrando) do nó “a” deve ser desviada de D_2 (D_1) previamente ao acionamento de S_1 (S_2) através de um caminho de corrente paralelo ao pólo. Assim, para prover o desvio da corrente $i_a(t)$ de D_2 (D_1) quando esta é positiva (negativa), conforme sentido definido na Figura 3.1 (a), uma fonte de corrente controlada deve ser conectada em “a”. Usualmente, um indutor auxiliar (L_x) é inserido no caminho de corrente pelo circuito de auxílio à comutação para implementar a fonte de corrente controlada e também para proporcionar uma taxa de variação de corrente controlada (di/dt) [67]. Como o CAC é ativado apenas durante o período de comutação do pólo PWM, a energia armazenada em L_x deve ser descarregada ao final do processo de comutação. Nesse sentido, uma tensão com um nível apropriado deve ser aplicada através dos terminais de L_x . A estrutura genérica de um CAC do tipo ZVT é apresentada na Figura 3.1 (b), onde a fonte auxiliar de tensão (AVS) representa o conjunto de dispositivos (chaves semicondutoras auxiliares e fontes de tensão) empregados para proporcionar as condições de magnetização e de desmagnetização do indutor auxiliar [10].

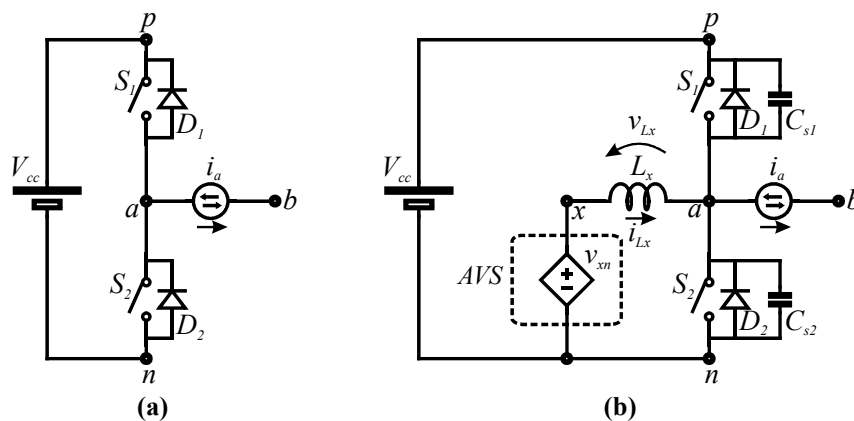


Figura 3.1 – Generalização do conceito da técnica ZVT. (a) Pólo PWM básico. (b) Circuito ZVT genérico.

A seguir são analisadas as etapas de operação do CAC representado na Figura 3.1 (b). Assim, com respeito à Figura 3.1 (b), a tensão fornecida pelo pólo PWM, $v_{an}(t)$, e a tensão resultante sobre o indutor auxiliar, $v_{Lx}(t)$, são definidas em (3.1) e (3.2), respectivamente, onde $v_{xn}(t)$ é a tensão fornecida pela AVS. Deve-se observar que $v_{pn}(t) = V_{cc}$.

$$v_{an}(t) = \begin{cases} V_{cc}, & \text{se } S_1 \text{ ou } D_1 \text{ conduzem} \\ 0, & \text{se } S_2 \text{ ou } D_2 \text{ conduzem} \end{cases} \quad (3.1)$$

$$v_{Lx}(t) = v_{xn}(t) - v_{an}(t) \quad (3.2)$$

O comportamento da corrente através de L_x é definido por (3.3), onde $i_{Lx}(t)$ e $v_{Lx}(t)$ são a corrente e a tensão pelo indutor auxiliar, respectivamente, definidos na Figura 3.1 (b).

$$\frac{di_{Lx}(t)}{dt} = \frac{v_{Lx}(t)}{L_x} \quad (3.3)$$

As tensões $v_{Cs1}(t)$ e $v_{Cs2}(t)$ variam de forma complementar, uma vez que

$$v_{Cs1}(t) + v_{Cs2}(t) = V_{cc} \quad (3.4)$$

Assim, um incremento em $v_{Cs2}(t)$, por exemplo, implica em uma redução de igual magnitude em $v_{Cs1}(t)$. Dessa forma, C_{s1} e C_{s2} comportam-se como dois capacitores em paralelo na operação do CAC. Por simplicidade, define-se

$$C_{s1} = C_{s2} = C_s \quad (3.5)$$

Além disso, assume-se como positivos os sentidos de corrente e tensão definidos na Figura 3.1 (b) e $i_d(t)$ é considerada constante durante o período de chaveamento (T_s).

Previamente à análise dos estágios de operação, define-se a frequência natural de ressonância (ω_n) e a impedância característica do tanque ressonante (Z) em (3.6) e (3.7), respectivamente.

$$\omega_n = \sqrt{\frac{1}{2L_x C_s}} \quad (3.6)$$

$$Z = \sqrt{\frac{L_x}{2C_s}} \quad (3.7)$$

3.2.1 Análise para $i_a(t)$ positiva

- $t < t_0$: Previamente ao acionamento do CAC

A seguir apresentam-se as condições para comutar a corrente de carga do diodo em antiparalelo D_2 para a chave S_1 sob condições de tensão nula. Nesse sentido, assume-se que $i_a(t)$ é conduzida por D_2 previamente ao período de comutação, conforme representado na Figura 3.2 (a). Como o diodo D_2 está conduzindo a corrente de carga, de (3.1) conclui-se que $v_{an}(t)$ tem o nível indicado em (3.8).

$$v_{an}(t) = 0 \quad (3.8)$$

Os níveis de tensão e corrente no circuito são apresentados na Figura 3.3 (a) para $t < t_0$. Na análise do plano de fase, Figura 3.3 (b), o circuito encontra-se em condição de equilíbrio sobre o ponto “ t_0 ”.

- $t_0 \leq t < t_1$: Estágio de magnetização

Com o objetivo de desviar a corrente de D_2 para o CAC, a corrente $i_{Lx}(t)$ deve ser fornecida ao nó “ a ”. Para que isso seja possível, a corrente por L_x deve crescer positivamente, conforme definido em (3.9).

$$\frac{di_{Lx}(t)}{dt} > 0 \quad (3.9)$$

A partir de (3.2) e (3.8) obtém-se a tensão aplicada sobre L_x , conforme (3.10).

$$v_{Lx}(t) = v_{xn}(t) \quad (3.10)$$

Dessa forma, a partir de (3.3), (3.9) e (3.10) pode-se demonstrar que a AVS deve prover o nível de tensão definido em (3.11) para que a condição de magnetização de L_x no sentido de fornecer corrente ao nó “ a ” seja atendida.

$$v_{xn}(t) > 0 \quad (3.11)$$

A configuração do CAC durante o estágio de magnetização é representada na Figura 3.2 (b). Assumindo que $v_{xn}(t)$ seja constante, a magnetização de L_x ocorre de forma linear, conforme representado nas formas de onda da Figura 3.3 (a) e no plano de fase da Figura 3.3 (b) para $t_0 \leq t < t_1$. Este estágio termina quando $i_{L_x}(t)$ for igual a $i_a(t)$.

A duração do estágio de magnetização, definida como $\Delta t_1 = t_1 - t_0$, pode ser obtida através de (3.3) e (3.10), conforme (3.12), onde se assume $v_{xn}(t)$ como constante.

$$\Delta t_1 = \left| \frac{L_x i_a(t)}{v_{xn}(t)} \right| \quad (3.12)$$

- $t_1 \leq t < t_2$: Estágio ressonante

Quando a corrente de carga é totalmente fornecida pelo CAC, no instante “ t_1 ”, D_2 bloqueia com di/dt controlado por L_x e o circuito entra no estágio ressonante, cuja configuração é representada na Figura 3.2 (c).

Conforme se observa na Figura 3.3 (b), o centro de ressonância está localizado em $v_{xn}(t)$. Dessa forma, para que seja garantida a condição de acionamento de S_1 sob ZVS – elevar a tensão $v_{an}(t)$ a V_{cc} –, a AVS deve fornecer um nível de tensão que respeite a desigualdade (3.13) durante o período ressonante, conforme já provado em [68]. As formas de onda relativas ao estágio ressonante são representadas na Figura 3.3 (a) para $t_1 \leq t < t_2$.

$$v_{xn}(t) \geq \frac{V_{cc}}{2} \quad (3.13)$$

O estágio ressonante termina quando $v_{an}(t)$ atinge o valor de V_{cc} e $v_{Cs_1}(t)$ reduz-se a zero, permitindo que S_1 seja acionada sob ZVS. Do plano de fase da Figura 3.3 (b) pode-se determinar a duração do estágio ressonante, definida como $\Delta t_2 = t_2 - t_1$, conforme (3.14), onde θ pode ser calculado através de relações trigonométricas, conforme (3.15).

$$\Delta t_2 = \frac{\theta}{\omega_n} \quad (3.14)$$

$$\theta = \arccos\left(\frac{v_{xn}(t) - V_{cc}}{v_{xn}(t)}\right) \quad (3.15)$$

- $t_2 \leq t < t_3$: Estágio de desmagnetização – primeira parte

No instante “ t_2 ” a tensão $v_{an}(t)$ atinge V_{cc} , colocando o diodo D_1 em condução e grampeando as tensões $v_{Cs1}(t)$ em zero volt e $v_{Cs2}(t)$ em V_{cc} . A configuração do circuito relativa a esse estágio de operação é apresentada na Figura 3.2 (d).

Para que a desmagnetização de L_x seja possível, $i_{Lx}(t)$ deve possuir uma taxa de crescimento negativa, conforme definido em (3.16).

$$\frac{di_{Lx}(t)}{dt} < 0 \quad (3.16)$$

Nesse caso, a partir de (3.1), a tensão do pólo PWM possui o valor definido em (3.17).

$$v_{an}(t) = V_{cc} \quad (3.17)$$

A partir de (3.2) e (3.17) obtém-se a tensão aplicada sobre L_x , conforme (3.18).

$$v_{Lx}(t) = v_{xn}(t) - V_{cc} \quad (3.18)$$

Dessa forma, a partir de (3.3), (3.16) e (3.18) pode-se demonstrar que a AVS deve prover o nível de tensão definido em (3.19) para que a condição de desmagnetização de L_x seja observada.

$$v_{xn}(t) < V_{cc} \quad (3.19)$$

Assumindo que $v_{xn}(t)$ seja constante, a desmagnetização de L_x se dá de forma linear, conforme representado nas formas de onda Figura 3.3 (a) e no plano de fase da Figura 3.3 (b)

para $t_2 \leq t < t_3$. Salienta-se, ainda, que S_I deve ser acionada dentro do intervalo $t_2 \leq t < t_3$, ou seja, enquanto $|i_{Lx}(t)| > |i_a(t)|$, quando D_I está em condução. Essa condição possibilita a comutação sob ZVS à S_I .

Este estágio termina quando $i_{Lx}(t) = i_a(t)$ e o diodo D_I bloqueia. A duração desse estágio, definida por $\Delta t_3 = t_3 - t_2$, pode ser obtida através de (3.3) e (3.18), conforme (3.20), onde se assume $v_{xn}(t)$ como constante. Além disso, a partir do plano de fase da Figura 3.3 (b), Δi_a pode ser obtida por relações trigonométricas, conforme (3.21).

$$\Delta t_3 = \left| \frac{L_x \Delta i_a}{v_{xn}(t) - V_{cc}} \right| \quad (3.20)$$

$$\Delta i_a = \frac{v_{xn}(t) \text{sen}(\theta)}{Z} \quad (3.21)$$

O parâmetro Δi_a , calculado através de (3.21), representa o esforço de corrente pelos elementos que compõe o CAC. Observa-se que quanto menor for a impedância característica do tanque ressonante, Z , maior será o esforço de corrente.

- $t_3 \leq t < t_4$: Estágio de desmagnetização – segunda parte

Este estágio, representado na Figura 3.2 (e) é análogo ao anterior, salvo o fato de S_I assumir gradualmente $i_a(t)$ após o bloqueio de D_I . Assim, conforme representado na Figura 3.3 (e) e no plano de fase da Figura 3.3 (b) para $t_3 \leq t < t_4$, a desmagnetização de L_x continua de forma linear até que $i_{Lx}(t)$ reduza-se a zero, determinando o final desse estágio. A duração desse estágio, considerando-se $v_{xn}(t)$ constante, pode ser determinada através de (3.3) e (3.18), conforme (3.22), onde $\Delta t_4 = t_4 - t_3$.

$$\Delta t_4 = \left| \frac{L_x i_a(t)}{v_{xn}(t) - V_{cc}} \right| \quad (3.22)$$

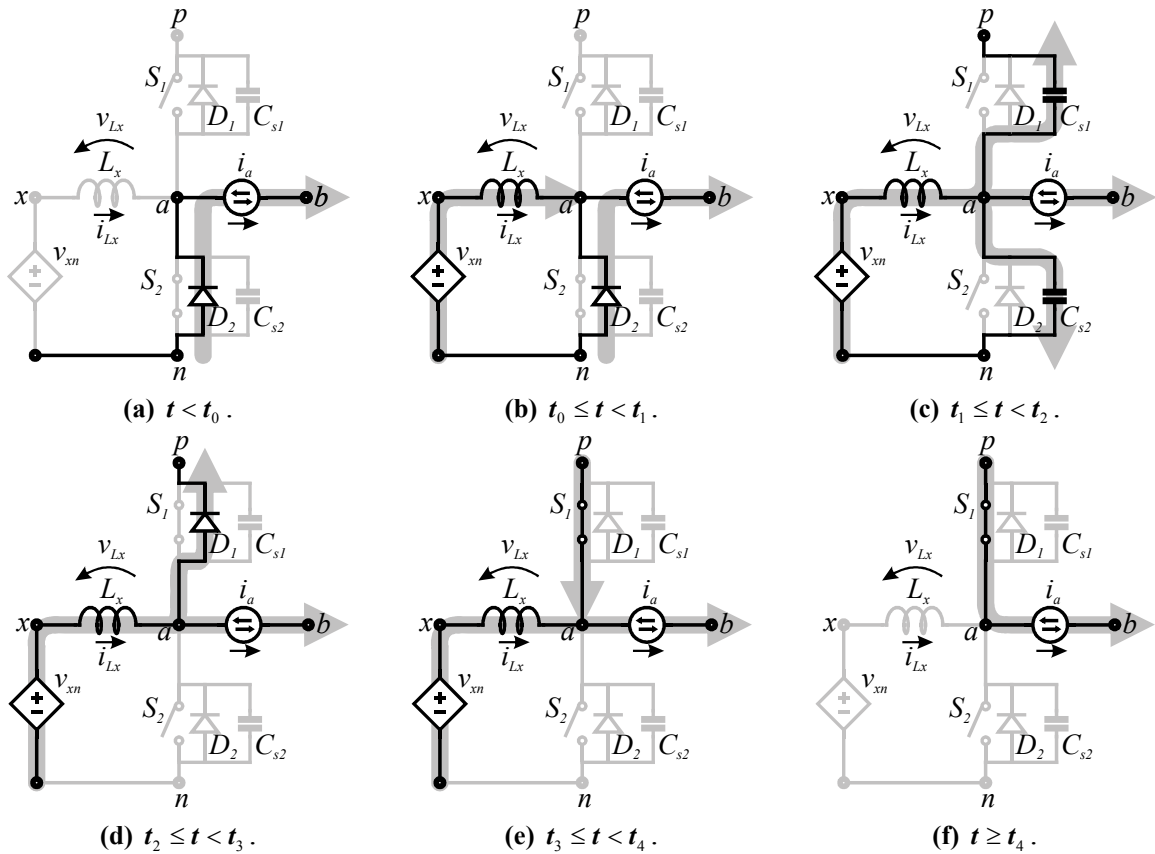


Figura 3.2 – Etapas de operação do circuito ZVT para $i_a(t) > 0$. (a) Previamente à comutação. (b) Magnetização. (c) Ressonância. (d) Desmagnetização – parte 1. (e) Desmagnetização – parte 2. (f) Posteriormente à comutação.

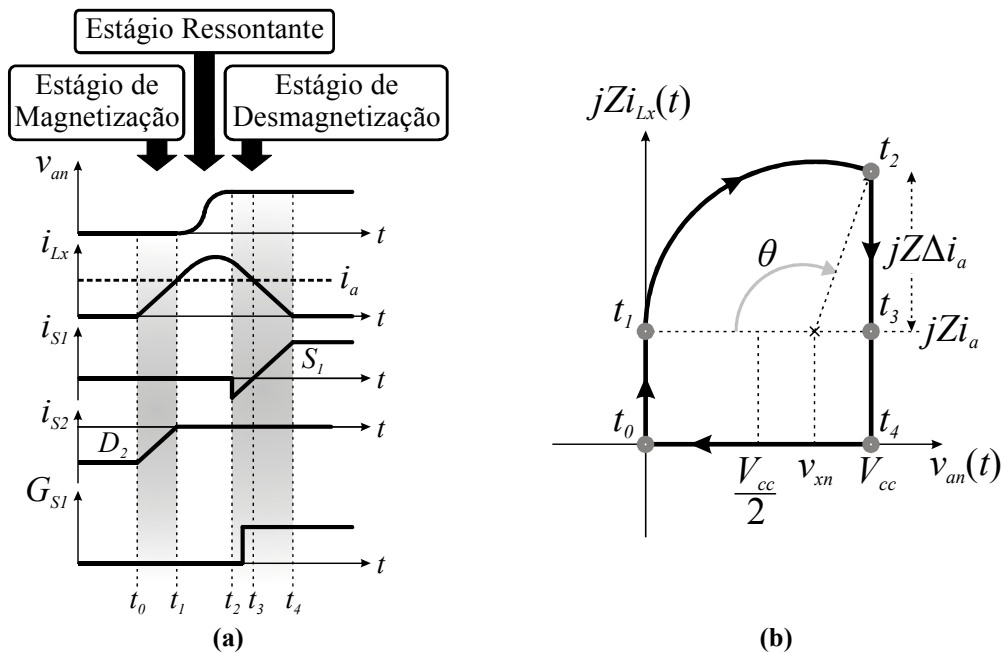


Figura 3.3 – Comutação de D_2 para S_1 . (a) Formas de onda teóricas. (b) Plano de fase.

- $t \geq t_4$: Posteriormente ao acionamento do CAC

A partir do momento que $i_{Lx}(t)$ reduz-se a zero, o CAC é desativado e S_1 assume integralmente a corrente de carga, conforme representado na Figura 3.3 (f) para $t > t_4$. O circuito fica no ponto de equilíbrio “ t_4 ” representado no plano de fase da Figura 3.3 (b). A configuração do circuito fica conforme aquela representada na Figura 3.2 (f).

- Comutação *snubber*

Quando S_1 é bloqueada, $i_a(t)$ é transferida para C_{s1} e C_{s2} , proporcionando uma carga/descarga em C_{s1}/C_{s2} (comutação *snubber*), de forma que $v_{an}(t)$ reduz-se a zero volt. A configuração do circuito durante esse estágio é representada na Figura 3.4.

Essa comutação é representada no plano de fase da Figura 3.3 (b) como a transição entre os pontos “ t_4 ” e “ t_0 ”. Assim, quando o D_2 grameia $v_{an}(t)$ em zero volt e assume $i_a(t)$, o circuito volta à condição inicial representada na Figura 3.2 (a). Como esse estágio não envolve diretamente a operação do CAC, não é representado nas formas de onda da Figura 3.3 (a).

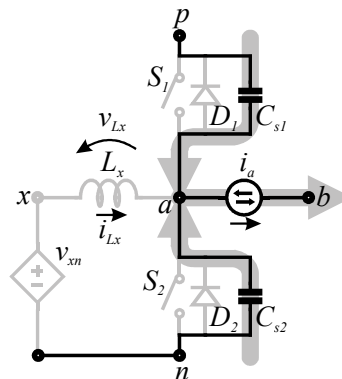


Figura 3.4 – Comutação *snubber* para $i_a(t) > 0$.

A partir do comportamento da tensão em C_{s1} , definido em (3.23), e de (3.4) a (3.5), a duração da etapa de carga/descarga de C_{s1}/C_{s2} pode ser calculada por (3.24), onde se assume que $i_a(t)$ é constante durante o processo de comutação. Dessa forma, conforme indicado no plano de fase da Figura 3.3 (b), essa etapa possui um comportamento linear na transição de “ t_4 ” para “ t_0 ”. Ainda, C_{s1} e C_{s2} encontram-se virtualmente em paralelo durante este estágio, conforme definido em (3.5).

$$\frac{dv_{C_{s1}}(t)}{dt} = \frac{i_{C_{s1}}(t)}{C_{s1}} \quad (3.23)$$

$$\Delta t_5 = \left| \frac{C_s i_a(t)}{V_{cc}} \right| \quad (3.24)$$

3.2.2 Análise para $i_a(t)$ negativa

De maneira semelhante, a análise anterior pode ser estendida para a corrente $i_a(t)$ negativa, ou seja, entrando no nó “a” do pólo PWM da Figura 3.1. Assim, o equacionamento relativo à intervenção do CAC na comutação de $i_a(t)$ de D_1 para S_2 é omitido.

Independentemente disso, as condições estabelecidas à AVS para a operação do CAC do tipo ZVT da Figura 3.1 (b) com $i_a(t)$ positiva e negativa são resumidas na Tabela 3.1. Dessa forma, o conjunto de dispositivos empregados na implementação da AVS deve proporcionar o atendimento das restrições sumarizadas na Tabela 3.1.

Tabela 3.1 – Condições para a operação das topologias ZVT.

Corrente de Carga	Comutação	Estágio	Condição
$i_a(t) > 0$	D_2 para S_1	Magnetização	$v_{xn} > 0$
		Ressonância	$v_{xn} \geq V_{cc}/2$
		Desmagnetização	$v_{xn} < V_{cc}$
$i_a(t) < 0$	D_1 para S_2	Magnetização	$v_{xn} < V_{cc}$
		Ressonância	$v_{xn} \leq V_{cc}/2$
		Desmagnetização	$v_{xn} > 0$

3.3 Implementação da fonte auxiliar de tensão

Como apresentado em [10,69], as topologias ZVT podem ser classificadas como Classe-A (AVS comutada), Classe-B (AVS constante) ou Classe-C (AVS ressonante), em função da maneira como a AVS é implementada no sentido de assegurar o atendimento às restrições estabelecidas na Tabela 3.1. Uma estrutura genérica que representa tanto os conversores ZVT Classe-A quanto os Classe-B é apresentada na Figura 3.5. Os conversores ZVT Classe-C não são analisados neste trabalho em função da grande energia reativa

circulante associada com seus respectivos tanques ressonantes, que resulta em sobrecorrentes através das chaves semicondutoras do pólo PWM e perdas adicionais de condução [69].

Pode-se observar na Figura 3.5 que não é feita distinção entre a estrutura geral dos conversores ZVT Classe-A e Classe-B, mas deve-se destacar que o princípio de operação de cada topologia é estritamente diferente, como explicado a seguir. As fontes de tensão CC representadas na Figura 3.5 (V_{x1} e V_{x2}) podem ser implementadas através de acoplamento magnético (indutores acoplados, autotransformadores ou transformadores), fontes de tensão isoladas adicionais ou níveis intermediários do barramento CC.

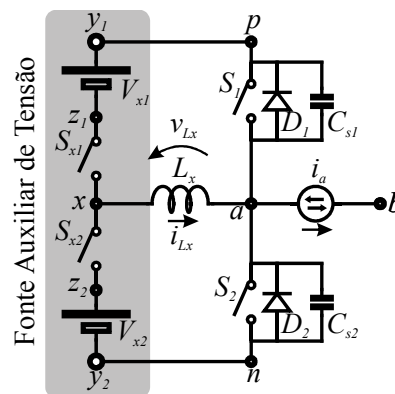


Figura 3.5 – Circuito genérico para os conversores ZVT Classe-A e Classe-B.

Com respeito à Figura 3.5, o nível de tensão fornecido pela AVS, $v_{xn}(t)$, é definido conforme (3.25).

$$v_{xn}(t) = \begin{cases} V_{cc} - V_{x1} & , \text{ se } S_{x1} \text{ está ativa} \\ V_{x2} & , \text{ se } S_{x2} \text{ está ativa} \end{cases} \quad (3.25)$$

As topologias ZVT Classe-A e Classe-B diferem especialmente na maneira como ocorre a desmagnetização do indutor auxiliar, L_x . Assim, de forma a diferenciar os princípios de operação dessas topologias e, ao mesmo tempo, estabelecer restrições à seleção de V_{x1} e V_{x2} , a seguir analisa-se, em termos gerais, o comportamento do CAC de ambas as topologias, porém com respeito à estrutura definida na Figura 3.5.

3.3.1 Topologias ZVT Classe-A

A AVS das topologias ZVT Classe-A é implementada genericamente através de um pólo PWM que conecta o nó “x” (Figura 3.5) em diferentes níveis de tensão de forma a atender as restrições definidas na Tabela 3.1 e, assim, garantir a condição de comutação sob ZVS às chaves semicondutoras do pólo PWM.

Inicialmente, analisa-se o caso em que a corrente de carga, $i_a(t)$, é positiva. Assim, no estágio de magnetização, representado na Figura 3.6 (a), a corrente de carga circula através de D_2 e S_{x1} é acionada. Nessa condição, a tensão suprida pela AVS, definida em (3.26), pode ser obtida a partir de (3.25).

$$v_{xn}(t) = V_{cc} - V_{x1} \quad (3.26)$$

Assim, a partir de (3.26) e sabendo que $v_{xn}(t) > 0$ (Tabela 3.1), conclui-se que a desigualdade (3.27) deve ser atendida.

$$V_{x1} < V_{cc} \quad (3.27)$$

Além disso, a AVS deve prover um nível de tensão tal que $v_{xn}(t) \geq V_{cc}/2$ para que a condição de comutação sob ZVS para S_l seja atendida durante o estágio ressonante, conforme Tabela 3.1. Dessa forma, a partir da condição anterior e de (3.26) obtém-se a desigualdade (3.28).

$$V_{x1} \leq \frac{V_{cc}}{2} \quad (3.28)$$

De forma a obter a condição de descarga para L_x (posteriormente ao estágio ressonante, quando S_l foi acionada sob ZVS), S_{x1} é bloqueada, transferindo $i_{Lx}(t)$ para S_{x2} , que é acionada simultaneamente com o bloqueio de S_{x1} , aplicando, assim, um nível de tensão distinto sobre L_x , definido em (3.29) a partir de (3.25). Esse processo de comutação é representado na Figura 3.6 (b).

$$v_{xn}(t) = V_{x2} \quad (3.29)$$

Logo, a desigualdade (3.30) é obtida a partir de (3.19), sabendo que $v_{xn}(t) < V_{cc}$ (Tabela 3.1). O período de desmagnetização encerra-se no momento em que $i_{Lx}(t)$ reduz-se a zero, quando S_{x2} deve ser bloqueada.

$$V_{x2} < V_{cc} \quad (3.30)$$

A mesma análise pode ser desenvolvida para a comutação da corrente de carga de D_1 para S_2 quando $i_a(t)$ é negativa. Assim, durante o estágio de magnetização, representado na Figura 3.6 (c), a corrente de carga circula através de D_1 e S_{x2} é acionada. Nessa condição, a tensão suprida pela AVS, definida em (3.31), pode ser obtida a partir de (3.25).

$$v_{xn}(t) = V_{x2} \quad (3.31)$$

Assim, a partir de (3.31) e com $v_{xn}(t) < V_{cc}$ (Tabela 3.1), conclui-se que a desigualdade (3.32) deve ser atendida.

$$V_{x2} < V_{cc} \quad (3.32)$$

Além disso, a AVS deve prover um nível de tensão tal que $v_{xn}(t) \leq V_{cc}/2$ para que a condição de comutação sob ZVS para S_2 seja atendida durante o estágio ressonante, conforme Tabela 3.1. Dessa forma, a partir da condição anterior e de (3.31) obtém-se a desigualdade (3.33).

$$V_{x2} \leq \frac{V_{cc}}{2} \quad (3.33)$$

De forma a obter a condição de desmagnetização para L_x (posteriormente ao estágio ressonante, quando S_2 foi acionada sob ZVS), S_{x2} é bloqueada, transferindo $i_{Lx}(t)$ para S_{x1} , que é acionada simultaneamente com o bloqueio de S_{x2} , aplicando, assim, um nível de tensão distinto sobre L_x , definido em (3.34) a partir de (3.25). Esse processo de comutação é representado na Figura 3.6 (d).

$$v_{xn}(t) = V_{cc} - V_{x1} \quad (3.34)$$

Logo, a partir de (3.34) e com $v_{xn}(t) > 0$ (Tabela 3.1), a desigualdade (3.35) é obtida. O período de desmagnetização encerra-se no momento em que $i_{Lx}(t)$ eleva-se a zero, quando S_{x1} deve ser bloqueada.

$$V_{x1} < V_{cc} \quad (3.35)$$

Assim, a partir das equações (3.27), (3.28) e (3.35) conclui-se que V_{x1} deve ser implementada respeitando (3.36). Semelhantemente, a partir de (3.30), (3.32) e (3.33) demonstra-se que V_{x2} deve obedecer à restrição definida em (3.37).

$$V_{x1} \leq \frac{V_{cc}}{2} \quad (3.36)$$

$$V_{x2} \leq \frac{V_{cc}}{2} \quad (3.37)$$

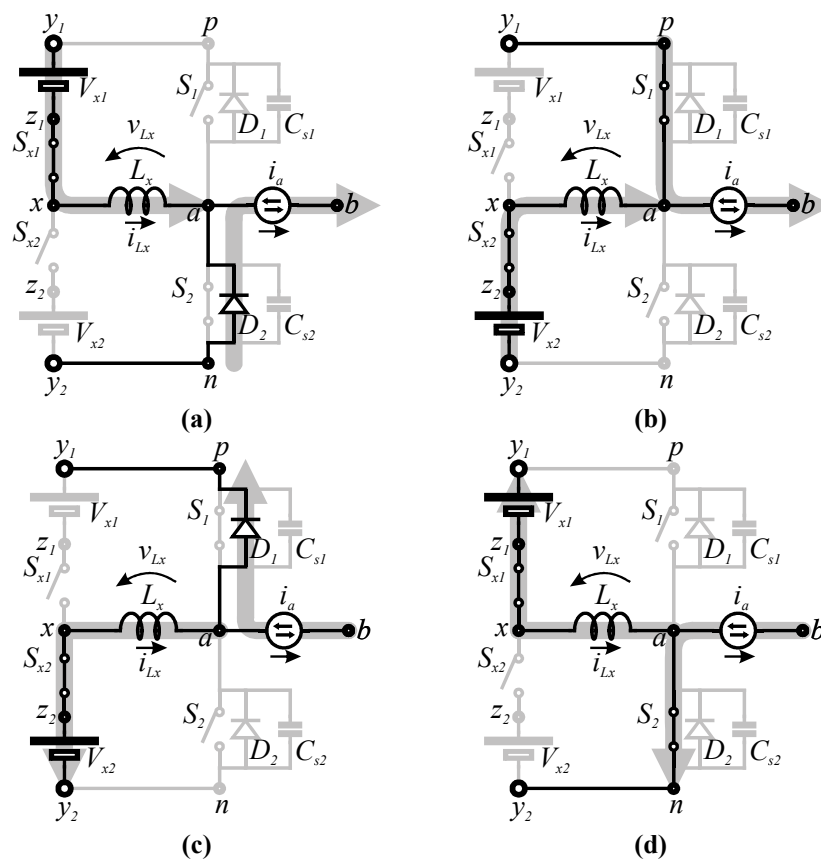


Figura 3.6 – Estágios de operação das topologias ZVT Classe-A. (a) Magnetização para $i_a(t) > 0$. (b) Desmagnetização $i_a(t) > 0$. (c) Magnetização para $i_a(t) < 0$. (d) Desmagnetização $i_a(t) < 0$.

As principais equações obtidas para a topologia ZVT Classe-A são sumarizadas na Tabela 3.2.

Tabela 3.2 – Restrições para a AVS das topologias ZVT Classe-A.

Corrente de Carga	Estágio	Dispositivos Ativos	v_{Lx}	V_{x1}	V_{x2}
$i_a(t) > 0$	Magnetização	D_2 S_{x1}	$V_{cc} - V_{x1}$	$V_{x1} \leq \frac{V_{cc}}{2}$	$V_{x2} \leq \frac{V_{cc}}{2}$
	Ressonância	S_{x1}	$V_{cc} - V_{x1} - v_{an}$		
	Desmagnetização	S_1 S_{x2}	$V_{x2} - V_{cc}$		
$i_a(t) < 0$	Magnetização	D_1 S_{x2}	$V_{x2} - V_{cc}$		
	Ressonância	S_{x2}	$V_{x2} - v_{an}$		
	Desmagnetização	S_2 S_{x1}	$V_{cc} - V_{x1}$		

3.3.2 Topologias ZVT Classe-B

A AVS das topologias ZVT Classe-B também é implementada através de um pólo auxiliar, Figura 3.5, porém que conecta o nó “x” no mesmo nível de tensão CC durante todo do período de comutação do pólo PWM. Essa é a principal diferença com relação às topologias ZVT Classe-A, que alternam o nível de tensão $v_{xn}(t)$ entre as etapas de magnetização e desmagnetização de L_x . Dessa forma, os níveis de tensão selecionados devem proporcionar as condições necessárias à comutação das chaves principais do pólo PWM sob ZVS.

Deve-se observar que as etapas de magnetização, Figura 3.7 (a), e ressonância do CAC das topologias ZVT Classe-B são idênticas às observadas nas topologias da Classe-A. Assim, considerando-se $i_a(t)$ positiva, conclui-se que V_{x1} deve atender os níveis definidos em (3.27) e (3.28) durante os estágios de magnetização e ressonância, respectivamente.

Conforme já comentado, diferentemente das topologias ZVT Classe-A, nas topologias da Classe-B a chave S_{x1} não é bloqueada – transferindo $i_{Lx}(t)$ para a chave S_{x2} – após o acionamento de S_1 sob ZVS. Dessa forma, V_{x1} deve ser selecionada de tal forma que possibilite o atendimento da condição de desmagnetização de L_x definida como $v_{xn}(t) < V_{cc}$ (Tabela 3.1). O processo de desmagnetização de L_x para $i_a(t)$ positiva é representado na Figura 3.7 (b). Observa-se que o CAC não altera sua configuração com respeito à etapa de magnetização, mostrada na Figura 3.7 (a).

Nessa condição, a tensão suprida pela AVS, definida em (3.38), pode ser obtida a partir de (3.25).

$$v_{xn}(t) = V_{cc} - V_{x1} \quad (3.38)$$

Assim, a partir de (3.38) e com $v_{xn}(t) < V_{cc}$ (Tabela 3.1), conclui-se que a desigualdade (3.39) deve ser atendida.

$$V_{x1} > 0 \quad (3.39)$$

Conseqüentemente, a partir de (3.27), (3.28) e (3.39) conclui-se que V_{x1} deve ser definida dentro dos limites estabelecidos em (3.40) para que seja capaz de possibilitar as condições de magnetização, ressonância e desmagnetização de L_x .

$$0 < V_{x1} \leq \frac{V_{cc}}{2} \quad (3.40)$$

A mesma análise pode ser desenvolvida para a comutação da corrente de carga de D_1 para S_2 quando $i_a(t)$ é negativa. Novamente, as etapas de magnetização, Figura 3.7 (c), e ressonância do CAC das topologias ZVT Classe-B são idênticas às observadas nas topologias da Classe-A nessas condições. Assim, considerando-se $i_a(t)$ negativa, conclui-se que V_{x2} deve atender os níveis definidos em (3.32) e (3.33) durante os estágios de magnetização e ressonância, respectivamente.

Como a chave S_{x2} não é bloqueada – transferindo $i_{Lx}(t)$ para chave S_{x1} – após o acionamento de S_2 sob ZVS, V_{x2} deve ser definida de tal forma que possibilite o atendimento da condição de desmagnetização de L_x definida como $v_{xn}(t) > 0$ (Tabela 3.1). O processo de desmagnetização de L_x para $i_a(t)$ negativa é representado na Figura 3.7 (d). Novamente, observa-se que o CAC não altera sua configuração com respeito à etapa de magnetização, mostrada na Figura 3.7 (c).

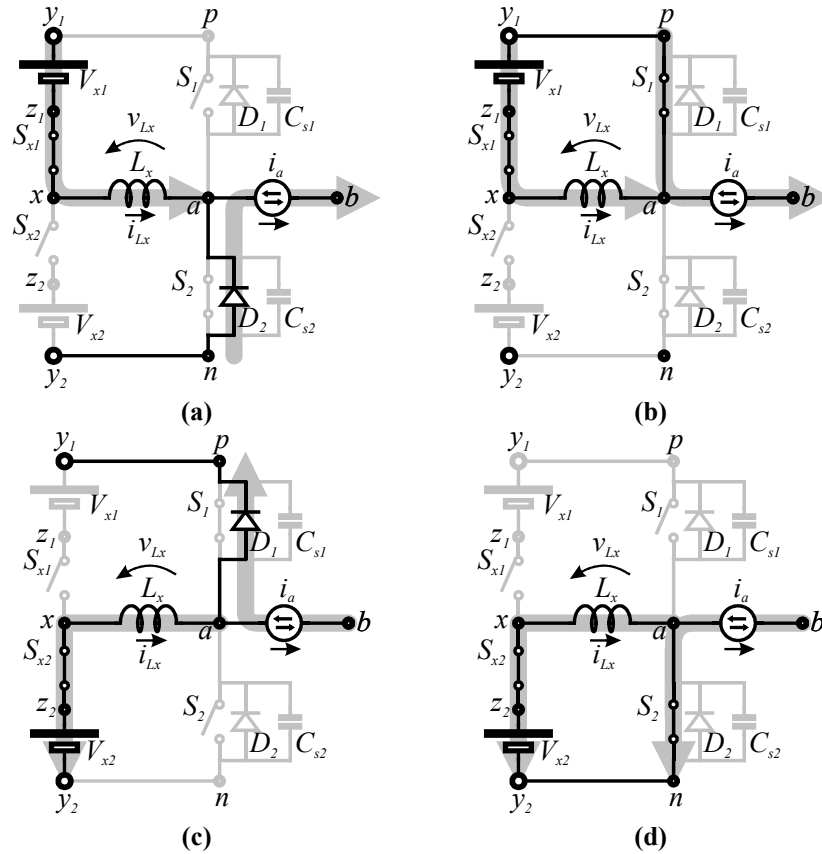


Figura 3.7 – Estágios de operação das topologias ZVT Classe-B. (a) Magnetização para $i_a(t) > 0$. (b) Desmagnetização $i_a(t) > 0$. (c) Magnetização para $i_a(t) < 0$. (d) Desmagnetização $i_a(t) < 0$.

Nessa condição, a tensão suprida pela AVS, definida em (3.41), pode ser obtida a partir de (3.25).

$$v_{xn}(t) = V_{x2} \quad (3.41)$$

Assim, a partir de (3.41) e com $v_{xn}(t) > 0$ (Tabela 3.1), conclui-se que a desigualdade (3.42) deve ser atendida.

$$V_{x2} > 0 \quad (3.42)$$

Conseqüentemente, a partir de (3.30), (3.32) e (3.42) conclui-se que V_{x2} deve ser selecionada dentro dos limites estabelecidos em (3.43) para que seja capaz de possibilitar as condições de magnetização, ressonância e desmagnetização de L_x .

$$0 < V_{x2} \leq \frac{V_{cc}}{2} \quad (3.43)$$

As principais equações obtidas para a topologia ZVT Classe-B são sumarizadas na Tabela 3.3.

Tabela 3.3 – Restrições para a AVS das topologias ZVT Classe-B.

Corrente de Carga	Estágio	Dispositivos Ativos	v_{Lx}	V_{x1}	V_{x2}
$i_a(t) > 0$	Magnetização	D_2 S_{x1}	$V_{cc} - V_{x1}$	$0 < V_{x1} \leq \frac{V_{cc}}{2}$	$0 < V_{x2} \leq \frac{V_{cc}}{2}$
	Ressonância	S_{x1}	$V_{cc} - V_{x1} - v_{an}$		
	Desmagnetização	S_1 S_{x1}	$-V_{x1}$		
$i_a(t) < 0$	Magnetização	D_1 S_{x2}	$V_{x2} - V_{cc}$		
	Ressonância	S_{x2}	$V_{x2} - v_{an}$		
	Desmagnetização	S_2 S_{x2}	V_{x2}		

3.3.3 Arranjo dos componentes do CAC

Como mencionado previamente, as topologias ZVT são compostas por, pelo menos, um elemento indutivo no caminho de corrente pelo CAC, e por uma AVS que inclua chaves semicondutoras ativas e fontes de tensão CC (Classes A e B). Essa estrutura é genericamente representada na Figura 3.8 (a) na forma de diagrama de blocos, onde o CAC é apresentado conectado entre o pólo PWM sob assistência (lado CA) e o barramento CC (lado CC) do conversor. Deve-se observar que a seqüência com que esses blocos aparecem conectados entre si pode ser alterada, desde que o caminho de corrente inclua ao menos um elemento indutivo e as restrições às fontes de tensão definidas na Tabela 3.2 e na Tabela 3.3 sejam atendidas.

Dentre as seis possíveis combinações dos blocos da Figura 3.8 (a), duas combinações podem ser desconsideradas em função da redundância observada nos diagramas que apresentam uma fonte CC e um indutor auxiliar lado a lado. Como esses dispositivos apresentam apenas dois terminais, obrigatoriamente, quando dispostos lado a lado, estarão conectados em série, e a ordem em que aparecem no circuito não tem influência sobre a operação do mesmo. Os quatro arranjos remanescentes são apresentados na Figura 3.8 (b) a (e), os quais são empregados na síntese das diferentes topologias ZVT simplificadas.

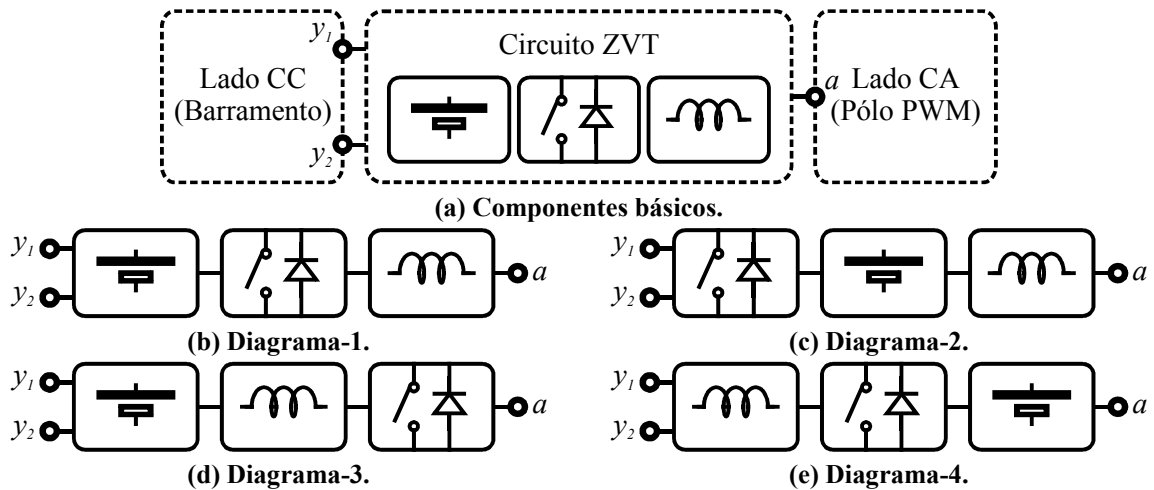


Figura 3.8 – Estrutura genérica do CAC do tipo ZVT.

3.4 A metodologia de simplificação

Com o objetivo de prover graus de liberdade adicionais à escolha da estratégia de modulação dos pólos PWM do inversor, o CAC deve ser simplificado individualmente em cada pólo PWM sob assistência, evitando-se, assim, as restrições introduzidas quando a AVS é compartilhada entre dois ou mais pólos PWM ou estágios. Como cada CAC simplificado assiste apenas a um pólo PWM, não há o requerimento pela sincronização das comutações de diferentes pólos PWM para que sejam garantidas as condições de operação do CAC, como ocorre nas topologias ZVT integradas.

A metodologia de simplificação de CACs do tipo ZVT proposta a seguir é baseada na redução do número de chaves semicondutoras de alta frequência necessárias à implementação da AVS. Assim, no contexto dessa dissertação, define-se como “chaves semicondutoras simplificadas” o conjunto de dispositivos semicondutores capazes de implementar S_{x1} e S_{x2} (Figura 3.5) empregando apenas uma chave semicondutora controlada de alta frequência. As chaves semicondutoras simplificadas devem proporcionar uma operação ao CAC equivalente a observada nas topologias ZVT originais. Dessa forma, um conjunto de chaves semicondutoras simplificadas é proposto na Figura 3.9. É importante destacar-se que a chave simplificada Tipo-1 (Figura 3.9 (a)) é uma estrutura genérica, de forma que as demais configurações propostas (Figura 3.9 (b) a (d)) podem ser considerados como casos particulares da chave semicondutora Tipo-1. Além disso, os tiristores presentes nas chaves Tipo-1 e Tipo-2 representam chaves semicondutoras controladas que podem operar em baixa frequência, ou seja, na frequência da corrente de carga, $i_a(t)$. Os diodos D_{xp} e D_{xn} ,

componentes das chaves semicondutoras simplificadas da Figura 3.9, são necessários para prover um caminho à corrente $i_{Lx}(t)$ durante o estágio de desmagnetização de L_x – fazem o papel de S_{x1} ou S_{x2} no período de desmagnetização – em conversores ZVT Classe-A, similarmente à [43]. Adicionalmente, D_{xp} e D_{xn} podem também ser empregados como diodos de grampeamento em conversores ZVT Classe-B, como em [48,16].

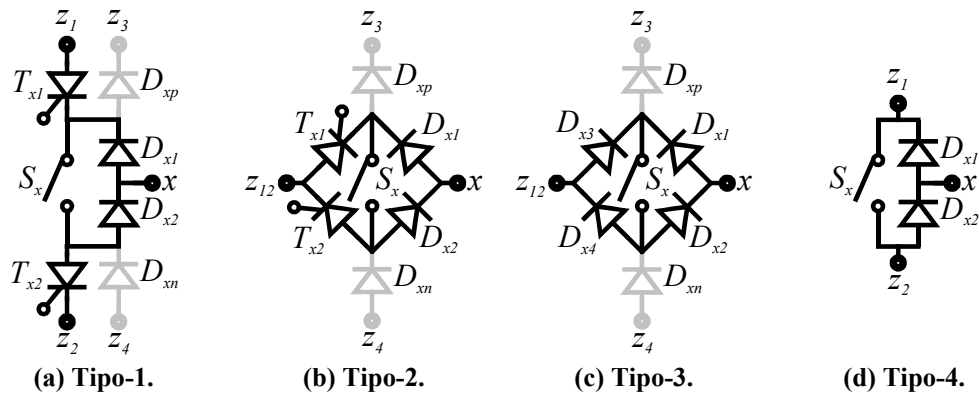


Figura 3.9 – Chaves semicondutoras simplificadas.

Apesar do aumento no número de chaves semicondutoras – nas topologias ZVT clássicas aplicadas à inversores de tensão trifásicos existem duas chaves por pólo PWM do conversor –, a confiabilidade do sistema aumenta em função da robustez dos tiristores (que operam na frequência da rede), frente às chaves semicondutoras que operam em altas frequências (dezenas ou centenas de quilohertz). Por outro lado, o número de intervenções em um dado período da chave semicondutora de alta frequência (S_x) representada na Figura 3.9 é o dobro da observada nas topologias ZVT clássicas, já que esta mesma chave é acionada em ambos os sentidos da corrente de carga.

A presença de tiristores na estrutura das chaves semicondutoras simplificadas da Figura 3.9 pode remeter ao circuito de *phase-lock* apresentado na Figura 2.20 e na Figura 2.21 (b), porém cabe ressaltar que os conceitos envolvidos são completamente distintos. Enquanto que o circuito de *phase-lock* tem por finalidade a conexão do CAC integrado ao pólo PWM que se deseja assistir, eliminando a interferência aos demais pólos, os tiristores das chaves semicondutoras simplificadas são empregados na definição do sentido de condução da chave. No primeiro caso (*phase-lock*) os tiristores empregados devem comportar frequências elevadas, já que seu tempo de bloqueio deve ser inferior a um período de chaveamento [63], e no segundo caso (chaves semicondutoras simplificadas) os tiristores operam na frequência da corrente de saída.

Com o objetivo de introduzir a metodologia de síntese de topologias ZVT simplificadas, a seguir são analisados três casos particulares de configurações das fontes de tensão V_{x1} e V_{x2} , as quais

são normalmente empregadas nas topologias conhecidas. Por simplicidade de notação, inicialmente define-se que $V_{x1} = V_{x2} = V_x$ para todos os casos. Cabe ressaltar que V_{x1} e V_{x2} não precisam obrigatoriamente apresentar o mesmo valor (configuração simétrica) desde que atendam as restrições estabelecidas na Tabela 3.2 e na Tabela 3.3. Outras configurações são também possíveis, mas a maioria das topologias ZVT enquadram-se nos três casos apresentados a seguir.

3.4.1 Caso 1: $V_x = 0$

A partir das restrições estabelecidas na Tabela 3.2 e na Tabela 3.3, essa configuração de fontes CC pode apenas sintetizar conversores ZVT Classe-A. Adicionalmente, pode-se fazer as seguintes observações:

- Os terminais “ z_1 ” e “ z_2 ” do pólo auxiliar representado na Figura 3.5 encontram-se em diferentes níveis de tensão em qualquer instante de operação do CAC.
- Com respeito à Figura 3.8, o(s) indutor(es) auxiliar(es) deve(m) estar localizado(s) a direita da chave semicondutora auxiliar para que sejam garantidas as condições de magnetização e desmagnetização com diferentes níveis de tensão sobre o(s) mesmo(s).

Dessa forma, apenas a chave semicondutora simplificada do Tipo-1 pode ser empregada, pois é a única configuração que suporta níveis distintos de tensão entre “ z_1 ” e “ z_2 ” a qualquer instante. Além disso, pelas observações anteriores, apenas o Diagrama-1 e o Diagrama-2 podem ser empregados. Um resumo das configurações possíveis entre as chaves semicondutoras simplificadas e os diagramas de blocos para o Caso 1 é apresentado na Tabela 3.4.

Tabela 3.4 – Quadro resumo para o Caso 1.

Chave semicondutora simplificada	Estrutura do CAC			
	Diagrama-1	Diagrama-2	Diagrama-3	Diagrama-4
Tipo-1	Classe-A	Classe-A	–	–
Tipo-2	–	–	–	–
Tipo-3	–	–	–	–
Tipo-4	–	–	–	–

3.4.2 Caso 2: $0 < V_x < \frac{V_{cc}}{2}$

A partir das restrições estabelecidas na Tabela 3.2 e na Tabela 3.3, essa configuração de fontes CC pode sintetizar tanto conversores ZVT Classe-A quando Classe-B. Além disso, podem ser realizadas as mesmas observações do caso anterior, isto é, os terminais “ z_1 ” e “ z_2 ” do pólo auxiliar encontram-se em diferentes níveis de tensão em qualquer instante de operação do CAC e o(s) indutor(es) auxiliar(es) deve(m) estar localizado(s) a direita da chave semicondutora auxiliar para que sejam garantidas as condições de magnetização e desmagnetização com diferentes níveis de tensão sobre o(s) mesmo(s).

Assim, apenas a chave semicondutora simplificada do Tipo-1 pode ser empregada nessa configuração de fontes CC, pois é a única configuração que suporta níveis distintos de tensão entre “ z_1 ” e “ z_2 ” a qualquer instante. Além disso, pelas observações anteriores, apenas o Diagrama-1 e o Diagrama-2 podem ser empregados na síntese de topologias ZVT Classe-A e qualquer diagrama da Figura 3.8 podem ser usados na síntese de topologias ZVT Classe-B. Assim, um resumo das configurações possíveis entre as chaves semicondutoras simplificadas e os diagramas de blocos para o Caso 2 é apresentado na Tabela 3.5.

Tabela 3.5 – Quadro resumo para o Caso 2.

Chave semicondutora simplificada	Estrutura do CAC			
	Diagrama-1	Diagrama-2	Diagrama-3	Diagrama-4
Tipo-1	Classe-A Classe-B	Classe-A Classe-B	Classe-B	Classe-B
Tipo-2	–	–	–	–
Tipo-3	–	–	–	–
Tipo-4	–	–	–	–

3.4.3 Caso 3: $V_x = \frac{V_{cc}}{2}$

Com respeito às restrições estabelecidas na Tabela 3.2 e na Tabela 3.3, essa configuração de fontes CC pode sintetizar tanto conversores ZVT Classe-A quando Classe-B. Além disso, pode-se fazer as seguintes observações:

- Os terminais “ z_1 ” e “ z_2 ” do pólo auxiliar representado na Figura 3.5 encontram-se no mesmo nível de tensão durante a operação do CAC.
- Caso os terminais “ z_1 ” e “ z_2 ” do pólo auxiliar representado na Figura 3.5 encontrarem-se no mesmo nível de tensão previamente e posteriormente à operação do CAC, conclui-se que existe uma conexão “virtual” entre ambos. Dessa forma, se esta conexão for efetivamente implementada na chave auxiliar simplificada Tipo-1, obtém-se as chaves Tipo-2 e Tipo-3 (Figura 3.9 (b) e (c), respectivamente), onde o terminal “ z_{12} ” representa a conexão física entre “ z_1 ” e “ z_2 ”.
- Quando as fontes CC são implementadas por meio de acoplamento magnético, as mesmas são efetivamente estabelecidas apenas durante o período de operação do CAC, quando há corrente circulante. Dessa forma, os terminais “ z_1 ” e “ z_2 ” do pólo auxiliar representado na Figura 3.5 estão em níveis distintos de tensão previamente e posteriormente ao acionamento do CAC, quando a corrente pelo CAC é nula.
- Com respeito à Figura 3.8, o(s) indutor(es) auxiliar(es) deve(m) estar localizado(s) a direita da chave semicondutora auxiliar para que sejam garantidas as condições de magnetização e desmagnetização com diferentes níveis de tensão sobre o(s) mesmo(s).
- Quando as chaves auxiliares simplificadas Tipo-2, Tipo-3 e Tipo-4 (Figura 3.9 (b), (c) e (d), respectivamente) são empregadas, as mesmas devem estar localizadas a direita das fontes de tensão CC para que, assim, seja possibilitada a conexão ao ponto médio do barramento CC.

Assim, a chave simplificada Tipo-1 (Figura 3.9 (a)) pode ser empregada com qualquer diagrama da Figura 3.8 e com qualquer tipo de fonte CC (ponto médio do barramento CC, fontes CC isoladas adicionais ou fontes CC implementadas através de acoplamento magnético). Além disso, conclui-se que somente o Diagrama-1 e o Diagrama-2 podem ser empregados na síntese de conversores ZVT Classe-A e todos os diagramas da Figura 3.8 podem ser empregados na síntese de conversores ZVT Classe-B.

Adicionalmente, as chaves simplificadas Tipo-2 e Tipo-3 (Figura 3.9 (b) e (c), respectivamente) podem ser empregadas em combinação com o Diagrama-1 na síntese de conversores ZVT Classe-A ou Classe-B, bem como com o Diagrama-3 apenas na síntese de topologias ZVT Classe-B. As chaves semicondutoras simplificadas Tipo-2 e Tipo-3 não possibilitam o emprego de fontes de tensão CC implementadas por acoplamento magnético em

função dos terminais “ z_1 ” e “ z_2 ” estarem fisicamente curto-circuitados. Deve-se observar que os dispositivos semicondutores de baixa frequência encontradas na chave Tipo-2 (tiristores) são substituídos simplesmente por diodos na chave simplificada Tipo-3. Essa substituição acarreta na necessidade de uma precisa temporização no acionamento do CAC, uma vez que no momento que $i_{Lx}(t)$ reduz-se à zero, ao final do processo de desmagnetização, existe a possibilidade do crescimento em sentido contrário da mesma. Esse comportamento não ocorre quando tiristores são empregados, pois apenas um é acionado para cada sentido da corrente de carga. Assim, fica dificultado o bloqueio da chave semicondutora auxiliar sob ZCS ao final do processo de desmagnetização, uma vez que a capacidade de bloqueio dos tiristores não está presente nas chaves semicondutoras simplificadas Tipo-2 e Tipo-3.

Por fim, a chave semicondutora simplificada Tipo-4 (Figura 3.9 (d)) é um caso particular da chave Tipo-1. A chave Tipo-4 pode ser empregada em conjunto com o Diagrama-1 ou o Diagrama-3 na síntese de conversores ZVT Classe-B exclusivamente quando as fontes de tensão CC são implementadas através de acoplamento magnético, pois é capaz de suportar diferentes níveis de tensão entre os terminais “ z_1 ” e “ z_2 ” previamente e posteriormente ao acionamento do CAC.

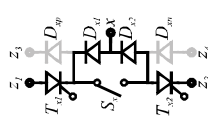

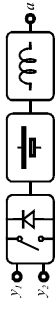


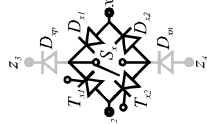
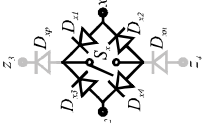
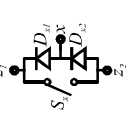
As configurações possíveis entre as chaves semicondutoras simplificadas e os diagramas de blocos para o Caso 3 são apresentadas na Tabela 3.6.

Tabela 3.6 – Quadro resumo para o Caso 3.

Chave semicondutora simplificada	Estrutura do CAC			
	Diagrama-1	Diagrama-2	Diagrama-3	Diagrama-4
Tipo-1	Classe-A Classe-B	Classe-A Classe-B	Classe-B	Classe-B
Tipo-2	Classe-A Classe-B	–	Classe-B	–
Tipo-3	Classe-A Classe-B	–	Classe-B	–
Tipo-4	Classe-B	–	Classe-B	–

Todas as combinações possíveis entre os diagramas de blocos da Figura 3.8 e as chaves semicondutoras simplificadas propostas na Figura 3.9 são resumidas na Tabela 3.7 para os três casos de configurações das fontes CC analisadas. O tipo de topologia ZVT resultante (Classe-A ou Classe-B) também é indicado na Tabela 3.7.

Tabela 3.7 – Conexão entre os diagramas de blocos e as chaves simplificadas.

Chave semicondutora simplificada	Estrutura do CAC			
	Diagrama-1	Diagrama-2	Diagrama-3	Diagrama-4
 <p>Tipo-1</p>	 <p>Classe-A^{*††} Classe-B^{††}</p>	 <p>Classe-A^{*††} Classe-B^{††}</p>	 <p>Classe-B^{††}</p>	 <p>Classe-B^{††}</p>
 <p>Tipo-2</p>	<p>Classe-A⁺ Classe-B⁺</p>	<p>Classe-B⁺</p>	<p>Classe-B⁺</p>	<p>—</p>
 <p>Tipo-3</p>	<p>Classe-A⁺ Classe-B⁺</p>	<p>—</p>	<p>Classe-B⁺</p>	<p>—</p>
 <p>Tipo-4</p>	<p>Classe-B⁺</p>	<p>—</p>	<p>Classe-B⁺</p>	<p>—</p>

*Caso 1: $V_x = 0$. †Caso 2: $0 \leq V_x < \frac{V_{cc}}{2}$. ††Caso 3: $V_x = \frac{V_{cc}}{2}$.

3.5 Exemplos da aplicação da metodologia de síntese

Exemplos de topologias ZVT simplificadas sintetizadas a partir das combinações sumarizadas na Tabela 3.7 são apresentadas na Figura 3.10, na Figura 3.11 e na Figura 3.12. A síntese dessas topologias é explicada a seguir. Salienta-se que os CACs simplificados derivados a seguir não foram publicados previamente na literatura, apesar de topologias não simplificadas equivalentes o terem sido.

3.5.1 Chave semicondutora simplificada Tipo-1

Associando-se a chave semicondutora simplificada Tipo-1 com o Diagrama-1 ou o Diagrama-2, a célula ZVT simplificada Classe-A representada na Figura 3.10 (a) é sintetizada, representando o Caso 1 (fontes de tensão CC nulas). Esta célula é a versão simplificada do circuito proposto originalmente em [42] (apud [2]).

Adicionalmente, através do Diagrama-2 sintetiza-se a topologia ZVT simplificada representada na Figura 3.10 (b), que pode operar como Classe-A ou Classe-B. Esta célula ZVT deriva da topologia conhecida como “*transformer-assisted ZVS pole*” [12] e pode representar o Caso-2 ou o Caso-3, dependendo da relação de transformação adotada no acoplamento magnético.

As fontes de tensão CC da configuração anterior podem ser implementadas de maneira distinta, resultando na célula ZVT representada na Figura 3.10 (c), que deriva da topologia originalmente conhecida por “*ZVT with inductor feedback*” [52]. Ainda, mantendo-se a mesma configuração, o acoplamento magnético pode ser realizado com o indutor de filtro, como mostrado na Figura 3.10 (d). Por sua vez, esta célula ZVT deriva do circuito proposto originalmente em [36].

As topologias ZVT simplificadas Classe-B representadas na Figura 3.10 (e) e na Figura 3.10 (f) são obtidas pela combinação da chave semicondutora simplificada Tipo-1 com o Diagrama-3. Essas topologias derivam, respectivamente, das topologias “*transformer-assisted ZVS pole*” [12] e “*ZVT with inductor feedback*” [52], com a ressalva dos indutores auxiliares encontrarem-se no lado CC do CAC. Estas topologias representam tanto o Caso-2 quanto o Caso-3, dependendo da relação de transformação adotada no acoplamento magnético.

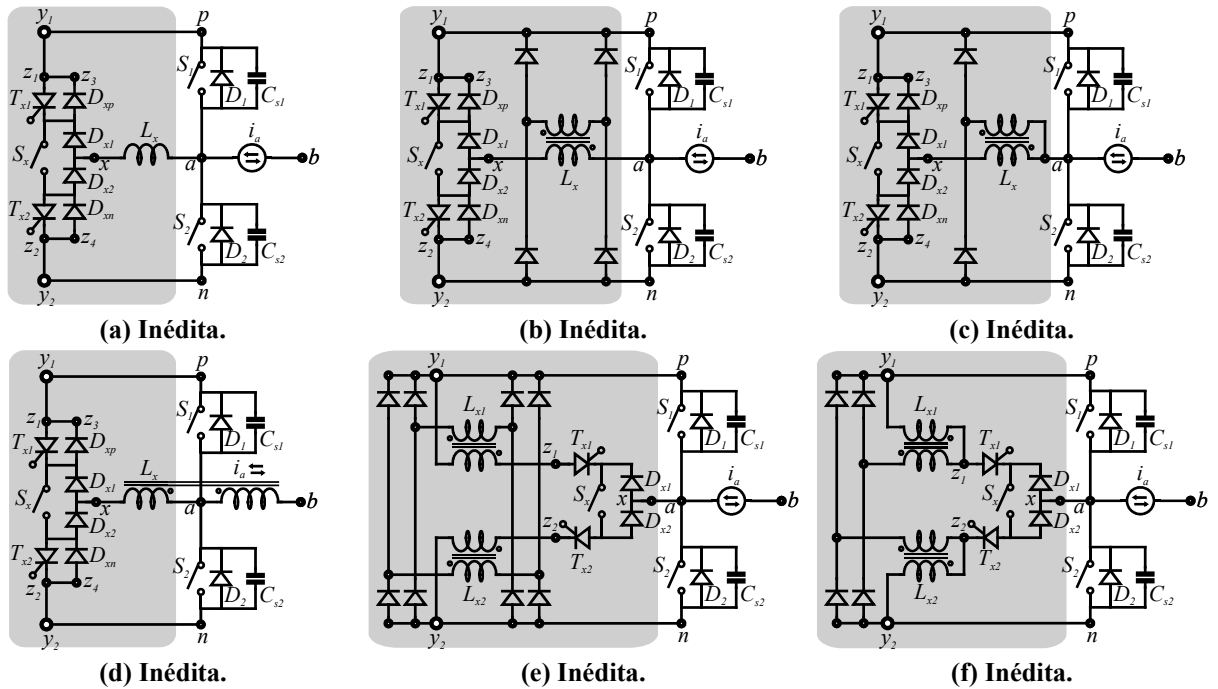


Figura 3.10 – Topologias ZVT simplificadas sintetizadas.

Existe a possibilidade de implementação das fontes de tensão CC através de pontos intermediários do barramento CC (Caso 2 ou Caso 3), como a topologia ZVT simplificada Classe-A ou Classe-B representada na Figura 3.11 (a), obtida pela combinação da chave Tipo-1 com o Diagrama-1. Cabe ressaltar que a topologia representada na Figura 3.11 (a) é originalmente proposta em [49,11]. Outra possibilidade de localização dos indutores auxiliares é representada na topologia ZVT da Figura 3.11 (b), obtida a partir da chave Tipo-1 associada ao Diagrama-3. Essa configuração, por sua vez, permite que o conversor opere apenas como Classe-B e pode tanto representar o Caso 2 quanto o Caso 3.

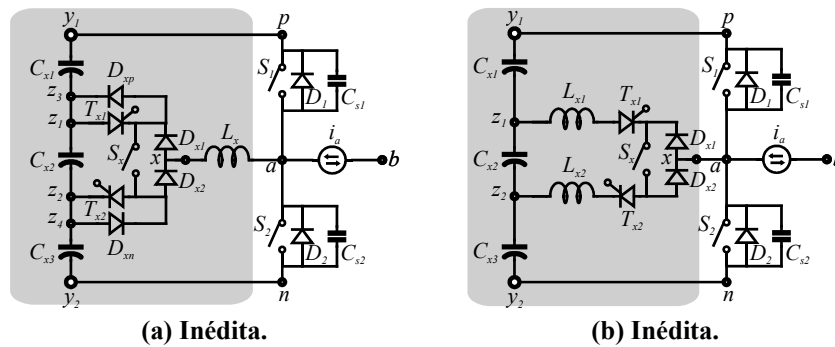


Figura 3.11 – Topologias ZVT simplificadas sintetizadas.

Nas topologias anteriores, onde tanto o Caso 2 quando o Caso 3 podem ser empregados na configuração das fontes de tensão CC, salienta-se que o Caso-2 é usualmente o mais

indicado, uma vez que o centro de ressonância pode ser escolhido de tal forma que, mesmo na presença de perdas, o CAC garante a operação ZVS às chaves semicondutoras principais.

3.5.2 Chave semicondutora simplificada Tipo-2

Na Figura 3.12 (a) é apresentada uma célula ZVT simplificada Classe-B obtida a partir da combinação entre a chave semicondutora simplificada Tipo-2 e o Diagrama-3. Conforme se observa na Tabela 3.7, esta célula pode operar apenas como Classe-B. A conexão ao ponto médio do barramento CC representa o Caso 3 discutido previamente. Esta topologia é a versão simplificada do conversor “*auxiliary resonant commutated pole*” (ARCP) proposto inicialmente por [45].

3.5.3 Chave semicondutora simplificada Tipo-3

Já na Figura 3.12 (b) é apresentada uma célula ZVT simplificada Classe-B obtida a partir da combinação entre a chave semicondutora simplificada Tipo-3 e o Diagrama-3. Conforme se observa na Tabela 3.7, esta célula pode operar apenas como Classe-B. Novamente, a conexão ao ponto médio do barramento CC representa o Caso 3. Esta topologia é proposta em [48,16], onde são empregados diodos de grampeamento (D_{xp} e D_{xn}) para que a tensão sobre S_x seja grampeada no nível do barramento CC caso o instante de bloqueio da mesma não ocorra exatamente quando a corrente por L_x for nula.

3.5.4 Chave semicondutora simplificada Tipo-4

Por fim, na Figura 3.12 (c) é apresentada uma célula ZVT simplificada Classe-B obtida a partir da combinação entre a chave semicondutora simplificada Tipo-4 e o Diagrama-3. Conforme se observa na Tabela 3.7, esta célula pode operar apenas como Classe-B. Nesse caso particular, o ponto médio do barramento CC é implementado através de um acoplamento magnético, representando o Caso 3. Cabe ressaltar que esta topologia é proposta em [17].

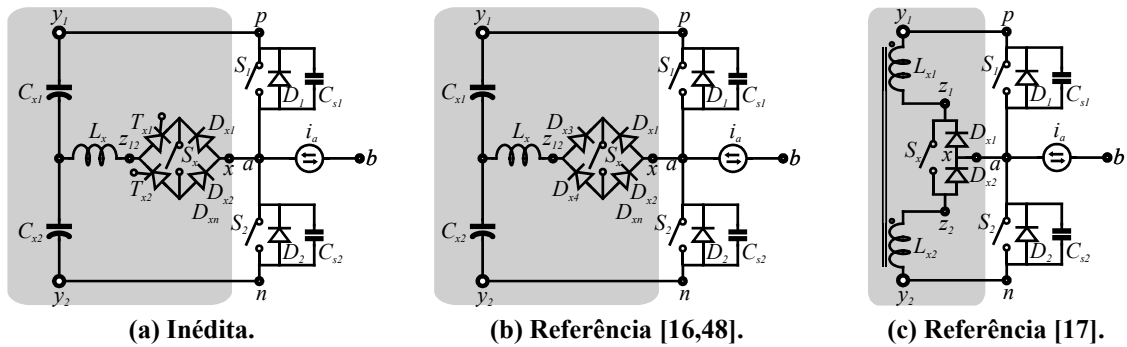


Figura 3.12 – Topologias ZVT simplificadas sintetizadas.

3.6 Conclusão

Apesar das técnicas de comutação suave terem experimentado grandes avanços nos últimos anos, especialmente em termos topológicos, ainda existe a necessidade de redução do custo e do volume relacionado ao CAC, tornando-as mais atrativas a aplicações industriais, que prezam por um equilíbrio entre desempenho, custo e confiabilidade.

Do estabelecido princípio de integração de técnicas de comutação é possível a síntese de topologias com alto grau de compactação. Infelizmente, a integração implica na introdução de restrições à estratégia de modulação dos conversores. Assim, com o objetivo de obter CACs compactos e que não implicam em restrições à estratégia de modulação selecionada, nesse capítulo foi proposto o conceito de simplificação de CACs do tipo ZVT, bem como sua metodologia de síntese. O emprego de CACs simplificados garante a minimização das perdas de chaveamento bem como a independência entre os pólos PWM do conversor, permitindo o emprego de qualquer estratégia de modulação.

Na metodologia de síntese de CACs do tipo ZVT simplificados proposta, chaves semicondutoras simplificadas (empregando apenas uma chave semicondutora de alta frequência) são definidas, juntamente com diagramas de blocos representativos da estrutura do CAC. A combinação entre as chaves simplificadas e os diagramas de blocos, observadas as restrições encontradas, é capaz de sintetizar inúmeras topologias ZVT simplificadas inéditas, bem como as já publicadas na literatura, demonstrando que os conversores publicados de maneira independente compartilham dos mesmos princípios.

CAPÍTULO 4 ANÁLISE COMPARATIVA ENTRE TOPOLOGIAS ZVT INTEGRADAS E SIMPLIFICADAS

4.1 Introdução

Apesar de estudos prévios terem comparado diferentes topologias ZVT aplicadas a conversores polifásicos em termos de eficiência [22] e EMI [8], incluindo CACs integrados e simplificados, os resultados obtidos não foram relacionados ao princípio empregado na síntese de cada topologia. Dessa forma, neste capítulo é realizada uma comparação entre os princípios de integração e simplificação de CACs do tipo ZVT aplicados a pólos PWM bidirecionais.

Inicialmente ambas as abordagens são definidas, sendo suas vantagens e limitações claramente identificadas. Posteriormente, uma análise comparativa é realizada entre duas topologias ZVT selecionadas, levando-se em consideração suas estratégias de modulação, as perdas resultantes nos circuitos principal e auxiliar, bem como o conteúdo harmônico da tensão sintetizada pelos conversores. Finalmente, resultados experimentais para ambas as topologias operando com uma potência de saída de 1,5 kW e uma frequência de chaveamento de 20 kHz são apresentados no sentido de validar a metodologia proposta.

4.2 Conceitos iniciais

As definições e as principais características das topologias ZVT integradas e simplificadas são discutidas a seguir.

4.2.1 Integração de circuitos de auxílio à comutação do tipo ZVT

O conceito de integração de circuitos de auxílio à comutação do tipo ZVT é definido como a redução do CAC através do compartilhamento de um ou mais dos seus componentes entre dois ou mais pólos PWM ou estágios do conversor, conforme representado na Figura 4.1. A redução no número de componentes necessários à obtenção da comutação suave é conseguida exclusivamente pelo emprego da energia de uma comutação para assistir outra

[67], o que permite minimizar a energia reativa circulante e, conseqüentemente, o volume dos elementos passivos que compõe o CAC [70]. Por exemplo, um pólo PWM que esteja operando como *boost* (corrente entrando no pólo) pode transferir energia a um pólo PWM que esteja operando como *buck* (corrente saindo do pólo) por intermédio de um CAC integrado aos mesmos. Esta característica de operação insere um grau de complexidade adicional ao projeto dos CACs integrados [67]. Salienta-se que uma metodologia de síntese de CACs do tipo ZVT integrados é apresentada em [10,18].

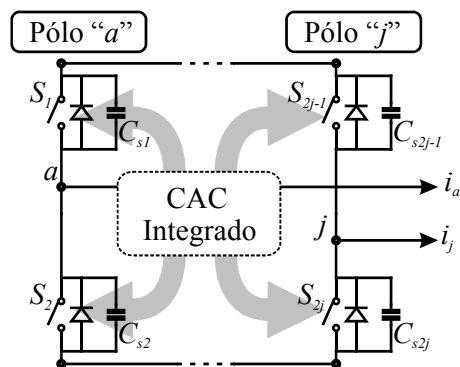


Figura 4.1 – Conceito de integração de CACs.

Apesar do conceito de integração de circuitos de auxílio à comutação ter proporcionado a síntese de topologias ZVT com alto grau de compactação, persiste o problema da necessidade de sincronização no acionamento das chaves semicondutoras dos diferentes pólos PWM do conversor para que o CAC possa operar adequadamente. Dessa forma, o emprego de topologias ZVT integradas requer técnicas de modulação complexas, com uma seqüência específica de vetores de chaveamento (*Switching State Vectors* – SSV), usualmente contendo vetores adicionais não-adjacentes ao vetor de referência na Modulação *Space Vector*. Dessa forma, impossibilita-se a seleção de seqüências de chaveamento, como as propostas em [15], que aprimorem a qualidade da energia sintetizada pelo conversor – através da redução do conteúdo harmônico das variáveis de interesse (tensões e correntes de saída) – ou que reduzam o número de comutações em um período de chaveamento e, conseqüentemente, as perdas de chaveamento nos semicondutores.

Um exemplo de topologia ZVT integrada, proposta em [13,54,55], e que é empregada na análise subsequente é apresentada na Figura 4.2.

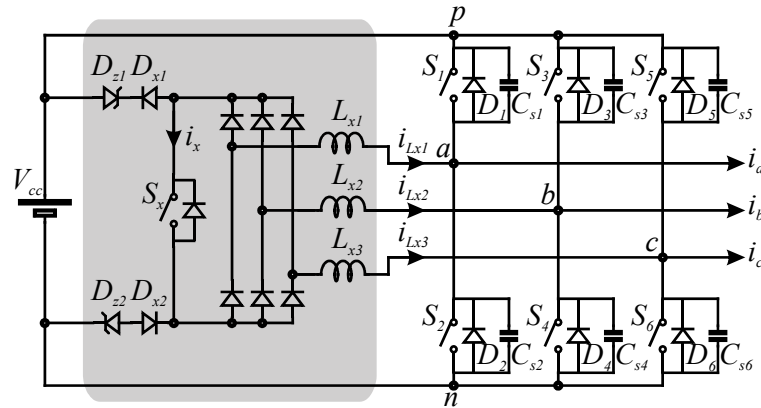


Figura 4.2 – Topologia ZVT integrada [13,54,55] analisada.

4.2.2 Simplificação de circuitos de auxílio à comutação do tipo ZVT

O conceito de simplificação de circuitos de auxílio à comutação do tipo ZVT é definido como a redução do CAC através do compartilhamento de um ou mais de seus componentes entre os dispositivos semicondutores do mesmo pólo PWM do conversor, conforme representado na Figura 4.3. Dessa forma, as topologias ZVT simplificadas não adquirem o grau de compactação observado nas topologias integradas.

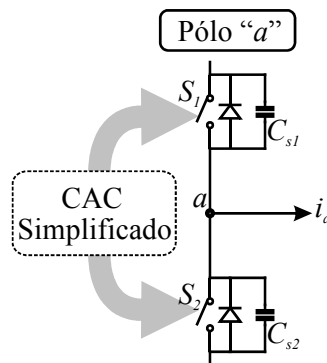


Figura 4.3 – Conceito de simplificação de CACs.

Por outro lado, o principal atrativo das topologias ZVT simplificadas frente às integradas reside na independência na modulação aplicada aos pólos PWM do conversor, uma vez que o CAC simplificado opera individualmente em cada pólo PWM. Diferentemente das topologias ZVT integradas, nas simplificadas é possível o emprego apenas dos SSVs adjacentes ao vetor de referência na modulação SVM e na seqüência ou distribuição desejada. Essa característica permite às topologias ZVT simplificadas o emprego de qualquer estratégia de modulação convencional, tornando possível, por exemplo, não comutar o pólo PWM de

maior corrente dentre os demais (modulação SVM de mínimas perdas) ou mesmo aprimorar a qualidade das variáveis de interesse, como proposto em [15].

Um exemplo de topologia ZVT simplificada, proposta em [48,16], e que é empregada na análise subsequente é apresentada na Figura 4.4. Esta topologia pode ser obtida a partir da combinação entre a chave semicondutora simplificada Tipo-3 (definida na Figura 3.9 (c)) e o Diagrama-3 (apresentado na Figura 3.8 (d)). Conforme se observa na Tabela 3.7, esta célula pode operar apenas como Classe-B. A conexão ao ponto médio do barramento CC representa o Caso 3 ($V_{x1} = V_{x2} = V_{cc}/2$).

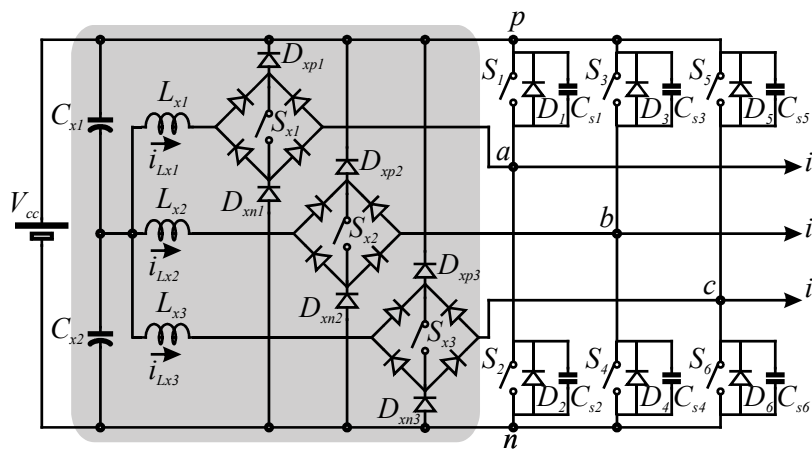


Figura 4.4 – Topologia ZVT simplificada [48,16] analisada.

4.3 Análise das topologias selecionadas

A seguir são analisadas as principais etapas de operação das topologias ZVT selecionadas. Esta análise tem por objetivo introduzir a operação de cada CAC e proporcionar a determinação da corrente pelos semicondutores, possibilitando o cálculo das perdas.

Por simplicidade de notação, define-se para os indutores auxiliares que $L_{x1} = L_{x2} = L_{x3} = L_x$ e para os capacitores snubber que $C_{s1} = \dots = C_{s6} = C_s$. Além disso, assume-se que as correntes de carga ($i_a(t)$, $i_b(t)$ e $i_c(t)$) são constantes em um período de chaveamento (T_s). Ainda, assume-se que $i_a(t) > 0$, $i_b(t) < 0$ e $i_c(t) < 0$.

Nesse sentido, a frequência natural de ressonância (ω_n) e a impedância característica do tanque ressonante (Z) composto por L_x e C_s das topologias ZVT integrada (Figura 4.2) e simplificada (Figura 4.4) são definidas em (4.1) e (4.2), respectivamente.

$$\omega_n = \frac{1}{\sqrt{2L_x C_s}} \quad (4.1)$$

$$Z = \sqrt{\frac{L_x}{2C_s}} \quad (4.2)$$

4.3.1 Topologia ZVT integrada

Sem perda de generalidade, a seguir analisa-se apenas o caso em que as correntes de carga são comutadas dos diodos D_2 , D_3 e D_5 para as chaves semicondutoras S_1 , S_4 e S_6 de maneira simultânea. A determinação dessa seqüência de comutação (D_2 , D_3 e D_5 para S_1 , S_4 e S_6) é explicada na Seção 4.4.3.1, onde a estratégia de modulação é definida.

As etapas de operação do CAC integrado são representadas na Figura 4.5 e as formas de onda teóricas de corrente e tensão nos dispositivos auxiliares na Figura 4.6. Salienta-se que, por facilidade de análise, os tempos envolvidos nos processos de comutação de cada pólo PWM são considerados os mesmos nas formas de onda teóricas da Figura 4.6. Essa consideração é verdadeira quando a corrente de dois pólos PWM do conversor, por exemplo $i_b(t)$ e $i_c(t)$, são iguais [22].

Salienta-se que para as condições definidas previamente, a corrente por L_{x1} é análoga à corrente por S_x definida na Figura 4.2, conforme (4.3). Esta observância será útil na determinação da corrente média por S_x , empregada na estimativa das perdas nessa chave semicondutora.

$$i_x(t) = i_{L_{x1}}(t) \quad (4.3)$$

- $t < t_0$: Previamente ao acionamento do CAC

Previamente ao acionamento do CAC, o circuito encontra-se com os diodos D_2 , D_3 e D_5 em condução, conforme representado na Figura 4.5 (a). As formas de onda teóricas relativas a esta condição podem ser vistas na Figura 4.6 para $t < t_0$.

- $t_0 \leq t < t_1$: Estágio de magnetização – primeira parte

Este estágio tem início no instante “ t_0 ”, quando a chave semicondutora auxiliar S_x é acionada, conforme representado na Figura 4.6. A configuração do circuito durante esse estágio é representada na Figura 4.5 (b).

O acionamento de S_x possibilita a aplicação de um nível de tensão sobre os indutores auxiliares que proporciona a magnetização dos mesmos, desviando as correntes dos diodos D_2 , D_3 e D_5 para o CAC, conforme evidenciado nas formas de onda da Figura 4.6 para $t_0 \leq t < t_1$. Na prática, D_2 , D_3 e D_5 bloqueariam em instantes distintos (pois os pólos PWM conduzem correntes distintas), porém, pelas condições assumidas previamente, esses diodos bloqueiam simultaneamente no instante “ t_1 ”.

- $t_1 \leq t < t_2$: Estágio de magnetização – segunda parte

Com o objetivo de possibilitar o completo desvio das correntes dos diodos D_2 , D_3 e D_5 para o CAC com qualquer condição de corrente de carga, em [13] recomenda-se que as chaves em antiparalelo a esses diodos (S_2 , S_3 e S_5) sejam mantidas acionadas por um tempo suficiente para que, de fato, todos os diodos bloqueiem. Além disso, esse tempo é tal que permite um acúmulo de energia nos indutores auxiliares capaz de prover a total descarga dos capacitores *snubber* C_{s1} , C_{s4} e C_{s6} durante o estágio ressonante, possibilitando o acionamento de S_1 , S_4 e S_6 sob ZVS. Esse estágio é representado na Figura 4.5 (c) e as formas de onda teóricas são apresentadas na Figura 4.6 para $t_1 \leq t < t_2$.

A duração total do estágio de magnetização (incluindo a primeira e a segunda parte), definida como $T_{mag_i} = t_2 - t_0$, pode ser calculada por (4.4) [13], onde I_{mag} é definida em (4.5), sendo I_{pk} o pico da corrente de carga em um período da mesma. Deve-se observar que o período de magnetização é constante e independente da corrente de carga.

$$T_{mag_i} = \frac{3L_x}{2V_{cc}} I_{mag} \quad (4.4)$$

$$I_{mag} = \sqrt{3} I_{pk} \quad (4.5)$$

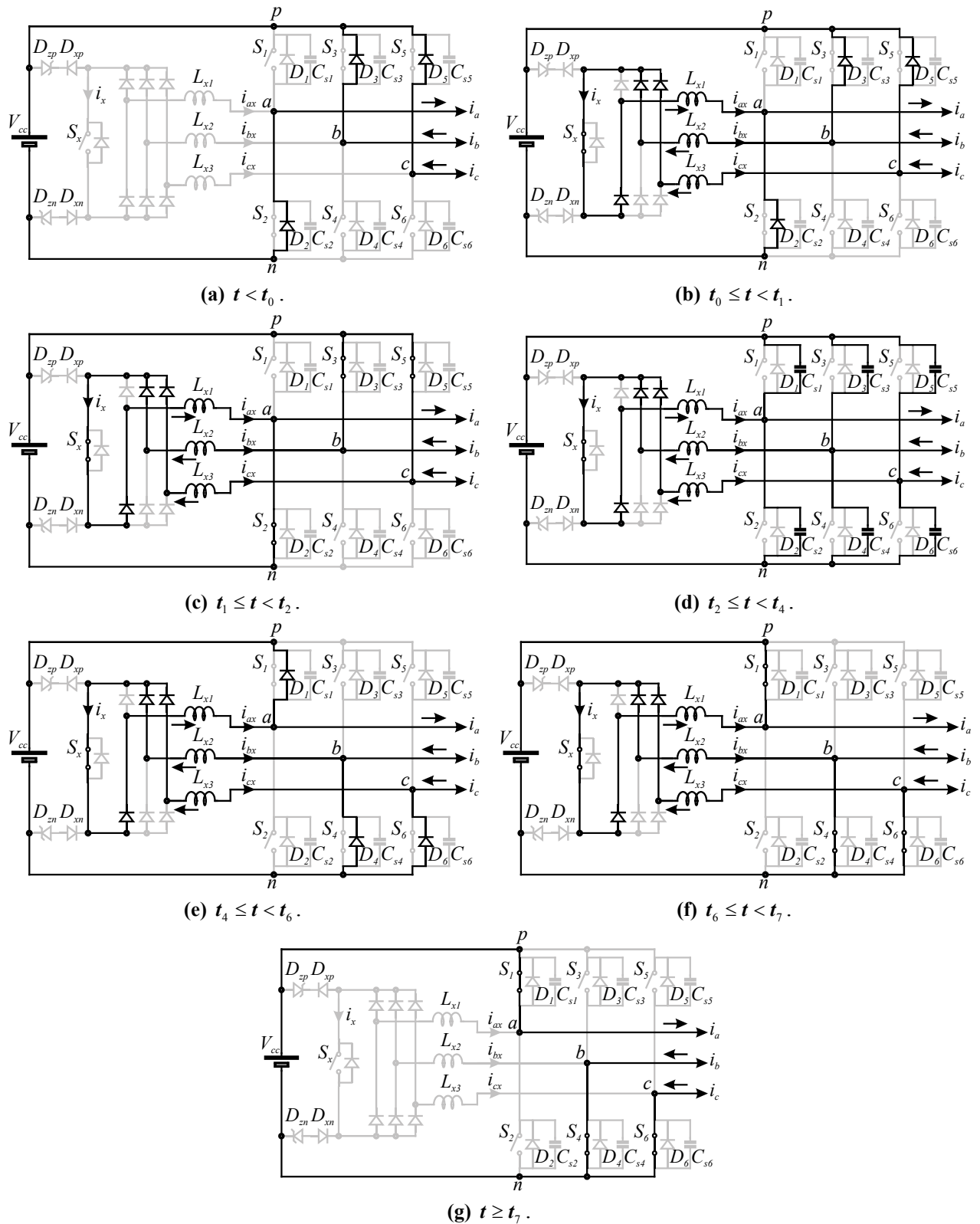


Figura 4.5 – Etapas de operação da topologia ZVT integrada. (a) Previamente à comutação. (b) e (c) Magnetização. (d) Ressonância. (e) e (f) Desmagnetização. (g) Posteriormente à comutação.

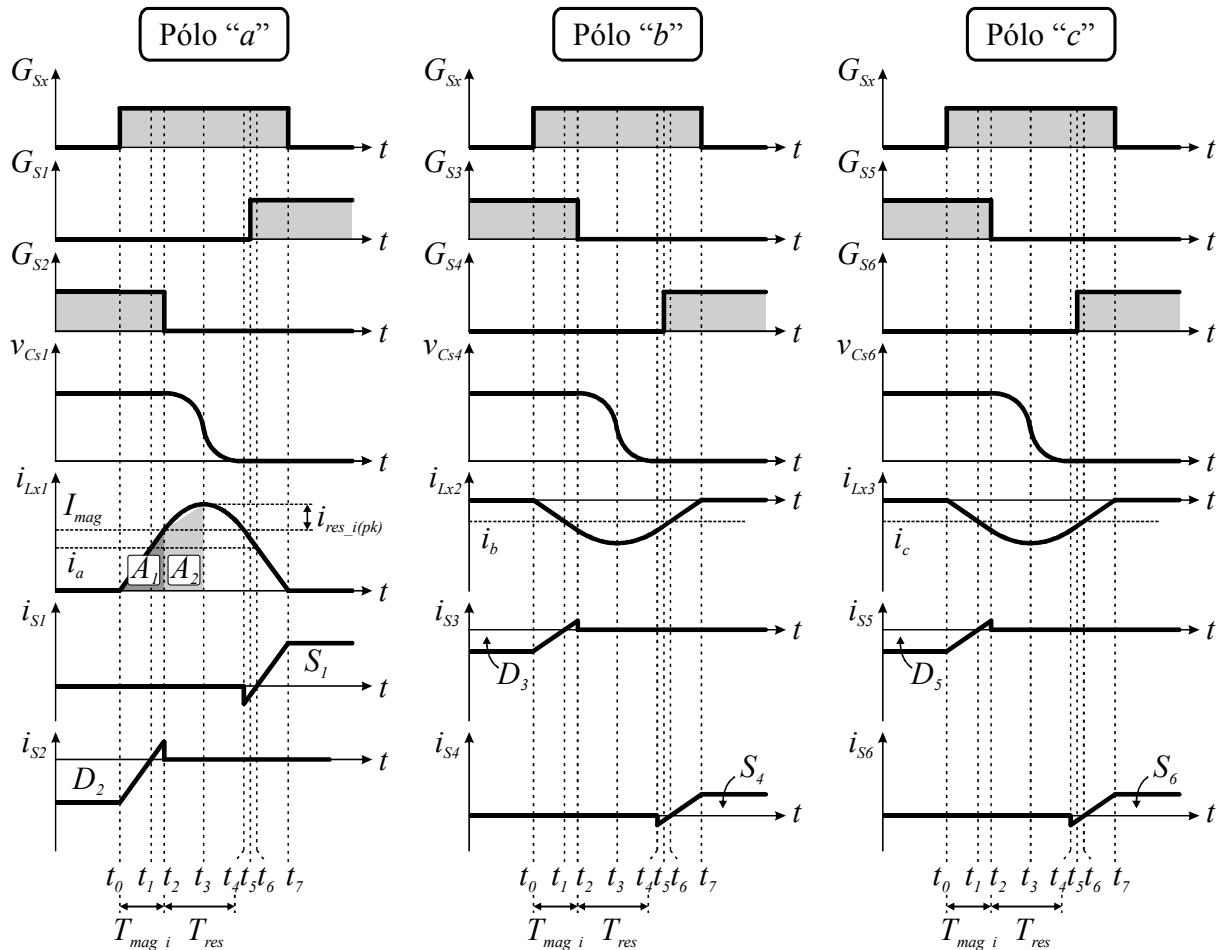


Figura 4.6 – Formas de onda nos três pólos PWM assistidos pelo CAC integrado.

- $t_2 \leq t < t_4$: Estágio ressonante

O estágio ressonante tem início com o bloqueio simultâneo das chaves semicondutoras S_2 , S_3 e S_5 no instante “ t_2 ”. A configuração do circuito durante esse estágio é representada na Figura 4.5 (d) e as formas de onda teóricas na Figura 4.6 para $t_2 \leq t < t_4$. Durante o estágio ressonante as tensões sobre os capacitores *snubber* C_{s1} , C_{s4} e C_{s6} são reduzidas de V_{cc} a zero volt, conforme representado na Figura 4.6 para $t_2 \leq t < t_4$.

De acordo com [13], a duração do estágio ressonante, definida como $T_{res} = t_4 - t_2$, pode ser estimada por (4.6). Pode-se observar a partir de (4.6) que o período ressonante depende somente dos parâmetros do CAC.

$$T_{res} = \frac{\pi}{\omega_n} \quad (4.6)$$

O pico da corrente por S_x ($i_{res_i(pk)}$), que ocorre em “ t_3 ”, conforme se observa na Figura 4.6 (pólo “a”), pode ser calculado através de (4.7) [13].

$$i_{res_i(pk)} = \frac{2V_{cc}}{3Z} \quad (4.7)$$

- $t_4 \leq t < t_6$: Estágio de desmagnetização – primeira parte

Este estágio tem início quando a tensão sobre os capacitores *snubber* C_{s1} , C_{s4} e C_{s6} reduz-se a zero volt, sendo grampeada pelos diodos D_1 , D_4 e D_6 no instante “ t_4 ”. A configuração do circuito durante esse estágio é representada na Figura 4.5 (e) e as formas de onda teóricas na Figura 4.6 para $t_4 \leq t < t_6$. Esse estágio é dito de desmagnetização pelo fato da tensão aplicada sobre os indutores auxiliares ser contrária à aplicada durante o estágio de magnetização dos mesmos.

Deve-se observar que enquanto D_1 , D_4 e D_6 estiverem em condução, suas respectivas chaves semicondutoras principais, S_1 , S_4 e S_6 , podem ser acionadas sob ZVS. Assim, no instante “ t_5 ”, conforme Figura 4.6, S_1 , S_4 e S_6 são acionadas simultaneamente sob zero de tensão.

- $t_6 \leq t < t_7$: Estágio de desmagnetização – segunda parte

Este estágio inicia-se no instante “ t_6 ”, quando as chaves semicondutoras S_1 , S_4 e S_6 passam a assumir gradualmente a corrente de carga, uma vez que as correntes pelos indutores auxiliares tornam-se inferiores às respectivas correntes de carga. A configuração do circuito durante esse estágio é representada na Figura 4.5 (f) e as formas de onda teóricas na Figura 4.6 para $t_6 \leq t < t_7$.

Conforme [13], a duração total do estágio de desmagnetização (incluindo a primeira e a segunda parte), definida como $T_{des_i} = t_7 - t_4$, é aproximadamente igual à T_{mag_i} . Logo, com respeito à (4.4), T_{des_i} pode ser estimada através de (4.8).

$$T_{des_i} = \frac{3L_x}{2V_{cc}} I_{mag} \quad (4.8)$$

- $t \geq t_7$: Posteriormente ao acionamento do CAC

No instante “ t_7 ”, conforme a Figura 4.6, as chaves semicondutoras S_1 , S_4 e S_6 assumem completamente as correntes $i_a(t)$, $i_b(t)$ e $i_c(t)$, uma vez que as correntes $i_{Lx1}(t)$, $i_{Lx2}(t)$ e $i_{Lx3}(t)$ reduzem-se a zero. Assim, S_x , cuja corrente é igual à $i_{Lx1}(t)$ (equação (4.3)), pode ser bloqueada sob ZCS. Dessa forma, o CAC é desabilitado. A configuração do circuito durante esse estágio é representada na Figura 4.5 (g) e as formas de onda teóricas na Figura 4.6 para $t \geq t_7$.

Os diodos de grampeamento D_{xp} e D_{xn} entram em condução apenas se $i_x(t)$ não for nula no momento do bloqueio de S_x . Isso pode ocorrer caso T_{des_i} não seja exatamente igual ao tempo real necessário à desmagnetização dos indutores auxiliares. Já os diodos D_{zp} e D_{zn} têm por finalidade amortecer as ressonâncias que possam ocorrer entre as capacitâncias parasitas de D_{xp} e D_{xn} com os indutores auxiliares L_{x1} , L_{x2} e L_{x3} .

O valor médio de $i_x(t)$ em um período de chaveamento pode ser calculado a partir de (4.9).

$$i_{x(avg)} = \frac{1}{T_s} \int_0^{T_s} i_x(t) dt \quad (4.9)$$

Com referência à Figura 4.6 (pólo “a”), observa-se que $i_x(t)$ apresenta um comportamento simétrico com relação à “ t_3 ”. Dessa forma, pode-se simplificar (4.9), resultando na equação (4.10), onde “ t_3 ” situa-se exatamente na metade do período ressonante.

$$i_{x(avg)} = \frac{2}{T_s} \int_0^{t_3} i_x(t) dt \quad (4.10)$$

A solução de (4.10) pode ser aproximada pelo cálculo das áreas A_1 e A_2 definidas na Figura 4.6 (pólo “a”). Assim, a partir do conhecimento dos parâmetros do circuito, a corrente média pelo CAC integrado pode ser estimada por (4.11) sem a necessidade da simulação completa da operação do CAC.

$$i_{x(avg)} = \frac{T_{mag_i} I_{mag}}{T_s} + \frac{T_{res} (i_{res_i(pk)} + 2I_{mag})}{2T_s} \quad (4.11)$$

4.3.2 Topologia ZVT simplificada

A seguir são descritas as etapas de operação da topologia ZVT simplificada. Como os CACs simplificados operam individualmente em cada pólo PWM do conversor, a análise é realizada apenas para um pólo PWM. Dessa forma, as correntes pelos indutores auxiliares, definidas na Figura 4.4 como $i_{Lx1}(t)$, $i_{Lx2}(t)$ e $i_{Lx3}(t)$, são designadas no equacionamento genericamente por $i_{Lxj}(t)$, com $j = 1, 2$ ou 3 , dependendo de qual pólo PWM é analisado. Da mesma forma, as correntes de carga, $i_a(t)$, $i_b(t)$ e $i_c(t)$, são designadas simplesmente por $i_j(t)$, com $j = a, b$ ou c .

Adicionalmente, em função da simetria do circuito, descrevem-se apenas as etapas de operação para o pólo “a” na condição em que a corrente de carga é comutada do diodo D_2 para a chave S_{1l} , uma vez que o processo é análogo nos demais pólos PWM do conversor. As etapas de operação do CAC simplificado são representadas na Figura 4.7 e as formas de onda teóricas de corrente e tensão nos dispositivos auxiliares na Figura 4.8.

- $t < t_0$: Previamente ao acionamento do CAC

Previamente ao acionamento do CAC, o circuito encontra-se com o diodo D_2 em condução, conforme representado na Figura 4.7 (a). As formas de onda teóricas relativas a esta condição podem ser vistas na Figura 4.8 para $t < t_0$.

- $t_0 \leq t < t_1$: Estágio de magnetização

Este estágio tem início no instante “ t_0 ”, quando a chave semicondutora auxiliar S_{x1} é acionada, conforme representado na Figura 4.8. A configuração do circuito durante esse estágio é representada na Figura 4.7 (b).

O acionamento de S_{x1} possibilita a aplicação de um nível de tensão sobre L_{x1} que proporciona magnetização do mesmo, desviando a corrente do diodo D_2 para o CAC, conforme evidenciado nas formas de onda da Figura 4.8 para $t_0 \leq t < t_1$.

A duração desse estágio, definida como $T_{mag_s} = t_1 - t_0$, pode ser calculada por (4.12) [45]. Durante esse estágio ocorre uma magnetização linear no indutor auxiliar, conforme representado na Figura 4.8 para $t_0 \leq t < t_1$.

$$T_{mag_s}(t) = \frac{2L_x}{V_{cc}} i_j(t) \quad (4.12)$$

Deve-se observar que o período de magnetização é dependente da corrente de carga, $i_j(t)$. Obviamente, existe a possibilidade da definição de um tempo de magnetização fixo tal que atenda ao maior valor de corrente de carga – método conhecido na literatura por “controle com temporização fixa” (*fixed timing control*) [64] e empregado na topologia ZVT integrada da Figura 4.2 – mas os esforços de corrente no CAC e no circuito principal seriam elevados. Assim, o “controle com temporização variável” (*variable timing control*) é o método mais indicado quando se dispõe da informação (sensoriamento) da corrente de carga.

- $t_1 \leq t < t_2$: Estágio de corrente de *boosting*

Este estágio inicia-se no instante “ t_1 ”, quando $i_{L_{xj}}(t) = i_j(t)$, proporcionando o bloqueio diodo D_2 com di/dt controlado por L_{x1} . O mesmo é representado na Figura 4.7 (c) e suas formas de onda teóricas são apresentadas na Figura 4.8 para $t_1 \leq t < t_2$.

Em função das perdas de condução existentes no CAC – resistência do condutor que compõe o indutor auxiliar, resistência de condução e queda de tensão direta dos semicondutores – existe a necessidade da aplicação de uma corrente adicional pelo indutor auxiliar. Essa corrente, chamada de corrente de *boosting* (I_{bst}), resulta em um incremento no raio de ressonância do tanque ressonante composto por L_{x1} , C_{s1} e C_{s2} (o qual está centrado em $V_{cc}/2$), garantindo que a condição de comutação sob ZVS seja atendida. Assim, com o bloqueio de D_2 , sua chave semicondutora antiparalela, S_2 , é mantida acionada de forma a prover um acúmulo de energia adicional em L_{x1} .

A duração do estágio de corrente de *boosting*, definida como $T_{bst} = t_2 - t_1$, pode ser determinada através de (4.13) [45]. Salienta-se que I_{bst} é um valor constante e representa uma fração da corrente nominal de carga. Detalhes sobre a determinação da corrente de *boosting* necessária são apresentados no Apêndice A.

$$T_{bst} = \frac{2L_x}{V_{cc}} I_{bst} \quad (4.13)$$

- $t_2 \leq t < t_4$: Estágio ressonante

O estágio ressonante tem início com o bloqueio da chave semicondutora S_2 no instante “ t_2 ”. A configuração do circuito durante esse estágio é representada na Figura 4.7 (d) e as formas de onda teóricas na Figura 4.8 para $t_2 \leq t < t_4$. Durante o estágio ressonante a tensão sobre o capacitor *snubber* C_{s1} é reduzida de V_{cc} a zero volt, conforme representado na Figura 4.8 para $t_2 \leq t < t_4$. A

duração desse estágio, definida como $T_{res} = t_4 - t_2$, pode ser estimada por (4.6) [45]. Cabe ressaltar que a aplicação de I_{bst} reduz a duração do período de ressonância, como demonstrado no Apêndice A, porém (4.6) pode ser empregada com razoável aproximação. Da mesma forma que no CAC integrado, no CAC simplificado o período ressonante depende somente dos parâmetros do circuito.

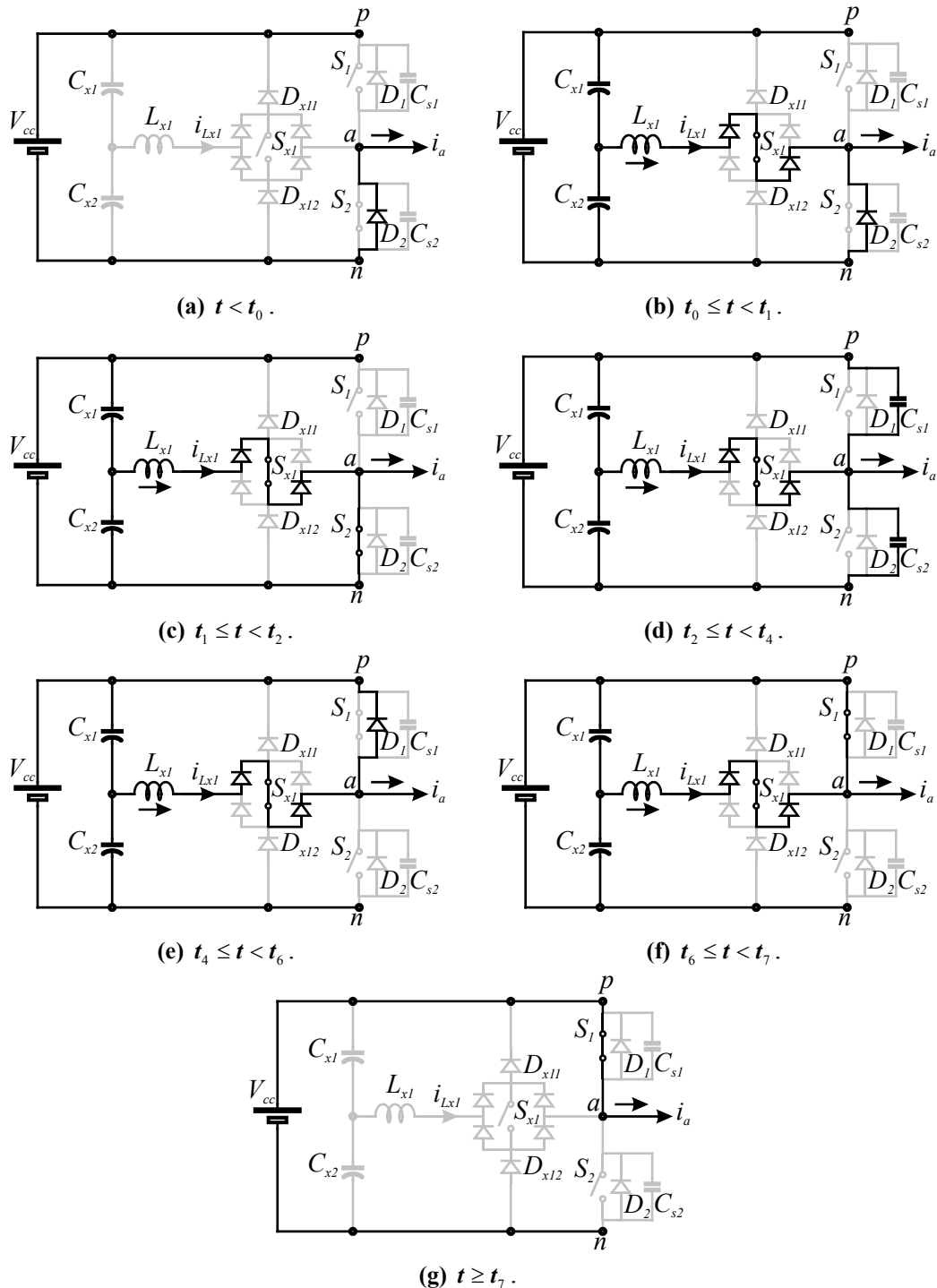


Figura 4.7 – Etapas de operação da topologia ZVT simplificada. (a) Previamente à comutação. (b) Magnetização. (c) *Boosting*. (d) Ressonância. (e) Desmagnetização – primeira parte. (f) Desmagnetização – segunda parte. (g) Posteriormente à comutação.

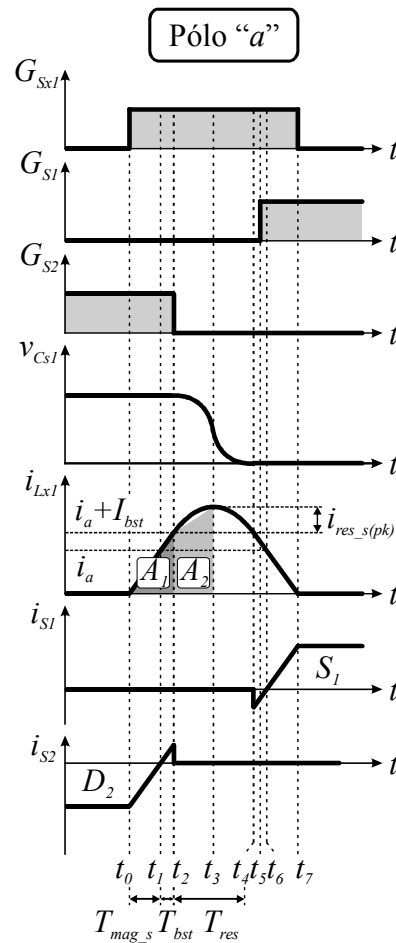


Figura 4.8 – Formas de onda no pólo “a” assistido pelo CAC simplificado.

O pico da corrente ressonante ($i_{res_s(pk)}$), que ocorre em “ t_3 ”, conforme Figura 4.8, pode ser calculado pelo conhecimento da tensão da AVS ($V_{cc}/2$) e da impedância do tanque ressonante (Z), conforme (4.14).

$$i_{res_s(pk)} = \frac{V_{cc}}{2Z} \quad (4.14)$$

- $t_4 \leq t < t_6$: Estágio de desmagnetização – primeira parte

Este estágio tem início quando a tensão sobre o capacitor *snubber* C_{s1} reduz-se a zero volt, sendo grampeada pelo diodo D_1 no instante “ t_4 ”. A configuração do circuito durante esse estágio é representada na Figura 4.7 (e) e as formas de onda teóricas na Figura 4.8 para $t_4 \leq t < t_6$. Esse estágio é dito de desmagnetização pelo fato da tensão aplicada sobre L_{x1} ser contrária à aplicada durante o estágio de magnetização do mesmo.

Deve-se observar que enquanto D_I estiver em condução, sua respectiva chave semicondutora antiparalela, S_I , pode ser acionada sob ZVS. Assim, no instante “ t_5 ”, conforme Figura 4.8, S_I é acionada sob zero de tensão.

- $t_6 \leq t < t_7$: Estágio de desmagnetização – segunda parte

Este estágio inicia-se no instante “ t_6 ”, quando a chave semicondutora S_I passa a assumir gradualmente a corrente de carga, uma vez que a corrente por L_{x1} torna-se inferior à respectiva corrente de carga. A configuração do circuito durante esse estágio é representada na Figura 4.7 (f) e as formas de onda teóricas na Figura 4.8 para $t_6 \leq t < t_7$.

A duração total do estágio de desmagnetização do CAC simplificado (incluindo a primeira e a segunda parte), definida como $T_{des_s} = t_7 - t_4$, é aproximadamente igual à T_{mag_s} . Logo, com respeito à (4.12), T_{des_s} pode ser calculado através de (4.15) [45]. Deve-se observar que o período de desmagnetização é dependente da corrente de carga do pólo PWM analisado, $i_f(t)$.

$$T_{des_s}(t) = \frac{2L_x}{V_{cc}} i_f(t) \quad (4.15)$$

A desmagnetização de L_{x1} ocorre de forma linear, conforme representado na Figura 4.8 para $t_4 \leq t < t_7$.

- $t \geq t_7$: Posteriormente ao acionamento do CAC

No instante “ t_7 ”, conforme a Figura 4.8, a chave semicondutora S_I assume integralmente a corrente de carga, uma vez que a corrente $i_{Lx1}(t)$ reduz-se a zero. Assim, S_{x1} , cuja corrente é igual à $i_{Lx1}(t)$, pode ser bloqueada sob ZCS. Dessa forma, o CAC é desabilitado. A configuração do circuito durante esse estágio é representada na Figura 4.7 (g) e as formas de onda teóricas na Figura 4.8 para $t \geq t_7$.

Os diodos de grampeamento D_{x11} e D_{x12} entram em condução apenas se $i_{Lx1}(t)$ não for nula no momento do bloqueio de S_{x1} . Isso pode ocorrer caso T_{des_s} não seja exatamente igual ao tempo real necessário à desmagnetização de L_{x1} .

O valor médio de $i_{Lx1}(t)$ (designada genericamente por $i_{Lxj}(t)$ no equacionamento a seguir) em um período de chaveamento, T_s , pode ser calculado a partir de (4.16).

$$i_{Lxj(avg)} = \frac{1}{T_s} \int_0^{T_s} i_{Lxj}(t) dt \quad (4.16)$$

Com referência à Figura 4.8, observa-se que $i_{Lxj}(t)$ apresenta um comportamento aproximadamente simétrico com relação à “ t_3 ”. Dessa forma, pode-se simplificar (4.16), resultando na equação (4.17), onde “ t_3 ” situa-se exatamente na metade do período ressonante.

$$i_{Lxj(avg)} = \frac{2}{T_s} \int_{t_0}^{t_3} i_{Lxj}(t) dt \quad (4.17)$$

A solução de (4.17) pode ser aproximada pelo cálculo das áreas A_1 e A_2 definidas na Figura 4.8. Assim, a partir do conhecimento dos parâmetros do circuito, a corrente média pelo circuito auxiliar pode ser calculada por (4.18) para o k -ésimo período de chaveamento, sem a necessidade da simulação da forma de onda de corrente do CAC simplificado. É importante ressaltar-se que T/T_s deve ser um valor inteiro, onde T é o período de simulação.

$$i_{Lxj(avg)}(k) = \frac{(T_{mag_s}(kT_s) + T_{bst})(i_j(kT_s) + I_{bst})}{T_s} + \frac{T_{res}(i_{res_s(pk)} + 2i_j(kT_s) + 2I_{bst})}{2T_s}, \quad k = 1, 2, \dots, T/T_s \quad (4.18)$$

4.4 Metodologia de comparação

A metodologia de comparação entre as topologias ZVT integrada e simplificada apresentadas, respectivamente, na Figura 4.2 e na Figura 4.4 é baseada na análise teórica das perdas nos semicondutores dos circuitos principal e auxiliar, e na análise do conteúdo harmônico da tensão de linha entregue à carga pelo conversor. Com o objetivo de realizar uma comparação justa, a metodologia de projeto de ambos CACs bem como as estratégias de modulação dos conversores são baseadas nos mesmos critérios.

4.4.1 Complexidade do circuito de auxílio à comutação

A complexidade referente à implementação dos CACs comparados pode ser avaliada através da Tabela 4.1, onde são contabilizados os dispositivos empregados nas topologias ZVT integrada e simplificada da Figura 4.2 e da Figura 4.4. Uma vez que a topologia ZVT simplificada da Figura 4.4 é a versão simplificada do conversor ARCP representado na Figura 2.9, o número de dispositivos empregados no último também é apresentado na Tabela 4.1.

Conforme se observa na Tabela 4.1, a topologia ZVT integrada é a que garante as condições de comutação sob zero de tensão às chaves semicondutoras principais do conversor empregando o menor número de chaves semicondutoras auxiliares (apenas uma). Ainda, a topologia ZVT simplificada demanda um grande número de diodos auxiliares (dezoito no total), especialmente na implementação da chave semicondutora simplificada. Esse número pode ser minimizado se uma estrutura semelhante à disponibilizada em [71] (IGBT e ponte de diodos no mesmo encapsulamento) for empregada.

4.4.2 Projeto dos circuitos de auxílio à comutação

A seguir descreve-se uma metodologia de projeto baseada nas mesmas especificações para ambos os CACs analisados.

4.4.2.1 CAC integrado

Com o objetivo de limitar a taxa de variação da corrente (di/dt) no bloqueio dos diodos em antiparalelo com as chaves semicondutoras do circuito principal – critério normalmente adotado no projeto de CACs [68] –, os indutores auxiliares são projetados de acordo com (4.19), onde V_{cc} é o nível de tensão do barramento CC. O valor adequado de di/dt pode ser determinado com base nos dados disponíveis nas folhas de especificação dos semicondutores empregados.

Adicionalmente, procurando garantir-se a entrada em condução das chaves semicondutoras principais sob ZVS, o pólo PWM sob assistência não pode ter nenhuma de suas chaves ativada durante o período ressonante [64]. Se essa condição não for atendida, a ressonância será interrompida e a condição de tensão nula sobre a chave que se deseja assistir não será alcançada. Dessa forma, o intervalo de ressonância deve ser pelo menos igual ao tempo-morto

selecionado às chaves principais. Então, a partir de (4.1) e (4.6), e da especificação do tempo-morto mínimo (t_{d_on}), o valor mínimo do capacitor *snubber* que garante o atendimento da restrição citada pode ser calculado por (4.20). Deve-se observar que quanto maior for C_s , maior será o esforço de corrente pelo circuito auxiliar – já que menor será a impedância característica do tanque ressonante, conforme (4.2) – e menor será a taxa de variação da tensão (dv/dt) no bloqueio das chaves semicondutoras principais – comutação *snubber*.

$$L_x = \frac{2V_{cc}}{3di/dt} \quad (4.19)$$

$$C_{s(min)} = \frac{t_{d_on}^2}{2\pi^2 L_x} \quad (4.20)$$

Tabela 4.1 – Número de dispositivos no CAC.

Dispositivo	Topologia ZVT		
	Conversor ARCP (Figura 2.9)	Integrada (Figura 4.2)	Simplificada (Figura 4.4)
Chaves semicondutoras controladas	06	01	03
Diodos auxiliares	–	10	18*
Indutores auxiliares	03	03	03
Capacitores <i>snubber</i>	06	06	06

*Com a chave semicondutora [71], o número de diodos reduz-se a seis.

4.4.2.2 CAC simplificado

Os indutores auxiliares, calculados por (4.21), também são projetados com o objetivo de limitar a taxa de variação da corrente (di/dt) no bloqueio dos diodos em antiparalelo com as chaves semicondutoras do circuito principal. Da mesma forma, a partir de (4.1) e (4.6), e da especificação do tempo-morto, o valor mínimo dos capacitores *snubber* pode ser calculado por (4.20). Semelhantemente ao CAC integrado, quanto maior C_s for, maior será o esforço de corrente pelo circuito auxiliar e menor será a taxa de variação da tensão (dv/dt) no bloqueio das chaves semicondutoras principais.

$$L_x = \frac{V_{cc}}{2di/dt} \quad (4.21)$$

Além disso, o CAC simplificado permite a definição de um nível de corrente mínimo (I_{min}) abaixo do qual o CAC poderá ser acionado para assistir a comutação da corrente de carga de uma chave principal para o diodo antiparalelo da chave complementar (comutação *snubber*). Essa assistência tem por finalidade acelerar o processo de carga/descarga dos capacitores *snubber* do pólo PWM previamente ao acionamento das chaves semicondutoras principais, eliminando ou reduzindo as perdas capacitivas de acionamento (*turn-on capacitive losses*) a níveis aceitáveis. Dessa forma, I_{min} pode ser calculada por (4.22), onde t_{d_off} é o tempo-morto selecionado para a comutação da corrente de carga de uma chave semicondutora para um diodo em antiparalelo, com $t_{d_off} \geq t_{d_on}$, e V_{th} é o nível de tensão definido pelo projetista, sendo $0 \leq V_{th} \leq V_{cc}$. Caso $V_{th} = V_{cc}$, a comutação *snubber* nunca é assistida e caso $V_{th} = 0$, a comutação *snubber* é sempre assistida. Salienta-se que quanto maior o valor de t_{d_off} selecionado, maior a perda de razão cíclica do conversor.

$$I_{min} = \frac{2C_s (V_{cc} - V_{th})}{t_{d_off}} \quad (4.22)$$

Conforme já comentado, o CAC simplificado em questão necessita de uma corrente de *boosting* previamente ao período ressonante para compensar as perdas observadas no circuito auxiliar durante o período ressonante, garantindo a observância das condições de comutação sob ZVS. O valor de I_{bst} pode ser definido experimentalmente, porém o mesmo é determinado analiticamente no Apêndice A a partir da estimativa das perdas observadas no CAC durante o estágio ressonante.

4.4.3 Modulação *Space Vector*

Como a técnica de modulação SVM tem sido amplamente empregada em aplicações envolvendo inversores e retificadores trifásicos, e devido a sua relativa simplicidade de implementação em processadores digitais [72], esta técnica é empregada em ambas as topologias analisadas.

Em função da simetria do sistema e com a intenção de facilitar a análise subsequente, assume-se que o vetor tensão de referência (\mathbf{V}_{ref}) encontra-se nos setores I ou II do hexágono da modulação SVM (espaço das tensões/correntes de saída em coordenadas $\alpha\beta$), representado na Figura 4.9, e o vetor corrente de carga (\mathbf{I}_{carga}) encontra-se no setor I. Nessas condições, fica

caracterizada uma defasagem máxima de 30° entre \mathbf{V}_{ref} e \mathbf{I}_{load} . Assumindo como positivas as direções definidas na Figura 4.2 e na Figura 4.4, através da relação entre o espaço em coordenadas $\alpha\beta$ e o espaço em coordenadas abc , pode-se demonstrar que $i_a(t) > 0$, $i_b(t) < 0$ e $i_c(t) < 0$. Adicionalmente, $i_a(t)$ é a corrente de maior valor absoluto no setor I.

Observa-se que os índices dos SSVs da Figura 4.9 representam o estado dos pólos PWM do conversor, isto é, “ npp ” corresponde ao pólo “ a ” conectado ao barramento negativo “ n ”, e os pólos “ b ” e “ c ” conectados ao barramento positivo “ p ”, conforme Figura 4.5 (a).

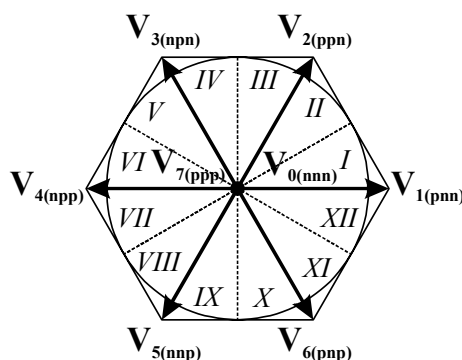


Figura 4.9 – Hexágono do espaço de saída da modulação *Space Vector*.

4.4.3.1 Topologia ZVT integrada

Pela observação dos vetores adjacentes aos setores I e II da Figura 4.9, nota-se a possibilidade de não se comutar o pólo “ a ”, que é o de maior corrente dentre os demais. Para tanto, conforme demonstrado no Apêndice B, basta selecionar-se uma seqüência SSVs contendo, além de $\mathbf{V}_{1(pnn)}$ e $\mathbf{V}_{2(ppn)}$, $\mathbf{V}_{7(ppp)}$ como vetor nulo. Adicionalmente, a polaridade das correntes dos pólos “ b ” e “ c ” indica que o CAC integrado deve assistir a comutação dos diodos D_3 e D_5 para as chaves semicondutoras S_4 e S_6 , supondo que o pólo “ a ” não apresente comutações no período de chaveamento. Essas comutações podem ser representadas pela transição do vetor $\mathbf{V}_{7(ppp)}$ para o vetor $\mathbf{V}_{1(pnn)}$ – observa-se que ambos os pólos “ b ” e “ c ” comutaram de “ p ” para “ n ”, ou seja, de D_3 e D_5 para S_4 e S_6 . Infelizmente, o CAC integrado não é capaz de assistir a essa comutação, uma vez que $\mathbf{V}_{7(ppp)}$ não proporciona condições à aplicação de uma tensão sobre os indutores auxiliares, inviabilizando a magnetização dos mesmos. Nesse sentido, um vetor “extra” deve ser inserido no início da seqüência de chaveamento, no caso $\mathbf{V}_{4(npp)}$, conforme representado na Figura 4.10, para que as condições de magnetização dos indutores auxiliares sejam observadas. $\mathbf{V}_{4(npp)}$ é selecionado exatamente por ser complementar à

$\mathbf{V}_{1(\text{pnn})}$ (pertencente à seqüência normal de chaveamento) já que a intervenção do CAC integrado da Figura 4.2 leva obrigatoriamente a um SSV complementar.

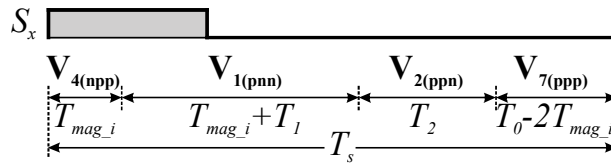


Figura 4.10 – Seqüência de chaveamento da topologia integrada.

Assim, o CAC integrado deve assistir a comutação dos diodos D_2 , D_3 e D_5 ($\mathbf{V}_{4(\text{npp})}$) para as chaves S_1 , S_4 e S_6 ($\mathbf{V}_{1(\text{pnn})}$), respectivamente. Buscando a ativação do CAC apenas uma vez no período de chaveamento, os acionamentos de S_1 , S_4 e S_6 devem ser sincronizados, o que ocorre naturalmente com a transição de $\mathbf{V}_{4(\text{npp})}$ para $\mathbf{V}_{1(\text{pnn})}$. Pode-se notar pela Figura 4.9 que o vetor $\mathbf{V}_{4(\text{npp})}$ não é adjacente à \mathbf{V}_{ref} (não pertencente ao conjunto dos vetores mais próximos). De acordo com [72], é desejável que apenas os SSVs adjacentes (mais próximos) à \mathbf{V}_{ref} sejam empregados na seqüência de chaveamento selecionada, uma vez que esse cuidado resulta em menores ondulações nas variáveis de interesse (tensões e correntes de carga). Estendendo-se esta análise aos demais setores, observa-se que ao menos um SSV extra é necessário em cada caso para a topologia ZVT integrada da Figura 4.2. Essa característica, presente na maioria das topologias ZVT integradas, implica em uma desvantagem das mesmas quando comparadas aos conversores convencionais.

Dessa forma, a estratégia de modulação proposta em [54] para esta topologia pode ser visualizada na Figura 4.10, onde T_{mag_i} , T_1 , T_2 e T_0 são os tempos de aplicação de cada SSV durante o período de chaveamento. A determinação de T_{mag_i} foi apresentada na Seção 4.3.1. Deve-se observar que a chave auxiliar S_x , representada na Figura 4.2, deve ser acionada simultaneamente com a aplicação de $\mathbf{V}_{4(\text{npp})}$ e deve ser bloqueada previamente à transição de $\mathbf{V}_{1(\text{pnn})}$ para $\mathbf{V}_{2(\text{ppn})}$. Como proposto em [54], o tempo de aplicação de $\mathbf{V}_{1(\text{pnn})}$ (complementar ao SSV extra $\mathbf{V}_{4(\text{npp})}$) é estendido em T_{mag_i} para que os efeitos – na freqüência da fundamental – da aplicação de $\mathbf{V}_{4(\text{npp})}$ na síntese de \mathbf{V}_{ref} sejam cancelados. Assim, a aplicação do vetor nulo, $\mathbf{V}_{7(\text{ppp})}$, deve ser reduzida em $2T_{\text{mag}_i}$. Por outro lado, este procedimento não é capaz de minimizar as ondulações nas variáveis de interesse (em alta freqüência).

4.4.3.2 Topologia ZVT simplificada

Como o CAC simplificado opera individualmente em cada pólo PWM do conversor, a topologia ZVT simplificada apresenta graus de liberdade adicionais na escolha da seqüência dos SSVs. Dessa forma, selecionou-se uma seqüência que emprega apenas os SSVs adjacentes à V_{ref} , simétrica (para reduzir o conteúdo harmônico da tensão de saída [15]) e que não comuta o pólo PWM de maior corrente, como pode ser visto na Figura 4.11. Pode-se observar através desta figura que a seqüência de chaveamento selecionada não apresenta comutações no pólo “a” e apenas uma chave semicondutora altera seu estado (conduzindo/bloqueada) de um SSV para o seguinte, como indicado pelos índices dos vetores. Adicionalmente, os SSVs são distribuídos simetricamente no período de chaveamento para que o conteúdo harmônico da tensão sintetizada seja reduzido. Detalhes sobre a escolha da seqüência de SSVs que não comuta o pólo PWM de maior corrente do conversor (modulação SVM de mínimas perdas) são apresentados no Apêndice B para todas as localizações possíveis de V_{ref} e I_{load} .

Ainda, conforme indicado na Figura 4.11, as chaves auxiliares S_{x2} e S_{x3} , representadas na Figura 4.4, são acionadas apenas durante o processo de comutação de D_3 para S_4 ($V_{2(ppn)}$ para $V_{1(pnn)}$) e de D_5 para S_6 ($V_{7(ppp)}$ para $V_{2(ppn)}$), respectivamente. Evidencia-se que o pólo “a” não apresenta comutações, uma vez que este pólo PWM é o que apresenta a maior corrente (em valor absoluto) com relação aos demais. Assim, a chave auxiliar correspondente ao CAC simplificado do pólo “a” (S_{x1}) não é acionada durante o período de chaveamento.

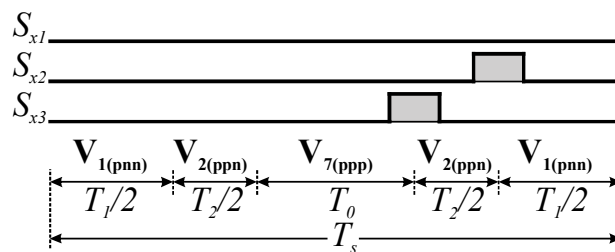


Figura 4.11 – Seqüência de chaveamento da topologia simplificada.

Deve-se enfatizar que o CAC simplificado pode também assistir a comutação de uma chave semicondutora para diodo em antiparalelo da chave complementar quando o pólo PWM em questão fornece uma corrente de carga inferior a I_{min} . A assistência em questão ocorreria nas transições de $V_{1(pnn)}$ para $V_{2(ppn)}$ (S_4 para D_3 , pólo “b”) e/ou de $V_{2(ppn)}$ para $V_{7(ppp)}$ (S_6 para D_5 , pólo “c”).

4.4.4 Análise de perdas

A análise das perdas é desenvolvida com base nos parâmetros fornecidos pelos fabricantes dos semicondutores empregados em suas folhas de dados, como em [73], e também através de análises experimentais prévias na ausência dos dados necessários, como em [22]. Dessa forma, a análise é especialmente dependente dos semicondutores selecionados. Os dispositivos semicondutores selecionados para ambas as topologias comparadas são descritos na Tabela 4.2. São empregados três módulos SKM50GB123D no circuito principal, um para cada pólo PWM do conversor.

Tabela 4.2 – Dispositivos semicondutores empregados na análise.

Circuito	Dispositivo	Descrição
Principal	SKM50GB123D	Módulo IGBT <i>Dual-pack</i> (Semikron [®])
CAC Integrado	IRG4PC40UD	IGBT discreto (International Rectifier [®])
	MUR1560	Diodo discreto (ON Semiconductors [®])
CAC Simplificado	IRG4BC20UD	IGBT discreto (International Rectifier [®])
	8ETH06	Diodo discreto (International Rectifier [®])

Na análise desenvolvida a seguir, empregam-se modelos simplificados na estimativa das perdas nos semicondutores, uma vez que não são considerados elementos parasitas nem a variação destes frente à elevação de temperatura do semicondutor o que, certamente, demandaria grandes esforços computacionais. Assim, os modelos restringem-se à aproximação das curvas de perdas através de equações na forma de potência. Independentemente disso, os modelos utilizados caracterizam com bastante precisão o comportamento dos semicondutores empregados, uma vez que derivam de análises experimentais. No caso dos modelos inserirem erros na estimativa das perdas, a análise comparativa continua sendo válida, já que os mesmos erros são inseridos em ambas as topologias analisadas.

Nesse sentido, as perdas nos semicondutores no circuito principal são estimadas por (4.23)-(4.25), cujos coeficientes são apresentados na Tabela 4.3. Para a estimativa das perdas nos CACs deve-se analisar o comportamento da corrente durante seus intervalos de operação. Assume-se que os CACs das topologias selecionadas apresentam basicamente perdas de condução, uma vez que os dispositivos semicondutores auxiliares entram em condução e bloqueiam sob condições de corrente

nula, já que as chaves semicondutoras auxiliares bloqueiam apenas após a completa desmagnetização dos indutores auxiliares. Dessa forma, as perdas de condução nos CACs integrado e simplificado podem ser calculadas com base na corrente média – determinada em (4.11) para o CAC integrado e em (4.18) para o CAC simplificado – e na queda de tensão observada nos dispositivos semicondutores, uma vez que IGBTs são empregados em ambos CACs [74].

Assim, as perdas de condução em ambos os CACs integrado e simplificado são estimadas por (4.26)-(4.27), cujos coeficientes também são apresentados na Tabela 4.3. Os coeficientes de (4.23)-(4.24) e (4.26)-(4.27) foram obtidos por interpolação através da ferramenta *cftool* (*curve fitting tool*), disponível no *software* Matlab[®], a partir dos dados fornecidos pelos fabricantes dos semicondutores empregados [75-78]. Devido ao uso de diferentes capacitores *snubber* em paralelo com as chaves principais, os dados relativos à energia dissipada no bloqueio dos IGBTs do módulo empregado não são válidos, já que são relativos à operação dissipativa do semicondutor. Dessa forma, os coeficientes de (4.25) foram obtidos através da medida das perdas de bloqueio do módulo utilizado, através de um osciloscópio LeCroy[®] 6030A, seguindo o procedimento proposto por [79], conforme descrito no Apêndice C.

$$v_{ce}(i_s) = d i_s^e \quad (4.23)$$

$$v_f(i_s) = d i_s^e + f \quad (4.24)$$

$$E_{off}(i_s) = d i_s^e + f \quad (4.25)$$

$$v_{ce_ACC}(i_s) = d i_s^e + f \quad (4.26)$$

$$v_{f_ACC}(i_s) = d i_s^e + f \quad (4.27)$$

Onde

v_{ce} – Queda de tensão direta nos IGBTs do circuito principal (V).

v_f – Queda de tensão direta nos diodos em antiparalelo do circuito principal (V).

E_{off} – Energia perdida no bloqueio dos IGBTs do circuito principal em uma comutação (mJ).

v_{ce_ACC} – Queda de tensão direta nos IGBTs do circuito de auxílio à comutação (V).

v_{f_ACC} – Queda de tensão direta nos diodos do circuito de auxílio à comutação (V).

i_s – Corrente através do semicondutor considerado (A).

Adicionalmente, se um capacitor *snubber* em paralelo com uma chave principal não é completamente descarregado previamente ao acionamento da respectiva chave semicondutora, a energia remanescente no capacitor é dissipada sobre a chave. Essa perda, chamada perda capacitiva de acionamento (E_{on}), pode ser estimada através de (4.28), onde $v_{Cs}(t)$ representa a tensão instantânea sobre o capacitor no momento do acionamento da chave semicondutora.

$$E_{on}(v_{Cs}) = C_s v_{Cs}(t)^2 \quad (4.28)$$

Tabela 4.3 – Coeficientes dos modelos matemáticos de perdas.

Parâmetro	Coeficientes			Circuito	Observação
	<i>d</i>	<i>e</i>	<i>f</i>		
$v_{ce}(i_s)$	0,639	0,451	–	Principal	–
$v_f(i_s)$	0,274	0,415	0,634		–
$E_{off}(i_s)$	0,250	0,363	-0,156		$C_s = 2,2 \text{ nF}$ $R_g = 9,2 \Omega$
	0,833	0,110	-0,663		$C_s = 3,6 \text{ nF}$ $R_g = 9,2 \Omega$
$v_{ce_ACC}(i_s)$	0,120	0,716	0,726	Integrado	–
	0,182	0,832	0,880	Simplificado	–
$v_f_ACC(i_s)$	0,313	0,284	0,094	Integrado	–
	0,370	0,475	0,315	Simplificado	–

As perdas nos semicondutores do circuito principal (condução e chaveamento) observadas no intervalo de simulação, T , podem ser estimadas por (4.29)-(4.31).

$$P_{cnd} = \frac{1}{T} \int_0^T [v_{ce}(i_s)r(t) + v_f(i_s)(1-r(t))] |i_s(t)| dt \quad (4.29)$$

$$P_{on} = \frac{1}{T} \sum_{k=1}^{T/T_s} E_{on}(v_{cs}(kT_s)) \quad (4.30)$$

$$P_{off} = \frac{1}{T} \sum_{k=1}^{T/T_s} E_{off}(i_s(kT_s)) \quad (4.31)$$

Onde

P_{cnd} – Perda média de condução de um pólo PWM no intervalo de simulação (W).

$r = "1"$ se uma chave semicondutora principal conduz a corrente de carga ou " 0 " se a condução é realizada por um diodo em antiparalelo.

P_{on} – Perda média de entrada em condução de um pólo PWM no intervalo de simulação (W).

P_{off} – Perda média de bloqueio de um pólo PWM no intervalo de simulação (W).

Além disso, as perdas de condução em ambos os CACs integrado e simplificado podem ser estimadas por (4.32) e (4.33), respectivamente. A equação (4.32) vem da observação direta de que durante o processo de operação do CAC integrado há uma chave semicondutora controlada em condução (S_x) e três diodos da ponte retificadora trifásica, dos quais um conduz integralmente $i_{x(avg)}$ e os outros dois conduzem $i_{x(avg)}/2$. Logicamente, a equação (4.32) é uma aproximação da perda existente no CAC integrado.

Adicionalmente, a equação (4.33) é derivada a partir da observação da existência de uma chave semicondutora controlada (S_{x1} , S_{x2} ou S_{x3}) e dois diodos em condução em cada CAC simplificado. As perdas totais de cada CAC simplificado no período de simulação são obtidas a partir de um somatório das perdas médias em cada período de chaveamento, uma vez que estas são dependentes do nível da corrente de carga em cada instante.

$$P_{cnd_i} = \left[v_{ce_ACC} \left(i_{x(avg)} \right) + 2v_{f_ACC} \left(i_{x(avg)} \right) \right] i_{x(avg)} \quad (4.32)$$

$$P_{cnd_s} = \frac{1}{T/T_s} \sum_{j=1}^3 \sum_{k=1}^{T/T_s} \left\{ \left[v_{ce_ACC} \left(i_{Lxj(avg)}(k) \right) + 2v_{f_ACC} \left(i_{Lxj(avg)}(k) \right) \right] i_{Lxj(avg)}(k) \right\} \quad (4.33)$$

Por fim, as perdas totais observadas nas topologias ZVT integrada e simplificada são estimadas através de (4.34). O fator " 3 " na equação (4.34) deve-se ao fato de P_{cnd} , P_{on} e P_{off} representarem as perdas observadas em apenas um pólo PWM do conversor.

$$P_{tot} = 3 \left(P_{cnd} + P_{on} + P_{off} \right) + P_{cnd_ACC} \quad (4.34)$$

Onde

P_{cnd_ACC} – " P_{cnd_i} " para o CAC integrado, (4.32), ou " P_{cnd_s} " para o CAC simplificado, (4.33) (W).

4.4.5 Análise do conteúdo harmônico

Os índices de desempenho definidos em [80] e descritos a seguir são empregados na comparação do conteúdo harmônico presente na tensão entregue à carga pelas topologias ZVT integrada e simplificada. Salienta-se que esses índices são quase que exclusivamente dependentes da estratégia de modulação empregada.

A distorção harmônica total (*Total Harmonic Distortion – THD*), apresentada em (4.35), é definida como a relação entre a soma das amplitudes de todas as harmônicas de tensão de frequências superiores à fundamental e a amplitude da harmônica fundamental. Por sua vez, o índice de distorção de primeira ordem (*First Order Distortion Factor – DF1*), definido em (4.36), representa a atenuação provocada por um filtro passa-baixas de primeira ordem – normalmente a indutância de dispersão em aplicações com motores de indução. Ainda, o índice de distorção de segunda ordem (*Second Order Distortion Factor – DF2*), calculado por (4.37), representa a atenuação proporcionada por um filtro passa-baixas de segunda ordem – usualmente um filtro *LC* instalado entre a saída do conversor e a carga em aplicações com fontes ininterruptas de energia, por exemplo.

$$THD_{\%} = \frac{100}{V_1} \sqrt{\sum_{h=2}^{\infty} V_h^2} \quad (4.35)$$

$$DF1_{\%} = \frac{100}{V_1} \sqrt{\sum_{h=2}^{\infty} \frac{V_h^2}{h^2}} \quad (4.36)$$

$$DF2_{\%} = \frac{100}{V_1} \sqrt{\sum_{h=2}^{\infty} \frac{V_h^2}{h^4}} \quad (4.37)$$

Onde

V_1 – Amplitude da harmônica fundamental de tensão (V).

V_h – Amplitude da h -ésima harmônica de tensão (V).

4.5 Resultados comparativos

Com o objetivo de comparar as topologias ZVT integrada e simplificada da Figura 4.2 e da Figura 4.4 com respeito aos índices de desempenho definidos previamente, uma simulação numérica dos conversores – conforme o fluxograma apresentado na Figura 4.12 – é

realizada no *software* Matlab[®]. Já os parâmetros de projeto dos conversores são apresentados na Tabela 4.4.

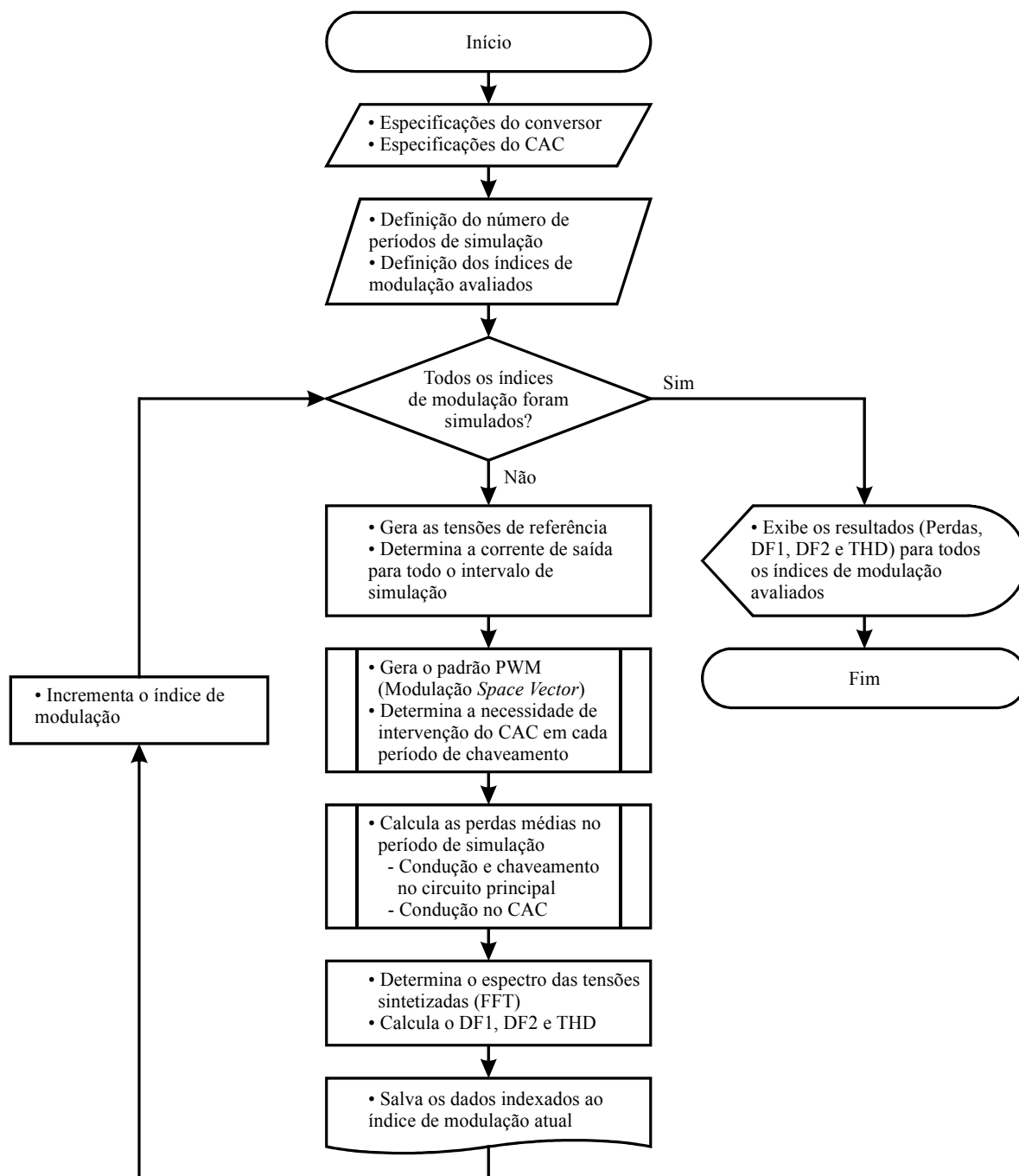


Figura 4.12 – Fluxograma do processo de simulação dos conversores e cálculo dos índices de desempenho.

Com respeito à Figura 4.12, a estimativa das perdas é realizada com base na estratégia de modulação selecionada para cada topologia e nos semicondutores ativos em cada instante. Assume-se uma corrente de carga senoidal com um fator de potência unitário. Já os parâmetros que mensuram a qualidade da energia entregue à carga

(conteúdo harmônico da tensão sintetizada pelo inversor), definidos em (4.35)-(4.37), são solucionados a partir do espectro da tensão de linha sintetizada ao final do período de simulação, obtido a partir de uma transformação rápida de Fourier (*Fast Fourier Transform* – FFT). Além disso, os resultados são obtidos para uma ampla faixa de cargas, representada pela variação do índice de modulação (de um valor mínimo ao valor nominal, definido na Tabela 4.4). Nesse sentido, deve-se observar que tanto a tensão sintetizada pelo inversor bem como a corrente de carga variam proporcionalmente ao índice de modulação (m).

Tabela 4.4 – Parâmetros de simulação para as topologias ZVT selecionadas.

Parâmetro	Símbolo	Topologia ZVT	
		Integrada	Simplificada
Tensão nominal de linha	V_{ab}	220 V _{rms}	
Frequência da tensão de linha	f_l	60 Hz	
Índice de modulação nominal de linha	m	0,89	
Potência de saída	P_{out}	1,5 kW	
Tensão do barramento CC	V_{cc}	350 V	
Frequência de chaveamento	f_s	20,04 kHz	
Taxa de variação de corrente	di/dt	40 A/ μ s	
Indutores auxiliares	L_x	5,65 μ H	4,40 μ H
Capacitores <i>snubber</i>	C_s	2,2 nF	3,6 nF
Tempo-morto na comutação ZVS	t_{d_on}	490 ns	500 ns
Tempo-morto na comutação <i>snubber</i>	t_{d_off}	1,40 μ s	1,40 μ s
Corrente de <i>boosting</i>	I_{bst}	–	2,30 A
Corrente mínima	I_{min}	–	1,50 A
Nível de tensão permitido	V_{th}	–	175 V

A seguir analisam-se individualmente os resultados obtidos para as perdas nos circuitos principal e de auxílio à comutação dos conversores, bem como os índices de desempenho relativos ao conteúdo harmônico.

4.5.1 Perdas nos circuitos principal e de auxílio à comutação

Na Figura 4.13 os resultados obtidos para as perdas em ambas as topologias são apresentados, podendo ser comparados individualmente. Como se observa na Figura 4.13 (a), as

perdas de entrada em condução na topologia ZVT integrada são minimizadas, porém não são completamente eliminadas. Isso ocorre em função da existência de uma tensão remanescente sobre os capacitores *snubber* ao final de t_{d_off} , especialmente em baixas correntes de carga (mais freqüente em baixos índices de modulação), quando o nível de corrente em cada pólo PWM do conversor não é suficiente para proporcionar a carga/descarga total dos capacitores em uma comutação *snubber* previamente ao acionamento da chave semicondutora. Além disso, as perdas de bloqueio das chaves semicondutoras principais são substancialmente elevadas, conforme se observa na Figura 4.13 (a). Isso se deve à comutação adicional causada pelos SSVs extras. Infelizmente, estes SSVs causam uma comutação no pólo PWM de maior corrente dentre os demais, como exemplificado na Figura 4.10 para as condições estabelecidas na Seção 4.4.3.1. Como as comutações de bloqueio das chaves semicondutoras principais ocorrem assistidas por capacitores *snubber* (comutação pseudo-suave), a elevação do índice de modulação do conversor – que eleva os níveis de corrente processados – proporciona um aumento das perdas de bloqueio, fenômeno observado na Figura 4.13 (a). Ainda, as perdas de condução observadas na Figura 4.13 (a) são praticamente proporcionais ao índice de modulação (ou à corrente de carga).

Já na Figura 4.13 (b), apresentam-se as perdas simuladas para a topologia ZVT simplificada. Como se observa, as perdas de entrada em condução são praticamente eliminadas em função da possibilidade de assistência do CAC nas comutações *snubber* para baixas correntes de carga (correntes inferiores à I_{min}). O comportamento praticamente constante observado na Figura 4.13 (b) para as perdas de bloqueio deve-se a dois fatores: (i) apesar da esperada redução das perdas de bloqueio com a redução do índice de modulação (redução da corrente de carga), a assistência às comutações *snubber* para correntes inferiores à I_{min} torna-se mais freqüente para baixos valores de m , contrabalanceando a redução natural das perdas de bloqueio; e (ii) a estratégia de modulação SVM de mínimas perdas reduz as perdas de bloqueio por não comutar o pólo PWM de maior corrente dentre os demais, tendo forte impacto em altos índices de modulação (correntes de carga elevadas). De forma geral, deve-se destacar que a assistência às comutações *snubber* aliada à corrente de *boosting* (valor constante), contribui para que as perdas de bloqueio da topologia ZVT simplificada sejam elevadas, conforme se observa na Figura 4.13 (b). Da mesma forma que na topologia ZVT integrada, as perdas de condução na topologia ZVT simplificada são aproximadamente proporcionais ao índice de modulação.

Na Figura 4.13 (c) realiza-se um comparativo entre as perdas totais observadas em ambas as topologias, tornando evidente o impacto negativo que a aplicação dos SSVs extras têm no desempenho da topologia ZVT integrada em termos de eficiência, uma vez que as perdas observadas na mesma são superiores às da topologia ZVT simplificada principalmente

em função da comutação de bloqueio adicional provocada pelos SSVs extras. Conforme já comentado, essa comutação adicional ocorre exatamente no pólo PWM de maior corrente.

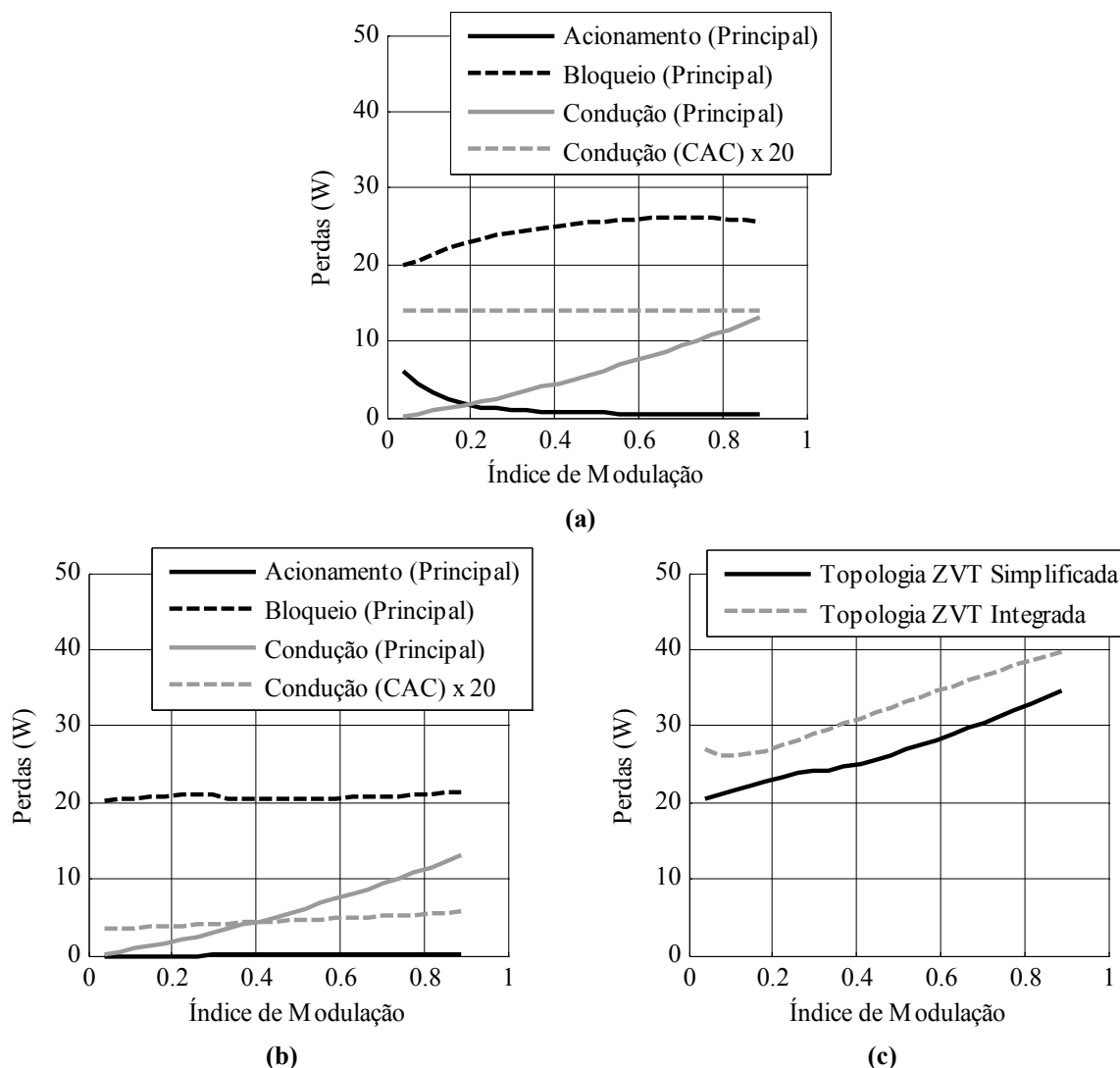


Figura 4.13 – Perdas nos circuitos principal e de auxílio à comutação. (a) Topologia ZVT integrada. (b) Topologia ZVT simplificada. (c) Perdas totais.

Por fim, as perdas de condução em ambos os CACs integrado e simplificado podem ser observadas na Figura 4.13 (a) e na Figura 4.13 (b), respectivamente. Conforme apresentado, as perdas de condução em ambos CACs são desprezíveis se comparadas às perdas nos respectivos circuitos principais. Isso ocorre em função da pequena quantidade de energia processada pelos CACs, uma vez que se situam em paralelo com o caminho de potência do conversor e são ativados apenas por um curto período de tempo. Como pode ser visto na Figura 4.13 (a), as perdas no CAC integrado são constantes com respeito ao índice de modulação, já que o tempo de operação (equações (4.4) e (4.8)) e, conseqüentemente, os níveis de corrente do CAC integrado são constantes. Diferentemente, as perdas de condução

observadas no CAC simplificado variam com o índice de modulação, conforme se observa na Figura 4.13 (b). Isso ocorre em função dos tempos de operação do CAC simplificado (equações (4.12) e (4.15)) serem recalculados em função da corrente de carga, fazendo com que a corrente média pelo mesmo e, conseqüentemente, as perdas de condução, variem com o índice de modulação. Ainda, as perdas de condução observadas no CAC integrado, Figura 4.13 (a), são superiores às observadas no CAC simplificado, Figura 4.13 (c), por dois motivos: (i) as condições de operação do CAC integrado exigem que este processe níveis de corrente muito superiores à soma das correntes dos três CACs simplificados; e (ii) o CAC integrado é acionado em todo o período da corrente de carga, enquanto que, seletivamente, o CAC simplificado conectado ao pólo PWM de maior corrente dentre os demais não é acionado, já que este pólo PWM não apresenta comutações.

4.5.2 Conteúdo harmônico

O conteúdo harmônico da tensão de linha sintetizada pelas topologias ZVT integrada e simplificada é comparado através do conjunto de gráficos apresentados na Figura 4.14. Pode-se observar na Figura 4.14 (a), com respeito ao índice DF1, que a tensão de linha sintetizada pela topologia ZVT simplificada apresenta uma menor distorção harmônica se comparada à integrada. Essa característica sugere que em aplicações onde a carga proporciona uma atenuação de primeira ordem, a topologia ZVT simplificada possibilita um menor conteúdo harmônico nas variáveis de interesse.

Além disso, o desempenho de ambas as topologias com relação ao índice DF2 é comparado na Figura 4.14 (b). Novamente, a estratégia de modulação empregada na topologia ZVT simplificada resulta em um menor conteúdo harmônico em aplicações que empregam um filtro de saída de segunda ordem. Essa característica implica que a topologia ZVT simplificada apresenta um menor impacto no volume final do filtro de saída.

Por fim, a THD observada em ambas as topologias é comparada na Figura 4.14 (c). O resultado obtido indica que a topologia ZVT integrada apresenta um conteúdo harmônico na tensão de linha sintetizada pelo inversor levemente superior à topologia simplificada, em especial para baixos índices de modulação, quando o peso da aplicação dos SSVs extras frente aos vetores adjacentes da seqüência de chaveamento torna-se mais significativo.

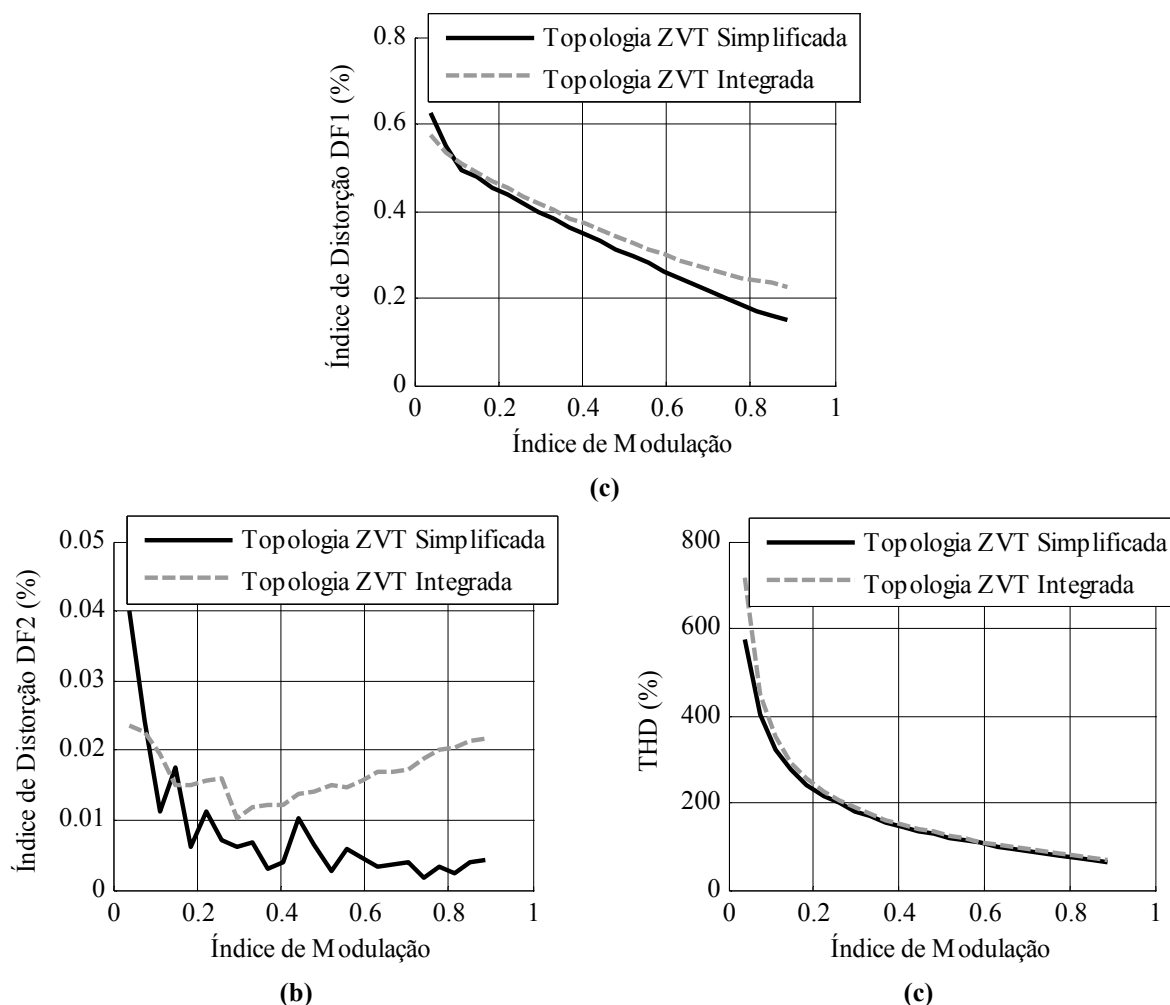


Figura 4.14 – Qualidade da tensão sintetizada pelos conversores. (a) Fator de distorção de primeira ordem. (b) Fator de distorção de segunda ordem. (c) Distorção harmônica total.

4.6 Conclusão

Neste capítulo foi apresentada uma comparação entre os conceitos de integração e simplificação de topologias ZVT. Identificaram-se as principais vantagens e limitações de cada abordagem, como capacidade de compactação do CAC, restrições impostas à modulação PWM, conteúdo harmônico, e perdas nos circuitos principal e de auxílio à comutação. Além disso, com o objetivo de realizar uma comparação justa entre as topologias selecionadas, definiu-se a mesma metodologia de projeto para ambos os CACs, bem como uma estratégia de modulação equivalente para ambos os conversores.

A análise comparativa desenvolvida entre as topologias ZVT selecionadas comprovou que a técnica empregada na síntese do CAC (integração ou simplificação) tem impacto no desempenho global do conversor e não apenas na eficiência, parâmetro normalmente avaliado.

CAPÍTULO 5 RESULTADOS EXPERIMENTAIS

5.1 Introdução

Com o objetivo de validar a metodologia de síntese de CACs do tipo ZVT simplificados proposta bem como a análise comparativa desenvolvida, neste capítulo são apresentados os resultados experimentais obtidos a partir das topologias ZVT selecionadas no Capítulo 4. Assim, inicialmente é realizado um detalhamento do *hardware* implementado (circuitos principal e de auxílio à comutação). Considerações acerca do controle dos conversores sob análise são apresentadas no Apêndice D. Por fim, resultados experimentais buscando comprovar a operação dos CACs implementados, bem como o desempenho das estruturas frente aos parâmetros considerados no Capítulo 4 são apresentados. As medições de rendimento e de THD foram realizadas empregando-se o medidor digital de potência Yokogawa[®] WT1600.

5.2 *Hardware* implementado

5.2.1 Descrição do circuito principal

Por facilidade de implementação, empregou-se como circuito principal das topologias sob análise a unidade inversora SKS25FB6U+(B2CI)2P10V12 (Semikron[®]) [81], representada na Figura 5.1, a qual é composta pelos módulos de IGBTs *dual-pack* SKM50GB123D (Semikron[®]) especificados previamente na Tabela 4.2. Dessa forma, o mesmo circuito de potência é empregado em ambos os conversores e apenas o CAC é alterado em cada caso. Como circuito de acionamento (*gate-driver*) são empregados os módulos SKHI22A/B (Semikron[®]) [82] que apresentam como principais características a disponibilidade de saídas isoladas para ambas as chaves semicondutoras de um mesmo pólo PWM (fontes isoladas internas), possibilidade de seleção do tempo-morto (desabilitado na aplicação em questão, já que devido à proposta de emprego de tempos-mortos distintos nas comutações ZVS e *snubber*, o tempo-morto é implementado via *software*), intertravamento das chaves de um mesmo pólo PWM e proteção de curto-circuito (pelo monitoramento da tensão de saturação).

O diagrama completo do circuito principal do conversor pode ser visto na Figura 5.2. Conforme se observa, emprega-se um filtro de saída de segunda ordem para a minimização da distorção das tensões sobre a carga e da ondulação na corrente de saída, cuja especificação é definida na Tabela 4.2, sendo o projeto apresentado no Apêndice E.

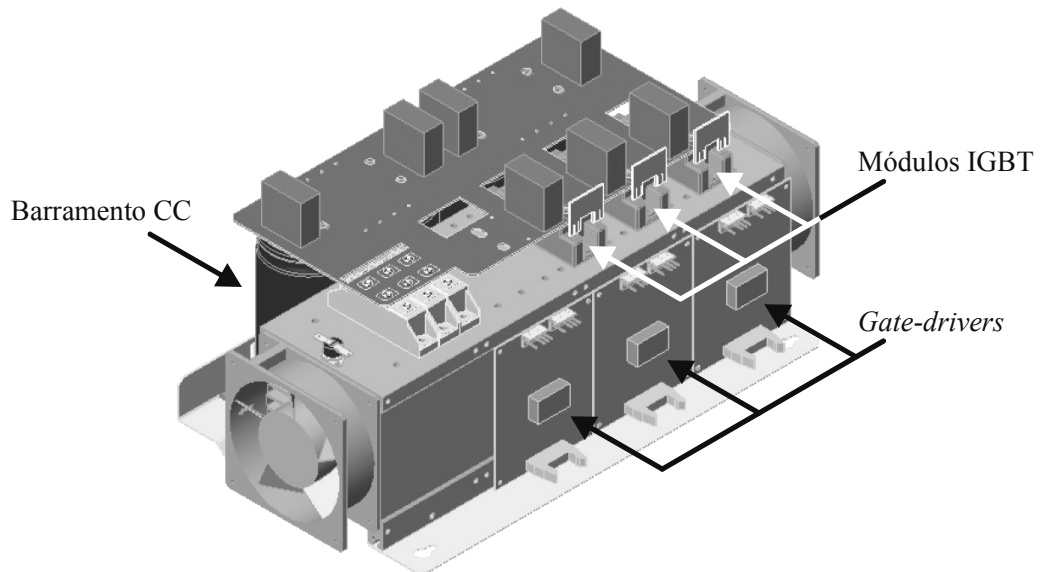


Figura 5.1 – Representação da unidade inversora SKS25FB6U+(B2CI)2P10V12 empregada como circuito principal [81].

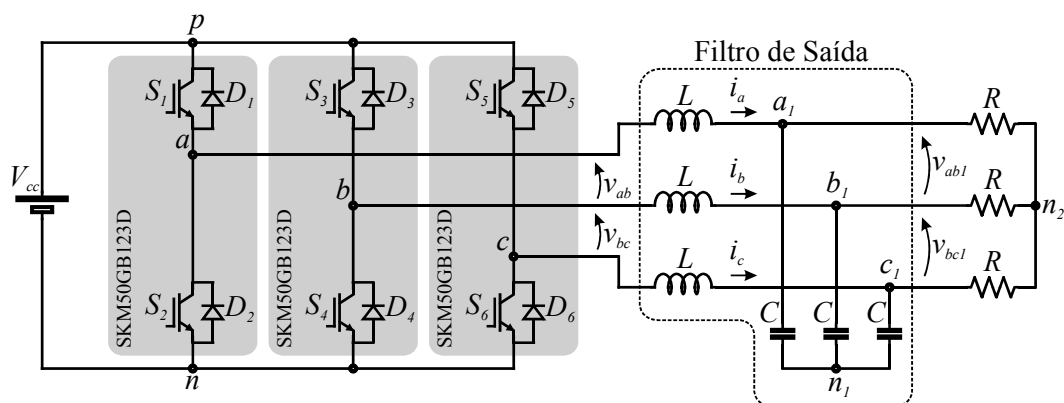


Figura 5.2 – Circuito principal e estágio de saída do conversor.

Tabela 5.1 – Especificação do filtro de saída do conversor.

Dispositivo	Especificação	Observação
L	3 mH	Empregam-se três núcleos Kool Mu 77191A7 (Magnetics [®]) em cada indutor. Indutância inicial: $L_0 = 3,52$ mH.
C	4 μ F	380 V _{ac}
R	32 Ω	–

5.2.2 Descrição do CAC integrado

O CAC integrado implementado é representado na Figura 5.3. Apesar de alguns dispositivos empregados, como os semicondutores, os indutores auxiliares e os capacitores *snubber* terem sido previamente definidos na Tabela 4.2 e na Tabela 4.4, os mesmos são novamente apresentados na Tabela 5.2, juntamente com os demais componentes. Conforme se observa pela comparação do CAC da Figura 5.3 (a) com a estrutura original apresentada na Figura 4.2 os diodos zener D_{zp} e D_{zn} – cuja função é amortecer as ressonâncias que possam ocorrer entre as capacitâncias parasitas de D_{xp} e D_{xn} com os indutores auxiliares L_{x1} , L_{x2} e L_{x3} – foram substituídos pelos resistores de potência R_{xp} e R_{xn} , respectivamente. Os resistores R_{xp} e R_{xn} também auxiliam na desmagnetização dos indutores auxiliares, uma vez que o bloqueio de S_x não se dá no exato instante em $i_x(t)$ é nula – normalmente $i_{Lx1}(t)$, $i_{Lx2}(t)$ e $i_{Lx3}(t)$ não se reduzem a zero simultaneamente. Cabe ressaltar que o valor adotado a R_{xp} e R_{xn} não deve comprometer o grampeamento da tensão sobre S_x proporcionada por D_{xp} e D_{xn} .

Ainda com referência à Figura 5.3 (a), observa-se a inserção de um *snubber* de bloqueio dissipativo em paralelo com S_x , composto por C_{sx} , D_{sx} e R_{sx} . O emprego desse *snubber*, cuja especificação é definida na Tabela 5.2, tem por finalidade minimizar as perdas de bloqueio de S_x se, por ventura, $i_x(t)$ não for nula no instante de bloqueio, bem como contribuir à minimização da interferência eletromagnética conduzida a partir da limitação da dv/dt sobre S_x .

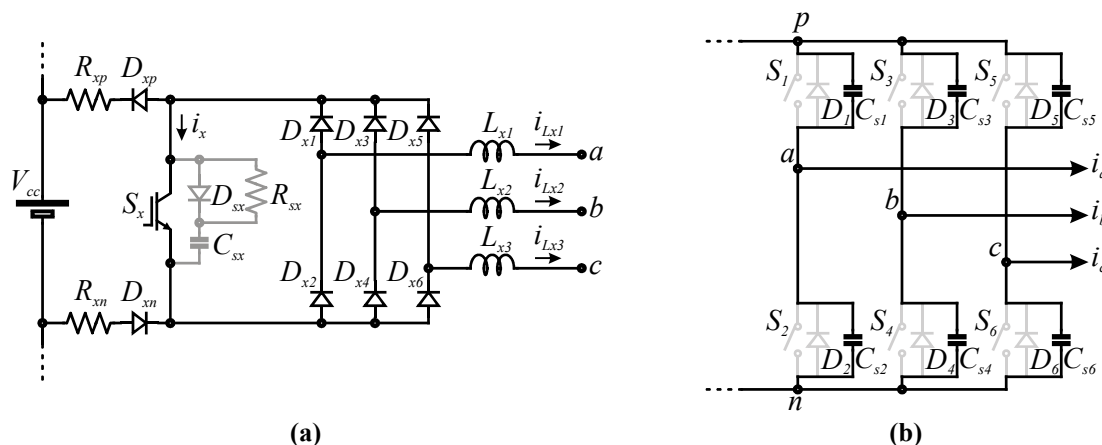


Figura 5.3 – Topologia ZVT integrada implementada. (a) CAC. (b) Detalhe dos capacitores *snubber*.

Tabela 5.2 – Especificação do CAC integrado.

Dispositivo	Especificação	Observação
S_x	IRG4PC40UD	IGBT discreto (International Rectifier [®])
D_{xp} e D_{xn} $D_{x1} \dots D_{x6}$	MUR1560	Diodo discreto (ON Semiconductors [®])
R_{xp} e R_{xn}	1 Ω /10 W	–
$L_{x1} \dots L_{x3}$	5,65 μ F	Emprega-se um núcleo de ferrite EE-20/10/5 (Thornton [®]) em cada indutor
$C_{s1} \dots C_{s6}$	2,2 nF	–
C_{sx}	470 pF	–
D_{sx}	HFA15TB60	Diodo discreto (International Rectifier [®])
R_{sx}	560 Ω / $\frac{1}{2}$ W	–

5.2.3 Descrição do CAC simplificado

Em função da simetria do sistema, apenas o CAC simplificado do pólo “a” é exibido na Figura 5.4. Apesar de alguns dispositivos empregados, como os semicondutores, os indutores auxiliares e os capacitores *snubber* terem sido previamente definidos na Tabela 4.2 e na Tabela 4.4, os mesmos são novamente apresentados na Tabela 5.3, juntamente com os demais componentes.

Ainda com relação à Figura 5.3 (a), observa-se a inserção de um *snubber* de bloqueio dissipativo em paralelo com S_{x1} , composto por C_{sx} , D_{sx} e R_{sx} . O emprego desse *snubber*, cuja especificação é definida na Tabela 5.3, tem por finalidade minimizar as perdas no bloqueio de S_{x1} com $i_{Lx1}(t)$ não nula – em função do erro no cálculo do tempo de operação do CAC –, bem

como contribuir à minimização da interferência eletromagnética conduzida com a limitação da dv/dt sobre S_{x1} .

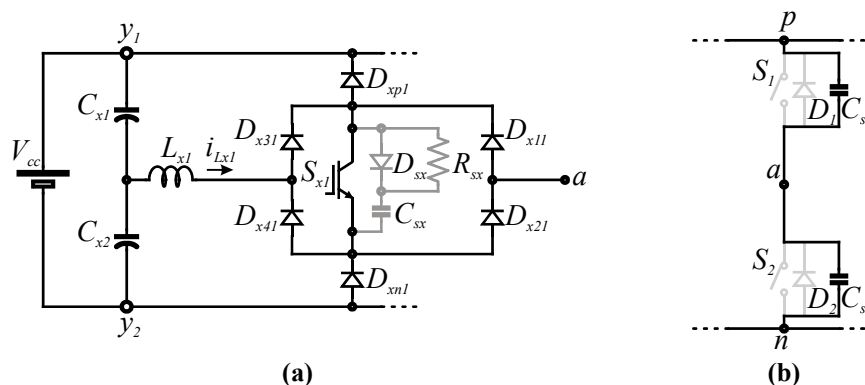


Figura 5.4 – Topologia ZVT simplificada implementada. (a) CAC. (b) Detalhe dos capacitores *snubber*.

Tabela 5.3 – Especificação do CAC simplificado.

Dispositivo	Especificação	Observação
$S_{x1} \dots S_{x3}$	IRG4BC20UD	IGBT discreto (International Rectifier [®])
$D_{xp1} \dots D_{xn3}$ $D_{x11} \dots D_{x43}$	8ETH06	Diodo discreto (International Rectifier [®])
$L_{x1} \dots L_{x3}$	4,40 μ F	Emprega-se um núcleo de ferrite EE-20/10/5 (Thornton [®]) em cada indutor
$C_{s1} \dots C_{s6}$	3,6 nF	–
C_{sx}	330 pF	–
D_{sx}	BYV28-400	Diodo discreto (Philips Semiconductors [®])
R_{sx}	560 Ω / $\frac{1}{2}$ W	–

5.3 Resultados para a topologia ZVT integrada

5.3.1 Operação do circuito de auxílio à comutação

No conjunto de oscilogramas da Figura 5.5 são apresentadas as formas de onda relativas à operação do CAC integrado com $m = 0,89$. O processo de comutação mostrado é referente à assistência do CAC integrado durante a transição do vetor de chaveamento $\mathbf{V}_{2(\text{ppn})}$ para o vetor $\mathbf{V}_{5(\text{npn})}$, ou seja, dos diodos D_1 , D_3 e D_6 para as chaves semicondutoras S_2 , S_4 e S_5 , respectivamente. Os níveis de corrente em cada pólo PWM do conversor, bem como seus respectivos sentidos, são também informados na Figura 5.5.

Conforme se observa na Figura 5.5 (a), a tensão sobre S_2 ($v_{Cs2}(t)$) é reduzida a zero durante o estágio ressonante, permitindo seu acionamento sob ZVS. Já com relação ao acionamento de S_4 , observa-se na Figura 5.5 (b) que sua tensão ($v_{Cs4}(t)$) também é reduzida a zero durante o estágio ressonante. Por fim, na Figura 5.5 (c) é apresentado o processo de comutação de S_5 , onde, novamente, se observa que durante o estágio ressonante sua tensão ($v_{Cs5}(t)$) é reduzida à zero. As correntes pelos indutores auxiliares de cada pólo PWM ($i_{Lx1}(t)$, $i_{Lx2}(t)$ e $i_{Lx3}(t)$) são também representadas na Figura 5.5. Deve-se destacar, com respeito à Figura 5.5 (c), a comutação de bloqueio (comutação *snubber*) extra observada em S_5 . Esta comutação, que implementa o SSV adicional necessário à operação do CAC integrado, ocorre no pólo PWM de maior corrente (em valor absoluto), no caso o pólo “c”, conforme se observa nos valores de corrente informados nos oscilogramas da Figura 5.5.

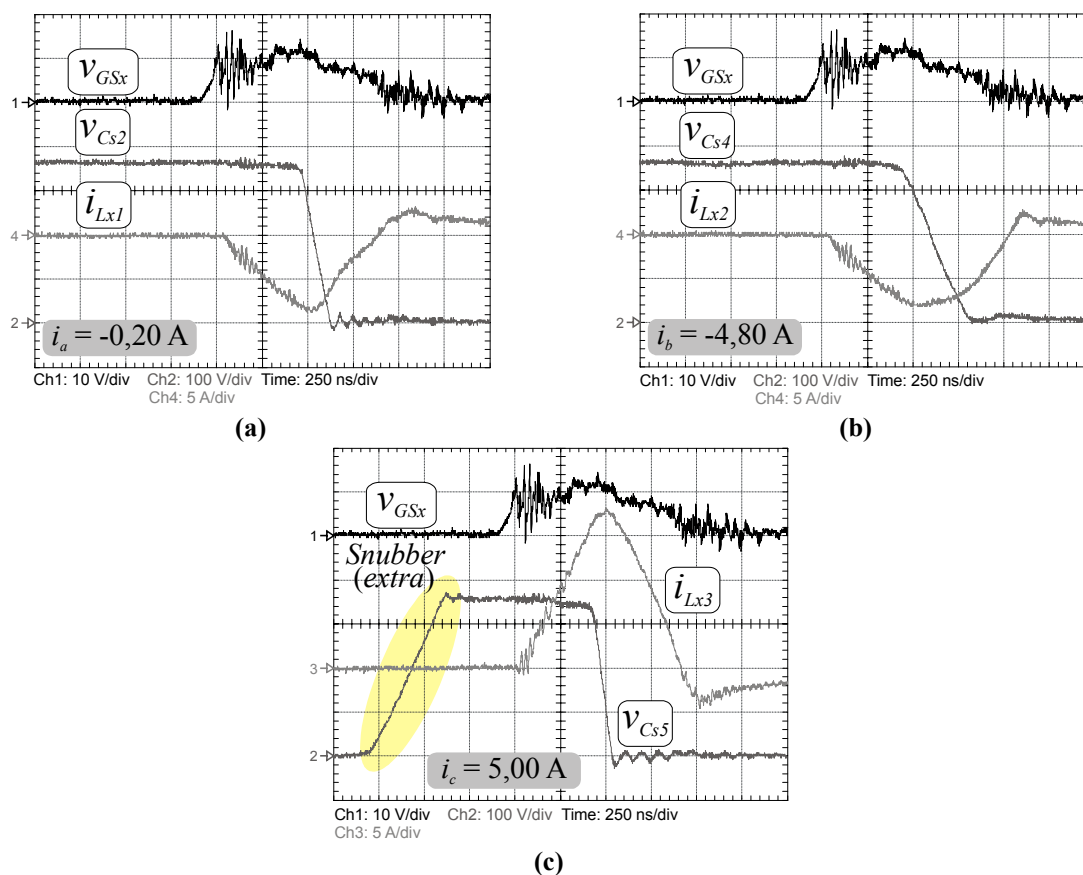


Figura 5.5 – Assistência do CAC integrado na transição de $V_{2(ppn)}$ para $V_{5(nnp)}$.

A inversão nos sentidos de $i_{Lx1}(t)$, $i_{Lx2}(t)$ e $i_{Lx3}(t)$ após o bloqueio de S_x , conforme representado na Figura 5.5, ocorre em função de um pequeno erro na temporização do bloqueio de S_x . Assim, possibilita-se um crescimento em sentido contrário das correntes por L_{x1} , L_{x2} e L_{x3} . Salienta-se que a temporização precisa da operação do CAC integrado é inviável, uma vez que

os circuitos de acionamento (*gate-driver*) empregados apresentam diferentes atrasos. Independente disso, a desmagnetização de L_{x1} , L_{x2} e L_{x3} após o bloqueio de S_x ocorre através de D_{xp} , D_{xn} , R_{xp} e R_{xn} , conforme Figura 5.3 (a). Em função da pequena queda direta observada em D_{xp} e D_{xn} , e do pequeno valor de R_{xp} e R_{xn} (Tabela 5.2), o decaimento das correntes $i_{Lx1}(t)$, $i_{Lx2}(t)$ e $i_{Lx3}(t)$ após o bloqueio de S_x ocorre lentamente, conforme evidenciado na Figura 5.5.

A implementação do SSV extra para diferentes níveis de corrente de carga – relativo ao processo de comutação descrito anteriormente – é representada na Figura 5.6. Conforme se observa na Figura 5.6, quando $i_c(t)$ reduz-se de 5,00 A (Figura 5.5 (c), com $m = 0,89$) para 2,80 A (Figura 5.6 (a), com $m = 0,70$), o processo de carga linear de C_{s5} (descarga de C_{s6}) torna-se mais lento. Assim, previamente à carga total de C_{s5} (descarga de C_{s6}), que colocaria D_6 em condução, S_6 é acionada. Dessa forma, a energia remanescente em C_{s6} é dissipada sobre S_6 , contribuindo às perdas capacitivas de acionamento. Os oscilogramas da Figura 5.6 (b) ($m = 0,50$) e Figura 5.6 (c) ($m = 0,40$) evidenciam que as perdas capacitivas de acionamento tornam-se maiores com a redução do índice de modulação em função da redução dos níveis de corrente fornecidos à carga na aplicação em questão.

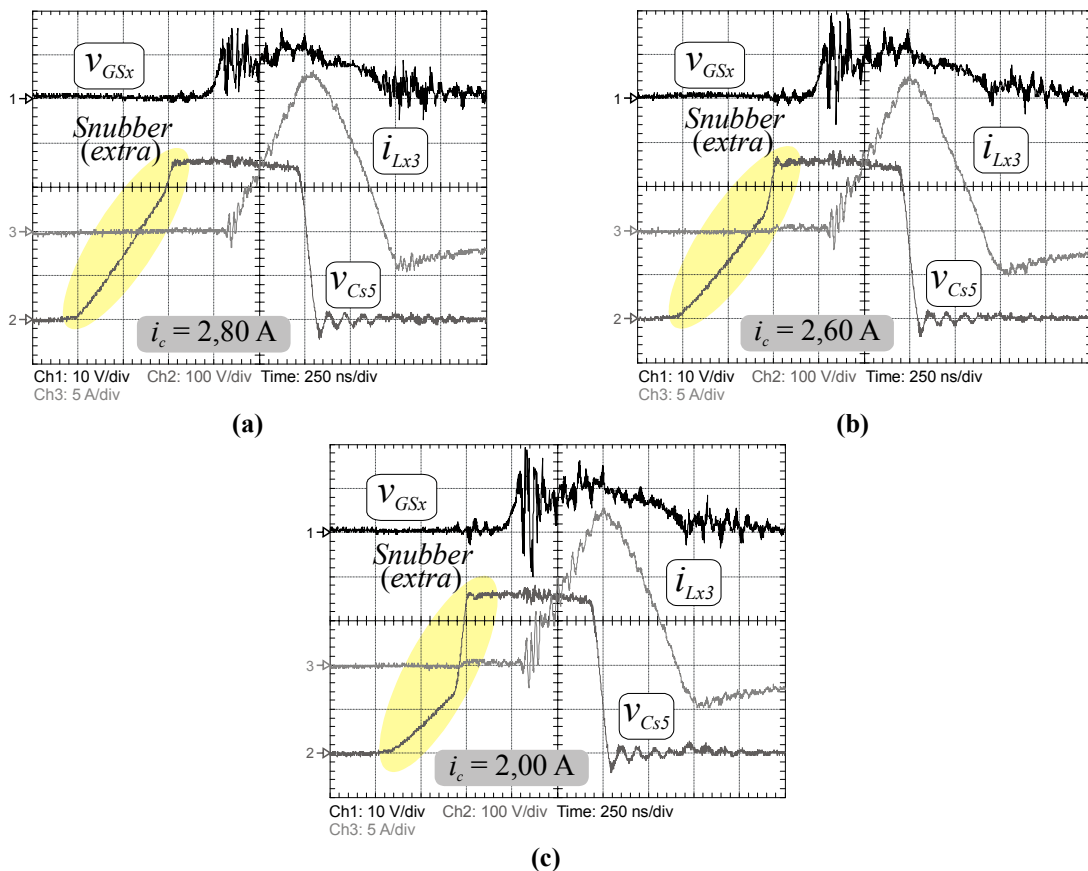


Figura 5.6 – Implementação do SSV extra para diferentes níveis de corrente de carga.

A estratégia de modulação adotada para a topologia ZVT integrada, descrita na Seção 4.4.3.1, pode ser observada no oscilograma da Figura 5.7 (a) – representada pela tensão sobre C_{s6} ($v_{Cs6}(t)$) –, onde também são apresentadas as formas de onda de corrente do pólo “c” ($i_c(t)$) e por L_{x3} ($i_{Lx3}(t)$), definidas na Figura 5.7 (b). Conforme se observa na Figura 5.7 (a), a estratégia de modulação empregada apresenta comutações em todo o período de $i_c(t)$, mesmo quando esta se encontra em torno do valor máximo.

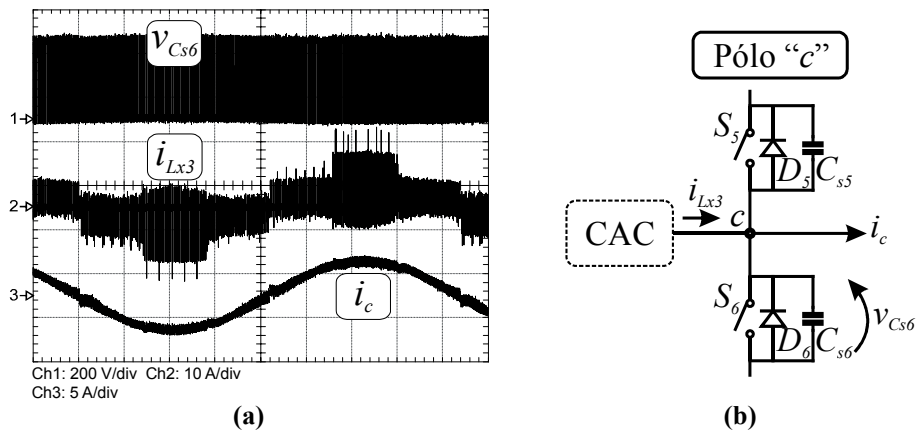


Figura 5.7 – Operação em regime permanente da topologia ZVT integrada. (a) Oscilograma. (b) Definição das variáveis medidas.

5.3.2 Conteúdo harmônico

O conteúdo harmônico presente na tensão entregue à carga pela topologia ZVT integrada é avaliada através da medição da THD da tensão de linha após o filtro de saída ($v_{abl}(t)$, conforme Figura 5.2) para $m = 0,89$. O resultado obtido, representado na Figura 5.8, evidencia uma THD de 0,83 %.

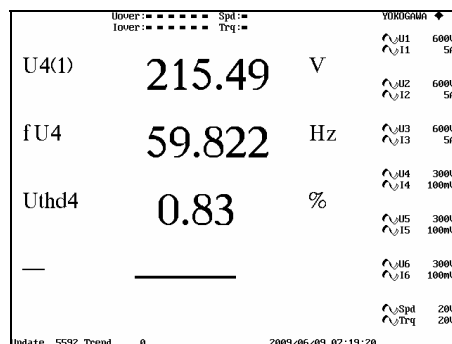


Figura 5.8 – THD da tensão de linha da topologia ZVT integrada.

5.3.3 Rendimento

A curva de rendimento da topologia ZVT integrada para diferentes níveis de potência de saída (obtidos pela variação do índice de modulação) é apresentada na Figura 5.9. A potência de saída é normalizada com relação ao valor nominal definido na Tabela 4.4.

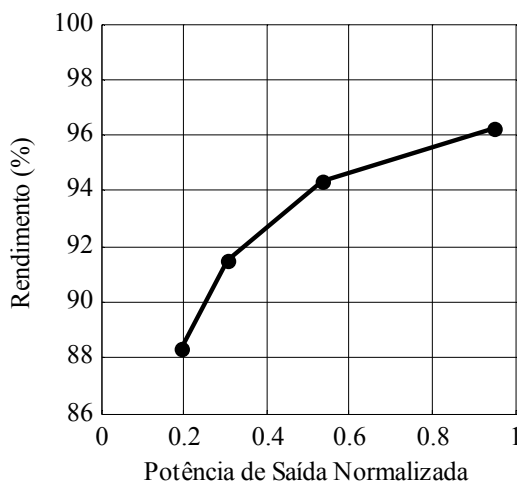


Figura 5.9 – Curva de rendimento da topologia ZVT integrada.

5.4 Resultados para a topologia ZVT simplificada

5.4.1 Operação do circuito de auxílio à comutação

Em função do CAC simplificado operar independentemente em cada pólo PWM do conversor, os resultados apresentados a seguir são referentes apenas ao pólo “c”, porém sem perda de generalidade.

Nos oscilogramas da Figura 5.10 são apresentadas as formas de onda de operação do CAC simplificado para dois níveis distintos de corrente de carga: $|i_c(t)| > I_{min}$ e $|i_c(t)| \leq I_{min}$. Na Figura 5.10 (a) são apresentadas as formas de onda das comutações *snubber* e ZVS observadas no pólo “c”, com $|i_c(t)| > I_{min}$. Conforme se evidencia na Figura 5.10 (a), o bloqueio de S_6 implica na carga linear de seu capacitor *snubber* (indicado pelo decréscimo linear de $v_{Cs5}(t)$) até o grampeamento de $v_{Cs5}(t)$ em zero volt através de D_5 . Posteriormente, na comutação de $i_c(t)$ de D_5 para S_6 , o CAC é acionado – conforme evidenciado pelo sinal de *gate* $v_{GSx3}(t)$ – criando condições ao acionamento de S_6 sob ZVS. A principal diferença destacada na Figura 5.10 (b) com relação à

Figura 5.10 (a) está na assistência do CAC também na comutação *snubber*, acelerando o processo de descarga (carga) de C_{s5} (C_{s6}). Deve-se notar que o acionamento do CAC simplificado para assistir a comutação *snubber* é realizado apenas quando $|i_c(t)| \leq I_{min}$.

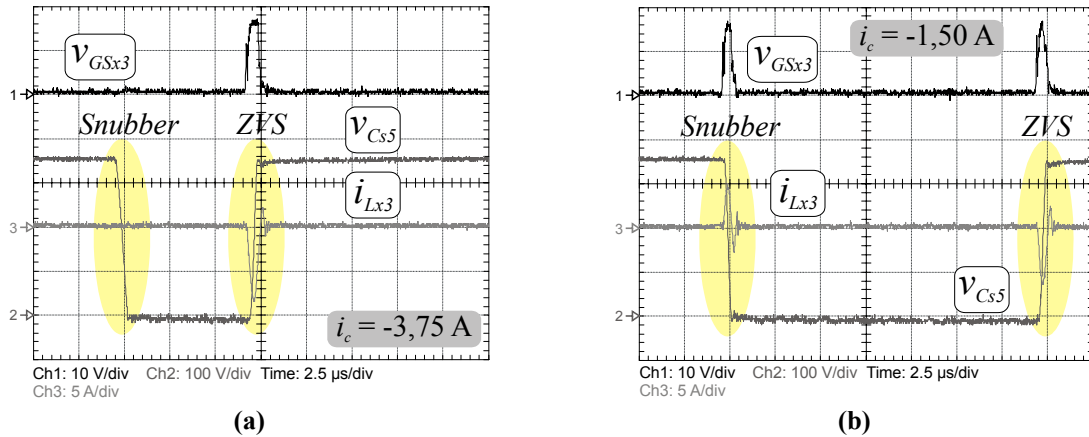


Figura 5.10 – Assistência do CAC simplificado ao pólo “c”. (a) Corrente de carga superior a I_{min} . (b) Corrente de carga inferior a I_{min} .

Nos oscilogramas da Figura 5.11 a comutação ZVS de $i_c(t)$ de D_6 para S_5 é apresentada em detalhes. Conforme se observa, a tensão sobre S_5 ($v_{Cs5}(t)$) é reduzida a zero volt durante o estágio ressonante, permitindo seu acionamento sob ZVS.

O tempo de operação do CAC simplificado é dependente da corrente de carga, conforme demonstrado na Seção 4.3.2. Nesse sentido, o conjunto de oscilogramas da Figura 5.11 comprova a variação do tempo de acionamento do CAC simplificado para diferentes níveis de $i_c(t)$. A corrente por L_{x3} ($i_{Lx3}(t)$) também assume diferentes amplitudes, uma vez que os tempos de magnetização e desmagnetização do indutor auxiliar são diretamente dependentes de $i_c(t)$. A inversão no sentido de $i_{Lx3}(t)$ observada após o bloqueio de S_{x3} (Figura 5.11) ocorre devido à recuperação reversa dos diodos que compõe a chave semicondutora simplificada.

Por fim, a assistência do CAC simplificado à comutação *snubber* de $i_c(t)$ de S_5 para D_6 pode ser visualizada no oscilograma da Figura 5.12 (a). Conforme se observa nesta mesma figura, S_{x3} é acionada previamente ao bloqueio de S_5 , que ocorre quando $i_{Lx3}(t)$ atinge I_{bst} . Assim, com o bloqueio de S_5 , os elementos do tanque ressonante (L_{x3} , C_{s5} e C_{s6}) ressonam até que $v_{Cs5}(t)$ seja grampeada no nível de tensão do barramento CC por D_6 . Além disso, observa-se que S_{x3} é bloqueada após $i_{Lx3}(t)$ reduzir-se a zero volt. Já no oscilograma da Figura 5.12 (b) são apresentadas as formas de onda relativas à comutação ZVS de $i_c(t)$ negativa de D_5 para S_6 na intenção de evidenciar a operação bidirecional do CAC, já que todos os resultados apresentados anteriormente foram para $i_c(t)$ positiva.

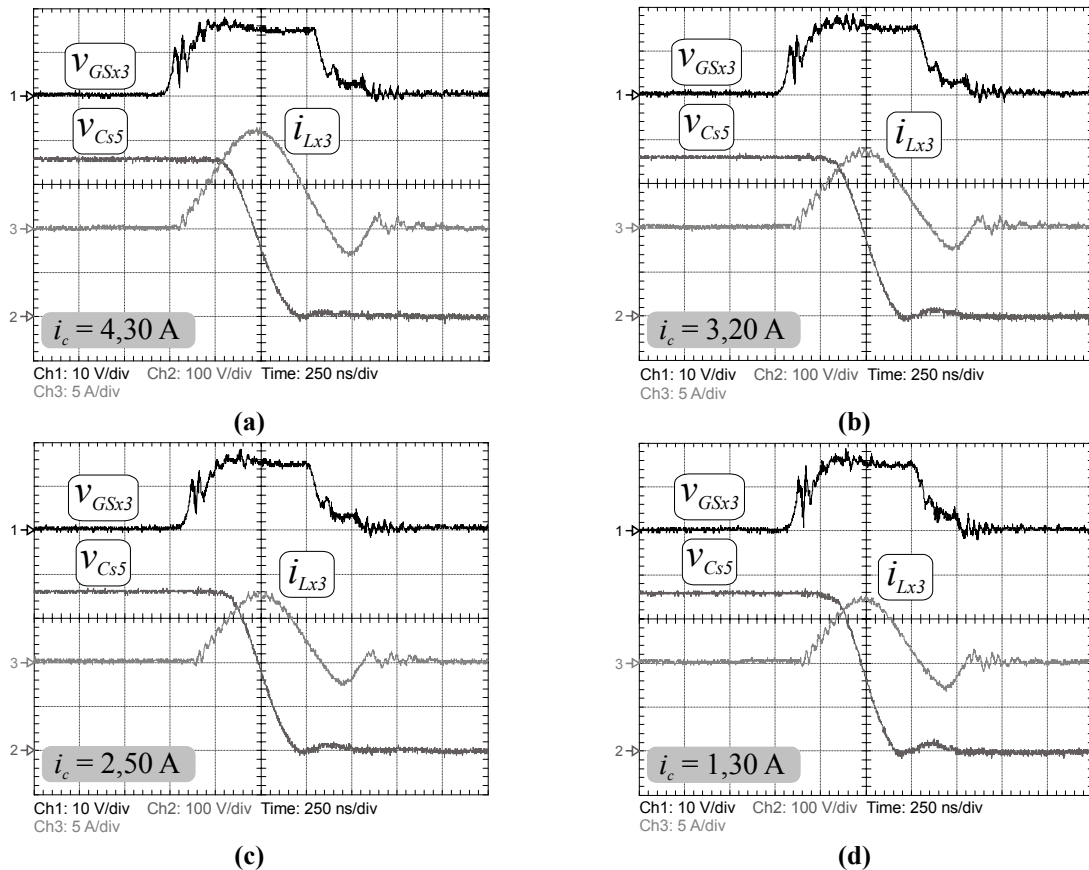


Figura 5.11 – Assistência do CAC simplificado ao pólo “c” para diferentes níveis de corrente de carga.

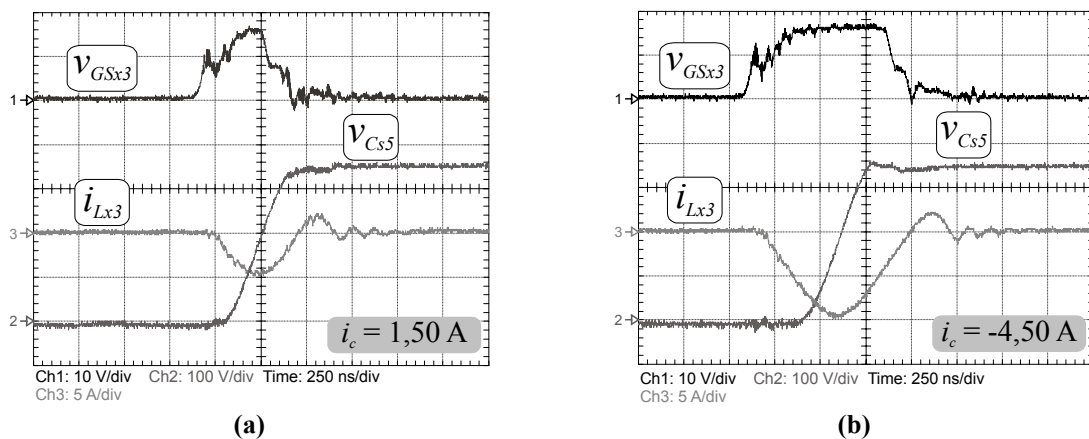


Figura 5.12 – Assistência do CAC simplificado ao pólo “c”. (a) Detalhe da comutação *snubber* assistida pelo CAC. (b) Detalhe da comutação ZVS para corrente de carga negativa.

A estratégia de modulação adotada para a topologia ZVT simplificada, descrita na Seção 4.4.3.2, pode ser observada no oscilograma da Figura 5.13 (a) – representada pela tensão sobre C_{s6} ($v_{Cs6}(t)$) –, onde também é apresentada a forma de onda de corrente do pólo “c” ($i_c(t)$) e a corrente por L_{x3} ($i_{Lx3}(t)$), definidas na Figura 5.13 (b). Conforme se observa na Figura 5.13 (a), a estratégia de modulação empregada não apresenta comutações por 60° em torno do valor máximo de $i_c(t)$, evidenciando a implementação da estratégia de modulação

SVM de mínimas perdas. Novamente, pela observação de $i_{Lx3}(t)$ evidencia-se o acionamento do CAC apenas no curto intervalo de tempo da comutação do pólo PWM. A assistência do CAC simplificado para baixas correntes de carga para acelerar a comutação *snubber* pode também ser evidenciada na Figura 5.13 (a) na faixa em que $|i_c(t)| \leq I_{min}$.

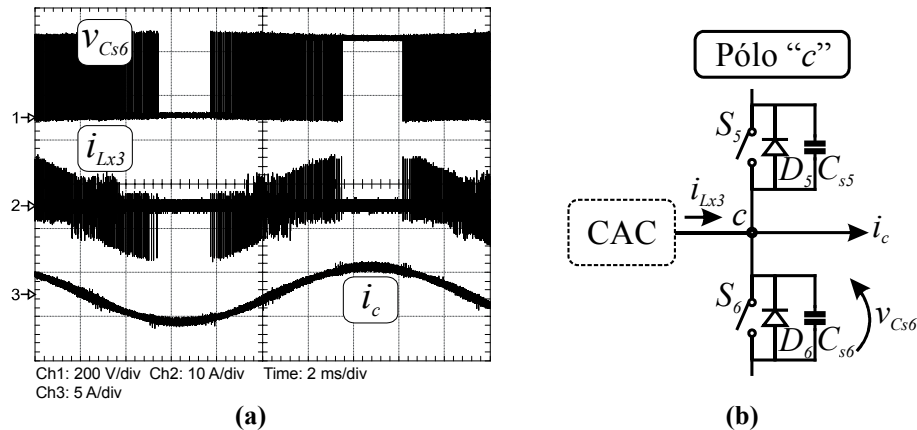


Figura 5.13 – Operação em regime permanente da topologia ZVT simplificada. (a) Oscilograma. (b) Definição das variáveis medidas.

A menor ondulação (*ripple*) em $i_c(t)$ observada na topologia ZVT simplificada (Figura 5.13 (a)) frente à integrada (Figura 5.7 (a)) deve-se à distribuição simétrica dos SSVs dentro do período de chaveamento, bem como a não aplicação do SSV extra.

5.4.2 Conteúdo harmônico

O conteúdo harmônico presente na tensão entregue à carga pela topologia ZVT simplificada é avaliada através da medição da THD da tensão de linha após o filtro de saída ($v_{abl}(t)$, conforme Figura 5.2). O resultado obtido para $m = 0,89$, representado na Figura 5.14, evidencia uma THD de 0,55 %, inferior à medida na topologia ZVT integrada.

U4(1)	219.10	V	\hat{v}_{o11}	600U
			\hat{v}_{o11}	5A
f U4	59.822	Hz	\hat{v}_{o12}	600U
			\hat{v}_{o12}	5A
Uthd4	0.55	%	\hat{v}_{o13}	600U
			\hat{v}_{o13}	5A
			\hat{v}_{o14}	300U
			\hat{v}_{o14}	100mV
			\hat{v}_{o15}	300U
			\hat{v}_{o15}	100mV
			\hat{v}_{o16}	300U
			\hat{v}_{o16}	100mV
			\hat{v}_{oSpd}	200
			\hat{v}_{oTrq}	200

Update 108 Trend 0 2009/06/09 06:33:15

Figura 5.14 – THD da tensão de linha da topologia ZVT simplificada.

5.4.3 Rendimento

A curva de rendimento da topologia ZVT simplificada obtida para diferentes níveis de potência de saída (obtidos pela variação do índice de modulação) é apresentada na Figura 5.15. A potência de saída é normalizada com relação ao valor nominal definido na Tabela 4.4.

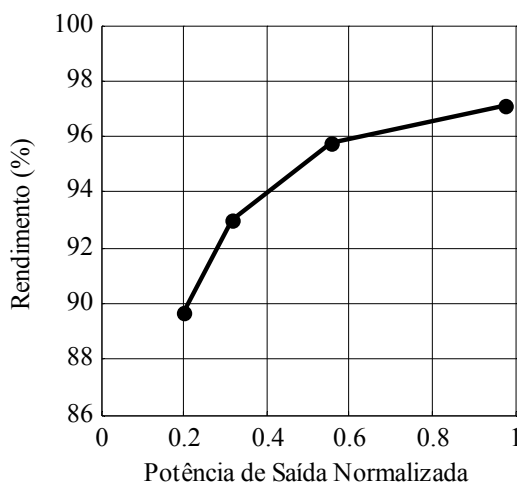


Figura 5.15 – Curva de rendimento da topologia ZVT simplificada.

5.5 Comparativo de rendimentos

Os rendimentos medidos nas topologias ZVT integrada e simplificada podem ser comparados na Figura 5.16. Conforme se observa, a topologia ZVT simplificada proporciona um ganho de rendimento com relação à topologia ZVT integrada. Cabe ressaltar que a avaliação dos rendimentos não contempla as perdas relacionadas às fontes auxiliares de tensão, ao circuito de controle e aos circuitos de acionamento (*gate-driver*) empregados.

Além disso, na Figura 5.17 podem ser comparados os rendimentos estimados a partir da análise das perdas (Seção 4.5.1) com os rendimentos medidos das topologias ZVT integrada e simplificada para um índice de modulação de 0,89 (tensões e correntes nominais). Conforme se observa, apesar das aproximações assumidas no cálculo das perdas, o erro de estimação ficou em 1,17% para a topologia ZVT integrada e em 0,59% para a topologia ZVT simplificada. Ainda, a topologia ZVT simplificada apresenta um rendimento superior à integrada, conforme sugerido na estimativa dos rendimentos.

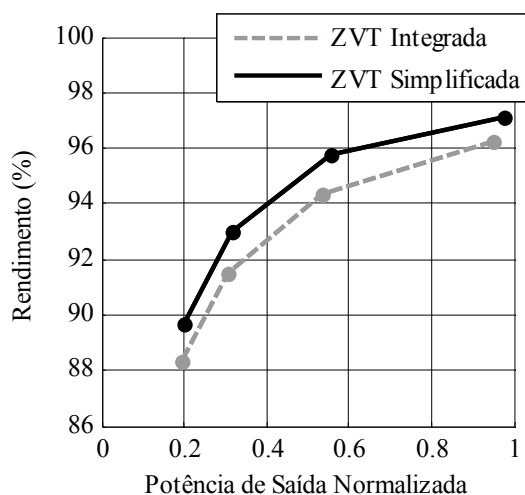


Figura 5.16 – Comparativo das curvas de rendimento.

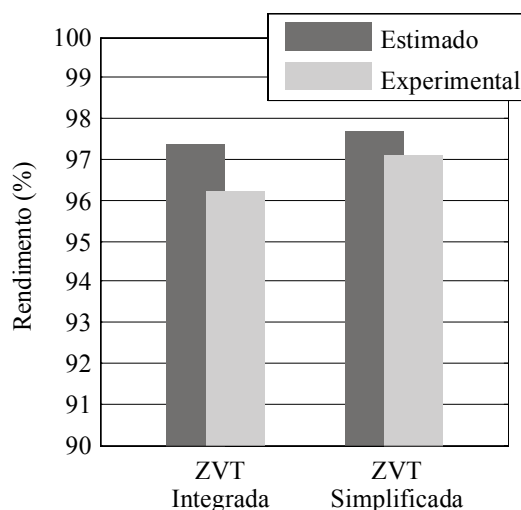


Figura 5.17 – Comparativo entre os rendimentos estimado e experimental para $m = 0,89$.

5.6 Conclusão

Neste capítulo foram apresentados os resultados experimentais de ambas as topologias ZVT comparadas. Inicialmente, foram realizadas considerações práticas acerca da implementação de ambos os CACs integrado e simplificado.

Na seqüência foram apresentadas as formas de onda relativas à operação de ambos os CACs, demonstrando a eficácia na obtenção das condições de comutação sob ZVS às chaves semicondutoras principais. Deve-se destacar a necessidade de implementação dos SSVs extras da topologia ZVT integrada, que torna evidente o incremento das perdas de bloqueio – em

função da comutação do pólo PWM de maior corrente – e o aumento das perdas capacitivas de acionamento para baixas correntes de carga. Também, foi evidenciada a estratégia de comando do CAC simplificado, quando o tempo de operação do mesmo é ajustado ao nível de corrente fornecida pelo pólo PWM sob assistência (*variable timing control*).

As formas de onda da operação de ambos os conversores em regime permanente demonstraram claramente as implicações do emprego da estratégia de modulação necessária à operação da topologia ZVT integrada. Conforme demonstrado, os pólos PWM apresentam comutações em todo o período da corrente de carga, diferentemente da estratégia de modulação SVM de mínimas perdas, a qual pôde ser empregada na topologia ZVT simplificada. Conforme sugerido na análise comparativa do Capítulo 4, o emprego dos SSVs extras na topologia ZVT integrada faz com que esta topologia apresente perdas totais superiores à topologia ZVT simplificada. Essa conclusão foi confirmada através da avaliação experimental do rendimento de ambos os conversores.

Por fim, o conteúdo harmônico das tensões de linha após o filtro de saída foi avaliado, onde, novamente, evidenciou-se que o emprego de uma estratégia de modulação contendo apenas os vetores adjacentes ao vetor tensão de referência e simetricamente distribuídos no período de chaveamento é capaz de proporcionar um menor conteúdo harmônico na tensão fornecida à carga, mesmo que a estratégia de modulação não seja destinada à minimização do conteúdo harmônico, como no caso em questão.

A diferença observada na THD medida na topologia ZVT simplificada (0,55%, conforme Figura 5.14) ao valor de projeto do filtro de saída definido no Apêndice E (0,25%, conforme Tabela E.1) deve-se principalmente aos seguintes fatores: (i) não consideração dos efeitos dos tempos de comutação dos semicondutores no projeto do filtro de saída, bem como das distorções ocasionadas na tensão sintetizada em função do tempo-morto empregado; e (ii) emprego de núcleos com saturação suave (Kool M μ [®]) na implementação do indutor de filtro, o que proporciona uma variação no valor da indutância – e, por conseqüência, da freqüência de corte do filtro – em função do nível de corrente pelo indutor.

CONCLUSÃO

Conforme evidenciado através da revisão bibliográfica realizada, existe um anseio por parte da comunidade científica em tornar as topologias ZVT cada vez mais compactas, de baixo custo e atrativas a aplicações industriais, onde apresentam um grande potencial no sentido de contribuir ao aprimoramento do desempenho dos conversores chaveados. Além disso, a técnica ZVT também contribui na solução de problemas inerentes ao emprego de chaves semicondutoras operando em altas frequências, como as elevadas taxas de dv/dt e di/dt observadas, que podem resultar em conseqüências danosas à carga, bem como na geração de Interferência Eletromagnética. Assim, apesar das técnicas de comutação suave terem experimentado grandes avanços, existe a necessidade de redução do custo e do volume relacionado ao CAC, proporcionando um equilíbrio entre desempenho, custo e confiabilidade.

Demonstrou-se que o princípio de integração de técnicas de comutação suave proporciona a síntese de topologias com alto grau de compactação. Em contrapartida, a integração implica na introdução de restrições à estratégia de modulação dos conversores. Dessa forma, com o objetivo de obter CACs compactos e que não introduzam restrições à estratégia de modulação selecionada, definiu-se o conceito de simplificação de CACs do tipo ZVT, bem como sua metodologia de síntese. Apesar de algumas topologias ZVT simplificadas terem sido previamente publicadas na literatura, até o momento havia a carência de uma metodologia de síntese. Salienta-se que o emprego de CACs simplificados garante que qualquer estratégia de modulação possa ser adotada, uma vez que é garantida a independência de operação entre os pólos PWM do conversor.

Assim, na estratégia de síntese de CACs do tipo ZVT simplificados proposta, chaves semicondutoras simplificadas (compostas por apenas uma chave semicondutora de alta frequência) foram definidas, juntamente com diagramas de blocos representativos da estrutura do CAC. A combinação entre as chaves simplificadas e os diagramas de blocos permite a síntese de inúmeras topologias ZVT simplificadas inéditas, bem como as já publicadas na literatura, demonstrando que os conversores publicados de maneira independente compartilham dos mesmos princípios.

A partir da metodologia de comparação proposta entre os conceitos de integração e simplificação de topologias ZVT, demonstrou-se que as perdas totais observadas na topologia ZVT integrada são superiores às observadas na topologia ZVT simplificada

principalmente em função das comutações de bloqueio adicionais provocadas pelos SSVs necessários à operação do CAC integrado. Além disso, a partir da análise do conteúdo harmônico presente na tensão entregue à carga, evidenciou-se que uma estratégia de modulação empregando apenas SSVs adjacentes ao vetor de referência e distribuídos simetricamente no período de chaveamento, como permitido às topologias ZVT simplificadas, implica no fornecimento de tensões com um reduzido conteúdo harmônico à carga. Em contrapartida, as topologias ZVT simplificadas não têm a mesma capacidade de compactação observada nas topologias integradas, as quais empregam a energia da comutação de um ou mais pólos PWM do conversor para assistir aos demais.

A efetiva operação das topologias ZVT comparadas, bem como a comprovação dos resultados teóricos da metodologia de comparação e de síntese, foi evidenciada na análise experimental. As formas de onda de regime permanente de ambos os conversores evidenciaram as diferenças nas estratégias de modulação empregadas – comutação em todo o período da corrente de carga para a topologia ZVT integrada e modulação SVM de mínimas perdas para a topologia ZVT simplificada – bem como a possibilidade de intervenção do CAC simplificado na comutação *snubber* para baixas correntes de carga, minimizando ou mesmo eliminando as perdas capacitivas de acionamento. Adicionalmente, a THD observada na tensão de linha após o filtro *LC* de saída demonstrou que, de fato, a seqüência utilizada na topologia ZVT simplificada, que emprega apenas os SSVs adjacentes ao vetor tensão de referência e simetricamente distribuídos no período de chaveamento, é capaz de proporcionar um menor conteúdo harmônico, comprovando as conclusões obtidas a partir da análise comparativa do Capítulo 4. Por fim, a análise do rendimento de ambas topologias comprovou que a topologia ZVT integrada apresenta mais perdas (entrada em condução e bloqueio) que a topologia ZVT simplificada, conforme sugerido na análise comparativa do Capítulo 4.

Dessa forma, quando a carga alimentada pelo conversor exige uma tensão de alimentação com reduzido conteúdo harmônico, ou seja, a prioridade é a qualidade de energia, as topologias ZVT simplificadas são a solução recomendada. Por outro lado, se o foco reside na redução do número de dispositivos semicondutores bem como no *hardware* periférico necessários à implementação do CAC – que possui impacto nos custos finais do produto – as topologias ZVT integradas são a solução indicada.

Proposta para trabalhos futuros

- Avaliação dos benefícios da técnica de simplificação de CACs do tipo ZVT com outras técnicas de modulação e/ou seqüências de chaveamento da técnica SVM.
- Definição de um circuito genérico para a AVS que englobe as etapas de operação de toda a família de conversores transição-ressonante (ZVT, ZCT e ZVZVT), com fontes de tensão auxiliar de qualquer tipo (ressonante, chaveada ou constante). A partir desse ponto, as etapas de operação precisam ser determinadas e as restrições de cada topologia identificadas.
- Extensão do conceito de simplificação de CACs a outras técnicas de comutação suave do tipo transição-ressonante, como ZCT e ZCZVT.
- Implementação de um *set-up* padrão para análise de perdas de semicondutores com controle de temperatura com controle em malha fechada, possibilitando, ainda, a inserção de diferentes técnicas de comutação suave e a respectiva avaliação das perdas.

Artigos resultantes desse trabalho submetidos a conferências nacionais e internacionais

No decorrer do mestrado realizaram-se as publicações relacionadas a seguir:

- R.C. Beltrame, J.R.R. Zientarski, M.L. da Silva Martins, J.R. Pinheiro, H.L. Hey, "Simplified zero-voltage-transition circuits applied to bidirectional poles: concept and synthesis methodology," in *Energy Conversion Congress and Exposition, 2009, IEEE*, 20-24 Sept. 2009, pp. 817-824.
- R.C. Beltrame, J.R.R. Zientarski, M.L. da Silva Martins, J.R. Pinheiro, H.L. Hey, "Comparative analysis between integrated and simplified ZVT topologies for three-phase inverters," in *Brazilian Power Electronics Conference, 2009, Proceedings of 10th*, 27 Sep.-01 Oct. 2009, pp. 529-535.
- R.C. Beltrame, D.B. Candido, M.L. da Silva Martins, J.R. Pinheiro, H.L. Hey, "Comparison between integrated and simplified ZVT topologies for three-phase voltage-source inverters," in *Industrial Electronics Society, 2009, 35th Annual Conference of the IEEE*, 3-5 Nov. 2009, pp. 7-12.

BIBLIOGRAFIA

- [1] Abril, *Almanaque Abril 2008*, São Paulo: Ed. Abril S.A., 2008.
- [2] M. Martins, “Inversores ZCZVT com Acoplamento Magnético: Síntese e Análise,” Tese de Doutorado, Universidade Federal de Santa Maria, 2008.
- [3] M.T. Tolasquim e J.B. Soares, *Propostas de investimento do país em linhas de P&D para a área de geração de energia elétrica*, Centro de Gestão e Estudos Estratégicos, Secretaria Técnica do Fundo Setorial de Energia, 2001.
- [4] R. Schaeffer e A.S. Szklo, *Uma proposta de áreas relevantes para atividades de P&D a serem implementadas pelo CT-Energ*, Centro de Gestão e Estudos Estratégicos, Secretaria Técnica do Fundo Setorial de Energia, 2001.
- [5] D. Zambra, “Análise comparativa de inversores multiníveis com células H-bridge conectadas em série,” Dissertação de Mestrado, Universidade Federal de Santa Maria, 2006.
- [6] ABB, *A guide to standard medium voltage variable speed drives. Part1: Questions & answers and medium-voltage speed drive selection*, 2004.
- [7] Ministério de Minas e Energia, *Balanço energético nacional 2005: ano base 2004*, Rio de Janeiro: 2005.
- [8] W. Dong, J. Choi, Y. Li, D. Boroyevich, F. Lee, J. Lai, e S. Hiti, “Comparative experimental evaluation of soft-switching inverter techniques for electric vehicle drive applications,” *Industry Applications Conference, 2001. Thirty-Sixth IAS Annual Meeting. Conference Record of the 2001 IEEE*, 2001, pp. 1469-1476 vol.3.
- [9] S. Bhattacharya, L. Resta, D. Divan, e D. Novotny, “Experimental comparison of motor bearing currents with PWM hard and soft-switched voltage-source inverters,” *Power Electronics, IEEE Transactions on*, vol. 14, 1999, pp. 552-562.
- [10] J. Russi, M. Martins, L. Schuch, J. Pinheiro, e H. Hey, “Synthesis Methodology for Multipole ZVT Converters,” *Industrial Electronics, IEEE Transactions on*, vol. 54, 2007, pp. 1783-1795.
- [11] A. Toba, T. Shimizu, G. Kimura, M. Shioya, e S. Sano, “Auxiliary resonant commutated pole inverter using two internal voltage-points of DC source,” *Industrial Electronics, IEEE Transactions on*, vol. 45, 1998, pp. 200-206.
- [12] X. Yuan e I. Barbi, “Analysis, designing, and experimentation of a transformer-assisted PWM zero-voltage switching pole inverter,” *Power Electronics, IEEE Transactions on*, vol. 15, 2000, pp. 72-82.
- [13] V. Vlatkovic, D. Borojevic, F. Lee, C. Cuadros, e S. Gataric, “A new zero-voltage transition, three-phase PWM rectifier/inverter circuit,” *Power Electronics Specialists*

Conference, 1993. PESC '93 Record., 24th Annual IEEE, 1993, pp. 868-873.

- [14] J. Choi, D. Boroyevich, e F. Lee, "A novel ZVT three-phase inverter with coupled inductors," *Power Electronics Specialists Conference, 1999. PESC 99. 30th Annual IEEE, 1999, pp. 975-980 vol.2.*
- [15] V. Prasad, D. Borojevic, e R. Zhang, "Analysis and comparison of space vector modulation schemes for a four-leg voltage source inverter," *Applied Power Electronics Conference and Exposition, 1997. APEC '97 Conference Proceedings 1997., Twelfth Annual, 1997, pp. 864-871 vol.2.*
- [16] H. Takano, T. Domoto, J. Takahashi, e M. Nakaoka, "Auxiliary resonant commutated soft-switching inverter with bidirectional active switches and voltage clamping diodes," *Industry Applications Conference, 2001. Thirty-Sixth IAS Annual Meeting. Conference Record of the 2001 IEEE, 2001, pp. 1441-1446 vol.3.*
- [17] J. Choi, D. Boroyevich, J. Francis, e F. Lee, "A novel ZVT inverter with simplified auxiliary circuit," *Applied Power Electronics Conference and Exposition, 2001. APEC 2001. Sixteenth Annual IEEE, 2001, pp. 1151-1157 vol.2.*
- [18] J. Russi, "Técnicas de integração de circuitos de auxílio à comutação integradas aplicadas a inversores e a sistemas multi-pólos," Tese de Doutorado, Universidade Federal de Santa Maria, 2007.
- [19] G. Skibinski, J. Pankau, R. Sladky, e J. Campbell, "Generation, control and regulation of EMI from AC drives," *Industry Applications Conference, 1997. Thirty-Second IAS Annual Meeting, IAS '97., Conference Record of the 1997 IEEE, 1997, pp. 1571-1583 vol.2.*
- [20] R. Erickson e D. Maksimovic, *Fundamentals of Power Electronics, 2nd Edition*, Boulder: University Colorado Press, 2001.
- [21] C. Stein, H. Grundling, H. Pinheiro, e H. Hey, "Analysis and comparison of soft-transition inverters," *Industrial Electronics, 2003. ISIE '03. 2003 IEEE International Symposium on, 2003, pp. 538-543 vol. 1.*
- [22] W. Dong, J. Choi, Y. Li, H. Yu, J. Lai, D. Boroyevich, e F. Lee, "Efficiency considerations of load side soft-switching inverters for electric vehicle applications," *Applied Power Electronics Conference and Exposition, 2000. APEC 2000. Fifteenth Annual IEEE, 2000, pp. 1049-1055 vol.2.*
- [23] W. McMurray, "Selection of Snubbers and Clamps to Optimize the Design of Transistor Switching Converters," *Industry Applications, IEEE Transactions on, vol. IA-16, 1980, pp. 513-523.*
- [24] S.B. Yaakov e G. Ivensky, "Passive lossless snubbers for high frequency PWM converters," *APEC 99 Seminar, 1999.*
- [25] G.K. Dubet, "Classification of Thyristor Commutation Methods," *Industry Applications, IEEE Transactions on, vol. IA-19, 1983, pp. 600-606.*
- [26] C. Stein, "Concepção, análise de projeto de conversores CC-CC PWM com comutações

- em zero de corrente e zero de tensão, simultaneamente,” Dissertação de Mestrado, Universidade Federal de Santa Maria, 1997.
- [27] R. Oruganti e F.C. Lee, “Resonant Power Processors, Part I---State Plane Analysis,” *Industry Applications, IEEE Transactions on*, vol. IA-21, 1985, pp. 1453-1460.
- [28] I. Batarseh, R. Liu, C. Lee, e A. Upadhyay, “Theoretical and experimental studies of the LCC-type parallel resonant converter,” *Power Electronics, IEEE Transactions on*, vol. 5, 1990, pp. 140-150.
- [29] K. Wang, Y. Jiang, S. Dubovsky, G. Hua, D. Boroyevich, e F. Lee, “Novel DC-rail soft-switched three-phase voltage-source inverters,” *Industry Applications Conference, 1995. Thirtieth IAS Annual Meeting, IAS '95., Conference Record of the 1995 IEEE*, 1995, pp. 2610-2617 vol.3.
- [30] D. Divan e G. Skibinski, “Zero-switching-loss inverters for high-power applications,” *Industry Applications, IEEE Transactions on*, vol. 25, 1989, pp. 634-643.
- [31] H. Mao e F. Lee, “An improved zero-voltage-transition three-phase rectifier/inverter,” *IPEC. Proceedings of the International Power Electronics Conference*, 1995, pp. 853-858.
- [32] J.L. Russi, “Análise comparativa teórico-experimental de técnicas de comutação ZVT CC-CC,” Dissertação de Mestrado, Universidade Federal de Santa Maria, 2003.
- [33] G. Hua, E. Yang, Y. Jiang, e F. Lee, “Novel zero-current-transition PWM converters,” *Power Electronics, IEEE Transactions on*, vol. 9, 1994, pp. 601-606.
- [34] H. Mao, F. Lee, X. Zhou, H. Dai, M. Cosan, e D. Boroyevich, “Improved zero-current transition converters for high-power applications,” *Industry Applications, IEEE Transactions on*, vol. 33, 1997, pp. 1220-1232.
- [35] Y. Li, F. Lee, e D. Boroyevich, “A three-phase soft-transition inverter with a novel control strategy for zero-current and near zero-voltage switching,” *Power Electronics, IEEE Transactions on*, vol. 16, 2001, pp. 710-723.
- [36] M. Martins, J. Russi, J. Pinheiro, e H. Hey, “Novel Resonant Transition PWM Inverters: Synthesis and Analysis,” *Power Electronics Specialists Conference, 2006. PESC '06. 37th IEEE*, 2006, pp. 1-7.
- [37] X. Jing e D. Boroyevich, “A novel zero-switching-loss transition voltage source inverter/rectifier,” *Proceedings of the 17th Power Electronics Seminar, Blacksburg, Virginia*, 1999, pp. 143-151.
- [38] C. de Oliveira Stein, H. Grundling, H. Pinheiro, e H. Hey, “Zero-current and zero-voltage soft-transition commutation cell for PWM inverters,” *Power Electronics, IEEE Transactions on*, vol. 19, 2004, pp. 396-403.
- [39] M. Martins, J. Russi, e H. Hey, “Low Reactive Energy ZCZVT PWM Converters: Synthesis, Analysis and Comparison,” *Power Electronics Specialists Conference, 2005. PESC '05. IEEE 36th*, 2005, pp. 1234-1240.

- [40] O. Patterson e D. Divan, "A pseudo-resonant full-bridge DC/DC converter," *Power Electronics Specialists Conference, 1987. PESC 87.*, 1987, pp. 424-430.
- [41] A. Cheriti, K. Al-Haddad, L. Dessaint, T. Meynard, e D. Mukhedkar, "A rugged soft commutated PWM inverter for AC drives," *Power Electronics Specialists Conference, 1990. PESC '90 Record., 21st Annual IEEE*, 1990, pp. 656-662.
- [42] R. De Doncker, R.L. Steigerwald, e D. Divan, "Soft-switching in high power converters," *Seminar IEEE-APEC, 5th Annual Conference 1991, Seminar Workbook, Seminar 8*, 1991, pp. 53-76.
- [43] T. Chen e C. Liaw, "Soft-switching inverter for electrodynamic shaker," *Electric Power Applications, IEE Proceedings -*, vol. 146, 1999, pp. 515-523.
- [44] J. Choi, "Analysis of inductor-coupled zero-voltage-transition converters," Tese de Doutorado, Virginia Polytechnic Institute and State University, 2001.
- [45] R. De Doncker e J. Lyons, "The auxiliary resonant commutated pole converter," *Industry Applications Society Annual Meeting, 1990., Conference Record of the 1990 IEEE*, 1990, pp. 1228-1235 vol.2.
- [46] W. McMurray, "Resonant snubbers with auxiliary switches," *Industry Applications, IEEE Transactions on*, vol. 29, 1993, pp. 355-362.
- [47] X. Yuan e I. Barbi, "Control simplification and stress reduction in a modified PWM zero voltage switching pole inverter," *Applied Power Electronics Conference and Exposition, 1999. APEC '99. Fourteenth Annual*, 1999, pp. 1019-1025 vol.2.
- [48] H. Takano, J. Takahashi, T. Domoto, e M. Nakaoka, "Auxiliary resonant commutated snubber-assisted PWM inverter with voltage clamping diodes and its application to X-ray high voltage generator," *Power Electronics Specialists Conference, 2001. PESC. 2001 IEEE 32nd Annual*, 2001, pp. 1045-1050 vol.2.
- [49] A. Toba, T. Shimizu, G. Kimura, M. Shioya, e S. Sano, "New quasi-resonant PWM inverter using two internal voltage-points of DC source," *Industrial Electronics, Control, and Instrumentation, 1993. Proceedings of the IECON '93., International Conference on*, 1993, pp. 1286-1291 vol.2.
- [50] I. Barbi e D. Martins, "A true PWM zero-voltage switching pole, with very low additional RMS current stress," *Power Electronics Specialists Conference, 1991. PESC '91 Record., 22nd Annual IEEE*, 1991, pp. 261-267.
- [51] J. Pinheiro e H. Hey, "An active auxiliary commutation circuit for inverters," *Power Electronics Specialists Conference, 1996. PESC '96 Record., 27th Annual IEEE*, 1996, pp. 223-229 vol.1.
- [52] W. Dong, D. Peng, H. Yu, F. Lee, e J. Lai, "A simplified control scheme for zero voltage transition (ZVT) inverter using coupled inductors," *Power Electronics Specialists Conference, 2000. PESC 00. 2000 IEEE 31st Annual*, 2000, pp. 1221-1226 vol.3.
- [53] J. Choi, D. Boroyevich, e F. Lee, "A novel inductor-coupled ZVT inverter with reduced harmonics and losses," *Power Electronics Specialists Conference, 2001. PESC. 2001*

- IEEE 32nd Annual*, 2001, pp. 1147-1152 vol.2.
- [54] C. Cuadros, D. Borojevic, S. Gataric, e V. Vlatkovic, "Space vector modulated, zero-voltage transition three-phase to DC bidirectional converter," *Power Electronics Specialists Conference, PESC '94 Record., 25th Annual IEEE*, 1994, pp. 16-23 vol.1.
- [55] S. Lee, S. Ko, S. Kwon, S. Kim, e I. Song, "An improved zero-voltage transition inverter for induction motor drive application," *TENCON 99. Proceedings of the IEEE Region 10 Conference*, 1999, pp. 986-989 vol.2.
- [56] H. Mao, F. Lee, X. Zhou, e H. Dai, "Novel soft switched three-phase voltage source converters with reduced auxiliary switch stresses," *Power Electronics Specialists Conference, 1996. PESC '96 Record., 27th Annual IEEE*, 1996, pp. 443-448 vol.1.
- [57] Jih-Sheng Lai, R. Young, G. Ott, J. McKeever, e Fang Zheng Peng, "A delta-configured auxiliary resonant snubber inverter," *Industry Applications, IEEE Transactions on*, vol. 32, 1996, pp. 518-525.
- [58] Jih-Sheng Lai, "Resonant snubber based soft-switching inverters for electric propulsion drives," *Industrial Electronics, Control, and Instrumentation, 1996., Proceedings of the 1996 IEEE IECON 22nd International Conference on*, 1996, pp. 47-52 vol.1.
- [59] Q. Li, X. Zhou, e F. Lee, "A novel ZVT three-phase rectifier/inverter with reduced auxiliary switch stresses and losses," *Power Electronics Specialists Conference, 1996. PESC '96 Record., 27th Annual IEEE*, 1996, pp. 153-158 vol.1.
- [60] J. Choi, D. Boroyevich, e F. Lee, "A SVM strategy and design of a ZVT three-phase inverter for electric vehicle drive applications," *Industry Applications Conference, 1999. Thirty-Fourth IAS Annual Meeting. Conference Record of the 1999 IEEE*, 1999, pp. 65-71 vol.1.
- [61] J. Choi, D. Boroyevich, e F. Lee, "Improved ZVT three-phase inverter with two auxiliary switches," *Applied Power Electronics Conference and Exposition, 2000. APEC 2000. Fifteenth Annual IEEE*, 2000, pp. 1023-1029 vol.2.
- [62] J. Choi, D. Boroyevich, e F. Lee, "Phase-lock circuit for ZVT inverters with two auxiliary switches," *Power Electronics Specialists Conference, 2000. PESC 00. 2000 IEEE 31st Annual*, 2000, pp. 1215-1220 vol.3.
- [63] J. Choi, D. Boroyevich, e F. Lee, "Thyristor-assisted ZVT inverters with single coupled inductor for high power applications," *Industry Applications Conference, 2000. Conference Record of the 2000 IEEE*, 2000, pp. 2156-2163 vol.4.
- [64] W. Dong, H. Yu, F. Lee, e J. Lai, "Generalized concept of load adaptive fixed timing control for zero-voltage-transition inverters," *Applied Power Electronics Conference and Exposition, 2001. APEC 2001. Sixteenth Annual IEEE*, 2001, pp. 179-185 vol.1.
- [65] V. Vlatkovic, D. Borojevic, e F. Lee, "Soft-transition three-phase PWM conversion technology," *Power Electronics Specialists Conference, PESC '94 Record., 25th Annual IEEE*, 1994, pp. 79-84 vol.1.
- [66] L. Schuch, "Princípio de integração de circuitos de auxílio à comutação: o estudo do

caso ZVT,” Tese de Doutorado, Universidade Federal de Santa Maria, 2007.

- [67] L. Schuch, C. Rech, e J. Pinheiro, “Integrated auxiliary commutation circuits: a generalised approach,” *Power Electronics, IET*, vol. 2, 2009, pp. 42-51.
- [68] J. Russi, M. Martins, H. Grundling, H. Pinheiro, e H. Hey, “A unified design criterion for ZVT DC-DC PWM converters with constant auxiliary voltage source,” *Industrial Electronics, IEEE Transactions on*, vol. 52, 2005, pp. 1261-1270.
- [69] M. Martins, J. Russi, e H. Hey, “Zero-voltage transition PWM converters: a classification methodology,” *Electric Power Applications, IEE Proceedings -*, vol. 152, 2005, pp. 323-334.
- [70] A. de Oliveira, J. Russi, e J. Pinheiro, “An iZVT auxiliary circuit commutation applied to a double conversion uninterruptible power supply,” *Power Electronics Specialists Conference, 2008. PESC 2008. IEEE*, 2008, pp. 1086-1091.
- [71] Ixys, “FIO50-12BD: Bidirectional switch with NPT3 IGBT and fast diode bridge (Datasheet),” 2003.
- [72] H. Pinheiro, F. Botteron, C. Rech, L. Schuch, R. Camargo, H. Hey, H. Grundling, e J. Pinheiro, “Space vector modulation for voltage-source inverters: a unified approach,” *IECON 02 [Industrial Electronics Society, IEEE 2002 28th Annual Conference of the]*, 2002, pp. 23-29 vol.1.
- [73] D. Zambra, C. Rech, F. Goncalves, e J. Pinheiro, “Power losses analysis and cooling system design of three topologies of multilevel inverters,” *Power Electronics Specialists Conference, 2008. PESC 2008. IEEE*, 2008, pp. 4290-4295.
- [74] M. Martins, J. Russi, e H. Hey, “Novel design methodology and comparative analysis for ZVT PWM converters with resonant auxiliary circuit,” *Industry Applications, IEEE Transactions on*, vol. 42, 2006, pp. 779-796.
- [75] International Rectifier, “IRG4PC40UD: Insulated gate bipolar transistor with ultrafast soft recovery diode (Datasheet),” 2004.
- [76] International Rectifier, “IRG4BC20UD: Insulated gate bipolar transistor with ultrafast soft recovery diode (Datasheet),” 2003.
- [77] ON Semiconductor, “MUR1560: SWITCHMODE Power Rectifiers (Datasheet),” 2008.
- [78] International Rectifier, “8ETH06: Hyperfast Rectifier (Datasheet),” 2006.
- [79] A. Petteiteig, J. Lode, e T. Undeland, “IGBT turn-off losses for hard switching and with capacitive snubbers,” *Industry Applications Society Annual Meeting, 1991., Conference Record of the 1991 IEEE*, 1991, pp. 1501-1507 vol.2.
- [80] V. Agelidis e M. Calais, “Application specific harmonic performance evaluation of multicarrier PWM techniques,” *Power Electronics Specialists Conference, 1998. PESC 98 Record. 29th Annual IEEE*, 1998, pp. 172-178 vol.1.
- [81] Semikron, “SEMISTACK: Power Electronics Systems (Datasheet),” 2005.

- [82] Semikron, “SEMIDRIVER SKHI 22 A/B: Hybrid Dual IGBT Driver (Datasheet),” 2005.
- [83] LeCroy, “PMA2 Software Operation: Operator's Guide,” 2003.
- [84] Digilent, “Digilent Nexys2 Board Reference Manual,” 2008.
- [85] Xilinx, “Spartan-3 generation FPGA user guide,” 2009.
- [86] National Semiconductor, “ADCS7476MSPS: 12 bit A/D converter (Datasheet),” 2007.
- [87] L. Michels, R. de Camargo, F. Botteron, H. Grudling, e H. Pinheiro, “Generalised design methodology of second-order filters for voltage-source inverters with space-vector modulation,” *Electric Power Applications, IEE Proceedings -*, vol. 153, 2006, pp. 219-226.
- [88] F. Botteron, “Análise, projeto e implementação de um inversor PWM trifásico para UPS de média potência,” Dissertação de Mestrado, Universidade Federal de Santa Maria, 2001.
- [89] Magnetics, “Powder cores (Catálogo),” 2008.

APÊNDICE A – Determinação da corrente de *boosting* da topologia ZVT simplificada

A.1 Introdução

Com o objetivo de determinar a corrente de *boosting* necessária para compensar as perdas de condução no CAC simplificado da Figura 4.4 e, assim, garantir a obtenção da condição de comutação sob ZVS às chaves principais do conversor, nesta seção analisa-se o estágio ressonante da topologia ZVT simplificada. A aplicação de uma corrente de *boosting* se faz necessária em função das não idealidades do CAC (queda de tensão direta nos semicondutores e resistência série do indutor auxiliar), uma vez que, como o centro de ressonância da topologia ZVT simplificada está localizado exatamente em $V_{cc}/2$, qualquer redução no raio de ressonância ocasiona a não observância da condição de comutação sob ZVS às chaves semicondutoras principais. Assim, a corrente de *boosting* tem por finalidade prolongar o raio de ressonância, permitindo a obtenção da condição de comutação sob ZVS mesmo na presença de perdas durante o estágio ressonante.

A.2 Análise do estágio ressonante

Em função da simetria do sistema, a análise é realizada apenas para o CAC conectado ao pólo “a” do conversor. Dessa forma, na Figura A.1 (a) são representados os dispositivos semicondutores ativos durante o estágio ressonante para $i_a(t) > 0$ (comutação de D_2 para S_1). Cabe lembrar que se consideram $L_{x1} = L_x$, $C_{s1} = C_{s2} = C_s$ e $i_{Lx1}(t) = i_{Lx}(t)$. Adicionalmente, na Figura A.1 (b) é representado o circuito equivalente desse estágio, onde o indutor auxiliar e os semicondutores ativos foram substituídos por seus modelos aproximados. Nesse sentido, R_{Lx} representa a resistência série dos enrolamentos do indutor e V_{Sx} representa o somatório das quedas de tensão observadas em S_{x1} e nos dois diodos em condução representados na Figura A.1 (a).

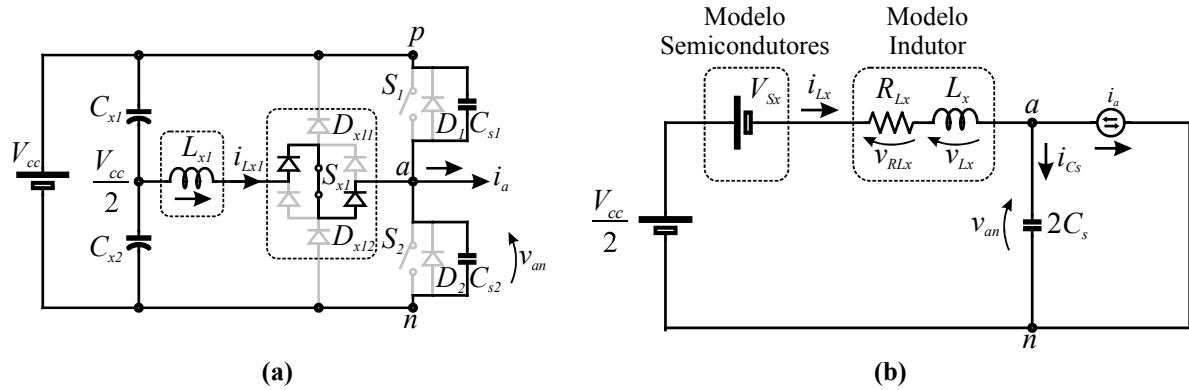


Figura A.1 – Estágio ressonante. (a) CAC simplificado do pólo “a”. (b) Circuito equivalente.

O valor da capacitância representado na Figura A.1 (b) é multiplicado por um fator “2” pelo fato de C_{s1} e C_{s2} comportarem-se como se estivessem em paralelo durante o estágio ressonante – a carga de um implica na descarga do outro, conforme (3.4).

Assim, partir das considerações anteriores, assume-se que o circuito da Figura A.1 (b) apresenta as condições iniciais definidas em (A.1). Cabe ressaltar que $i_a(t)$ é considerada constante durante todo o intervalo de comutação.

$$\begin{cases} v_{an}(0) = 0 \\ i_{Lx}(0) = I_{bst} + i_a \end{cases} \quad (\text{A.1})$$

Aplicando a Lei de Kirchoff das Tensões ao circuito da Figura A.1 (b), obtém-se (A.2). Além disso, aplicando a Lei de Kirchoff das Correntes ao circuito da Figura A.1 (b), obtém-se (A.3).

$$v_{Lx} + v_{RLx} + v_{an} = \left(\frac{V_{cc}}{2} - V_{Sx} \right) \quad (\text{A.2})$$

$$i_{Lx} = i_{Cs} + i_a \quad (\text{A.3})$$

A tensão aplicada ao indutor do circuito da Figura A.1 (b), bem como a corrente pelo capacitor e a tensão sobre o resistor podem ser obtidas, respectivamente, por (A.4), (A.5) e (A.6).

$$v_{Lx} = L_x \frac{di_{Lx}}{dt} \quad (\text{A.4})$$

$$i_{Cs} = 2C_s \frac{dv_{an}}{dt} \quad (\text{A.5})$$

$$v_{RLx} = i_{Lx} R_{Lx} \quad (\text{A.6})$$

Levando-se (A.3) em (A.5), obtém-se a relação definida em (A.7).

$$i_{Lx} = 2C_s \frac{dv_{an}}{dt} + i_a \quad (\text{A.7})$$

Assim, levando-se (A.4), (A.6) e (A.7) em (A.2), e solucionando para $v_{an}(t)$, obtém-se em (A.8) a equação diferencial de segunda ordem não-homogênea que descreve o comportamento de $v_{an}(t)$ no tempo. Deve-se observar que $\frac{di_a}{dt} = 0$, uma vez que se considera $i_a(t)$ constante no intervalo de comutação.

$$\frac{d^2 v_{an}}{dt^2} + \frac{R_{Lx}}{L_x} \frac{dv_{an}}{dt} + \frac{1}{2L_x C_s} v_{an} = \frac{1}{2L_x C_s} \left(\frac{V_{cc}}{2} - V_{Sx} \right) \quad (\text{A.8})$$

Pode-se demonstrar que a solução de (A.8) é a expressa em (A.9).

$$\begin{aligned} v_{an}(t) = & \left(\frac{V_{cc}}{2} - V_{Sx} \right) - \left(\frac{V_{cc}}{2} - V_{Sx} \right) \frac{1}{\sqrt{1-\xi^2}} e^{-\xi \omega_n t} \text{sen} \left(\omega_n \sqrt{1-\xi^2} t + \phi \right) + \\ & + \frac{Z I_{bst}}{\sqrt{1-\xi^2}} e^{-\xi \omega_n t} \text{sen} \left(\omega_n \sqrt{1-\xi^2} t \right) \end{aligned} \quad (\text{A.9})$$

com

$$\omega_n = \frac{1}{\sqrt{2L_x C_s}} \quad (\text{A.10})$$

$$Z = \sqrt{\frac{L_x}{2C_s}} \quad (\text{A.11})$$

$$\xi = \frac{R_{Lx}}{2\omega_n L_x} \quad (\text{A.12})$$

$$\phi = \arccos(\xi) \quad (\text{A.13})$$

A equação que descreve o comportamento de $i_{Lx}(t)$ no tempo, expressa em (A.14), pode ser obtida a partir de (A.7) e (A.9).

$$i_{Lx}(t) = i_a + I_{bst} \left[e^{-\xi \omega_n t} \cos(\omega_n \sqrt{1-\xi^2} t) - \frac{\xi}{\sqrt{1-\xi^2}} e^{-\xi \omega_n t} \text{sen}(\omega_n \sqrt{1-\xi^2} t) \right] + \frac{V_{cc} - V_{Sx}}{Z} \left[-e^{-\xi \omega_n t} \cos(\omega_n \sqrt{1-\xi^2} t + \phi) + \frac{\xi}{\sqrt{1-\xi^2}} e^{-\xi \omega_n t} \text{sen}(\omega_n \sqrt{1-\xi^2} t + \phi) \right] \quad (\text{A.14})$$

A.3 Determinação da corrente de *boosting* e da duração do estágio ressonante

A condição necessária para que S_I seja acionada sob ZVS é que a tensão $v_{an}(t)$ eleve-se à V_{cc} durante o estágio ressonante, colocando D_I em condução. Nesse instante, o valor da corrente $i_{Lx}(t)$ dependerá do nível de corrente escolhido para I_{bst} . Caso o menor valor possível para I_{bst} seja selecionado, o amortecimento do raio de ressonância faz com que $i_{Lx}(t)$ seja exatamente $i_a(t)$ ao final do estágio ressonante. Observa-se que se não houvesse perdas no CAC, o valor de $i_{Lx}(t)$ ao final do processo ressonante seria $I_{bst} + i_a(t)$. Nesse caso, o único propósito da aplicação de I_{bst} seria aumentar o tempo de condução de D_I , possibilitando uma maior margem de tempo disponível ao acionamento de S_I sob ZVS.

Assim, das observações anteriores, o valor mínimo de I_{bst} pode ser determinado pela solução numérica do sistema (A.15), onde apenas I_{bst} e t são os parâmetros desconhecidos. Nesse sentido, a duração exata do estágio ressonante – que determina o tempo-morto empregado – também pode ser determinada pela solução de (A.15).

$$\begin{cases} v_{an}(t) = V_{cc} \\ i_{Lx}(t) = i_a \end{cases} \quad (\text{A.15})$$

A.4 Exemplo de projeto

Na Tabela A.1 são repetidas as especificações do CAC simplificado determinadas na Seção 4.5. O tempo-morto e a corrente de *boosting* informados na Tabela A.1 foram obtidos a

partir da solução numérica de (A.15). Adotou-se a corrente de *boosting* mínima necessária para garantir as condições de comutação sob ZVS às chaves principais, uma vez que a aplicação de uma corrente de *boosting* previamente ao estágio ressonante colabora na elevação das perdas de bloqueio das chaves semicondutoras principais do conversor, conforme discutido na Seção 4.5.

Tabela A.1 – Exemplo de projeto da corrente de *boosting*.

Parâmetro	Símbolo	Valor
Indutores auxiliares	L_x	4,40 μ H
Capacitores <i>snubber</i>	C_s	3,6 nF
Resistência série do indutor	R_{Lx}	50 m Ω
Somatório das quedas de tensão nos semicondutores [76,78]	V_{Sx}	4,5 V
Corrente máxima do pólo “a”	i_a	5,57 A
Tempo-morto na comutação ZVS	$t_{d\ on}$	500 ns
Corrente de <i>boosting</i>	I_{bst}	2,30 A

A.5 Conclusão

Nesta seção foi abordada a determinação teórica da corrente de *boosting* necessária à topologia ZVT simplificada da Figura 4.4 para que a condição de comutação sob ZVS seja observada.

Além disso, como a aplicação de uma corrente de *boosting* contribui à redução do ângulo de ressonância (processo análogo ao apresentado no plano de fase da Figura 3.3 (b) para o deslocamento do centro de ressonância), o tempo de duração do estágio ressonante – que restringe a seleção do tempo-morto mínimo – também pôde ser corretamente determinado.

APÊNDICE B – Modulação SVM de mínimas perdas

B.1 Introdução

Quando se tem interesse na minimização das perdas de comutação do inversor, a “modulação SVM de mínimas perdas” [15] pode ser empregada. Esta estratégia tem por princípio selecionar os SSVs que não comutem o pólo PWM de maior corrente ou, caso isso não seja possível, não comutem o pólo PWM que apresenta a segunda maior corrente. Isso pode ser conseguido pela escolha conveniente do vetor nulo – $V_{0(nnn)}$ ou $V_{7(ppp)}$.

B.2 Seleção do vetor nulo adequado

A escolha do vetor nulo deve levar em consideração os vetores disponíveis para a sintetização do vetor de referência, V_{ref} , em função de sua localização no plano $\alpha\beta$ (setor) do espaço de saída do conversor (Figura B.1), e também a localização das correntes de carga ($i_a(t)$, $i_b(t)$ e $i_c(t)$) em coordenadas abc ou I_{load} em coordenadas $\alpha\beta$.

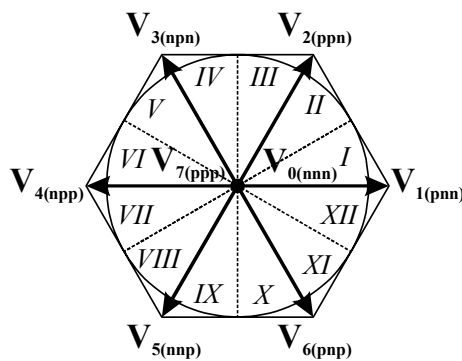


Figura B.1 – Hexágono do espaço de saída da modulação *Space Vector*.

Com base na Figura B.2, onde estão representadas as correntes de carga e a respectiva localização no plano $\alpha\beta$, compõe-se a Tabela B.1, identificando-se quais correntes apresentam a maior e a segunda maior amplitude em cada setor. Os símbolos “+” e “-” indicam se as correntes estão no sentido apresentado na Figura B.3 (saindo do pólo PWM) ou no sentido contrário, respectivamente.

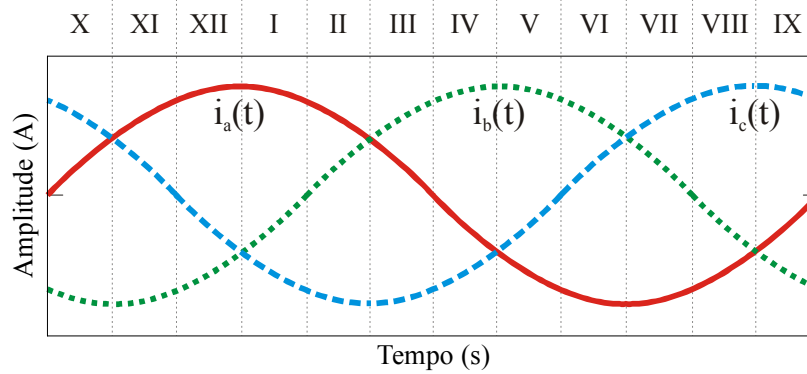


Figura B.2 – Identificação dos setores das correntes de carga.

Tabela B.1 – Identificação das maiores correntes em cada setor.

Setor de localização da corrente ($\alpha\beta$)	Pólo PWM e sentido	
	Maior corrente	Segunda maior corrente
I	A +	C -
II	C -	A +
III	C -	B +
IV	B +	C -
V	B +	A -
VI	A -	B +
VII	A -	C +
VIII	C +	A -
IX	C +	B -
X	B -	C +
XI	B -	A +
XII	A +	B -

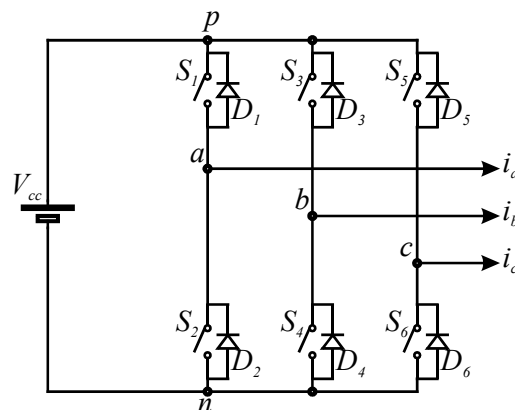


Figura B.3 – Definição do sentido positivo das correntes de carga.

Os vetores disponíveis em cada setor para a sintetização de V_{ref} são apresentados na Tabela B.2. A escolha de qual vetor nulo empregar em cada caso deve considerar a localização das correntes de carga, conforme apresentado na Tabela B.1.

A seguir é realizada uma análise considerando-se que V_{ref} encontra-se nos setores I ou II para todas as localizações das correntes de carga. Em cada caso verifica-se a possibilidade de não comutar o pólo de maior corrente e, na impossibilidade disso, não comutar o pólo com a segunda maior corrente. Na Tabela B.3 todas as possíveis localizações das correntes de carga, com a respectiva maior e segunda maior corrente, são apresentadas, juntamente com o vetor nulo a ser empregado em cada caso.

Tabela B.2 – Vetores de tensão disponíveis em cada setor (adjacentes).

Setor	Vetores de tensão	
	Vetores nulos	Vetores não-nulos
I e II	$V_{0(nnn)} - V_{7(ppp)}$	$V_{1(pnn)} - V_{2(ppn)}$
III e IV	$V_{0(nnn)} - V_{7(ppp)}$	$V_{2(ppn)} - V_{3(npn)}$
V e VI	$V_{0(nnn)} - V_{7(ppp)}$	$V_{3(npn)} - V_{4(npp)}$
VII e VIII	$V_{0(nnn)} - V_{7(ppp)}$	$V_{4(npp)} - V_{5(nnp)}$
IX e X	$V_{0(nnn)} - V_{7(ppp)}$	$V_{5(nnp)} - V_{6(pnp)}$
XI e XII	$V_{0(nnn)} - V_{7(ppp)}$	$V_{6(pnp)} - V_{1(pnn)}$

Tabela B.3 – Seleção do vetor nulo para V_{ref} nos setores I ou II.

Setor de localização da corrente ($\alpha\beta$)	Maior corrente	Segunda maior corrente	Vetor nulo selecionado	Pólo não comutado
I	A +	C -	$V_{7(ppp)}$	maior corrente
II	C -	A +	$V_{0(nnn)}$	maior corrente
III	C -	B +	$V_{0(nnn)}$	maior corrente
IV	B +	C -	$V_{0(nnn)}$	2ª maior corrente
V	B +	A -	$V_{7(ppp)}$	2ª maior corrente
VI	A -	B +	$V_{7(ppp)}$	maior corrente
VII	A -	C +	$V_{7(ppp)}$	maior corrente
VIII	C +	A -	$V_{0(nnn)}$	maior corrente
IX	C +	B -	$V_{0(nnn)}$	maior corrente
X	B -	C +	$V_{0(nnn)}$	2ª maior corrente
XI	B -	A +	$V_{7(ppp)}$	2ª maior corrente
XII	A +	B -	$V_{7(ppp)}$	maior corrente

Tomando como exemplo I_{load} localizada no setor I, verifica-se que o pólo “a” apresenta maior corrente, a qual circula no sentido positivo. Os vetores não-nulos disponíveis para a síntese de V_{ref} , localizada nos setores I ou II, são $V_{1(pnn)}$ e $V_{2(ppn)}$, conforme a Tabela B.2. Observar que, como estes vetores não comutam o pólo “a” (este permanece no potencial “p”), a escolha conveniente do vetor nulo a ser empregado é $V_{7(ppp)}$, uma vez que, dessa forma, o pólo “a” – que apresenta a maior corrente – não é comutado no período, eliminando as perdas de comutação das chaves semicondutoras desse pólo PWM.

Agora, supondo que I_{load} esteja localizada no setor IV, conforme a Tabela B.3 o pólo “b” apresenta a maior corrente, a qual circula no sentido positivo. Novamente, os vetores disponíveis para a síntese de V_{ref} são $V_{1(pnn)}$ e $V_{2(ppn)}$. Observar que o pólo “b” obrigatoriamente é comutado (do potencial “n” para o potencial “p” ou vice-versa). Nessa condição, parte-se à análise da segunda maior corrente, no caso a corrente do pólo “c”, que circula no sentido negativo. Observa-se que o pólo “c” não é comutado pelos vetores de chaveamento (permanecendo no potencial “n”), e, então, a escolha conveniente do vetor nulo a ser empregado é $V_{0(nnn)}$, uma vez que, dessa forma, o pólo “c” – que apresenta a segunda maior corrente – não é comutado no período, eliminando as perdas de comutação das chaves semicondutoras desse pólo PWM. O mesmo raciocínio pode ser empregado para todas as localizações possíveis de correntes de carga e tensões de referência. As condições obtidas na Tabela B.3 são resumidas em quatro casos, conforme a Tabela B.4.

Tabela B.4 – Seleção do vetor nulo para V_{ref} nos setores I ou II.

Setor de localização da corrente ($\alpha\beta$)	Vetor nulo selecionado
XI, XII e I	$V_{7(ppp)}$
II, III e IV	$V_{0(nnn)}$
V, VI e VII	$V_{7(ppp)}$
VIII, IX e X	$V_{0(nnn)}$

B.3 Resumo das configurações encontradas

Todas as combinações analisadas de tensão e correntes em todos os setores e o respectivo vetor nulo a ser empregado na modulação SVM de mínimas perdas são apresentados na Tabela B.5.

B.4 Conclusão

A partir do procedimento descrito, a escolha dos SSVs que minimizam as perdas de comutação do conversor pode ser realizada, conforme a Tabela B.5. Foram analisados todos os casos de defasagem entre tensão e referência e corrente de carga, permitindo ao conversor da Figura B.3 operar tanto como inversor quanto retificador.

Tabela B.5 – Resumo das configurações encontradas.

Setor de localização da tensão ($\alpha\beta$)	Setor de localização da corrente	Vetor nulo selecionado
I ou II	XI, XII ou I	$V_{7(ppp)}$
	II, III ou IV	$V_{0(nnn)}$
	V, VI ou VII	$V_{7(ppp)}$
	VIII, IX ou X	$V_{0(nnn)}$
III ou IV	I, II ou III	$V_{0(nnn)}$
	IV, V ou VI	$V_{7(ppp)}$
	VII, VIII ou IX	$V_{0(nnn)}$
	X, XI ou XII	$V_{7(ppp)}$
V ou VI	XII, I ou II	$V_{0(nnn)}$
	III, IV ou V	$V_{7(ppp)}$
	VI, VII ou VIII	$V_{0(nnn)}$
	IX, X ou XI	$V_{7(ppp)}$
VII ou VIII	XI, XII ou I	$V_{0(nnn)}$
	II, III ou IV	$V_{7(ppp)}$
	V, VI ou VII	$V_{0(nnn)}$
	VIII, IX ou X	$V_{7(ppp)}$
IX ou X	I, II ou III	$V_{7(ppp)}$
	IV, V ou VI	$V_{0(nnn)}$
	VII, VIII ou IX	$V_{7(ppp)}$
	X, XI ou XII	$V_{0(nnn)}$
XI ou XII	XII, I ou II	$V_{7(ppp)}$
	III, IV ou V	$V_{0(nnn)}$
	VI, VII ou VIII	$V_{7(ppp)}$
	IX, X ou XI	$V_{0(nnn)}$

APÊNDICE C – Estimativa das perdas nos semicondutores

C.1 Introdução

Nesta seção é descrito o procedimento adotado no levantamento experimental das perdas de chaveamento das chaves semicondutoras principais do conversor.

C.2 Descrição do *set-up*

Conforme já discutido no Capítulo 4, as perdas de bloqueio das chaves semicondutoras principais foram medidas experimentalmente, uma vez que a curva de perdas fornecida na folha de especificações do dispositivo semiconductor empregado não tem validade, já que é relativa a uma comutação dissipativa e, na aplicação em questão, capacitores *snubber* são utilizados em paralelo com as chaves.

Assim, empregou-se o *set-up* apresentado na Figura C.1 para a medição das perdas de bloqueio. O termo DUT na Figura C.1 designa o dispositivo sob teste (*Device Under Test*), no caso a chave semicondutora S . Salienta-se que o indutor L_s deve ser volumoso para comportar-se como uma fonte de corrente.

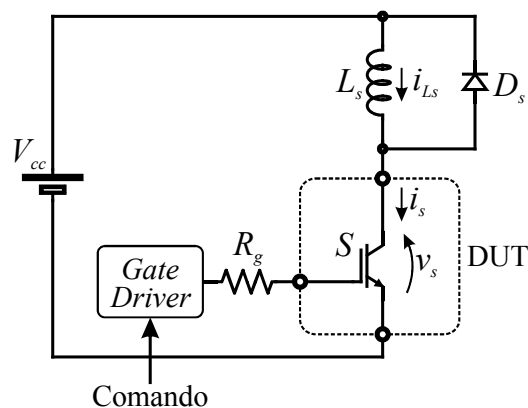


Figura C.1 – *Set-up* implementado para a medição das perdas de chaveamento.

As formas de onda teóricas relativas à operação do conversor da Figura C.1 são apresentadas na Figura C.2. Conforme se observa na Figura C.2, no instante “ t_0 ” o sinal de comando habilita S , possibilitando o crescimento linear da corrente por L_s ($i_{L_s}(t)$) sob uma taxa definida por V_{cc}/L_s . No instante “ t_1 ”, quando $i_{L_s}(t)$ atinge o valor desejado (I_{th}), o sinal de comando determina a abertura da chave semicondutora sob análise, S . Assim, empregando-se um osciloscópio LeCroy® 6030A, juntamente com a função “Power Measure Analysis 2” [83], e seguindo o procedimento proposto por [79], a perda de bloqueio é determinada.

Após o bloqueio de S , a corrente $i_{L_s}(t)$ fica em roda-livre por D_s , decaindo lentamente um uma taxa definida pela queda de tensão em D_s . Esse procedimento pode ser repetido para diferentes níveis de I_{th} , possibilitando o levantamento experimental da curva de perdas do semicondutor sob análise.

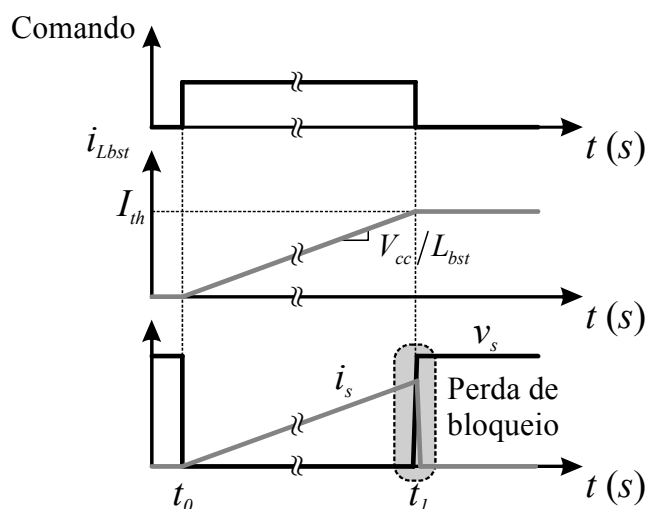
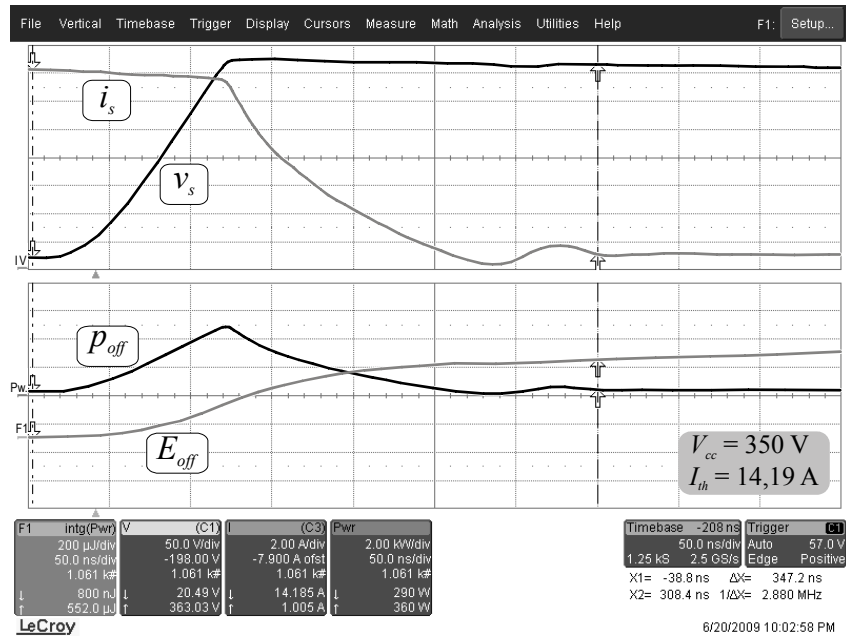


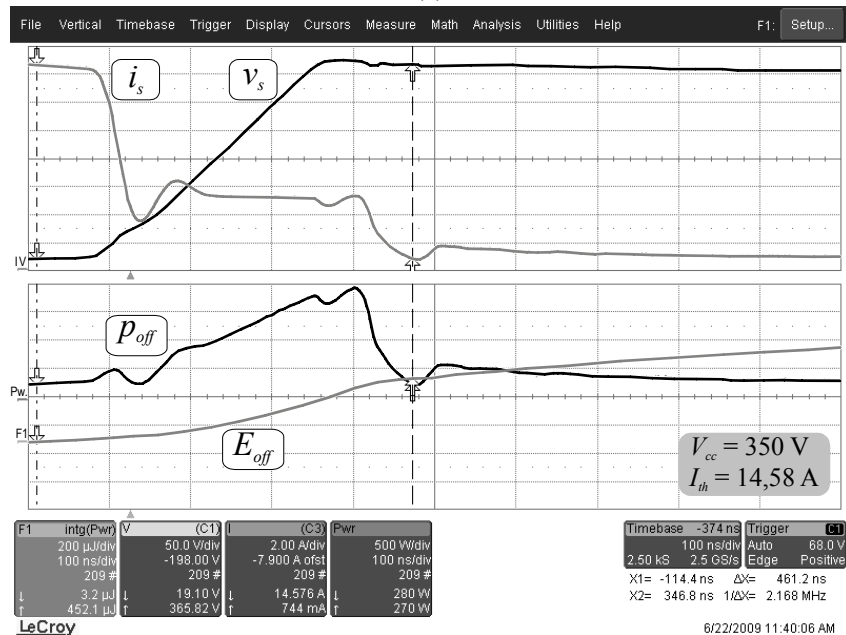
Figura C.2 – Formas de onda teóricas da medição das perdas de chaveamento.

Apenas de forma ilustrativa, resultados experimentais relativos à comutação de bloqueio do módulo SKM50GB123D (empregado nas topologias ZVT sob análise) são apresentados na Figura C.3 (a) para uma comutação dissipativa e na Figura C.3 (b) para uma comutação empregando um capacitor *snubber* de 7,2 nF. O valor de 7,2 nF do capacitor *snubber* já representa a associação em paralelo – que ocorre virtualmente – entre os capacitores de 3,6 nF empregados nas chaves semicondutoras principais da topologia ZVT simplificada da Figura 4.4. Os resultados foram obtidos com a chave semicondutora na temperatura ambiente, ou seja, sem controle de temperatura no dissipador. Como o conversor da Figura C.1 não opera em regime – apenas um ensaio é realizado a cada acionamento –, a energia dissipada na comutação não é suficiente para alterar perceptivelmente a temperatura do DUT.

Ainda com relação à Figura C.3, a potência instantânea ($p_{off}(t)$) representa o produto das formas de onda de tensão ($v_s(t)$) e corrente ($i_s(t)$) pelo DUT. Adicionalmente, E_{off} representa a energia dissipada na comutação – energia de bloqueio – e é calculada pela integração de $p_{off}(t)$ no período considerado. Observa-se que o valor de E_{off} é lido ao final do processo de comutação, conforme indicado pelos cursores.



(a)



(b)

Figura C.3 – Formas de onda da comutação de bloqueio. (a) Comutação dissipativa. (b) Comutação com *snubber* de tensão.

C.3 Resultados obtidos

Na Tabela C.1 são apresentados os resultados obtidos a partir da medição das perdas de bloqueio do módulo SKM50GB123D seguindo o procedimento descrito previamente. Adicionalmente, na Figura C.4 os dados da Tabela C.1 são confrontados com a curva fornecida no *datasheet* do módulo SKM50GB123D. As curvas apresentadas foram obtidas a partir da ferramenta *cftool* disponível no *software* Matlab®.

Tabela C.1 – Perdas de bloqueio medidas para o módulo SKM50GB123D.

Comutação Dissipativa		<i>Snubber</i> 4,3 nF		<i>Snubber</i> 7,2 nF	
i_s (A)	E_{off} (mJ) x 10^{-3}	i_s (A)	E_{off} (mJ) x 10^{-3}	i_s (A)	E_{off} (mJ) x 10^{-3}
0,404	57,69	0,423	32,94	0,935	165,94
0,911	101,28	0,857	75,28	1,111	183,02
1,432	142,21	1,606	134,82	1,906	225,24
2,964	236,34	3,156	218,86	3,470	280,11
5,126	329,40	5,330	316,15	5,681	350,51
7,739	397,97	7,822	381,28	7,951	400,61
10,758	465,81	10,836	416,57	11,172	411,88
14,185	552,00	14,099	503,70	14,576	452,10

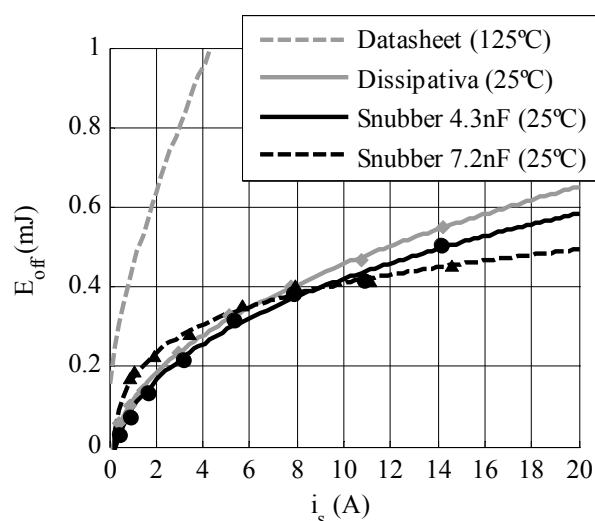


Figura C.4 – Aproximação das perdas de bloqueio medidas para o módulo SKM50GB123D.

C.4 Conclusão

Nesta seção a metodologia empregada na medição das perdas de bloqueio das chaves semicondutoras principais foi descrita. Os resultados obtidos foram satisfatórios, apesar das perdas de bloqueio para baixas correntes de carga com um capacitor *snubber* de 7,2 nF terem superado levemente as observadas com um capacitor de 4,3 nF. Dois são os fatores que podem ter contribuído nesse sentido: (i) ressonâncias em função dos elementos parasitas (indutância das trilhas e do capacitor *snubber*) podem ter distorcido as medidas (Figura C.3 (b)); e (ii) *offset* observado na ponteira de corrente. Salienta-se que esses dois fatores têm um peso maior exatamente quando pequenas correntes são avaliadas.

Confrontando as medições de perdas – em especial a comutação dissipativa – com os dados fornecidos no *datasheet* do módulo empregado (Figura C.4) fica evidente o grande erro que seria inserido na análise caso os dados do fabricante fossem utilizados. Isso ocorre principalmente em função das perdas de bloqueio estarem diretamente relacionadas à tensão aplicada sobre a chave semicondutora, que na aplicação em questão (350 V) difere do nível empregado nos ensaios do fabricante do semicondutor (600 V).

APÊNDICE D – Implementação da estratégia de comando

D.1 Introdução

A seguir é realizada uma breve descrição do programa que implementa a modulação SVM dos pólos PWM bem como os sinais de comando de ambos os CACs integrado e simplificado das topologias analisadas. Emprega-se um *kit* de desenvolvimento Digilent[®] modelo Nexys2 [84] contendo uma FPGA (*Field Programmable Gate Array*) Xilinx[®] modelo Spartan-3E [85] na implementação da estratégia de comando. Além disso, empregaram-se conversores analógico-digitais (AD) modelo ADCS7476MSPS de 12 bits (National Semiconductors[®]) [86] na medição das correntes de carga.

D.2 Descrição dos processos

Na Figura D.1 é apresentada a estrutura do programa implementado para a geração da modulação SVM e dos sinais de comando do CAC da topologia ZVT integrada. Já na Figura D.2 pode ser vista a estrutura do programa referente à topologia ZVT simplificada. Os tempos envolvidos no acionamento dos CACs são calculados conforme descrito na Seção 4.3.

Com referência à Figura D.1 (topologia ZVT integrada) e à Figura D.2 (topologia ZVT simplificada), a seguir são descritos os processos componentes do programa implementado na FPGA em linguagem VHDL (*VHSIC Hardware Description Language*), ressaltando-se as principais diferenças de cada topologia.

- *process_tri.vhd*

Neste processo são empregados dois acumuladores (*cnt_tri* e *cnt_tri_ACC*) na síntese de uma triangular e/ou dente-de-serra na implementação da modulação SVM do circuito principal dos conversores e dos sinais de comando dos CACs.

No caso da topologia ZVT integrada são empregadas dentes-de-serra para o circuito principal, dada a distribuição dos SSVs (pulsos alinhados com o início do período, conforme Figura 4.10), e para o CAC (por facilidade de sincronismo do acionamento do CAC com a

transição entre os SSVs da modulação SVM). A topologia ZVT simplificada difere apenas no emprego de uma triangular para o circuito principal, dada a distribuição simétrica dos SSVs (pulsos alinhados com o centro do período, conforme Figura 4.11).

A amplitude máxima de cnt_tri , incrementado a cada ciclo de $clock$, define a frequência de chaveamento do conversor.

- *process_vabc_ref.vhd*

Este processo é executado quando o acumulador cnt_tri atinge seu valor mínimo (zero), caracterizando o início de um novo período de chaveamento. Assim, as tensões de referência em coordenadas abc (v_{a_ref} , v_{b_ref} e v_{c_ref}) são atualizadas a partir de uma tabela de valores pré-definidos (*look-up table*) para o índice de modulação desejado.

- *process_pmod_ad.vhd*

Este processo é empregado apenas para a topologia ZVT simplificada devido à necessidade de amostragem das correntes dos pólos PWM ($i_a(t)$ e $i_b(t)$) para o cálculo dos tempos de operação do CAC simplificado. O algoritmo de leitura dos conversores AD é implementado neste processo. Nota-se que $i_c(t)$ não é amostrada, uma vez que é linearmente dependente de $i_a(t)$ e $i_b(t)$, sendo então obtida matematicamente.

A execução deste processo ocorre sempre que cnt_tri atinge seu valor máximo, fazendo com que a amostragem ocorra sempre centrada no pulso PWM.

- *process_svm.vhd*

Neste processo é implementada a modulação SVM. Dentre as principais funções executadas, pode-se destacar a transformação linear do espaço das tensões (v_{a_ref} , v_{b_ref} e v_{c_ref}) e correntes ($i_a(t)$, $i_b(t)$ e $i_c(t)$) de saída, em coordenadas abc , para o espaço em coordenadas $\alpha\beta$ (V_{ref} e I_{load} , respectivamente), a identificação do setor de V_{ref} ($Sector_{Vref}$) e I_{load} ($Sector_{Iload}$), a seleção da seqüência de SSVs empregada em função da localização de V_{ref} e I_{load} , o cálculo dos tempos de aplicação de cada SSV (T_0 , T_1 e T_2) a partir das matrizes de decomposição de cada setor, a determinação dos comparadores, e a implementação da modulação dos pólos PWM do conversor (PWM_a , PWM_b , PWM_c).

Cabe ressaltar que a rotina referente à I_{load} não é executada na topologia ZVT integrada, uma vez que a seqüência de vetores empregada é fixa e os tempos de acionamento do CAC integrado são constantes.

- *process_aux.vhd*

Neste processo são definidos os tempos de operação do CAC (constantes para a topologia ZVT integrada e dependentes da corrente de carga para a topologia ZVT simplificada). Além disso, a partir da informação dos tempos de aplicação dos SSVs (T_1 e T_2), realiza-se a sincronização entre o acionamento do CAC e a transição entre os SSVs sob assistência. Ainda, a partir do cálculo dos comparadores, os sinais de comando do CAC (G_{Sx} na topologia ZVT integrada e G_{Sx1} , G_{Sx2} e G_{Sx3} na topologia ZVT simplificada) são gerados.

Adicionalmente, nesse processo também são compensadas as diferenças nos tempos envolvidos no acionamento e no bloqueio das chaves semicondutoras principais e auxiliares (devido ao emprego de chaves semicondutoras e circuitos de acionamento distintos), viabilizando a operação dos CACs.

- *process_pwm.vhd*

Este processo foi criado em função da necessidade de implementação de tempos-mortos diferenciados para as comutações ZVS e *snubber*, conforme discutido no Capítulo 4, bem como em função da necessidade de compensação dos diferentes atrasos observados nos circuitos de acionamento (*gate-driver*) e respectivas chaves semicondutoras principais.

Assim, a partir dos sinais provenientes da modulação de cada pólo PWM do conversor (PWM_a , PWM_b , PWM_c) e da polaridade das correntes de saída (topologia ZVT simplificada) ou das tensões de referência (topologia ZVT integrada), são gerados os sinais de comando das chaves semicondutoras principais (G_{S1} , G_{S2} , G_{S3} , G_{S4} , G_{S5} e G_{S6}) com os tempos-mortos inseridos e os atrasos compensados.

D.3 Conclusão

Em função da possibilidade de execução de todo o código implementado na FPGA em um único ciclo de *clock*, os tempos envolvidos nos cálculos referentes à modulação SVM e nos cálculos relativos aos CAC não comprometem a elevação da frequência de chaveamento do conversor. Além disso, em função do grande número de saídas necessárias ao comando dos CACs bem como do circuito principal, o emprego de um DSP (*Digital Signal Processor* – Processador Digital de Sinais) acaba não sendo o indicado pela limitação no número de acumuladores disponíveis ao usuário. Em contrapartida, a FPGA oferece total flexibilidade e robustez para a aplicação em questão.

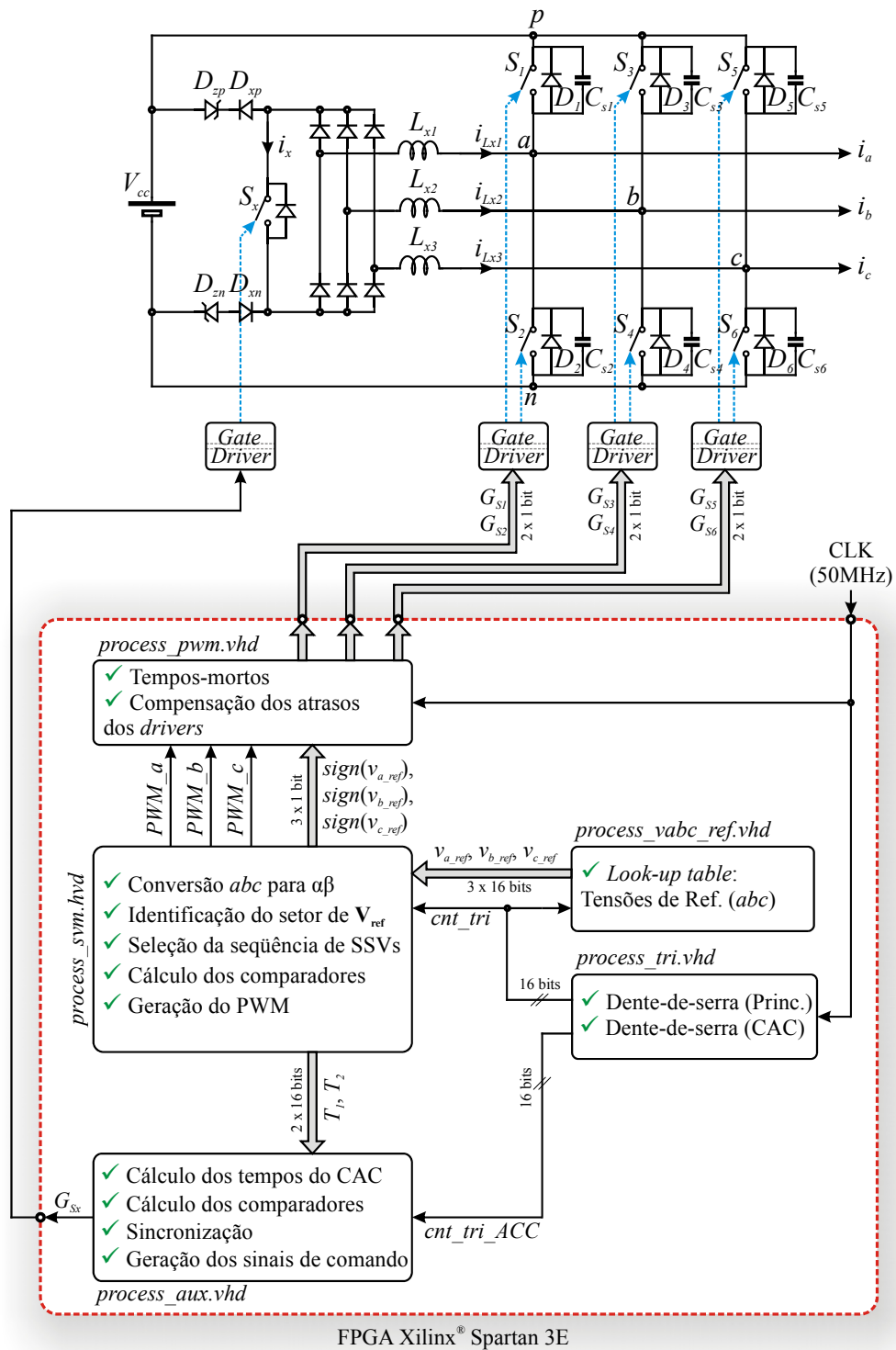


Figura D.1 – Controle e acionamento da topologia ZVT integrada.

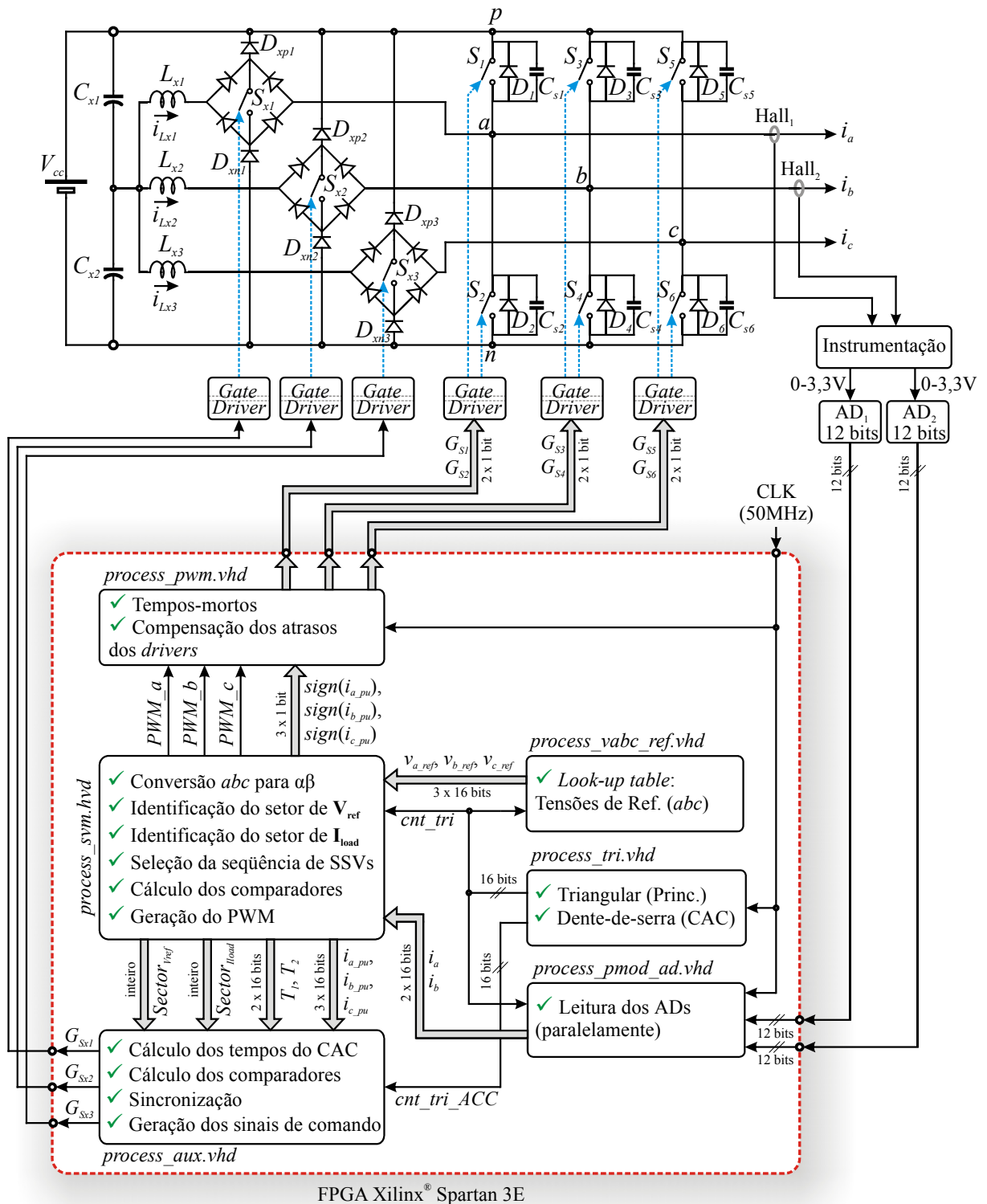


Figura D.2 – Controle e acionamento da topologia ZVT simplificada.

APÊNDICE E – Projeto do filtro de saída

O procedimento de projeto do filtro LC de saída do inversor, representado na Figura E.1, consiste de duas etapas básicas: (i) determinação da frequência natural de corte do filtro (f_n) que atenda a especificação da máxima THD na tensão sobre a carga; e (ii) determinação da relação entre os valores de capacitâncias (C) e indutâncias (L) do filtro que atendam ao critério da frequência de corte calculada. Normalmente a relação entre L e C é definida de forma a atender especificações particulares de cada projeto, como a ondulação de corrente sobre os indutores.

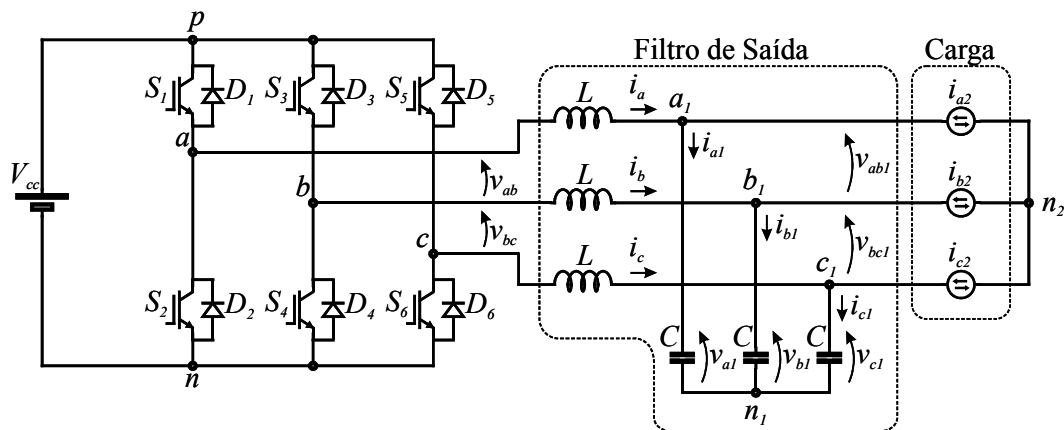


Figura E.1 – Inversor de tensão trifásico a três fios com filtro LC na saída.

E.1 Determinação da frequência de corte do filtro

A determinação da frequência de corte do filtro é realizada com base no procedimento proposto por [87]. Assim, primeiramente são feitas as seguintes considerações:

- (i) As chaves semicondutoras do conversor são consideradas ideais e as chaves de um mesmo pólo PWM são comutadas de forma complementar;
- (ii) O espaço das tensões de saída do conversor é dividido em regiões, onde em cada região o sinal de referência é sintetizado empregando-se uma seqüência de vetores de chaveamento previamente definida;
- (iii) Os *timers* utilizados na geração do padrão PWM são atualizados em uma frequência fixa e sincronizada com a frequência de amostragem do sinal de

referência. Além disso, o intervalo entre amostragens é um inteiro múltiplo do sinal de referência. A relação (E.1), com $m_s \in \mathbb{N}^+$, é definida como frequência de amostragem normalizada, onde f_s e f_l são, respectivamente, a frequência de amostragem (frequência de chaveamento no caso particular) e a frequência da tensão de referência, expressas em hertz;

$$m_s = \frac{f_s}{f_l} \quad (\text{E.1})$$

- (iv) É assumido que a frequência da harmônica fundamental do sinal de referência é inferior à frequência natural de corte do filtro, enquanto que a frequência do primeiro conjunto de harmônicas resultantes do chaveamento do conversor é superior;
- (v) A distância observada no espectro entre a frequência da harmônica fundamental do sinal de referência e a frequência natural de corte do filtro é suficiente para garantir-se que variações de carga não afetam significativamente o ganho do filtro na frequência da harmônica fundamental. O mesmo é assumido com relação às componentes de alta frequência;
- (vi) As componentes harmônicas de alta frequência com magnitude significativa estão localizadas em bandas laterais, centradas em frequências múltiplas ou submúltiplas de $m_s f_l$.

As condições (iv) e (v) podem ser expressas através das relações definidas em (E.2) e (E.3), onde ω_1 é a frequência da harmônica fundamental do sinal de referência e ω_n é a frequência natural de corte do filtro, expressas em rad/s.

$$\omega_1 \leq 0,1 \omega_n \quad (\text{E.2})$$

$$0,1 \omega_n \leq \omega \leq 5 \omega_n \quad (\text{E.3})$$

É importante observar que a frequência de amostragem normalizada, m_s , não depende do número de comutações dos pólos PWM em um período de amostragem. Esse conceito é distinto da frequência de amostragem normalizada empregada em inversores de tensão com

modulação PWM analógica (comparação de triangular com sinais de referência). Dessa forma, em inversores com modulação SVM, a frequência de chaveamento depende de m_s e também da seqüência de vetores adotada em cada região do espaço das tensões de saída.

Para exemplificar o exposto, assume-se que a tensão de referência encontra-se nos setores I ou II do hexágono que representa o espaço das tensões de saída da modulação SVM, representado na Figura E.2 (a). Caso a seqüência de vetores adotada para este setor seja $V_{1(pnn)}-V_{2(ppn)}-V_{0(nnn)}-V_{2(ppn)}-V_{1(pnn)}$, o espectro será como o representado na Figura E.2 (b). Já se a seqüência selecionada for $V_{0(nnn)}-V_{1(pnn)}-V_{2(ppn)}-V_{7(ppp)}-V_{2(ppn)}-V_{1(pnn)}-V_{0(nnn)}$, o espectro será como o da Figura E.2 (c). A diferença nos espectros deve-se à ocorrência de quatro comutações no período de amostragem no primeiro caso e de seis comutações no período de amostragem no segundo caso.

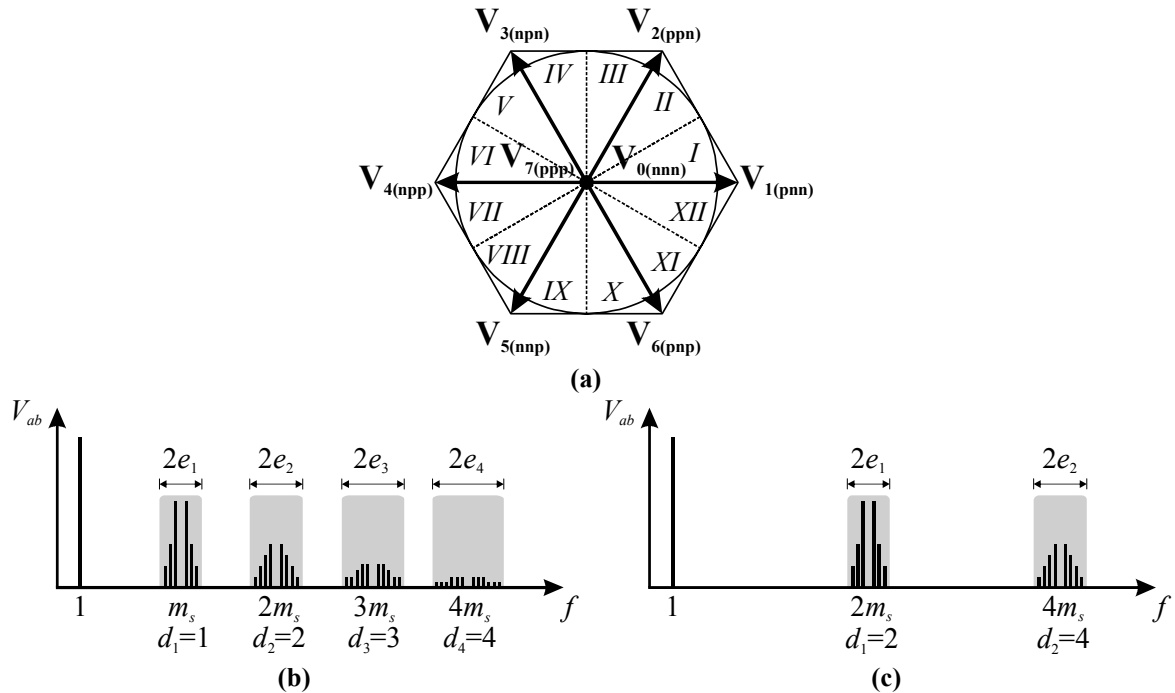


Figura E.2 – (a) Espaço das tensões de saída da modulação SVM. Espectro de frequências normalizado de v_{ab} para as seqüências (b) $V_1-V_2-V_0-V_2-V_1$ e (c) $V_0-V_1-V_2-V_7-V_2-V_1-V_0$.

A partir da obtenção da função de transferência que descreve o filtro e da definição de THD, em [87] foi derivada a expressão (E.4), com a qual se pode calcular a frequência natural de corte do filtro que atenda à máxima THD na tensão sobre a carga.

$$f_n = f_1 m_s \sqrt{\frac{THD_v}{nDF_2(m)}} \tag{E.4}$$

com

$$nDF_2(m) = \frac{1}{|V_{ab}[1]|} \left[\frac{1}{d_1^4} \sum_{h=d_1 m_s - e_1}^{d_1 m_s + e_1} |V_{ab}[h]|^2 + \frac{1}{d_2^4} \sum_{h=d_2 m_s - e_2}^{d_2 m_s + e_2} |V_{ab}[h]|^2 + \frac{1}{d_3^4} \sum_{h=d_3 m_s - e_3}^{d_3 m_s + e_3} |V_{ab}[h]|^2 \right] \quad (\text{E.5})$$

Onde

d_1, d_2 e d_3 – Posição espectral das harmônicas de alta frequência com relação à m_s [ver Figura E.2 (b) e (c)].

e_1, e_2 e e_3 – Largura das bandas laterais, centradas em $d_1 m_s, d_2 m_s, \dots$, com magnitude significativa [ver Figura E.2 (b) e (c)].

$V_{ab}[1]$ – Valor de pico da harmônica fundamental da tensão sintetizada pelo inversor.

$V_{ab}[h]$ – Valor de pico da h -ésima harmônica da tensão sintetizada pelo inversor.

m – Índice de modulação, definido como $m = V_{ab}[1]/V_{cc}$.

A função não linear $nDF_2(m)$, definida em (E.5), é plotada na Figura E.3 em função do índice de modulação m para vários valores de m_s . Salienta-se que a seqüência de vetores de chaveamento empregada é a de mínimas perdas ($V_{1(pnn)}-V_{2(ppn)}-V_{0(nnn)}-V_{2(ppn)}-V_{1(pnn)}$).

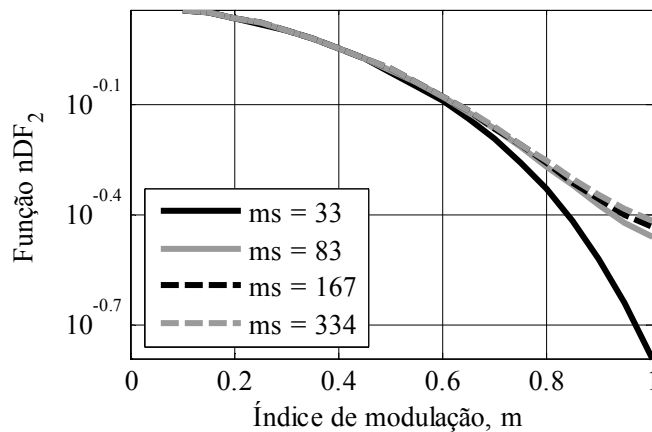


Figura E.3 – Função não linear nDF_2 em função do índice de modulação.

E.2 Ondulação da corrente de alta frequência nos indutores

A partir da definição da frequência de corte natural do filtro de saída do conversor que atenda a especificação da máxima THD na tensão aplicada sobre carga, os valores de L e C que compõe o filtro podem ser definidos com base em um critério adicional de projeto. Assim, a partir do trabalho desenvolvido por [88], a seguir apresenta-se uma metodologia de projeto dos elementos do filtro de forma a atender à máxima ondulação de corrente sobre os indutores.

Uma vez que as tensões PWM sintetizadas pelo conversor podem ser expressas pelo somatório de h harmônicas de tensão mais uma componente na frequência fundamental, as correntes pelos indutores do filtro também podem ser expressas da mesma forma. Considerando-se que a THD da tensão aplicada sobre a carga é pequena, os capacitores que compõe o filtro representado na Figura E.1 podem ser aproximados por um curto-circuito em frequências elevadas. Assim, o circuito da Figura E.1 pode ser simplificado, conforme a Figura E.4, onde v_{ab}^* e v_{bc}^* são tensões compostas apenas pelas harmônicas de alta frequência de v_{ab} e v_{bc} , e i_a^* , i_b^* e i_c^* são correntes compostas apenas pelas harmônicas de alta frequência de i_a , i_b e i_c , respectivamente. Como se tem interesse na determinação da ondulação de corrente pelos indutores do filtro, cujas principais componentes situam-se em torno de $d_1 m_s$, $d_2 m_s$, ..., o circuito da Figura E.4 pode ser empregado com razoável aproximação.

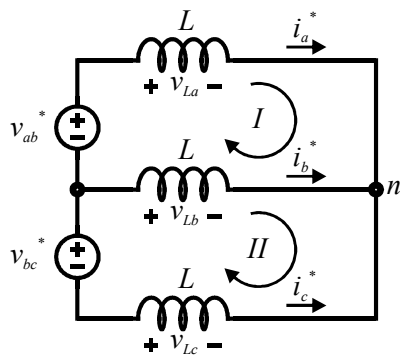


Figura E.4 – Circuito equivalente para altas frequências.

Por “força de notação”, definem-se as componentes de alta frequência das tensões sintetizadas pelo inversor como

$$v_{ab}^* \triangleq \sum_{h=d_1 m_s - e_1}^{\infty} V_{ab}[h] \quad (\text{E.6})$$

e

$$v_{bc}^* \triangleq \sum_{h=d1ms-e1}^{\infty} V_{bc}[h] \quad (\text{E.7})$$

Assim, aplicando a lei de Kirchoff das tensões às malhas I e II da Figura E.4, obtém-se o sistema de equações representado em (E.8).

$$\begin{aligned} v_{La} - v_{Lb} &= v_{ab}^* \\ v_{Lb} - v_{Lc} &= v_{bc}^* \end{aligned} \quad (\text{E.8})$$

A tensão sobre os indutores são definidas em (E.9).

$$\begin{aligned} v_{La} &= L \frac{di_a^*}{dt} \\ v_{Lb} &= L \frac{di_b^*}{dt} \\ v_{Lc} &= L \frac{di_c^*}{dt} \end{aligned} \quad (\text{E.9})$$

Dessa forma, levando-se (E.9) em (E.8) e reescrevendo o sistema na forma matricial, obtém-se (E.10).

$$\begin{bmatrix} i_a^* \\ i_b^* \end{bmatrix} = \frac{1}{L} \begin{bmatrix} \frac{2}{3} & \frac{1}{3} \\ -\frac{1}{3} & \frac{1}{3} \end{bmatrix} \begin{bmatrix} v_{ab}^* \\ v_{bc}^* \end{bmatrix} \quad (\text{E.10})$$

Cabe ressaltar que i_c^* não é considerada em (E.10) pois é linearmente dependente de i_a^* e i_b^* , conforme se demonstra em (E.11) pela aplicação da lei de Kirchoff das correntes ao nó n_1 .

$$i_a^* + i_b^* + i_c^* = 0 \quad (\text{E.11})$$

Com o objetivo de obter-se uma função que descreva a ondulação de corrente independentemente da tensão do barramento CC (V_{cc}) e da indutância empregada no filtro de

saída (L), a expressão (E.11) é normalizada com relação à V_{cc}/L , resultando na expressão

$$(E.12), \text{ onde } \begin{bmatrix} \bar{i}_a^* & \bar{i}_b^* \end{bmatrix}^T = \frac{L}{V_{cc}} \begin{bmatrix} \dot{i}_a^* & \dot{i}_b^* \end{bmatrix}^T \text{ e } \begin{bmatrix} \bar{v}_{ab}^* & \bar{v}_{bc}^* \end{bmatrix}^T = \frac{1}{V_{cc}} \begin{bmatrix} v_{ab}^* & v_{bc}^* \end{bmatrix}^T.$$

$$\begin{bmatrix} \bar{i}_a^* \\ \bar{i}_b^* \end{bmatrix} = \begin{bmatrix} \frac{2}{3} & \frac{1}{3} \\ -\frac{1}{3} & \frac{1}{3} \end{bmatrix} \begin{bmatrix} \bar{v}_{ab}^* \\ \bar{v}_{bc}^* \end{bmatrix} \quad (E.12)$$

Para que as correntes de alta frequência pelos indutores do filtro de saída, \bar{i}_a^* e \bar{i}_b^* , possam ser visualizadas graficamente, possibilitando, assim, a determinação da ondulação de corrente, a expressão (E.12) é solucionada por integração numérica. Assim, de forma a evidenciar a ondulação de alta frequência, na Figura E.5 apresenta-se a solução da expressão (E.12) para \bar{i}_a^* , com $m = 0,89$, $m_f = 83$ e empregando-se a seqüência de mínimas perdas ($V_{1(pnn)}-V_{2(ppn)}-V_{0(nnn)}-V_{2(ppn)}-V_{1(pnn)}$).

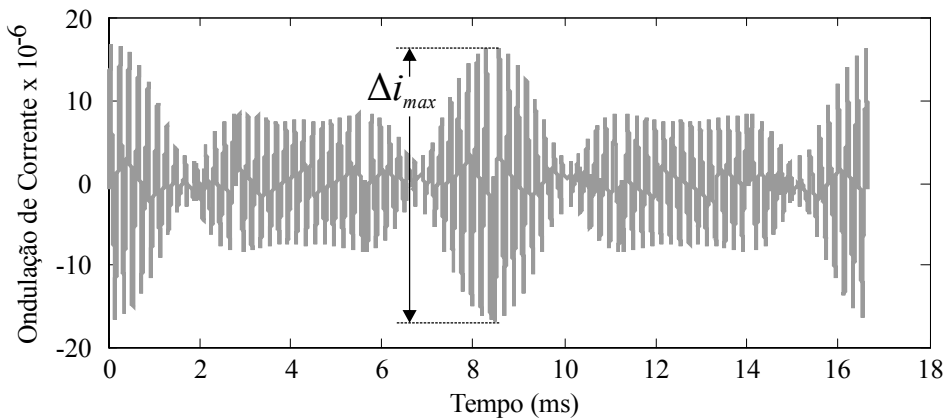


Figura E.5 – Simulação da corrente de alta frequência normalizada sobre os indutores do filtro de saída.

Então, para facilitar o projeto, obteve-se o valor da ondulação de corrente normalizada máxima ($\Delta \bar{i}_{max}$), definida em (E.13), para diferentes valores de m_s . A Figura E.6 fornece o ábaco de $\Delta \bar{i}_{max}$ em função do índice de modulação, m , para os diferentes valores de m_s selecionados.

$$\Delta \bar{i}_{max} = \max(\bar{i}_a^*) - \min(\bar{i}_a^*) \quad (E.13)$$

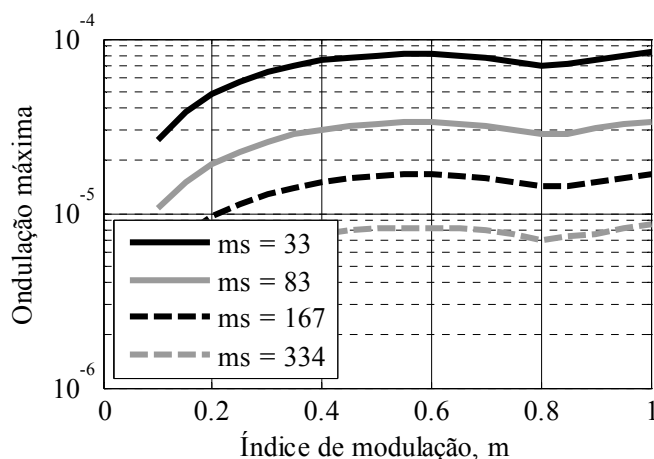


Figura E.6 – Ondulação máxima de corrente normalizada em função do índice de modulação.

Após a especificação da máxima ondulação desejada na corrente pelos indutores do filtro (Δi_{max}), o valor da indutância necessária pode ser encontrado a partir da desnormalização de (E.13), conforme (E.14).

$$L = \frac{\Delta \bar{i}_{max}}{\Delta i_{max}} V_{cc} \quad (\text{E.14})$$

Por fim, o capacitor do filtro pode ser dimensionado de forma a atender o critério da frequência natural de corte (equação (E.4)), conforme (E.15).

$$C = \frac{1}{(2\pi f_n)^2 L} \quad (\text{E.15})$$

E.3 Exemplo de projeto

A partir da metodologia de projeto apresentada anteriormente, a seguir realiza-se o projeto de quatro filtros distintos, com base nas especificações definidas na Tabela E.1, onde também são apresentados o indutor e o capacitor (valor comercial) selecionados. Salienta-se que a THD especificada tem forte impacto na determinação do valor do capacitor do filtro enquanto que a Δi_{max} restringe principalmente o valor da indutância.

Tabela E.1 – Especificações para o filtro LC de saída.

Filtro 1	Filtro 2	Filtro 3	Filtro 4
$V_{cc} = 350 \text{ V}$			
$m = 0,89$			
$m_s = 334$			
$V_{1(pnn)}-V_{2(ppn)}-V_{0(nnn)}-V_{2(ppn)}-V_{1(pnn)}$ (Setores I e II)			
THD = 1,00 %	THD = 0,50 %	THD = 0,50 %	THD = 0,25 %
$\Delta i_{max} = 1,50 \text{ A}$	$\Delta i_{max} = 1,50 \text{ A}$	$\Delta i_{max} = 0,90 \text{ A}$	$\Delta i_{max} = 0,90 \text{ A}$
$L = 1,45 \text{ mF}$	$L = 1,45 \text{ mF}$	$L = 2,90 \text{ mF}$	$L = 3,00 \text{ mF}$
$C = 2 \mu\text{C}$	$C = 4 \mu\text{C}$	$C = 2 \mu\text{C}$	$C = 4 \mu\text{C}$

E.4 Projeto físico do indutor

O primeiro passo no projeto do indutor do filtro de saída consiste na seleção do núcleo magnético a ser utilizado. Em um segundo momento, seleciona-se o condutor adequado à corrente eficaz pelo indutor. Ao final do processo deve-se verificar se o núcleo (ou o arranjo de núcleos) comporta o número de espiras calculado.

E.4.1 Seleção do núcleo magnético

Na implementação dos indutores do filtro de saída optou-se pelo emprego de núcleos *Powder* do tipo Kool M $\mu^{\text{®}}$ no formato toroidal. A seleção do núcleo apropriado pode ser realizada com base no ábaco da Figura E.7 (extraído de [89]) a partir do cálculo da energia armazenada no núcleo. A maior energia armazenada ocorre para o pico da corrente de saída (i_a , i_b ou i_c). A partir do conhecimento da potência de saída do conversor (P_{out}), do fator de potência da carga ($\cos \phi$) e da tensão eficaz de linha sintetizada ($V_{ab(rms)}$), o pico da corrente de saída pode ser calculado por (E.16).

$$I_{pk} = \frac{\sqrt{2} P_{out}}{\sqrt{3} V_{ab(rms)} \cos \phi} \quad (\text{E.16})$$

com

$$V_{ab(rms)} = \frac{V_{ab} [1]}{\sqrt{2}} \quad (\text{E.17})$$

Já a energia armazenada no indutor, em mJ ou mHA², pode ser obtida por (E.18), com L em henries e I_{pk} em ampères. Além disso, existe a possibilidade do empilhamento de núcleos magnéticos para o atendimento do critério da energia.

$$E = 10^3 L I_{pk}^2 \quad (\text{E.18})$$

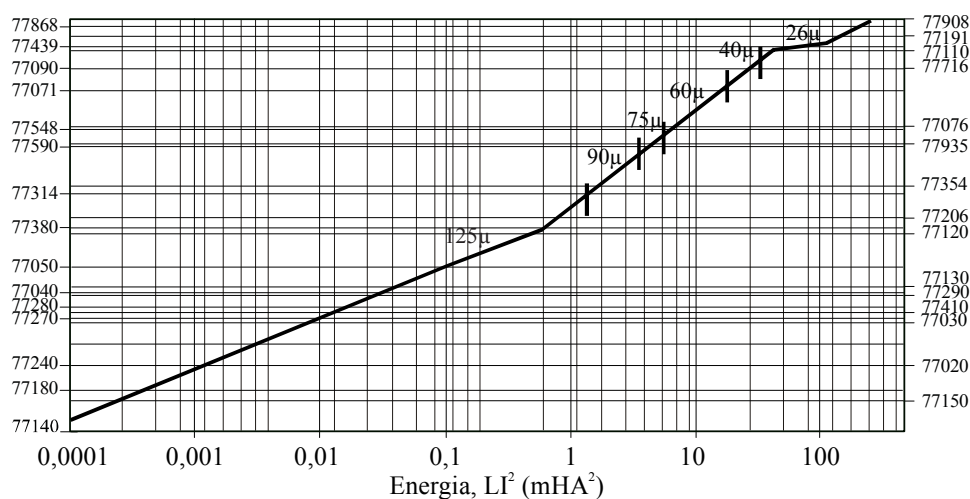


Figura E.7 – Ábaco de seleção do núcleo Kool Mμ [89].

Os núcleos *Powder* apresentam como principal característica uma saturação suave na curva que relaciona a densidade de fluxo magnético (B) com a intensidade de campo (H). Esse fato acarreta em uma variação gradativa do valor da indutância inicial em função da corrente aplicada ao indutor, uma vez que a permeabilidade magnética inicial do núcleo varia. Assim, existe a necessidade de correção do valor da indutância inicial de forma a garantir-se que na máxima intensidade de campo tenha-se a indutância de projeto do filtro.

Com o núcleo selecionado (ou um empilhamento de núcleos), estima-se o número de espiras necessário à implementação da indutância de projeto, uma vez que a indutância irá variar com a corrente aplicada. Assim, o número de espiras inicial ($N(k)$) pode ser calculado através de (E.19).

$$N(k) = \sqrt{\frac{L l_e 10^8}{0,4 \pi \mu(k) A_e}} \quad (\text{E.19})$$

Onde

l_e – Comprimento do caminho magnético do núcleo selecionado (cm).

A_e – Área da seção transversal do núcleo selecionado (cm²).

$\mu(k)$ – Permeabilidade relativa inicial do núcleo selecionado.

Caso sejam empregados núcleos empilhados, o valor de A_e fornecido em [89] deve ser multiplicado pelo número de núcleos. Uma vez estimado o número de espiras inicial, o passo seguinte consiste na determinação da intensidade de campo magnético (ou força magnetizante) para o maior nível de corrente CC pelo indutor. No caso particular, considera-se corrente CC a componente harmônica situada na frequência da fundamental, uma vez que se encontra em uma frequência muito inferior ao primeiro conjunto de harmônicas efetivamente filtradas. Assim, a força magnetizante CC, normalizada para l_e , pode ser obtida por (E.20).

$$H = \frac{N(k) I_{pk}}{l_e} \quad (\text{E.20})$$

Dessa forma, com base no ábaco da Figura E.8, extraído de [89], pode-se encontrar o novo valor da permeabilidade relativa do núcleo ($\mu(k+1)$), em p.u. com relação a permeabilidade inicial, em função da força magnetizante CC. Assim, um novo valor para o número de espiras ($N(k+1)$) pode ser calculado a partir de (E.21). Este processo deve ser repetido até que $N(k+1) = N(k)$.

$$N(k+1) = \sqrt{\frac{L I_e 10^8}{0,4 \pi \mu(k+1) A_e}} \quad (\text{E.21})$$

Por fim, o valor inicial da indutância (na ausência de corrente) pode ser obtido através de (E.21), reescrita em (E.22).

$$L = \frac{0,4 \pi \mu(k+1) A_e N(k+1)^2}{l_e 10^8} \quad (\text{E.22})$$

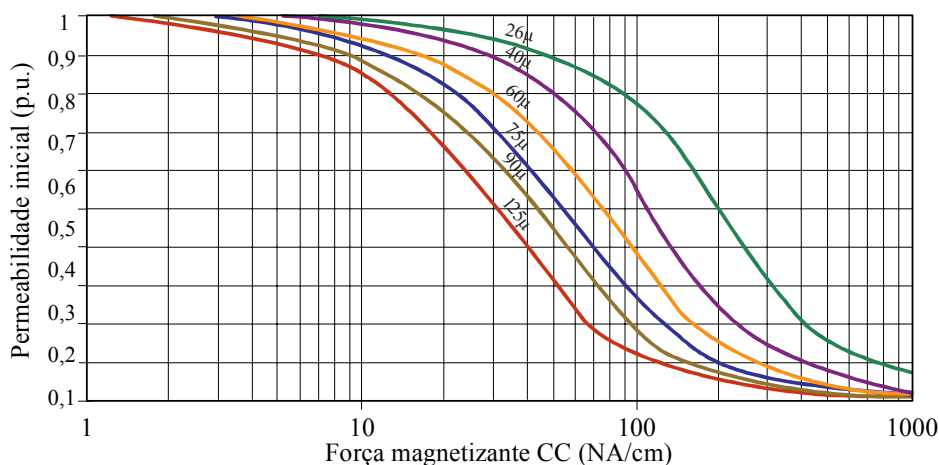


Figura E.8 – Variação da permeabilidade inicial em núcleos Kool M μ [89].

E.4.2 Seleção do condutor

O condutor adequado deve ser selecionado com base na corrente eficaz que circula pelo indutor. Caso o valor da indutância do filtro tenha sido projetada de forma a garantir uma baixa ondulação na corrente de saída, pode-se aproximar a corrente eficaz pelo indutor a partir da expressão (E.23), onde $I_{L(rms)}$ representa a corrente eficaz de linha que, para a configuração de filtro apresentada na Figura E.1 (conexão estrela), é equivalente à corrente eficaz de fase. Assim, o efeito *skin* não é levado em consideração, uma vez que se assume que a corrente pelo indutor é composta principalmente da componente harmônica situada na frequência fundamental.

$$I_{L(rms)} = \frac{I_{pk}}{\sqrt{2}} \quad (E.23)$$

Dessa forma, com base na corrente calculada em (E.23), a bitola do condutor empregado pode ser encontrada a partir da Tabela E.2. Após a seleção do condutor e da determinação do número de espiras, deve-se consultar [89] para verificar-se se o núcleo selecionado comporta o número de espiras com o condutor selecionado.

Tabela E.2 – Fios de cobre esmaltados.

AWG	Diâmetro do Cobre (cm)	Área do Cobre (cm ²)	Diâmetro com Isolamento (cm)	Área com Isolamento (cm ²)	Ω/cm (20 °C)	Ω/cm (100 °C)	Corrente para $J = 450 \text{ A/cm}^2$ (A)
10	0,259	0,052620	0,273	0,058572	0,000033	0,000044	23,679
11	0,231	0,041729	0,244	0,046738	0,000041	0,000055	18,778
12	0,205	0,033092	0,218	0,037309	0,000052	0,000070	14,892
13	0,183	0,026243	0,195	0,029793	0,000066	0,000080	11,809
14	0,163	0,020811	0,174	0,023800	0,000083	0,000111	9,365
15	0,145	0,016504	0,156	0,019021	0,000104	0,000140	7,427
16	0,129	0,013088	0,139	0,015207	0,000132	0,000176	5,890
17	0,115	0,010379	0,124	0,012164	0,000166	0,000222	4,671
18	0,102	0,008231	0,111	0,009735	0,000209	0,000280	3,704
19	0,091	0,006527	0,100	0,007794	0,000264	0,000353	2,937
20	0,081	0,005176	0,089	0,006244	0,000333	0,000445	2,329
21	0,072	0,004105	0,080	0,005004	0,000420	0,000561	1,847
22	0,064	0,003255	0,071	0,004013	0,000530	0,000708	1,465
23	0,057	0,002582	0,064	0,003221	0,000668	0,000892	1,162
24	0,051	0,002047	0,057	0,002586	0,000842	0,001125	0,921
25	0,045	0,001624	0,051	0,002078	0,001062	0,001419	0,731
26	0,040	0,001287	0,046	0,001671	0,001339	0,001789	0,579
27	0,036	0,001021	0,041	0,001344	0,001689	0,002256	0,459
28	0,032	0,000810	0,037	0,001083	0,002129	0,002845	0,364
29	0,029	0,000642	0,033	0,000872	0,002685	0,003587	0,289
30	0,025	0,000509	0,030	0,000704	0,003386	0,004523	0,229
31	0,023	0,000404	0,027	0,000568	0,004269	0,005704	0,182
32	0,020	0,000320	0,024	0,000459	0,005384	0,007192	0,144
33	0,018	0,000254	0,022	0,000371	0,006789	0,009070	0,114
34	0,016	0,000201	0,020	0,000300	0,008560	0,011437	0,091
35	0,014	0,000160	0,018	0,000243	0,010795	0,014422	0,072
36	0,013	0,000127	0,016	0,000197	0,013612	0,018186	0,057
37	0,011	0,000100	0,014	0,000160	0,017165	0,022932	0,045
38	0,010	0,000080	0,013	0,000130	0,021644	0,028917	0,036
39	0,009	0,000063	0,012	0,000106	0,027293	0,036464	0,028
40	0,008	0,000050	0,010	0,000086	0,034417	0,045981	0,023
41	0,007	0,000040	0,009	0,000070	0,043399	0,057982	0,018